



(12) 发明专利

(10) 授权公告号 CN 102339817 B

(45) 授权公告日 2015. 03. 25

(21) 申请号 201110199379. X

JP 2009218484 A, 2009. 09. 24,

(22) 申请日 2011. 07. 15

US 2010020518 A1, 2010. 01. 28,

(30) 优先权数据

审查员 陈龙

160980/2010 2010. 07. 15 JP

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 山田启寿 山崎尚 福田昌利

小盐康弘

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 周春燕 陈海红

(51) Int. Cl.

H01L 23/552(2006. 01)

H01L 23/498(2006. 01)

H01L 23/31(2006. 01)

(56) 对比文件

US 2003116836 A1, 2003. 06. 26,

US 2006148317 A1, 2006. 07. 06,

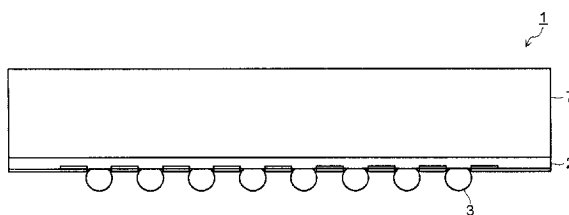
权利要求书2页 说明书8页 附图11页

(54) 发明名称

半导体封装以及使用其的移动设备

(57) 摘要

本发明提供一种半导体封装以及使用其的移动设备。根据一个实施方式, 半导体封装具备: 搭载于插入式基板上的半导体芯片、封装半导体芯片的封装树脂层和覆盖封装树脂层以及插入式基板的侧面的至少一部分的导电性屏蔽层。插入式基板具有贯通绝缘基材的多个通孔。多个通孔的一部分具有在插入式基板的侧面露出且在插入式基板的厚度方向被切断的切断面。通孔的切断面与导电性屏蔽层电连接。



1. 一种半导体封装,具备:

插入式基板,其具备具有第一面和第二面的绝缘基材、形成于所述绝缘基材的所述第一面的第一布线层、形成于所述绝缘基材的所述第二面的第二布线层和以贯通所述绝缘基材的方式形成的多个通孔;

外部连接端子,其设置于具有所述第一布线层的所述插入式基板的第一面;

半导体芯片,其搭载于具有所述第二布线层的所述插入式基板的第二面上;

封装树脂层,其以封装所述半导体芯片的方式设置于所述插入式基板的所述第二面上;以及

导电性屏蔽层,其以覆盖所述封装树脂层和所述插入式基板的侧面的至少一部分的方式设置,

其中,所述多个通孔的一部分具有在所述插入式基板的侧面露出并在所述插入式基板的厚度方向被切断的切断面,所述通孔的切断面具有将所述插入式基板的厚度方向的所述通孔的一部分切断而成的形状,并且

所述通孔的切断面与所述导电性屏蔽层电连接。

2. 根据权利要求1所述的半导体封装,其中,

多个所述通孔的切断面在所述插入式基板的每一边的侧面露出。

3. 根据权利要求2所述的半导体封装,其中,

所述多个通孔的切断面的间隔小于等于4mm。

4. 根据权利要求1所述的半导体封装,其中,

所述第一布线层以及所述第二布线层的至少一方具有接地布线,所述切断了的通孔与所述接地布线电连接。

5. 根据权利要求1所述的半导体封装,其中,

所述第二布线层具有接地布线,所述接地布线在所述插入式基板的侧面露出,并且与所述导电性屏蔽层电连接。

6. 根据权利要求1所述的半导体封装,其中,

所述通孔具有:形成于贯通所述绝缘基材的贯通孔的内面的导体层;以及填充于所述导体层的内侧的中空部的孔填充材料,

所述通孔的切断面包含所述孔填充材料的切断面。

7. 根据权利要求6所述的半导体封装,其中,

所述孔填充材料包含导电材料。

8. 根据权利要求1所述的半导体封装,其中,

所述导电性屏蔽层包含与构成所述通孔的切断面的导电材料的接触面积电阻率小于等于 $300\text{m}\Omega/\text{mm}^2$ 的导电材料。

9. 根据权利要求1所述的半导体封装,其中,

所述导电性屏蔽层包含与一个所述通孔的切断面的接触界面的电阻值小于等于 39Ω 的导电材料。

10. 根据权利要求1所述的半导体封装,其中,

在所述插入式基板的四角未配置所述切断了的通孔。

11. 根据权利要求1所述的半导体封装,其中,

所述通孔具有：形成于贯通所述绝缘基材的贯通孔的内面的导体层；填充于所述导体层的内侧的中空部的孔填充材料；以及与所述导体层和所述第一或第二布线层电连接的连接盘，

所述切断了的通孔的连接盘具有矩形形状。

12. 根据权利要求 1 所述的半导体封装，其中，

所述导电性屏蔽层具有标识标记，所述标识标记通过以所述封装树脂层的表面不露出的方式切削所述导电性屏蔽层的厚度方向的一部分而设置。

13. 根据权利要求 12 所述的半导体封装，其中，

所述标识标记的形成部分具有与所述导电性屏蔽层的其他部分的表面不同的表面粗糙度。

14. 一种便携通信设备，具备权利要求 1 所述的半导体封装。

15. 根据权利要求 14 所述的便携通信设备，其中，

便携通信设备为便携电话机。

半导体封装以及使用其的移动设备

[0001] 本申请以 2010 年 7 月 15 日提交的日本专利申请 2010-160980 为基础,要求该申请的优先权,本申请通过参照该日本专利申请而包含其全部内容。

技术领域

[0002] 在此描述的实施方式总体涉及半导体封装以及使用其的移动设备。

背景技术

[0003] 对于以便携电话机为代表的便携通信设备中使用的半导体装置,为了防止对通信特性的不良影响,要求抑制向外部泄漏无用电磁波。因此,应用具有屏蔽功能的半导体封装。作为具有屏蔽功能的半导体封装,已知具有沿着封装半导体芯片的封装树脂层的外面设置有屏蔽层的结构,所述半导体芯片搭载于插入式基板上。

[0004] 已知一种半导体封装,其为了抑制无用电磁波从插入式基板的侧面泄漏,使用了在外周侧配置有连接于接地布线的通孔的插入式基板。在这样的半导体封装中,要求提高屏蔽层与插入式基板的接地布线的电以及机械的连接可靠性。进而,要求不使半导体封装大型化地抑制无用电磁波从插入式基板的侧面泄漏。

发明内容

[0005] 根据一个实施方式,提供一种半导体封装,其具有:插入式基板;设置于插入式基板的第一面的外部连接端子;搭载于插入式基板的第二面上的半导体芯片;以封装半导体芯片的方式形成于插入式基板的第二面上的封装树脂层;以及以覆盖封装树脂层以及插入式基板的侧面的至少一部分的方式设置的导电性屏蔽层。插入式基板具备:形成于绝缘基材的第一面的第一布线层;形成于绝缘基材的第二面的第二布线层;和贯通绝缘基材的多个通孔。多个通孔的一部分,具有在插入式基板的侧面露出并在插入式基板的厚度方向被切断的切断面。通孔的切断面与导电性屏蔽层电连接。

[0006] 根据本实施例,通过屏蔽效果能够有效地抑制电磁波从插入式基板泄漏。

[0007] 此外,通过将本实施例的半导体封装应用于例如便携电话机,能够抑制通信时的噪音。

附图说明

[0008] 图 1 是表示实施方式的半导体封装的结构侧视图。

[0009] 图 2 是图 1 所示的半导体封装的剖视图。

[0010] 图 3 是表示图 1 所示的半导体封装的导电性屏蔽层形成前的状态的侧视图。

[0011] 图 4 是表示图 1 所示的半导体封装所使用的插入式基板的一例的俯视图。

[0012] 图 5 是图 4 所示的插入式基板的剖视图。

[0013] 图 6 是表示图 1 所示的半导体封装所使用的插入式基板的其他例的俯视图。

[0014] 图 7 是表示实施方式的半导体封装的其他结构的侧视图。

- [0015] 图 8 是图 7 所示的半导体封装的剖视图。
- [0016] 图 9 是表示通孔的切断面的最大间隔与半导体封装的磁场屏蔽效果的关系的图。
- [0017] 图 10 是表示导电性屏蔽层与通孔的切断面的接触电阻和半导体封装的磁场屏蔽效果的关系的图。
- [0018] 图 11A ~ 图 11C 是表示图 7 所示的半导体封装的制造工序的图。
- [0019] 图 12A ~ 图 12E 是表示图 1 所示的半导体封装的制造工序的图。
- [0020] 图 13 是图 1 所示的半导体封装的从上面所见的图。
- [0021] 图 14 是放大地表示图 13 所示的半导体封装的封装树脂层以及导电性屏蔽层的一部分的剖视图。
- [0022] 图 15 是表示导电性屏蔽层的标识标记的形成部分的薄层电阻率与半导体封装的磁场屏蔽效果的关系的图。
- [0023] 图 16 是表示实施方式的便携电话机的结构的立体图。

具体实施方式

[0024] 参照附图对第一实施方式的半导体封装进行说明。图 1 是表示第一实施方式的半导体封装的侧视图,图 2 是图 1 所示的半导体封装的剖视图,图 3 是表示图 1 所示的半导体封装的导电性屏蔽层形成前的状态的侧视图,图 4 是表示图 1 所示的半导体封装所使用的插入式基板的一例的俯视图,图 5 是图 4 所示的插入式基板的剖视图。

[0025] 这些图中所示的半导体封装 1 是在 FBGA (Fine pitch Ball Grid Array, 微间距球栅阵列) 6 上形成有导电性屏蔽层 7 的带屏蔽功能的半导体封装,该 FBGA6 具备插入式基板 2、在插入式基板 2 的第一面作为外部连接端子而设置的焊球 3、搭载于插入式基板 2 的第二面上的半导体芯片 4 以及封装半导体芯片 4 的封装树脂层 5。

[0026] 插入式基板 2 具有绝缘基板 21 作为绝缘基材。在绝缘基板 21 的第一面 (下面) 设置有第一布线层 22,在第二面 (上面) 设置有第二布线层 23。布线层 22、23 不限于单层结构的导体层,也可以分别包括 2 层以上的导体层。插入式基板 2 具有以将第一布线层 22 与第二布线层 23 电连接的方式贯通绝缘基板 21 而形成的通孔 24。布线层 22、23 和 / 或通孔 24,包含铜箔和 / 或含有银或铜的导电性膏,根据需要对表面实施镀镍和 / 或镀金。

[0027] 插入式基板 2 的通孔 24,如图 5 所示,具有:形成于贯通绝缘基板 21 的贯通孔的内面的导体层 25;填充于导体层 25 的内侧的中空部的孔填充材料 26;和将导体层 25 与布线层 22、23 电连接的连接盘 (land) 27、27。孔填充材料 26 包括例如绝缘性树脂和 / 或导电性树脂。孔填充材料 26 优选,由与导电性屏蔽层 7 的紧密附着性优异的材料形成。在孔填充材料 26 由导电材料形成的情况下,由于与导电性屏蔽层 7 的接触面积增大,所以可预见通孔 24 与导电性屏蔽层 7 的接触电阻值的降低。通孔 24 也可以通过镀覆等在贯通孔内填充有金属材料 (铜等)。

[0028] 在插入式基板 2 的第一面 (设置有第一布线层 22 的面) 设置有焊球 3。焊球 3 与第一布线层 22 电连接。插入式基板 2 的第二面 (设置有第二布线层 23 的面) 具有芯片搭载区域 X。在图 4 中省略了图示,但在芯片搭载区域 X 除了芯片搭载部以外,还设置有第二布线层 23 的信号布线和 / 或接地布线等。插入式基板 2 具有形成于第一以及第二面的抗焊层 28、29。

[0029] 在插入式基板 2 的第二面上搭载有半导体芯片 4。设置于半导体芯片 4 的上面的电极焊盘（未图示），经由金（Au）线等接合线 8 与插入式基板 2 的第二布线层 23 电连接。进而，在插入式基板 2 的第二面形成有将半导体芯片 4 与接合线 8 等一同封装的封装树脂层 5。封装树脂层 5 与插入式基板 2 的侧面的至少一部分由导电性屏蔽层 7 覆盖。

[0030] 导电性屏蔽层 7，为了防止从封装树脂层 5 内的半导体芯片 4 和 / 或插入式基板 2 的布线层 22、23 放射的无用电磁波的泄漏，优选由电阻率低的金属层形成，例如应用包含铜、银、镍等的金属层。导电性屏蔽层 7 的厚度，优选基于其电阻率来设定。例如，优选以使得导电性屏蔽层 7 的电阻率除以厚度所得的薄层电阻值小于等于 $0.5\ \Omega$ 的方式，来设定导电性屏蔽层 7 的厚度。通过使导电性屏蔽层 7 的薄层电阻值小于等于 $0.5\ \Omega$ ，能够再现性良好地抑制无用电磁波从封装树脂层 5 的泄漏。

[0031] 从半导体芯片 4 等放射的无用电磁波，由于通过覆盖封装树脂层 5 的导电性屏蔽层 7 遮断，所以被防止向外部泄漏。无用电磁波有可能也从插入式基板 2 的侧面泄漏。因此，在该实施方式的半导体封装 1 中，如图 2～图 5 所示，在插入式基板 2 的外周部配置有一部分通孔 24、即与接地布线 22A、23A 连接的通孔 24A。通孔 24A 配置为，具有在插入式基板 2 的厚度方式切断的切断面 C，该切断面 C 在插入式基板 2 的侧面露出。

[0032] 第一以及第二布线层 22、23 具有接地布线 22A、23A。接地布线 22A、23A 以在插入式基板 2 的侧面露出的方式配置于外周部。进而，在插入式基板 2 的外周部，配置有与接地布线 22A、23A 连接的通孔 24A。通孔 24A 配置为，具有在插入式基板 2 的厚度方式切断的切断面 C，且使切断面 C 在插入式基板 2 的侧面露出。由于导电性屏蔽层 7 形成为覆盖插入式基板 2 的侧面的一部分，所以导电性屏蔽层 7 与接地布线 23A 电连接，进而与通孔 24A 的切断面 C 电连接。

[0033] 由于导电性屏蔽层 7 与通孔 24A 经由通孔 24A 的切断面 C 电连接，所以能够提高导电性屏蔽层 7 与通孔 24A 的连接状态。具体而言，能够使导电性屏蔽层 7 与通孔 24A 的接触电阻降低。导电性屏蔽层 7 与通孔 24A 的切断面 C 的连接状态不限于直接连接的状态（直流连接），也可以经由薄的绝缘体高频电连接。

[0034] 通孔 24 的切断面 C 优选包含导体层 25 的切断面和孔填充材料 26 的切断面。图 4 以及图 5 表示以通过通孔 24A 的中心的方式进行了切断的状态。由此，由于导电性屏蔽层 7 与通孔 24A 的切断面 C 的接触面积增大，所以能够使导电性屏蔽层 7 与通孔 24A 的连接状态更进一步提高。但是，通孔 24A 的切断面 C 也可以不一定通过通孔 24A 的中心，而只要切断面 C 包含通孔 24A 的一部分即可。

[0035] 在切断通孔 24A 时，优选连接盘 27 的形状如图 4 所示为矩形。切断后的通孔 24A 的连接盘 27 的形状，可以考虑图 4 所示的长方形和图 6 所示的半圆形。图 4 所示的长方形的连接盘 27 是切断例如正方形的连接盘而成的部分。图 6 所示的半圆形的连接盘 271 是切断例如圆形的连接盘而成的部分。在如图 6 所示切断圆形的连接盘的情况下，由于切割线（dicing line）的位置的偏差的影响，连接盘 271 的剖面露出面积容易偏差。相对于此，图 4 所示的长方形的连接盘 27，即使在切割线的位置偏差了的情况下也能够使剖面露出面积一定。

[0036] 进而，在切断通孔 24A 时，优选在插入式基板 2 的四角不配置通孔 24A。配置于四角的通孔 24A，由于在切割工序中要被切断 2 次，所以容易产生铜箔从插入式基板 2 的分离

等。因此,优选在插入式基板 2 的四角不配置通孔 24A。但是,当在切割工序中不可能产生因铜箔的分离等所导致的通孔 24A 的损伤和 / 或破坏的情况下,也可以在插入式基板 2 的四角也配置要被切割的通孔 24A。

[0037] 图 2 ~ 图 5 所示的通孔 24A 具有将其厚度方向 (通孔 24 的贯通方向) 的一部分在插入式基板 2 的厚度方向切断而成的切断面 C。通孔 24A 的切断面 C 具有从插入式基板 2 的第二面侧切断通孔 24A 的厚度方向的一部分而成的形状。通孔 24A 的插入式基板 2 的第一面侧的端部及其附近部分由绝缘基板 21 覆盖。导电性屏蔽层 7 形成为,覆盖切断通孔 24A 的厚度方向的一部分而成的切断面 C 和通过切断通孔 24A 的一部分而产生的台阶面。由此,能够提高由导电性屏蔽层 7 形成的对 FBGA6 的被覆性和 / 或导电性屏蔽层 7 与通孔 24A 的切断面 C 的连接性。

[0038] 如图 7 以及图 8 所示,通孔 24A 也可以具有将其整个厚度方向 (通孔 24 的贯通方向) 在插入式基板 2 的厚度方向切断而成的切断面 C。图 7 以及图 8 所示的通孔 24A 的切断面 C 具有切断通孔 24A 的整个厚度方向而成的形状。导电性屏蔽层 7 形成为,从插入式基板 2 的第二面侧覆盖通孔 24A 的切断面 C 的厚度方向的一部分。切断面 C 的未由导电性屏蔽层 7 所覆盖的部分在插入式基板 2 的侧面露出。导电性屏蔽层 7 也可以形成为覆盖整个切断面 C。在该情况下,导电性屏蔽层 7 可以与第一布线层 22 的接地布线 22A 电连接。

[0039] 图 7 以及图 8 所示的半导体封装 1,由于切断了整个通孔 24A,所以能够抑制半导体封装 1 的面积的增加。例如在使用在外周部配置有未被切断的通孔的插入式基板的情况下,与未在外周部配置通孔的插入式基板相比,半导体封装的一边的长度增加通孔的连接盘的宽度的 2 倍以上。相对于此,在使用在外周部配置有在中心切断了通孔 24A 的插入式基板 2 的情况下,半导体封装 1 的一边的长度的增加量被抑制为通孔 24 的连接盘的宽度程度。在通孔 24A 的连接盘的宽度为 0.2mm 的情况下,如果配置未切断的通孔,则封装的一边的长度增加 0.4mm 以上,相对于此,如果配置切断了通孔则能够将封装的一边的长度的增加量抑制为 0.2mm 左右。

[0040] 具有与导电性屏蔽层 7 电连接的切断面 C 的通孔 24A,具有抑制电磁波从插入式基板 2 的侧面泄漏的效果。由于通孔 24A 贯通插入式基板 2,并且在切断面 C 与导电性屏蔽层 7 电连接,所以能够有效地抑制电磁波从插入式基板 2 的整个侧面泄漏。例如,即使在插入式基板 2 的外周部配置有连接于接地布线的通孔,在该通孔仅设置于插入式基板 2 的厚度方向的一部分的情况下,电磁波也从在厚度方向不存在通孔的部分泄漏。相对于此,通过配置贯通插入式基板 2 的通孔 24A,由于通孔 24A 对于插入式基板 2 的整个侧面发挥屏蔽效果,所以能够有效地抑制电磁波从插入式基板 2 的侧面泄漏。

[0041] 为了抑制电磁波从插入式基板 2 的侧面泄漏,优选使多个通孔 24A 的切断面 C 在插入式基板 2 的每一边的侧面露出。进而,在插入式基板 2 的侧面露出的通孔 24A 的切断面 C 的间隔越窄,电磁波的泄漏抑制效果 (磁场屏蔽效果) 就变得越高。优选,将通孔 24A 的切断面 C 的最大间隔设定为小于等于 4mm。通孔 24A 的配置间隔并不限定于等间隔。通孔 24A 的配置间隔也可以不固定。即使在那样的情况下,也优选以使得切断面 C 的最大间隔小于等于 4mm 的方式配置通孔 24A。

[0042] 图 9 中示出插入式基板 2 的侧面的通孔 24A 的切断面 C 的最大间隔与磁场屏蔽效果的关系。图 9 是测定 900MHz、2500MHz 各个频率下的磁场屏蔽效果的结果。测定样本设

定为一边的长度为 8.15mm、高度（包括焊球）为 1.06mm 的半导体封装。噪音从外部供给于焊球，并从焊球起在插入式基板的信号布线和通孔中传播而传播到基板并终止于基板。使导电性屏蔽层、露出的通孔、接地布线以及焊球的接地引脚电连接。

[0043] 磁场强度在距封装中央部正上方的封装树脂层 1mm 的距离（基准面）的位置进行扫描而测定。磁场屏蔽效果根据有屏蔽层时和无屏蔽层时基准面处的磁场强度之差而求得。导电性屏蔽层的厚度，在封装上面设定为 $50\mu\text{m}$ 、在侧面设定为 $70\mu\text{m}$ 。导电性屏蔽层的电阻率为 $30\mu\Omega\text{cm}$ 左右。在图 9 中示出这样测定到的磁场屏蔽效果。图 9 示出了使通孔 24A 的切断面 C 的最大间隔变化了的情况下的磁场屏蔽效果。

[0044] 如图 9 所示，通孔 24A 的切断面 C 的最大间隔的对数与磁场屏蔽效果具有线性的关系。可知，在通孔 24A 的切断面 C 的最大间隔大的情况下，磁场屏蔽效果降低。为了提高磁场屏蔽效果，优选使通孔 24A 的切断面 C 的最大间隔变窄。在便携设备所使用的半导体封装 1 中，要求使 900MHz 下的磁场屏蔽效果大于等于 34dB。因此，优选将切断面 C 的最大间隔设定为小于等于 4mm。使通孔 24A 的切断面 C 的间隔变窄的方式效果高，但是由于通孔 24A 的间隔受到结构上的限制，所以使其间隔大于等于 0.2mm。

[0045] 进而，为了提高由导电性屏蔽层 7 实现的磁场屏蔽效果，优选使导电性屏蔽层 7 与插入式基板 2 的接地布线以低电阻接触。具体而言，优选使导电性屏蔽层 7 与接地布线 23A 和 / 或通孔 24A 的切断面 C 的接触电阻降低。图 10 中示出通过电磁场模拟求出导电性屏蔽层 7 和通孔 24A 的切断面 C 的接触电阻与由导电性屏蔽层 7 实现的磁场屏蔽效果的关系的结果。

[0046] 对于一边的长度为 8.1mm、高度（包括焊球）为 1.06mm 的半导体封装进行了基于电磁场模拟的分析。半导体封装的具体的形状设定为，插入式基板 2 的高度为 0.1mm、通孔 24A 的直径为 0.08mm、通孔 24A 的连接盘 27 的宽度为 0.2mm、第一以及第二布线层 22、23 的厚度为 $18\mu\text{m}$ 。设定通孔 24A 在贯通孔内填充有铜。如果导电性屏蔽层 7 与通孔 24A 的切断面 C 的上半部分接触，则通孔 24A 的每一个的接触面积为 0.0076mm^2 。通孔 24A 以 1mm 间距等间隔配置，也配置于插入式基板 2 的四角。通孔 24A 的个数为 33 个。

[0047] 噪音从外部供给于焊球，并从焊球起在插入式基板的信号布线和通孔中传播而传播到基板并终止于基板。使导电性屏蔽层、露出的通孔、接地布线以及焊球的接地引脚电连接。磁场强度在距封装中央部正上方的封装树脂层 1mm 的位置（基准面）计算出。磁场屏蔽效果根据有屏蔽层时和无屏蔽层时基准面处的磁场强度的最大值之差而求得。导电性屏蔽层的厚度，在封装上面和侧面都设定为 $50\mu\text{m}$ 。导电性屏蔽层的电阻率为 $30\mu\Omega\text{cm}$ 左右。在图 10 中示出这样实施的电磁场模拟的结果。

[0048] 如图 10 所示，导电性屏蔽层 7 与通孔 24A 的切断面 C 的接触电阻越低，磁场屏蔽效果就变得越高。在便携设备所使用的半导体封装 1 中，要求使 900MHz 下的磁场屏蔽效果大于等于 34dB。因此，优选将导电性屏蔽层 7 与通孔 24A 的切断面 C 的接触面积电阻率设定为小于等于 $300\text{m}\Omega/\text{mm}^2$ 。由于每一个通孔 24A 的接触面积为 0.0076mm^2 ，所以优选将一个通孔 24A 的切断面 C 与导电性屏蔽层 7 的接触界面的电阻值设定为小于等于 39Ω 。即，导电性屏蔽层 7，优选与通孔 24A 的切断面 C 的接触电阻小于等于 $300\text{m}\Omega/\text{mm}^2$ 的导电材料、或者与一个通孔 24A 的切断面 C 的接触界面的电阻值小于等于 39Ω 的导电材料来形成。

[0049] 该实施方式的半导体封装 1，例如如下述这样制作。首先，如图 11A 所示，应用现有

的制作工序制作 FBGA 6。通过切割将 FBGA 6 单片化。在将 FBGA 6 单片化时,以使得通孔 24A 的切断面 C 在插入式基板 2 的侧面露出的方式进行切割。接着,在使封装树脂层 5 固化(cure)之后,如图 11B 所示形成导电性屏蔽层 7。图 11A 以及图 11B 示出图 7 以及图 8 所示的半导体封装 1 的制造工序。

[0050] 导电性屏蔽层 7,通过用例如转印法、丝网印刷法、喷射涂敷法、喷射分配(jet dispense)法、喷墨法、喷雾法等涂敷导电性膏来形成。导电性膏包含例如银和 / 或铜和树脂作为主成分,优选电阻率低。此外,也可以应用通过化学镀法和 / 或电镀法进行铜和 / 或镍的成膜的方法、通过溅射法进行铜等的成膜的方法来形成导电性屏蔽层 7。导电性屏蔽层 7 形成,覆盖封装树脂层 5 以及插入式基板 2 的侧面的至少一部分。

[0051] 如图 11C 所示,也可以根据需要用耐蚀性和 / 或耐迁移性优异的保护层 9 覆盖导电性屏蔽层 7。作为保护层 9,使用聚酰亚胺树脂等。之后,通过对导电性屏蔽层 7 和 / 或保护层 9 进行烧成以使其固化,从而制作半导体封装 1。半导体封装 1 根据需要被进行印字。印字,通过基于激光进行的印字和 / 或转印法等来实施。

[0052] 该实施方式的半导体封装 1,也能够如图 12A ~ 图 12E 所示,在单片化之前进行半切割(half dicing),接着在形成了导电性屏蔽层 7 之后,进行用于单片化的切割而制作。图 12A ~ 图 12E 示出了图 1 ~ 图 3 所示的半导体封装 1 的制造工序。

[0053] 首先,如图 12A 所示,应用现有的制作工序制作将多个 FBGA6 用封装树脂层 5 一并封装而成的封装。接着,如图 12B 所示,以将封装树脂层 5 和插入式基板 2 的一部分切断的方式进行半切割。半切割以将配置于插入式基板 2 的外周部的通孔 24A 的厚度方向的一部分切断的方式实施。通孔 24A 的切断面 C 通过半切割而形成。

[0054] 在实施半切割时,若在插入式基板 2 的四角配置通孔 24A,则有时通孔 24A 会从插入式基板 2 分离。为了避免这样的情况,优选在插入式基板 2 的四角不配置通孔 24A。当在插入式基板 2 的四角配置通孔 24A 且在半切割中通孔 24A 从插入式基板 2 分离了的情况下,通过再次使切割刀片通过与进行了半切割的部分相同的位置,能够除去分离了的通孔 24A。由此,能够抑制因通孔 24A 的分离导致的不良的发生。

[0055] 接着,如图 12C 所示,以覆盖多个 FBGA 6 的方式形成导电性屏蔽层 7。导电性屏蔽层 7 以填充于通过半切割而形成的切割槽内的方式形成。如图 12D 所示,在一并搭载了焊球 3 之后,如图 12E 所示,进行用于单片化的切割而制作半导体封装 1。用于单片化的切割,以将填充于切割槽内的导电性屏蔽层 7 和插入式基板 2 的剩余部分切断的方式实施。如图 11C 所示,在应用保护层 9 的情况下,在用于单片化的切割工序之前或者工序之后在导电性屏蔽层 7 上形成保护层 9。半导体封装 1 根据需要被进行印字。

[0056] 如图 13 所示,当在半导体封装 1 的导电性屏蔽层 7 的表面形成文字 10A、符号 10B、图形等标识标记 10 的情况下,如果在厚度方向全部削去导电性屏蔽层 7、使封装树脂层 5 露出,则电磁噪音可能会从标识标记 10 的形成部分泄漏。因此,标识标记 10,优选通过仅在厚度方向的一部分削去导电性屏蔽层 7 来形成。标识标记 10,也可以通过不削去导电性屏蔽层 7 的转印墨的方法来形成。

[0057] 作为标识标记 10 的形成方法,可举出以不怎么削去导电性屏蔽层 7 的方式调节激光输出的激光打标法。在对导电性屏蔽层 7 进行激光标记的情况下,如图 14 所示,优选调节激光的输出以使标识标记 10 的形成部分的表面粗糙度变得与导电性屏蔽层 7 的其他部

分的表面粗糙度不同。例如,使标识标记 10 的形成部分的表面粗糙度变得比导电性屏蔽层 7 的其他部分的表面粗糙度小。由此,不大幅削去导电性屏蔽层 7 便能够识别性良好地形成标识标记 10。

[0058] 在图 15 以及表 1 中示出通过电磁场模拟求出导电性屏蔽层 7 的标识标记 10 的形成部分的薄层电阻值与磁场屏蔽效果的关系的结果。对于一边的长度为 8.1mm、高度(包括焊球)为 1.06mm 的半导体封装进行了基于电磁场模拟的分析。半导体封装的具体的形状设定为,插入式基板 2 的高度为 0.1mm、通孔 24A 的直径为 0.08mm、通孔 24A 的连接盘 27 的宽度为 0.2mm、第一以及第二布线层 22、23 的厚度为 $18\mu\text{m}$ 。设定通孔 24A 在贯通孔内填充有铜。如果导电性屏蔽层 7 与通孔 24A 的切断面 C 的上半部分接触,则通孔 24A 的每一个的接触面积为 0.0076mm^2 。通孔 24A 以 1mm 间距等间隔配置,也配置于插入式基板 2 的四角。通孔 24A 的个数为 33 个。

[0059] 噪音从外部供给于焊球,并从焊球起在插入式基板的信号布线和通孔中传播而传播到基板并终止于基板。使导电性屏蔽层、露出的通孔、接地布线以及焊球的接地引脚电连接。分析频率设定为 900MHz。磁场强度在距封装中央部正上方的封装树脂层 1mm 的位置(基准面)计算出。磁场屏蔽效果根据有屏蔽层时和无屏蔽层时基准面处的磁场强度的最大値之差而求得。导电性屏蔽层的厚度,在封装上面和侧面都设定为 $50\mu\text{m}$ 。导电性屏蔽层的电阻率为 $30\mu\Omega\text{cm}$,导电性屏蔽层的薄层电阻值为 0.006Ω 。

[0060] 在导电性屏蔽层 7 形成有图 13 所示那样的标识标记 10。文字 10A 的粗细是 0.08mm,文字 10A 的大小设定为纵 1mm、横 0.7mm。表示封装方向的标记 10B 设定为直径 1mm 的圆形。通过切削导电性屏蔽层 7 而形成了图 13 所示那样的标识标记 10。使标识标记 10 的形成部分的导电性屏蔽层 7 的厚度从 $0\mu\text{m}$ 变化至 $50\mu\text{m}$,对与磁场屏蔽效果的关系进行了分析。在导电性屏蔽层 7 的厚度为 $0\mu\text{m}$ 时,是标记形成部分的导电性屏蔽层 7 被完全削去而不存在的状态,该情况下的薄层电阻值为无限大。在导电性屏蔽层 7 的厚度为 $50\mu\text{m}$ 时,标记形成部分的导电性屏蔽层 7 未被切削,该情况下的薄层电阻值为 0.006Ω 。

[0061] 表 1

[0062]

印字部分的屏蔽层的厚度 (μm)	50	40	20	10	5	2	1	0
印字部分的屏蔽层的薄层电阻率 (Ω)	0.006	0.0075	0.015	0.03	0.06	0.15	0.3	∞
磁场屏蔽效果 (dB)	50	52	50	50	53	46	33	31

[0063] 如图 15 以及表 1 所示,导电性屏蔽层 7 的标识标记 10 的形成部分的薄层电阻值低的一方,磁场屏蔽效果变高。在便携设备中所使用的半导体封装 1 中,要求将 900MHz 下的磁场屏蔽效果设定为大于等于 34dB。因此,优选将导电性屏蔽层 7 的标识标记 10 的形成部分的薄层电阻值设定为小于等于 0.28Ω 。

[0064] 上述实施方式的半导体封装 1,适用于便携电话机和 / 或便携信息终端等便携通信设备。图 16 示出了实施方式的便携电话机。图 16 所示的便携电话机 100 具有 CPU 封装 101、存储器芯片封装 102、音源芯片封装 103、电源芯片封装 104 等。这些 IC 封装 101、102、103、104 都为噪音源。通过对这样的 IC 封装 101、102、103、104 应用实施方式的半导体封装 1,能够抑制便携电话机 100 通信时的噪音。

[0065] 虽然说明了几种实施方式,但是这些实施方式仅是作为例子而呈现的,而并不是要限定本发明的范围。事实上,这里描述的新方法也可以以其他方式实施,进而,在不脱离本发明的思想的范围,可以对这里描述的方法进行各种省略、置换和变形。所附权利要求及其均等的范围旨在覆盖这样的方式或变形以落入本发明的范围和思想。

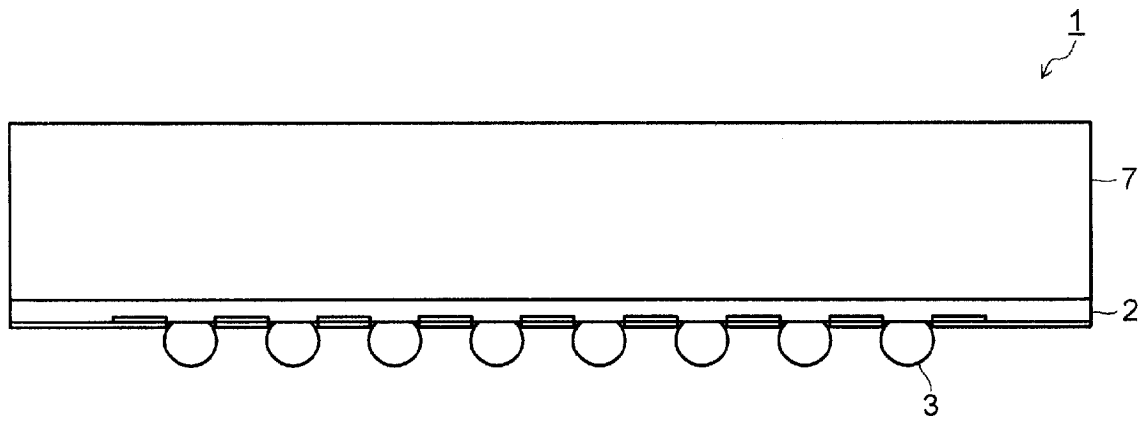


图 1

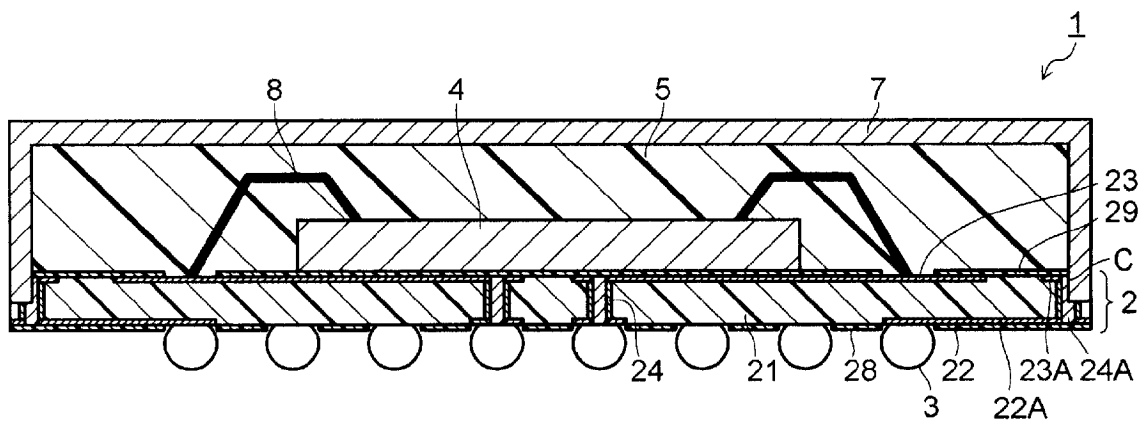


图 2

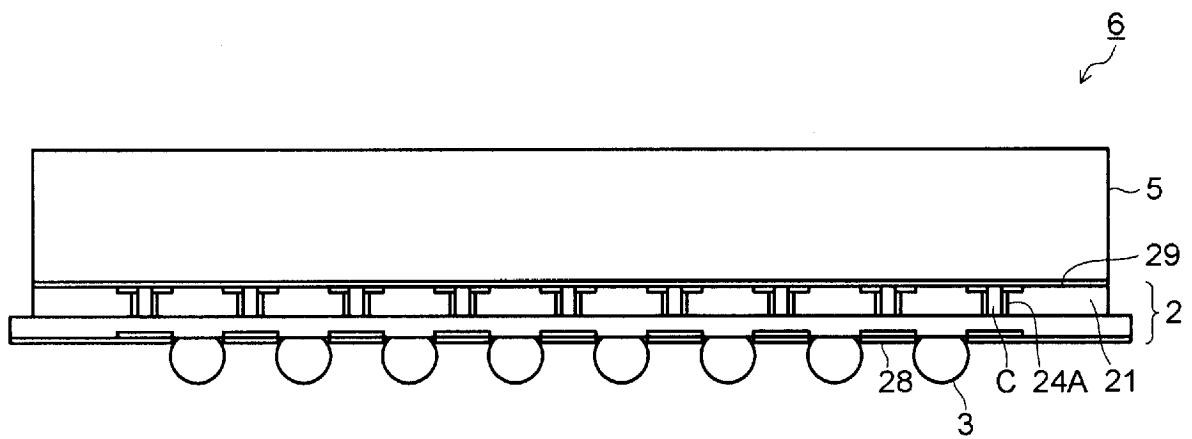


图 3

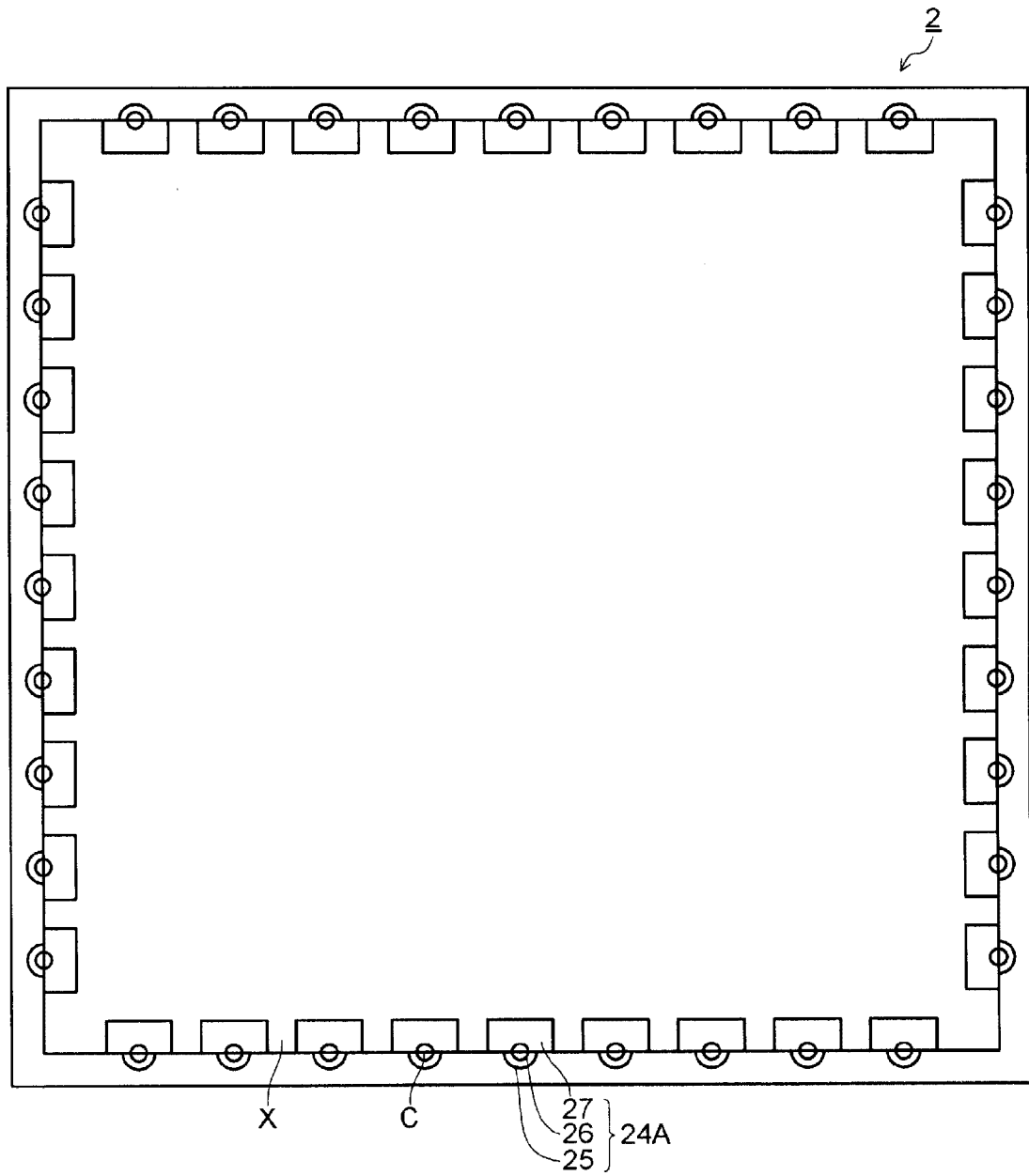


图 4

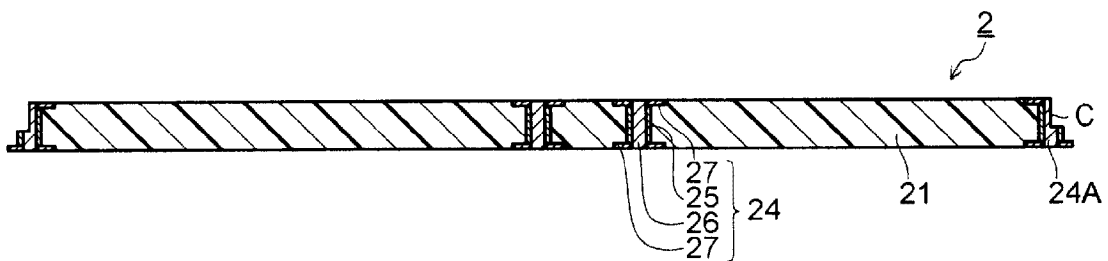


图 5

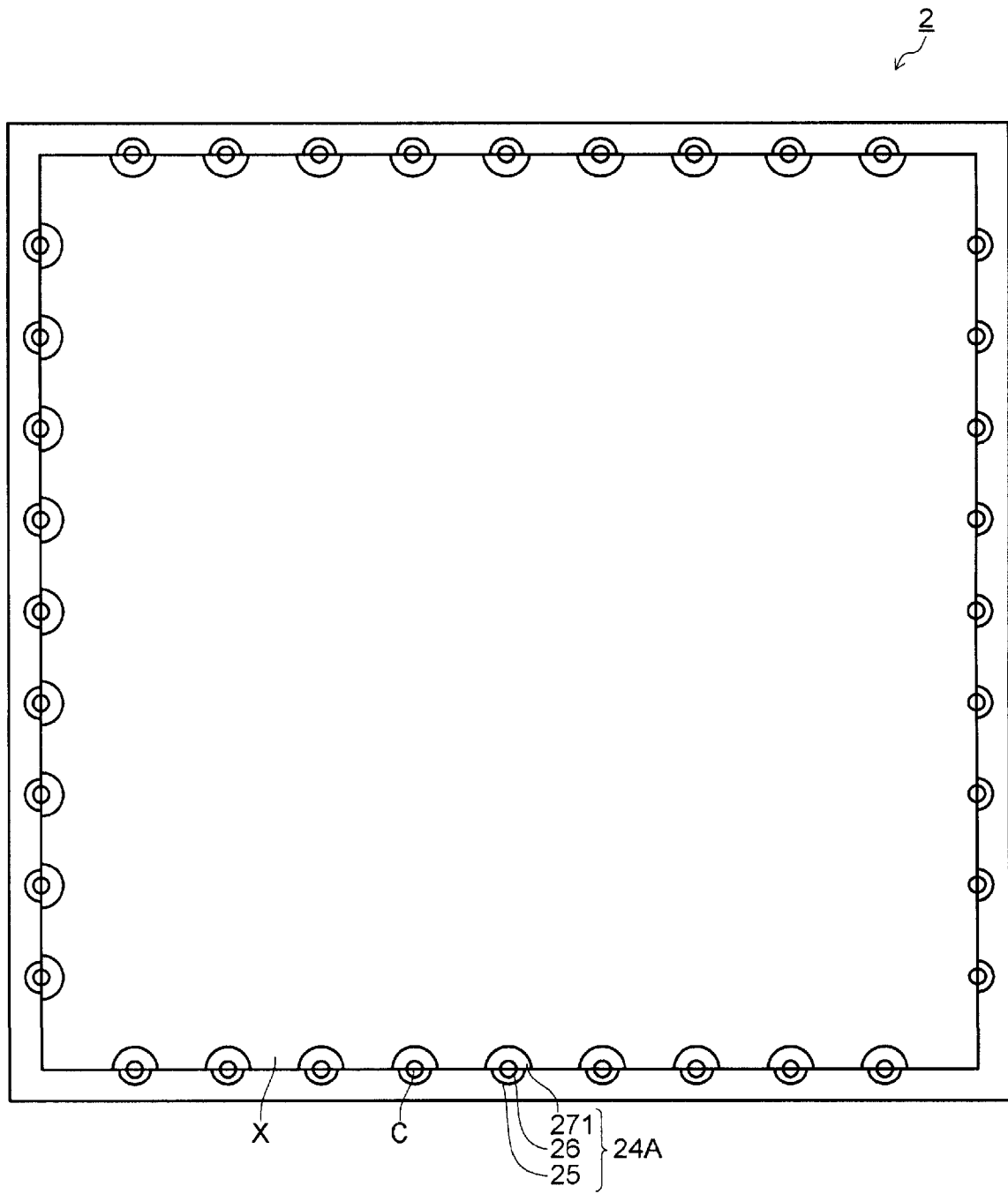


图 6

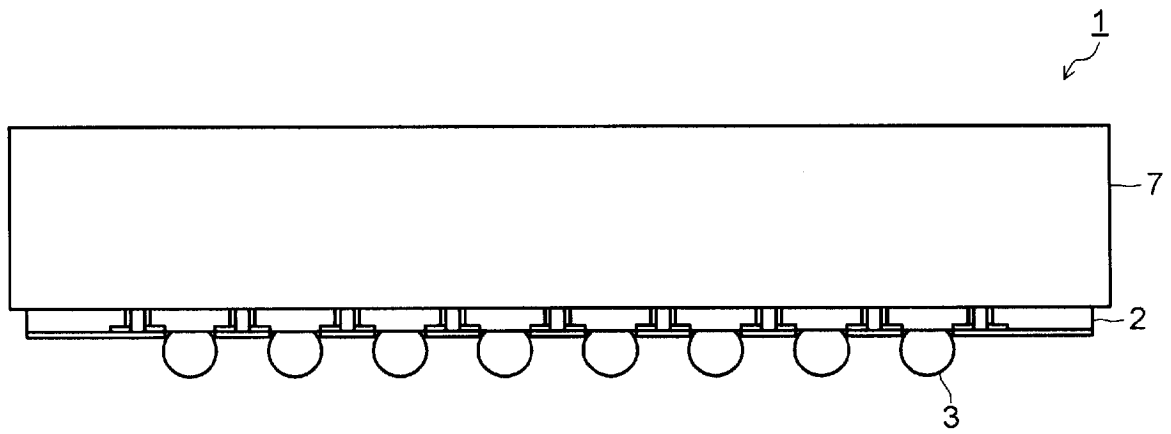


图 7

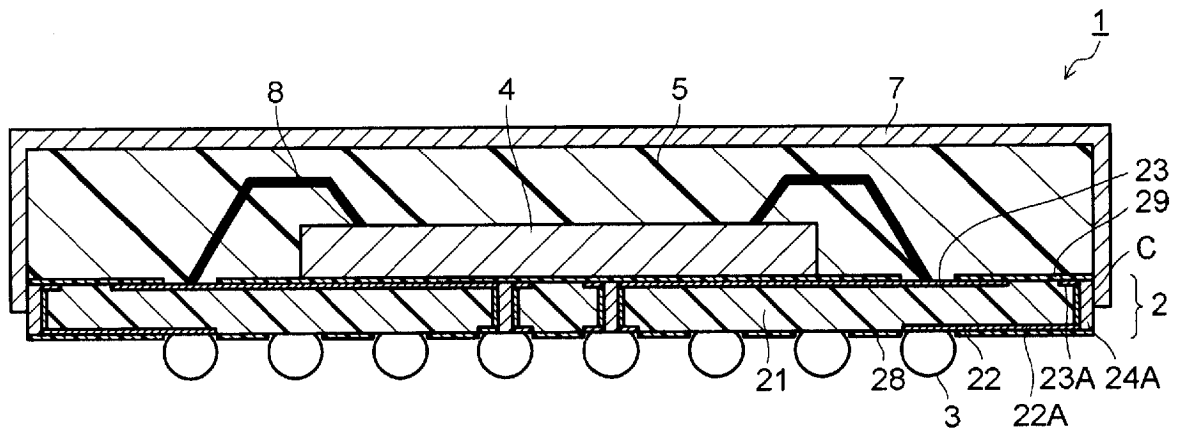


图 8

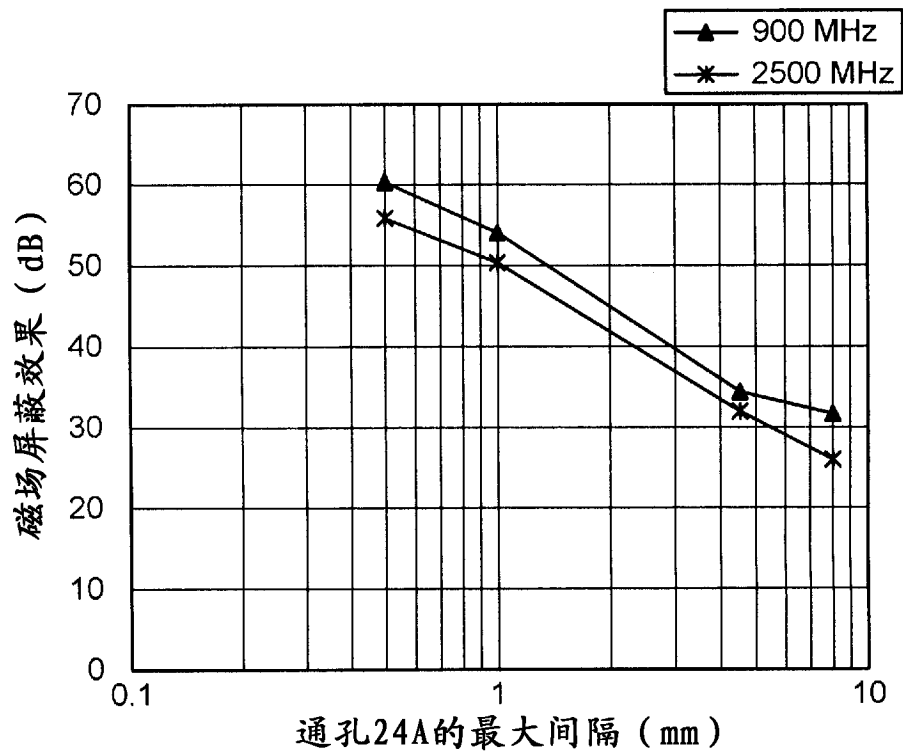


图 9

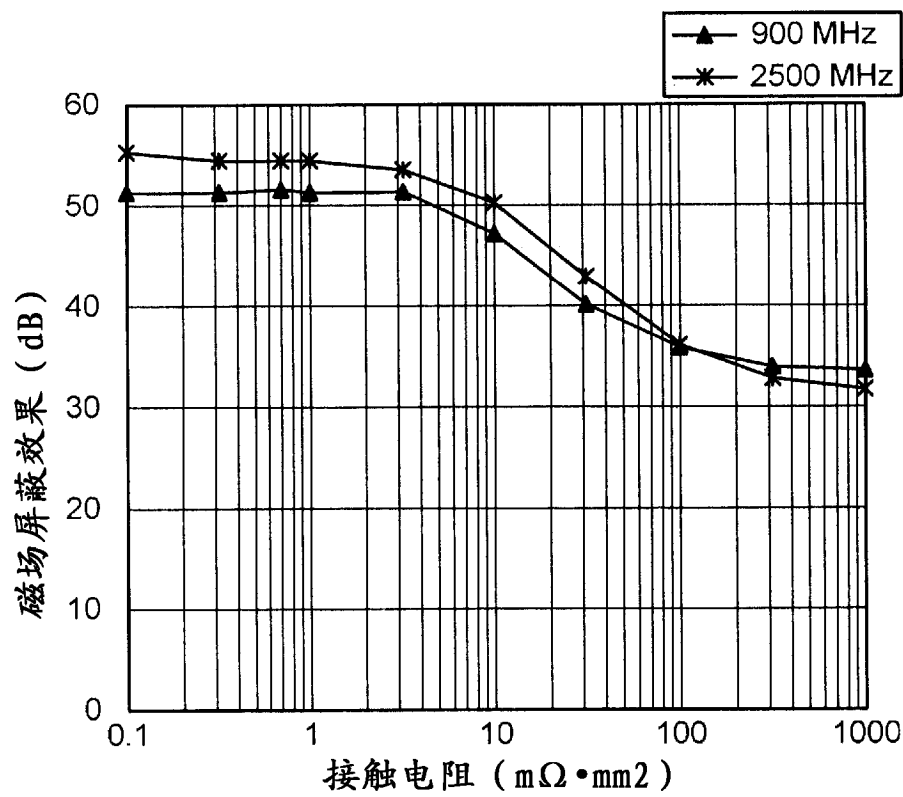


图 10

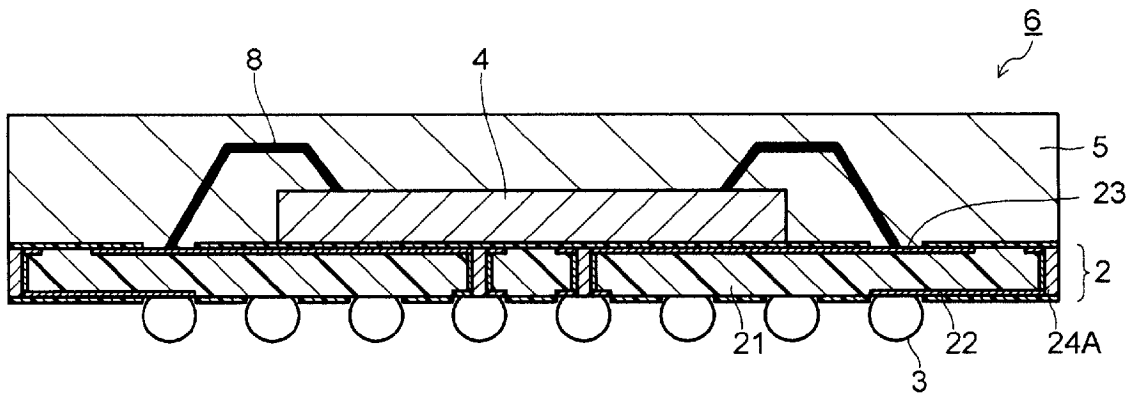


图 11A

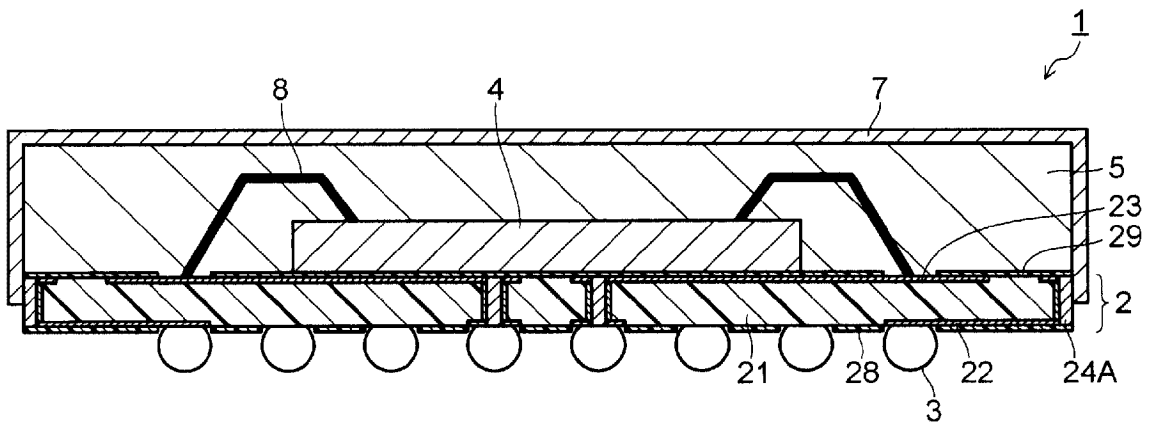


图 11B

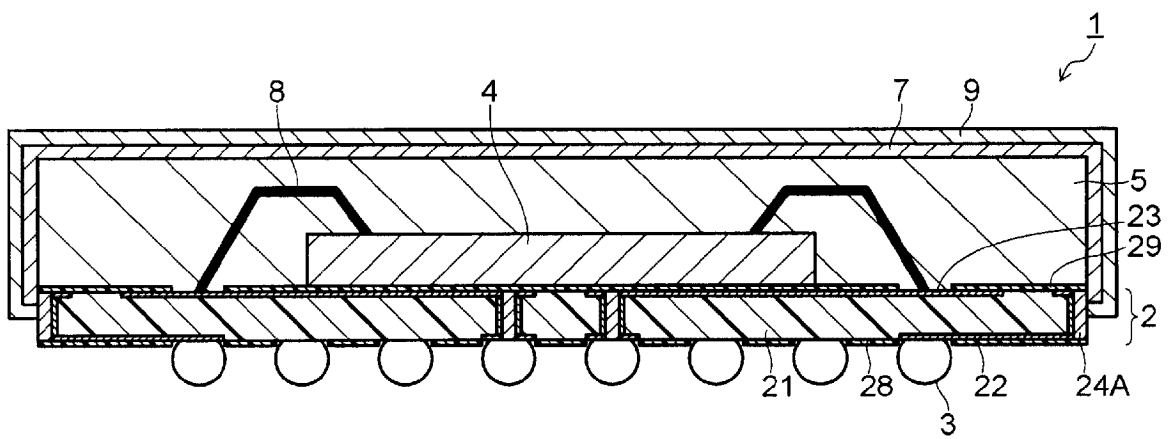


图 11C

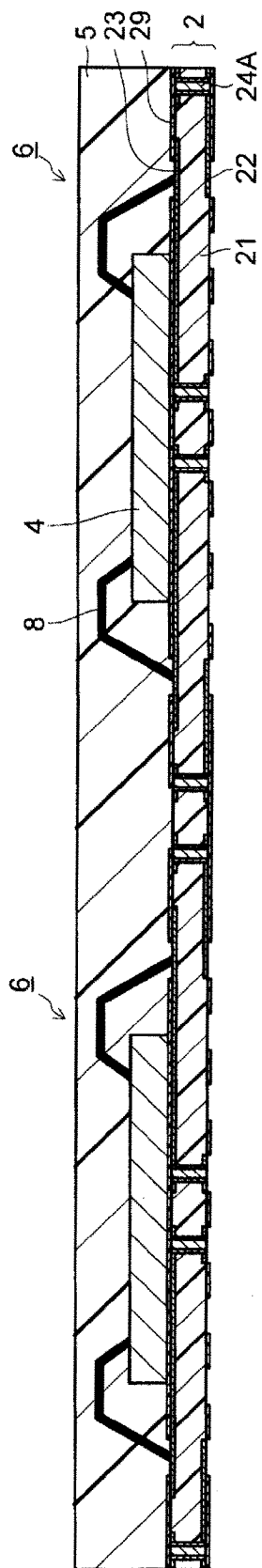


图 12A

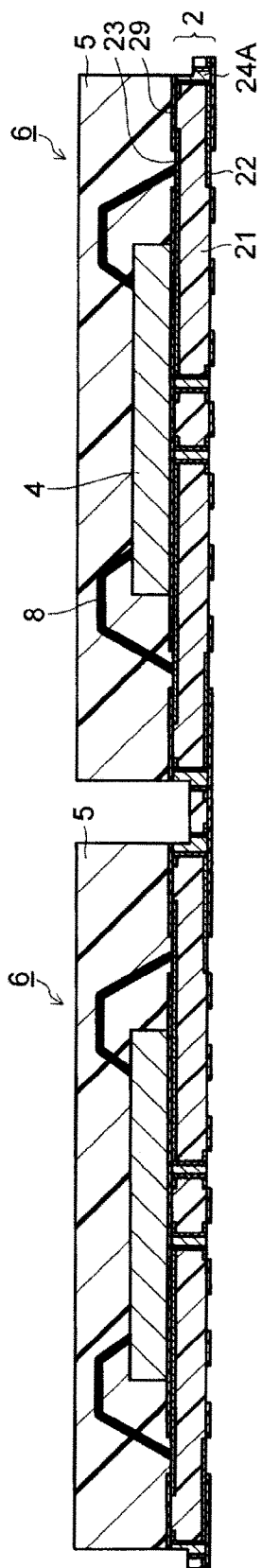


图 12B

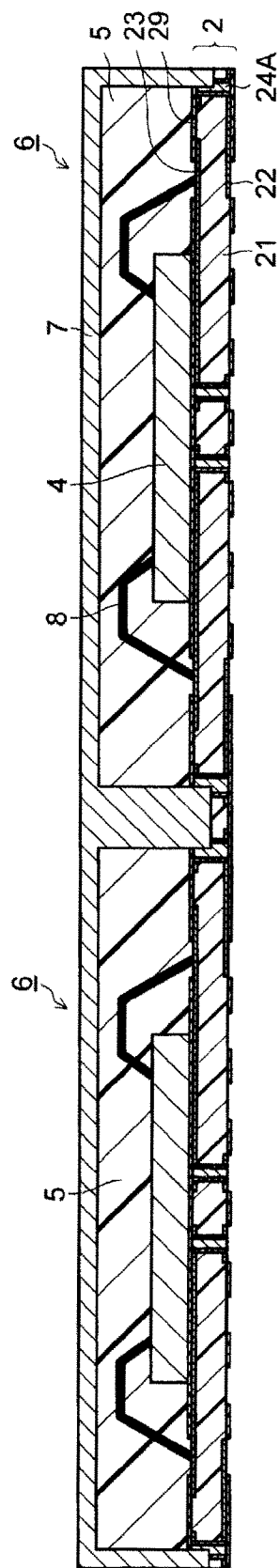


图 12C

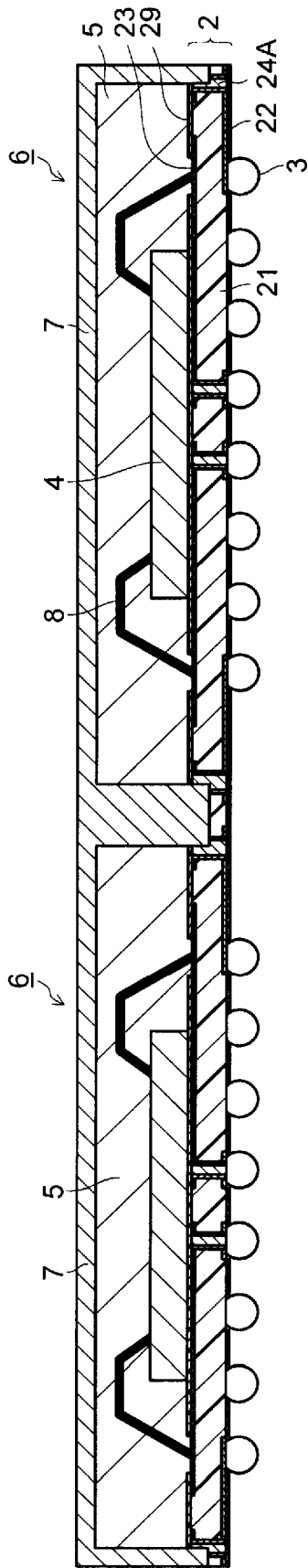


图 12D

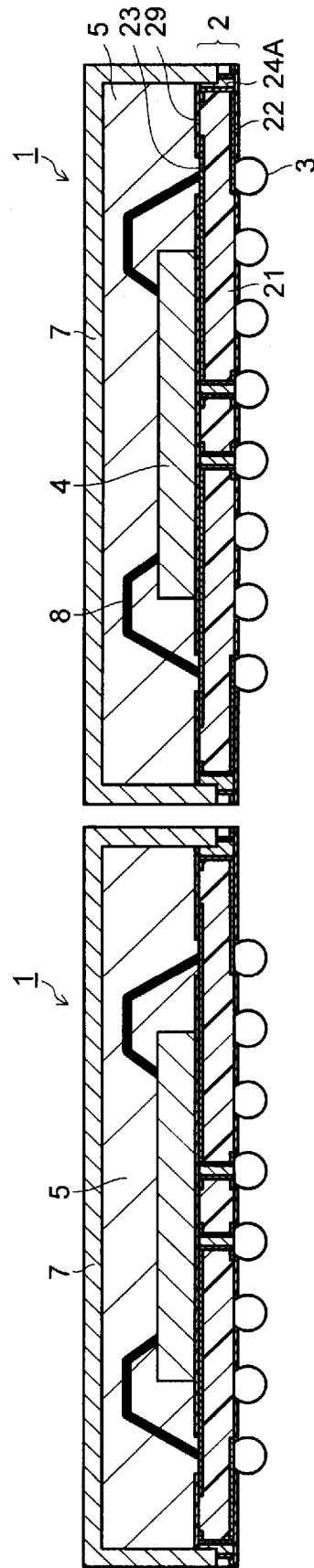


图 12E

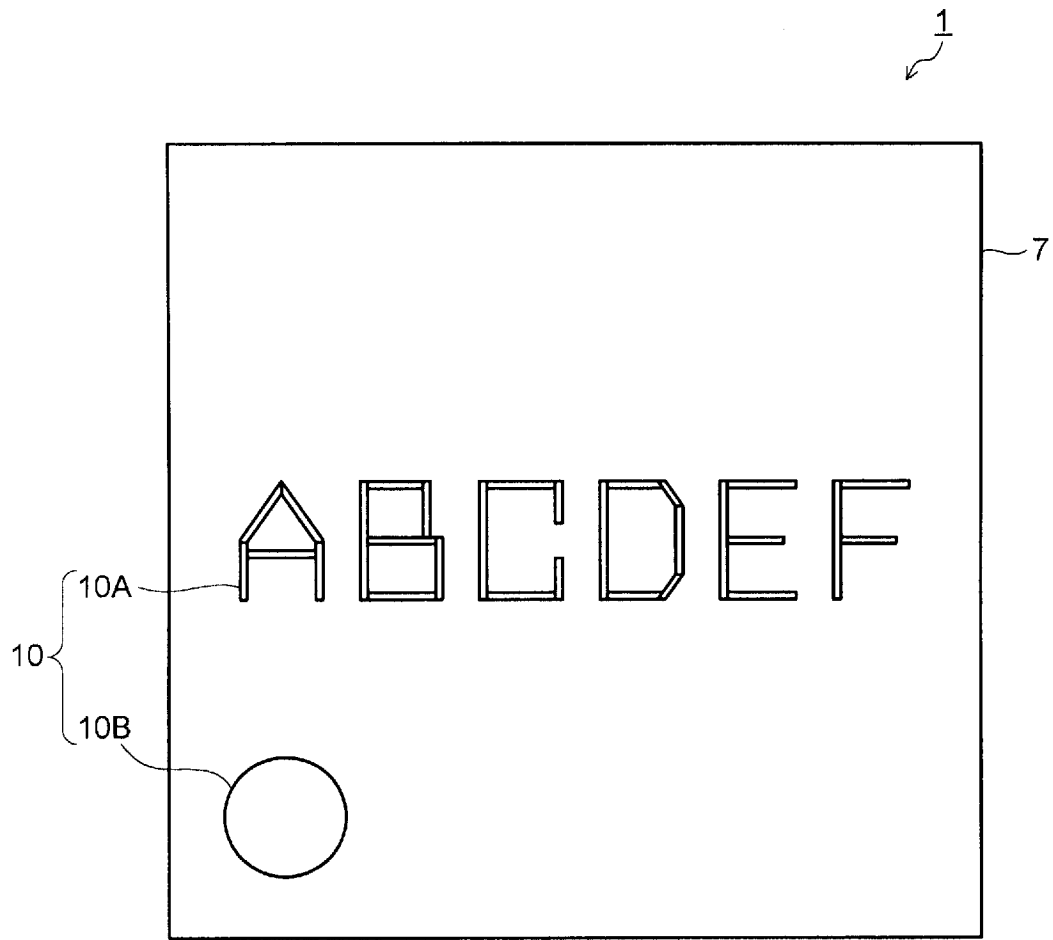


图 13

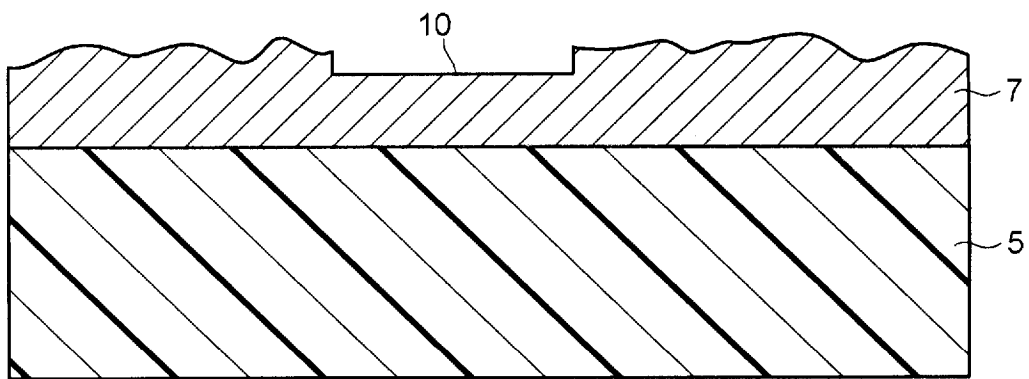


图 14

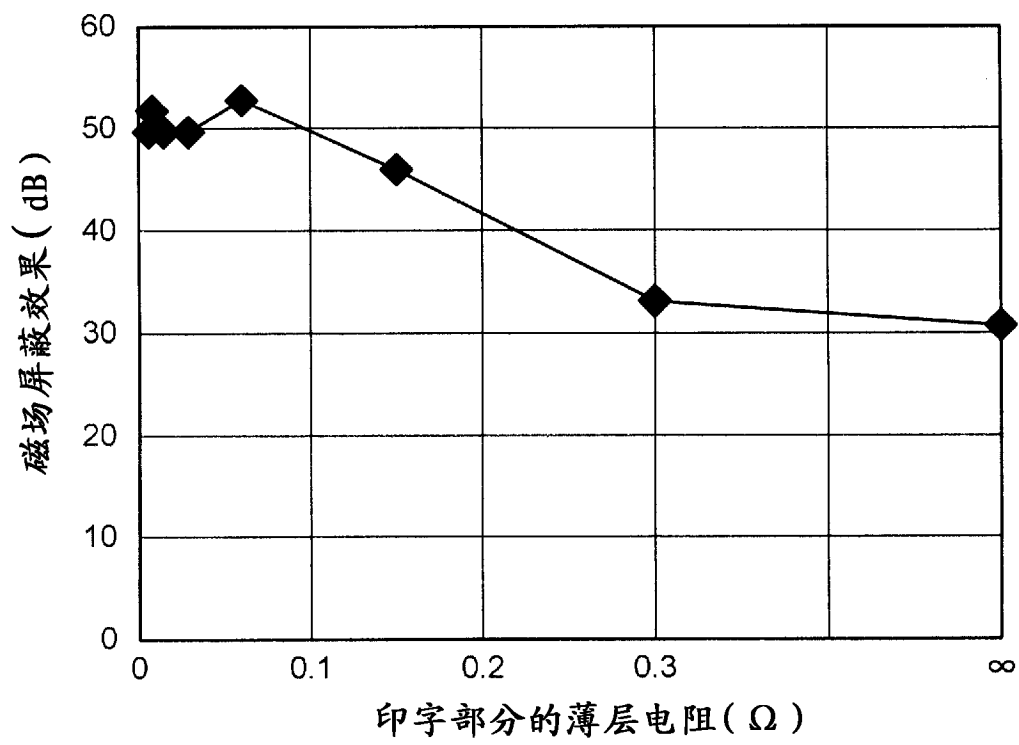


图 15

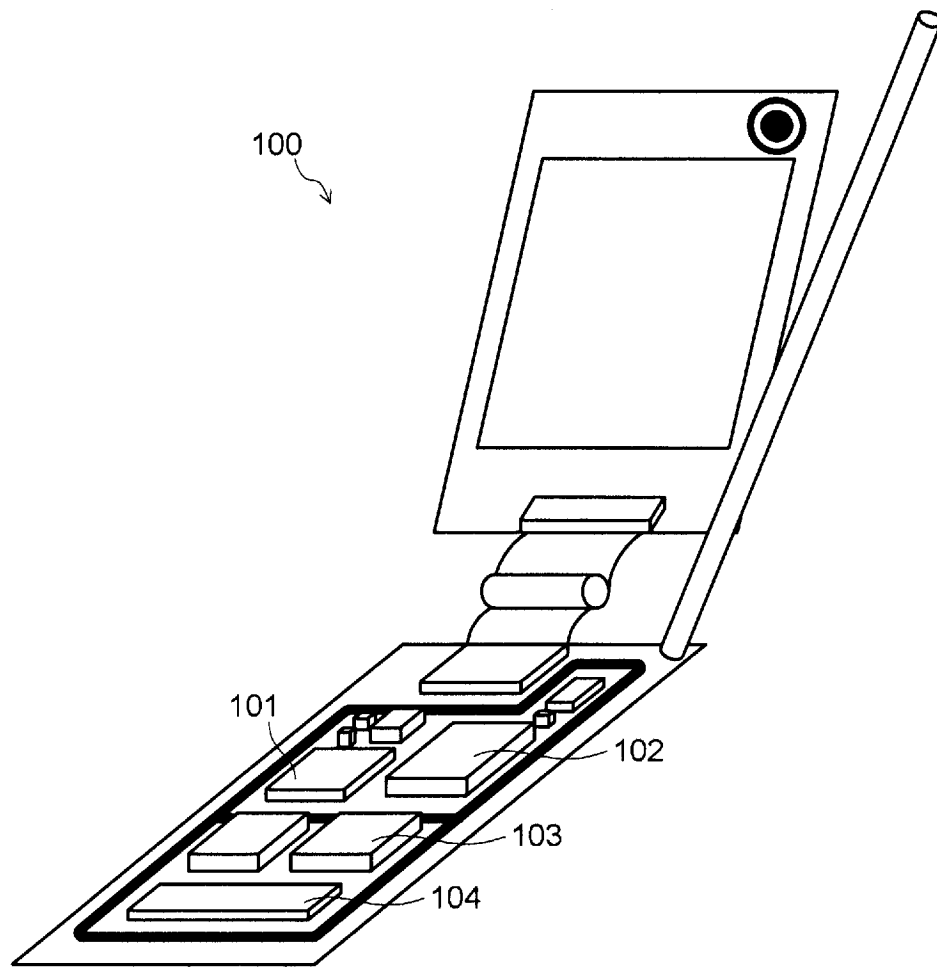


图 16