(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 10 月 13 日 (13.10.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/161770 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2015/089724

(22) 国际申请日: 2015 年 9 月 16 日 (16.09.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510169597.7 2015 年 4 月 10 日 (10.04.2015) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。

(72) 发明人: **杨东 (YANG, Dong)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **陈希 (CHEN, Xi)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: SHIFT REGISTER UNIT AND DRIVING METHOD THEREOF, SCANNING DRIVING CIRCUIT AND DISPLAY DEVICE

(54) 发明名称 : 移位寄存器单元及其驱动方法、扫描驱动电路、显示装置

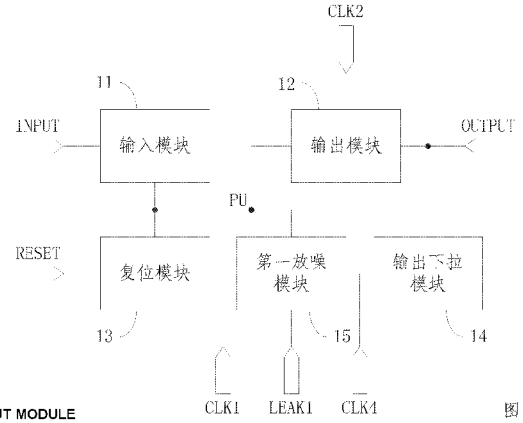

图 1

11 INPUT MODULE
12 OUTPUT MODULE
13 RESET MODULE
14 OUTPUT PULL-DOWN MODULE
15 FIRST NOISE LEAK MODULE

(57) Abstract: A shift register unit and driving method thereof, scanning driving circuit and display device. The shift register unit comprises: an input end (INPUT), an output end (OUTPUT), a reset end (RESET) and a first noise leak end (LEAK1), and further comprises a pull-down module (14), and an input module (11), an output module (12), a reset module (13) and a first noise leak module (15) connected to a first node (PU). The input module (11) is configured to pull up a voltage at the first node (PU) under the control of a signal received by the input end (INPUT). The first noise leak module (15) is configured to output a noise voltage at the first node (PU) to the first noise leak end (LEAK1) under the control of a third clock signal (CLK1), and is further configured to disconnect an electric connection between the first noise leak end (LEAK1) and the first node (PU) when the voltage at the first node (PU) is pulled up. Thus a stable output of a GOA unit eliminating noise interference is achieved with comparatively few circuit components.

(57) 摘要:

[见续页]

WO 2016/161770 A1

IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种移位寄存器单元及其驱动方法、扫描驱动电路、显示装置，其中的移位寄存器单元包括输入端（INPUT）、输出端（OUTPUT）、复位端（RESET）和第一放噪端（LEAK1），还包括输出下拉模块（14）以及相连于第一节点（PU）的输入模块（11）、输出模块（12）、复位模块（13）和第一放噪模块（15）；输入模块（11）用于在输入端（INPUT）所接信号的控制下拉高第一节点（PU）处的电压；第一放噪模块（15）用于在第三时钟信号（CLK1）的控制下将第一节点（PU）处的噪声电压释放至第一放噪端（LEAK1），还用于在第一节点（PU）处的电压被拉高的期间断开第一放噪端（LEAK1）与第一节点（PU）之间的电连接。由此可以通过相对较少的电路元器件实现 GOA 单元排除噪声干扰的稳定输出。

移位寄存器单元及其驱动方法、扫描驱动电路、显示装置

技术领域

本公开涉及一种移位寄存器单元及其驱动方法、扫描驱动电路、显示装置。

背景技术

GOA（Gate Drive on Array，阵列基板行驱动技术）相较于传统工艺，不仅节约了成本，还可以实现显示面板两边对称的美观设计，也省去了芯片的绑定区域以及例如扇出区的布线区域，有利于窄边框设计的实现。同时，由于可以省去行方向上的芯片绑定工艺，对整体的产能、良率提升也较有利。

但是，GOA 在实际应用中也存在一些问题。比如为了实现每一行扫描信号的稳定输出、并防止噪声干扰造成误输出，常需要在每一行的 GOA 单元中额外设置若干个电路元器件，使得每一 GOA 单元中的电路元器件数量可能达到十几个，严重制约了产品成本的控制和功耗的降低。因此，如何使用尽可能少的电路元器件来实现 GOA 单元的排除噪声干扰的稳定输出，成为了本领域亟待解决的问题。

发明内容

本公开提供一种移位寄存器单元及其驱动方法、扫描驱动电路、显示装置，可以通过相对较少的电路元器件实现 GOA 单元的排除噪声干扰的稳定输出。

第一方面，本公开提供了一种移位寄存器单元，包括输入端、输出端、复位端和第一放噪端；所述移位寄存器单元还包括:

输入模块，与所述输入端和第一节点相连，用于在输入端所接信号的控制下拉高所述第一节点处的电压;

输出模块，与所述输出端和第一节点相连，用于在所述第一节点处电压的控制下利用第一时钟信号拉高所述输出端处的电压;

复位模块，与所述复位端和第一节点相连，用于在所述复位端所接信号

的控制下拉低所述第一节点处的电压;

输出下拉模块，与所述输出端相连，用于在第二时钟信号的控制下拉低所述输出端处的电压;

第一放噪模块，与所述第一放噪端和第一节点相连，用于在第三时钟信号的控制下将所述第一节点处的噪声电压释放至所述第一放噪端;

其中，所述第一放噪模块还用于在第一节点处的电压被拉高的期间断开所述第一放噪端与所述第一节点之间的电连接。

可选地，所述第一放噪模块包括第一晶体管，所述第一晶体管的栅极连接所述第三时钟信号，源极与漏极中的一个连接所述第一放噪端，另一个连接所述第一节点;

所述第一放噪端所接信号在所述第一节点处的电压被拉高的至少部分时间内的电压大于等于所述第三时钟信号的电压。

可选地，所述移位寄存器单元还包括第二放噪端以及连接所述第一节点的第二放噪模块;

所述第二放噪模块还与所述第二放噪端相连，用于在第四时钟信号的控制下将所述第一节点处的噪声电压释放至所述第二放噪端;

其中，所述第二放噪模块还用于在第一节点处的电压被拉高的期间断开所述第二放噪端与所述第一节点之间的电连接。

可选地，所述第二放噪模块包括第二晶体管，所述第二晶体管的栅极连接所述第四时钟信号，源极与漏极中的一个连接所述第二放噪端，另一个连接所述第一节点;

所述第二放噪端所接信号在所述第一节点处的电压被拉高的至少部分时间内的电压大于等于所述第四时钟信号的电压。

可选地，在所述移位寄存器单元的同一时钟周期内，所述第三时钟信号、所述第一时钟信号、所述第四时钟信号及所述第二时钟信号的相位依次滞后。

可选地，所述输出模块包括:

第一电容，其第一端与所述第一节点相连; 以及

第三晶体管，所述第三晶体管的栅极与所述第一节点相连，源极和漏极中的一个连接所述第一时钟信号，另一个连接所述输出端。

可选地，所述输出下拉模块包括第四晶体管，所述第四晶体管的栅极连

接所述第二时钟信号，源极和漏极中的一个连接所述输出端，另一个连接低电平电压线。

可选地，所述输入模块包括第五晶体管，所述第五晶体管的栅极连接所述输入端，源极和漏极中的一个连接高电平电压线，另一个连接所述第一节点。

可选地，所述复位模块包括第六晶体管，所述第六晶体管的栅极连接所述复位端，源极和漏极中的一个连接所述第一节点，另一个连接低电平电压线。

第二方面，本公开还提供了一种移位寄存器单元的驱动方法，所述移位寄存器单元包括输入端、输出端、复位端和第一放噪端，并包括位于所述移位寄存器单元内部的第一节点，所述驱动方法包括:

在输入端所接信号的控制下拉高所述第一节点处的电压;

在所述第一节点处电压的控制下利用第一时钟信号拉高所述输出端处的电压，并在第一节点处的电压被拉高的期间断开所述第一放噪端与所述第一节点之间的电连接;

在所述复位端所接信号的控制下拉低所述第一节点处的电压，并在第二时钟信号的控制下拉低所述输出端处的电压；以及

在第三时钟信号的控制下将所述第一节点处的噪声电压释放至所述第一放噪端。

第三方面，本公开还提供了一种扫描驱动电路，包括多级上述任意一种移位寄存器单元，其中：第 N 级移位寄存器单元的输入端与第 N-2 级移位寄存器单元的输出端相连；第 N 级移位寄存器单元的第一放噪端与第 N-1 级移位寄存器单元的输出端相连；第 N 级移位寄存器单元的复位端与第 N+2 级移位寄存器单元的输出端相连；所述 N 大于等于 3。

可选地，所述移位寄存器单元还包括第二放噪端，其中，所述第 N 级移位寄存器单元的第二放噪端与第 N+1 级移位寄存器单元的输出端相连。

第四方面，本公开还提供了一种显示装置，包括上述任意一种扫描驱动电路。

由上述技术方案可知，本公开基于移位寄存器单元中放噪端和放噪模块的设置，可以利用时钟信号周期性地对第一节点进行放噪，以排除移位寄存

器单元受到的噪声干扰；同时，放噪模块可以通过一定设置避开本级移位寄存器单元的第一节点处电位被拉高的时间段，因而可以保障输出端信号的稳定输出。并且，放噪模块的功能最少只需一个晶体管就可以实现，所以本公开可以通过相对较少的电路元器件实现 GOA 单元的排除噪声干扰的稳定输出，有利于降低产品的成本和功耗。

附图说明

图 1 是本公开的一个实施例中的移位寄存器单元的结构框图；

图 2 是本公开的一个实施例中的移位寄存器单元的电路结构示意图；

图 3 是一个时钟周期内的图 2 所示电路结构的电路时序图；

图 4 是本公开的一个实施例中的移位寄存器单元的驱动方法的步骤流程示意图；

图 5 是本公开的一个实施例中的扫描驱动电路的结构示意图。

具体实施方式

为使本公开的实施例的目的、技术方案和优点更加清楚，下面将结合附图，对本公开实施例的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

图 1 是本公开的一个实施例中的移位寄存器单元的结构框图。参见图 1，该移位寄存器单元包括输入端 INPUT、输出端 OUTPUT、复位端 RESET 和第一放噪端 LEAK1，还包括输出下拉模块 14 以及相连于第一节点 PU 的输入模块 11、输出模块 12、复位模块 13 和第一放噪模块 15，其中：

上述输入模块 11 还与上述输入端 INPUT 相连，用于在输入端 INPUT 所接信号的控制下拉高上述第一节点 PU 处的电压；

上述输出模块 12 还与上述输出端 OUTPUT 相连，用于在上述第一节点 PU 处电压的控制下利用第一时钟信号 CLK2 拉高上述输出端 OUTPUT 处的电压；

上述复位模块 13 还与上述复位端 RESET 相连，用于在上述复位端

RESET 所接信号的控制下拉低上述第一节点 PU 处的电压;

上述输出下拉模块 14 与上述输出端 OUTPUT 相连，用于在第二时钟信号 CLK4 的控制下拉低上述输出端 OUTPUT 处的电压;

上述第一放噪模块 15 还与上述第一放噪端 LEAK1 相连，用于在第三时钟信号 CLK1 的控制下将上述第一节点 PU 处的噪声电压释放至上述第一放噪端 LEAK1;

上述第一放噪模块 15 还用于在第一节点 PU 处的电压被拉高的期间断开上述第一放噪端 LEAK1 与上述第一节点 PU 之间的电连接。

基于上述结构，输入端 INPUT 接收到脉冲信号时，输入模块 11 拉高第一节点 PU 处的电压，从而第一节点 PU 处的电压控制输出模块 12 拉高输出端 OUTPUT 处的电压，完成移位寄存器单元对该脉冲信号的移位输出。在复位端 RESET 接收到脉冲信号时，复位模块 13 拉低第一节点 PU 处的电压，从而输出模块 11 停止工作；同时，第二时钟信号 CLK4 可以控制输出下拉模块 14 拉低输出端 OUTPUT 处的电位，完成该移位寄存器单元的复位。

第一节点 PU 处的电压被拉高的期间，第一放噪模块 15 断开第一放噪端 LEAK1 与第一节点 PU 之间的电连接，从而第一放噪模块 15 不会影响移位寄存器对上述脉冲信号的移位输出；而在其他时段内，第三时钟信号 CLK1 可以周期性地控制第一放噪模块 15 将第一节点 PU 处的噪声电压释放至第一放噪端 LEAK1，以排除移位寄存器单元受到的噪声干扰。

可以看出，本公开的实施例基于移位寄存器单元中的放噪端和放噪模块的设置，可以利用时钟信号周期性地对第一节点进行放噪，以排除移位寄存器单元受到的噪声干扰；同时，放噪模块可以通过一定设置避开本级移位寄存器单元的第一节点处电位被拉高的时间段，因而可以保障输出端信号的稳定输出。并且，放噪模块的功能最少只需一个晶体管就可以实现，所以本公开的实施例可以通过相对较少的电路元器件实现 GOA 单元排除噪声干扰的稳定输出，有利于降低产品的成本和功耗。

需要说明的是，上述移位寄存单元包括的输入端 INPUT、输出端 OUTPUT、复位端 RESET 和第一放噪端 LEAK1 可以是实际的电路连接部件，也可以是电路结构中的虚拟电路节点，本领域技术人员可以根据应用场景进行选择，本公开对此不做限制。

还需要说明的是，上述“在……（某种信号）的控制下……（执行某种动作）”的用语指的是根据某种信号在某一时刻的状态来选择该时刻是否执行某种动作，例如“输入模块 11 用于在输入端 INPUT 所接信号的控制下拉高上述第一节点 PU 处的电压”可以理解为“输入模块 11 用于根据输入端 INPUT 所接信号在某一时刻的状态来选择该时刻是否去拉高上述第一节点 PU 处的电压”；作为一种示例，输入模块 11 可以包括电信号控制的开关元件，使开关元件的控制端与输入端 INPUT 相连，第一端与高电平电压线相连，第二端与第一节点 PU 相连，其中的开关元件用于在控制端所接信号的控制下形成或断开第一端与第二端之间的电连接。开关元件可以例如是继电器、晶体管等。

另外需要说明的是，在本公开的一个实施例中，上述第一至第三时钟信号指的是具有相同频率、并在同一时钟周期内的具有不同相位的时钟信号。为描述方便，这里将上述时钟周期约定为从第三时钟信号的某一次的由低电平转为高电平的时刻开始、到第三时钟信号的下一次的由低电平转为高电平的时刻结束之间的时间。上述三个时钟信号的引入表明了该移位寄存器单元可以工作在三相时钟信号下。当然，基于类似的设置，该移位寄存器单元还可以工作在四相时钟信号、八相时钟信号或者其他多相时钟信号的电路时序下。

图 2 是本公开的一个实施例中的移位寄存器单元的电路结构示意图。

第一方面，该移位寄存器单元包括第二放噪端（图 2 中以第二放噪端所接的信号 Gn+1 表示）以及连接上述第一节点 PU 的第二放噪模块 16。该第二放噪模块 16 还与上述第二放噪端相连，用于在第四时钟信号 CLK3 的控制下将第一节点 PU 处的噪声电压释放至第二放噪端；该第二放噪模块 16 还用于在第一节点 PU 处的电压被拉高的期间断开第二放噪端与第一节点 PU 之间的电连接。基于此，该移位寄存器单元还可以设置与第一放噪模块具有类似结构和功能的第二放噪模块（或者还可以设置更多的放噪模块），并分别在不同时钟信号的控制下对第一节点 PU 进行放噪，以进一步减小第一节点 PU 处存在的噪声电压。

第二方面，在该移位寄存器单元的电路结构中，上述第一放噪模块 15 包括第一晶体管 M1，该第一晶体管 M1 的栅极连接上述第三时钟信号 CLK1，

源极与漏极中的一个连接上述第一放噪端 LEAK1（图 2 中以第一放噪端所接的信号 Gn-1 表示），另一个连接上述第一节点 PU；其中，上述第一放噪端所接的信号 Gn-1 在第一节点 PU 处的电压被拉高的至少部分时间内的电压大于等于上述第三时钟信号 CLK1 的电压。在此基础之上，在上述第一节点 PU 处的电压被拉高的至少部分时间内，第一晶体管 M1 的栅极电压小于等于源极电压和漏极电压，工作在截止区，源极与漏极之间不会通过电流，所以第一放噪模块 15 不会影响移位寄存器单元对输入端所接信号的移位输出。除此之外的任意时间内，第一晶体管 M1 可以在第三时钟信号 CLK1 的作用下，周期性地将第一节点 PU 与第一放噪端所接的信号 Gn-1 导通，从而可以将第一节点 PU 处的噪声电压释放到第一放噪端 LEAK1 处。可以看出，上述第一放噪模块 15 的功能可由一个晶体管实现，并可以排除移位寄存器单元受到的噪声干扰并保障输出端信号的稳定输出。

类似地，上述第二放噪模块 16 在图 2 中包括第二晶体管 M2，第二晶体管 M2 的栅极连接上述第四时钟信号 CLK3，源极与漏极中的一个连接上述第二放噪端（图 2 中以第二放噪端所接的信号 Gn+1 表示），另一个连接上述第一节点 PU；上述第二放噪端所接信号 Gn+1 在上述第一节点 PU 处的电压被拉高的至少部分时间内的电压大于等于上述第四时钟信号 CLK3 的电压。基于此，第二放噪模块 16 也可以不影响移位寄存器单元对输入端所接信号的移位输出，并且还可以将第一节点 PU 处的噪声电压释放到第二放噪端处。类似地，第二放噪模块的功能也可由一个晶体管实现，可以进一步排除移位寄存器单元受到的噪声干扰并保障输出端信号的稳定输出。

第三方面，上述输出模块 12 在图 2 中包括第一电容 C1 和第三晶体管 M3，其中：第一电容的第一端与上述第一节点 PU 相连；第三晶体管 M3 的栅极与第一节点 PU 相连，源极和漏极中的一个连接上述第一时钟信号 CLK2，另一个连接上述输出端 OUTPUT（在图 2 中以输出端信号 Gn 表示）。基于此，第一节点 PU 处电压被输入模块 11 拉高后，第一电容 C1 存储加载在两端的电压（此时第一时钟信号 CLK2 为低电平）；在第一时钟信号 CLK2 转为高电平后，第一节点 PU 处电压与第一时钟信号 CLK2 之间的电压差仍被第一电容 C1 保持，从而第一节点 PU 处电压进一步升高，同时输出端 OUTPUT 被此时的第一时钟信号经由第三晶体管 M3 拉高，移位寄存器单元

输出高电平。可以看出，上述输出模块 12 的功能可以由一个电容和一个晶体管组成的电路结构来实现。

第四方面，上述输出下拉模块 14 在图 2 中包括第四晶体管 M4，第四晶体管 M4 的栅极连接上述第二时钟信号 CLK4，源极和漏极中的一个连接输出端 OUTPUT（在图 2 中以输出端信号 Gn 表示），另一个连接低电平电压线 VGL。基于此，第二时钟信号 CLK4 可以周期性地打开第四晶体管 M4，使得输出端 OUTPUT 周期性地与低电平电压线 VGL 导通，实现输出端 OUTPUT 处电压的拉低。可以看出，上述输出下拉模块 14 的功能可以由一个晶体管组成的电路结构来实现。

第五方面，上述输入模块 11 在图 2 中包括第五晶体管 M5，上述第五晶体管 M5 的栅极连接上述输入端 INPUT（在图 2 中以输入端所接信号 Gn-2 表示），源极和漏极中的一个连接高电平电压线 VDD，另一个连接上述第一节点 PU。基于此，第五晶体管 M5 可以在输入端所接信号 Gn-2 的控制下开启，使得高电平电压线 VDD 经过第五晶体管 M5 的源极和漏极拉高第一节点 PU 处的电压。可以看出，上述输入模块 11 的功能可以由一个晶体管组成的电路结构来实现。

第六方面，上述复位模块 13 在图 2 中包括第六晶体 M6，上述第六晶体管 M6 的栅极连接上述复位端 RESET（在图 2 中以复位端所接信号 Gn+2 表示），源极和漏极中的一个连接上述第一节点 PU，另一个连接低电平电压线 VSS。基于此，第五晶体管 M5 可以在复位端所接信号 Gn+2 的控制下开启，使得低电平电压线 VSS 经过第六晶体管 M6 的源极和漏极拉低第一节点 PU 处的电压。可以看出，上述复位模块 13 的功能可以由一个晶体管组成的电路结构来实现。

对应于图 2 所示的全部电路结构，图 3 是一个时钟周期内的图 2 所示电路结构的电路时序图。参见图 3，在上述移位寄存器单元的同一时钟周期内，上述第三时钟信号 CLK1、上述第一时钟信号 CLK2、上述第四时钟信号 CLK3 及上述第二时钟信号 CLK4 的相位依次滞后。基于此，该移位寄存器单元可以通过相对较少的电路元器件实现 GOA 单元排除噪声干扰的稳定输出，其中：

阶段 I、II 内， Gn-2 为高电平，使得 M5 开启，PU 处的电压被 VDD 拉

高；阶段 II、III 内，CLK1 与 Gn-1 为高电平，使得 M1 的栅极电压小于等于源极电压和漏极电压，处于关闭状态，第一节点 PU 处的电压不会通过 M1 向 Gn-1 漏电；阶段 III、IV 内， Gn-2 转为低电平，M5 关闭，C1 存储了阶段 I、II 内 PU 处电压与 CLK2 电压的电压差，从而在 CLK2 转为高电平后进一步拉高 PU 处的电压，同时 M3 打开，CLK2 上的高电平通过 M3 拉高 Gn 的电压，移位寄存器单元在输出端输出高电平，相对于输入端所接信号 Gn-2 而言，相当于向后移位了一个时钟脉冲的宽度，即实现了输入端所接信号的移位输出；阶段 IV、V 内，CLK3 与 Gn+1 为高电平，使得 M2 的栅极电压小于等于源极电压和漏极电压，处于关闭状态，第一节点 PU 处的电压不会通过 M2 向 Gn+1 漏电；阶段 V、VI 内，CLK4 和 Gn+2 为高电平，M4 和 M6 打开，PU 处的电压被 VSS 经过 M6 拉低，输出端所接信号 Gn 被 VGL 经过 M4 拉低，从而移位寄存器单元复位到不工作的状态；而除上述各阶段之外的时间内，CLK1 和 CLK3 会周期性地将 M1 和 M2 打开，使得被拉低后的 PU 处还可能存在的噪声电压可以分别通过 M1 和 M2 释放至 Gn-1 和 Gn+1 上，保持 PU 处电位的稳定，防止该移位寄存器单元在不工作时间段内的误输出。

可以看出，上述输入模块 11 与复位模块 13 的结构是对称的，因而可以相互交换；上述第一放噪模块 15 与第二放噪模块 16 的结构也是对称的，同样可以相互交换。从而，将上述第三时钟信号 CLK1、上述第一时钟信号 CLK2、上述第四时钟信号 CLK3 及上述第二时钟信号 CLK4 在同一时钟周期内的相位变更为依次超前，并将 Gn-2 与 Gn+2 相互交换、VSS 与 VDD 交换、Gn-1 与 Gn+1 相互交换，可以通过同样的工作流程实现该移位寄存器单元的移位输出。基于此，图 2 所示的移位寄存器单元电路可以与如图 3 所示的电路时序相互配合，实现四相时钟信号下双向移位输出的功能。

当然，基于类似的设置还可以得到工作在其他多相时钟信号下的双向移位寄存器单元，本公开对此不做限制。

基于同样的构思，本公开提供了一种移位寄存器单元的驱动方法。该移位寄存器单元包括输入端、输出端、复位端和第一放噪端，并包括位于该移位寄存器单元内部的第一节点。图 4 是本公开的一个实施例中的移位寄存器单元的驱动方法的步骤流程示意图。参见图 4，该方法包括:

步骤 401，在输入端所接信号的控制下拉高第一节点处的电压；

步骤 402，在第一节点处电压的控制下利用第一时钟信号拉高输出端处的电压，并在第一节点处的电压被拉高的期间断开第一放噪端与第一节点之间的电连接；

步骤 403，在复位端所接信号的控制下拉低第一节点处的电压，并在第二时钟信号的控制下拉低输出端处的电压；以及

步骤 404，在第三时钟信号的控制下将第一节点处的噪声电压释放至第一放噪端。

可以看出，上述图 2、图 3 所示出的基于移位寄存器单元电路结构的电路时序也同样是上述步骤 401 至步骤 404 的一种示例，在此不再赘述。而需要说明的是，上述步骤 401 至步骤 404 的执行顺序是与第一至第三时钟信号的时序关系相关联的，因而并不存在绝对的先后顺序。另外，在上述移位寄存器单元还包括第二放噪端时，上述方法可以还包括下述未在图 4 中示出的步骤（执行顺序可以不做限制）：

步骤 402a，在第一节点处的电压被拉高的期间断开第二放噪端与第一节点之间的电连接；以及

步骤 405，在第四时钟信号的控制下将第一节点处的噪声电压释放至第二放噪端。

基于此，可以实现多相时钟信号下的移位寄存器的功能，并可以通过相对较少的电路元器件实现 GOA 单元的排除噪声干扰的稳定输出。

进一步地，基于同样的构思，本公开的实施例提供了一种扫描驱动电路，该扫描驱动电路包括上述任意一种移位寄存器单元。图 5 是本公开的一个实施例中的扫描驱动电路的结构示意图。

参见图 5，对于任意的 N 大于等于 3，第 N 级移位寄存器单元 GOA_N 的输入端 INPUT 与第 N-2 级移位寄存器单元 GOA_N-2 的输出端 OUTPUT 相连；第 N 级移位寄存器单元 GOA_N 的第一放噪端 LEAK1 与第 N-1 级移位寄存器单元 GOA_N-1 的输出端 OUTPUT 相连；第 N 级移位寄存器单元 GOA_N 的复位端 RESET 与第 N+2 级移位寄存器单元 GOA_N+2 的输出端 OUTPUT 相连（未示出）。

进一步地，未在图 5 中示出的是，在移位寄存器单元还包括第二放噪端

时，第 N 级移位寄存器单元 GOA_N 的第二放噪端与第 N+1 级移位寄存器单元 GOA_N+1 的输出端 OUTPUT 相连。

基于上述结构，结合图 2 所示的移位寄存器单元电路以及图 3 所示的电路时序，其中，偶数级移位寄存器单元构成工作在一对时钟信号下的一组移位寄存器，奇数级移位寄存器单元构成工作在另一对时钟信号下的一组移位寄存器，两组移位寄存器所传递的信号在相位上相差半个时钟脉冲的宽度。可以看出，该扫描驱动电路可以实现四相时钟信号下的双向扫描。

以第一放噪端 LEAK1 为例，第 N 级移位寄存器单元 GOA_N 可以在第三时钟信号的控制下，周期性地将该移位寄存器单元内第一节点处的噪声电压释放至第 N-1 级移位寄存器单元 GOA_N-1 的输出端 OUTPUT，并且在同一时钟周期内的第二时钟信号的作用下，被第 N-1 级移位寄存器单元 GOA_N-1 的输出下拉模块 14 拉低，从而完成第 N 级移位寄存器单元 GOA_N 中第一节点处噪声电压的释放。类似地，其他级移位寄存器单元也可以基于同样的原理完成第一节点处噪声电压的释放。对于第二放噪端，这一过程也是类似的，可以通过第 N+1 级移位寄存器单元 GOA_N+1 的输出端 OUTPUT 及其输出下拉模块 14 完成第 N 级移位寄存器单元 GOA_N 中第一节点处噪声电压的释放。而且在图 3 所示的第三时钟信号 CLK1、第一时钟信号 CLK2、第四时钟信号 CLK3 及第二时钟信号 CLK4 的电路时序下，第 N+1 级移位寄存器单元 GOA_N+1 的输出端所接信号可以与图 3 中的 Gn+1 及 CLK3 具有相同的波形，同时第 N-1 级移位寄存器单元 GOA_N-1 的输出端所接信号可以与图 3 中的 Gn-1 及 CLK1 具有相同的波形。因而基于与前文相同的理由，第 N 级移位寄存器单元 GOA_N 中的第一放噪模块 15 和第二放噪模块 16 不会在第一节点 PU 处电压被拉高的期间影响第一节点 PU 处的电压，所以不会影响第 N 级移位寄存器单元 GOA_N 的输出端 OUTPUT 处信号的正常输出。

由此可见，本公开的实施例基于移位寄存器单元中放噪端和放噪模块的设置，可以利用时钟信号周期性地对第一节点进行放噪，以排除移位寄存器单元受到的噪声干扰；同时，放噪模块可以通过一定设置避开本级移位寄存器单元的第一节点处电位被拉高的时间段，因而可以保障输出端信号的稳定输出。并且，放噪模块的功能最少只需一个晶体管就可以实现，所以本公开

的实施例可以通过相对较少的电路元器件实现 GOA 单元的排除噪声干扰的稳定输出，有利于降低产品的成本和功耗。

基于同样的构思，本公开的实施例提供一种显示装置，该显示装置包括上述任意一种扫描驱动电路。需要说明的是，本实施例中的显示装置可以为显示面板、电子纸、手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。由于该显示装置包括上述任意一种扫描驱动电路，因而可以解决相同的技术问题，达到同样的技术效果。

在本公开的描述中需要说明的是，术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以根据情况理解上述术语在本公开中的含义。

还需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开的各实施例的技术方案的精神和范围。

本申请要求于2015年4月10日递交的中国专利申请第201510169597.7号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1.一种移位寄存器单元，包括输入端、输出端、复位端和第一放噪端；所述移位寄存器单元还包括：

输入模块，与所述输入端和第一节点相连，用于在输入端所接信号的控制下拉高所述第一节点处的电压；

输出模块，与所述输出端和所述第一节点相连，用于在所述第一节点处电压的控制下利用第一时钟信号拉高所述输出端处的电压；

复位模块，与所述复位端和所述第一节点相连，用于在所述复位端所接信号的控制下拉低所述第一节点处的电压；

输出下拉模块，与所述输出端相连，用于在第二时钟信号的控制下拉低所述输出端处的电压；

第一放噪模块，与所述第一放噪端和所述第一节点相连，用于在第三时钟信号的控制下将所述第一节点处的噪声电压释放至所述第一放噪端；

其中，所述第一放噪模块还用于在第一节点处的电压被拉高的期间断开所述第一放噪端与所述第一节点之间的电连接。

2.根据权利要求 1 所述的移位寄存器单元，其中，所述第一放噪模块包括第一晶体管，所述第一晶体管的栅极连接所述第三时钟信号，源极与漏极中的一个连接所述第一放噪端，另一个连接所述第一节点；

所述第一放噪端所接信号在所述第一节点处的电压被拉高的至少部分时间内的电压大于等于所述第三时钟信号的电压。

3.根据权利要求 1 所述的移位寄存器单元，其中，所述移位寄存器单元还包括：

第二放噪端；以及

第二放噪模块，与所述第二放噪端和所述第一节点相连，用于在第四时钟信号的控制下将所述第一节点处的噪声电压释放至所述第二放噪端；

其中，所述第二放噪模块还用于在第一节点处的电压被拉高的期间断开所述第二放噪端与所述第一节点之间的电连接。

4.根据权利要求 3 所述的移位寄存器单元，其中，所述第二放噪模块包括第二晶体管，所述第二晶体管的栅极连接所述第四时钟信号，源极与漏极

中的一个连接所述第二放噪端，另一个连接所述第一节点;

所述第二放噪端所接信号在所述第一节点处的电压被拉高的至少部分时间内的电压大于等于所述第四时钟信号的电压。

5.根据权利要求 4 所述的移位寄存器单元，其中，在所述移位寄存器单元的同一时钟周期内，所述第三时钟信号、所述第一时钟信号、所述第四时钟信号及所述第二时钟信号的相位依次滞后。

6.根据权利要求 1 至 5 中任意一项所述的移位寄存器单元，其中，所述输出模块包括:

第一电容，所述第一电容的第一端与所述第一节点相连；以及

第三晶体管，所述第三晶体管的栅极与所述第一节点相连，源极和漏极中的一个连接所述第一时钟信号，另一个连接所述输出端。

7.根据权利要求 1 至 5 中任意一项所述的移位寄存器单元，其中，所述输出下拉模块包括第四晶体管，所述第四晶体管的栅极连接所述第二时钟信号，源极和漏极中的一个连接所述输出端，另一个连接低电平电压线。

8.根据权利要求 1 至 5 中任意一项所述的移位寄存器单元，其中，所述输入模块包括第五晶体管，所述第五晶体管的栅极连接所述输入端，源极和漏极中的一个连接高电平电压线，另一个连接所述第一节点。

9.根据权利要求 1 至 5 中任意一项所述的移位寄存器单元，其中，所述复位模块包括第六晶体管，所述第六晶体管的栅极连接所述复位端，源极和漏极中的一个连接所述第一节点，另一个连接低电平电压线。

10.一种移位寄存器单元的驱动方法，其中，所述移位寄存器单元包括输入端、输出端、复位端和第一放噪端，并包括位于所述移位寄存器单元内部的第一节点，所述驱动方法包括:

在输入端所接信号的控制下拉高所述第一节点处的电压;

在所述第一节点处电压的控制下利用第一时钟信号拉高所述输出端处的电压，并在第一节点处的电压被拉高的期间断开所述第一放噪端与所述第一节点之间的电连接;

在所述复位端所接信号的控制下拉低所述第一节点处的电压，并在第二时钟信号的控制下拉低所述输出端处的电压；以及

在第三时钟信号的控制下将所述第一节点处的噪声电压释放至所述第一

放噪端。

11.一种扫描驱动电路，包括多级如权利要求 1 至 9 中任意一项所述的移位寄存器单元，其中：第 N 级移位寄存器单元的输入端与第 N-2 级移位寄存器单元的输出端相连；第 N 级移位寄存器单元的第一放噪端与第 N-1 级移位寄存器单元的输出端相连；第 N 级移位寄存器单元的复位端与第 N+2 级移位寄存器单元的输出端相连；所述 N 大于等于 3。

12.根据权利要求 11 所述的扫描驱动电路，其中，所述移位寄存器单元还包括第二放噪端，其中，所述第 N 级移位寄存器单元的第二放噪端与第 N+1 级移位寄存器单元的输出端相连。

13.一种显示装置，包括如权利要求 11 或 12 所述的扫描驱动电路。

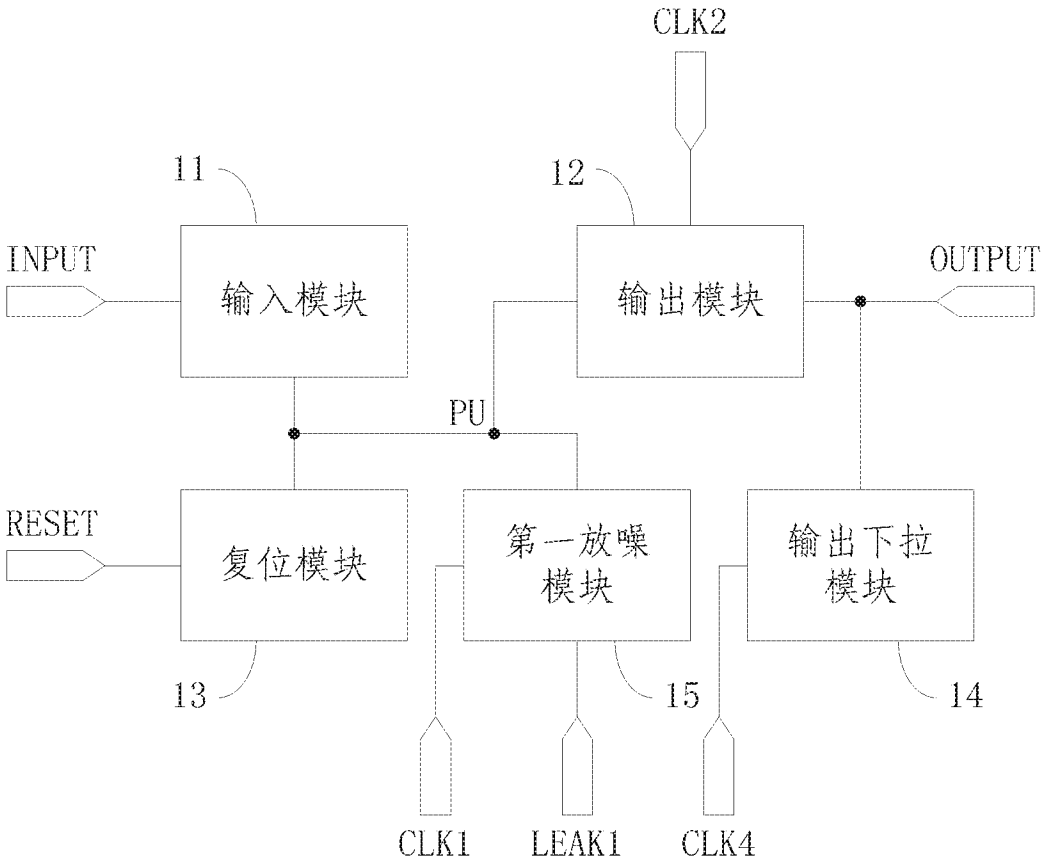
CLK2
11
12
INPUT
输入模块
输出模块
OUTPUT
PU
RESET
复位模块
第一放噪
模块
输出下拉
模块
13
15
14
CLK1
LEAK1
CLK4

图 1

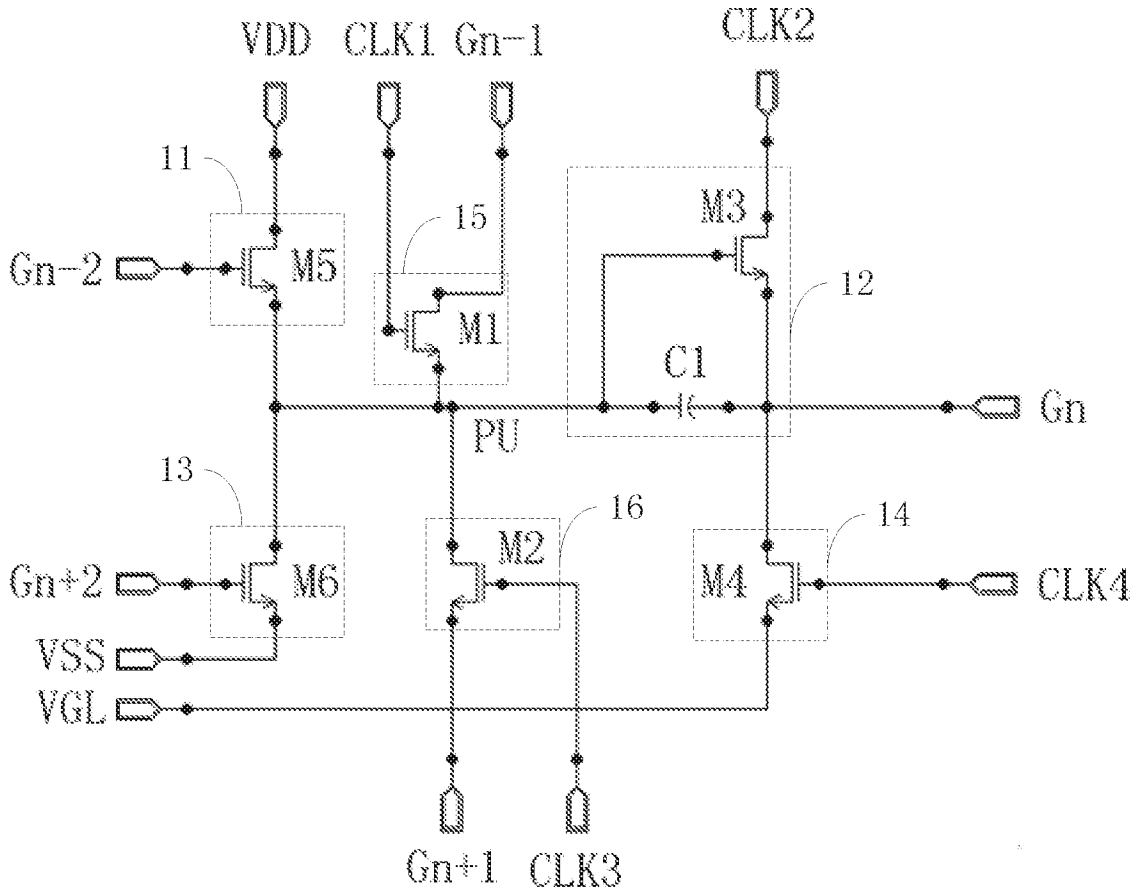
VDD
CLK1
Gn-1
CLK2
11
15
M3
Gn-2
M5
12
M1
C1
Gn
PU
13
16
14
M2
Gn+2
M6
M4
CLK4
VSS
VGL
Gn+1
CLK3

图 2

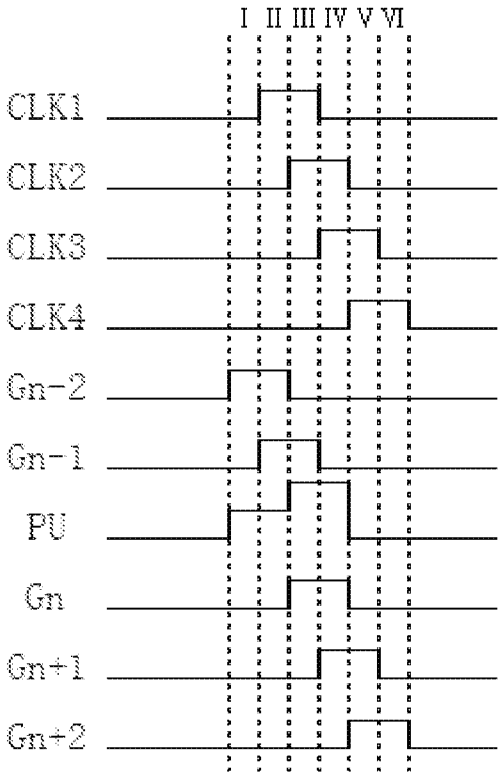

图 3

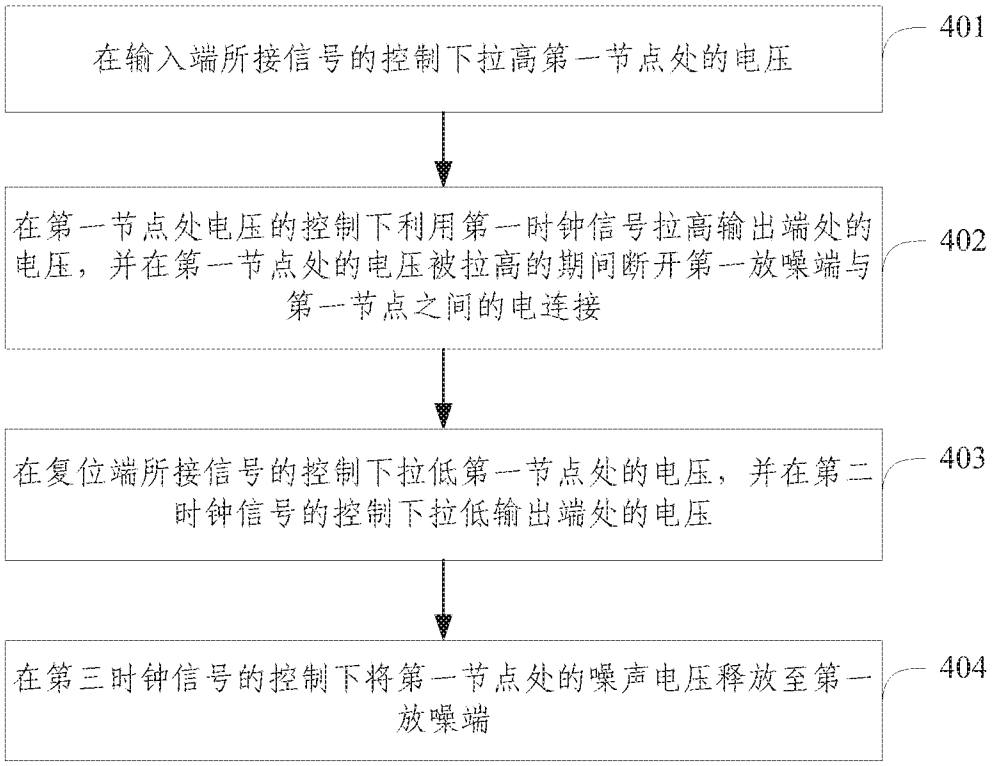
在输入端所接信号的控制下拉高第一节点处的电压
401
在第一节点处电压的控制下利用第一时钟信号拉高输出端处的电压，并在第一节点处的电压被拉高的期间断开第一放噪端与第一节点之间的电连接
402
在复位端所接信号的控制下拉低第一节点处的电压，并在第二时钟信号的控制下拉低输出端处的电压
403
在第三时钟信号的控制下将第一节点处的噪声电压释放至第一放噪端
404

图 4

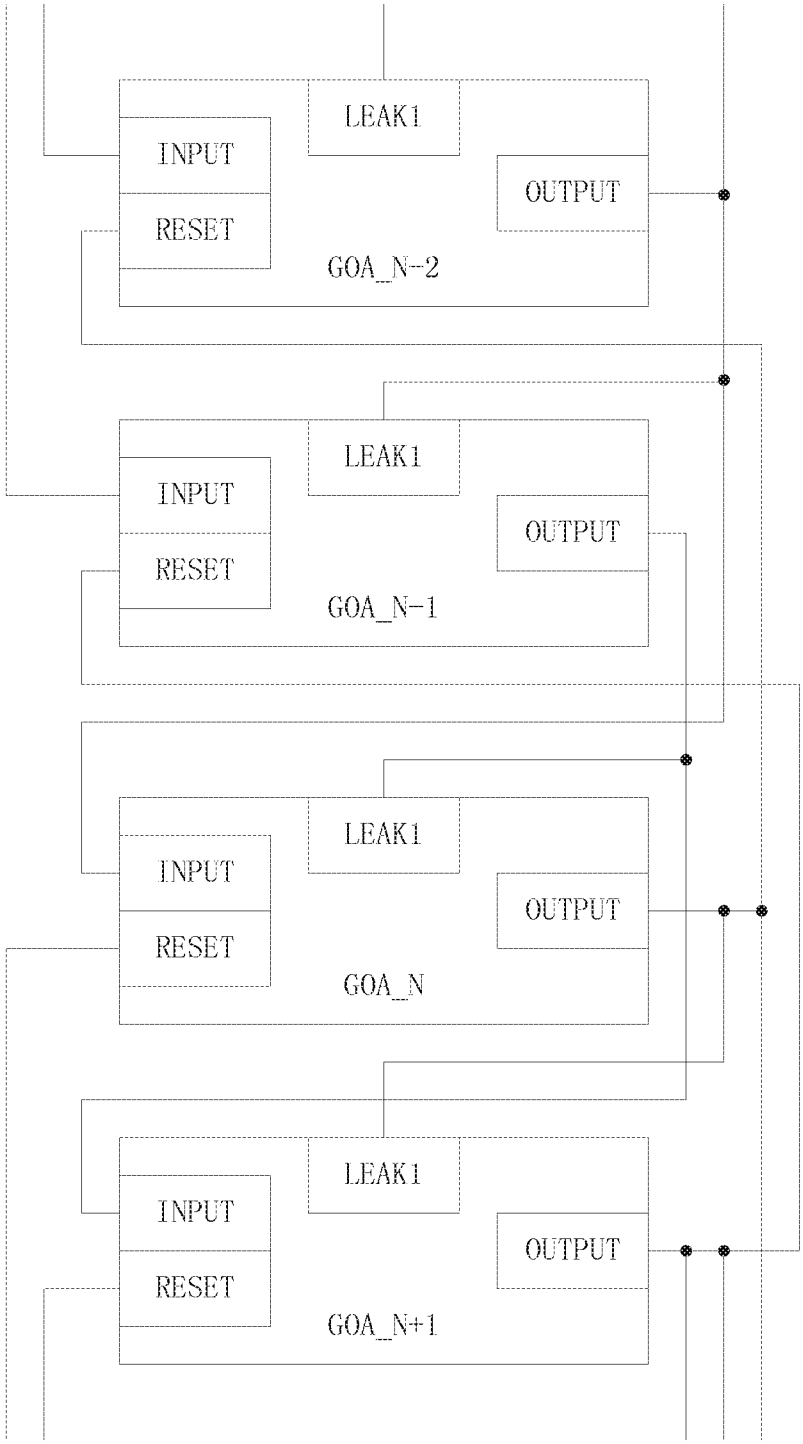
LEAK1
INPUT
OUTPUT
RESET
GOA_N-2
LEAK1
INPUT
OUTPUT
RESET
GOA_N-1
LEAK1
INPUT
OUTPUT
RESET
GOA_N
LEAK1
INPUT
OUTPUT
RESET
GOA_N+1

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/089724

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: grid, grid ling, noise reduction, noise amplifying, pull up, pull down, synchronize, electric potential, three, display, panel, shift+, mov+, step+, circulat+, register?, driv+, gate, scan+, sweep+, noise, reduct+, tim+, clock, reset+, input, output, voltage, pull+, down, up, third, duplicate, several, multiple

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104715710 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 17 June 2015 (17.06.2015), description, paragraphs 0004-0034 and 0056-0085, and figures 2-5	1-13
A	CN 104299590 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 21 January 2015 (21.01.2015), description, paragraphs 0139-0153, and figure 5a	1-13
A	CN 104332146 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.), 04 February 2015 (04.02.2015), the whole document	1-13
A	CN 104078017 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 01 October 2014 (01.10.2014), the whole document	1-13
A	CN 102654969 A (BOE TECHNOLOGY GROUP CO., LTD.), 05 September 2012 (05.09.2012), the whole document	1-13

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 December 2015 (18.12.2015)	**25 December 2015 (25.12.2015)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **ZHANG, Peng** Telephone No.: (86-10) **010-61648477**

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/089724

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8019039 B1 (AU OPTRONICS CORP. et al.), 13 September 2011 (13.09.2011), the whole document	1-13
A	US 2010045657 A1 (CHENG, T.S. et al.), 25 February 2010 (25.02.2010), the whole document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/089724

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104715710 A	17 June 2015	None	
CN 104299590 A	21 January 2015	None	
CN 104332146 A	04 February 2015	None	
CN 104078017 A	01 October 2014	None	
CN 102654969 A	05 September 2012	US 8976922 B2	10 March 2015
		CN 102654969 B	24 July 2013
		WO 2013097540 A1	04 July 2013
		US 2014056399 A1	27 February 2014
US 8019039 B1	13 September 2011	TW I397259 B	21 May 2013
		TW 201141063 A	16 November 2011
US 2010045657 A1	25 February 2010	US 8564525 B2	22 October 2013
		TW 201009797 A	01 March 2010
		US 8773346 B2	08 July 2014
		TW I401659 B	11 July 2013
		US 2014022233 A1	23 January 2014

国际检索报告

国际申请号
PCT/CN2015/089724

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI,CNPAT,WPI,EPODOC: 显示，面板，移位，移动，寄存器，寄入器，驱动，栅极，栅线，闸极，扫描，降噪，降低噪声，放噪，上拉，下拉，提升，降低，复位，输入，输出，时钟，定时，计时，同步，校时，调时，电位，电压，第三，三个，多个 display,panel,shift+,mov+,step+,circulat+,register?,driv+,gate,scan+,sweep+,noise,reduct+,tim+,clock,reset+,input,output,voltage,pull+,down,up,third,duplicate,several,multiple

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104715710 A (京东方科技集团股份有限公司 等) 2015年 6月 17日 (2015-06-17) 说明书第0004-0034、0056-0085段，附图2-5	1-13
A	CN 104299590 A (京东方科技集团股份有限公司 等) 2015年 1月 21日 (2015-01-21) 说明书第0139-0153段，附图5a	1-13
A	CN 104332146 A (合肥鑫晟光电科技有限公司 等) 2015年 2月 4日 (2015-02-04) 全文	1-13
A	CN 104078017 A (合肥京东方光电科技有限公司 等) 2014年 10月 1日 (2014-10-01) 全文	1-13
A	CN 102654969 A (京东方科技集团股份有限公司) 2012年 9月 5日 (2012-09-05) 全文	1-13

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2015年 12月 18日	2015年 12月 25日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 张鹏 电话号码 (86-10)010-61648477

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 8019039 B1 (AU OPTRONICS CORP. 等) 2011年 9月 13日 (2011-09-13) 全文	1-13
A	US 2010045657 A1 (CHENG, TUNG SHUAN等) 2010年 2月 25日 (2010-02-25) 全文	1-13

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/089724

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104715710	A	2015年 6月 17日	无			
CN	104299590	A	2015年 1月 21日	无			
CN	104332146	A	2015年 2月 4日	无			
CN	104078017	A	2014年 10月 1日	无			
CN	102654969	A	2012年 9月 5日	US	8976922	B2	2015年 3月 10日
				CN	102654969	B	2013年 7月 24日
				WO	2013097540	A1	2013年 7月 4日
				US	2014056399	A1	2014年 2月 27日
US	8019039	B1	2011年 9月 13日	TW	I397259	B	2013年 5月 21日
				TW	201141063	A	2011年 11月 16日
US	2010045657	A1	2010年 2月 25日	US	8564525	B2	2013年 10月 22日
				TW	201009797	A	2010年 3月 1日
				US	8773346	B2	2014年 7月 8日
				TW	I401659	B	2013年 7月 11日
				US	2014022233	A1	2014年 1月 23日