

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-49598

(P2011-49598A)

(43) 公開日 平成23年3月10日(2011.3.10)

(51) Int.Cl.

H01L 21/3205 (2006.01)
H01L 23/52 (2006.01)
H01L 27/10 (2006.01)
H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)

F 1

H01L 21/88
H01L 27/10 461
H01L 27/10 621Z
H01L 21/88 K

テーマコード(参考)

5FO33
5FO83

審査請求 有 請求項の数 24 O L (全 16 頁)

(21) 出願番号

特願2010-267184 (P2010-267184)

(22) 出願日

平成22年11月30日 (2010.11.30)

(62) 分割の表示

特願平11-338437の分割

原出願日

平成11年11月29日 (1999.11.29)

(71) 出願人

302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人

100082175

弁理士 高田 守

(74) 代理人

100106150

弁理士 高橋 英樹

(72) 発明者

能宗 弘安

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者

新川田 裕樹

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

最終頁に続く

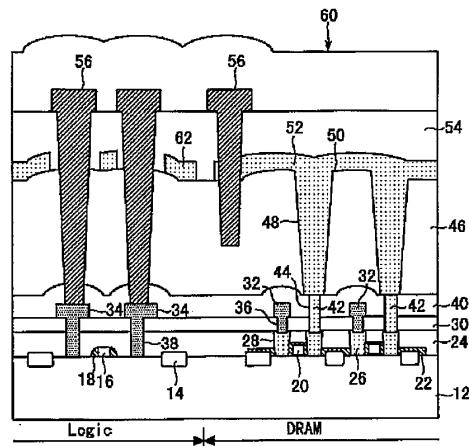
(54) 【発明の名称】半導体装置及びその製造方法

(57) 【要約】

【課題】本発明は、配線層の平坦性を保つためのダミーパターンを有する半導体装置とその製造方法を提供することを目的とする。

【解決手段】半導体装置の機能を実現するうえで必要な機能パターンと、半導体装置の所定の層に、前記機能パターンと共に複数のダミーパターンとを備え、第一の大きさの複数のダミーパターンが配置され、前記第一の大きさの複数のダミーパターンが配置されない領域に、第二の大きさの複数のダミーパターンが配置され、前記第一の大きさの複数のダミーパターンと前記機能パターンとの間に前記第二の大きさの複数のダミーパターンが配置され、第一所定方向に配置された前記第一の大きさの複数のダミーパターンと、第二所定方向に配置された前記第二の大きさの複数のダミーパターンとは隣り合い、前記第一の大きさのダミーパターン間の幅は、前記第二の大きさのダミーパターン間の幅よりも大きい。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

多層配線構造を有する半導体装置であって、
半導体装置の機能を実現するうえで必要な機能パターンと、
半導体装置の所定の層に、前記機能パターンと共に形成される複数のダミーパターンと
を備え、
前記複数のダミーパターンは、第一の大きさの複数のダミーパターンと、前記第一の大きさよりも小さい第二の大きさの複数のダミーパターンとで構成され、
前記第一の大きさの複数のダミーパターンが規則的に配置され、
前記第一の大きさの複数のダミーパターンが規則的に配置されない領域に、前記第二の大きさの複数のダミーパターンが規則的に配置され、
前記第一の大きさの複数のダミーパターンと前記機能パターンとの間に前記第二の大きさの複数のダミーパターンが配置され、

第一所定方向に配置された前記第一の大きさの複数のダミーパターンそれぞれと、第二所定方向に配置された前記第二の大きさの複数のダミーパターンそれぞれとは隣り合うように配置され、

前記第一の大きさのダミーパターン間の幅は、前記第二の大きさのダミーパターン間の幅よりも大きいことを特徴とする半導体装置。

【請求項 2】

前記機能パターンは、少なくとも1つの配線層を貫通する配線部材を備え、
前記ダミーパターンは、前記配線部材と干渉しないように形成されていることを特徴とする請求項1記載の半導体装置。

【請求項 3】

メモリ装置の構成要素となる機能パターンが形成されるメモリ領域と、
ロジック回路の構成要素となる機能パターンが形成されるロジック回路領域とを備え、
前記ロジック回路領域に形成される前記ダミーパターンは、そのダミーパターンと同じ層に形成されるメモリ回路用の機能パターンと同じパターンを含むことを特徴とする請求項2記載の半導体装置。

【請求項 4】

前記第一の大きさのダミーパターンは、第一の方向の一辺が第一の長さで、前記第一の方向と異なる第二の方向の一辺が第二の長さの四角形であり、
前記第二の大きさのダミーパターンは、第三の方向の一辺が第三の長さで、前記第三の方向と異なる第四の方向の一辺が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項1に記載の半導体装置。

【請求項 5】

前記第一所定方向は前記第二所定方向であり、前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じあり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項4に記載の半導体装置。

【請求項 6】

前記所定の層は、ゲート電極を覆う層間絶縁膜上に形成される層であり、
前記第一の大きさの複数のダミーパターンそれぞれの形状は等しく、前記第二の大きさの複数のダミーパターンそれぞれの形状は等しいことを特徴とする請求項1に記載の半導体装置。

【請求項 7】

前記機能パターンは複数存在し、
前記第一所定方向に配置された前記第一の大きさの複数のダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、
前記第二所定方向に配置された前記第二の大きさの複数のダミーパターンそれぞれは前

10

20

30

40

50

記複数の機能パターンの他的一部と隣接するように配置されることを特徴とする請求項6に記載の半導体装置。

【請求項8】

多層配線構造を有する半導体装置であって、

半導体装置の機能を実現するうえで必要な機能パターンと、

半導体装置の所定の層に、前記機能パターンと共に形成される複数のダミーパターンとを備え、

前記複数のダミーパターンは、第一の面積の複数のダミーパターンと、前記第一の面積よりも小さい第二の面積の複数のダミーパターンとで構成され、

前記第一の面積の複数のダミーパターンが規則的に第一の領域に配置され、

前記第二の面積の複数のダミーパターンが規則的に第二の領域に配置され、

前記機能パターンと前記第一の領域の間に前記第二の領域が設けられ、

前記第一の領域内の前記第一の面積の複数のダミーパターンそれぞれと、前記第二の領域内の前記第二の面積の複数のダミーパターンそれぞれとは隣接するように配置され、

前記第一の面積のダミーパターン間の距離は、前記第二の面積のダミーパターン間の距離よりも大きいことを特徴とする半導体装置。

10

【請求項9】

前記第一の面積のダミーパターンは、第一の方向の一辺が第一の長さで、前記第一の方向と異なる第二の方向の一辺が第二の長さの四角形であり、

前記第二の面積のダミーパターンは、第三の方向の一辺が第三の長さで、前記第三の方向と異なる第四の方向の一辺が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項8に記載の半導体装置。

20

【請求項10】

前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じであり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項9に記載の半導体装置。

【請求項11】

前記所定の層は、ゲート電極を覆う層間絶縁膜上に形成される層であり、

前記第一の面積の複数のダミーパターンそれぞれの形状は等しく、前記第二の面積の複数のダミーパターンそれぞれの形状は等しいことを特徴とする請求項8に記載の半導体装置。

30

【請求項12】

前記機能パターンは複数存在し、

前記第一の領域内の前記第一の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、

前記第二の領域内の前記第二の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの他の一部と隣接するように配置されることを特徴とする請求項8に記載の半導体装置。

40

【請求項13】

多層配線構造を有する半導体装置であって、

半導体装置の機能を実現するうえで必要な機能パターンと、

半導体装置の所定の層に、前記機能パターンと共に形成される複数のダミーパターンとを備え、

平面視で見た際に前記複数のダミーパターンは、それそれが第一の大きさの領域を有する複数の第一ダミーパターンと、それそれが前記第一の大きさよりも小さい第二の大きさの領域を有する複数の第二ダミーパターンとで構成され、

前記複数の第一ダミーパターンが規則的に配置され、

前記複数の第一ダミーパターンが規則的に配置されない領域に、前記複数の第二ダミーパターンが規則的に配置され、

50

前記複数の第一ダミーパターンと前記機能パターンとの間に前記複数の第二ダミーパターンが配置され、

第一所定方向に配置された前記複数の第一ダミーパターンそれぞれと、第二所定方向に配置された前記複数の第二ダミーパターンそれぞれとは隣り合うように配置され、

前記第一ダミーパターン間の距離は、前記第二ダミーパターン間の距離よりも大きいことを特徴とする半導体装置。

【請求項 14】

前記第一ダミーパターンは、第一の方向の一辺が第一の長さで、前記第一の方向と異なる第二の方向の一辺が第二の長さの四角形であり、

前記第二ダミーパターンは、第三の方向の一辺が第三の長さで、前記第三の方向と異なる第四の方向の一辺が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記第一所定方向は前記第二所定方向であり、前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じであり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記所定の層は、ゲート電極を覆う層間絶縁膜上に形成される層であり、

前記第一ダミーパターンそれぞれの形状は等しく、前記第二ダミーパターンそれぞれの形状は等しいことを特徴とする請求項 13 に記載の半導体装置。

【請求項 17】

前記機能パターンは複数存在し、

前記第一所定方向に配置された前記複数の第一ダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、

前記第二所定方向に配置された前記複数の第二ダミーパターンそれぞれは前記複数の機能パターンの他の一部と隣接するように配置されることを特徴とする請求項 13 に記載の半導体装置。

【請求項 18】

複数のトランジスタを形成する工程と、

前記複数のトランジスタが形成された層上に、半導体装置の機能を実現するのに必要な機能パターンと、複数のダミーパターンとを形成する工程とを有する半導体装置の製造方法であって、

前記複数のダミーパターンは、第一の面積の複数のダミーパターンと、前記第一の面積よりも小さい第二の面積の複数のダミーパターンとで構成され、

前記第一の面積の複数のダミーパターンが規則的に配置され、

前記第一の面積の複数のダミーパターンが規則的に配置されない領域に、前記第二の面積の複数のダミーパターンが規則的に配置され、

前記第一の面積の複数のダミーパターン間の距離は、前記第二の面積の複数のダミーパターン間の距離よりも大きく、

前記第一の面積の複数のダミーパターンと前記機能パターンとの間に前記第二の面積の複数のダミーパターンが配置され、

第一所定方向に配置された前記第一の面積の複数のダミーパターンそれぞれと、第二所定方向に配置された前記第二の面積の複数のダミーパターンそれぞれとは隣り合うように配置されていることを特徴とする半導体装置の製造方法。

【請求項 19】

前記機能パターンは、少なくとも 1 つの配線層を貫通する配線部材を備え、

前記ダミーパターンは、前記配線部材と干渉しないように形成されていることを特徴とする請求項 18 記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 2 0】

メモリ装置の構成要素となる機能パターンが形成されるメモリ領域と、ロジック回路の構成要素となる機能パターンが形成されるロジック回路領域とを備え、

前記ロジック回路領域に形成される前記ダミーパターンは、そのダミーパターンと同じ層に形成されるメモリ回路用の機能パターンと同じパターンを含むことを特徴とする請求項18記載の半導体装置の製造方法。

【請求項 2 1】

前記第一の面積のダミーパターンは、第一の方向の一辺が第一の長さで、前記第一の方向と異なる第二の方向の一辺が第二の長さの四角形であり、

前記第二の面積のダミーパターンは、第三の方向の一辺が第三の長さで、前記第三の方向と異なる第四の方向の一辺が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項 2 2】

前記第一所定方向は前記第二所定方向であり、前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じあり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項 2 3】

前記第一の面積の複数のダミーパターンそれぞれの形状は等しく、前記第二の面積の複数のダミーパターンそれぞれの形状は等しいことを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項 2 4】

前記機能パターンは複数存在し、

前記第一所定方向に配置された前記第一の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、

前記第二所定方向に配置された前記第二の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの他の一部と隣接するように配置されることを特徴とする請求項23に記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、半導体装置及びその製造方法に係り、特に、配線層の段差を抑制するうえで好適な構造を有する半導体装置及びその製造方法に関する。

【背景技術】**【0 0 0 2】**

図8は、従来の半導体装置10の断面図を示す。半導体装置10は、ロジック回路とDRAM(Dynamic Random Access Memory)とを同一基板上に備える混載デバイスである。半導体装置10は、シリコン基板12を備えている。シリコン基板12には、シャロートレンチプロセスで形成された分離酸化膜14が埋め込まれている。

【0 0 0 3】

シリコン基板12の上部には、ロジック回路の構成要素であるゲート電極16やサイドウォール18、並びにDRAMの構成要素であるトランスマニピュレーター(TG)20やサイドウォール22が形成されている。ゲート電極16やTG20の上層には、BPSGで構成された第1の層間膜24が形成されている。第1の層間膜24には、DRAMの活性領域と導通する複数のコンタクトプラグ26が設けられている。

【0 0 0 4】

コンタクトプラグ26は、以下の手順で形成される。すなわち、コンタクトプラグ26の形成工程では、先ず、第1の層間膜24にDRAMの活性領域に開口するコンタクトホール28が形成される。次に、そのコンタクトホール28の内部が充填されるようにド-

10

20

30

40

50

プトポリシリコンが堆積される。最後に、第1の層間膜24の上面とコンタクトプラグ26の端面とが平坦となるようにC M P (Chemical Mechanical Polishing)が行われる。

【0005】

第1の層間膜24の上層には、T E O Sで構成された第2の層間膜30が形成されている。半導体装置10は、第2の層間膜30を貫通して一部のコンタクトプラグ26に導通するビットライン32と、第1および第2の層間膜24, 30を貫通してロジック回路の活性領域と導通する金属配線34とを備えている。ビットライン32および金属配線34は以下の手順で形成される。すなわち、それらの形成工程では、先ず、第2の層間膜24を貫通するコンタクトホール36と、第1および第2の層間膜24, 30を貫通するコンタクトホール38とが形成される。次に、それらのコンタクトホール36, 38の内部が充填されるように、第2の層間膜30の全面にタンクステンシリサイド(WSi)が堆積される。最後に、写真製版とエッチングとによりそのWSiが所望の形状にパターニングされる。

10

【0006】

第2の層間膜30の上層には、T E O Sで構成された第3の層間膜40が形成されている。半導体装置10は、第2および第3の層間膜30, 40を貫通して一部のコンタクトプラグ26と導通するストレージノードコンタクトプラグ(SCプラグ)42を備えている。SCプラグ42は以下の手順で形成される。すなわち、SCプラグの形成工程では、先ず、第2および第3の層間膜30, 40を貫通するコンタクトホール44が形成される。次に、そのコンタクトホール44の内部が充填されるようにドープトポリシリコンが堆積される。最後に、第3の層間膜40の上面とSCプラグ42の端面とが平坦となるようにC M Pが行われる。

20

【0007】

第3の層間膜40の上層には、B P S Gで構成された第4の層間膜46が形成されている。第4の層間膜46にはSCプラグ42に通じる開口部48が設けられている。開口部48の内壁およびSCプラグ42の表面は、絶縁膜50により覆われている。絶縁膜50で囲まれる空間の内部、および第4の層間膜46の上部には、ドープトポリシリコンで構成されたセルプレート52が形成されている。セルプレート52は以下の手順で形成される。すなわち、セルプレート52の形成工程では、先ず、第4の層間膜46を貫通する開口部48が形成される。次に、その開口部48の内部が充填されるように、第4の層間膜46の全面にドープトポリシリコンが堆積される。最後に、写真製版とエッチングとによりそのドープトポリシリコンが所望の形状にパターニングされる。

30

【0008】

半導体装置10のような混載デバイスにおいて、セルプレート52はD R A Mの領域にのみ形成される。このため、セルプレート52が形成されると、D R A Mの領域とロジック回路の領域とに、セルプレート52の膜厚に起因する段差が発生する。

30

【0009】

第4の層間膜46の上層には、セルプレート52が覆われるよう第5の層間膜54が形成される。半導体装置10は、セルプレート52や金属配線34と導通する複数の金属配線56を備えている。金属配線56の形成工程では、先ず、第5の層間膜54や第4の層間膜46に開口部が設けられる。次に、それらの開口部が充填されるように、第5の層間膜54の全面にバリアメタル(TiN: 15 nmなど)および配線部材(AICu: 150 nmなど)が成膜される。最後に、写真製版とエッチングとによりそれらの積層膜が所望の形状にパターニングされる。以後、必要に応じて上記のような処理が繰り返されることにより多層の配線構造が形成される。

40

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開平05-152296号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0011】**

半導体装置10のような混載デバイスには、上述したセルプレート52のように、DRAMおよびロジック回路の一方にのみ形成されるパターンが存在する。このため、そのようなパターンの上層では、DRAMの領域とロジック回路の領域とに段差が生ずる。このような段差が発生すると、写真製版におけるマージンが小さくなり、コンタクトホールの開口不良や配線パターンの精度劣化などが生じ易くなる。また、段差を減らすためにCMPを行うと、被研磨面の凹凸の影響で、研磨のされ方が不均一となるという不都合が生ずる。

【0012】

本発明は、上記のような課題を解決するためになされたもので、配線層の平坦性を保つためのダミーパターンを有する半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】**【0013】**

本願の発明に係る半導体装置は、多層配線構造を有する半導体装置であって、半導体装置の機能を実現するうえで必要な機能パターンと、半導体装置の所定の層に、該機能パターンと共に形成される複数のダミーパターンとを備え、該複数のダミーパターンは、第一の大きさの複数のダミーパターンと、該第一の大きさよりも小さい第二の大きさの複数のダミーパターンとで構成され、該第一の大きさの複数のダミーパターンが規則的に配置され、該第一の大きさの複数のダミーパターンが規則的に配置されない領域に、該第二の大きさの複数のダミーパターンが規則的に配置され、該第一の大きさの複数のダミーパターンと該機能パターンとの間に該第二の大きさの複数のダミーパターンが配置され、第一所定方向に配置された該第一の大きさの複数のダミーパターンそれぞれと、第二所定方向に配置された該第二の大きさの複数のダミーパターンそれぞれとは隣り合うように配置され、該第一の大きさのダミーパターン間の幅は、該第二の大きさのダミーパターン間の幅よりも大きいことを特徴とする。

【発明の効果】**【0014】**

本発明によれば、多層配線構造に含まれる各層が、機能パターンと複数種類のダミーパターンとによって、高い充填率で占有されている。従って、本発明によれば、各層が優れた平坦性を有する半導体装置を実現することができる。

【図面の簡単な説明】**【0015】**

【図1】本発明の実施の形態1の半導体装置の断面図である。

【図2】本発明の実施の形態1において用いられるパターン設計装置のブロック図である。

【図3】図2に示すパターン設計装置においてダミーパターンを設計するために実行されるルーチンのフローチャートである。

【図4】図3に示すルーチンに従って1種類のダミーパターンが生成された状態での配線パターンを平面視で表す図である。

【図5】図3に示すルーチンに従って2種類のダミーパターンが生成された状態での配線パターンを平面視で表す図である。

【図6】図2に示すパターン設計装置においてダミーパターンの不要部分を削除するために実行されるルーチンのフローチャートである。

【図7】本発明の実施の形態2において用いられるパターン設計装置においてダミーパターンを設計するために実行されるルーチンのフローチャートである。

【図8】従来の半導体装置の断面図である。

【発明を実施するための形態】**【0016】**

10

20

30

40

50

以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【0017】

実施の形態1.

図1は、本発明の実施の形態1の半導体装置60の断面図を示す。半導体装置60は、ロジック回路とDRAM(Dynamic Random Access Memory)とを同一基板上に備える混載デバイスである。半導体装置60は、シリコン基板12を備えている。シリコン基板12には、シャロートレンチプロセスで形成された分離酸化膜14が埋め込まれている。

【0018】

シリコン基板12の上部には、ロジック回路の構成要素であるゲート電極16やサイドウォール18、並びにDRAMの構成要素であるTG20やサイドウォール22が形成されている。ゲート電極16やTG20の上層には、BPSGで構成された第1の層間膜24が形成されている。第1の層間膜24には、DRAMの活性領域と導通する複数のコンタクトプラグ26が設けられている。

【0019】

コンタクトプラグ26は、以下の手順で形成される。すなわち、コンタクトプラグ26の形成工程では、先ず、第1の層間膜24にDRAMの活性領域に開口するコンタクトホール28が形成される。次に、そのコンタクトホール28の内部が充填されるようにドープトポリシリコンが堆積される。最後に、第1の層間膜24の上面とコンタクトプラグ26の端面とが平坦となるようにCMPが行われる。

【0020】

第1の層間膜24の上層には、TEOSで構成された第2の層間膜30が形成されている。半導体装置60は、第2の層間膜30を貫通して一部のコンタクトプラグ26に導通するビットライン32と、第1および第2の層間膜24, 30を貫通してロジック回路の活性領域と導通する金属配線34とを備えている。ビットライン32および金属配線34は以下の手順で形成される。すなわち、それらの形成工程では、先ず、第2の層間膜24を貫通するコンタクトホール36と、第1および第2の層間膜24, 30を貫通するコンタクトホール38とが形成される。次に、それらのコンタクトホール36, 38の内部が充填されるように、第2の層間膜30の全面にタンゲステンシリサイド(WSi)が堆積される。最後に、写真製版とエッチングとによりそのWSiが所望の形状にパターニングされる。

【0021】

第2の層間膜30の上層には、TEOSで構成された第3の層間膜40が形成されている。半導体装置60は、第2および第3の層間膜30を貫通して一部のコンタクトプラグ26と導通するSCプラグ42を備えている。SCプラグ42は以下の手順で形成される。すなわち、SCプラグの形成工程では、先ず、第2および第3の層間膜30, 40を貫通するコンタクトホール44が形成される。次に、そのコンタクトホール44の内部が充填されるようにドープトポリシリコンが堆積される。最後に、第3の層間膜40の上面とSCプラグ42の端面とが平坦となるようにCMPが行われる。

【0022】

第3の層間膜40の上層には、BPSGで構成された第4の層間膜46が形成されている。第4の層間膜46にはSCプラグ42に通じる開口部48が設けられている。開口部48の内壁およびSCプラグ42の表面は、絶縁膜50により覆われている。絶縁膜50で囲まれる空間の内部、および第4の層間膜46の上部には、ドープトポリシリコンで構成されたセルプレート52が形成されている。

【0023】

また、本実施形態において、第4の層間膜46の上層には、セルプレート52と同じ材質(すなわち、ドープトポリシリコン)で構成されたダミーパターン62が形成されている。ダミーパターン62は、半導体装置10が備える他の配線部材の何れとも干渉しないようにロジック回路の領域に設けられている。尚、本明細書において、「ダミーパターン

10

20

30

40

50

」とは、半導体装置 6 0 の本質的な機能を確保する上では不必要的パターンを指す。これに対して、半導体装置 6 0 の機能上必要な全てのパターン（ビットライン 3 2 や金属配線 3 4、並びにサイドウォール 1 8，2 2 等を含む）を、以下「機能パターン」と称す。

【0 0 2 4】

セルプレート 5 2、およびダミーパターン 6 2 は以下の手順で形成される。すなわち、それらの形成工程では、先ず、第 4 の層間膜 4 6 を貫通する開口部 4 8 が形成される。次に、その開口部 4 8 の内部が充填されるように、第 4 の層間膜 4 6 の全面にドープトポリシリコンが堆積される。最後に、写真製版とエッティングとによりそのドープトポリシリコンが、予め設計された形状に、すなわち、セルプレート 5 2 の形状とダミーパターンの形状とにパターニングされる。

10

【0 0 2 5】

半導体装置 6 0 のような混載デバイスにおいて、セルプレート 5 2 は D R A M の領域にのみ形成される。このため、ダミーパターン 6 2 が存在しない場合は、セルプレート 5 2 が形成されることにより、D R A M の領域とロジック回路の領域とに段差が発生する。これに対して、本実施形態のようにロジック回路の領域にダミーパターン 6 4 を設けることとすると、D R A M の領域とロジック回路の領域とに上記の段差が生ずるのを有効に防止することができる。

20

【0 0 2 6】

第 4 の層間膜 4 6 の上層には、セルプレート 5 2 およびダミーパターン 6 2 が覆われるよう第 5 の層間膜 5 4 が形成される。第 5 の層間膜 5 4 の表面は、C M P により平坦化される。本実施形態では、第 5 の層間膜 5 4 の下層が上記の如く平坦化されている。このため、第 5 の層間膜 5 4 を平坦化するための C M P の研磨特性は、その全面においてほぼ均一となる。その結果、第 5 の層間膜 5 4 の表面には、ダミーパターン 6 2 が形成されない場合に比して顕著に良好な平坦性が確保される。

30

【0 0 2 7】

半導体装置 6 0 は、セルプレート 5 2 や金属配線 3 4 と導通する複数の金属配線 5 6 を備えている。金属配線 5 6 の形成工程では、先ず、第 5 の層間膜 5 4 や第 4 の層間膜 4 6 に開口部が設けられる。次に、それらの開口部が充填されるように、第 5 の層間膜 5 4 の全面にバリアメタル（TiN：1 5 nmなど）および配線部材（AlCu：1 5 0 nmなど）が成膜される。最後に、写真製版とエッティングとによりそれらの積層膜が所望の形状にパターニングされる。

30

【0 0 2 8】

以後、必要に応じて上記のような処理が繰り返されることにより多層の配線構造が形成される。ところで、図 1 では、セルプレート 5 2 を含む配線層にのみダミーパターン 6 2 を発生させることとしているが、ダミーパターンはこの配線層にのみ含まれるものではない。すなわち、半導体装置 6 0 は、機能パターンの影響で平坦性の悪化する全ての配線層に、その平坦性を向上させるためのダミーパターンを有している。

【0 0 2 9】

次に、図 2 乃至図 6 を参照して、本実施形態の半導体装置 6 0 に含まれるダミーパターン（ダミーパターン 6 2 を含む）の特徴やその設計方法、並びにそれらのダミーパターンを自動的に設計するパターン設計装置について説明する。

40

【0 0 3 0】

図 2 は、本実施形態のパターン設計装置 7 0 のブロック図を示す。パターン設計装置 7 0 は、一般的なコンピュータシステムのハードウェア構成を利用して実現することができる。すなわち、パターン設計装置 7 0 は、C P U 7 2、R O M 7 4、およびR A M 7 6 を備えている。それらの構成要素はバスライン 7 8 を介して互いに接続されている。バスライン 7 8 には、更に、記録制御部 8 0、入力制御部 8 2、および表示インターフェース（表示 I / F ）8 4 などが接続されている。

【0 0 3 1】

記録制御部 8 0 は、ハードディスクやC D - R O M などの記録媒体 8 6 からデータを読

50

み出したり、或いはそれらの記録媒体 8 6 ヘデータを書き込んだりする装置である。入力制御部 8 2 は、キーボードやマウスなどの入力装置 8 8 からの入力信号をバスライン 7 8 に出力する装置である。また、表示 I / F 8 4 は、ディスプレイ 9 0 に表示する画像の生成などを行なうインターフェースである。

【 0 0 3 2 】

パターン設計装置 7 0 において、C P U 7 2 は、記録媒体 8 6 から R A M 7 6 にロードされたプログラムやデータを用いて後述する処理を実行することにより、ダミーパターン等の設計を行う。以下、パターン設計装置 7 0 が、ダミーパターンを含むパターンを設計する手順について説明する。

【 0 0 3 3 】

図 3 は、パターン設計装置 7 0 においてダミーパターンを発生させるために実行される第 1 のルーチンのフローチャートを示す。図 3 に示すルーチンは、各配線層に含まれる機能パターンの設計が終了した後に実行される。図 1 に示す半導体装置 6 0 の設計過程では、例えば、第 4 の層間膜 4 6 上に形成すべきセルプレート 5 2 の設計が終了した後に、図 3 に示すルーチンが実行される。

10

【 0 0 3 4 】

ステップ 1 0 0 では、処理の対象とされている層に含まれる空き領域（機能パターンによって占有されていない領域）の中から、ダミーパターンを配置する領域として抽出すべきスペースの大きさが設定される。以下、このようなスペースを「探索スペース」と称す。本ステップでは、例えば、「一辺が 1 0 μ m の正方形領域」のように探索スペースの大きさが設定される。

20

【 0 0 3 5 】

ステップ 1 0 2 では、上記の如く設定された探索スペースのサイズに対応するダミーパターンの大きさが設定される。本ステップでは、例えば、一辺 1 0 μ m の探索スペースに対して「一辺 7 μ m の正方形領域」がダミーパターンの大きさとして設定される。

【 0 0 3 6 】

ステップ 1 0 4 では、処理の対象である配線層に含まれる空き領域の中から、上記ステップ 1 0 0 で設定された探索スペースを抽出する処理が実行される。ステップ 1 0 6 では、抽出された探索スペースの中に、上記ステップ 1 0 2 で設定されたダミーパターンを発生させる処理が行われる。

30

【 0 0 3 7 】

図 4 は、上述した一連の処理により設計された配線パターンの一例を示す。図 4 において、符号 9 2 を付して表すパターンは半導体装置 6 0 の機能パターンである。また、符号 9 4 を付して表す領域は、一辺が 1 0 μ m の空き領域である。更に、符号 9 6 を付して表すパターンは、上記ステップ 1 0 6 の処理により設定されたダミーパターンである。図 4 に示すように、本実施形態のパターン設計方法によれば、配線層の空き領域に、サイズと形状の等しい複数のダミーパターン 9 6 を規則正しく配置することができる。

【 0 0 3 8 】

ステップ 1 0 8 では、ダミーパターンの発生終了条件が成立しているか否かが判別される。本実施形態では、例えば、上記ステップ 1 0 6 で生成されたダミーパターンの大きさが、所定の大きさ以下である場合、或いは処理の対象である配線層におけるパターンの充填率（機能パターンおよびダミーパターンが、配線層の中に占める割合）が所定値以上である場合に、ダミーパターンの発生終了条件が成立していると判断される。上記の判別の結果、未だ終了条件が成立していないと判別された場合は、再び上記ステップ 1 0 0 以降の処理が実行される。一方、終了条件が既に成立していると判別された場合は、今回の処理サイクルが終了される。

40

【 0 0 3 9 】

上記ステップ 1 0 0 の処理が再び実行される場合は、探索スペースのサイズが、前回の処理サイクル時に設定されたサイズに比して小さなサイズに変更される。例えば、1 回目の処理サイクル時に「一辺が 1 0 μ m の正方形領域」と設定された探索スペースは、2 回

50

目の処理サイクル時には「一辺が 4 μm の正方形領域」に変更される。

【0040】

上記ステップ 102 の処理が再び実行される場合は、ダミーパターンのサイズも変更される。例えば、1 回目の処理サイクル時に「一辺が 7 μm の正方形領域」と設定されたダミーパターンは、2 回目の処理サイクル時には、一辺が 4 μm の探索スペースに合わせて「一辺が 3 μm の正方形領域」に変更される。

【0041】

図 5 は、探索スペースおよびダミーパターンが上記の如く設定された後にステップ 104 および 106 が実行されることにより設計された配線パターンの一例を示す。図 5 において、符号 97 を付して表す領域は、一辺が 4 μm の空き領域である。また、符号 98 を付して表すパターンは、一辺が 3 μm のダミーパターンである。図 5 に示すように、上述した方法によれば、ダミーパターン 96 を配置することのできなかった空き領域に、サイズと形状の等しい複数のダミーパターン 98 を規則正しく配置することができる。

10

【0042】

大きなダミーパターン 96 が配置できない空き領域に、小さなダミーパターン 98 を配置することによれば、配線層におけるパターンの充填率をより一層高めることができる。パターンの充填率を高めると、機能パターンの分布に関わらず、配線層の全面におけるパターン密度を均一化することができる。更に、本実施形態の方法では、大きさおよび形状の等しい複数のダミーパターンを規則正しく配置することでパターン充填率の向上が図られている。

20

【0043】

配線層の上に形成される層間膜を CMP で研磨する際に、CMP のパターン依存性が現れるのを防止するうえでは、配線層のパターン充填率が高く、また、パターンの分布が配線層の全面において均一であることが望ましい。本実施形態の方法によれば、複数種類のダミーパターンを規則正しく配置することで、それらの要求を有効に満たすことができる。従って、本実施形態の方法によれば、ダミーパターンが形成されない場合や、ダミーパターンが単一のルールに従って設計されるに過ぎない場合に比べて、多層配線構造に含まれる個々の層に優れた平坦性を与えることができる。

20

【0044】

図 6 は、パターン設計装置 70 においてダミーパターンの一部を削除するために実行されるルーチンのフローチャートを示す。図 6 に示すルーチンは、各配線層に含まれるダミーパターンの設計が終了した後に実行される。より具体的には、処理対象の配線層について上記図 3 に示すルーチンが終了した後に実行される。

30

【0045】

ステップ 110 では、処理対象の配線層を貫通するパターンが読み出される。本ステップでは、例えば、図 1 に示す金属配線 56 などのパターンが読み出される。以下、上記の処理で読み出されたパターンを「貫通パターン」と称す。

【0046】

ステップ 112 では、設計されたダミーパターンのうち、貫通パターンと干渉する可能性のある領域（以下、「干渉領域」と称す）が探索される。尚、本実施形態では、貫通パターンの大きさに、写真製版のずれなどを考慮したプロセスマージンを加えた領域が干渉領域とされる。

40

【0047】

ステップ 114 では、設計済みのダミーパターンから干渉領域を削除する処理が行われる。上記の処理が実行されることにより、図 1 に示すダミーパターン 62 のように、金属配線 56 などの配線部材と干渉することのないダミーパターンが設計される。上述した一連の処理が終了すると、今回の処理サイクルが終了される。

【0048】

上述の如く、本実施形態のパターン設計装置 70 によれば、個々の配線層に、他の配線部材と干渉せず、かつ、CMP のパターン依存性を防止する上で有効なダミーパターンを

50

設計することができる。このようなダミーパターンを用いることによれば、半導体装置60の機能に影響を与えることなく、各配線層を精度良く形成することが可能となる。このため、本実施形態によれば、安定した品質を有し、かつ、高い歩留まりで製造し得る半導体装置60を実現することができる。

【0049】

実施の形態2.

次に、図7を参照して、本発明の実施の形態2のパターン設計装置について説明する。本実施形態のパターン設計装置は、上記図2に示す構成を有する装置に、図7に示すルーチンを実行させることにより実現することができる。

【0050】

半導体装置が十分に微細化されている場合は、写真製版の際に用いられるマスクの開口率に応じて、エッティングのプロセスウインドウ、すなわち、適正な加工精度を得ることのできるエッティング条件の範囲が変化する。表1は、上記図1に示すコンタクトホール28を開口するためのエッティングに対するプロセスウインドウを示す。表1において、「OK」の表示はエッティング残渣を生ずることなくコンタクトホールを適正に開口し得ることを表す。表1に示す結果は、マスクの開口率が小さくなるほどコンタクトホールの開口不良が生じ易くなること、および、エッティングチャンバーの使用時間が長くなるほどコンタクトホールの開口不良が発生し易くなることを表している。

【0051】

【表1】

		マスク開口率[%]				
		100	50	20	10	8
チャンバー 使用時間 [hrs]	0	OK	OK	OK	OK	OK
	50	OK	OK	OK	OK	OK
	70	OK	OK	OK	OK	残有り
	100	OK	OK	OK	残有り	残有り

【0052】

半導体装置60のような混載デバイスについては、製品毎に専用の生産ラインが敷設されることは希である。換言すると、半導体装置60のような混載デバイスは、生産効率上の観点より、一般に汎用の生産ライン、すなわち、複数の製品を生産するためのラインで生産される。

【0053】

混載デバイスの中でロジック回路やDRAMが占める割合は、製品の仕様等に応じて大きく変化する。更に、ロジック回路やDRAMに含まれる機能パターンが、個々の配線層の中に占める割合も、製品の仕様等に応じて大きく変化する。このため、混載デバイスの機能パターンを転写するためのマスクの開口率は、製品の仕様に応じて大きく変化する。

【0054】

汎用の生産ラインでは、プロセスウインドウが重複しない複数の配線層がエッティングの対象となることがある。この場合、エッティングの条件が常に一定であると、一部の配線層についてはエッティングの条件がプロセスウインドウ外となり、その配線層の機能パターンに不良が生じ易くなる。このような機能パターンの不良は、例えば、各配線層について用いられるマスクの開口率に応じてエッティングの条件を変えることにより防止することができる。しかしながら、上記の手法によると、エッティング条件の変更が要求される度に条件確認が必要となり、混載デバイスの生産性が悪化する。

【0055】

混載デバイスの機能パターンを転写するためのマスクの開口率は、機能パターンに加えてダミーパターンを設けることにより高めることができる。従って、個々の配線層に適宜ダミーパターンを設けることによれば、複数の配線層についてのマスク開口率を合わせて、汎用の生産ラインで処理すべき全ての製品に対するエッティングのプロセスウインドウを整合させることができる。全ての製品に対するプロセスウインドウが整合していると、工

ッチングの条件を常に一定に維持しつつ、全ての製品の機能パターンを適正にエッチングすることが可能となる。従って、このような手法によれば、複数の混載デバイスを単一の汎用ラインで効率的に生産することが可能となる。

【0056】

図7は、本実施形態のパターン設計装置が上記の手法で配線パターンを設計するために実行するルーチンのフロー・チャートを示す。図7に示すルーチンは、パターンの形成がエッチングにより行われる配線層の全てについて、その配線層の機能パターンが設計された後に実行される。

【0057】

ステップ116では、目標のマスク開口率が設定される。目標開口率は、同じ汎用ライ
10
ンで処理される全ての配線層について共通に用いられる値である。

【0058】

ステップ118では、処理の対象である配線層に含まれる空き領域の中から、ダミーパターンを発生させるべき空き領域が探索される。

【0059】

ステップ120では、空き領域に発生させるダミーパターンの大きさや配置が設定される。本ステップでは、処理の対象である配線層に含まれる機能パターンの大きさおよび配置が、ダミーパターンの大きさや配置として設定される。より具体的には、例えば、空き領域がロジック回路の領域に見出されている場合は、D R A M領域上の機能パターンの大きさや配置がダミーパターンの大きさや配置として設定される。
20

【0060】

ダミーパターンの大きさや配置を上記の如く設定すると、同じ配線層に含まれる全てのパターンの大きさや配置を統一することができる。また、機能パターンについては、信頼性などの確認が行われるため、ダミーパターンを上記の如く機能パターンに倣って設計すると、間接的にダミーパターンの信頼性などを保証することが可能である。

【0061】

ステップ122では、探索された空きスペースの中に、上記の如く設定されたダミーパターンを発生させる処理が行われる。上記の処理が終了すると、今回の処理サイクルが終了される。

【0062】

上記の処理によれば、配線層の空き領域に、その層に含まれている機能パターンと同様のダミーパターンを発生させることができる。機能パターンだけではマスク開口率が低い場合（例えば、表1における8%以下のような場合）でも、上記の手法でダミーパターンを発生させれば、マスク開口率を十分に大きな値とすることができます。従って、本実施形態のパターン設計方法によれば、複数の製品に含まれる全ての配線層のプロセスウィンドウを重複させて、混合デバイスの生産性を高めることができる。
30

【0063】

ところで、実施の形態2においては、空き領域に、ダミーパターンを1種類だけ形成することをしているが、本発明はこれに限定されるものではなく、実施の形態1の手法で、複数種類のダミーパターンを設けることとしても良い。複数種類のダミーパターンを設けることとすると、配線パターンの充填率を高めることができ、マスクの開口率を高めると共に、配線層の平坦性を向上させることができる。
40

【0064】

また、上述した実施の形態1および2では、混載デバイスにD R A Mとロジック回路とが搭載されることとしているが、本発明はこれに限定されるものではなく、混載デバイスには、D R A Mに代えて、またはD R A Mと共に、S R A Mを搭載してもよい。

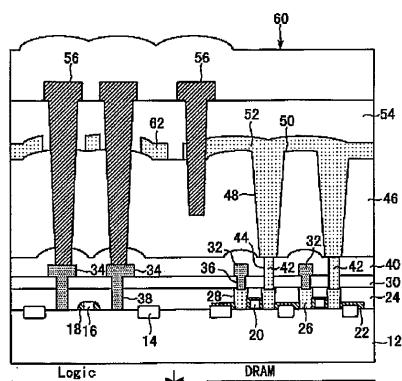
【符号の説明】

【0065】

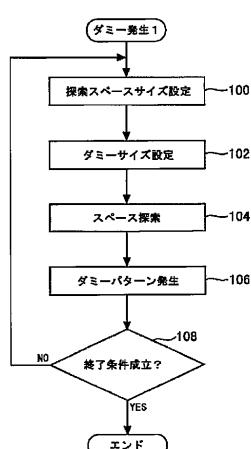
12 シリコン基板、 16 ゲート電極、 18 , 22 サイドウォール、 20 トランスマ
ファゲート、 24 第1の層間膜、 26 コンタクトプラグ、 30 第2の層間膜、 3

2 ビットライン、34, 56 金属配線、40 第3の層間膜、46 第4の層間膜、
 50 絶縁膜、52 セルプレート、54 第5の層間膜、60 半導体装置、62, 9
 6, 98 ダミーパターン、70 パターン設計装置、92 機能パターン、94, 97
 空き領域。

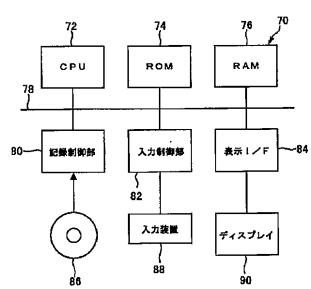
【図1】



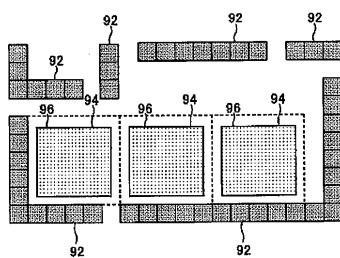
【図3】



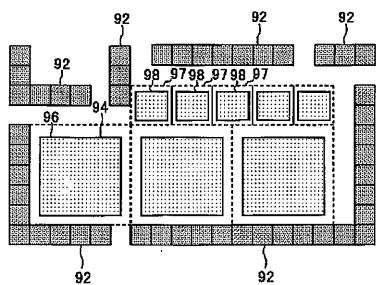
【図2】



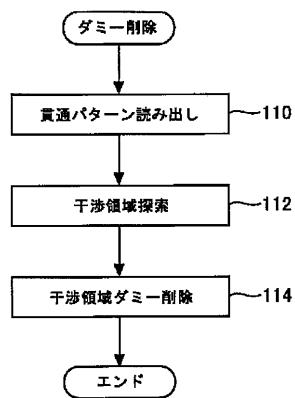
【図4】



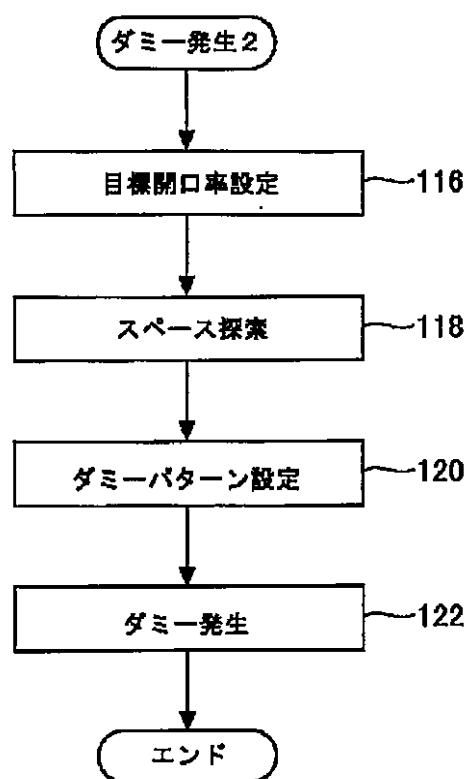
【図 5】



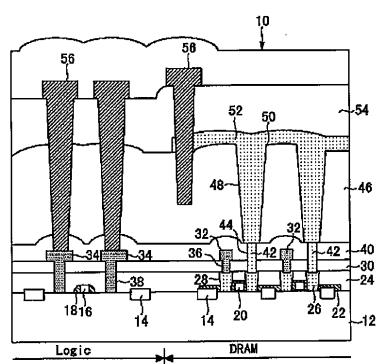
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 添田 真也

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

F ター&ム(参考) 5F033 HH04 HH09 HH28 HH33 JJ04 JJ09 JJ28 JJ33 KK01 MM05
NN03 NN06 NN07 NN37 QQ09 QQ37 QQ48 RR04 RR14 RR15
SS04 UU01 VV02 VV16 XX01
5F083 AD24 AD48 AD49 KA00 LA11 ZA12 ZA13 ZA28