

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 13 日(13.10.2016)



(10) 国際公開番号

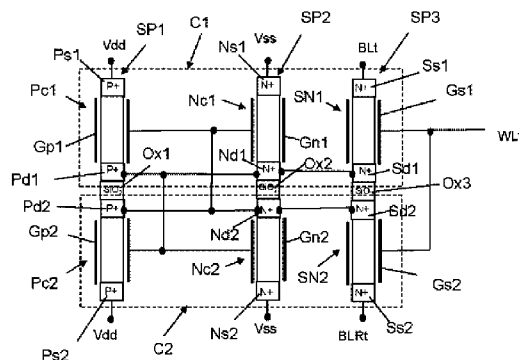
WO 2016/162927 A1

- (51) 国際特許分類:
H01L 21/8244 (2006.01) H01L 27/11 (2006.01)
- (21) 国際出願番号: PCT/JP2015/060763
- (22) 国際出願日: 2015 年 4 月 6 日(06.04.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯
田橋 1-12-13 いずみ九段ビル5F S
emicon Consulting 株式会
社内 Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];
〒1020072 東京都千代田区飯田橋 1-12-1
3 いずみ九段ビル5F Semicon C
onsulting 株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: COLUMNAR SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 柱状半導体メモリ装置と、その製造方法



(57) Abstract: An SRAM is provided with three Si columns (SP1, SP2, SP3). A first load P channel (Pc1), a first drive N channel (Nc1), and a first selective N channel (SN1) are formed as upper portions of the Si columns, respectively, and a second load P channel (Pc2), a second drive N channel (Nc2), and a second selective N channel (SN2) are formed as lower portions of the Si columns, respectively. At the same height in the Si columns, a P⁺ layer (Pd1) and N⁺ layers (Nd1, Sd1) of a drain are formed, and are connected to gates (Gp2, Gn2) surrounding the second load P channel and the second drive N channel, said gates being connected to each other. At the same height in the Si columns, a P⁺ layer (Pd2) and N⁺ layers (Nd2, Sd2) of the drain are formed, and are connected to gates (Gp1, Gn1) surrounding the first load P channel and the first drive N channel, said gates being connected to each other. Gates (Gs1, Gs2) surrounding the first and second selective N channels are connected to a word line terminal (WLt).

(57) 要約:

[続葉有]



WO 2016/162927 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

SRAMは、3つのS i 柱 (SP 1、SP 2、SP 3) を備えている。S i 柱の上部に、それぞれ、第1の負荷Pチャンネル (P c 1) と、第1の駆動Nチャンネル (N c 1) と、第1の選択Nチャンネル (S N 1) とが形成され、S i 柱の下部に、それぞれ、第2の負荷Pチャンネル (P c 2) と、第2の駆動Nチャンネル (N c 2) と、第2の選択Nチャンネル (S N 2) とが形成されている。S i 柱内の同じ高さにドレインのP⁺層 (P d 1) 及びN⁺層 (N d 1、S d 1) が形成されており、これらは第2の負荷Pチャンネル及び第2の駆動Nチャンネルを囲む繋がったゲート (G p 2、G n 2) に接続されている。S i 柱内の同じ高さにドレインのP⁺層 (P d 2) 及びN⁺層 (N d 2、S d 2) が形成されており、これらは第1の負荷Pチャンネル及び第1の駆動Nチャンネルを囲む繋がったゲート (G p 1、G n 1) に接続されている。第1及び第2の選択Nチャンネルを囲むゲート (G s 1、G s 2) はワード線端子 (W L t) に接続されている。

明 細 書

発明の名称：柱状半導体メモリ装置と、その製造方法

技術分野

[0001] 本発明は、柱状半導体メモリ装置と、その製造方法に関する。

背景技術

[0002] 近年、代表的な柱状半導体装置であるSGT (Surrounding Gate MOS Transistor) は、高集積な半導体装置を提供する半導体素子として注目されている。また、SGTを有する半導体メモリ装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に存在する。これに対して、SGTのチャネルは、半導体基板の上表面に対して垂直な方向に存在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図6に、NチャネルSGTの構造模式図を示す。P型又はi型（真性型）の導電型を有するSi柱100（以下、シリコン半導体柱を「Si柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺層101a、101b（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する。）が形成されている。このソース、ドレインとなるN⁺層101a、101b間のSi柱100の部分がチャネル領域102となる。このチャネル領域102を囲むようにゲート絶縁層103が形成されている。このゲート絶縁層103を囲むようにゲート導体層104が形成されている。SGTでは、ソース、ドレインとなるN⁺領域101a、101b、チャネル領域102、ゲート絶縁層103、ゲート導体層104が、単一のSi柱100内に形成される。このため、平面視において、SGTの占有面積は、プレナー型MOSトランジスタの単一のソース又はドレインN⁺層の占有面積に相当する。そのため、SGTを有する回路チップは、プレナー型M

OSトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

[0005] S R A M (Static Random Access Memory) 回路の1つのメモリセルは、図6に示すようなS G Tを6個用いて形成される（例えば、特許文献2を参照）。通常、S R A Mのメモリセルを構成するS G Tは、それぞれ、異なる半導体柱に形成されている。

[0006] S R A Mメモリセルの高密度化は、S R A M回路が組み込まれた半導体メモリ装置チップの低コスト化に繋がる。

[0007] このため、高密度S R A Mセル回路の実現が求められている。また、S R A Mセル回路の高速化などの半導体メモリ装置チップの高性能化も求められている。

先行技術文献

特許文献

[0008] 特許文献1：特開平2－188966号公報

特許文献2：米国特許出願公開第2010／0219483号明細書

非特許文献

[0009] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：Tadashi Shibata, Susumu Kohyama and Hisakazu Iizuka: "A New Field Isolation Technology for High Density MOS LSI", Japanese Journal of Applied Physics, Vol.18, pp.263-267 (1979)

非特許文献3：T.Morimoto, T.Ohguro, H.Sasaki, M.S.Momose, T.Iinuma, I.Kunishima, K.Suguro, I.Katakabe, H.Nakajima, M.Tsuchiaki, M.Ono, Y.Katsumata, and H.Iwai: "Self-Aligned Nickel-Mono-Silicide Technology for High-Speed Deep Submicrometer Logic CMOS ULSI" IEEE Transaction on Electron Devices, Vol.42, No.5, pp.915-922 (1995)

発明の概要

発明が解決しようとする課題

[0010] S R A Mセル回路の高密度化、高性能化の実現が求められている。

課題を解決するための手段

- [0011] 本発明の第1の観点に係る、柱状半導体メモリ装置は、
- 基板上に、前記基板表面に対して垂直方向に立った第1の半導体柱と、第2の半導体柱と、第3の半導体柱と、
- 前記第1の半導体柱内に、互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第1の不純物領域とソースとなるアクセプタ不純物を含む第2の不純物領域と、
- 前記垂直方向において、前記第1の不純物領域と前記第2の不純物領域との間の前記第1の半導体柱の部分を囲んだ第1のゲート絶縁層と、
- 前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、
- 前記第1の半導体柱内で前記第1の不純物領域及び前記第2の不純物領域より下に、互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第3の不純物領域とソースとなるアクセプタ不純物を含む第4の不純物領域と、
- 前記垂直方向において、前記第3の不純物領域と前記第4の不純物領域との間の前記第1の半導体柱の部分を囲んだ第2のゲート絶縁層と、
- 前記第2のゲート絶縁層を囲んだ第2のゲート導体層と、
- 前記第2の半導体柱内に、互いに離れて形成された、ドレインとなるドナー不純物を含む第5の不純物領域とソースとなるドナー不純物を含む第6の不純物領域と、
- 前記垂直方向において、前記第5の不純物領域と前記第6の不純物領域との間の前記第2の半導体柱の部分を囲んだ第3のゲート絶縁層と、
- 前記第3のゲート絶縁層を囲んだ第3のゲート導体層と、
- 前記第2の半導体柱内で前記第5の不純物領域及び前記第6の不純物領域より下に、互いに離れて形成された、ドレインとなるドナー不純物を含む第

7の不純物領域とソースとなるドナー不純物を含む第8の不純物領域と、

前記垂直方向において、前記第7の不純物領域と前記第8の不純物領域との間の前記第2の半導体柱の部分を囲んだ第4のゲート絶縁層と、

前記第4のゲート絶縁層を囲んだ第4のゲート導体層と、

前記第3の半導体柱内に、互いに離れて形成された、ドレインとなるドナー不純物を含む第9の不純物領域とソースとなるドナー不純物を含む第10の不純物領域と、

前記垂直方向において、前記第9の不純物領域と前記第10の不純物領域との間の前記第3の半導体柱の部分を囲んだ第5のゲート絶縁層と、

前記第5のゲート絶縁層を囲んだ第5のゲート導体層と、

前記第3の半導体柱内で前記第9の不純物領域及び前記第10の不純物領域より下に、互いに離れて形成された、ドレインとなるドナー不純物を含む第11の不純物領域とソースとなるドナー不純物を含む第12の不純物領域と、

前記垂直方向において、前記第11の不純物領域と前記第12の不純物領域との間の前記第3の半導体柱を囲んだ第6のゲート絶縁層と、

前記第6のゲート絶縁層を囲んだ第6のゲート導体層と、

前記第3の半導体柱内で、前記第9の不純物領域及び前記第10の不純物領域のうち前記垂直方向において下にあるものと前記第11の不純物領域及び前記第12の不純物領域のうち前記垂直方向において上にあるものとの間に、第1の層間絶縁層と、を備え、

ドレインとなる前記第1の不純物領域と、ソースとなる前記第2の不純物領域と、前記第1のゲート絶縁層と、前記第1のゲート導体層とより、第1のSGT (Surrounding Gate MOS Transistor)が構成され、

ドレインとなる前記第3の不純物領域と、ソースとなる前記第4の不純物領域と、前記第2のゲート絶縁層と、前記第2のゲート導体層とより、第2のSGTが構成され、

ドレインとなる前記第5の不純物領域と、ソースとなる前記第6の不純物

領域と、前記第3のゲート絶縁層と、前記第3のゲート導体層とより、第3のSGTが構成され、

ドレインとなる前記第7の不純物領域と、ソースとなる前記第8の不純物領域と、前記第4のゲート絶縁層と、前記第4のゲート導体層とより、第4のSGTが構成され、

ドレインとなる前記第9の不純物領域と、ソースとなる前記第10の不純物領域と、前記第5のゲート絶縁層と、前記第5のゲート導体層とより、第5のSGTが構成され、

ドレインとなる前記第11の不純物領域と、ソースとなる前記第12の不純物領域と、前記第6のゲート絶縁層と、前記第6のゲート導体層とより、第6のSGTが構成され、

前記第1の不純物領域と、前記第5の不純物領域と、前記第9の不純物領域とが、第1の配線導体層に繋がり、

前記第2のゲート導体層と、前記第4のゲート導体層とが、第2の配線導体層に繋がり、

前記第1の配線導体層と、前記第2の配線導体層とが、繋がり、

前記第3の不純物領域と、前記第7の不純物領域と、前記第11の不純物領域とが、第3の配線導体層に繋がり、

前記第1のゲート導体層と、前記第3のゲート導体層とが、第4の配線導体層に繋がり、

前記第3の配線導体層と、前記第4の配線導体層とが、繋がり、

前記第5のゲート導体層と、前記第6のゲート導体層とが繋がって、

SRAMセル回路が形成されている、

ことを特徴とする。

[0012] 前記第1の半導体柱の中間に形成された第2の層間絶縁層と、

前記第2の半導体柱の中間に形成された第3の層間絶縁層と、をさらに備え、

前記第2の層間絶縁層の上方に繋がって、前記第1の不純物領域があり、

前記第 1 の不純物領域の上方に前記第 2 の不純物領域が形成され、
前記第 2 の層間絶縁層の下方に繋がって、前記第 3 の不純物領域があり、
前記第 3 の不純物領域の下方に前記第 4 の不純物領域が形成され、
前記第 3 の層間絶縁層の上方に繋がって、前記第 5 の不純物領域があり、
前記第 5 の不純物領域の上方に前記第 6 の不純物領域が形成され、
前記第 3 の層間絶縁層の下方に繋がって、前記第 7 の不純物領域があり、
前記第 7 の不純物領域の下方に前記第 8 の不純物領域が形成され、
前記第 3 の半導体柱の中間に形成された前記第 1 の層間絶縁層の上方に繋がって、前記第 9 の不純物領域があり、
前記第 9 の不純物領域の上方に前記第 10 の不純物領域が形成され、
前記第 1 の層間絶縁層の下方に繋がって、前記第 11 の不純物領域があり、
、
前記第 11 の不純物領域の下方に前記第 12 の不純物領域が形成され、
前記第 2 の不純物領域と、前記第 4 の不純物領域とが、電源配線導体層に繋がり、
前記第 6 の不純物領域と、前記第 8 の不純物領域とが、グランド配線導体層に繋がり、
前記第 5 のゲート導体層と、前記第 6 のゲート導体層とが、ワード線配線導体層に繋がり、
前記第 10 の不純物領域及び前記第 11 の不純物領域の一方がビット線配線導体層に繋がり、他方が反転ビット線配線導体層に繋がっている、
ことが望ましい。

- [0013] 前記第 1 の半導体柱の中間に形成された第 4 の層間絶縁層と、
前記第 2 の半導体柱の中間に形成された第 5 の層間絶縁層と、をさらに備え、
前記第 4 の層間絶縁層の上方に繋がって、前記第 2 の不純物領域があり、
前記第 2 の不純物領域の上方に前記第 1 の不純物領域が形成され、
前記第 4 の層間絶縁層の下方に繋がって、前記第 4 の不純物領域があり、

前記第 4 の不純物領域の下方に前記第 3 の不純物領域が形成され、
前記第 5 の層間絶縁層の上方に繋がって、前記第 6 の不純物領域があり、
前記第 6 の不純物領域の上方に前記第 5 の不純物領域が形成され、
前記第 5 の層間絶縁層の下方に繋がって、前記第 8 の不純物領域があり、
前記第 8 の不純物領域の下方に前記第 7 の不純物領域が形成され、

前記第 3 の半導体柱の中間に形成された前記第 1 の層間絶縁層の上方に繋がって、前記第 10 の不純物領域があり、

前記第 10 の不純物領域の上方に前記第 9 の不純物領域が形成され、前記第 1 の層間絶縁層の下方に繋がって、前記第 12 の不純物領域があり、

前記第 12 の不純物領域の下方に前記第 11 の不純物領域が形成され、
前記第 2 の不純物領域と、前記第 4 の不純物領域とが、電源配線導体層に繋がり、

前記第 6 の不純物領域と、前記第 8 の不純物領域とが、グランド配線導体層に繋がり、

前記第 5 のゲート導体層と、前記第 6 のゲート導体層とが、ワード線配線導体層に繋がり、

前記第 10 の不純物領域及び前記第 11 の不純物領域との一方がビット線配線導体層に繋がり、他方が反転ビット線配線導体層に繋がっている、
ことが望ましい。

[0014] 前記第 2 の不純物領域と、前記第 4 の層間絶縁層と、前記第 4 の不純物領域との代わりに、アクセプタ不純物を含んだ第 13 の不純物領域が形成され、

前記第 6 の不純物領域と、前記第 5 の層間絶縁層と、前記第 8 の不純物領域との代わりに、ドナー不純物を含んだ第 14 の不純物領域が形成され、
前記第 13 の不純物領域が前記電源配線導体層に繋がり、
前記第 14 の不純物領域が前記グランド配線導体層に繋がっている、
ことが望ましい。

[0015] 前記第 2 の半導体柱に隣接した第 4 の半導体柱と、

前記第４の半導体柱内に、互いに離れて形成された、ドレインとなるドナー不純物を含む第１５の不純物領域とソースとなるドナー不純物を含む第１６の不純物領域と、

前記垂直方向において、前記第１５の不純物領域と前記第１６の不純物領域との間の前記第４の半導体柱の部分を囲んだ第７のゲート絶縁層と、

前記第７のゲート絶縁層を囲んだ第７のゲート導体層と、

前記第４の半導体柱内で前記第１５の不純物領域及び前記第１６の不純物領域より下に、互いに離れて形成された、ドレインとなるドナー不純物を含む第１７の不純物領域とソースとなるドナー不純物を含む第１８の不純物領域と、

前記垂直方向において、前記第１７の不純物領域と前記第１８の不純物領域との間の前記第４の半導体柱の部分を囲んだ第８のゲート絶縁層と、

前記第８のゲート絶縁層を囲んだ第８のゲート導体層と、をさらに備え、

前記第５の不純物領域と、前記第１５の不純物領域が接続され、

前記第６の不純物領域が、前記第１６の不純物領域に接続され、

前記第７の不純物領域が、前記第１７の不純物領域に接続され、

前記第８の不純物領域が、前記第１８の不純物領域に接続され、

前記第３のゲート導体層が、前記第７のゲート導体層に接続され、

前記第４のゲート導体層が、前記第８のゲート導体層に接続されている、

ことが望ましい。

[0016] 前記第１の半導体柱と、前記第２の半導体柱とが隣接して形成されている、

ことが望ましい。

[0017] 平面視において、前記第３の配線導体層の少なくとも一部と、前記第１の配線導体層の少なくとも一部と、前記第４の配線導体層の少なくとも一部とは、この順に、互いに重なって形成されており、

前記第１の配線導体層の前記少なくとも一部と前記第４の配線導体層の前記少なくとも一部とを貫通し、前記第３の配線導体層の前記少なくとも一部

に繋がる第1のコンタクトホールと、

前記第1のコンタクトホール内部に面した前記第1の配線導体層の側面に設けられた第1の分離絶縁層と、

前記第1のコンタクトホールを介して、前記第3の配線導体層と前記第4の配線導体層とを接続する第3配線導体層・第4配線導体層接続配線導体層と、をさらに有する、

ことが望ましい。

[0018] 平面視において、前記第2の配線導体層の少なくとも一部と、前記第3の配線導体層の少なくとも一部と、前記第1の配線導体層の少なくとも一部とは、この順に、互いに重なって形成されており、

前記第1の配線導体層の前記少なくとも一部と前記第3の配線導体層の前記少なくとも一部とを貫通し、前記第2の配線導体層の前記少なくとも一部に繋がる第2のコンタクトホールと、

前記第2のコンタクトホール内部に面した前記第3の配線導体層の側面に設けられた第2の分離絶縁層と、

前記第2のコンタクトホールを介して、前記第1の配線導体層と前記第2の配線導体層とを接続する第1配線導体層・第2配線導体層接続配線導体層と、をさらに有する、

ことが望ましい。

[0019] 平面視において、前記ビット線配線導体層の少なくとも一部と前記反転ビット線配線導体層の少なくとも一部とは互いに重なって形成されており、

前記ビット線配線導体層の前記少なくとも一部と前記反転ビット線配線導体層の前記少なくとも一部のうち垂直方向において下方にあるものを貫通する第3のコンタクトホールと、

前記第3のコンタクトホール内部に面した、前記ビット線配線導体層の前記少なくとも一部と前記反転ビット線配線導体層の前記少なくとも一部のうち貫通されたものの側面にある第3の分離絶縁層と、

前記第3のコンタクトホールを介して、前記ビット線配線導体層の前記少

なくとも一部と前記反転ビット線配線導体層の前記少なくとも一部のうち貫通されていないものと、前記第10の不純物領域又は前記第11の不純物領域とを接続する、第3の信号配線層と、をさらに有する、

ことが望ましい。

[0020] 本発明の第2の観点に係る、柱状半導体メモリ装置の製造方法は、

基板上に、前記基板平面に対して垂直方向に立った第1の半導体柱と、第2の半導体柱と、垂直方向の中間に第1の層間絶縁層を有する第3の半導体柱とを、形成する半導体柱形成工程と、

前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱との、それぞれを囲んでゲート絶縁層を形成するゲート絶縁層形成工程と、

前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱との、それぞれを囲んだ前記ゲート絶縁層を囲んで第1の導体層を形成する第1導体層形成工程と、

前記第1の半導体柱の底部にアクセプタ不純物を含む第1の不純物領域と、前記第2の半導体柱の底部にドナー不純物を含む第2の不純物領域と、前記第3の半導体柱の底部にドナー不純物を含む第3の不純物領域とを、形成する第1不純物領域・第2不純物領域・第3不純物領域形成工程と、

前記第1の層間絶縁層より前記垂直方向の下方において、前記第1の導体層を、前記第1の半導体柱と、前記第2の半導体柱との外周を囲み、且つ繋がった第2の導体層と、前記第3の半導体柱の外周を囲んだ第3の導体層に分離する第2導体層・第3導体層形成工程と、

前記第1の導体層と、前記ゲート絶縁層とのエッチングを、前記垂直方向において、前記第1の層間絶縁層を挟んで上下端を有した高さで行って、前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱との外周に開口部を形成する開口部形成工程と、

前記垂直方向において、前記第1の層間絶縁層の位置の下方に繋がって、前記開口部からの熱拡散により、前記第1の半導体柱におけるアクセプタ不純物を含んだ第4の不純物領域と、前記第2の半導体柱におけるドナー不純

物を含んだ第5の不純物領域と、前記第3の半導体柱におけるドナー不純物を含んだ第6の不純物領域とを、形成する第4不純物領域・第5不純物領域・第6不純物領域形成工程と、

前記垂直方向において、前記第1の層間絶縁層の位置の上方に繋がって、前記開口部からの熱拡散により、前記第1の半導体柱におけるアクセプタ不純物を含んだ第7の不純物領域と、前記第2の半導体柱におけるドナー不純物を含んだ第8の不純物領域と、前記第3の半導体柱におけるドナー不純物を含んだ第9の不純物領域とを、形成する第7不純物領域・第8不純物領域・第9不純物領域形成工程と、

前記第1の層間絶縁層より前記垂直方向の上方において、前記第1の導体層を、前記第1の半導体柱と、前記第2の半導体柱との外周を囲み、且つ繋がった第4の導体層と、前記第3の半導体柱の外周を囲んだ第5の導体層に分離する第4導体層・第5導体層形成工程と、

前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱との、頂部の前記第1の導体層と、前記ゲート絶縁層を除去し、そして前記第1の半導体柱の頂部にアクセプタ不純物を含む第10の不純物領域と、前記第2の半導体柱の頂部にドナー不純物を含む第11の不純物領域と、前記第3の半導体柱の頂部にドナー不純物を含む第12の不純物領域とを、形成する第10不純物領域・第11不純物領域・第12不純物領域形成工程と、

S G T (Surrounding Gate MOS Transistor) のドレインとなる、前記垂直方向において同じ高さで繋がる、前記第7の不純物領域、前記第8の不純物領域、前記第9の不純物領域、または前記第10の不純物領域、前記第11の不純物領域、前記第12の不純物領域と、前記第2の導体層とを、繋げる工程と、

S G T のドレインとなる、前記垂直方向において同じ高さで繋がる、前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、または前記第4の不純物領域、前記第5の不純物領域、前記第6の不純物領域と、前記第4の導体層とを、繋げる工程と、

前記第3の導体層と、前記第5の導体層とを、繋げる工程と、を備える、
ことを特徴とする。

[0021] 前記第4の不純物領域、前記第5の不純物領域、前記第6の不純物領域、
前記第7の不純物領域、前記第8の不純物領域、前記第9の不純物領域をS
G TのドレインとしてS R A Mセル回路が形成され、

前記第1の半導体柱の、前記第4の不純物領域と、前記第7の不純物領域
との、間に第2の層間絶縁層を形成する第2層間絶縁層形成工程と、

前記第2の半導体柱の、前記第5の不純物領域と、前記第8の不純物領域
との、間に第3の層間絶縁層を形成する第3層間絶縁層形成工程と、をさら
に備える、

ことが望ましい。

[0022] 前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、
前記第10の不純物領域、前記第11の不純物領域、前記第12の不純物領
域をS G TのドレインとしてS R A Mセル回路が形成され、

前記第1の半導体柱の、前記第4の不純物領域と、前記第7の不純物領域
との、間に第4の層間絶縁層を形成する第4層間絶縁層形成工程と、

前記第2の半導体柱の、前記第5の不純物領域と、前記第8の不純物領域
との、間に第5の層間絶縁層を形成する第5層間絶縁層形成工程と、をさら
に備える、

ことが望ましい。

[0023] 前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、
前記第10の不純物領域、前記第11の不純物領域、前記第12の不純物領
域をS G TのドレインとしてS R A Mセル回路を形成する、

ことが望ましい。

[0024] 前記第2の半導体柱に隣接して、前記垂直方向に立った第4の半導体柱を
形成する第4半導体柱形成工程と、

前記第4の半導体柱の底部に、前記第2の不純物領域に繋がった、ドナー
不純物を含んだ第13の不純物領域を形成する第13不純物領域形成工程と

、

前記第４の半導体柱の下部に、前記第４の半導体柱を囲み、且つ前記第２の導体層に繋がった、第６の導体層を形成する第６導体層形成工程と、

前記第４の半導体柱に、前記垂直方向において前記第５の不純物領域と同じ高さに、前記第５の不純物領域に繋がった、ドナー不純物を含んだ第１４の不純物領域を形成する第１４不純物領域形成工程と、

前記第４の半導体柱に、前記垂直方向において前記第８の不純物領域と同じ高さに、前記第８の不純物領域に繋がった、ドナー不純物を含んだ第１５の不純物領域を形成する第１５不純物領域形成工程と、

前記第４の半導体柱に、前記第４の半導体柱を囲み、且つ前記第４の導体層に繋がった、第７の導体層を形成する第７導体層形成工程と、

前記第４の半導体柱の頂部に、前記第１１の不純物領域に繋がった、ドナー不純物を含んだ第１６の不純物領域を形成する第１６不純物領域形成工程と、をさらに備える、

ことが望ましい。

[0025] 前記垂直方向において同じ高さにある、前記第４の不純物領域と、前記第５の不純物領域と、前記第６の不純物領域との形成、及び前記第７の不純物領域と、前記第８の不純物領域と、前記第９の不純物領域との形成を、アクセプタまたはドナー不純物を含んだ拡散材料層からの熱拡散により行い、前記拡散材料層をＳＲＡＭ回路の配線導体層に用いる工程、をさらに備える、ことが望ましい。

[0026] 前記半導体柱形成工程において、前記第１の半導体柱と前記第２の半導体柱とを隣接して形成する、ことが望ましい。

[0027] 前記第７の不純物領域と、前記第８の不純物領域と、前記第９の不純物領域とを繋げた第１の配線導体層を、該第１の配線導体層の少なくとも一部が前記第２の導体層の少なくとも一部と平面視において重なるように、形成する第１配線導体層形成工程と、

前記第4の不純物領域と、前記第5の不純物領域と、前記第6の不純物領域とを繋げた第2の配線導体層を、該第2の配線導体層の少なくとも一部と、前記第1の配線導体層の前記少なくとも一部と、前記第2の導体層の前記少なくとも一部とが平面視において互いに重なるように形成する第2配線導体層形成工程と、

前記第1の配線導体層の前記少なくとも一部と、前記第2の配線導体層の前記少なくとも一部とを貫通し、前記第2の導体層の前記少なくとも一部に繋がる第1のコンタクトホールを形成する第1コンタクトホール形成工程と、

前記第1のコンタクトホール内部に面した、前記第2の配線導体層の側面に第1の分離絶縁層を形成する第1分離絶縁層形成工程と、

前記第1のコンタクトホールを介して、前記第1の配線導体層と、前記第2の導体層とを接続する第1配線導体層・第2導体層接続配線導体層を形成する工程と、を有する、

ことが望ましい。

[0028] 前記第7の不純物領域と、前記第8の不純物領域と、前記第9の不純物領域とを繋げた第3の配線導体層を、該第3の配線導体層の少なくとも一部が前記第4の導体層の少なくとも一部と平面視において重なるように、形成する第3配線導体層形成工程と、

前記第4の不純物領域と、前記第5の不純物領域と、前記第6の不純物領域とを繋げた第4の配線導体層を、該第4の配線導体層の少なくとも一部と、前記第3の配線導体層の前記少なくとも一部と、前記第4の導体層の前記少なくとも一部とが互いに平面視において重なるように形成する第4配線導体層形成工程と、

前記第3の配線導体層の前記少なくとも一部と、前記第4の導体層の前記少なくとも一部とを貫通し、前記第4の配線導体層の前記少なくとも一部に繋がる第2のコンタクトホールを形成する第2コンタクトホール形成工程と、

前記第2のコンタクトホール内部に面した、前記第3の配線導体層の側面に第2の分離絶縁層を形成する第2分離絶縁層形成工程と、

前記第2のコンタクトホールを介して、前記第4の導体層と、前記第4の配線導体層とを接続する第4導体層・第4配線導体層接続配線導体層を形成する工程と、を有する、

ことが望ましい。

発明の効果

[0029] 本発明によれば、SGTを有する柱状半導体メモリ装置において、1つのメモリセルが少なくとも3個の半導体柱より形成され、且つ少ない数のメモリセル内の配線層を繋ぐコンタクトホールにより形成される。これにより、高密度のSRAMセル回路が実現できる。

図面の簡単な説明

[0030] [図1A]本発明の第1実施形態に係るSGTを有する柱状半導体メモリ装置を説明するためのSRAMセル回路図である。

[図1B]第1実施形態に係るSGTを有する柱状半導体メモリ装置を説明するためのSRAMセル模式構造図である。

[図2A]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2B]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2C]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2D]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2E]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2F]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2G]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2H]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2I]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2J]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2K]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2L]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2M]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2N]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法

を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図2P]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図2Q]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図2R]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図3A]本発明の第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図3B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図3C]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）である。

[図3D]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）である。

[図3E]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）である。

[図4A]本発明の第3実施形態に係るSGTを有する柱状半導体メモリ装置を説明するためのセル模式構造図である。

[図4B]第3実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)、(e)である。

[図4C]第3実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)である。

[図5]本発明の第4実施形態に係るSGTを有する柱状半導体メモリ装置を説明するための模式構造図である。

[図6]従来例のSGTを示す模式構造図である。

発明を実施するための形態

[0031] 以下、本発明の実施形態に係る、SGTを有する柱状半導体メモリ装置の製造方法について、図面を参照しながら説明する。

[0032] (第1実施形態)

以下、図1A、図1B、図2A～図2Rを参照しながら、本発明の第1実施形態に係る、SGTを有する柱状半導体メモリ装置の製造方法について説明する。

[0033] 図1Aに、本実施形態のSRAMセル回路図を示す。本SRAMセル回路は2個のインバータ回路を含んでいる。1つのインバータ回路は負荷トランジスタとしてのPチャネルSGT_Pc1と、駆動トランジスタとしてのNチャネルSGT_Nc1と、から構成されている。もう1つのインバータ回路は負荷トランジスタとしてのPチャネルSGT_Pc2と、駆動トランジスタとしてのNチャネルSGT_Nc2と、から構成されている。PチャネルSGT_Pc1のゲートとNチャネルSGT_Nc1のゲートが接続されている。PチャネルSGT_Pc2のドレインとNチャネルSGT_Nc2のドレインが接続されている。PチャネルSGT_Pc2のゲートとNチャネルSGT_Nc2のゲートが接続されている。PチャネルSGT_Pc1のドレインとNチャネルSGT_Nc1のドレインが接続されている。

[0034] 図1Aに示すように、PチャネルSGT_Pc1、Pc2のソースは電源端

子V_{dd}に接続されている。そして、NチャネルSGT_Nc1、Nc2のソースはグランド端子V_{ss}に接続されている。選択NチャネルSGT_SN1、SN2が2つのインバータ回路の両側に配置されている。選択NチャネルSGT_SN1、SN2のゲートはワード線端子WL_tに接続されている。選択NチャネルSGT_SN1のソース、ドレインはNチャネルSGT_Nc1、PチャネルSGT_Pc1のドレインとビット線端子BL_tに接続されている。選択NチャネルSGT_SN2のソース、ドレインはNチャネルSGT_Nc2、PチャネルSGT_Pc2のドレインと反転ビット線端子BLR_tに接続されている。このように、本実施形態のSRAMセルを有する回路（以下、「SRAMセル回路」という。）は、2個のPチャネルSGT_Pc1、Pc2と、4個のNチャネルSGT_Nc1、Nc2、SN1、SN2とからなる合計6個のSGTから構成されている。そして、このSRAMセル回路は、PチャネルSGT_Pc1、NチャネルSGT_Nc1、SN1よりなる回路領域C1と、PチャネルSGT_Pc2、NチャネルSGT_Nc2、SN2よりなる回路領域C2とから構成されている。

[0035] 図1Bに第1実施形態に係るSRAMセル回路の模式構造図を示す。このSRAMセル回路は3個のSi柱SP1、SP2、SP3より構成されている。

Si柱SP1には、図1AにおけるPチャネルSGT_Pc1が上部に形成され、PチャネルSGT_Pc2が下部に形成されている。PチャネルSGT_Pc1、Pc2はSi柱SP1の中間にあるSiO₂層Ox1で分離されている。そして、PチャネルSGT_Pc1は、チャネルであるSi柱SP1の一部、このSi柱SP1の一部を囲むゲートGp1、ゲートGp1の上下のSi柱SP1内にあるドレインP⁺層Pd1とソースP⁺層Ps1より形成されている。そして、PチャネルSGT_Pc2は、チャネルであるSi柱SP1の一部、このSi柱SP1の一部を囲むゲートGp2、ゲートGp2の上下のSi柱SP1内にあるドレインP⁺層Pd2とソースP⁺層Ps2より形成されている。

S i 柱 S P 2 には、図 1 A における N チャネル S G T _ N c 1 が上部に形成され、N チャネル S G T _ N c 2 が下部に形成されている。N チャネル S G T _ N c 1、N c 2 は S i 柱 S P 2 の中間にある S i O₂ 層 O x 2 で分離されている。そして、N チャネル S G T _ N c 1 は、チャンネルである S i 柱 S P 2 の一部、この S i 柱 S P 2 の一部を囲むゲート G n 1、ゲート G n 1 の上下の S i 柱 S P 2 内にあるドレイン N⁺層 N d 1 とソース N⁺層 N s 1 より形成されている。そして、N チャネル S G T _ N c 2 は、チャンネルである S i 柱 S P 2 の一部、この S i 柱 S P 2 の一部を囲むゲート G n 2、ゲート G n 2 の上下の S i 柱 S P 2 内にあるドレイン N⁺層 N d 2 とソース N⁺層 N s 2 より形成されている。

S i 柱 S P 3 には、図 1 A における N チャネル S G T _ S N 1 が上部に形成され、N チャネル S G T _ S N 2 が下部に形成されている。N チャネル S G T _ S N 1、S N 2 は S i 柱 S P 3 の中間にある S i O₂ 層 O x 3 で分離されている。そして、N チャネル S G T _ S N 1 は、チャンネルである S i 柱 S P 3 の一部、この S i 柱 S P 3 の一部を囲むゲート G s 1、ゲート G s 1 の上下の S i 柱 S P 3 内にあるドレイン N⁺層 S d 1 とソース N⁺層 S s 1 より形成されている。そして、N チャネル S G T _ S N 2 は、チャンネルである S i 柱 S P 3 の一部、この S i 柱 S P 3 の一部を囲むゲート G s 2、ゲート G s 2 の上下の S i 柱 S P 3 内にあるドレイン N⁺層 S d 2 とソース N⁺層 S s 2 より形成されている。

[0036] 図 1 B に示すように、S i 柱 S P 1、S P 2、S P 3 の同じ高さに位置している構成要素同士が接続されている。即ち、ゲート G p 1、G n 1 が接続され、ドレイン P⁺層 P d 1 と、ドレイン N⁺層 N d 1 と、ドレイン N⁺層 S d 1 とが接続され、ドレイン P⁺層 P d 2 と、ドレイン N⁺層 N d 2 と、ドレイン N⁺層 S d 2 とが接続され、ゲート G p 2、G n 2 が接続されている。さらに、ゲート G p 1、G n 1 と、ドレイン P⁺層 P d 2 と、ドレイン N⁺層 N d 2 と、ドレイン N⁺層 S d 2 とが接続され、ゲート G p 2、G n 2 が、ドレイン P⁺層 P d 1 と、ドレイン N⁺層 N d 1 と、ドレイン N⁺層 S d 1 とが接続さ

れている。

[0037] 図1Bに示すように、Si柱SP1のソースP⁺層P_{s1}、P_{s2}は電源端子V_{dd}に接続され、Si柱SP2のソースN⁺層N_{s1}、N_{s2}はグランド端子V_{ss}に接続され、Si柱SP3のソースN⁺層S_{s1}はビット線端子BL_tに接続され、Si柱SP3のソースN⁺層S_{s2}は反転ビット線端子BL_{Rt}に接続され、Si柱SP3のゲートG_{s1}、G_{s2}はワード線端子WL_tに接続されている。

[0038] 本実施形態における特徴の1つは、図1Bに示すように、Si柱SP1、SP2、SP3の上部に、図1Aに示した回路図の回路領域C1が形成され、下部に回路領域C2が形成されていることである。そして、2番目の特徴は、Si柱SP1、SP2、SP3の同じ高さにある構成要素同士が、Si柱の上下間の接続経路を介さないで接続されていることである。即ち、ゲートG_{p1}、G_{n1}が、Si柱SP1、SP2の上下間の接続経路を介しないで接続され、ドレインP⁺層P_{d1}、N⁺層N_{d1}、S_{d1}が、Si柱SP1、SP2、SP3の上下間の接続経路を介しないで接続され、ドレインP⁺層P_{d2}、N⁺層N_{d2}、S_{d2}が、Si柱SP1、SP2、SP3の上下間の接続経路を介しないで接続され、同様にゲートG_{p2}、G_{n2}が、Si柱SP1、SP2の上下間の接続経路を介しないで接続されている。

[0039] 図2A～2Rに、SGTを有する柱状半導体メモリ装置の製造工程を説明するための、平面図及び断面図を示す。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY1-Y1'線に沿う断面構造図、(d)は(a)のY2-Y2'線に沿う断面構造図を示す。

[0040] 図2Aに示すように、SiO₂層基板1上に、積層されたi層2、SiO₂層3、i層4、SiO₂層5を形成する。

[0041] 次に、図2Bに示すように、レジスト層(図示せず)をマスクに、リソグラフィ法とRIE(Reactive Ion Etching)法を用いて、平面視において円形状のSiO₂層5a、5b、5cを形成する。次に、レジスト層、SiO₂層5a、5b、5cをマスクに、RIE法を用いて、i層4、SiO₂層3、

i 層 2 をエッチングして、 SiO_2 層基板 1 上に i 層 2 の下層を残して、Si 柱 6 a、6 b、6 c を形成する。この結果、Si 柱 6 a は、i 層 2 b 1、 SiO_2 層 3 a、i 層 4 a、 SiO_2 層 5 a を含み、Si 柱 6 b は、i 層 2 b 2、 SiO_2 層 3 b、i 層 4 b、 SiO_2 層 5 b を含み、Si 柱 6 c は、i 層 2 b 3、 SiO_2 層 3 c、i 層 4 c、 SiO_2 層 5 c を含む。

次に、リソグラフィ法と RIE 法を用いて、残存する i 層 2 をエッチングして、Si 柱 6 a の外周部に i 層 2 a 1 を、Si 柱 6 b の外周部に i 層 2 a 2 を、Si 柱 6 c の外周部に i 層 2 a 3 を形成する。

[0042] 次に、図 2 C に示すように、例えば熱酸化により、Si 柱 6 a、6 b、6 c と i 層 2 a 1、2 a 2、2 a 3 の外周に SiO_2 層 7 a、7 b、7 c を形成する。そして、リソグラフィ法とイオン注入法を用いて、Si 柱 6 a の外周部の i 層 2 a 1 に P^+ 層 8 a を形成し、Si 柱 6 b の外周部の i 層 2 a 2 に N^+ 層 8 b を形成し、Si 柱 6 c の外周部の i 層 2 a 3 に N^+ 層 8 c を形成する。そして、Si 柱 6 a、6 b、6 c の下部と、i 層 2 a 1、2 a 2、2 a 3 とを囲んで、 SiO_2 層 10 を形成する。

[0043] 次に、図 2 D に示すように、 SiO_2 層 10 より上の SiO_2 層 7 a、7 b、7 c を除去した後に、Si 柱 6 a、6 b、6 c と、 SiO_2 層 10 を覆って、例えば ALD (Atomic Layer Deposition) 法により、酸化ハフニウム (HfO_2) 層 11 と、窒化チタン (TiN) 層 12 を順次形成する。最終的に、 HfO_2 層 11 は SGT のゲート絶縁層となり、 TiN 層 12 は SGT のゲート導体層となる。

[0044] 次に、図 2 E に示すように、リソグラフィ法と RIE 法を用いて、Si 柱 6 a、6 b を囲んだ TiN 層 12 a と、Si 柱 6 c を囲んだ TiN 層 12 b を形成する。

[0045] 次に、図 2 F に示すように、全体を覆って、 SiO_2 層 14 を形成する。その後、熱処理を行い、 P^+ 層 8 a、 N^+ 層 8 b、8 c のドナー、またはアクセプタ不純物原子を i 層 2 a 1、2 a 2、2 a 3 の全体に熱拡散して、 P^+ 層 8 a a、 N^+ 層 8 b b、8 c c を形成する。その後、Si 柱 6 a、6 b、6 c の

外周に窒化シリコン（SiN）層15を形成する。続いて、SiN層15上にレジスト層16を形成する。SiO₂層3a、3b、3cの垂直方向での位置が、レジスト層16の中央部になるように、レジスト層16を形成する。レジスト層16は、レジスト材料をSi柱6a、6b、6cとSiN層15との上表面に塗布した後、例えば200℃の熱処理を行ってレジスト材料の流動性を大きくし、レジスト材料がSi柱6a、6b、6cの外側のSiN層15上で均質に溜まるようにして形成する。続いて、フッ化水素ガス（以下、「HFガス」と称する。）を全体に供給する。続いて、例えば180℃の加熱環境とすることで、HFガスがレジスト層16内に含まれた水分によって電離され、フッ化水素イオン（HF₂⁺）（以下、「HFイオン」と称する。）が形成される。このHFイオンがレジスト層16内を拡散して、レジスト層16に接触するSiO₂層14をエッチングする（ここでのエッチングのメカニズムは非特許文献2を参照のこと。）。一方、レジスト層16に接触していないSiO₂層14は、殆どエッチングされずに残存する。その後、レジスト層16を除去する。

[0046] 以上の結果、図2Gに示すように、SiO₂層14は、SiN層15に覆われたSiO₂層14aと、Si柱6a、6b、6cの上部領域のSiO₂層14b、14c、14dとに分離される。続いて、SiO₂層14a、14b、14c、14d、SiN層15をマスクとして用い、TiN層12a、12bをエッチングすることで、TiN層12aが、Si柱6a、6bの下方領域のSiN層15で覆われたTiN層18aと、SiO₂層14b、で覆われたTiN層18cと、SiO₂層14cで覆われたTiN層18dに分離され、TiN層12bが、Si柱6cの下方領域のSiN層15で覆われたTiN層18bと、SiO₂層14dで覆われたTiN層18eに分離される。次に、SiO₂層14a、14b、14cと、TiN層18a、18b、18c、18d、18eとをマスクとして用い、HfO₂層11をエッチングすることで、HfO₂層11が、Si柱6a、6b、6cの下方領域においてTiN層18a、18bで覆われたHfO₂層11aと、Si柱6a、6b、6cの

上部領域でTiN層18c、18d、18eにそれぞれ覆われたHfO₂層11b、11c、11dとに分離される。その後、TiN層18aのSi柱6a側の露出部、同じくTiN層18aのSi柱6b側の露出部、TiN層18b、18c、18d、18eの露出部をそれぞれ酸化することで、TiO₂（酸化チタン）層20a、20b、20c、20d、20e、20fを形成する。

[0047] 次に、図2Hに示すように、例えば、SiO₂層基板1を配置した基板金属板と、この基板金属板から離間した対向金属板とを用意し、基板金属板に直流電圧を印加し、これら2枚の平行金属板にRF高周波電圧を印加することで対向金属板の材料原子をスパッタしてSiO₂層基板1上に堆積させるバイアス・スパッタ法を用いて、Ni原子をSiO₂層基板1の上表面に垂直な方向から入射させ、SiN層15上にNi層21aを形成する。同様に、バイアス・スパッタ法により、ボロン（B）不純物を含んだP型ポリSi層22a、SiO₂層23a、Ni層21b、P型ポリSi層22b、SiO₂層23bを順次積層する。ここで、SiO₂層23bの上面は、Si柱6a、6b、6cの上部を覆ったSiO₂層14b、14c、14dと接するように形成する。Ni原子、ポリSi原子、SiO₂原子は、SiO₂層基板1の上表面に対して垂直な方向から入射するので、Si柱6a、6b、6cの外周部側面とNi層21a、21b、P型ポリSi層22a、22b、SiO₂層23a、23bとの間に、密閉された空間25a、25b、25cが形成される。その後、SiN層15上に堆積されたNi層21a、21b、P型ポリSi層22a、22b、SiO₂層23a、23bよりなる積層膜と同時にSi柱6a、6b、6c頂部上に形成された積層膜（図示せず）を除去する。

[0048] 次に、図2Iに示すように、Si柱6aを覆ったレジスト層27を形成する。その後、SiO₂層基板1上面より砒素（As）原子のイオン注入により、Si柱6b、6cの外周部のP型ポリSi層22a、22bをN⁺層化してN⁺型ポリSi層26a、26bを形成する。その後、レジスト層27を除去する。

[0049] 次に、図2 Jに示すように、例えば550℃の熱処理を行うことで、Ni層21 a、21 bのNi原子をP型ポリSi層22 a、22 b、N⁺型ポリSi層26 a、26 b内に拡散させてニッケルシリサイド (NiSi) 層28 a、28 bをそれぞれ形成する。NiSi層28 a、28 bは、P型ポリSi層22 a、22 b、N⁺型ポリSi層26 a、26 bの体積より膨張する（この体積膨張については非特許文献3を参照のこと）。P型ポリSi層22 a、22 b、N⁺型ポリSi層26 a、26 bはSiN層15、SiO₂層23 a、23 bにより挟まれているので、NiSi層28 a、28 bは、主に空間25 a、25 b、25 c内に突出する。N⁺型ポリSi層26 a、26 bに含まれているAs原子と、P型ポリSi層22 a、22 bとに含まれているB原子は、NiSi層28 a、28 bより外側に掃き出される（この掃き出し現象については非特許文献3を参照のこと）。この不純物原子掃き出し効果により、空間25 a、25 b、25 c内に突き出したNiSi層28 a、28 bの側面表層に不純物原子を多く含んだ突起部（図示せず）が形成される。そして、突起部側面がSi柱6 a、6 b、6 c表面に接触する。

[0050] 次に、図2 Kに示すように、熱処理を行って、NiSi層28 a、28 bのシリサイド化を拡張すると共に、不純物掃き出し効果により突起部からAs原子、B原子をSi柱6 a、6 b、6 c内に拡散させる。こうして、NiSi層28 aに接したSi柱6 a、6 b、6 cの側面表層にそれぞれNiSi層30 a、30 b、30 cが形成されると共に、B原子及びAs原子が不純物掃き出し効果によりSi柱6 a、6 b、6 c内部に拡散されてSi柱6 a、6 b、6 c内部にそれぞれP⁺層31 a、N⁺層31 b、31 cが形成される。同様に、NiSi層28 bに接したSi柱6 a、6 b、6 cの側面表層にそれぞれNiSi層32 a、32 b、32 cが形成されると共に、B原子及びAs原子が不純物掃き出し効果によりSi柱6 a、6 b、6 c内部に拡散されてSi柱6 a、6 b、6 c内部にそれぞれP⁺層33 a、N⁺層33 b、33 cが形成される。SiO₂層3 a、3 b、3 cでは、ドナー及びアクセプタ不純物原子の熱拡散が抑えられ、同時にシリサイド化も抑えられるの

で、P⁺層31a、N⁺層31b、31cと、P⁺層33a、N⁺層33b、33cとは、SiO₂層3a、3b、3cで分離される。次に、リソグラフィ法とRIE法とを用いて、NiSi層28a、28b、SiO₂層23a、23bを、Si柱6a、6b、6cの外周部に残存するように、パターン加工することで、NiSi層28aa、28bb、SiO₂層23aa、23bbをそれぞれ形成する。

[0051] 次に、図2Lに示すように、SiN層15を形成した方法と同じ方法を用いることで、その上表面が、TiN層18c、18d、18eの高さ方向の中間に位置するように、SiN層35を形成する。続いて、空間25a、25b、25cを形成した方法と同じ方法を用いることで、TiN層18c、18d、18eの外周に開口部を形成する。続いて、TiN層18c、18dに接触したNiSi層36aと、TiN層18eに接触したNiSi層36bを形成する。

[0052] 次に、図2Mに示すように、SiO₂層37を、その上表面の位置がNiSi層36a、36bの表面よりも高く、かつSi柱6a、6b、6cの頂部よりも低くなるように形成する。その後、SiO₂層37をマスクとして用い、Si柱6a、6b、6cの頂部のSiO₂層14b、14c、14d、TiN層18c、18d、18e、HfO₂層11b、11c、11dをエッチングする。次に、SiO₂層37、14b、14c、14d、TiN層18c、18d、18e、HfO₂層11b、11c、11dをマスクにして、リソグラフィ法とイオン注入法を用いて、Si柱6aの頂部にボロン（B）をイオン注入してP⁺層38aを、Si柱6b、6cの頂部に砒素（As）をイオン注入してN⁺層38b、38cをそれぞれ形成する。

[0053] 次に、図2Nに示すように、SiO₂層39をCVD法、MCP法によって全体に形成する。続いて、リソグラフィ法とRIE法とを用いて、NiSi層28aa上に、SiO₂層39、37、NiSi層36a、SiN層35、SiO₂層23bb、NiSi層28bb、SiO₂層23aaを貫通させて、コンタクトホール40aを形成する。その後、NiSi層36a上に、コ

ンタクトホール40aを囲むSiO₂層39、37を貫通させて、コンタクトホール40aと繋がるコンタクトホール40bを形成する。その後、ALD法を用いて、例えばSiO₂膜（図示せず）を全体に堆積した後、RIE法により全体をエッチングして、コンタクトホール40a底部のNiSi層28aa上と、コンタクトホール40b底部のNiSi層36a上とのSiO₂膜を除去して、コンタクトホール40aの内部側面にSiO₂層41aを残存させ、同様にコンタクトホール40bの内部側面に、SiO₂層41bを残存させる。その後、NiSi層28aa、36aを接続する配線金属層42bを形成する。さらに、NiSi層28aa、36aの配線金属層42bを介した接続と同じ方法を用いて、形成したコンタクトホール40c、40dを介して、TiN層18aとNiSi層28bbとの接続を配線金属層42aにより行う。

[0054] 次に、図2Pに示すように、全体にSiO₂層44を形成する。その後、SiO₂層44、39を貫通させて、Si柱6aの頂部のP⁺層38a上にコンタクトホール45aを形成し、Si柱6bの頂部のN⁺層38b上にコンタクトホール45bを形成し、P⁺層8aa上にコンタクトホール45cを形成し、N⁺層8bb上にコンタクトホール45dを形成する。その後、コンタクトホール45a、45cを介して、P⁺層38a、8aaと接続して、平面視上においてY3-Y3'線に沿った方向に繋がった、電源配線金属層VDDを形成する。さらに、コンタクトホール45b、45dを介して、N⁺層38b、8bbと接続して、平面視上においてY1-Y1'線に沿った方向に繋がった、グランド配線金属層VSSを形成する。

[0055] 次に、図2Qに示すように、全体にSiO₂層46を形成する。その後、TiN層18b上に、SiO₂層46、44、39、37、NiSi層36b、SiN層35、15、SiO₂層14aを貫通させて、コンタクトホール47を形成する。その後、コンタクトホール47を介して、TiN層18bとNiSi層36bとを接続する、X-X'方向に繋がったワード線配線金属層WLを形成する。

[0056] 次に、図2Rに示すように、全体にSiO₂層48を形成する。その後、Si柱6cの頂部のN⁺層38c上に、SiO₂層48、46、44、39を貫通させて、コンタクトホール49aを形成し、N⁺層8cc上に、SiO₂層48、46、44、39、37、SiN層35、15、SiO₂層14a、HfO₂層11a、SiO₂層10、7cを貫通させて、コンタクトホール49bを形成する。その後、コンタクトホール49aを介して、N⁺層38cと接続する、平面視上においてY1-Y1'線に沿った方向に繋がったビット線配線金属層BLを形成し、コンタクトホール49bを介してN⁺層8ccと接続する、平面視上においてY1-Y1'線に沿った方向に繋がった反転ビット線配線金属層BLRを形成する。

[0057] 図2Rに示すように、Si柱6aの上部に、P⁺層33a、38aをドレイン、ソースとし、TiN層18cをゲートとし、P⁺層33a、38a間のSi柱6aをチャネルにしたSGT（図1BのPチャネル型SGT_Pc1に対応する）が形成され、Si柱6aの下部に、P⁺層8aa、31aをソース、ドレインとし、TiN層18aをゲートとし、P⁺層8aa、31a間のSi柱6aをチャネルにしたSGT（図1BのPチャネル型SGT_Pc2に対応する）が、形成される。

また、Si柱6bの上部に、N⁺層38b、33bをソース、ドレインとし、TiN層18dをゲートとし、N⁺層38b、33b間のSi柱6bをチャネルにしたSGT（図1BのNチャネル型SGT_Nc1に対応する）が形成され、Si柱6bの下部に、N⁺層8bb、31bをソース、ドレインとし、TiN層18aをゲートとし、N⁺層8bb、31b間のSi柱6aをチャネルにしたSGT（図1BのNチャネル型SGT_Nc2に対応する）が、形成される。

また、Si柱6cの上部に、N⁺層38c、33cをソース、ドレインとし、TiN層18eをゲートとし、N⁺層38c、33c間のSi柱6cをチャネルにしたSGT（図1BのNチャネル型SGT_SN1に対応する）が形成され、Si柱6cの下部に、N⁺層8cc、31cをソース、ドレインとし、

TiN層18bをゲートとし、N⁺層8cc、31c間のSi柱6cをチャンネルにしたSGT（図1BのNチャンネル型SGT_Nc2に対応する）が、形成される。

これらSGT（図1BのSGT_Pc1、Pc2、Nc1、Nc2、SN1、SN2に対応する）が接続配線されて、図1Bに示した模式構造図と同じく、Si柱6a、6b、6cの上部に形成されたPチャンネル型SGT（図1BのPチャンネル型SGT_Pc1に対応する）及びNチャンネル型SGT（図1BのNチャンネル型SGT_Nc1、SN1に対応する）による回路領域（図1Bの回路領域C1に対応する）と、Si柱6a、6b、6cの下部に形成されたPチャンネル型SGT（図1BのPチャンネル型SGT_Pc2に対応する）及びNチャンネル型SGT（図1BのNチャンネル型SGT_Nc2、SN2に対応する）による回路領域（図1Bの回路領域C2に対応する）と、により構成されたSRAMセル回路が形成される。

[0058] 第1実施形態の柱状半導体メモリ装置、及びその製造方法によれば、以下の効果が奏される。

1. 図1B、図2Rに示されるように、本実施形態の特徴の1つは、C1回路領域において、Si柱6aのゲートTiN層18cと、Si柱6bのゲートTiN層18dとが、Z方向（SiO₂層基板1表面に対して垂直方向）のコンタクトホールを介する接続を行わないで、同じ高さにあるNiSi層36aで接続されている。同じくSi柱6aのP⁺層33aと、Si柱6bのN⁺層33bと、Si柱6cのN⁺層33cが、Z方向のコンタクトホールを介しないで、NiSi層28bbで接続されている。同じく、C2回路領域において、Si柱6aのP⁺層31aと、Si柱6bのN⁺層31bと、Si柱6cのN⁺層31cが、Z方向のコンタクトホールを介しないで、NiSi層28aaで接続されている。同じく、Si柱6a、6bのゲートTiN層18aが、Z方向のコンタクトホールを介しないで接続されている。これにより、高密度なSGTを有したSRAMセル回路が実現できる。

2. 図2R(a)に見られるように、平面視で見ると、本実施形態のSRA

Mセル回路領域は、3つのS i 柱6 a、6 b、6 cと、9個のコンタクトホール4 0 b（コンタクトホール4 0 aが重なって形成されている）、4 0 c（コンタクトホール4 0 dが重なって形成されている）、4 5 a、4 5 b、4 5 c、4 5 d、4 7、4 9 a、4 9 bと、により構成されている。通常、1つの半導体柱に1つのS G Tを形成する場合、ソース、ドレイン、ゲートの、少なくとも3個の配線金属層へのコンタクト（コンタクトホールを介した接続）が必要である。これに対して、本実施形態では、1つの半導体柱（S i 柱）において2個のS G Tを形成しているにも関わらず、1つの半導体柱当たり3個のコンタクトでS R A Mセル回路が形成される。これにより、高密度なS G Tを有したS R A Mセル回路が実現できる。

3. 本実施形態のS R A Mセル回路では、負荷トランジスタPチャネルS G T_P c 1、P c 2に対応するPチャネル型S G Tが形成されたS i 柱6 a（図1 BのS P 1に対応する）と、駆動トランジスタNチャネルS G T_N c 1、N c 2に対応するNチャネル型S G Tが形成されたS i 柱6 b（図1 BのS P 2に対応する）とが、隣接して形成されている。これにより、選択トランジスタNチャネルS G T_S N 1、S N 2に対応するNチャネル型S G Tが形成されたS i 柱6 c（図1 BのS P 3に対応する）を、S i 柱6 aとS i 柱6 bの間に形成する場合、平面視において、S i 柱6 a、6 bの外周に繋がったT i N層1 8 a、N i S i 層3 6 aを、S i 柱6 cの外周に繋がったT i N層1 8 b、N i S i 層3 6 bを迂回して形成することによるS R A Mセル回路領域の増大を防止できる。

[0059]（第2実施形態）

以下、図3 A～図3 Eを参照しながら、本発明の第2実施形態に係る、S G Tを有する柱状半導体メモリ装置の製造方法について説明する。（a）は平面図であり、（b）は（a）のX-X'線に沿った断面構造図であり、（c）は（a）のY1-Y1'線に沿った断面構造図であり、（d）は（a）のY2-Y2'線に沿った断面構造図であり、（e）は（a）のY3-Y3'線に沿った断面構造図である。第2実施形態の製造方法は、以下に説明す

る構造上の相違点が生じたこと以外は、第1実施形態の図2A～図2Rに示す工程と同様な工程によって製造される。

[0060] 図3Aは第1実施形態の図2Eの工程に対応している。図3Aに示すように、Si柱6cの下部に繋がるi層50が、平面視において、図2Eにおけるi層2a3と比べてX-X'線方向に短く、Y2-Y2'線方向に延びた形状に形成されている。そして、Si柱6a、6bを覆ったTiN層51が、平面視において、図2EにおけるTiN層12aに比べて、Si柱6aに繋がるY3-Y3'線方向に延びた形状に形成されている。

[0061] 図3Bは第1実施形態の図2Kの工程に対応している。図3Bに示すように、平面視において、リソグラフィ法とRIE法により形成されたNiSi層52a、52b、SiO₂層53a、53bの形状が、図2Kに比べて、Si柱6aに繋がったY3-Y3'線方向の上方において、短く形成されている。

[0062] 図3Cは第1実施形態の図2Nの工程に対応している。図3Cに示すように、図2Nにおける重なったコンタクトホール40a、40bに加えて、コンタクトホール55a、55b、55cが形成されている。コンタクトホール55aは、TiN層18a上に、SiO₂層39、37、SiN層35、15を貫通して形成される。コンタクトホール55bは、NiSi層52b上に、SiO₂層39、37、SiN層35、SiO₂層53bを貫通して形成される。その後、コンタクトホール55a、55bを介して、TiN層18aとNiSi層52bを接続する配線金属層57aが形成される。コンタクトホール55cは、N⁺層51a上に、SiO₂層39、37、SiN層35、SiO₂層53b、NiSi層52b、SiO₂層53a、NiSi層52a、SiN層15、SiO₂層14a、HfO₂層11a、SiO₂層10、7cを貫通して形成される。そして、SiO₂膜（図示せず）を全体に堆積して、その後にRIE法で全体をエッチングすることにより、コンタクトホール55cの内部側面に、SiO₂層56を形成する。そして、コンタクトホール55cを介して、N⁺層51aと接続した配線金属層57bを形成する。配線

金属層 57b は、 SiO_2 層 56 により、 NiSi 層 52a、52b とは絶縁されている。

[0063] 図 3D は第 1 実施形態の図 2R の工程に対応している。図 3D に示すように、 Si 柱 6c 上に、 SiO_2 層 60、46、44、39 を貫通したコンタクトホール 61 を形成する。その後、コンタクトホール 61 を介して、 N^+ 層 38c と接続するビット線配線金属層 BL を形成する。

[0064] 次に、図 3E に示すように、全体に SiO_2 層 62 を形成する。その後、図 3E の (d) に示すように配線金属層 57b 上に、ビット線配線金属層 BL、 SiO_2 層 62、60、46、44 を貫通したコンタクトホール 63 を形成する。その後、例えば ALD 法を用いて SiO_2 膜（図示せず）を全体に堆積して、その後に RIE 法で全体をエッチングすることにより、配線金属層 57b 上の SiO_2 膜を除去して、コンタクトホール 63 の内部側面に、 SiO_2 層 64 を形成する。その後、コンタクトホール 63 を介して、配線金属層 57b に接続した反転ビット線配線金属層 BLR2 を形成する。これにより、 SiO_2 層基板 1 上に、第 1 実施形態の図 1B の模式構造図と同じ SRAM セル回路が形成される。

[0065] 本第 2 実施形態は、第 1 実施形態と比べて、平面視において、反転ビット線配線金属層 BLR がビット線配線金属層 BL と並んで形成される代わりに、反転ビット線配線金属層 BLR2 がビット線配線金属層 BL と重なって形成されている。これにより、SRAM セル領域の面積が縮小される。また、 NiSi 層 52b と TiN 層 18a の、配線金属層 57a による接続が、 TiN 層 18a 上のコンタクトホール 55a、55b を介して行っている。コンタクトホール 55a、55b は、第 1 実施形態図 2N に示したコンタクトホール 40c、40d のように NiSi 層 28bb との絶縁のためのコンタクトホール側面への SiO_2 層形成を必要としない。これにより、SRAM セル製造が容易になる。

[0066] (第 3 実施形態)

以下、図 4A～図 4C を参照しながら、本発明の第 3 実施形態に係る、S

G Tを有する柱状半導体メモリ装置について説明する。図4 Aは本第3実施形態のS R A Mセルの模式構造図を示す。図4 Bは第3実施形態のS R A Mセルの平面図及び断面構造図を示す。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY1-Y1'線に沿う断面構造図、(d)は(a)のY2-Y2'線に沿う断面構造図、(e)は(a)のY3-Y3'線に沿う断面構造図を示す。図4 CはS i 柱6 a、6 b、6 cと、コンタクトホール7 0 a、7 0 b、7 0 c、7 1 a、7 1 b、7 1 c、7 1 d、7 2 a、7 2 b、7 2 cとに対するN⁺層、P⁺層、T i N層、N i S i 層、配線金属層の配置関係を示している。

[0067] 図4 AのS R A Mセル回路の模式構造図に示すように、本実施形態では、S i 柱S P 1、S P 2、S P 3の上部に形成された回路領域C 1の各S G T_P c 1、N c 1、S N 1のソースとドレインの位置が、第1実施形態の図1 Bと比べて、上下方向に入れ替わっている。同様に、本実施形態では、S i 柱S P 1、S P 2、S P 3の下部に形成された回路領域C 2の各S G T_P c 2、N c 2、S N 2のソースとドレインの位置が、第1実施形態の図1 Bと比べて、上下方向に入れ替わっている。これにより、S i 柱S P 1の中間にあるソースP⁺層P Sは、図1 Bにおける絶縁分離のためのS i O₂層O x 1を必要としていない。同様に、S i 柱S P 2の中間にあるソースN⁺層N Sは、図1 Bにおける絶縁分離のためのS i O₂層O x 2を必要としない。S i 柱S P 1、S P 2、S P 3の同じ高さに位置している、ドレインP⁺層P D 1と、ドレインN⁺層N D 1と、ドレインN⁺層S D 1とが接続され、ゲートG p 1、G n 1が接続され、同じくゲートG p 2、G n 2が接続されている。P⁺層P D 1、N⁺層N D 1、S D 1を繋ぐ配線と、ゲートG p 2、G n 2を繋ぐ配線とが接続されている。ゲートG p 1、G n 1を繋ぐ配線と、P⁺層P D 2、N⁺層N D 2、N⁺層S D 2を繋ぐ配線とが接続されている。S i 柱S P 1の中間のソースP⁺層P Sは電源端子V d dに接続され、S i 柱S P 2の中間のソースN⁺層N Sはグランド端子V s sに接続されている。S i 柱の中間のソースN⁺層S S 1はビット線端子B L tに接続され、ソースN⁺層S S 2は

反転ビット線端子BLRtに接続されている。Si柱SP3のゲートGs1、Gs2はワード線端子WLtに接続されている。

[0068] 図4Bに示すように、Si柱6aの底部にP⁺層73aが形成され、Si柱6b、6cの底部にN⁺層73bが形成されている（図4Cでは（a）に示す）。P⁺層73a、N⁺層73bは接して形成されている。P⁺層73a、N⁺層73bの上面には、例えばタングステン（W）層69が張り付いている。Si柱6a、6bを囲んで、繋がったゲートTiN層74aと、Si柱6cを囲んだゲートTiN層74bが形成されている（図4Cでは（b）に示す）。Si柱6a、6b、6cの中間の下部にNiSi層75a、75b、75cが形成されている（図4Cでは（c）に示す）。NiSi層75aはSi柱6aを囲んで形成され、NiSi層75bはSi柱6bを囲んで形成され、NiSi層75cはSi柱6cを囲んで形成されている。Si柱6a、6b、6cの中間の上部にNiSi層76a、76b、76cが形成されている（図4Cでは（d）に示す）。NiSi層76aはSi柱6aを囲んで形成され、NiSi層76bはSi柱6bを囲んで形成され、NiSi層76cはSi柱6cを囲んで形成されている。NiSi層75a、76aはSi柱6aの中間のP⁺層68aに接続され、NiSi層75b、76bはSi柱6bの中間のN⁺層68bに接続され、NiSi層75cはSi柱6cの中間のN⁺層31cに接続され、NiSi層76cはSi柱6cの中間のN⁺層33cに接続されている。ゲートTiN層77aはSi柱6a、6bを囲み形成され、ゲートTiN層77bはSi柱6cを囲んで形成されている（図4Cでは（e）に示す）。

[0069] 図4Bに示すように、4層の配線金属層が形成されている。

配線金属層78aと配線金属層78bは1層目配線金属層である。配線金属層78aは、Si柱6a上のコンタクトホール71aと、Si柱6b上のコンタクトホール71bと、Si柱6c上のコンタクトホール71cと、TiN層74a上のコンタクトホール70aとを介して、Si柱6a、6b、6c上部のP⁺層38a、N⁺層38b、38cと、TiN層74aとを接続

している（図4Cでは（f）に示す）。配線金属層78bは、コンタクトホール70bを介して、Si柱6b、6cの底部に繋がるN⁺層73bと、Si柱6bを囲んだゲートNiSi層77aとを接続している（図4Cでは（f）に示す）。

電源配線金属層VDDとグランド配線金属層VSSは、2層目配線金属層である（図4Cでは（g）に示す）。電源配線金属層VDDは、コンタクトホール72aを介して、NiSi層75a、76aと接続している。グランド配線金属層VSSは、コンタクトホール72bを介して、NiSi層75b、76bと接続している。

3層目配線金属層であるワード線配線金属層WLは、コンタクトホール72cを介して、Si柱6cを囲んだゲートTiN層74bと、ゲートTiN層18eに繋がったNiSi層77aとを接続している（図4Cでは（h）に示す）。

ビット線配線金属層BLと反転ビット線配線金属層BLRは4層目配線金属層である（図4Cでは（i）に示す）。ビット線配線金属層BLは、コンタクトホール70cを介して、Si柱6cを囲むNiSi層75cに接続され、反転ビット線配線金属層BLRは、コンタクトホール71dを介して、NiSi層76cに接続されている。

以上により、図4Aに示したSRAMセル回路が形成される。

[0070] 第3実施形態の柱状半導体メモリ装置、及びその製造方法によれば、以下の効果が奏される。

1. 第1実施形態においては、Si柱6a、6b、6cの底部に、分離されたi層2a1、2a2、2a3が形成され、これらi層2a1、2a2、2a3に、P⁺層8aa、N⁺層8bb、8ccが形成されている。これに対して、第3実施形態では、Si柱6aを囲むP⁺層73a、Si柱6b、6cを囲むN⁺層73bは、繋がって形成されている。これにより、第3実施形態では、平面視において、第1実施形態のような、i層2a1、2a2、2a3間を分離するための領域を必要としない。これにより、SRAMセルのX-

X' 線方向寸法が縮小され、そしてSRAMセル回路の高密度化がなされる。

2. 第3実施形態では、第1実施形態における、平面視において重なったNiSi層28a a上のコンタクトホール40 a、40 b、そしてTiN層18 a上のコンタクトホール40 c、40 dの形成は必要としない。第3実施形態ではコンタクトホール70 a、70 b、70 c、71 a、71 b、71 c、71 d、72 a、72 b、72 cは、絶縁層だけを貫通する製造方法により形成される。これにより、SRAM回路の製造が容易になる。または、第2実施形態のように、反転ビット線配線金属層BL Rをビット線配線金属層BLと平面視において、重なったコンタクトホール（第2実施形態のコンタクトホール62に対応する）を用いると、更にSRAMセル回路の縮小が可能になる。

3. 第3実施形態では、第1実施形態におけるSi柱6 a、6 bの中間に絶縁用のSiO₂層3 a、3 bを必要としない。このため、図2 Aに対応する工程において、Si柱6 cの領域だけ、例えば酸素イオン(O⁺)をSiO₂層基板1上面より、例えば加速電圧100~200KV、ドーズ量 2×10^{18} / cm²にて、イオン注入を行いSiO₂層3 cを形成できる。このため、Si柱6 a、6 b領域は、キャリア移動度の低下に繋がる可能性のある高加速電圧酸素イオン注入がなされないので、Si柱6 a、6 bに性能低下のないSGTを容易に形成できる。また、このようにして、第1実施形態と同じく、Si柱6 a、6 bの中間に絶縁用のSiO₂層3 a、3 bを形成してもよい。SiO₂層3 a、3 bを形成してもSRAMセル回路の動作に不都合は生じない。

[0071] (第4実施形態)

以下、図5を参照しながら、本発明の第4実施形態に係る、SGTを有する柱状半導体メモリ装置について説明する。図5は本第4実施形態のSRAMセルの模式構造図を示す。

[0072] 図5に示すように、第1実施形態の図1 Bと比較すると、Si柱SP 2に

隣接してS i 柱SP 4が形成されている。S i 柱SP 4には、NチャネルSGT_N c 3が上部に形成され、NチャネルSGT_N c 4が下部に形成されている。NチャネルSGT_N c 3、N c 4はS i 柱SP 4の中間にあるS i O₂層O x 4で分離されている。S i O₂層O x 4の上部にドレインN⁺層Nd 3が形成されている。S i 柱SP 4の頂部にソースN⁺層Ns 3が形成されている。N⁺層Nd 3、Ns 3間のS i 柱SP 4を囲んでゲートGn 3が形成されている。S i O₂層O x 4の下方にドレインN⁺層Nd 4が形成されている。S i 柱SP 4の底部にソースN⁺層Ns 4が形成されている。N⁺層Nd 4、Ns 4間のS i 柱SP 4を囲んでゲートGn 4が形成されている。N⁺層Ns 1、Ns 3が接続され、N⁺層Nd 1、Nd 3が接続され、N⁺層Nd 2、Nd 4が接続され、N⁺層Ns 2、Ns 4が接続され、ゲートGn 1、Gn 3が接続され、ゲートGn 2、Gn 4が接続されている。

[0073] 図5に示すように、回路領域C 1における駆動用NチャネルSGT_N c 1に並列にNチャネルSGT_N c 3が接続されている。そして、回路領域C 2における駆動用NチャネルSGT_N c 2に並列にNチャネルSGT_N c 4が接続されている。これによって、SRAMセル回路の駆動能力を大きくでき、高速SRAM回路が実現される。そして、本実施形態は、その他の実施形態にも適用できる。

[0074] なお、第1実施形態では、S i O₂層基板1上にS i 柱6 a、6 b、6 cを形成してSRAMセル回路を形成したが、S i O₂層基板1の代わりにS i 基板を用いてもよい。この場合、S i 基板表層にS i 柱6 a、6 b、6 c底部のソース、ドレインのN⁺層、またはP⁺層に対応したウエル構造を有することが好ましい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0075] また、第1の実施形態では、S i 柱6 a、6 b、6 cのそれぞれに、2個のSGTを形成してSRAMセル回路を形成したが、S i 柱6 a、6 b、6 cの上部、または下部に、他の回路を形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0076] また、第1実施形態では、 SiO_2 層基板1を用いているが、この SiO_2 層基板1の下部に Si 基板を用いたものを基板として用いてもよい。また、 SiO_2 層基板1、及び下部の基板は、 SiO_2 以外の絶縁材料層であってもよい。

[0077] また、第1実施形態では、 Ni 層21a、21bの Ni 原子によるP型ポリ Si 層22a、22b、 N^+ 型ポリ Si 層26a、26bのシリサイド化に伴って NiSi 層28a、28bを空間25a、25b、25c内へ突起させた。この Ni 層21a、21bの代わりに、チタン(Ti)、コバルト(Co)などの他の金属層を用いてシリサイド層の空間25a、25b、25c内への突起を行ってもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0078] また、第1実施形態では、 Ni 層21a、21bの上にアクセプタ不純物を含んだP型ポリ Si 層22a、22bを形成したが、 Ni 層21a、21bの下にアクセプタ不純物を含んだP型ポリ Si 層22a、22bを形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0079] また、第1実施形態では、 Ni 層21aとP型ポリ Si 層22a、 N^+ 型ポリ Si 層26a、そして Ni 層21bとP型ポリ Si 層22b、 N^+ 型ポリ Si 層26bの積層を形成した後に、熱処理によって、 NiSi 層28a、28bを形成したが、 Ni 層21a、21bはP型ポリ Si 層22a、22b、 N^+ 型ポリ Si 層26a、26bの上下のどちらに形成してもよい。また複数層の Ni 層とポリ Si 層から複数の NiSi 層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0080] また、第1実施形態では、 Si 柱6a、6b、6c側面表面と NiSi 層28aa、28bbとの接続、 Si 柱6a、6b、6c内での NiSi 層30a、30b、30c、32a、32b、32cの形成、 P^+ 層31a、33a、 N^+ 層31b、31c、33b、33cの形成は、図2Kにおける熱処理によって行った。これら、 Si 柱6a、6b、6c側面表面と NiSi 層2

8 a a、2 8 b bとの接続、S i 柱6 a、6 b、6 c内のN i S i 層3 0 a、3 0 b、3 0 c、3 2 a、3 2 b、3 2 cの形成、P⁺層3 1 a、3 3 a、N⁺層3 1 b、3 1 c、3 3 b、3 3 cの形成は、S G Tを製造する最終工程までに行われればよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0081] また、第1実施形態では、N⁺型ポリS i 層2 6 a、2 6 bを用いたが、アモルファス層であってもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0082] また、第1実施形態では、S i N層1 5、3 5の単体材料層を用いて説明したが、複合材料層、例えば、下部にS i O₂層、上部にS i N層を有する複合材料層を用いてもよい。また、S i N層1 5、3 5に換えて、H Fイオンの拡散係数が小さい絶縁材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0083] また、上記各実施形態では、半導体柱としてS i（シリコン）柱を用いた例について説明した。しかしこれに限られず、本発明の技術思想は、シリコン以外の半導体材料からなる半導体柱を用いた、S G Tを有する半導体装置にも適用可能である。

[0084] また、上記各実施形態でのS R A Mセル回路は、回路領域C 1、C 2が、C M O Sインバータ回路と選択NチャネルS G Tからなる回路構成の場合であるが、他の回路構成であっても、回路領域C 1、C 2が同じ回路構成でS R A Mセル回路を形成するものであれば、本発明を適用することができる。

[0085] また、第1実施形態では、ゲート導電層がT i N層1 8 a、1 8 b、1 8 c、1 8 dからなる形態とした。しかしこれに限られず、ゲート導電層は、他の金属材料からなる形態でもよい。また、ゲート導電層は、金属層と例えばポリS i 層などからなる多層構造からなる形態でもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0086] また、第3実施形態では、P⁺層7 3 a、N⁺層7 3 bの表層にタングステン（W）層6 9を形成している。このW層は、他の金属材料層でもよい。ま

た、シリサイド層などの導体層であってもよい。また、W層69、他の金属材料層、シリサイド層の底部は、SiO₂層基板1上面に接してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0087] また、第1実施形態のSRAMセル回路では、負荷トランジスタPチャネルSGT_Pc1、Pc2に対応するPチャネル型SGTが形成されたSi柱6a（図1BのSP1に対応する）と、駆動トランジスタNチャネルSGT_Nc1、Nc2に対応するNチャネル型SGTが形成されたSi柱6b（図1BのSP2に対応する）とが、隣接して形成されている。これにより、選択トランジスタNチャネルSGT_SN1、SN2に対応するNチャネル型SGTが形成されたSi柱6c（図1BのSP3に対応する）を、Si柱6aとSi柱6bの間に形成する場合、平面視において、Si柱6a、6bの外周に繋がったTiN層18a、NiSi層36aを、Si柱6cの外周に繋がったTiN層18b、NiSi層36bを迂回して形成することによるSRAMセル回路領域の増大を防止できる。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0088] また、第3実施形態では、Si柱6a、6bの中間にSiO₂層を設けなかったが、第1実施形態におけるSiO₂層3a、3bを設けても、SRAMセル回路動作には問題ない。

[0089] また、第1実施形態では、図2Jに示すように、NiSi層28a、28bの間に、SiO₂層23aを設けているが、Si柱6a、6b、6cに形成される2つのSGTは同じ導電型であるので、SiO₂層23aはなくてもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0090] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の

範囲内となる。

産業上の利用可能性

[0091] 本発明に係る、柱状半導体メモリ装置の製造方法によれば、高集積度な半導体装置が得られる。

符号の説明

[0092] P c 1、P c 2 PチャネルSGT

N c 1、N c 2、N c 3、N c 4、S N 1、S N 2 NチャネルSGT

B L t ビット線端子

B L R t 反転ビット線端子

W L t ワード線端子

V s s グランド端子

V d d 電源端子

C 1、C 2 回路領域

G p 1、G p 2、G n 1、G n 2、G n 3、G n 4、G s 1、G s 2 ゲート

1 S i O₂層基板

2、2 a 1、2 a 2、2 a 3、2 b 1、2 b 2、2 b 3、4、4 a、4 b、4 c、5 0 i 層

N s 1、N s 2、N d 1、N d 2、S d 1、S d 2、N S 1、N D、S S 1、S D 1、S D 2、S S 2、8 b、8 c、8 b b、8 c c、3 1 b、3 1 c、3 3 b、3 3 c、3 8 b、3 8 c、5 1、5 1 a、7 3 b N⁺層

8 a、8 a a、3 8 a、3 1 a、3 3 a、7 3 a、P d 1、P d 2、P s 1、P s 2、P D 1、P D 2、P S P⁺層

O x 1、O x 2、O x 3、3、3 a、3 b、3 c、5、5 a、5 b、5 c、7 a、7 b、7 c、1 0、1 4、1 4 a、1 4 b、1 4 c、1 4 d、2 3 a、2 3 b、2 3 a a、2 3 b b、3 7、3 9、4 1 a、4 1 b、4 4、4 6、4 8、5 3 a、5 3 b、5 6、6 0、6 2、6 4 S i O₂層

S P 1、S P 2、S P 3、6 a、6 b、6 c S i 柱

11、11a、11b、11c、11d HfO₂層
12、12a、12b、18a、18b、18c、18d、18e、51、
74a、74b、77a、77b TiN層
15、35 SiN層
16、27 レジスト層
20a、20b、20c、20d、20e、20f TiO層
21a、21b Ni層
22a、22b P型ポリSi層
26a、26b N⁺型ポリSi層
25a、25b、25c 空間
28a、28b、28aa、28bb、30a、30b、30c、32a、
32b、32c、36a、36b、52a、52b、75a、75b、75
c、76a、76b、76c、77a NiSi層
40a、40b、40c、40d、45a、45b、47、49a、49b
、55a、55b、55c、61、63、70a、70b、70c、71a
、71b、71c、71d、72a、72b、72c コンタクトホール
42a、42b、57a、57b、78a、78b 配線金属層
VDD 電源配線金属層
VSS グランド配線金属層
WL ワード線配線金属層
BL ビット線配線金属層
BLR、BLR2 反転ビット線配線金属層

請求の範囲

- [請求項1] 基板上に、前記基板表面に対して垂直方向に立った第1の半導体柱と、第2の半導体柱と、第3の半導体柱と、
- 前記第1の半導体柱内に、互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第1の不純物領域とソースとなるアクセプタ不純物を含む第2の不純物領域と、
- 前記垂直方向において、前記第1の不純物領域と前記第2の不純物領域との間の前記第1の半導体柱の部分を囲んだ第1のゲート絶縁層と、
- 前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、
- 前記第1の半導体柱内で前記第1の不純物領域及び前記第2の不純物領域より下に、互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第3の不純物領域とソースとなるアクセプタ不純物を含む第4の不純物領域と、
- 前記垂直方向において、前記第3の不純物領域と前記第4の不純物領域との間の前記第1の半導体柱の部分を囲んだ第2のゲート絶縁層と、
- 前記第2のゲート絶縁層を囲んだ第2のゲート導体層と、
- 前記第2の半導体柱内に、互いに離れて形成された、ドレインとなるドナー不純物を含む第5の不純物領域とソースとなるドナー不純物を含む第6の不純物領域と、
- 前記垂直方向において、前記第5の不純物領域と前記第6の不純物領域との間の前記第2の半導体柱の部分を囲んだ第3のゲート絶縁層と、
- 前記第3のゲート絶縁層を囲んだ第3のゲート導体層と、
- 前記第2の半導体柱内で前記第5の不純物領域及び前記第6の不純物領域より下に、互いに離れて形成された、ドレインとなるドナー不純物を含む第7の不純物領域とソースとなるドナー不純物を含む第8

の不純物領域と、

前記垂直方向において、前記第7の不純物領域と前記第8の不純物領域との間の前記第2の半導体柱の部分を囲んだ第4のゲート絶縁層と、

前記第4のゲート絶縁層を囲んだ第4のゲート導体層と、

前記第3の半導体柱内に、互いに離れて形成された、ドレインとなるドナー不純物を含む第9の不純物領域とソースとなるドナー不純物を含む第10の不純物領域と、

前記垂直方向において、前記第9の不純物領域と前記第10の不純物領域との間の前記第3の半導体柱の部分を囲んだ第5のゲート絶縁層と、

前記第5のゲート絶縁層を囲んだ第5のゲート導体層と、

前記第3の半導体柱内で前記第9の不純物領域及び前記第10の不純物領域より下に、互いに離れて形成された、ドレインとなるドナー不純物を含む第11の不純物領域とソースとなるドナー不純物を含む第12の不純物領域と、

前記垂直方向において、前記第11の不純物領域と前記第12の不純物領域との間の前記第3の半導体柱を囲んだ第6のゲート絶縁層と、

前記第6のゲート絶縁層を囲んだ第6のゲート導体層と、

前記第3の半導体柱内で、前記第9の不純物領域及び前記第10の不純物領域のうち前記垂直方向において下にあるものと前記第11の不純物領域及び前記第12の不純物領域のうち前記垂直方向において上にあるものとの間に、第1の層間絶縁層と、を備え、

ドレインとなる前記第1の不純物領域と、ソースとなる前記第2の不純物領域と、前記第1のゲート絶縁層と、前記第1のゲート導体層とより、第1のSGT (Surrounding Gate MOS Transistor)が構成され、

ドレインとなる前記第3の不純物領域と、ソースとなる前記第4の不純物領域と、前記第2のゲート絶縁層と、前記第2のゲート導体層とより、第2のSGTが構成され、

ドレインとなる前記第5の不純物領域と、ソースとなる前記第6の不純物領域と、前記第3のゲート絶縁層と、前記第3のゲート導体層とより、第3のSGTが構成され、

ドレインとなる前記第7の不純物領域と、ソースとなる前記第8の不純物領域と、前記第4のゲート絶縁層と、前記第4のゲート導体層とより、第4のSGTが構成され、

ドレインとなる前記第9の不純物領域と、ソースとなる前記第10の不純物領域と、前記第5のゲート絶縁層と、前記第5のゲート導体層とより、第5のSGTが構成され、

ドレインとなる前記第11の不純物領域と、ソースとなる前記第12の不純物領域と、前記第6のゲート絶縁層と、前記第6のゲート導体層とより、第6のSGTが構成され、

前記第1の不純物領域と、前記第5の不純物領域と、前記第9の不純物領域とが、第1の配線導体層に繋がり、

前記第2のゲート導体層と、前記第4のゲート導体層とが、第2の配線導体層に繋がり、

前記第1の配線導体層と、前記第2の配線導体層とが、繋がり、

前記第3の不純物領域と、前記第7の不純物領域と、前記第11の不純物領域とが、第3の配線導体層に繋がり、

前記第1のゲート導体層と、前記第3のゲート導体層とが、第4の配線導体層に繋がり、

前記第3の配線導体層と、前記第4の配線導体層とが、繋がり、

前記第5のゲート導体層と、前記第6のゲート導体層とが繋がって

、

SRAMセル回路が形成されている、

ことを特徴とする柱状半導体メモリ装置。

[請求項2]

前記第1の半導体柱の中間に形成された第2の層間絶縁層と、

前記第2の半導体柱の中間に形成された第3の層間絶縁層と、をさらに備え、

前記第2の層間絶縁層の上方に繋がって、前記第1の不純物領域があり、

前記第1の不純物領域の上方に前記第2の不純物領域が形成され、

前記第2の層間絶縁層の下方に繋がって、前記第3の不純物領域があり、

前記第3の不純物領域の下方に前記第4の不純物領域が形成され、

前記第3の層間絶縁層の上方に繋がって、前記第5の不純物領域があり、

前記第5の不純物領域の上方に前記第6の不純物領域が形成され、

前記第3の層間絶縁層の下方に繋がって、前記第7の不純物領域があり、

前記第7の不純物領域の下方に前記第8の不純物領域が形成され、

前記第3の半導体柱の中間に形成された前記第1の層間絶縁層の上方に繋がって、前記第9の不純物領域があり、

前記第9の不純物領域の上方に前記第10の不純物領域が形成され、

前記第1の層間絶縁層の下方に繋がって、前記第11の不純物領域があり、

前記第11の不純物領域の下方に前記第12の不純物領域が形成され、

前記第2の不純物領域と、前記第4の不純物領域とが、電源配線導体層に繋がり、

前記第6の不純物領域と、前記第8の不純物領域とが、グランド配線導体層に繋がり、

前記第 5 のゲート導体層と、前記第 6 のゲート導体層とが、ワード線配線導体層に繋がり、

前記第 10 の不純物領域及び前記第 11 の不純物領域の一方がビット線配線導体層に繋がり、他方が反転ビット線配線導体層に繋がっている、

ことを特徴とする請求項 1 に記載の柱状半導体メモリ装置。

[請求項 3]

前記第 1 の半導体柱の中間に形成された第 4 の層間絶縁層と、

前記第 2 の半導体柱の中間に形成された第 5 の層間絶縁層と、をさらに備え、

前記第 4 の層間絶縁層の上方に繋がって、前記第 2 の不純物領域があり、

前記第 2 の不純物領域の上方に前記第 1 の不純物領域が形成され、

前記第 4 の層間絶縁層の下方に繋がって、前記第 4 の不純物領域があり、

前記第 4 の不純物領域の下方に前記第 3 の不純物領域が形成され、

前記第 5 の層間絶縁層の上方に繋がって、前記第 6 の不純物領域があり、

前記第 6 の不純物領域の上方に前記第 5 の不純物領域が形成され、

前記第 5 の層間絶縁層の下方に繋がって、前記第 8 の不純物領域があり、前記第 8 の不純物領域の下方に前記第 7 の不純物領域が形成され、

前記第 3 の半導体柱の中間に形成された前記第 1 の層間絶縁層の上方に繋がって、前記第 10 の不純物領域があり、

前記第 10 の不純物領域の上方に前記第 9 の不純物領域が形成され、前記第 1 の層間絶縁層の下方に繋がって、前記第 12 の不純物領域があり、

前記第 12 の不純物領域の下方に前記第 11 の不純物領域が形成され、

前記第 2 の不純物領域と、前記第 4 の不純物領域とが、電源配線導体層に繋がり、

前記第 6 の不純物領域と、前記第 8 の不純物領域とが、グランド配線導体層に繋がり、

前記第 5 のゲート導体層と、前記第 6 のゲート導体層とが、ワード線配線導体層に繋がり、

前記第 10 の不純物領域及び前記第 11 の不純物領域との一方がビット線配線導体層に繋がり、他方が反転ビット線配線導体層に繋がっている、

ことを特徴とする請求項 1 に記載の柱状半導体メモリ装置。

[請求項 4]

前記第 2 の不純物領域と、前記第 4 の層間絶縁層と、前記第 4 の不純物領域との代わりに、アクセプタ不純物を含んだ第 13 の不純物領域が形成され、

前記第 6 の不純物領域と、前記第 5 の層間絶縁層と、前記第 8 の不純物領域との代わりに、ドナー不純物を含んだ第 14 の不純物領域が形成され、

前記第 13 の不純物領域が前記電源配線導体層に繋がり、

前記第 14 の不純物領域が前記グランド配線導体層に繋がっている、

ことを特徴とする請求項 3 に記載の柱状半導体メモリ装置。

[請求項 5]

前記第 2 の半導体柱に隣接した第 4 の半導体柱と、

前記第 4 の半導体柱内に、互いに離れて形成された、ドレインとなるドナー不純物を含む第 15 の不純物領域とソースとなるドナー不純物を含む第 16 の不純物領域と、

前記垂直方向において、前記第 15 の不純物領域と前記第 16 の不純物領域との間の前記第 4 の半導体柱の部分を囲んだ第 7 のゲート絶縁層と、

前記第 7 のゲート絶縁層を囲んだ第 7 のゲート導体層と、

前記第4の半導体柱内で前記第15の不純物領域及び前記第16の不純物領域より下に、互いに離れて形成された、ドレインとなるドナー不純物を含む第17の不純物領域とソースとなるドナー不純物を含む第18の不純物領域と、

前記垂直方向において、前記第17の不純物領域と前記第18の不純物領域との間の前記第4の半導体柱の部分を囲んだ第8のゲート絶縁層と、

前記第8のゲート絶縁層を囲んだ第8のゲート導体層と、をさらに備え、

前記第5の不純物領域と、前記第15の不純物領域が接続され、
前記第6の不純物領域が、前記第16の不純物領域に接続され、
前記第7の不純物領域が、前記第17の不純物領域に接続され、
前記第8の不純物領域が、前記第18の不純物領域に接続され、
前記第3のゲート導体層が、前記第7のゲート導体層に接続され、
前記第4のゲート導体層が、前記第8のゲート導体層に接続されている、

ことを特徴とする請求項1に記載の柱状半導体メモリ装置。

[請求項6] 前記第1の半導体柱と、前記第2の半導体柱とが隣接して形成されている、

ことを特徴とする請求項1に記載の柱状半導体メモリ装置。

[請求項7] 平面視において、前記第3の配線導体層の少なくとも一部と、前記第1の配線導体層の少なくとも一部と、前記第4の配線導体層の少なくとも一部とは、この順に、互いに重なって形成されており、

前記第1の配線導体層の前記少なくとも一部と前記第4の配線導体層の前記少なくとも一部とを貫通し、前記第3の配線導体層の前記少なくとも一部に繋がる第1のコンタクトホールと、

前記第1のコンタクトホール内部に面した前記第1の配線導体層の側面に設けられた第1の分離絶縁層と、

前記第1のコンタクトホールを介して、前記第3の配線導体層と前記第4の配線導体層とを接続する第3配線導体層・第4配線導体層接続配線導体層と、をさらに有する、

ことを特徴とする請求項1に記載の柱状半導体メモリ装置。

[請求項8]

平面視において、前記第2の配線導体層の少なくとも一部と、前記第3の配線導体層の少なくとも一部と、前記第1の配線導体層の少なくとも一部とは、この順に、互いに重なって形成されており、

前記第1の配線導体層の前記少なくとも一部と前記第3の配線導体層の前記少なくとも一部とを貫通し、前記第2の配線導体層の前記少なくとも一部に繋がる第2のコンタクトホールと、

前記第2のコンタクトホール内部に面した前記第3の配線導体層の側面に設けられた第2の分離絶縁層と、

前記第2のコンタクトホールを介して、前記第1の配線導体層と前記第2の配線導体層とを接続する第1配線導体層・第2配線導体層接続配線導体層と、をさらに有する、

ことを特徴とする請求項1に記載の柱状半導体メモリ装置。

[請求項9]

平面視において、前記ビット線配線導体層の少なくとも一部と前記反転ビット線配線導体層の少なくとも一部とは互いに重なって形成されており、

前記ビット線配線導体層の前記少なくとも一部と前記反転ビット線配線導体層の前記少なくとも一部のうち垂直方向において下方にあるものを貫通する第3のコンタクトホールと、

前記第3のコンタクトホール内部に面した、前記ビット線配線導体層の前記少なくとも一部と前記反転ビット線配線導体層の前記少なくとも一部のうち貫通されたものの側面にある第3の分離絶縁層と、

前記第3のコンタクトホールを介して、前記ビット線配線導体層の前記少なくとも一部と前記反転ビット線配線導体層の前記少なくとも一部のうち貫通されていないものと、前記第10の不純物領域又は前

記第 1 の不純物領域とを接続する、第 3 の信号配線層と、をさらに有する、

ことを特徴とする請求項 2 又は請求項 3 に記載の柱状半導体メモリ装置。

[請求項10]

基板上に、前記基板平面に対して垂直方向に立った第 1 の半導体柱と、第 2 の半導体柱と、垂直方向の中間に第 1 の層間絶縁層を有する第 3 の半導体柱とを、形成する半導体柱形成工程と、

前記第 1 の半導体柱と、前記第 2 の半導体柱と、前記第 3 の半導体柱との、それぞれを囲んでゲート絶縁層を形成するゲート絶縁層形成工程と、

前記第 1 の半導体柱と、前記第 2 の半導体柱と、前記第 3 の半導体柱との、それぞれを囲んだ前記ゲート絶縁層を囲んで第 1 の導体層を形成する第 1 導体層形成工程と、

前記第 1 の半導体柱の底部にアクセプタ不純物を含む第 1 の不純物領域と、前記第 2 の半導体柱の底部にドナー不純物を含む第 2 の不純物領域と、前記第 3 の半導体柱の底部にドナー不純物を含む第 3 の不純物領域とを、形成する第 1 不純物領域・第 2 不純物領域・第 3 不純物領域形成工程と、

前記第 1 の層間絶縁層より前記垂直方向の下方において、前記第 1 の導体層を、前記第 1 の半導体柱と、前記第 2 の半導体柱との外周を囲み、且つ繋がった第 2 の導体層と、前記第 3 の半導体柱の外周を囲んだ第 3 の導体層に分離する第 2 導体層・第 3 導体層形成工程と、

前記第 1 の導体層と、前記ゲート絶縁層とのエッチングを、前記垂直方向において、前記第 1 の層間絶縁層を挟んで上下端を有した高さで行って、前記第 1 の半導体柱と、前記第 2 の半導体柱と、前記第 3 の半導体柱との外周に開口部を形成する開口部形成工程と、

前記垂直方向において、前記第 1 の層間絶縁層の位置の下方に繋がって、前記開口部からの熱拡散により、前記第 1 の半導体柱における

アクセプタ不純物を含んだ第4の不純物領域と、前記第2の半導体柱におけるドナー不純物を含んだ第5の不純物領域と、前記第3の半導体柱におけるドナー不純物を含んだ第6の不純物領域とを、形成する第4不純物領域・第5不純物領域・第6不純物領域形成工程と、

前記垂直方向において、前記第1の層間絶縁層の位置の上方に繋がって、前記開口部からの熱拡散により、前記第1の半導体柱におけるアクセプタ不純物を含んだ第7の不純物領域と、前記第2の半導体柱におけるドナー不純物を含んだ第8の不純物領域と、前記第3の半導体柱におけるドナー不純物を含んだ第9の不純物領域とを、形成する第7不純物領域・第8不純物領域・第9不純物領域形成工程と、

前記第1の層間絶縁層より前記垂直方向の上方において、前記第1の導体層を、前記第1の半導体柱と、前記第2の半導体柱との外周を囲み、且つ繋がった第4の導体層と、前記第3の半導体柱の外周を囲んだ第5の導体層に分離する第4導体層・第5導体層形成工程と、

前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱との、頂部の前記第1の導体層と、前記ゲート絶縁層を除去し、そして前記第1の半導体柱の頂部にアクセプタ不純物を含む第10の不純物領域と、前記第2の半導体柱の頂部にドナー不純物を含む第11の不純物領域と、前記第3の半導体柱の頂部にドナー不純物を含む第12の不純物領域とを、形成する第10不純物領域・第11不純物領域・第12不純物領域形成工程と、

S G T (Surrounding Gate MOS Transistor) のドレインとなる、前記垂直方向において同じ高さで繋がる、前記第7の不純物領域、前記第8の不純物領域、前記第9の不純物領域、または前記第10の不純物領域、前記第11の不純物領域、前記第12の不純物領域と、前記第2の導体層とを、繋げる工程と、

S G T のドレインとなる、前記垂直方向において同じ高さで繋がる、前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物

領域、または前記第4の不純物領域、前記第5の不純物領域、前記第6の不純物領域と、前記第4の導体層とを、繋げる工程と、

前記第3の導体層と、前記第5の導体層とを、繋げる工程と、を備える、

ことを特徴とする柱状半導体メモリ装置の製造方法。

[請求項11]

前記第4の不純物領域、前記第5の不純物領域、前記第6の不純物領域、前記第7の不純物領域、前記第8の不純物領域、前記第9の不純物領域をSGTのドレインとしてSRAMセル回路が形成され、

前記第1の半導体柱の、前記第4の不純物領域と、前記第7の不純物領域との、間に第2の層間絶縁層を形成する第2層間絶縁層形成工程と、

前記第2の半導体柱の、前記第5の不純物領域と、前記第8の不純物領域との、間に第3の層間絶縁層を形成する第3層間絶縁層形成工程と、をさらに備える、

ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。

[請求項12]

前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第10の不純物領域、前記第11の不純物領域、前記第12の不純物領域をSGTのドレインとしてSRAMセル回路が形成され、

前記第1の半導体柱の、前記第4の不純物領域と、前記第7の不純物領域との、間に第4の層間絶縁層を形成する第4層間絶縁層形成工程と、

前記第2の半導体柱の、前記第5の不純物領域と、前記第8の不純物領域との、間に第5の層間絶縁層を形成する第5層間絶縁層形成工程と、をさらに備える、

ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。

[請求項13] 前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第10の不純物領域、前記第11の不純物領域、前記第12の不純物領域をSGTのドレインとしてSRAMセル回路を形成する、

ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。

[請求項14] 前記第2の半導体柱に隣接して、前記垂直方向に立った第4の半導体柱を形成する第4半導体柱形成工程と、

前記第4の半導体柱の底部に、前記第2の不純物領域に繋がった、ドナー不純物を含んだ第13の不純物領域を形成する第13不純物領域形成工程と、

前記第4の半導体柱の下部に、前記第4の半導体柱を囲み、且つ前記第2の導体層に繋がった、第6の導体層を形成する第6導体層形成工程と、

前記第4の半導体柱に、前記垂直方向において前記第5の不純物領域と同じ高さに、前記第5の不純物領域に繋がった、ドナー不純物を含んだ第14の不純物領域を形成する第14不純物領域形成工程と、

前記第4の半導体柱に、前記垂直方向において前記第8の不純物領域と同じ高さに、前記第8の不純物領域に繋がった、ドナー不純物を含んだ第15の不純物領域を形成する第15不純物領域形成工程と、

前記第4の半導体柱に、前記第4の半導体柱を囲み、且つ前記第4の導体層に繋がった、第7の導体層を形成する第7導体層形成工程と、

前記第4の半導体柱の頂部に、前記第11の不純物領域に繋がった、ドナー不純物を含んだ第16の不純物領域を形成する第16不純物領域形成工程と、をさらに備える、

ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。

[請求項15] 前記垂直方向において同じ高さにある、前記第4の不純物領域と、前記第5の不純物領域と、前記第6の不純物領域との形成、及び前記第7の不純物領域と、前記第8の不純物領域と、前記第9の不純物領域との形成を、アクセプタまたはドナー不純物を含んだ拡散材料層からの熱拡散により行い、前記拡散材料層をSRAM回路の配線導体層に用いる工程、をさらに備える、

ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。

[請求項16] 前記半導体柱形成工程において、前記第1の半導体柱と前記第2の半導体柱とを隣接して形成する、

ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。

[請求項17] 前記第7の不純物領域と、前記第8の不純物領域と、前記第9の不純物領域とを繋げた第1の配線導体層を、該第1の配線導体層の少なくとも一部が前記第2の導体層の少なくとも一部と平面視において重なるように、形成する第1配線導体層形成工程と、

前記第4の不純物領域と、前記第5の不純物領域と、前記第6の不純物領域とを繋げた第2の配線導体層を、該第2の配線導体層の少なくとも一部と、前記第1の配線導体層の前記少なくとも一部と、前記第2の導体層の前記少なくとも一部とが平面視において互いに重なるように形成する第2配線導体層形成工程と、

前記第1の配線導体層の前記少なくとも一部と、前記第2の配線導体層の前記少なくとも一部とを貫通し、前記第2の導体層の前記少なくとも一部に繋がる第1のコンタクトホールを形成する第1コンタクトホール形成工程と、

前記第1のコンタクトホール内部に面した、前記第2の配線導体層の側面に第1の分離絶縁層を形成する第1分離絶縁層形成工程と、

前記第1のコンタクトホールを介して、前記第1の配線導体層と、

前記第2の導体層とを接続する第1配線導体層・第2導体層接続配線導体層を形成する工程と、を有する、

ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。

[請求項18]

前記第7の不純物領域と、前記第8の不純物領域と、前記第9の不純物領域とを繋げた第3の配線導体層を、該第3の配線導体層の少なくとも一部が前記第4の導体層の少なくとも一部と平面視において重なるように、形成する第3配線導体層形成工程と、

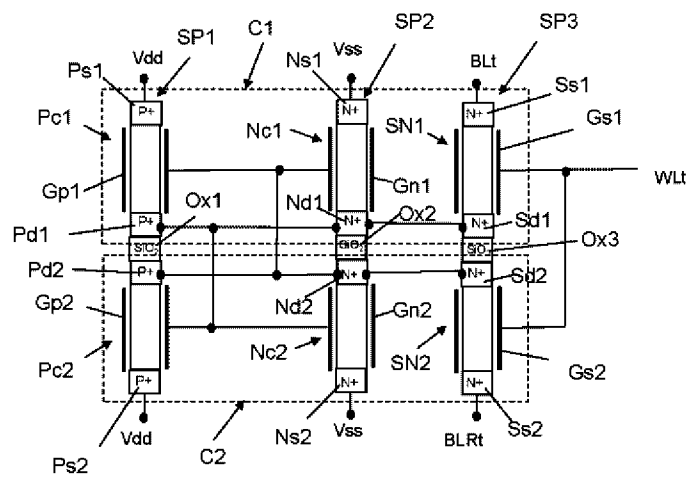
前記第4の不純物領域と、前記第5の不純物領域と、前記第6の不純物領域とを繋げた第4の配線導体層を、該第4の配線導体層の少なくとも一部と、前記第3の配線導体層の前記少なくとも一部と、前記第4の導体層の前記少なくとも一部とが互いに平面視において重なるように形成する第4配線導体層形成工程と、

前記第3の配線導体層の前記少なくとも一部と、前記第4の導体層の前記少なくとも一部とを貫通し、前記第4の配線導体層の前記少なくとも一部に繋がる第2のコンタクトホールを形成する第2コンタクトホール形成工程と、

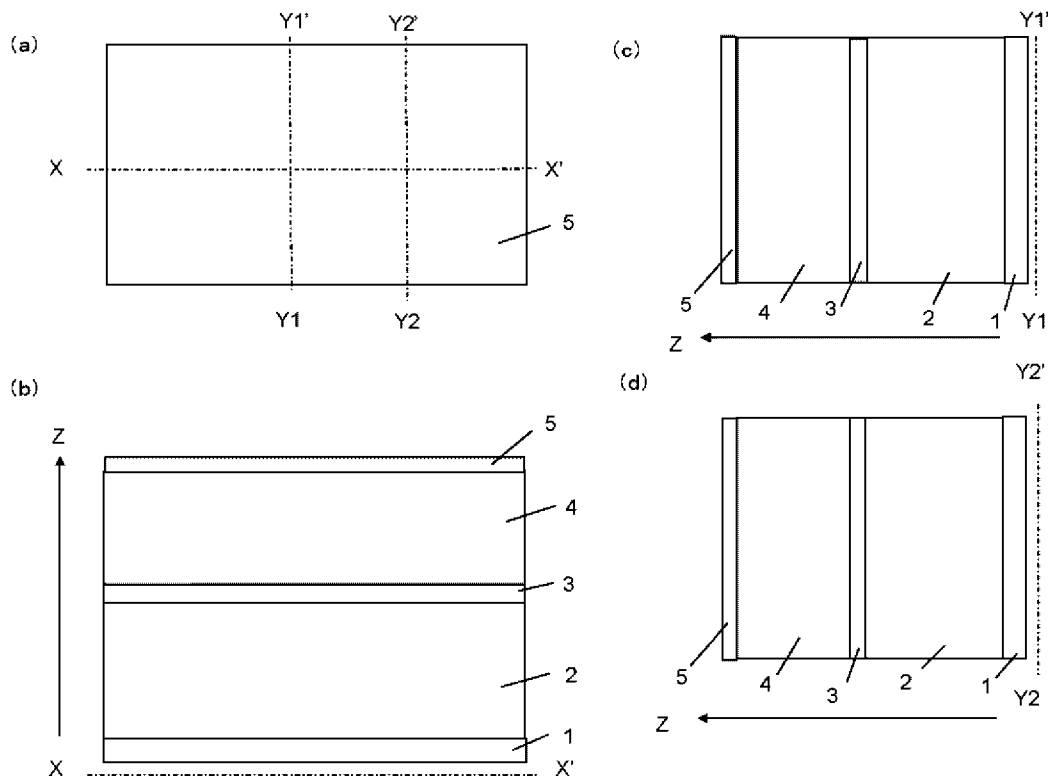
前記第2のコンタクトホール内部に面した、前記第3の配線導体層の側面に第2の分離絶縁層を形成する第2分離絶縁層形成工程と、

前記第2のコンタクトホールを介して、前記第4の導体層と、前記第4の配線導体層とを接続する第4導体層・第4配線導体層接続配線導体層を形成する工程と、を有する、

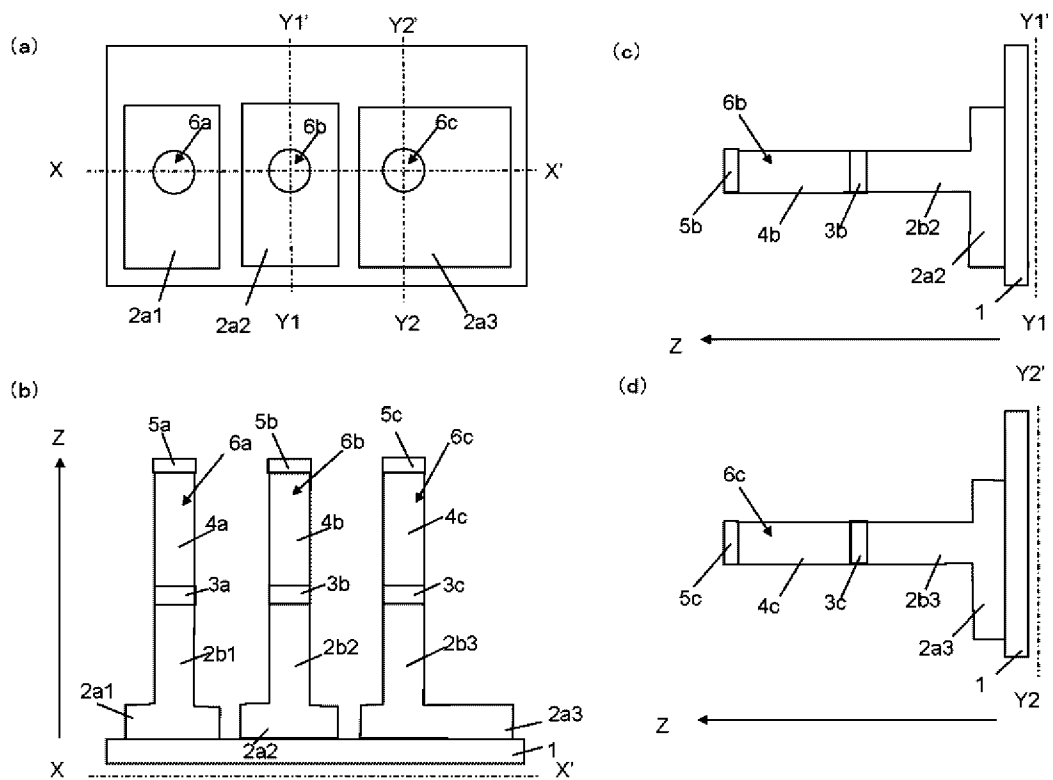
ことを特徴とする請求項10に記載の柱状半導体メモリ装置の製造方法。



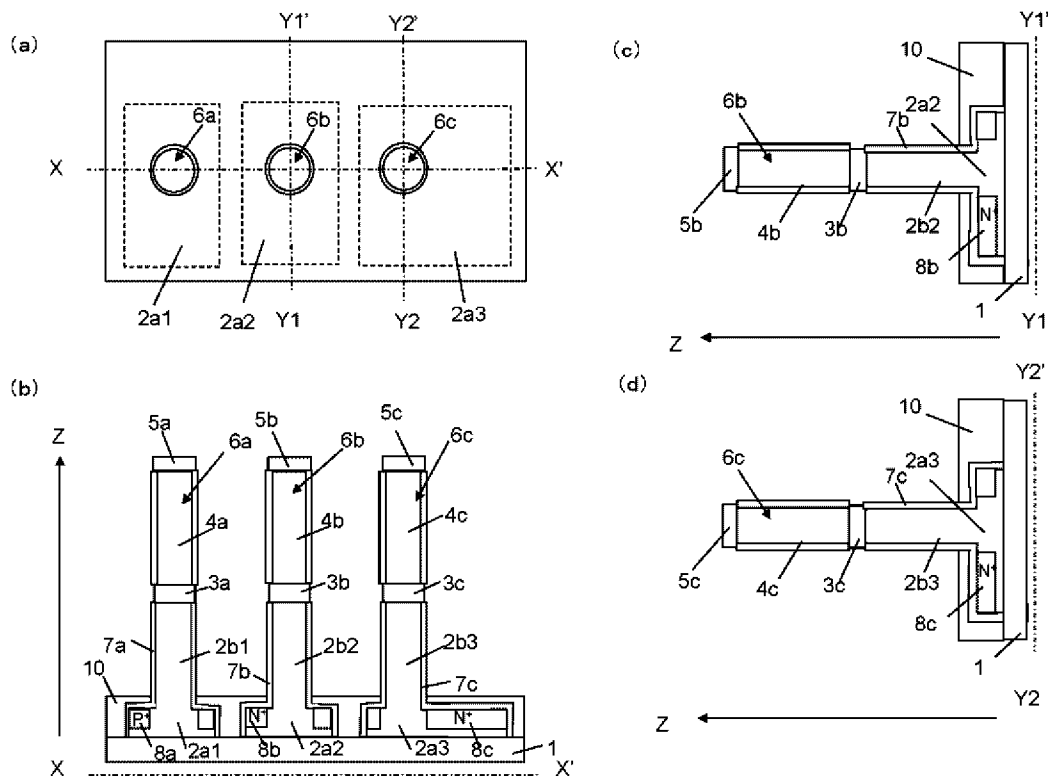
[図2A]



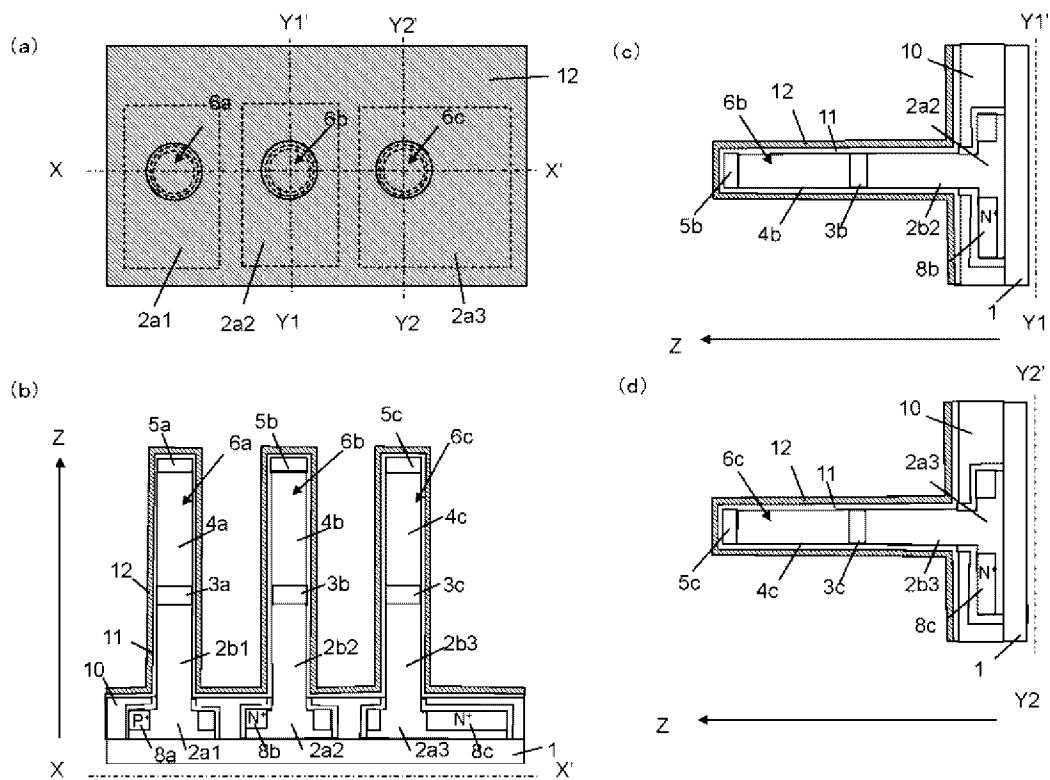
[図2B]



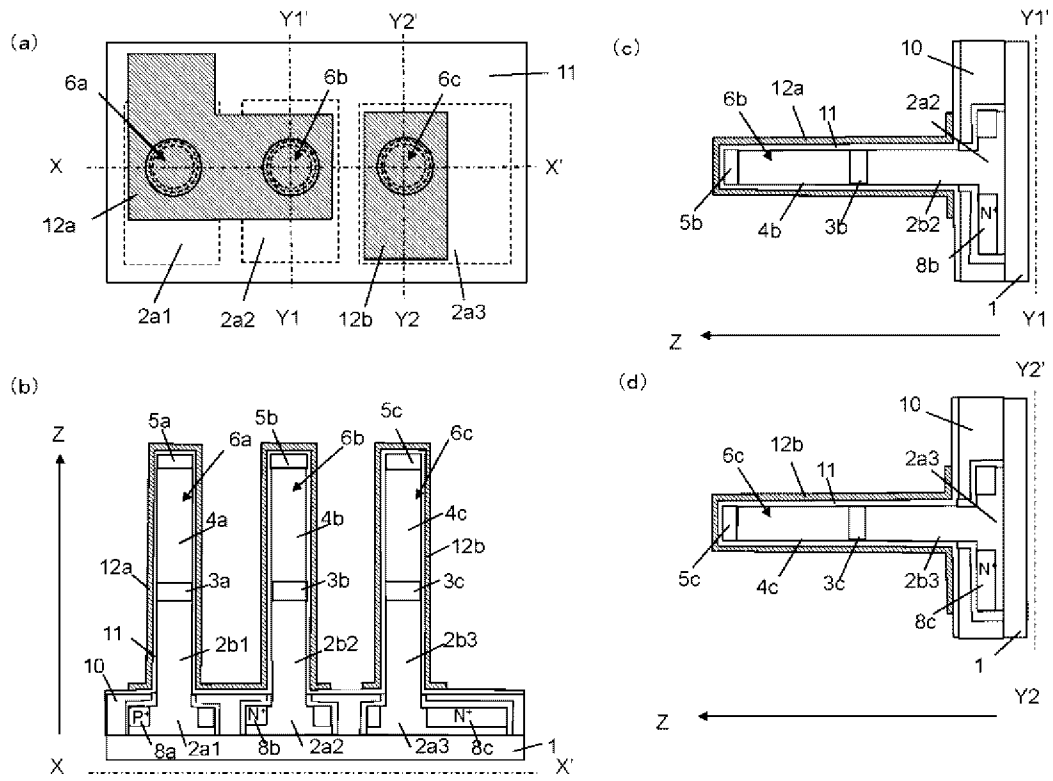
[図2C]



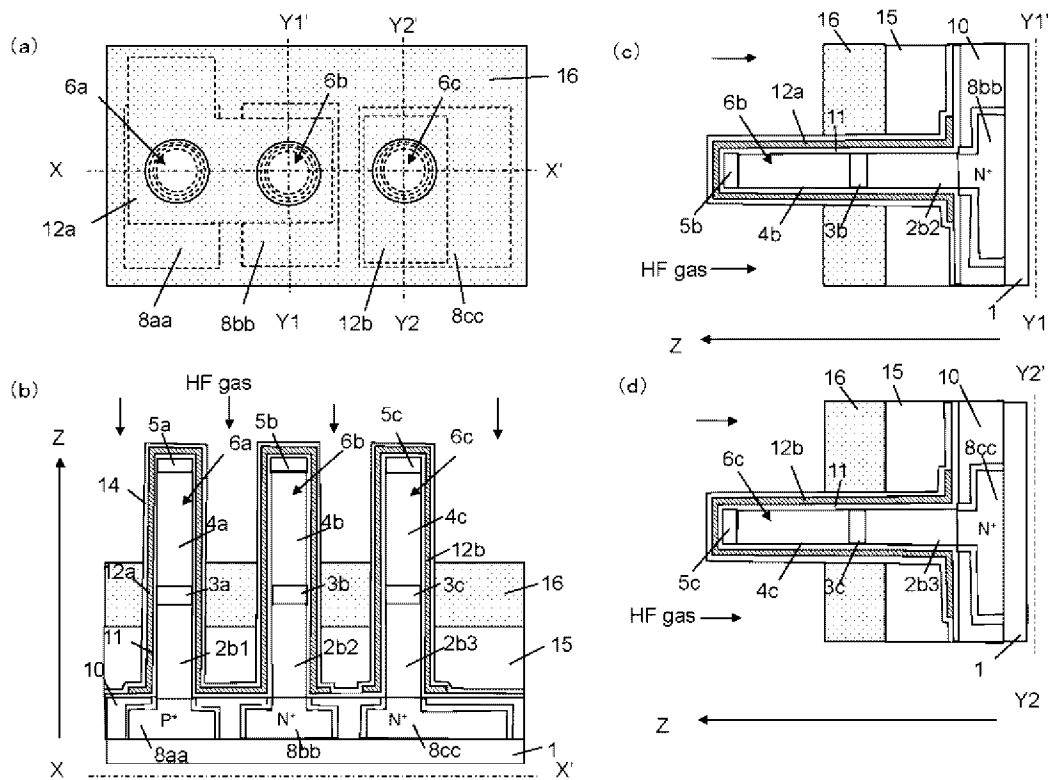
[図2D]



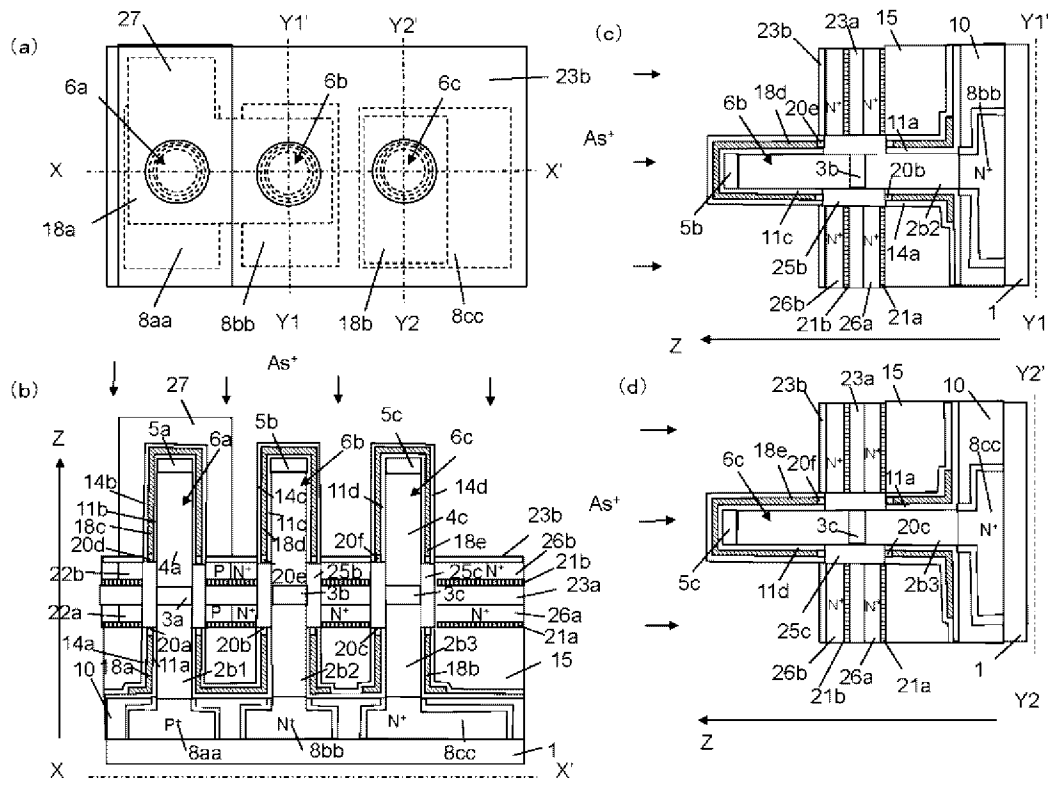
[図2E]



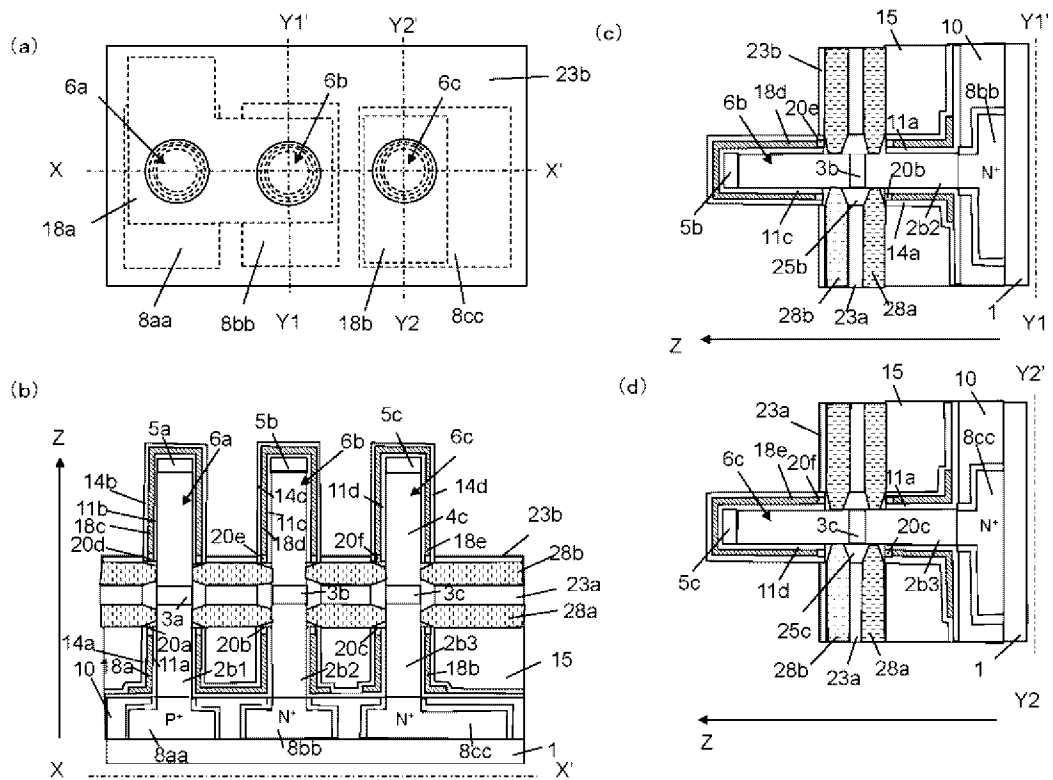
[図2F]



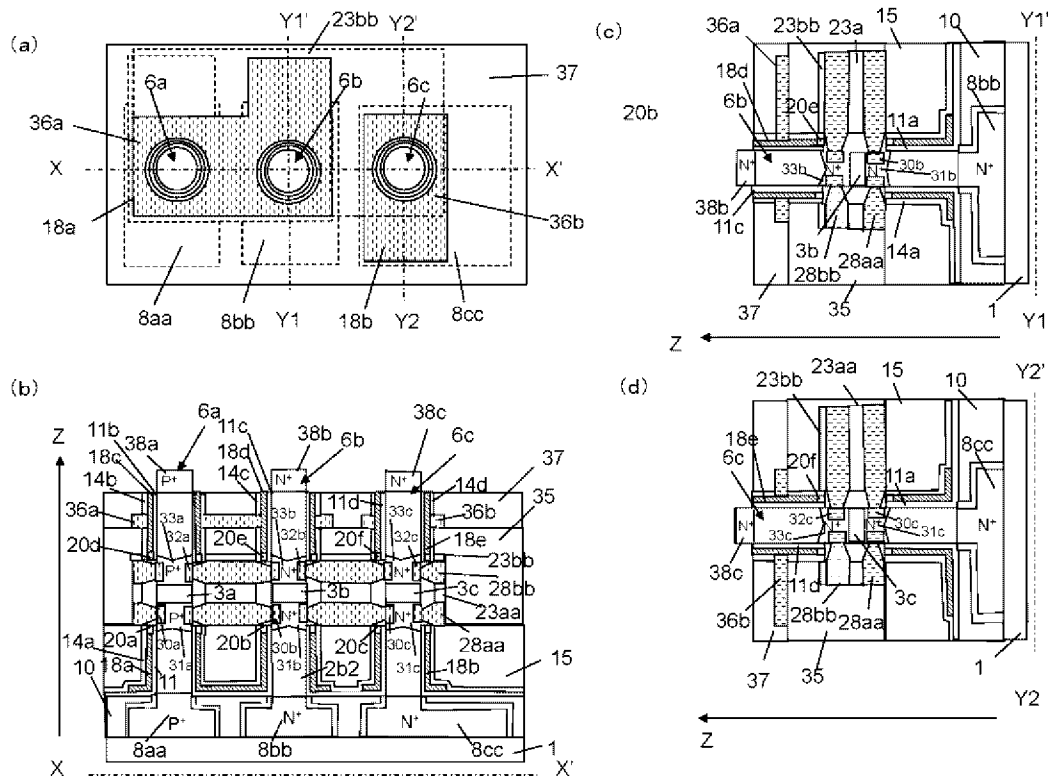
[図2I]



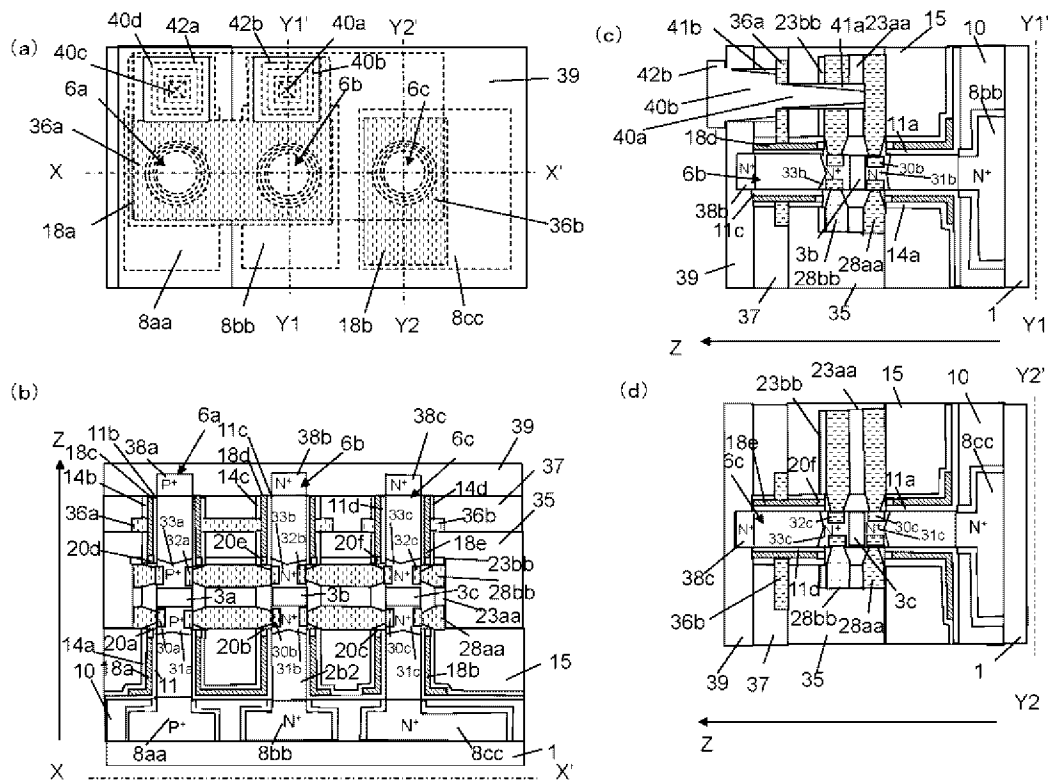
[図2J]



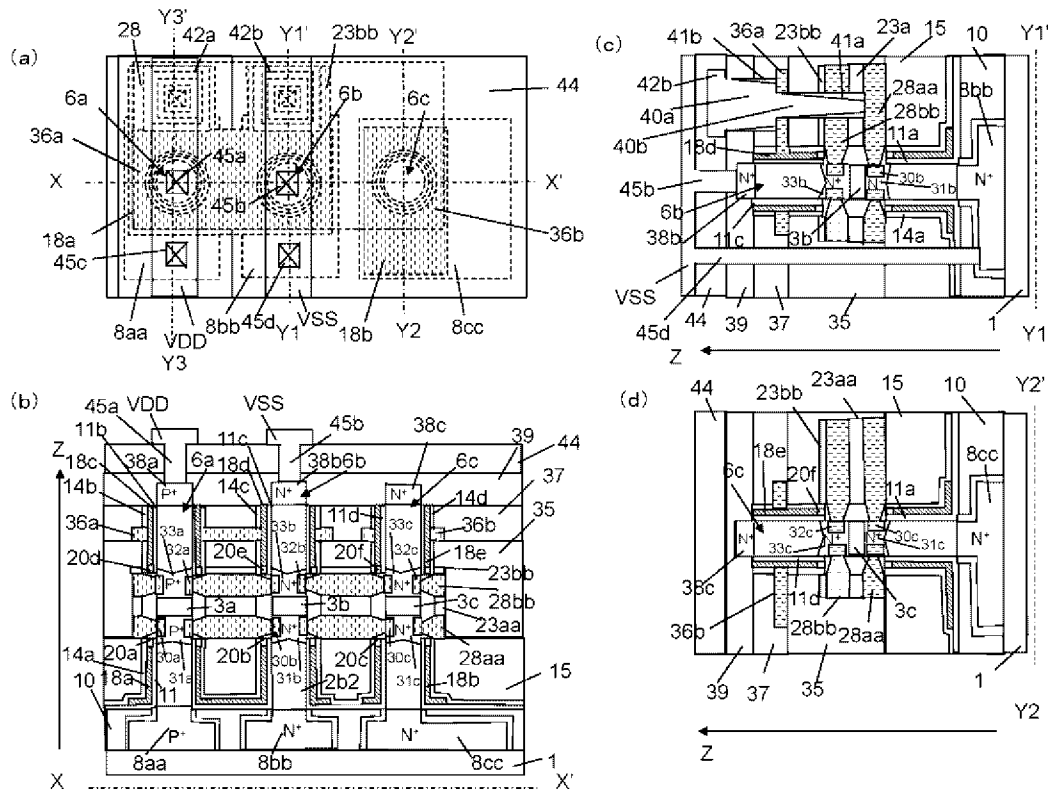
[図2M]



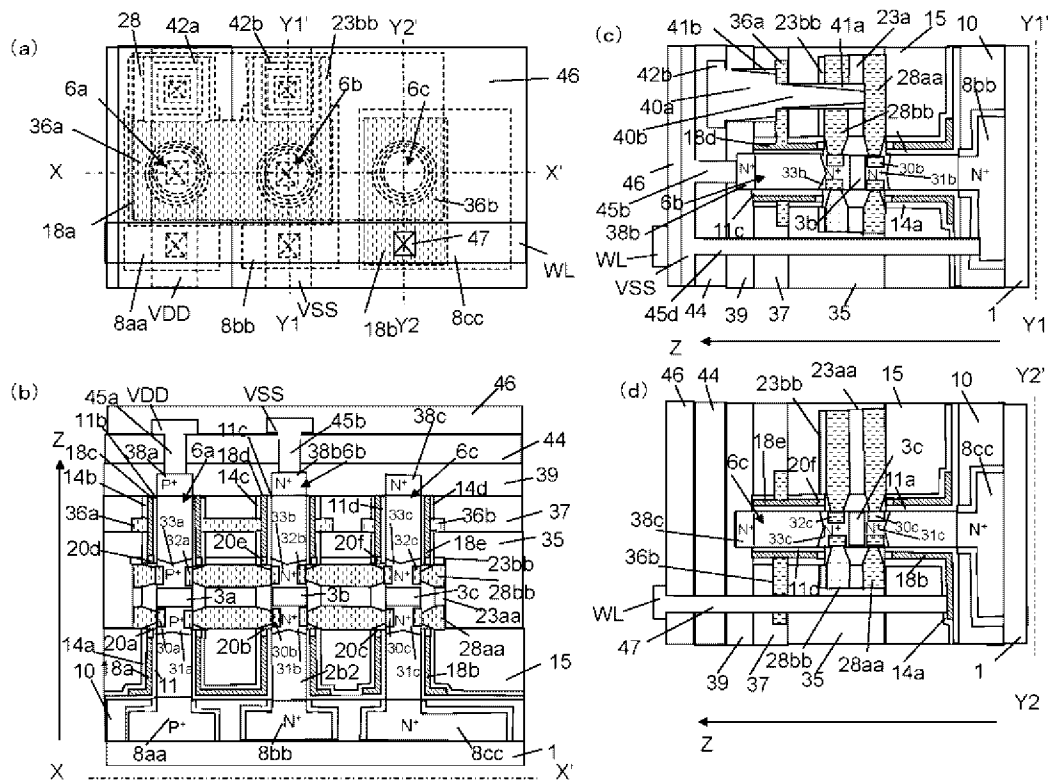
[図2N]



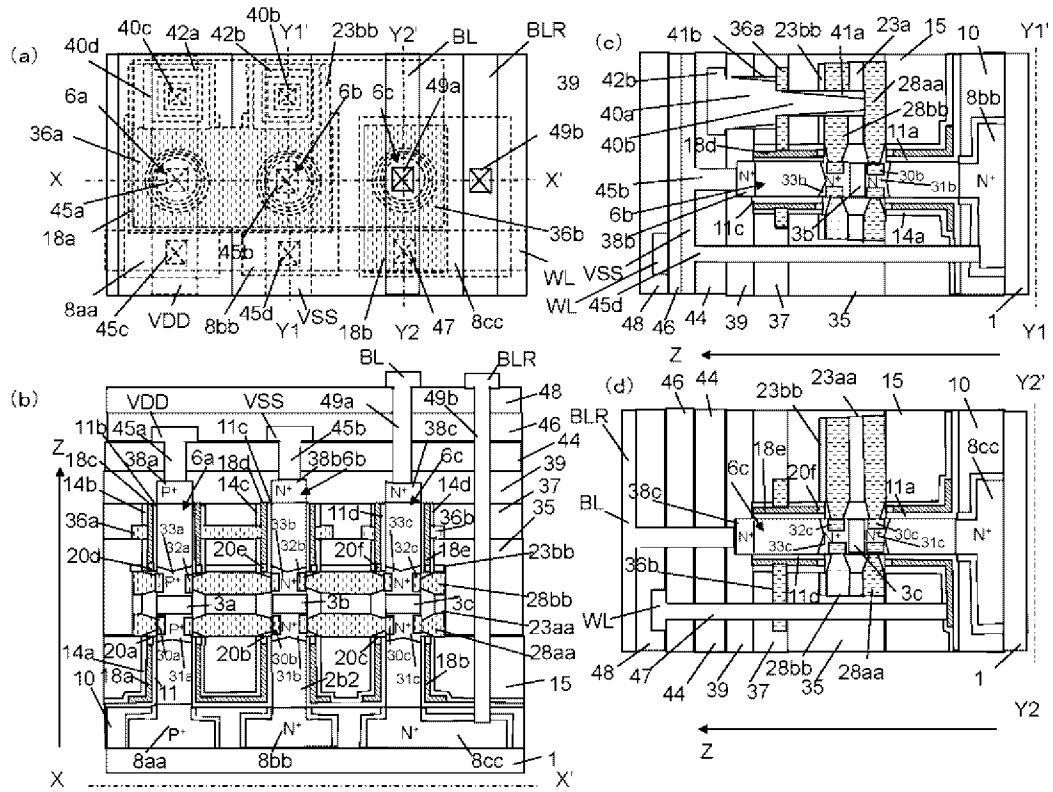
[図2P]



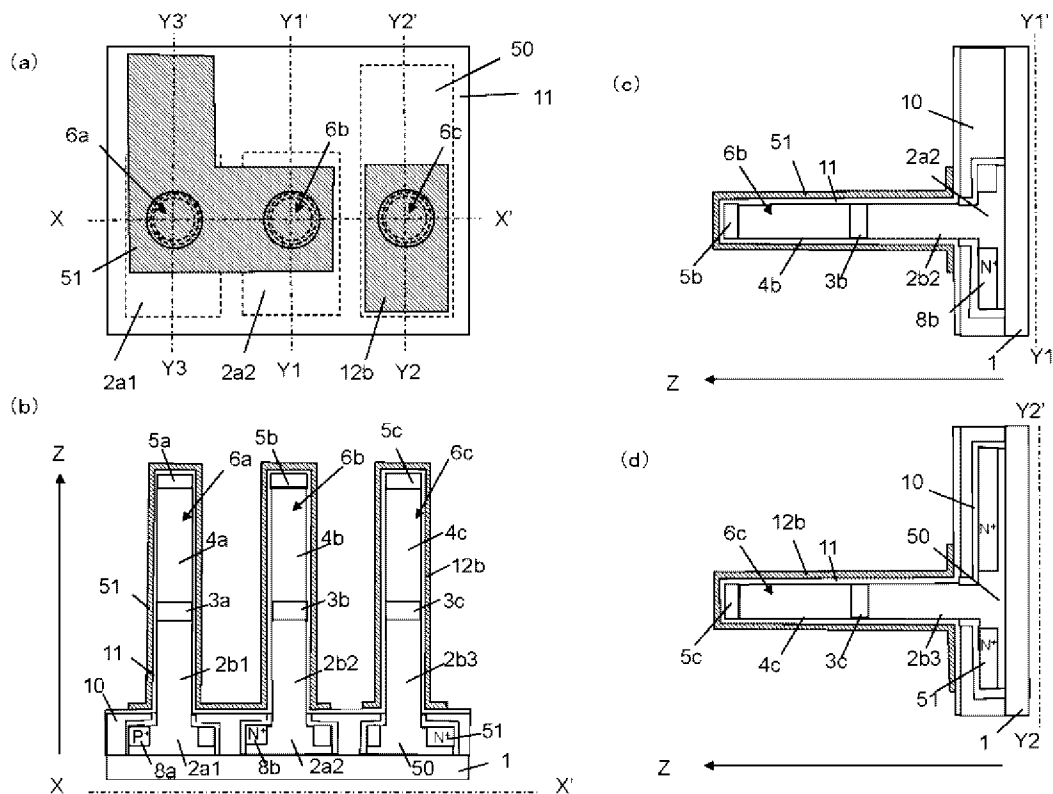
[図2Q]



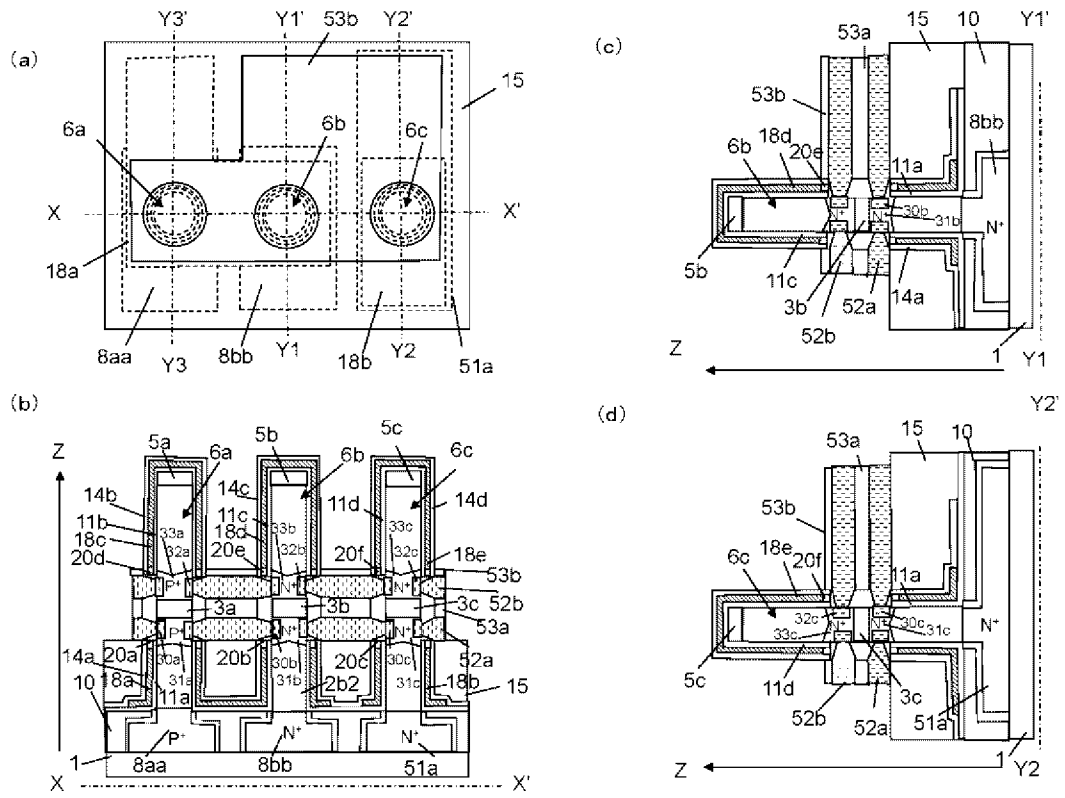
[図2R]



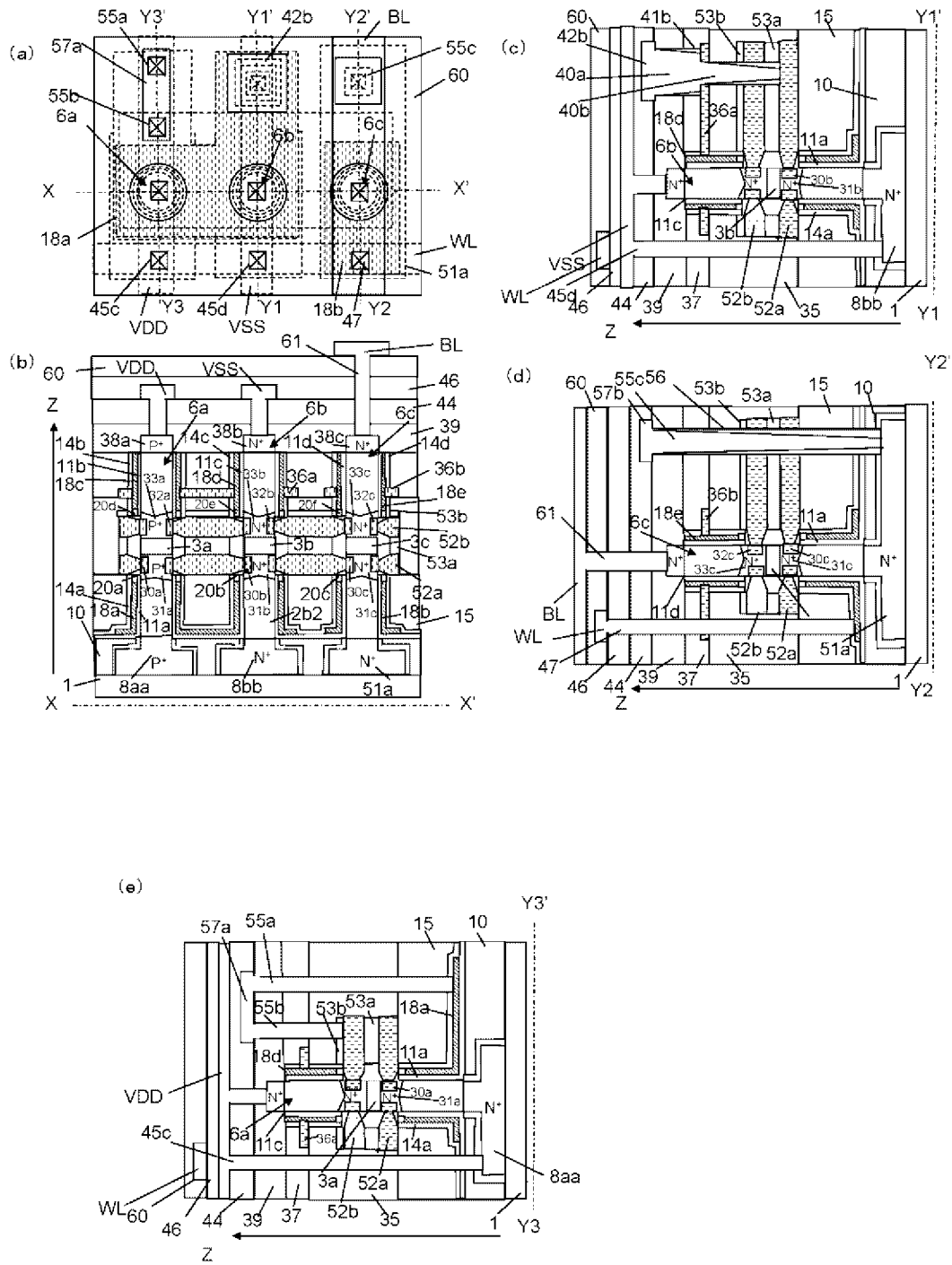
[図3A]



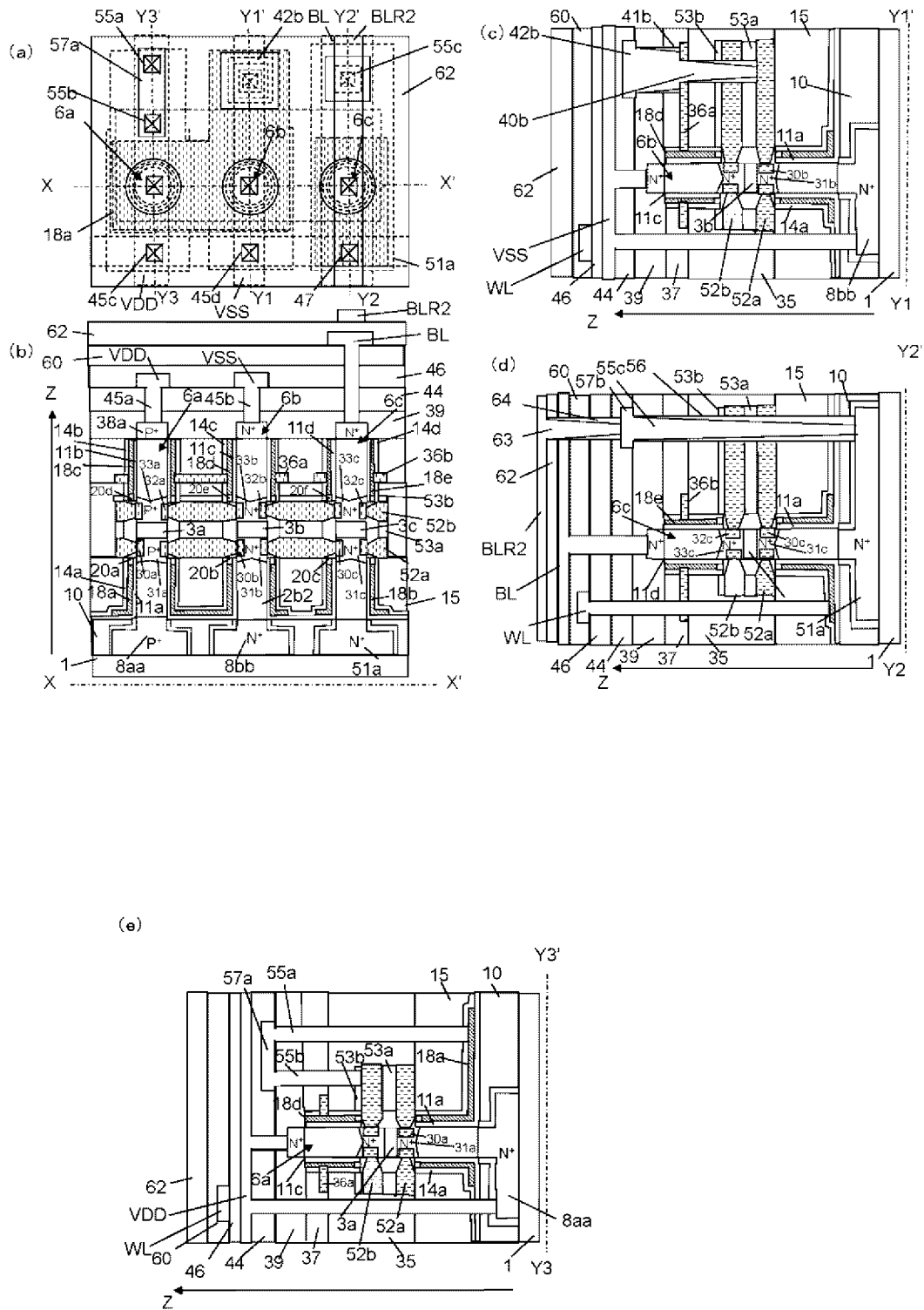
[図3B]



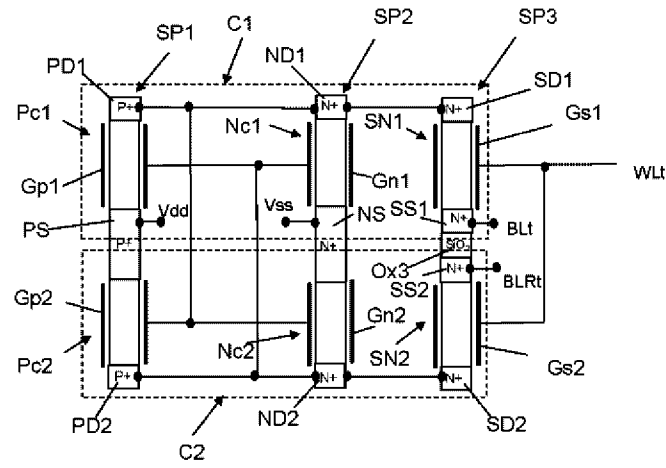
[図3D]



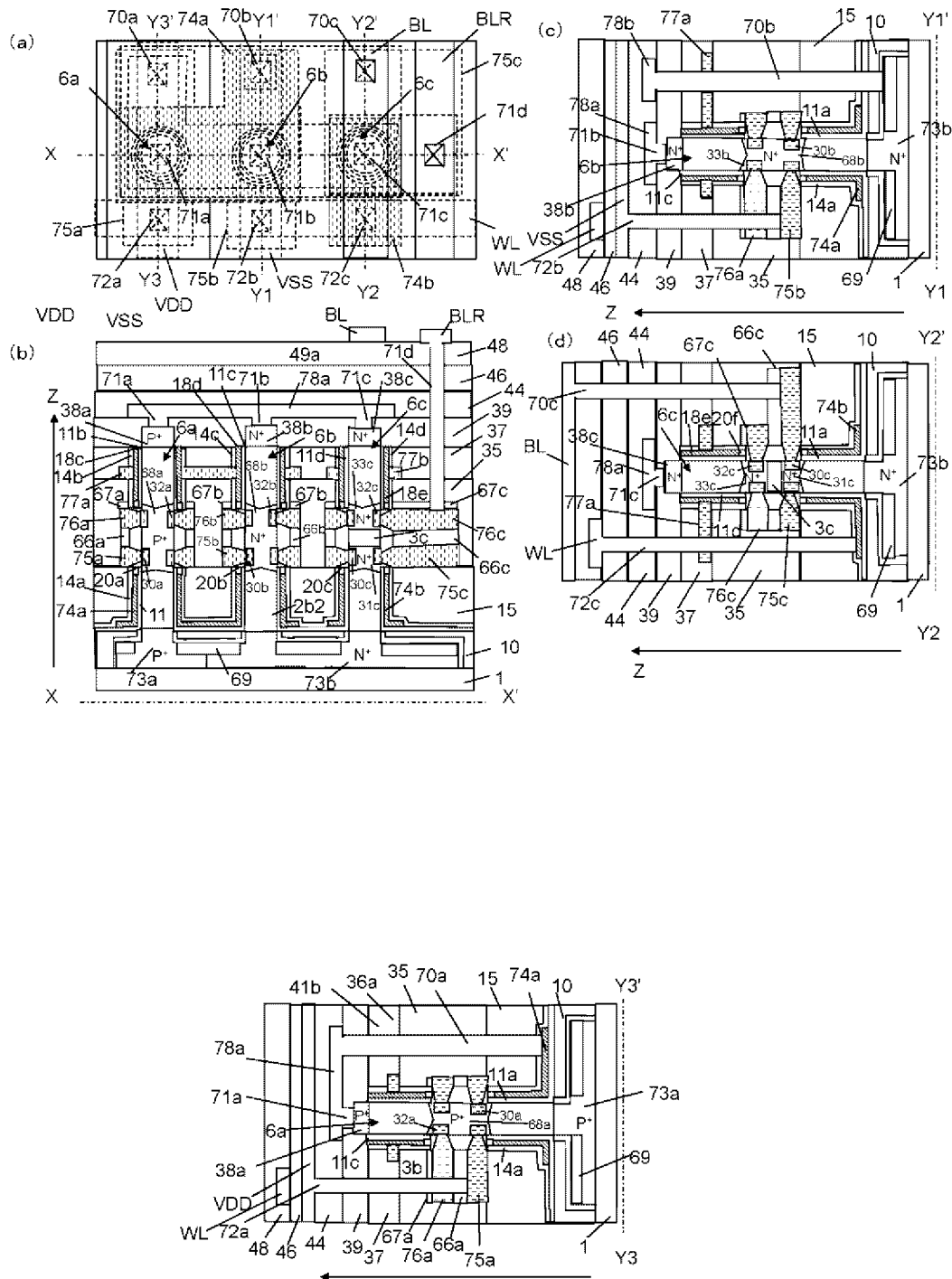
[図3E]

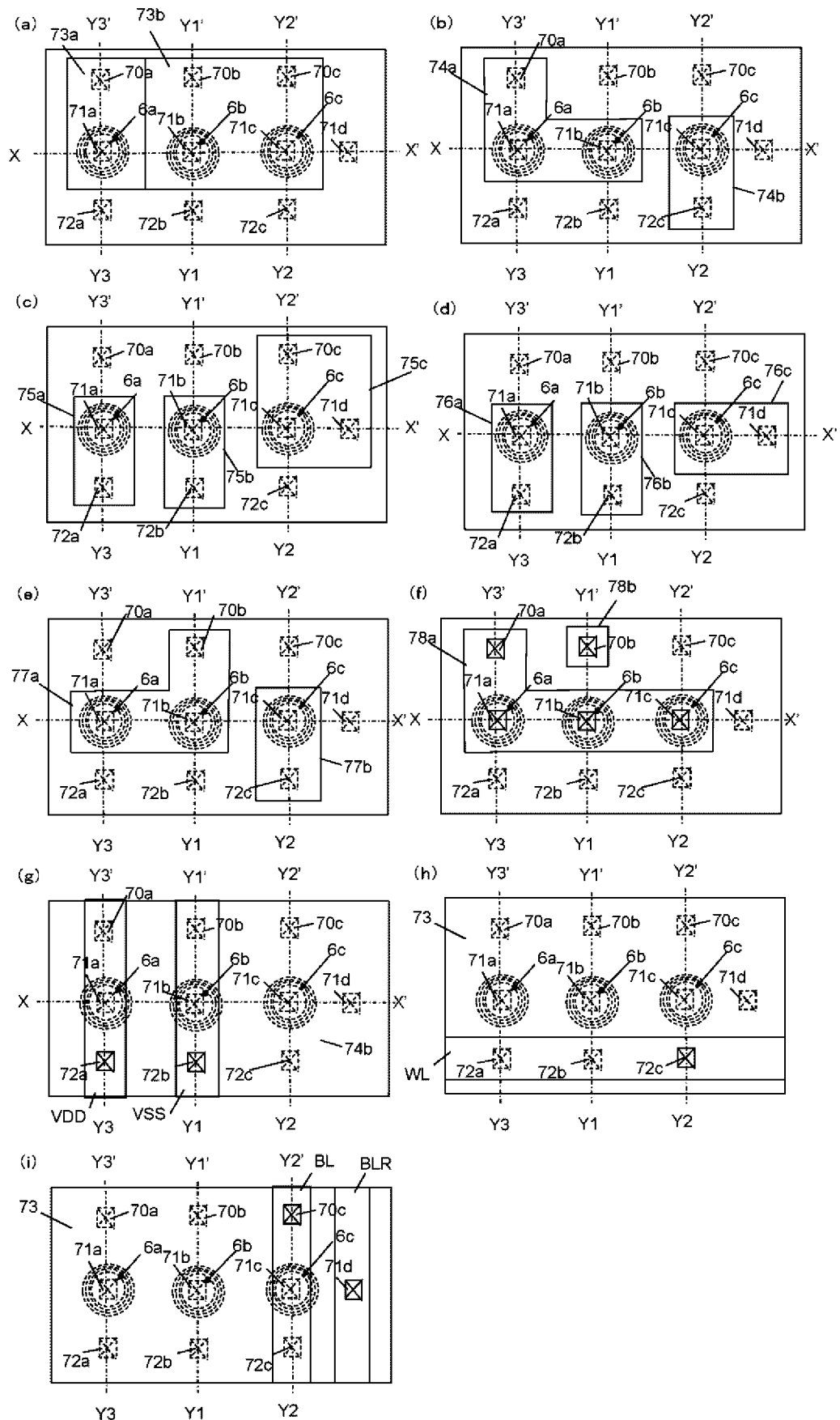


[図4A]

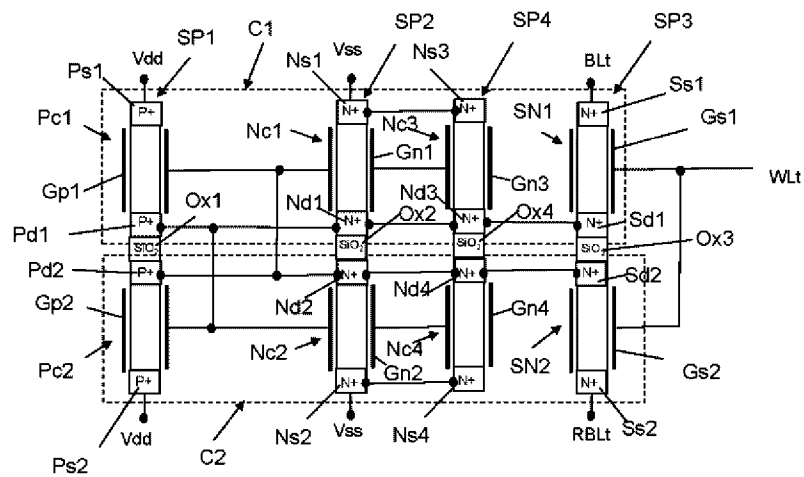


[図4B]

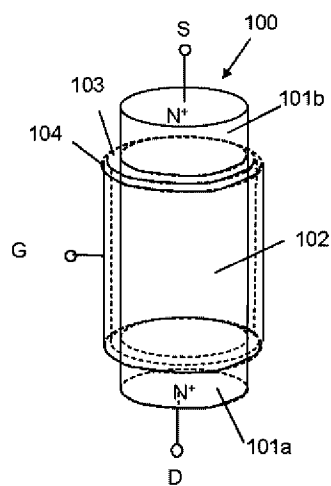




[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060763

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8244(2006.01)i, H01L27/11(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8244, H01L27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-224211 A (Hitachi, Ltd.), 08 August 2003 (08.08.2003), paragraphs [0059] to [0067]; fig. 21 to 28 & US 2003/0136978 A1 & TW 578299 B & CN 1434515 A & KR 10-2003-0063076 A	1-18
A	JP 5692884 B1 (Unisantis Electronics Singapore Pte Ltd.), 13 February 2015 (13.02.2015), paragraphs [0035] to [0043]; fig. 1 (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 May 2015 (15.05.15)

Date of mailing of the international search report
26 May 2015 (26.05.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060763

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-525004 A (Lee, Sang-Yun), 30 August 2007 (30.08.2007), paragraphs [0084] to [0086]; fig. 15 to 17 & US 2004/0262635 A1 & WO 2005/010934 A2 & EP 1636831 A2 & KR 10-0904771 B1 & CN 1809914 A	1-18

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/8244(2006.01)i, H01L27/11(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8244, H01L27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-224211 A（株式会社日立製作所）2003.08.08, [0059]-[0067], 図 21-28 & US 2003/0136978 A1 & TW 578299 B & CN 1434515 A & KR 10-2003-0063076 A	1-18
A	JP 5692884 B1（ユニサンティス エレクトロニクス シンガポール プ ライベート リミテッド）2015.02.13, [0035]-[0043], 図 1 (ファミリーなし)	1-18

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 1 5 . 0 5 . 2 0 1 5	国際調査報告の発送日 2 6 . 0 5 . 2 0 1 5
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 加藤 俊哉 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 5 5 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-525004 A (リー, サンーユン) 2007. 08. 30, [0084]-[0086], 図 15-17 & US 2004/0262635 A1 & WO 2005/010934 A2 & EP 1636831 A2 & KR 10-0904771 B1 & CN 1809914 A	1-18