



(12) 发明专利申请

(10) 申请公布号 CN 116417249 A

(43) 申请公布日 2023. 07. 11

(21) 申请号 202211246465.6

(22) 申请日 2022.10.12

(30) 优先权数据

10-2021-0194497 2021.12.31 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 朴哲佑 任珍亨 韩昇勳 赵志弘

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 薛丞丞 何巨

(51) Int. Cl.

H01G 4/12 (2006.01)

H01G 4/224 (2006.01)

H01G 4/30 (2006.01)

H01G 4/005 (2006.01)

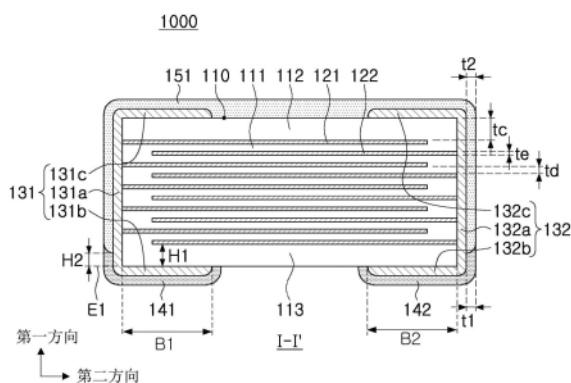
权利要求书11页 说明书28页 附图21页

(54) 发明名称

多层电子组件

(57) 摘要

本公开提供了一种多层电子组件。所述多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，主体具有第一表面至第六表面；第一外电极，包括第一连接部、第一带部和第三带部；第二外电极，包括第二连接部、第二带部和第四带部；绝缘层，设置在第一连接部和第二连接部上，并且覆盖第二表面以及第三带部和第四带部；以及第一镀层和第二镀层。绝缘层包括含Ti氧化物。介电层包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$) 以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$) 中的至少一种作为主成分。



1. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接部、第一带部和第三带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分上,所述第三带部从所述第一连接部延伸到所述第二表面的一部分上;

第二外电极,包括第二连接部、第二带部和第四带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分上,所述第四带部从所述第二连接部延伸到所述第二表面的一部分上;

绝缘层,设置在所述第一连接部和所述第二连接部上,并且设置为覆盖所述第二表面以及所述第三带部和所述第四带部;

第一镀层,设置在所述第一带部上;以及

第二镀层,设置在所述第二带部上,

其中,所述绝缘层包括含Ti氧化物,并且

所述介电层包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ 、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 和 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 中的至少一种作为主成分,其中,在 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 中, $0 < x < 1$;在 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ 中, $0 < y < 1$;在 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 中, $0 < x < 1, 0 < y < 1$;在 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 中, $0 < y < 1$ 。

2. 根据权利要求1所述的多层电子组件,其中,所述含Ti氧化物包括 TiO_2 。

3. 根据权利要求2所述的多层电子组件,其中,所述介电层包括 BaTiO_3 作为主成分。

4. 根据权利要求1所述的多层电子组件,其中,在构成所述绝缘层的元素中,Ti元素的摩尔数与除氧之外的元素的总摩尔数的比值为0.95或更大。

5. 根据权利要求1所述的多层电子组件,其中,所述绝缘层的平均厚度大于等于50nm且小于等于1000nm。

6. 根据权利要求1所述的多层电子组件,其中,所述介电层包括 BaTiO_3 作为主成分。

7. 根据权利要求1所述的多层电子组件,其中,所述介电层包括 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 作为主成分,其中, $0 < x < 1$ 。

8. 根据权利要求1所述的多层电子组件,其中,满足 $H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均尺寸。

9. 根据权利要求1所述的多层电子组件,其中,满足 $H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均尺寸。

10. 根据权利要求9所述的多层电子组件,其中,满足 $H_2 < T/2$,其中,T是所述主体在所述第一方向上的平均尺寸。

11. 根据权利要求1所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的水平面相同的水平面或比所述第一表面的延长线的水平面低的水平面上。

12. 根据权利要求1所述的多层电子组件,其中,满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$,其中,L是所述主体在所述第二方向上的平均尺寸, B_1 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸,并且 B_2 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸。

13. 根据权利要求1所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

14. 根据权利要求13所述的多层电子组件,其中,所述附加绝缘层包括含Ti氧化物。

15. 根据权利要求1所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

16. 根据权利要求1所述的多层电子组件,其中,满足 $B_3 < B_1$ 和 $B_4 < B_2$,其中, B_1 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸, B_2 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸, B_3 是在所述第二方向上从所述第三表面的延长线到所述第三带部的端部的平均尺寸,并且 B_4 是在所述第二方向上从所述第四表面的延长线到所述第四带部的端部的平均尺寸。

17. 根据权利要求1所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

18. 根据权利要求1所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

19. 根据权利要求1所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为0.35 μm 或更小。

20. 根据权利要求1所述的多层电子组件,其中,所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极,且所述介电层介于所述第一内电极和所述第二内电极之间,所述覆盖部设置在所述电容形成部的在所述第一方向上的两个表面上,并且

所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

21. 根据权利要求1所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度比所述绝缘层的平均厚度薄。

22. 根据权利要求1所述的多层电子组件,其中,所述第一镀层设置为覆盖所述绝缘层的设置在所述第一外电极上的一端,并且所述第二镀层设置为覆盖所述绝缘层的设置在所述第二外电极上的另一端。

23. 根据权利要求1所述的多层电子组件,其中,所述绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的端部,并且所述绝缘层设置为覆盖所述第二镀层的设置在所述第二外电极上的端部。

24. 根据权利要求1所述的多层电子组件,其中,所述第一外电极还包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分上,

所述第二外电极还包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分上,并且

所述第一侧带部和所述第二侧带部在所述第二方向上的尺寸朝向所述第一表面增加。

25. 根据权利要求1所述的多层电子组件,其中,所述第一外电极还包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分上,

所述第二外电极还包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分上,并且

所述绝缘层设置为覆盖所述第一侧带部和所述第二侧带部以及所述第五表面的一部分和所述第六表面的一部分。

26. 根据权利要求1所述的多层电子组件,其中,所述第一外电极还包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分上,

所述第二外电极还包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分上,并且

所述绝缘层设置为覆盖整个所述第一侧带部和整个所述第二侧带部以及整个所述第五表面和整个所述第六表面。

27. 根据权利要求1所述的多层电子组件,其中,满足 $B1 \geq G1$ 和 $B2 \geq G2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

28. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在所述第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在所述第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接部、第一带部和第一拐角部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分上,所述第一拐角部设置为从所述第一连接部延伸到将所述第二表面和所述第三表面连接的拐角;

第二外电极,包括第二连接部、第二带部和第二拐角部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分上,所述第二拐角部设置为从所述第二连接部延伸到将所述第二表面和所述第四表面连接的拐角;

绝缘层,设置在所述第一连接部和所述第二连接部上,并且设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部;

第一镀层,设置在所述第一带部上;以及

第二镀层,设置在所述第二带部上,

其中,满足 $B3 \leq G1$ 和 $B4 \leq G2$,其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸,

其中,所述绝缘层包括含Ti氧化物,

所述介电层包括 $BaTiO_3$ 、 $(Ba_{1-x}Ca_x)TiO_3$ 、 $Ba(Ti_{1-y}Ca_y)O_3$ 、 $(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$ 和 $Ba(Ti_{1-y}Zr_y)O_3$ 中的至少一种作为主成分,其中,在 $(Ba_{1-x}Ca_x)TiO_3$ 中, $0 < x < 1$;在 $Ba(Ti_{1-y}Ca_y)O_3$ 中, $0 < y < 1$;在 $(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$ 中, $0 < x < 1, 0 < y < 1$;在 $Ba(Ti_{1-y}Zr_y)O_3$ 中, $0 < y < 1$,并且

所述第一外电极和所述第二外电极设置在与所述第二表面的延长线的水平面相同的水平面或比所述第二表面的延长线的水平面低的水平面上。

29. 根据权利要求28所述的多层电子组件,其中,所述含Ti氧化物包括 TiO_2 。

30. 根据权利要求28所述的多层电子组件,其中,所述介电层包括 $BaTiO_3$ 作为主成分。

31. 根据权利要求28所述的多层电子组件,其中,在构成所述绝缘层的元素中,Ti元素的摩尔数与除氧之外的元素的总摩尔数的比值为0.95或更大。

32. 根据权利要求28所述的多层电子组件,其中,所述绝缘层的平均厚度大于等于50nm且小于等于1000nm。

33. 根据权利要求29、31或32所述的多层电子组件,其中,所述介电层包括 $BaTiO_3$ 作为主成分。

34. 根据权利要求28所述的多层电子组件,其中,所述介电层包括 $(Ba_{1-x}Ca_x)TiO_3$ 作为主成分,其中, $0 < x < 1$ 。

35. 根据权利要求28所述的多层电子组件,其中,满足 $H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均尺寸。

36. 根据权利要求28所述的多层电子组件,其中,满足 $H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均尺寸。

37. 根据权利要求36所述的多层电子组件,其中,满足 $H2 < T/2$,其中, T 是所述主体在所述第一方向上的平均尺寸。

38. 根据权利要求28所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的水平面相同的水平面或比所述第一表面的延长线的水平面低的水平面上。

39. 根据权利要求28所述的多层电子组件,其中,满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq$

0.4,其中,L是所述主体在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸。

40.根据权利要求28所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

41.根据权利要求40所述的多层电子组件,其中,所述附加绝缘层包括含Ti氧化物。

42.根据权利要求28所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

43.根据权利要求28所述的多层电子组件,其中,满足 $B3 < B1$ 和 $B4 < B2$,其中,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸。

44.根据权利要求28所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

45.根据权利要求28所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

46.根据权利要求28所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为0.35 μm 或更小。

47.根据权利要求28所述的多层电子组件,其中,所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极,且所述介电层介于所述第一内电极和所述第二内电极之间,所述覆盖部设置在所述电容形成部的在所述第一方向上的两个表面上,并且

所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

48.根据权利要求28所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度比所述绝缘层的平均厚度薄。

49.根据权利要求28所述的多层电子组件,其中,所述第一拐角部和所述第二拐角部设置在与所述第二表面的延长线的水平面相同的水平面或比所述第二表面的延长线的水平面低的水平面上。

50.根据权利要求28所述的多层电子组件,其中,所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。

51.根据权利要求28所述的多层电子组件,其中,所述第一拐角部和所述第二拐角部设置为与所述第二表面间隔开。

52.根据权利要求28所述的多层电子组件,其中,所述第一镀层设置为覆盖所述绝缘层的设置在所述第一外电极上的一端,并且所述第二镀层设置为覆盖所述绝缘层的设置在所述第二外电极上的另一端。

53.根据权利要求28所述的多层电子组件,其中,所述绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的端部,并且所述绝缘层设置为覆盖所述第二镀层的设置在所述第二外电极上的端部。

54.根据权利要求28所述的多层电子组件,其中,所述绝缘层设置为覆盖所述第五表面

的一部分和所述第六表面的一部分。

55. 根据权利要求28所述的多层电子组件, 其中, 所述绝缘层设置为覆盖整个所述第五表面和整个所述第六表面。

56. 根据权利要求28所述的多层电子组件, 其中, 满足 $B1 \geq G1$ 和 $B2 \geq G2$, 其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸, 并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸。

57. 一种多层电子组件, 包括:

主体, 包括介电层以及第一内电极和第二内电极, 所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间, 所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极, 包括第一连接部和第一带部, 所述第一连接部设置在所述第三表面上, 所述第一带部从所述第一连接部延伸到所述第一表面的一部分上;

第二外电极, 包括第二连接部和第二带部, 所述第二连接部设置在所述第四表面上, 所述第二带部从所述第二连接部延伸到所述第一表面的一部分上;

绝缘层, 设置在所述第二表面上并延伸到所述第一连接部和所述第二连接部上;

第一镀层, 设置在所述第一带部上; 以及

第二镀层, 设置在所述第二带部上,

其中, 所述绝缘层包括含Ti氧化物,

所述介电层包括 $BaTiO_3$ 、 $(Ba_{1-x}Ca_x)TiO_3$ 、 $Ba(Ti_{1-y}Ca_y)O_3$ 、 $(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$ 和 $Ba(Ti_{1-y}Zr_y)O_3$ 中的至少一种作为主成分, 其中, 在 $(Ba_{1-x}Ca_x)TiO_3$ 中, $0 < x < 1$; 在 $Ba(Ti_{1-y}Ca_y)O_3$ 中, $0 < y < 1$; 在 $(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$ 中, $0 < x < 1, 0 < y < 1$; 在 $Ba(Ti_{1-y}Zr_y)O_3$ 中, $0 < y < 1$ 。

58. 根据权利要求57所述的多层电子组件, 其中, 所述含Ti氧化物包括 TiO_2 。

59. 根据权利要求58所述的多层电子组件, 其中, 所述介电层包括 $BaTiO_3$ 作为主成分。

60. 根据权利要求57所述的多层电子组件, 其中, 在构成所述绝缘层的元素中, Ti元素的摩尔数与除氧之外的元素的总摩尔数的比值为0.95或更大。

61. 根据权利要求57所述的多层电子组件, 其中, 所述绝缘层的平均厚度大于等于50nm且小于等于1000nm。

62. 根据权利要求57所述的多层电子组件, 其中, 所述介电层包括 $BaTiO_3$ 作为主成分。

63. 根据权利要求57所述的多层电子组件, 其中, 所述介电层包括 $(Ba_{1-x}Ca_x)TiO_3$ 作为主成分, 其中, $0 < x < 1$ 。

64. 根据权利要求57所述的多层电子组件, 其中, 满足 $H1 \geq H2$, 其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸, 并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均尺寸。

65. 根据权利要求57所述的多层电子组件, 其中, 满足 $H1 < H2$, 其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面

的内电极的平均尺寸,并且H2是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均尺寸。

66. 根据权利要求65所述的多层电子组件,其中,满足 $H2 < T/2$,其中,T是所述主体在所述第一方向上的平均尺寸。

67. 根据权利要求57所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的水平面相同的水平面或比所述第一表面的延长线的水平面低的水平面上。

68. 根据权利要求57所述的多层电子组件,其中,满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$,其中,L是所述主体在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均尺寸,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均尺寸。

69. 根据权利要求57所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

70. 根据权利要求69所述的多层电子组件,其中,所述附加绝缘层包括含Ti氧化物。

71. 根据权利要求57所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

72. 根据权利要求57所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

73. 根据权利要求57所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μ m或更小。

74. 根据权利要求57所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为0.35 μ m或更小。

75. 根据权利要求57所述的多层电子组件,其中,所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极,且所述介电层介于所述第一内电极和所述第二内电极之间,所述覆盖部设置在所述电容形成部的在所述第一方向上的两个表面上,并且

所述覆盖部在所述第一方向上的平均尺寸为15 μ m或更小。

76. 根据权利要求57所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度比所述绝缘层的平均厚度薄。

77. 根据权利要求57所述的多层电子组件,其中,所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。

78. 根据权利要求57所述的多层电子组件,其中,所述第一连接部和所述第二连接部设置为与所述第二表面间隔开。

79. 根据权利要求57所述的多层电子组件,其中,所述第一镀层设置为覆盖所述绝缘层的设置在所述第一外电极上的一端,并且所述第二镀层设置为覆盖所述绝缘层的设置在所述第二外电极上的另一端。

80. 根据权利要求57所述的多层电子组件,其中,所述绝缘层设置为覆盖所述第一镀层

的设置所述第一外电极上的端部,并且所述绝缘层设置为覆盖所述第二镀层的设置在所述第二外电极上的端部。

81.根据权利要求57所述的多层电子组件,其中,所述绝缘层设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

82.根据权利要求57所述的多层电子组件,其中,所述绝缘层设置为覆盖整个所述第五表面和整个所述第六表面。

83.根据权利要求57所述的多层电子组件,其中,所述主体包括连接所述第一表面和所述第三表面的1-3拐角、连接所述第一表面和所述第四表面的1-4拐角、连接所述第二表面和所述第三表面的2-3拐角以及连接所述第二表面和所述第四表面的2-4拐角,

所述1-3拐角和所述2-3拐角具有朝向所述第三表面向所述主体的在所述第一方向上的中央收缩的形式,并且所述1-4拐角和所述2-4拐角具有朝向所述第四表面向所述主体的在所述第一方向上的中央收缩的形式,并且

所述第一外电极还包括设置在所述1-3拐角上的拐角部和设置为从所述第一连接部延伸到所述2-3拐角上的拐角部,并且所述第二外电极还包括设置在所述1-4拐角上的拐角部和设置为从所述第二连接部延伸到所述2-4拐角上的拐角部。

84.一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在所述第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在所述第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接电极和第一带电极,所述第一连接电极设置在所述第三表面上,所述第一带电极设置在所述第一表面上并连接到所述第一连接电极;

第二外电极,包括第二连接电极和第二带电极,所述第二连接电极设置在所述第四表面上,所述第二带电极设置在所述第一表面上并连接到所述第二连接电极;

第一绝缘层,设置在所述第一连接电极上;

第二绝缘层,设置在所述第二连接电极上;

第一镀层,设置在所述第一带电极上;以及

第二镀层,设置在所述第二带电极上,

其中,所述第一绝缘层和所述第二绝缘层包括含Ti氧化物,并且

所述介电层包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ 、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 和 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 中的至少一种作为主成分,其中,在 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 中, $0 < x < 1$;在 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ 中, $0 < y < 1$;在 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 中, $0 < x < 1, 0 < y < 1$;在 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 中, $0 < y < 1$ 。

85.根据权利要求84所述的多层电子组件,其中,所述含Ti氧化物包括 TiO_2 。

86.根据权利要求85所述的多层电子组件,其中,所述介电层包括 BaTiO_3 作为主成分。

87.根据权利要求84所述的多层电子组件,其中,在构成所述绝缘层的元素中,Ti元素的摩尔数与除氧之外的元素的总摩尔数的比值为0.95或更大。

88.根据权利要求84所述的多层电子组件,其中,所述绝缘层的平均厚度大于等于50nm且小于等于1000nm。

89. 根据权利要求84所述的多层电子组件, 其中, 所述介电层包括 BaTiO_3 作为主成分。

90. 根据权利要求84所述的多层电子组件, 其中, 所述介电层包括 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 作为主成分, 其中, $0 < x < 1$ 。

91. 根据权利要求84所述的多层电子组件, 其中, 满足 $H1 \geq H2$, 其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸, 并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的端部和所述第二镀层的设置在所述第二连接电极上的端部的平均尺寸。

92. 根据权利要求84所述的多层电子组件, 其中, 满足 $H1 < H2$, 其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸, 并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的端部和所述第二镀层的设置在所述第二连接电极上的端部的平均尺寸。

93. 根据权利要求92所述的多层电子组件, 其中, $H2$ 和 T 满足 $H2 < T/2$, 其中, T 是所述主体在所述第一方向上的平均尺寸。

94. 根据权利要求84所述的多层电子组件, 其中, 所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的水平面相同的水平面或比所述第一表面的延长线的水平面低的水平面上。

95. 根据权利要求84所述的多层电子组件, 所述多层电子组件还包括:

附加绝缘层, 设置在所述第一表面上并且设置在所述第一带电极与所述第二带电极之间。

96. 根据权利要求95所述的多层电子组件, 其中, 所述附加绝缘层包括含Ti氧化物。

97. 根据权利要求84所述的多层电子组件, 其中, 所述第一连接电极和所述第二连接电极包括Ni和Ni合金中的至少一种。

98. 根据权利要求84所述的多层电子组件, 其中, 所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小, 并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

99. 根据权利要求84所述的多层电子组件, 其中, 所述第一内电极和所述第二内电极的平均厚度为 $0.35\mu\text{m}$ 或更小。

100. 根据权利要求84所述的多层电子组件, 其中, 所述主体包括电容形成部和覆盖部, 所述电容形成部包括交替设置的所述第一内电极和所述第二内电极, 且所述介电层介于所述第一内电极和所述第二内电极之间, 所述覆盖部设置在所述电容形成部的在所述第一方向上的两个表面上, 并且

所述覆盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

101. 根据权利要求84所述的多层电子组件, 其中, 所述第一镀层和所述第二镀层的平均厚度比所述第一绝缘层和所述第二绝缘层的平均厚度薄。

102. 根据权利要求84所述的多层电子组件, 其中, 所述第一连接电极和所述第二连接电极设置为与所述第五表面和所述第六表面间隔开。

103. 根据权利要求84所述的多层电子组件, 其中, 所述第一连接电极和所述第二连接

电极设置为与所述第二表面间隔开。

104. 根据权利要求84所述的多层电子组件, 其中, 所述第一镀层设置为覆盖所述第一绝缘层的设置在所述第一外电极上的一端, 并且所述第二镀层设置为覆盖所述第二绝缘层的设置在所述第二外电极上的一端。

105. 根据权利要求84所述的多层电子组件, 其中, 所述第一绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的端部, 并且所述第二绝缘层设置为覆盖所述第二镀层的设置在所述第二外电极上的端部。

106. 根据权利要求84所述的多层电子组件, 其中, 所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面并彼此连接, 并且设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

107. 根据权利要求84所述的多层电子组件, 其中, 所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面并彼此连接, 并且设置为覆盖整个所述第五表面和整个所述第六表面。

108. 根据权利要求84所述的多层电子组件, 其中, 所述第一绝缘层和所述第二绝缘层延伸到所述第二表面并彼此连接。

109. 根据权利要求84所述的多层电子组件, 其中, 所述主体包括连接所述第一表面和所述第三表面的1-3拐角、连接所述第一表面和所述第四表面的1-4拐角、连接所述第二表面和所述第三表面的2-3拐角以及连接所述第二表面和所述第四表面的2-4拐角,

所述1-3拐角和所述2-3拐角具有朝向所述第三表面向所述主体的在所述第一方向上的中央收缩的形式, 并且所述1-4拐角和所述2-4拐角具有朝向所述第四表面向所述主体的在所述第一方向上的中央收缩的形式, 并且

所述第一连接电极包括设置为延伸到所述1-3拐角和所述2-3拐角上的拐角部, 并且所述第二连接电极包括设置为延伸到所述1-4拐角和所述2-4拐角上的拐角部。

110. 根据权利要求84所述的多层电子组件, 其中, 所述第一外电极还包括第三带电极, 所述第三带电极设置在所述第二表面上并连接到所述第一连接电极, 并且

所述第二外电极还包括第四带电极, 所述第四带电极设置在所述第二表面上并连接到所述第二连接电极。

111. 根据权利要求110所述的多层电子组件, 其中, 满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$, 其中, $B1$ 是从所述第三表面的延长线到所述第一带电极的端部的距离, $B2$ 是从所述第四表面的延长线到所述第二带电极的端部的距离, $B3$ 是从所述第三表面的延长线到所述第三带电极的端部的距离, $B4$ 是从所述第四表面的延长线到所述第四带电极的端部的距离, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

112. 根据权利要求110所述的多层电子组件, 其中, 满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$, 其中, $B1$ 是从所述第三表面的延长线到所述第一带电极的端部的距离, $B2$ 是从所述第四表面的延长线到所述第二带电极的端部的距离, $B3$ 是从所述第三表面的延长线到所述第三带电极的端部的距离, $B4$ 是从所述第四表面的延长线到所述第四带电极的端部的距离, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

113. 根据权利要求84所述的多层电子组件, 其中, 所述第一带电极和所述第二带电极包括与所述第一内电极或所述第二内电极中包括的金属相同的金属。

114. 根据权利要求84所述的多层电子组件, 其中, 所述第一连接电极和所述第二连接电极包括与所述第一内电极或所述第二内电极中包括的金属相同的金属。

115. 根据权利要求84所述的多层电子组件, 其中, 所述第一带电极和所述第二带电极包括烧结电极, 所述烧结电极包括导电金属和玻璃。

116. 根据权利要求84所述的多层电子组件, 其中, 所述第一连接电极和所述第二连接电极包括烧结电极, 所述烧结电极包括导电金属和玻璃。

117. 根据权利要求84所述的多层电子组件, 其中, 所述第一带电极和所述第二带电极包括镀层。

118. 根据权利要求84所述的多层电子组件, 其中, 所述第一连接电极和所述第二连接电极包括镀层。

119. 根据权利要求113所述的多层电子组件, 其中, 所述相同的金属是Ni。

120. 根据权利要求114所述的多层电子组件, 其中, 所述相同的金属是Ni。

121. 根据权利要求115或116所述的多层电子组件, 其中, 所述导电金属是Ni、Cu以及它们的合金中的至少一种。

多层电子组件

[0001] 本申请要求于2021年12月31日在韩国知识产权局提交的第10-2021-0194497号韩国专利申请的优先权的权益,该韩国专利申请的公开内容通过引用全部包括于此。

技术领域

[0002] 本公开涉及一种多层电子组件。

背景技术

[0003] 多层陶瓷电容器 (MLCC, 一种多层电子组件) 可以是安装在各种电子产品 (诸如成像装置 (包括液晶显示器 (LCD) 或等离子体显示面板 (PDP))、计算机、智能电话或移动电话) 中的任意一种的印刷电路板上以用于在其中充电或从其中放电的片式电容器。

[0004] 多层陶瓷电容器具有小尺寸, 实现高电容, 并且容易安装在电路板上, 因此可用作各种电子装置的组件。随着诸如计算机和移动装置的各种电子装置具有更小尺寸和更高输出, 对具有更小尺寸和更高电容的多层陶瓷电容器的需求不断增加。

[0005] 此外, 近年来, 随着对电子产品的行业兴趣的增加, 需要多层陶瓷电容器具有高可靠性特性以用于汽车和信息娱乐系统。

[0006] 为了实现多层陶瓷电容器的小型化和高电容, 需要通过形成薄的内电极和介电层来增加层叠的层数, 并且需要显著减小不影响电容形成的部分的体积以增加实现电容所需的有效体积分数。

[0007] 另外, 需要显著减小安装空间以在基板的有限区域中安装尽可能多的组件。

[0008] 另外, 由于边缘的厚度随着多层陶瓷电容器的小型化和高电容化而减小, 因此可能促进外部水分渗透或镀液渗透, 从而可能削弱可靠性。因此, 需要一种能够保护多层陶瓷电容器免受外部水分渗透或镀液渗透的方法。

发明内容

[0009] 本公开的一方面在于提供一种具有提高的每单位体积电容的多层电子组件。

[0010] 本公开的一方面在于提供一种具有提高的可靠性的多层电子组件。

[0011] 本公开的一方面在于提供一种能够使安装空间最小化的多层电子组件。

[0012] 根据本公开的一方面, 一种多层电子组件可包括: 主体, 包括介电层以及第一内电极和第二内电极, 所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间, 所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面; 第一外电极, 包括第一连接部、第一带部和第三带部, 所述第一连接部设置在所述第三表面上, 所述第一带部从所述第一连接部延伸到所述第一表面的一部分上, 所述第三带部从所述第一连接部延伸到所述第二表面的一部分上; 第二外电极, 包括第二连接部、第二带部和第四带部, 所述第二连接部设置在所述第四表面上, 所述第二带部从所述第二

连接部延伸到所述第一表面的一部分上,所述第四带部从所述第二连接部延伸到所述第二表面的一部分上;绝缘层,设置在所述第一连接部和所述第二连接部上,并且设置为覆盖所述第二表面以及所述第三带部和所述第四带部;第一镀层,设置在所述第一带部上;以及第二镀层,设置在所述第二带部上。所述绝缘层可包括含Ti氧化物。所述介电层可包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)中的至少一种作为主成分。

[0013] 根据本公开的一方面,一种多层电子组件可包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接部和第一带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分上;第二外电极,包括第二连接部和第二带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分上;绝缘层,设置在所述第二表面上并设置为延伸到所述第一连接部和所述第二连接部上;第一镀层,设置在所述第一带部上;以及第二镀层,设置在所述第二带部上。所述绝缘层可包括含Ti氧化物。所述介电层可包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)中的至少一种作为主成分。

[0014] 所述第一外电极和所述第二外电极可设置在与所述第二表面的延长线的水平面相同的水平面或比所述第二表面的延长线的水平面低的水平面上。

[0015] 根据本公开的一方面,一种多层电子组件可包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接部、第一带部和第一拐角部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分上,所述第一拐角部设置为从所述第一连接部延伸到将所述第二表面和所述第三表面连接的拐角;第二外电极,包括第二连接部、第二带部和第二拐角部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分上,所述第二拐角部设置为从所述第二连接部延伸到将所述第二表面和所述第四表面连接的拐角;绝缘层,设置在所述第一连接部和所述第二连接部上,并且设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部;第一镀层,设置在所述第一带部上;以及第二镀层,设置在所述第二带部上,其中,满足 $B3 \leq G1$ 和 $B4 \leq G2$,其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。所述绝缘层包括含Ti氧化物,所述介电层包括

BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$) 以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$) 中的至少一种作为主成分,并且所述第一外电极和所述第二外电极设置在与所述第二表面的延长线的水平面相同的水平面或比所述第二表面的延长线的水平面低的水平面上。

[0016] 根据本公开的一方面,一种多层电子组件可包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极和所述第二内电极之间,所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面、以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接电极和第一带电极,所述第一连接电极设置在所述第三表面上,所述第一带电极设置在所述第一表面上并连接到所述第一连接电极;第二外电极,包括第二连接电极和第二带电极,所述第二连接电极设置在所述第四表面上,所述第二带电极设置在所述第一表面上并连接到所述第二连接电极;第一绝缘层,设置在所述第一连接电极上;第二绝缘层,设置在所述第二连接电极上;第一镀层,设置在所述第一带电极上;以及第二镀层,设置在所述第二带电极上,其中,所述第一绝缘层和所述第二绝缘层包括含Ti氧化物,并且所述介电层包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$) 以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$) 中的至少一种作为主成分。

附图说明

[0017] 通过以下结合附图的具体实施方式,将更清楚地理解本公开的上述和其他方面、特征和优点。

[0018] 图1是根据本公开的实施例的多层电子组件的示意性立体图。

[0019] 图2是图1的多层电子组件的主体的示意性立体图。

[0020] 图3是沿图1的线I-I'截取的截面图。

[0021] 图4是图2的主体的示意性分解立体图。

[0022] 图5是其上安装有图1的多层电子组件的基板的示意性立体图。

[0023] 图6是根据本公开的实施例的多层电子组件的示意性立体图。

[0024] 图7是沿图6的线II-II'截取的截面图。

[0025] 图8是根据本公开的实施例的多层电子组件的示意性立体图。

[0026] 图9是沿图8的线III-III'截取的截面图。

[0027] 图10是根据本公开的实施例的多层电子组件的示意性立体图。

[0028] 图11是沿图10的线IV-IV'截取的截面图。

[0029] 图12是根据本公开的实施例的多层电子组件的示意性立体图。

[0030] 图13是沿图12的线V-V'截取的截面图。

[0031] 图14是根据本公开的实施例的多层电子组件的示意性立体图。

[0032] 图15是沿图14的线VI-VI'截取的截面图。

[0033] 图16是示出图14的变型示例的示图。

[0034] 图17是根据本公开的实施例的多层电子组件的示意性立体图。

- [0035] 图18是沿图17的线VII-VII'截取的截面图。
- [0036] 图19是根据本公开的实施例的多层电子组件的示意性立体图。
- [0037] 图20是沿图19的线VIII-VIII'截取的截面图。
- [0038] 图21是示出图19的变型示例的示图。
- [0039] 图22是根据本公开的实施例的多层电子组件的示意性立体图。
- [0040] 图23是沿图22的线IX-IX'截取的截面图。
- [0041] 图24是示出图22的变型示例的示图。
- [0042] 图25是根据本公开的实施例的多层电子组件的示意性立体图。
- [0043] 图26是沿图25的线X-X'截取的截面图。
- [0044] 图27是示出图25的变型示例的示图。
- [0045] 图28是根据本公开的实施例的多层电子组件的示意性立体图。
- [0046] 图29是沿图28的线XI-XI'截取的截面图。
- [0047] 图30是示出图28的变型示例的示图。
- [0048] 图31是根据本公开的实施例的多层电子组件的示意性立体图。
- [0049] 图32是沿图31的线XII-XII'截取的截面图。
- [0050] 图33是根据本公开的实施例的多层电子组件的示意性立体图。
- [0051] 图34是沿图33的线XIII-XIII'截取的截面图。
- [0052] 图35是示出图33的变型示例的示图。
- [0053] 图36是根据本公开的实施例的多层电子组件的示意性立体图。
- [0054] 图37是沿图36的线XIV-XIV'截取的截面图。
- [0055] 图38是图37的区域K1的放大图。

具体实施方式

[0056] 在下文中,将参照附图如下描述本公开的实施例。然而,本公开可以按许多不同的形式示例,并且不应被解释为限于这里阐述的具体实施例。确切地说,提供这些实施例使得本公开将是彻底和完整的,并且将向本领域技术人员充分传达本公开的范围。因此,为了清楚描述,附图中的要素的形状和尺寸可能被夸大,并且在附图中,由相同的附图标记表示的要素是相同的要素。

[0057] 在附图中,可省略某些要素以清楚地示出本公开,并且为了清楚地表示多个层和区域,可能放大厚度。将使用相同的附图标记来描述在相同构思的范围内具有相同功能的相同要素。此外,在整个说明书中,将理解的是,除非另有说明,否则当部分“包括”要素时,该部分还可包括另一要素,而不排除另一要素。

[0058] 这里使用的术语“示例性实施例”不是指相同的示例性实施例,并且被提供以强调与另一示例性实施例的特定特征不同的特定特征。然而,这里提供的示例性实施例可通过彼此整体或部分地组合来实现。例如,除非其中提供了相反或矛盾的描述,否则在特定示例性实施例中描述的一个要素即使在另一示例性实施例中未描述,也可被理解为与另一示例性实施例相关的描述。

[0059] 在附图中,第一方向可指厚度方向(T方向),第二方向可指长度方向(L方向),并且第三方向可指宽度方向(W方向)。

[0060] 图1是根据本公开的实施例的多层电子组件的示意性立体图。

[0061] 图2是图1的多层电子组件的主体的示意性立体图。

[0062] 图3是沿图1的线I-I'截取的截面图。

[0063] 图4是图2的主体的示意性分解立体图。

[0064] 图5是其上安装有图1的多层电子组件的基板的示意性立体图。

[0065] 在下文中,将参照图1至图5描述根据本公开中的实施例的多层电子组件1000。

[0066] 根据本公开中的实施例的多层电子组件1000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置且介电层111介于第一内电极121和第二内电极122之间,主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4、以及连接到第一表面1至第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极131,包括第一连接部131a、第一带部131b和第三带部131c,第一连接部131a设置在第三表面3上,第一带部131b从第一连接部131a延伸到第一表面1的一部分上,第三带部131c从第一连接部131a延伸到第二表面2的一部分上;第二外电极132,包括第二连接部132a、第二带部132b和第四带部132c,第二连接部132a设置在第四表面4上,第二带部132b从第二连接部132a延伸到第一表面1的一部分上,第四带部132c从第二连接部132a延伸到第二表面2的一部分上;绝缘层151,设置在第一连接部131a和第二连接部132a上,并且设置为覆盖第二表面2的未设置第三带部131c和第四带部132c的区域;第一镀层141,设置在第一带部131b上;以及第二镀层142,设置在第二带部132b上。

[0067] 在主体110中,介电层111与内电极121和122可交替堆叠。

[0068] 主体110不限于特定形状,并且可具有六面体形状或类似于六面体形状的形状,如图所示。由于主体110中包括的陶瓷粉末颗粒在烧结主体的过程中收缩,因此主体110可不具有包括完美直线的六面体的形状。然而,主体110可具有基本上六面体形状。

[0069] 主体110可具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4、以及连接到第一表面1和第二表面2、连接到第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6。

[0070] 在实施例中,主体110可具有连接第一表面1和第三表面3的1-3拐角、连接第一表面1和第四表面4的1-4拐角、连接第二表面2和第三表面3的2-3拐角以及连接第二表面2和第四表面4的2-4拐角,并且1-3拐角和2-3拐角可具有朝向第三表面3向主体110的在第一方向上的中央收缩的形式,并且1-4拐角和2-4拐角可具有朝向第四表面4向主体110的在第一方向上的中央收缩的形式。

[0071] 由于介电层111的没有设置内电极121和122的边缘部叠置,因此可能由于内电极121和122的厚度而形成台阶,使得当相对于第一表面1或第二表面2观察时,将第一表面1连接到第三表面3至第五表面5的拐角和/或将第二表面2连接到第三表面3至第五表面5的拐角可具有向主体110在第一方向上的中央收缩的形状。可选地,通过在主体110的烧结过程期间的收缩行为,当相对于第一表面1或第二表面2观察时,将第一表面1连接到第三表面3至第六表面6的拐角和/或将第二表面2连接到第三表面3至第六表面6的拐角可具有向主体110在第一方向上的中央收缩的形状。可选地,当通过执行防止碎裂缺陷等的附加工艺使将

主体110的相应表面彼此连接的拐角圆化时,将第一表面1连接到第三表面3至第六表面6的拐角和/或将第二表面2连接到第三表面3至第六表面6的拐角可具有圆化形状。

[0072] 拐角可包括连接第一表面1和第三表面3的1-3拐角、连接第一表面1和第四表面4的1-4拐角、连接第二表面2和第三表面3的2-3拐角、以及连接第二表面2和第四表面4的2-4拐角。另外,拐角可包括连接第一表面1和第五表面5的1-5拐角、连接第一表面1和第六表面6的1-6拐角、连接第二表面2和第五表面5的2-5拐角、以及连接第二表面2和第六表面6的2-6拐角。主体110的第一表面1、第二表面2、第三表面3、第四表面4、第五表面5和第六表面6可以是整体平坦表面,并且非平坦区域可以是拐角。在下文中,每个表面的延长线可指基于每个表面的平坦部分延伸的线。

[0073] 在这种情况下,外电极131和132的设置主体110的拐角上的区域可被称为拐角部,外电极131和132的设置主体110的第三表面3和第四表面4上的区域可被称为连接部,并且外电极131和132的设置主体110的第一表面1和第二表面2上的区域可被称为带部。

[0074] 此外,为了抑制由内电极121和122形成的台阶,在层叠之后,在进行切割以使内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的两个侧表面之后,当通过在电容形成部Ac的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层来形成边缘部114和115时,将第一表面1连接到第五表面5和第六表面6的部分以及将第二表面2连接到第五表面5和第六表面6的部分可不具有上述收缩形式。

[0075] 形成主体110的多个介电层111可处于烧结状态,并且相邻的介电层111可彼此成为一体,使得它们之间的边界在没有扫描电子显微镜(SEM)的情况下可不是容易区分的。

[0076] 根据本公开中的实施例,介电层111的原材料没有特别限制,只要可获得足够的电容即可。例如,可使用钛酸钡基材料、铅复合钙钛矿基材料、钛酸锶基材料等作为介电层111的原材料。

[0077] 特别地,当介电层111包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)中的至少一种作为主成分时,可改善与包括含Ti氧化物的绝缘层的结合强度,并且通过包括含Ti氧化物的绝缘层,可进一步改善防潮可靠性改善效果以及裂纹产生抑制效果。

[0078] 另外,根据本公开的目的,介电层111的原材料可包括添加到粉末颗粒(诸如钛酸钡(BaTiO_3)粉末颗粒等)的各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等。

[0079] 此外,介电层111的平均厚度 t_d 不需要特别限制。

[0080] 然而,通常,当介电层被形成为薄至具有小于 $0.6\mu\text{m}$ 的厚度时,特别是当介电层的厚度为 $0.35\mu\text{m}$ 或更小时,可靠性可能劣化。

[0081] 根据实施例,通过在外电极的连接部上设置绝缘层并且在外电极的带部上设置镀层,可防止外部水分的渗透、镀液的渗透等以提高可靠性。因此,即使当介电层111的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保提高的可靠性。

[0082] 因此,当介电层111的平均厚度为 $0.35\mu\text{m}$ 或更小时,根据本公开的多层电子组件的可靠性改善效果可变得更显著。

[0083] 介电层111的平均厚度 t_d 可指设置在第一内电极121和第二内电极122之间的介电层111的平均厚度。

[0084] 介电层111的平均厚度可从通过用10000放大倍率的扫描电子显微镜(SEM)扫描主

体110的在长度和厚度方向(L-T方向)上的截面而获得的图像来测量。更具体地,可通过在所获得的图像中测量一个介电层的在长度方向上以相等间隔设置的30个点处的厚度来测量平均值。可在电容形成部Ac中指定以相等间隔设置的30个点。此外,当测量10个介电层的平均厚度时,可进一步一般化介电层的平均厚度。

[0085] 主体110可包括电容形成部Ac以及覆盖部112和113,电容形成部Ac设置在主体110中并且包括第一内电极121和第二内电极122,第一内电极121和第二内电极122设置为彼此面对,且介电层111介于第一内电极121和第二内电极122之间,覆盖部112和113在第一方向上设置在电容形成部Ac的上方和下方。

[0086] 另外,对形成电容器的电容有贡献的电容形成部Ac可通过重复层叠多个第一内电极121和多个第二内电极122且使介电层111介于第一内电极121和第二内电极122之间而形成。

[0087] 覆盖部112和113可包括上覆盖部112和下覆盖部113,上覆盖部112在第一方向上设置在电容形成部Ac的上方,下覆盖部113在第一方向上设置在电容形成部Ac的下方。

[0088] 上覆盖部112和下覆盖部113可通过在厚度方向上分别在电容形成部Ac的上表面和下表面上层叠单个介电层或者两个或更多个介电层来形成,并且可基本上用于防止由物理应力或化学应力引起的对内电极的损坏。

[0089] 上覆盖部112和下覆盖部113不包括内电极,并且可包括与介电层111相同的材料。

[0090] 也就是说,上覆盖部112和下覆盖部113可包括陶瓷材料(诸如钛酸钡(BaTiO_3)基陶瓷材料)。

[0091] 此外,覆盖部112和113的平均厚度不需要特别限制。然而,覆盖部112或113的平均厚度 t_c 可以是 $15\mu\text{m}$ 或更小,以更容易地实现多层电子组件的小型化和高电容。另外,根据实施例,当根据本公开的实施例将绝缘层设置在外电极上时,可防止外部水分的渗透和镀液的渗透以提高可靠性。因此,即使当覆盖部112或113的平均厚度 t_c 为 $15\mu\text{m}$ 或更小时,也可确保提高的可靠性。

[0092] 覆盖部112或113的平均厚度 t_c 可指在第一方向上的尺寸,并且可以是在电容形成部Ac的上表面或下表面上以相等间隔设置的五个点处测量的上覆盖部112的在第一方向上的尺寸的平均值。

[0093] 另外,边缘部114和115可设置在电容形成部Ac的侧表面上。

[0094] 边缘部114和115可包括设置在电容形成部Ac的在宽度方向上的一个侧表面上的边缘部114和设置在电容形成部Ac的在宽度方向上的另一侧表面上的边缘部115。也就是说,边缘部114和115可设置在电容形成部Ac的在宽度方向上的两个侧表面上。

[0095] 边缘部114和115可指:在主体110的沿宽度-厚度方向(W-T方向)截取的截面中,第一内电极121和第二内电极122的两端与主体110的外表面之间的区域。

[0096] 边缘部114和115可基本上用于防止由物理应力或化学应力引起的对内电极的损坏。

[0097] 可通过以下方式来形成边缘部114和115:将导电膏涂覆到陶瓷生片(要形成边缘部的位置除外)以形成内电极。

[0098] 另外,为了抑制由内电极121和122形成的台阶,可通过以下方式来形成边缘部114和115:层叠陶瓷生片,切割层叠的陶瓷生片以将内电极暴露于电容形成部Ac的在第三方向

(宽度方向)上的两个侧表面,然后在电容形成部Ac的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层。

[0099] 此外,边缘部114和115的厚度不需要受到限制。然而,边缘部114或115的平均厚度可以是15 μm 或更小,以更容易地实现多层电子组件的小型化和高电容。另外,根据示例性实施例,通过在外电极的连接部上设置覆盖层并在外电极的带部上设置镀层,可防止外部水分的渗透和镀液的渗透以提高可靠性。因此,即使当边缘部114或115的平均厚度为15 μm 或更小时,也可确保提高的可靠性。

[0100] 边缘部114和115的平均厚度可指:在电容形成部Ac的侧表面上以相等间隔设置的五个点处测量的边缘部114和115在第三方向上的尺寸的平均值。

[0101] 内电极121和122可与介电层111交替层叠。

[0102] 内电极121和122可包括第一内电极121和第二内电极122。第一内电极121和第二内电极122可交替地设置为彼此面对,且构成主体110的介电层111介于第一内电极121和第二内电极122之间,并且第一内电极121和第二内电极122可分别暴露于主体110的第三表面3和第四表面4。

[0103] 参照图3,第一内电极121可与第四表面4间隔开并且可通过第三表面3暴露,并且第二内电极122可与第三表面3间隔开并且可通过第四表面4暴露。第一外电极131可设置在主体的第三表面3上以连接到第一内电极121,并且第二外电极132可设置在主体的第四表面4上以连接到第二内电极122。

[0104] 也就是说,第一内电极121可不与第二外电极132连接,并且可与第一外电极131连接,并且第二内电极122可不与第一外电极131连接,并且可与第二外电极132连接。因此,第一内电极121可形成为与第四表面4间隔开预定距离,并且第二内电极122可形成为与第三表面3间隔开预定距离。

[0105] 在这种情况下,第一内电极121和第二内电极122可通过设置在它们之间的介电层111彼此电分离。

[0106] 主体110可通过以下方式形成:交替层叠其上印刷有用于第一内电极121的导电膏的陶瓷生片和其上印刷有用于第二内电极122的导电膏的陶瓷生片,并烧结层叠的陶瓷生片。

[0107] 内电极121和122的材料没有特别限制,并且可以是具有优异导电性的材料。例如,内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。

[0108] 此外,内电极121和122可通过在陶瓷生片上印刷用于内电极的导电膏来形成,该导电膏包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。印刷用于内电极的导电膏的方法可以是丝网印刷法、凹版印刷法等,但是本公开的实施例不限于此。

[0109] 此外,内电极121和122的平均厚度 t_e 不需要特别限制。

[0110] 然而,通常,当内电极形成为具有小于0.6 μm 的小厚度时,特别是当内电极的厚度为0.35 μm 或更小时,可靠性可能劣化。

[0111] 根据本公开的实施例,通过在外电极上设置绝缘层,可防止外部水分的渗透和镀液的渗透以提高可靠性。因此,即使当内电极121和122的平均厚度为0.35 μm 或更小时,也可

确保提高的可靠性。可更容易地实现多层电子组件的小型化和高电容。

[0112] 因此,即使当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保提高的可靠性。可更容易地实现多层电子组件的小型化和高电容。

[0113] 内电极121和122的平均厚度 t_e 可表示内电极121和122中的每个内电极的平均厚度。

[0114] 内电极121和122的平均厚度可从通过用10000放大倍率的扫描电子显微镜(SEM)扫描主体110的在长度和厚度方向(L-T方向)上的截面而获得的图像来测量。更具体地,可通过在扫描图像中测量一个内电极的在长度方向上以相等间隔设置的30个点处的厚度来测量平均值。可在电容形成部Ac中指定以相等间隔设置的30个点。另外,当测量10个内电极的平均厚度时,可进一步一般化内电极的平均厚度。

[0115] 外电极131和132可设置在主体110的第三表面3和第四表面4上。外电极131和132可包括分别设置在主体110的第三表面3和第四表面4上的第一外电极131和第二外电极132,以分别连接到第一内电极121和第二内电极122。

[0116] 外电极131和132可包括第一外电极131和第二外电极132,第一外电极131包括设置在第三表面3上的第一连接部131a和从第一连接部131a延伸到第一表面1的一部分上的第一带部131b,第二外电极132包括设置在第四表面4上的第二连接部132a和从第二连接部132a延伸到第一表面1的一部分上的第二带部132b。第一连接部131a可连接到第三表面3上的第一内电极121,并且第二连接部132a可连接到第四表面4上的第二内电极122。

[0117] 另外,第一外电极131可包括从第一连接部131a延伸到第二表面2的一部分的第三带部131c,并且第二外电极132可包括从第二连接部132a延伸到第二表面2的一部分上的第四带部132c。此外,第一外电极131可包括从第一连接部131a延伸到第五表面5的一部分和第六表面6的一部分上的侧带部,并且第二外电极132可包括从第二连接部132a延伸到第五表面5的一部分和第六表面6的一部分上的侧带部。

[0118] 第一外电极131和第二外电极132可不设置在第二表面2上,并且可不设置在第五表面5和第六表面6上。由于第一外电极131和第二外电极132不设置在第二表面2上,因此第一外电极131和第二外电极132可设置在与主体的第二表面2的延长线的水平面相同的水平面或比主体的第二表面2的延长线的水平面低的水平面上。另外,第一连接部131a和第二连接部132a可设置为与第五表面5和第六表面6间隔开,并且第一连接部131a和第二连接部132a可设置为与第二表面2间隔开。另外,第一带部131b和第二带部132b也可设置为与第五表面5和第六表面6间隔开。

[0119] 此外,当第一外电极131和第二外电极132分别包括第三带部131c和第四带部132c时,绝缘层设置在第三带部131c和第四带部132c上,但是本公开的实施例不限于此。为了提高安装的容易性,第一镀层141和第二镀层142可分别设置在第一带部131b和第二带部132b上。另外,第一外电极131和第二外电极132可分别包括第三带部131c和第四带部132c,但是可不包括侧带部。在这种情况下,第一连接部131a和第二连接部132a以及第一带部131b、第二带部132b、第三带部131c和第四带部132c可具有与第五表面5和第六表面6间隔开的形式。

[0120] 在本实施例中已经描述了多层电子组件1000具有两个外电极131和132的结构。然而,外电极131和132的数量和形状可根据内电极121和122的形状或其他目的而变化。

[0121] 此外,外电极131和132可利用诸如金属的具有导电性的任意材料形成,并且可考虑电特性、结构稳定性等来确定外电极131和132中的每个的具体材料。此外,外电极131和132可具有多层结构。

[0122] 外电极131和132可以是包括导电金属和玻璃的烧结电极或者包括导电金属和树脂的树脂基电极。

[0123] 另外,外电极131和132可具有烧结电极和树脂基电极顺序形成在主体上的形式。另外,外电极131和132可通过将包括导电金属的片材转印到主体上的方法形成,或者可通过将包括导电金属的片材转印到烧结电极上的方法形成。

[0124] 作为外电极131和132中包括的导电金属,可使用具有提高的导电性的材料,但并没有特别限制。例如,导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的至少一种。优选地,外电极131和132可包括Ni和Ni合金中的至少一种,因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0125] 绝缘层151可设置在第一连接部131a和第二连接部132a上。

[0126] 由于第一连接部131a和第二连接部132a是连接到内电极121和122的部分,因此第一连接部131a和第二连接部132a可以是在镀覆过程中镀液渗透或在实际使用期间水分渗透所沿的路径。在本公开中,由于绝缘层151设置在第一连接部131a和第二连接部132a上,因此可防止外部水分的渗透或镀液的渗透。

[0127] 绝缘层151可设置为与第一镀层141和第二镀层142接触。在这种情况下,绝缘层151可部分地覆盖第一镀层141和第二镀层142的端部,和/或第一镀层141和第二镀层142部分地覆盖绝缘层151的端部。

[0128] 绝缘层151可设置在第一连接部131a和第二连接部132a上,并且可设置为覆盖第二表面2以及第三带部131c和第四带部132c。在这种情况下,绝缘层151可设置为覆盖第二表面的未设置第三带部131c和第四带部132c的区域。因此,绝缘层151可覆盖第三带部131c和第四带部132c的端部与主体110彼此接触的区域,以阻挡水分渗透路径,使得可进一步提高防潮可靠性。

[0129] 绝缘层151可设置在第二表面上以延伸到第一连接部131a和第二连接部132a。另外,当外电极131和132不设置在第二表面2上时,绝缘层151可设置为完全覆盖第二表面。此外,绝缘层151不一定必须设置在第二表面上,绝缘层151可不设置在第二表面的一部分或整个第二表面上,并且绝缘层151可分成两部分并分别设置在第一连接部131a和第二连接部132a上。当绝缘层151不设置在第二表面上时,绝缘层151可设置在第二表面2的延长线下方。另外,尽管绝缘层151不设置在第二表面2上,但是绝缘层151可从第一连接部131a和第二连接部132a延伸到第五表面5和第六表面6以形成一个绝缘层。

[0130] 此外,绝缘层151可设置为覆盖第一侧带部和第二侧带部以及第五表面5的一部分和第六表面6的一部分。在这种情况下,第五表面5和第六表面6的未被绝缘层151覆盖的部分可暴露在外部。

[0131] 另外,绝缘层151可设置为覆盖整个第一侧带部和整个第二侧带部以及整个第五表面5和整个第六表面6,并且在这种情况下,由于第五表面5和第六表面6没有暴露在外部,因此可提高防潮可靠性,并且连接部131a和132a也可不直接暴露在外部,使得可提高多层电子组件1000的可靠性。更详细地,绝缘层151可覆盖整个第一侧带部和整个第二侧带部,

并且覆盖第五表面5和第六表面6的除了形成第一侧带部和第二侧带部的区域之外的所有区域。

[0132] 绝缘层151可用于防止镀层141和142形成在外电极131和132的其上设置有绝缘层151的区域上,并且改善密封特性以防止水分、镀液等从外部渗透。

[0133] 绝缘层151也可包括含Ti氧化物。

[0134] 在现有技术中,玻璃基材料通常用于绝缘层,但是由于玻璃基材料的性质,因烧结期间的团聚而难以形成均匀的膜,并且由于在烧结过程中产生热量,因此可能在主体中产生应力,这可能导致裂纹或分层。此外,当使用包括玻璃基材料的绝缘层时,使用在烧结外电极之后烧结包括玻璃基材料的绝缘层的方法,但是在烧结绝缘层的过程中,外电极的金属材料可能扩散到内电极中,这可能引起辐射裂纹。此外,由于玻璃基材料通常具有硬质特性,因此即使受到小的冲击也可能破碎。

[0135] 在本公开中,通过向绝缘层施加含Ti氧化物而不是玻璃基材料,可解决玻璃基绝缘层的问题。与玻璃基材料(例如,玻璃中的各种氧化物)相比,含Ti氧化物不仅具有绝缘性质,而且具有改善的抗冲击性。

[0136] 另外,当使用含Ti氧化物形成绝缘层151时,可形成比使用玻璃基材料时更均匀且致密的膜,从而有效地提高防潮可靠性。

[0137] 另外,在包括含Ti氧化物的绝缘层151中,介电层111包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)中的至少一种作为主成分,可确保提高的结合强度,并且可抑制绝缘层151的部分破裂。当介电层111包括除了上述材料之外的材料作为主成分时,绝缘层151和主体110之间的结合强度可能被削弱,或者绝缘层151可能被部分地破坏,使得可能难以形成均匀且致密的膜。

[0138] 此外,包括材料作为主成分可意指:相对于100摩尔的主成分,除主成分之外的其它成分的摩尔数为20摩尔或更少。

[0139] 特别地,当介电层111包括 BaTiO_3 作为主成分或 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)作为主成分时,绝缘层151和主体110之间的结合强度可进一步改善,并且能够更容易地形成均匀且致密的膜。

[0140] 可使用非破坏性方法、破坏性方法来测量介电层111的每种成分。

[0141] 例如,在非破坏性方法的情况下,可使用TEM-EDS分析介电层的成分。具体地,在烧结体的截面中的包括介电层的区域中使用聚焦离子束(FIB)装置制备减薄的分析样品。然后,使用Ar离子研磨去除减薄样品的表面上的受损层,之后,对使用STEM-EDS获得的图像中的每种成分进行映射和定量分析。在这种情况下,可获得每种成分的定量分析图作为每种元素的质量分数,每种成分的定量分析图可通过将质量分数转换为摩尔分数或原子分数来表示。

[0142] 此外,在破坏性方法的情况下,在粉碎多层电子组件并去除内电极之后筛选电介质部分,可使用诸如电感耦合等离子体光谱仪(ICP-OES)、电感耦合等离子体质谱仪(ICP-MS)等的装置分析筛选的电介质的成分。

[0143] 绝缘层151的形成方法不需要特别限制。

[0144] 例如,在主体100上形成外电极131和132之后,可使用原子层沉积(ALD)形成包括

含Ti氧化物的绝缘层151。也就是说,可通过原子层沉积(ALD)形成绝缘层151,因此,可更容易地形成致密且均匀的绝缘层151,并且可容易地调整绝缘层151的厚度。此外,可在约60℃至约200℃的温度范围内进行原子层沉积,但可不限于此。

[0145] 绝缘层中包括的含Ti氧化物的类型没有特别限制,而可以是例如TiO₂。

[0146] 在实施例中,在绝缘层151中,Ti元素的摩尔数与除氧之外的元素的总摩尔数的比值可以是0.95或更大。也就是说,除了被检测为杂质的元素之外,绝缘层151可基本上利用含Ti氧化物形成。在这种情况下,含Ti氧化物可以是TiO₂。因此,能够进一步改善抑制由于热收缩引起的裂缝、由金属扩散引起的辐射裂缝等的效果以及提高防潮可靠性的效果。

[0147] 在这种情况下,也可通过使用扫描电子显微镜-能量色散X射线光谱仪(SEM-EDS)观察的图像计算绝缘层151的成分。具体地,在将多层电子组件抛光到宽度方向(第三方向)上的中央位置以暴露长度和厚度方向上的截面(L-T截面)之后,可在绝缘层在厚度方向上被分成5个相等部分的区域中的中央区域中使用EDS测量绝缘层中包括的每种元素的摩尔数,并且可计算Ti元素的摩尔数与除氧之外的元素的总摩尔数的比值。

[0148] 在实施例中,绝缘层151的平均厚度t₂可大于等于50nm且小于等于1000nm。当绝缘层151的平均厚度t₂小于50nm时,不能充分确保抑制由于热收缩引起的裂缝、由于金属扩散引起的辐射裂缝等的效果以及提高防潮可靠性的效果。当绝缘层151的平均厚度t₂超过1000nm时,绝缘层形成时间可能变得太长,并且多层电子组件的整体尺寸可能变大。

[0149] 绝缘层151的平均厚度t₂可以是在第一连接部131a和第二连接部132a上以相等间隔设置的五个点处测量的厚度的平均值。作为更具体的示例,绝缘层151的平均厚度t₂可以是在以下点处测量的厚度的平均值:第一连接部131a和第二连接部132a在第一方向上的中央点、在第一方向上与第一连接部131a和第二连接部132a在第一方向上的中央点间隔开5μm的两个点、在第一方向上与第一连接部131a和第二连接部132a在第一方向上的中央点间隔开10μm的两个点。

[0150] 在实施例中,绝缘层151可设置为与第一外电极131和第二外电极132直接接触,且第一外电极131和第二外电极132可包括导电金属和玻璃。因此,镀层141和142可不设置在第一外电极131和第二外电极132的外表面的设置有绝缘层151的区域中,使得可有效地抑制由镀液引起的对外电极的侵蚀。

[0151] 在这种情况下,第一镀层141可设置为覆盖绝缘层151的设置在第一外电极131上的端部,并且第二镀层142可设置为覆盖绝缘层151的设置在第二外电极132上的端部。通过在外电极131和132上形成镀层141和142之前形成绝缘层151,可更可靠地抑制在形成镀层期间镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层141和142可具有覆盖绝缘层151的端部的形式。

[0152] 第一镀层141和第二镀层142可分别设置在第一带部131b和第二带部132b上。镀层141和142可用于改善安装特性。镀层141和142可设置在带部131b和132b上,以显著减小安装空间并显著减少镀液向内电极中渗透,从而提高可靠性。第一镀层141的一端和第二镀层142的一端可与第一表面接触,并且第一镀层141的另一端和第二镀层142的另一端可与绝缘层151接触。

[0153] 镀层141和142的类型不受限制。镀层141和142中的每个可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并且可形成多个层。

[0154] 作为镀层141和142的更具体的示例,镀层141和142可以是Ni镀层或Sn镀层,或者可具有Ni镀层和Sn镀层顺序地形成在第一带部131b和第二带部132b上的形式。

[0155] 在实施例中,第一镀层141和第二镀层142可设置为延伸至分别部分地覆盖第一连接部131a和第二连接部132a。当在第一方向上从第一表面1到第一内电极121和第二内电极122中的设置为最靠近第一表面1的内电极的平均尺寸为H1,并且在第一方向上从第一表面1的延长线E1到第一镀层141和第二镀层142的设置在第一连接部131a和第二连接部132a上的端部的平均尺寸为H2(例如,在第一方向上从第一表面1的延长线E1到第一镀层141的设置在第一连接部131a上的端部或第二镀层142的设置在第二连接部132a上的端部的平均尺寸为H2。或者,例如,在第一方向上从第一表面1的延长线E1到第一镀层141的设置在第一连接部131a上的端部和第二镀层142的设置在第二连接部132a上的端部中的设置为最靠近第一表面1的端部的平均尺寸为H2。或者,例如,在第一方向上从第一表面1的延长线E1到第一镀层141的设置在第一连接部131a上的端部的平均尺寸以及在第一方向上从第一表面1的延长线E1到第二镀层142的设置在第二连接部132a上的端部的平均尺寸的平均值为H2。)时,可满足 $H1 > H2$ (或 $H1 \geq H2$)。因此,可抑制在镀覆过程期间镀液渗透到内电极中以提高可靠性。

[0156] 平均尺寸H1和H2可以是在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1000的截面(L-T截面)中测量的值的平均值。平均尺寸H1可以是在每个截面中设置为最靠近第一表面1的内电极连接到外电极的点处测量的值的平均值,并且平均尺寸H2可以是基于镀层的设置在外电极上的端部测量的值的平均值。当测量平均尺寸H1和H2时用作参照物的第一表面的延长线可相同。

[0157] 在实施例中,第一镀层141设置为覆盖绝缘层151的设置在第一外电极131上的端部,并且第二镀层142可设置为覆盖绝缘层151的设置在第二外电极132上的端部。因此,可增加绝缘层151与镀层141和142之间的粘合性,以提高多层电子组件1000的可靠性。

[0158] 在实施例中,绝缘层151可设置为覆盖第一镀层141的设置在第一外电极131上的端部,并且绝缘层151可设置为覆盖第二镀层142的设置在第二外电极132上的端部。因此,可增加绝缘层151与镀层141和142之间的结合强度,以提高多层电子组件1000的可靠性。

[0159] 在实施例中,当主体110在第二方向上的平均尺寸为L,在第二方向上从第三表面的延长线到第一带部的端部的平均尺寸为B1,并且在第二方向上从第四表面的延长线到第二带部的端部的平均尺寸为B2时,可满足 $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$ 。

[0160] 当 $B1/L$ 和 $B2/L$ 小于0.2时,可能难以确保足够的粘合强度。另一方面,当 $B2/L$ 超过0.4时,在高压电流下可能在第一带部131b和第二带部132b之间产生漏电流,并且第一带部131b和第二带部132b可能在镀覆过程期间通过镀覆扩散等彼此电连接。

[0161] 平均尺寸B1、B2和L可以是在第三方向上相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1000的截面(L-T截面)中测量的值的平均值。

[0162] 参照示出了其上安装有多层电子组件1000的安装基板1100的图5,多层电子组件1000的镀层141和142可通过设置在基板180上的焊料191和192结合到电极焊盘181和182。

[0163] 此外,当内电极121和122在第一方向上层叠时,多层电子组件1000可水平地安装在基板180上,使得内电极121和122平行于安装表面。然而,实施例不限于水平安装的情况。当内电极121和122在第三方向上层叠时,多层电子组件1000可垂直地安装在基板180上,使

得内电极121和122垂直于安装表面。

[0164] 多层电子组件1000的尺寸不需要限制。

[0165] 然而,为了实现小型化和高电容,由于应该通过使介电层和内电极变薄来增加层叠的层数,因此在尺寸为1005(长×宽,1.0mm×0.5mm)的多层电子组件1000中,提高可靠性和每单位体积的电容的效果可变得更显著。

[0166] 因此,当考虑到制造误差、外电极的尺寸等,多层电子组件1000具有1.1mm或更小的长度和0.55mm或更小的宽度时,根据本公开的可靠性改善效果可更显著。这里,多层电子组件1000的长度可指多层电子组件1000在第二方向上的最大尺寸,并且多层电子组件1000的宽度可指多层电子组件1000在第三方向上的最大尺寸。

[0167] 图6是根据本公开中的示例性实施例的多层电子组件1001的示意性立体图。图7是沿图6的线II-II'截取的截面图。

[0168] 参照图6和图7,在根据实施例的多层电子组件1001中,第一镀层141-1和第二镀层142-1可设置在与第一表面1的延长线E1的水平面相同的水平面或比第一表面1的延长线E1的水平面低的水平面上。因此,在安装期间,焊料的高度可显著减小,并且安装空间可显著减小。

[0169] 另外,绝缘层151-1可设置为延伸到与第一表面1的延长线E1的水平面相同的水平面或比第一表面1的延长线E1的水平面低的水平面,以与第一镀层141-1和第二镀层142-1接触。

[0170] 图8是根据本公开中的示例性实施例的多层电子组件1002的示意性立体图。图9是沿图8的线III-III'截取的截面图。

[0171] 参照图8和图9,根据实施例的多层电子组件1002还可包括附加绝缘层161,附加绝缘层161设置在第一表面1上并且设置在第一带部131b和第二带部132b之间。因此,可防止在高压电流下可能在第一带部131b和第二带部132b之间产生的漏电流等。

[0172] 附加绝缘层161的类型不需要限制。例如,类似于绝缘层151,附加绝缘层161可包括含Ti氧化物,含Ti氧化物可包括 TiO_2 ,或者可以是 TiO_2 。然而,不必将附加绝缘层161和绝缘层151限制为相同的材料,并且附加绝缘层161和绝缘层151可利用不同的材料形成。例如,附加绝缘层161可包括从由环氧树脂、丙烯酸树脂、乙基纤维素等中选择的至少一种,或者可包括玻璃。

[0173] 图10是根据本公开中的示例性实施例的多层电子组件1003的示意性立体图。图11是沿图10的线IV-IV'截取的截面图。

[0174] 参照图10和图11,在根据实施例的多层电子组件1003中,当在第一方向上从第一表面1到第一内电极121和第二内电极122中的设置为最靠近第一表面1的内电极的平均尺寸为 H_1 ,并且在第一方向上从第一表面1的延长线到镀层141-3和142-3的设置在第一连接部131a和第二连接部132a上的端部的平均尺寸为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增加在安装期间与焊料接触的面积以改善粘合强度。

[0175] 更优选地,当主体110在第一方向上的平均尺寸为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$ 。这是因为当平均尺寸 H_2 大于等于 $T/2$ 时,可能降低通过绝缘层提高防潮可靠性的效果。

[0176] 平均尺寸 H_1 、 H_2 和 T 可以是在第三方向的相等间隔的五个点处沿第一方向和第二

方向截取的多层电子组件1003的截面(L-T截面)中测量的值的平均值。平均尺寸H1可以是在每个截面中在设置为最靠近第一表面1的内电极连接到外电极的点处测量的值的平均值,并且平均尺寸H2可以是在每个截面中相对于镀层的设置在外电极上的端部测量的值的平均值。当测量平均尺寸H1和H2时用作参照物的第一表面的延长线可相同。另外,平均尺寸T可以是在每个截面中测量主体110的在第一方向上的最大尺寸之后求平均的值。

[0177] 另外,绝缘层151-3可设置为延伸到与第一表面1的延长线E1的水平面相同的水平面或比第一表面1的延长线E1的水平面高的水平面,以与第一镀层141-3和第二镀层142-3接触。

[0178] 图12是根据本公开中的示例性实施例的多层电子组件1004的示意性立体图。图13是沿图12的线V-V'截取的截面图。

[0179] 参照图12和图13,在根据实施例的多层电子组件1004中,第一带部131b-4的平均长度B1可大于第三带部131c-4的平均长度B3,并且第二带部132b-4的平均长度B2可大于第四带部132c-4的平均长度B4。因此,可增加在安装期间与焊料接触的面积以改善粘合强度。

[0180] 更详细地,当在第二方向上从第三表面3的延长线E3到第一带部131b-4的端部的平均尺寸为B1,在第二方向上从第四表面4的延长线E4到第二带部132b-4的端部的平均尺寸为B2,在第二方向上从第三表面3的延长线E3到第三带部131c-4的端部的平均尺寸为B3,并且在第二方向上从第四表面4的延长线E4到第四带部132c-4的端部的平均尺寸为B4时,可满足 $B3 < B1$ 和 $B4 < B2$ 。

[0181] 在这种情况下,当主体110在第二方向上的平均尺寸为L时,可满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

[0182] 平均尺寸B1、B2、B3、B4和L可以是在第三方向上的相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1004的截面(L-T截面)中测量的值的平均值。

[0183] 另外,第一外电极131-4可包括第一侧带部,第一侧带部从第一连接部131a-4延伸到第五表面5的一部分和第六表面6的一部分上,并且第二外电极132-4可包括第二侧带部,第二侧带部从第二连接部132a-4延伸到第五表面5的一部分和第六表面6的一部分上。在这种情况下,第一侧带部和第二侧带部在第二方向上的尺寸可在朝向第一表面1的方向上逐渐增加。也就是说,第一侧带部和第二侧带部可设置为具有逐渐变窄的形状或梯形形状。

[0184] 此外,当在第二方向上从第三表面3的延长线E3到第三带部131c-4的端部的平均尺寸为B3,在第二方向上从第四表面4的延长线E4到第四带部132c-4的端部的平均尺寸为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $B3 \leq G1$ 和 $B4 \leq G2$ 。因此,外电极占据的体积可显著减小,以增加多层电子组件1004的每单位体积的电容。

[0185] 平均尺寸G1和G2可以是在第三方向上的相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1004的截面(L-T截面)中测量的值的平均值。平均尺寸G1可以通过对相对于在第一方向上设置在中央部分中的五个任意第二内电极测量的与第三表面间隔开的区域在第二方向上的尺寸求平均值而获得的值,并且平均尺寸G2可以通过对相对于在第一方向上设置在中央部分中的五个任意第一内电极测量的与第四表面间隔开的区域在第二方向上的尺寸求平均值而获得的值。

[0186] 此外,可在第三方向上的相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1004的截面(L-T截面)中获得平均尺寸G1和G2,从而可进一步一般化平均尺寸G1和G2的平均值。

[0187] 然而,本公开不意在限于 $B3 \leq G1$ 和 $B4 \leq G2$,并且可包括 $B3 \geq G1$ 和 $B4 \geq G2$ 的情况作为实施例。因此,在实施例中,当在第二方向上从第三表面3的延长线E3到第三带部131c-4的端部的平均尺寸为B3,在第二方向上从第四表面4的延长线E4到第四带部132c-4的端部的平均尺寸为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $B3 \geq G1$ 和 $B4 \geq G2$ 。

[0188] 在实施例中,当在第二方向上从第三表面的延长线E3到第一带部的端部的平均尺寸为B1,并且在第二方向上从第四表面的延长线E4到第二带部的端部的平均尺寸为B2时,可满足 $B1 \geq G1$ 和 $B2 \geq G2$ 。因此,可改善多层电子组件1004和基板180之间的粘合强度。

[0189] 图14是根据本公开的实施例的多层电子组件1005的示意性立体图。图15是沿图14的线VI-VI'截取的截面图。图16是示出图14的变型示例的示图。

[0190] 参照图14和图15,根据实施例的多层电子组件1005的第一外电极131-5和第二外电极132-5可不设置在第二表面上,并且可设置在第三表面、第四表面和第一表面上以具有L形。也就是说,第一外电极131-5和第二外电极132-5可设置在与第二表面的延长线的水平面相同的水平面或比第二表面的延长线的水平面低的水平面上。

[0191] 第一外电极131-5可包括设置在第三表面3上的第一连接部131a-5以及从第一连接部131a-5延伸到第一表面1的一部分上的第一带部131b-5。第二外电极132-5可包括设置在第四表面4上的第二连接部132a-5以及从第二连接部132a-5延伸到第一表面1的一部分上的第二带部132b-5。外电极131-5和132-5可不设置在第二表面2上,使得绝缘层151-5可设置为覆盖整个第二表面2。因此,由外电极131-5和132-5占据的体积可显著减小,以进一步改善多层电子组件1005的每单位体积的电容。然而,绝缘层151-5不限于覆盖整个第二表面2的形式。绝缘层可不覆盖第二表面2的一部分或整个第二表面2,并且可具有分成分别覆盖第一连接部131a-5和第二连接部132a-5的两个绝缘层的形式。

[0192] 第一镀层141-5可设置在第一带部131b-5上,并且第二镀层142-5可设置在第二带部132b-5上。第一镀层141-5可设置为延伸到第一连接部131a-5上的一部分,第二镀层142-5可设置为延伸到第二连接部132a-5上的一部分。

[0193] 在这种情况下,外电极131-5和132-5甚至可不设置在第五表面5和第六表面6上。也就是说,外电极131-5和132-5可仅设置在第三表面、第四表面和第一表面上。

[0194] 当在第一方向上从第一表面1到第一内电极121和第二内电极122中的设置为最靠近第一表面1的内电极的平均尺寸为H1,并且在第一方向上从第一表面1的延长线E1到镀层141-5和142-5的设置在第一连接部131a-5和第二连接部132a-5上的端部的平均尺寸为H2时,可满足 $H1 < H2$ 。因此,可增加在安装期间与焊料接触的面积以改善粘合强度,并且可增加外电极131-5和132-5与镀层141-5和142-5之间的接触面积以抑制等效串联电阻(ESR)的增加。

[0195] 更优选地,当主体110在第一方向上的平均尺寸为T时,可满足 $H2 < T/2$ 。也就是说,可满足 $H1 < H2 < T/2$ 。这是因为在H2大于等于T/2时,可能降低通过绝缘层提高防潮可靠性的

效果。

[0196] 另外,第一镀层141-5和第二镀层142-5可设置为覆盖第三表面和第四表面上的绝缘层151-5的一部分。也就是说,镀层141-5和142-5可设置为覆盖绝缘层151-5的在第三表面和第四表面上的端部。因此,可增加绝缘层151-5与镀层141-5和142-5之间的结合强度,以提高多层电子组件1005的可靠性。

[0197] 另外,绝缘层151-5可设置为覆盖第三表面上的第一镀层141-5的一部分和第四表面上的第二镀层142-5的一部分。也就是说,绝缘层151-5可设置为覆盖镀层141-5和142-5的在第三表面和第四表面上的端部。因此,可增加绝缘层151-5与镀层141-5和142-5之间的粘合性,以提高多层电子组件1005的可靠性。

[0198] 图16示出了图14的变型示例。参照图16,在根据实施例的多层电子组件1005的变型示例(多层电子组件1006)中,第一附加电极层134可设置在第一连接部131a-6和第三表面之间,并且第二附加电极层135可设置在第二连接部132a-6和第四表面之间。第一附加电极层134可设置在不超出第三表面之外的范围内,并且第二附加电极层135可设置在不超出第四表面之外的范围内。第一附加电极层134和第二附加电极层135可改善内电极121和122与外电极131-6和132-6之间的电连接性,并且可具有与外电极131-6和132-6的改善的结合强度,以用于进一步改善外电极131-6和132-6的机械结合强度。

[0199] 第一外电极131-6和第二外电极132-6可具有其中第一外电极和第二外电极不设置在第二表面上的L形。

[0200] 第一外电极131-6可包括设置在第一附加电极层134上的第一连接部131a-6以及从第一连接部131a-6延伸到第一表面1的一部分上的第一带部131b-6。第二外电极132-6可包括设置在第二附加电极层135上的第二连接部132a-6以及从第二连接部132a-6延伸到第一表面1的一部分上的第二带部132b-6。

[0201] 此外,第一附加电极层134和第二附加电极层135可利用诸如金属的任意材料形成,只要其具有导电性即可,并且可考虑电特性和结构稳定性来确定具体材料。另外,第一附加电极层134和第二附加电极层135可以是包括导电金属和玻璃的烧结电极或者包括导电金属和树脂的树脂基电极。另外,可通过将包括导电金属的片材转印到主体来形成第一附加电极层134和第二附加电极层135。

[0202] 作为第一附加电极层134和第二附加电极层135中包括的导电金属,可使用具有改善的导电性的材料,但不受特别限制。例如,导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的至少一种。优选地,第一附加电极层134和第二附加电极层135可包括Ni和Ni合金中的至少一种,因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0203] 图17是根据本公开的实施例的多层电子组件1007的示意性立体图,并且图18是沿着图17的线VII-VII'截取的截面图。

[0204] 参照图17和图18,根据本公开的实施例的多层电子组件1007的第一镀层141-6和第二镀层142-6的平均厚度 t_1 可比绝缘层151-6的平均厚度 t_2 薄。

[0205] 绝缘层151-6用于防止外部水分的渗透或镀液的渗透,但是可能与镀层141-6和142-6的连接性较弱,从而导致镀层141-6和142-6的分层。当镀层分层时,与基板180的粘合强度可能降低。“镀层141-6和142-6的分层”可意味着镀层被部分地去除或与外电极131-5和132-5物理地分离。由于镀层和绝缘层之间的连接性较弱,因此绝缘层和镀层之间的界面

处的间隙增大或者异物通过间隙渗透的可能性很高,并且镀层由于易受外部冲击等而分层的可能性很高。

[0206] 根据实施例,镀层可形成为具有小于绝缘层的平均厚度 t_2 的平均厚度 t_1 ,使得可减小镀层和绝缘层之间的接触面积。因此,可抑制分层的发生,以提高与多层电子组件1000的基板180的粘合强度。

[0207] 第一镀层141-6和第二镀层142-6的平均厚度 t_1 可以是在第一连接部131a-5和第二连接部132a-5或第一带部131b-5和第二带部132b-5上以相等间隔设置的五个点处测量的厚度的平均值,并且绝缘层151-6的平均厚度 t_2 可以是在第一连接部131a-5和第二连接部132a-5上以相等间隔设置的五个点处测量的厚度的平均值。

[0208] 图19是根据本公开的实施例的多层电子组件2000的示意性立体图。图20是沿图19的线VIII-VIII'截取的截面图。

[0209] 在下文中,将参照图19和图20详细描述根据实施例的多层电子组件2000。然而,将省略与上述多层电子组件中描述的构造重复的构造的描述,以避免重复描述。

[0210] 根据本公开的实施例的多层电子组件2000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替设置且介电层111介于第一内电极121和第二内电极122之间,主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4、以及连接到第一表面1至第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极231,包括设置在第三表面3上的第一连接电极231a和设置在第一表面1上并连接到第一连接电极231a的第一带电极231b;第二外电极232,包括设置在第四表面4上的第二连接电极232a和设置在第一表面1上并连接到第二连接电极232a的第二带电极232b;第一绝缘层251,设置在第一连接电极231a上;第二绝缘层252,设置在第二连接电极232a上;第一镀层241,设置在第一带电极231b上;以及第二镀层242,设置在第二带电极232b上。第一绝缘层251和第二绝缘层252可包括含Ti氧化物,并且介电层包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)中的至少一种作为主成分。

[0211] 第一连接电极231a可设置在第三表面3上以连接到第一内电极121,并且第二连接电极232a可设置在第四表面4上以连接到第二内电极122。另外,第一绝缘层251可设置在第一连接电极231a上,并且第二绝缘层252可设置在第二连接电极232a上。

[0212] 在现有技术中,当形成外电极时,主要使用将主体的暴露有内电极的表面浸渍到包括导电金属的膏中的方法。然而,在通过浸渍法形成的外电极中,在主体的在厚度方向上的中央部分处的外电极的厚度可能显著较大。除了根据浸渍法的外电极的厚度不均匀问题之外,由于内电极暴露于主体的第三表面和第四表面,设置在第三表面和第四表面上的每个外电极可形成为具有大于或等于预定厚度的厚度,以抑制水分和镀液通过外电极的渗透。

[0213] 另一方面,在本公开中,绝缘层251和252设置在连接电极231a和232a上,使得即使当连接电极231a和232a在暴露内电极的第三表面和第四表面上形成为薄的时,也可确保足够的可靠性。

[0214] 第一连接电极231a和第二连接电极232a可具有分别与第三表面3和第四表面4对

应的形状,并且从第一连接电极231a和第二连接电极232a中的每个指向主体110的表面可具有与主体110的第三表面3和第四表面4中的每个相同的面积。第一连接电极231a和第二连接电极232a可分别设置在不超出第三表面3和第四表面4之外的范围内。连接电极231a和232a可设置为不延伸到主体110的第一表面1、第二表面2、第五表面5和第六表面6。具体地,在实施例中,第一连接电极231a和第二连接电极232a可设置为与第五表面5和第六表面6间隔开。因此,在确保内电极121和122与外电极231和232之间充分连接的同时,外电极占据的体积可显著减小,以进一步增大多层电子组件2000的每单位体积的电容。

[0215] 在这方面,第一连接电极231a和第二连接电极232a可设置为与第二表面2间隔开。也就是说,由于外电极231和232不设置在第二表面2上,因此外电极231和232占据的体积可进一步显著减小,以进一步增加多层电子组件2000的每单位体积的电容。

[0216] 然而,连接电极231a和232a可包括延伸到主体110的拐角以设置在拐角上的拐角部。也就是说,在实施例中,第一连接电极可包括设置为延伸到1-3拐角和2-3拐角上的拐角部,并且第二连接电极可包括设置为延伸到1-4拐角和2-4拐角上的拐角部。

[0217] 另外,与通过根据现有技术的浸渍法形成的外电极相比,连接电极231a和232a可具有均匀且薄的厚度。

[0218] 形成连接电极231a和232a的方法不需要限制。例如,可通过以下方式来形成连接电极231a和232a:将包括导电金属和有机材料(诸如粘合剂)的片材转印到第三表面3和第四表面4。

[0219] 连接电极231a和232a中的每个的厚度没有特别限制,但是可以是例如 $2\mu\text{m}$ 至 $7\mu\text{m}$ 。连接电极231a和232a中的每个的厚度可指其最大厚度,并且可指连接电极231a和232a中的每个在第二方向上的尺寸。

[0220] 在实施例中,第一连接电极231a和第二连接电极232a可包括金属和玻璃,该金属与内电极121和122中包括的金属相同。由于第一连接电极231a和第二连接电极232a包括与内电极121和122中包括的金属相同的金属,因此可改善与内电极121和122的电连接性。另外,由于第一连接电极231a和第二连接电极232a包括玻璃,因此可提高与主体110和/或绝缘层251和252的结合强度。在这种情况下,与内电极121和122中包括的金属相同的金属可以是镍(Ni)。

[0221] 第一绝缘层251和第二绝缘层252可分别设置在第一连接电极231a和第二连接电极232a上,以用于防止在第一连接电极231a和第二连接电极232a上形成镀层。此外,第一绝缘层251和第二绝缘层252可用于改善密封特性,以显著减少外部水分或镀液的渗透。

[0222] 第一绝缘层251和第二绝缘层252可包括含Ti氧化物。通过将含Ti氧化物代替玻璃基材料来应用于第一绝缘层251和第二绝缘层252,可进一步提高防潮可靠性,可抑制由于热收缩引起的裂纹、由于金属扩散引起的辐射裂纹等。

[0223] 第一带电极231b和第二带电极232b可设置在主体110的第一表面1上。第一带电极231b和第二带电极232b可分别与第一连接电极231a和第二连接电极232a接触,以分别电连接到第一内电极121和第二内电极122。

[0224] 根据现有技术的通过浸渍法形成的外电极可在第三表面和第四表面上具有大的厚度,并且可部分地延伸到第一表面、第二表面、第五表面和第六表面,使得可能难以确保高的有效体积比。

[0225] 另一方面,根据本公开的实施例,第一连接电极231a和第二连接电极232a可设置在主体110的暴露有内电极的表面上,并且第一带电极231b和第二带电极232b可设置在主体110的将要安装在基板上的表面上,使得可确保高的有效体积比。

[0226] 此外,当沿第一方向层叠内电极121和122时,多层电子组件2000可水平地安装在基板上,使得内电极121和122平行于安装表面。然而,本公开不限于水平安装多层电子组件2000的情况,并且当沿第三方向层叠内电极121和122时,多层电子组件2000可垂直地安装在基板上,使得内电极121和122垂直于安装表面。

[0227] 第一带电极231b和第二带电极232b可利用诸如金属的任意材料形成,只要其具有导电性即可,并且可考虑电特性和结构稳定性来确定具体材料。例如,第一带电极231b和第二带电极232b可以是包括导电金属和玻璃的烧结电极,并且可使用在主体的第一表面上涂覆包括导电金属和玻璃的膏的方法来形成。然而,实施例不限于此,并且第一带电极231b和第二带电极232b中的每个可以是通过在主体的第一表面上镀覆导电金属而形成的镀层。

[0228] 作为第一带电极231b和第二带电极232b中包括的导电金属,可使用具有改善的导电性的材料,并且不受特别限制。例如,导电金属可以是镍(Ni)、铜(Cu)以及它们的合金中的至少一种,并且可包括与内电极121和122中包括的金属相同的金属。

[0229] 此外,在实施例中,第一外电极231还可包括第三带电极(未示出),第三带电极设置在第二表面2上并连接到第一连接电极231a,并且第二外电极232还可包括第四带电极(未示出),第四带电极设置在第二表面2上并连接到第二连接电极232a。

[0230] 在实施例中,当从第三表面3的延长线E3到第一带电极231b的端部的距离为B1,从第四表面4的延长线E4到第二带电极232b的端部的距离为B2,从第三表面3的延长线E3到第三带电极(未示出)的端部的距离为B3,从第四表面4的延长线E4到第四带电极(未示出)的端部的距离为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$ 。因此,外电极占据的体积可显著减小,以增加多层电子组件2000的每单位体积的电容,并且增加在安装期间与焊料接触的面积,从而获得改善的粘合强度。

[0231] 然而,本公开不意在限于公开 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$,并且可包括 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$ 的情况作为本公开的实施例。因此,在实施例中,当从第三表面3的延长线E3到第一带电极231b的端部的距离为B1,从第四表面4的延长线E4到第二带电极232b的端部的距离为B2,从第三表面3的延长线E3到第三带电极(未示出)的端部的距离为B3,从第四表面4的延长线E4到第四带电极(未示出)的端部的距离为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$ 。因此,第一表面和第二表面中的一个可用作安装表面,使得可提高安装的容易性。

[0232] 第一镀层241和第二镀层242可分别设置在第一带电极231b和第二带电极232b上。第一镀层241和第二镀层242用于改善安装特性。第一镀层241和第二镀层242的类型不受限制,并且第一镀层241和第二镀层242中的每个可以是包括Ni、Sn、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0233] 作为第一镀层241和第二镀层242的更具体的示例,第一镀层241和第二镀层242中

的每个可以是Ni镀层或Sn镀层,或者第一镀层241和第二镀层242可具有在第一带电极231b和第二带电极232b上顺序形成Ni镀层和Sn镀层的形式。

[0234] 在实施例中,第一镀层241和第二镀层242可设置为延伸以分别部分地覆盖第一连接电极231a和第二连接电极232a。

[0235] 当在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸为H1,并且从第一表面1的延长线E1到第一镀层241和第二镀层242的设置在第一连接电极231a和第二连接电极232a上的端部的平均尺寸为H2时,可满足 $H1 > H2$ (或 $H1 \geq H2$)。因此,能够在镀覆过程中抑制镀液渗透到内电极中,从而提高可靠性。

[0236] 在实施例中,第一绝缘层251和第二绝缘层252可设置为分别与第一连接电极231a和第二连接电极232a直接接触,并且第一连接电极231a和第二连接电极232a可包括导电金属和玻璃。因此,由于镀层241和242可不设置在第一连接电极231a和第二连接电极232a的外表面中设置有绝缘层251和252的区域上,因此可有效地防止镀液对外电极的侵蚀。

[0237] 在实施例中,第一镀层241可设置为覆盖第一绝缘层251的设置在第一外电极231上并与第一镀层241相邻的端部,并且第二镀层242可设置为覆盖第二绝缘层252的设置在第二外电极232上并与第二镀层242相邻的端部。因此,可通过增强绝缘层251和252与镀层241和242之间的结合强度来提高多层电子组件2000的可靠性。另外,通过在外电极231和232上形成镀层241和242之前首先形成第一绝缘层251和第二绝缘层252,可更可靠地抑制在形成镀层的过程中镀液的渗透。由于在镀层之前形成绝缘层,因此镀层241和242可具有覆盖绝缘层251和252的端部的形式。

[0238] 在实施例中,第一绝缘层251可设置为覆盖第一镀层241的设置在第一外电极231上的端部,并且第二绝缘层252可设置为覆盖第二镀层242的设置在第二外电极232上的端部。因此,可通过增强绝缘层251和252与镀层241和242之间的结合强度来提高多层电子组件2000的可靠性。

[0239] 图21示出了图19的变型示例。参照图21,在根据本公开的实施例的多层电子组件2000的变型示例(多层电子组件2001)中,第一绝缘层251-1和第二绝缘层252-1可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-1。在这种情况下,连接的第一绝缘层和第二绝缘层(即,单个绝缘层253-1)可设置为覆盖第五表面的一部分和第六表面的一部分。

[0240] 图22是根据本公开的实施例的多层电子组件2002的示意性立体图。图23是沿图22的线IX-IX'截取的截面图。

[0241] 参照图22和图23,在根据本公开的实施例的多层电子组件2002中,第一镀层241-2和第二镀层242-2可设置在与第一表面的延长线的水平面相同的水平面或比第一表面的延长线的水平面低的水平面上。因此,在安装期间可显著减小焊料的高度,并且可显著减小安装空间。

[0242] 另外,第一绝缘层251-2和第二绝缘层252-2可延伸到与第一表面1的延长线E1的水平面相同的水平面或比第一表面1的延长线E1的水平面低的水平面,以与第一镀层241-2和第二镀层242-2接触。

[0243] 图24示出了图22的变型示例。参照图24,在根据本公开的实施例的多层电子组件

2003中,第一绝缘层251-3和第二绝缘层252-3可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-3。在这种情况下,连接的第一绝缘层和第二绝缘层(即,单个绝缘层253-3)可设置为覆盖整个第五表面和整个第六表面。

[0244] 图25是根据本公开的实施例的多层电子组件2004的示意性立体图。图26是沿图25的线X-X'截取的截面图。

[0245] 参照图25和图26,根据本公开的实施例的多层电子组件2004还可包括附加绝缘层261,附加绝缘层261设置在第一表面1上并且设置在第一带电极231b和第二带电极232b之间。因此,能够防止在高电压电流下可能在第一带电极231b和第二带电极232b之间发生的漏电流等。

[0246] 附加绝缘层261的类型不需要限制。例如,类似于第一绝缘层251-2和第二绝缘层252-2,附加绝缘层261可包括含Ti氧化物,含Ti氧化物可包括 TiO_2 ,或者可以是 TiO_2 。然而,不必限制附加绝缘层261以及第一绝缘层251-2和第二绝缘层252-2利用相同的材料形成,并且可利用不同的材料形成。例如,附加绝缘层261可包括从环氧树脂、丙烯酸树脂、乙基纤维素等中选择的至少一种,或者可包括玻璃。

[0247] 图27示出了图25的变型示例。参照图27,在根据本公开的实施例的多层电子组件2004的变型示例(多层电子组件2005)中,第一绝缘层251-5和第二绝缘层252-5可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-5。

[0248] 图28是根据本公开的实施例的多层电子组件2006的示意性立体图。图29是沿图28的线XI-XI'截取的截面图。

[0249] 参照图28和图29,根据实施例的多层电子组件2006可包括设置在第一连接电极231a上的第一绝缘层251-6和设置在第二连接电极232a上的第二绝缘层252-6,并且当在第一方向上从第一表面1到第一内电极121和第二内电极122中的设置为最靠近第一表面1的内电极的平均尺寸为 H_1 ,并且在第一方向上从第一表面1的延长线E1到镀层241-6和242-6的设置在第一连接电极231a和第二连接电极232a上的端部的平均尺寸为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增加在安装期间与焊料接触的面积以改善粘合强度。

[0250] 更优选地,当主体110在第一方向上的平均尺寸为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$ 。这是因为当 H_2 大于等于 $T/2$ 时,可能降低通过绝缘层提高防潮可靠性的效果。

[0251] 图30示出了图28的变型示例。参照图30,在根据本公开的实施例的多层电子组件2006的变型示例(多层电子组件2007)中,第一绝缘层251-7和第二绝缘层252-7可延伸到第五表面5和第六表面6并且彼此连接以构成单个绝缘层253-7。

[0252] 图31是根据本公开的实施例的多层电子组件2008的示意性立体图。图32是沿图31的线XII-XII'截取的截面图。

[0253] 参照图31和图32,在根据实施例的多层电子组件2008中,第一绝缘层251-8和第二绝缘层252-8可延伸到第二表面2、第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-8。如图31所示,绝缘层253-8可具有覆盖整个第二表面并且覆盖第五表面的仅一部分和第六表面的仅一部分的形式。

[0254] 图33是根据本公开的实施例的多层电子组件2009的示意性立体图。图34是沿图33的线XIII-XIII'截取的截面图。

[0255] 参照图33和图34,在根据示例性实施例的多层电子组件2009中,第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可小于绝缘层251-9和252-9的平均厚度 t_2' 。

[0256] 根据本公开的实施例,第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可小于绝缘层251-9和252-9的平均厚度 t_2' ,使得镀层与绝缘层之间的接触面积可减小。因此,可抑制分层的发生,以提高多层电子组件2009与基板180的粘合强度。

[0257] 第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可以是在第一连接电极231a和第二连接电极232a或第一带电极231b和第二带电极232b上在相等间隔的五个点处测量的厚度的平均值,并且绝缘层251-9和252-9的平均厚度 t_2' 可以是在第一连接电极231a和第二连接电极232a上在相等间隔的五个点处测量的厚度的平均值。

[0258] 图35是示出图33的变型示例(多层电子组件2010)的示意图。参照图35,在根据实施例的多层电子组件2009的变型示例(多层电子组件2010)中,第一绝缘层251-10和第二绝缘层252-10可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-10。

[0259] 图36是示出根据本公开的实施例的多层电子组件3000的立体图的示意图。图37是沿图36的线XIV-XIV'截取的截面图。图38是图37的区域K1的放大图。

[0260] 参照图36至图38,根据实施例的多层电子组件3000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置且介电层111介于第一内电极121和第二内电极122之间,主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4、以及连接到第一表面1至第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极331,包括第一连接部331a、第一带部331b以及第一拐角部331c,第一连接部331a设置在主体的第三表面3上,第一带部331b从第一连接部331a延伸到第一表面1的一部分上,第一拐角部331c设置为从第一连接部331a延伸到主体的将第二表面2和第三表面3连接的拐角;第二外电极332,包括第二连接部332a、第二带部332b以及第二拐角部332c,第二连接部332a设置在主体的第四表面4上,第二带部332b从第二连接部332a延伸到第一表面1的一部分上,第二拐角部332c设置为从第二连接部332a延伸到主体的将第二表面2和第四表面4连接的拐角;绝缘层351,设置在第一连接部331a和第二连接部332a上,并且设置为覆盖第二表面2以及第一拐角部331c和第二拐角部332c;第一镀层341,设置在第一带部331b上;以及第二镀层342,设置在第二带部332b上。绝缘层351可包括含Ti氧化物,并且介电层可包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)中的至少一种作为主成分。

[0261] 在实施例中,当在第二方向上从第三表面3的延长线E3到第一拐角部331c的端部的平均尺寸为B3,在第二方向上从第四表面4的延长线E4到第二拐角部332c的端部的平均尺寸为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸为G1,第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸为G2时,可满足 $B_3 \leq G_1$ 和 $B_4 \leq G_2$ 。因此,外电极331和332占据的体积可显著减小,以增加多层电子组件3000的每单位体积的电容。

[0262] 在这种情况下,当在第二方向上从第三表面3的延长线E3到第一带部331b的端部的平均尺寸为B1,在第二方向上从第四表面4的延长线E4到第二带部332b的端部的平均尺寸为B2时,可满足 $B_1 \geq G_1$ 和 $B_2 \geq G_2$ 。因此,可增加在安装期间与焊料接触的面积以改善粘合

强度。

[0263] 根据实施例的多层电子组件3000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置且介电层111介于第一内电极121和第二内电极122之间,主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并在第二方向上彼此相对的第三表面3和第四表面4、以及连接到第一表面1至第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6。除了如稍后将描述的主体的第一表面1或第二表面2的端部具有收缩形状之外,多层电子组件3000的主体110可具有与多层电子组件1000的主体110的构造相同的构造。

[0264] 外电极331和332可设置在主体110的第三表面3和第四表面4上。外电极331和332可包括第一外电极331和第二外电极332,第一外电极331和第二外电极332分别设置在主体110的第三表面3和第四表面4上以分别连接到第一内电极121和第二内电极122。

[0265] 外电极331和332可包括:第一外电极331,包括第一连接部331a、第一带部331b以及第一拐角部331c,第一连接部331a设置在第三表面3上,第一带部331b从第一连接部331a延伸到第一表面1的一部分上,第一拐角部331c设置为从第一连接部331a延伸到主体的将第二表面2和第三表面3连接的拐角;以及第二外电极332,包括第二连接部332a、第二带部332b以及第二拐角部332c,第二连接部332a设置在第四表面4上,第二带部332b从第二连接部332a延伸到第一表面1的一部分上,第二拐角部332c设置为从第二连接部332a延伸到主体的将第二表面2和第四表面4连接的拐角。第一连接部331a可在第三表面3连接到第一内电极121,并且第二连接部332a可在第四表面4连接到第二内电极122。

[0266] 在实施例中,第一连接部331a和第二连接部332a可设置为与第五表面5和第六表面6间隔开。因此,可显著减小外电极331和332占据的体积,使得多层电子组件3000可进一步小型化。

[0267] 由于介电层111的没有设置内电极121和122的边缘区域叠置,因此可能由于内电极121和122中的每个的厚度而形成台阶。因此,当相对于第一表面或第二表面观察时,将第一表面连接到第三表面至第五表面的拐角和/或将第二表面连接到第三表面至第五表面的拐角可具有朝向主体110的在第一方向上的中央收缩的形式。可选地,当相对于第一表面1或第二表面2观察时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有在烧结主体110的过程中由于收缩行为朝向主体110的在第一方向上的中央收缩的形式。可选地,当将主体110的各个表面连接的拐角通过附加工艺被圆化以防止碎裂缺陷等时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有圆化的形式。

[0268] 拐角可包括连接第一表面和第三表面的1-3拐角C1-3、连接第一表面和第四表面的1-4拐角C1-4、连接第二表面和第三表面的2-3拐角C2-3以及连接第二表面和第四表面的2-4拐角C2-4。此外,拐角可包括连接第一表面和第五表面的1-5拐角、连接第一表面和第六表面的1-6拐角、连接第二表面和第五表面的2-5拐角以及连接第二表面和第六表面的2-6拐角。然而,为了抑制由内电极121和122形成的台阶,在层叠之后,可进行切割以使内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的两个侧表面,然后在电容形成部Ac的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层,以形成

边缘部114和115。在这种情况下,将第一表面1连接到第五表面5和第六表面6的部分以及将第二表面2连接到第五表面5和第六表面6的部分可不具有收缩形式。

[0269] 此外,主体110的第一表面至第六表面可以是整体平坦表面,并且非平坦区域可被认为是拐角。另外,外电极131和132的设置拐角上的区域可被认为是拐角部。

[0270] 在这方面,第一拐角部331c和第二拐角部332c可设置在与第二表面2的延长线E2的水平面相同的水平面或比第二表面2的延长线E2的水平面低的水平面上,并且第一拐角部331c和第二拐角部332c可设置为与第二表面2间隔开。也就是说,外电极331和332不设置在第二表面2上,使得外电极331和332占据的体积可进一步显著减小,以进一步增加多层电子组件3000的每单位体积的电容。另外,第一拐角部331c可设置在将第三表面和第二表面连接的2-3拐角C2-3的一部分上,并且第二拐角部332c可设置在将第四表面和第二表面连接的2-4拐角C2-4的一部分上。

[0271] 第二表面的延长线E2可如下定义。

[0272] 在从多层电子组件3000的在宽度方向上的中央沿长度-厚度方向截取的多层电子组件3000的截面(L-T截面)中,可沿长度方向从第三表面3到第四表面4绘制具有相等间隔的七条直线P0、P1、P2、P3、P4、P5和P6,穿过直线P2和第二表面2相交的点和直线P4和第二表面2相交的点的直线可定义为第二表面2的延长线E2。

[0273] 此外,外电极331和332可利用具有导电性的任意材料(诸如金属)形成,并且可考虑电特性、结构稳定性等来确定外电极131和132中的每个的具体材料。此外,外电极331和332可具有多层结构。

[0274] 外电极331和332可以是包括导电金属和玻璃的烧结电极,或者可以是包括导电金属和树脂的树脂基电极。

[0275] 另外,外电极331和332可具有在主体上顺序形成烧结电极和树脂基电极的形式。另外,外电极331和332可通过将包括导电金属的片材转印到主体的方法形成,或者可通过将包括导电金属的片材转印到烧结电极的方法形成。

[0276] 作为外电极331和332中包括的导电金属,可使用具有改善导电性的材料,但不限于此。例如,导电金属可以是铜(Cu)、镍(Ni)、钯(Pd)、银(Ag)、锡(Sn)、铬(Cr)以及它们的合金中的至少一种。具体地,外电极331和332可包括Ni和Ni合金中的至少一种。因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0277] 绝缘层351可设置在第一连接部331a和第二连接部332a上。

[0278] 由于第一连接部331a和第二连接部332a是连接到内电极121和122的部分,因此它们可能是镀覆过程中镀液渗透的路径或实际使用期间水分渗透的路径。在本公开的实施例中,由于绝缘层351设置在第一连接部331a和第二连接部332a上,因此可防止外部水分的渗透或镀液的渗透。

[0279] 绝缘层351可设置为与第一镀层341和第二镀层342接触。在这种情况下,绝缘层351可具有部分地覆盖第一镀层341和第二镀层342的端部的形式,第一镀层341和第二镀层342可具有部分地覆盖绝缘层351的端部的形式。

[0280] 绝缘层351可设置在第一连接部331a和第二连接部332a上,并且可设置为覆盖第二表面以及第一拐角部331c和第二拐角部332c。另外,绝缘层351可覆盖第一拐角部331c和第二拐角部332c的端部与主体110接触的区域,以阻挡水分渗透路径,从而进一步提高防潮

可靠性。

[0281] 绝缘层351可设置在第二表面上以延伸到第一连接部331a和第二连接部332a。另外,当外电极331和332不设置在第二表面上时,绝缘层351可设置为覆盖整个第二表面。此外,绝缘层351不必设置在第二表面2上,并且可不设置在第二表面2的一部分或整个第二表面2上,或者可分成分别设置在第一连接部331a和第二连接部332a上的两个绝缘层。然而,即使在这种情况下,绝缘层351也可设置为覆盖整个第一拐角部331c和整个第二拐角部332c。当绝缘层351不设置在第二表面上时,绝缘层351可设置在与第二表面的延长线的水平面相同的水平面或比第二表面的延长线的水平面低的水平面上。另外,尽管绝缘层351不设置在第二表面2上,但是绝缘层351可延伸到第五表面5和第六表面6,以构成单个绝缘层。

[0282] 在实施例中,绝缘层351可设置为覆盖第五表面5的一部分和第六表面6的一部分以提高可靠性。在这种情况下,第五表面5和第六表面6的未被绝缘层351覆盖的部分可暴露在外部。

[0283] 此外,绝缘层351可设置为覆盖整个第五表面5和整个第六表面6。在这种情况下,第五表面5和第六表面6可不暴露在外部,从而获得进一步改善的防潮可靠性。

[0284] 绝缘层351可用于防止镀层341和342形成在外电极331和332的其上设置有绝缘层351的区域上,并且可用于改善密封特性以显著减少外部水分的渗透或镀液的渗透。绝缘层351的组成、成分、平均厚度和效果与多层电子组件1000和2000以及多层电子组件1000和2000的各种变型示例中包括的绝缘层中的组成、成分、平均厚度和效果相同,并且将省略其描述。

[0285] 第一镀层341可设置在第一带部331b上,第二镀层342可设置在第二带部332b上。第一镀层341和第二镀层342可用于改善安装特性。由于镀层341和342设置在带部331b和332b上,因此可使安装空间最小化,并且可防止镀液渗透到内电极中,从而提高可靠性。第一镀层341的一端和第二镀层342的一端可与第一表面接触,并且第一镀层341的另一端和第二镀层342的另一端可与绝缘层351接触。

[0286] 镀层341和342的类型不受限制,并且镀层341和342中的每个可以是包括Ni、Sn、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0287] 作为镀层341和342的更具体的示例,镀层341和342可以是Ni镀层或Sn镀层,或者可具有在第一带部331b和第二带部332b上顺序形成Ni镀层和Sn镀层的形式。

[0288] 在实施例中,绝缘层351可设置为与第一外电极331和第二外电极332直接接触,并且第一外电极331和第二外电极332可包括导电金属和玻璃。因此,镀层341和342可不设置在第一外电极331和第二外电极332的外表面的设置有绝缘层351的区域中,使得可有效地抑制由镀液引起的对外电极的侵蚀。

[0289] 在实施例中,第一镀层341可设置为覆盖绝缘层351的设置在第一外电极331上的端部,并且第二镀层342可设置为覆盖绝缘层351的设置在第二外电极332上的端部。因此,可增加绝缘层351与镀层341和342之间的结合强度,以提高多层电子组件3000的可靠性。另外,通过在外电极331和332上形成镀层341和342之前形成绝缘层351,可更可靠地抑制在形成镀层期间镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层341和342可具有覆盖绝缘层351的端部的形式。

[0290] 在实施例中,绝缘层351可设置为覆盖第一镀层341的设置在第一外电极331上的端部,并且可设置为覆盖第二镀层342的设置第二外电极332上的端部。因此,可增加绝缘层351与镀层341和342之间的结合强度,以提高多层电子组件3000的可靠性。

[0291] 在实施例中,第一镀层341和第二镀层342可设置为延伸至分别部分地覆盖第一连接部331a和第二连接部332a。在本实施例中,当在第一方向上从第一表面1的延长线E1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸为H1,并且在第一方向上从第一表面1的延长线E1到第一镀层341和第二镀层342的设置第一连接部331a和第二连接部332a上的端部的平均尺寸为H2时,可满足 $H1 > H2$ (或 $H1 \geq H2$)。因此,可抑制在镀覆过程期间镀液渗透到内电极中以提高可靠性。

[0292] 在实施例中,当在第一方向上从第一表面的延长线E1到第一内电极121和第二内电极122中设置为最靠近第一表面的内电极的平均尺寸为H1,并且在第一方向上从第一表面1的延长线E1到镀层341和342的设置第一连接部331a和第二连接部332a上的端部的平均尺寸为H2时,可满足 $H1 < H2$ 。因此,可增加在安装期间与焊料接触的面积以改善粘合强度。更优选地,当主体110在第一方向上的平均尺寸为T时,可满足 $H2 < T/2$ 。也就是说,可满足 $H1 < H2 < T/2$ 。这是因为在H2大于等于T/2时,可能降低通过绝缘层提高防潮可靠性的效果。

[0293] 在实施例中,第一镀层341和第二镀层342可设置在与第一表面的延长线的水平面相同的水平面或比第一表面的延长线的水平面低的水平面上。因此,在安装期间焊料的高度可最小化,并且安装空间可显著减小。另外,绝缘层351可延伸到与第一表面的延长线的水平面相同的水平面或比第一表面的延长线的水平面低的水平面上,并且设置为与第一镀层341和第二镀层342接触。

[0294] 在实施例中,当主体在第二方向上的平均尺寸为L,在第二方向上从第三表面3的延长线E3到第一带部331b的端部的平均尺寸为B1,并且在第二方向上从第四表面4的延长线E4到第二带部332b的端部的平均尺寸为B2时,可满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

[0295] 当B1/L和B2/L小于0.2时,可能难以确保足够的粘合强度。另一方面,当B2/L超过0.4时,在高压电流下可能在第一带部331b和第二带部332b之间产生漏电流,并且在镀覆过程期间,第一带部331b和第二带部332b可能通过镀覆扩散等彼此电连接。

[0296] 在实施例中,根据实施例的多层电子组件还可包括附加绝缘层,附加绝缘层设置在第一表面上并且设置在第一带部331b和第二带部332b之间。因此,能够防止在高压电流下可能在第一带部331b和第二带部332b之间发生的漏电流等。

[0297] 附加绝缘层的类型不需要限制。例如,附加绝缘层可包括玻璃或聚合树脂。例如,聚合树脂可包括从由环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种,或者可包括玻璃。

[0298] 在实施例中,当附加绝缘层包括聚合树脂时,除了聚合树脂之外,附加绝缘层还可包括从TiO₂、BaTiO₃、Al₂O₃、SiO₂、BaO等中选择的至少一种作为添加剂。因此,可提高与主体或外电极的粘合强度。

[0299] 更详细地,当在第二方向上从第三表面3的延长线E3到第一带部331b的端部的平均尺寸为B1,在第二方向上从第四表面4的延长线E4到第二带部332b的端部的平均尺寸为B2,在第二方向上从第三表面3的延长线E3到第一拐角部331c的端部的平均尺寸为B3,并且

在第二方向上从第四表面4的延长线E4到第二拐角部332c的端部的平均尺寸为B4时,可满足 $B3 < B1$ 和 $B4 < B2$ 。

[0300] 在实施例中,第一镀层341和第二镀层342的平均厚度可小于绝缘层351的平均厚度。

[0301] 绝缘层351可用于防止外部水分或镀液的渗透,但是可能与镀层341和342的连接性较弱,从而导致镀层341和342的分层。当镀层分层时,与基板180的粘合强度可能降低。“镀层的分层”可表示镀层被部分地去除或与外电极331和332物理地分离。由于镀层和绝缘层之间的连接性较弱,因此绝缘层和镀层之间的界面处的间隙增大或者异物通过间隙渗透的可能性很高,并且镀层由于易受外部冲击等而分层的可能性很高。

[0302] 根据实施例,镀层可形成为具有比绝缘层的平均厚度小的平均厚度,使得可减小镀层和绝缘层之间的接触面积。因此,可抑制分层的发生以提高与多层电子组件3000的粘合强度。

[0303] 多层电子组件3000的尺寸不需要特别限制。

[0304] 然而,为了实现小型化和高电容,应该通过减薄介电层和内电极来增加层叠的层数。在具有1005(长×宽,1.0mm×0.5mm)或更小的尺寸的多层电子组件3000中,根据本公开的提高可靠性和每单位体积电容的效果可变得更显著。

[0305] 因此,当考虑到制造误差和外电极的尺寸,多层电子组件3000具有1.1mm或更小的长度和0.55mm或更小的宽度时,根据本公开的可靠性改善效果可更显著。多层电子组件3000的长度可指多层电子组件3000在第二方向上的尺寸,并且多层电子组件3000的宽度可指多层电子组件3000在第三方向上的尺寸。

[0306] 如上所述,根据本公开的各种效果之一,通过在外电极的连接部上设置绝缘层并且在外电极的带部上设置镀层,可提高多层电子组件的可靠性,同时提高多层电子组件的每单位体积的电容。

[0307] 作为本公开的各种效果之一,可使多层电子组件的安装空间最小化。

[0308] 作为本公开的各种效果之一,绝缘层可包括含Ti氧化物,从而可提高防潮可靠性,并且可抑制裂纹的发生和扩展。

[0309] 作为本公开的各种效果之一,绝缘层包括含Ti氧化物,介电层包括 BaTiO_3 、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)以及 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)中的至少一种作为主成分,使得绝缘层和主体之间的粘合性得到改善。

[0310] 虽然上面已经示出和描述了示例实施例,但是对于本领域技术人员将易于理解的是,在不脱离由所附权利要求限定的本发明的范围的情况下,可进行修改和变化。

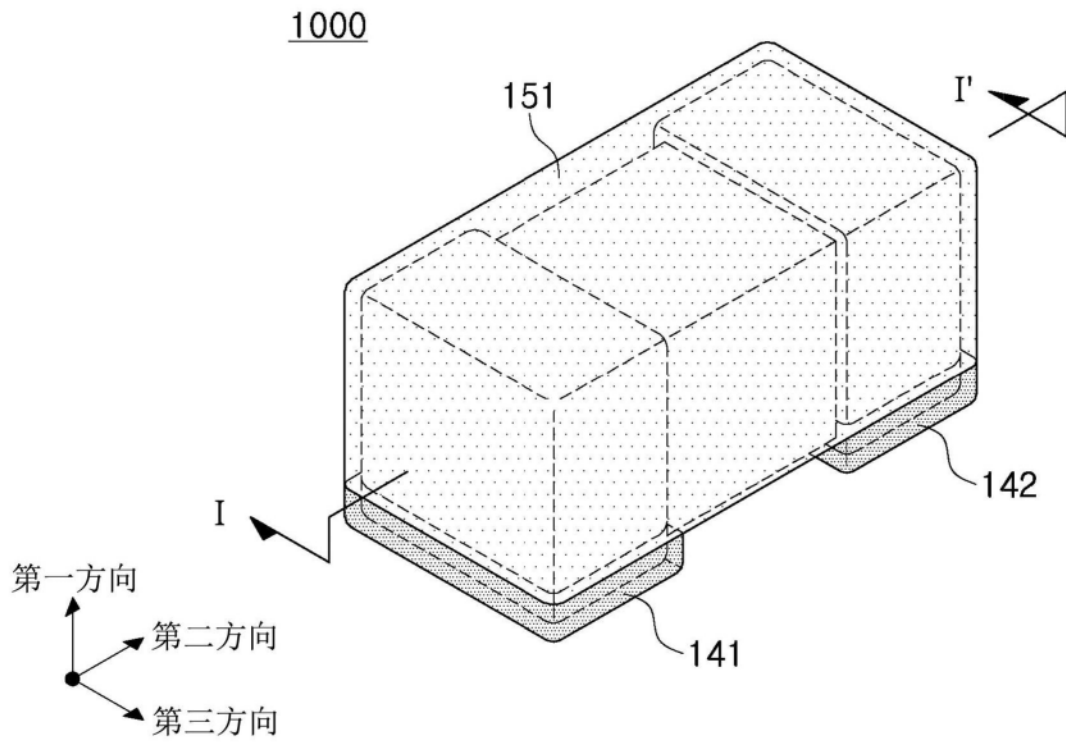


图1

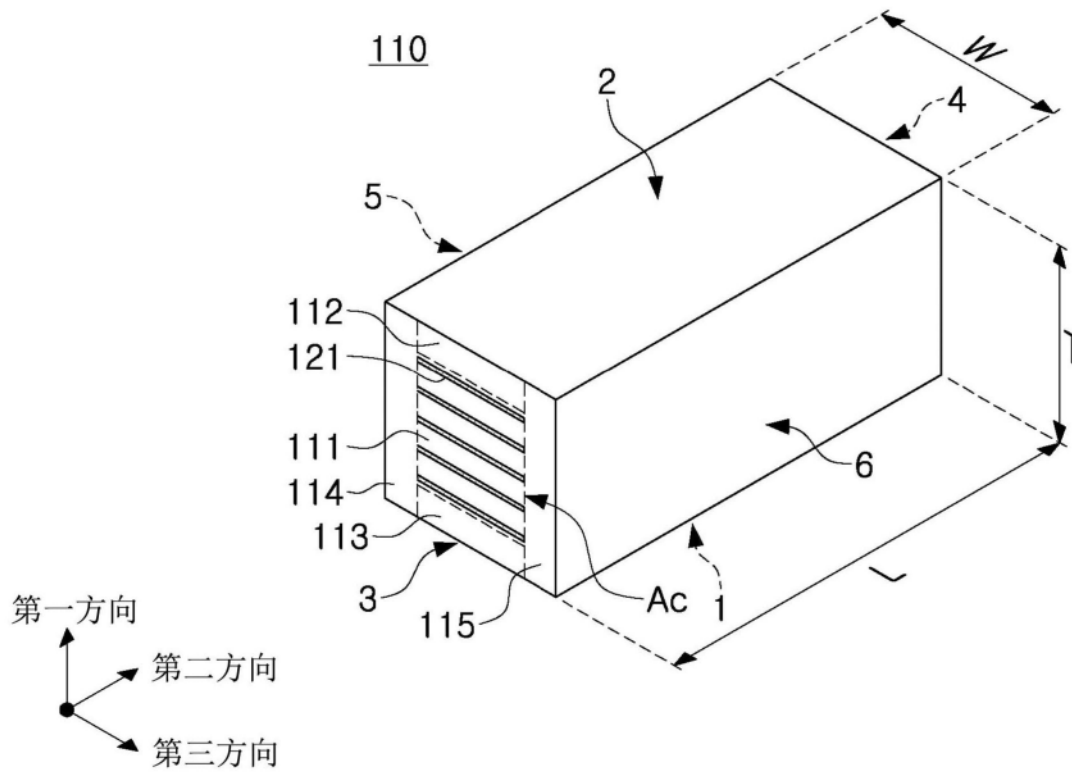


图2

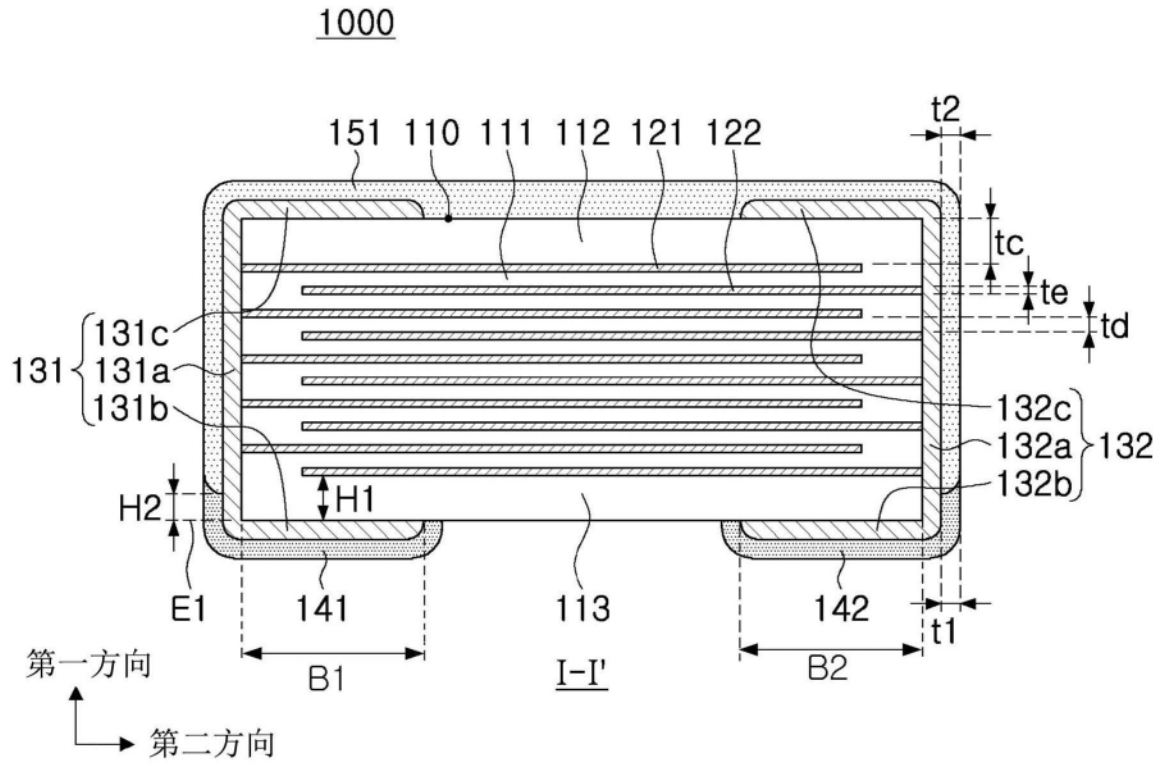


图3

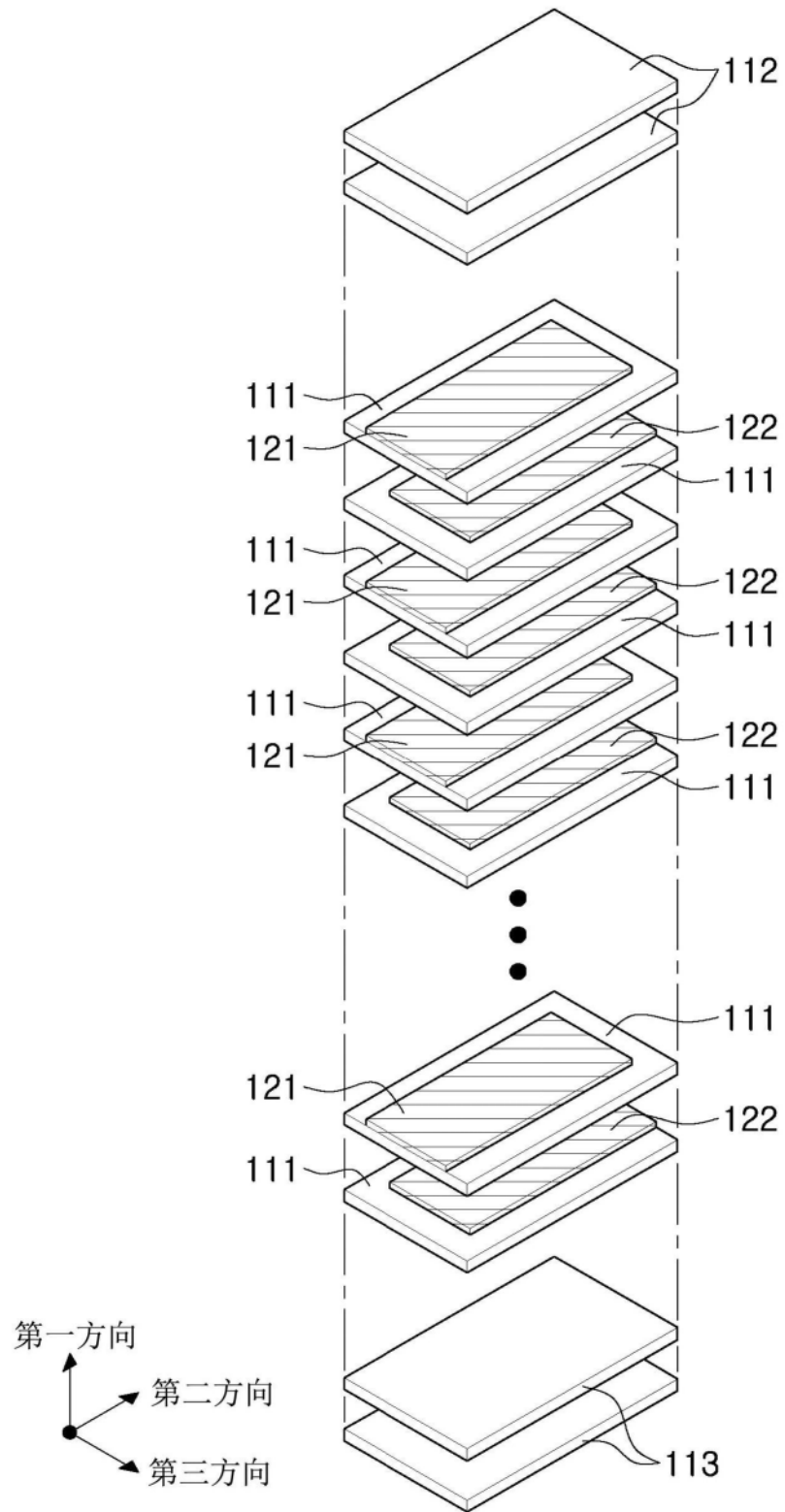


图4

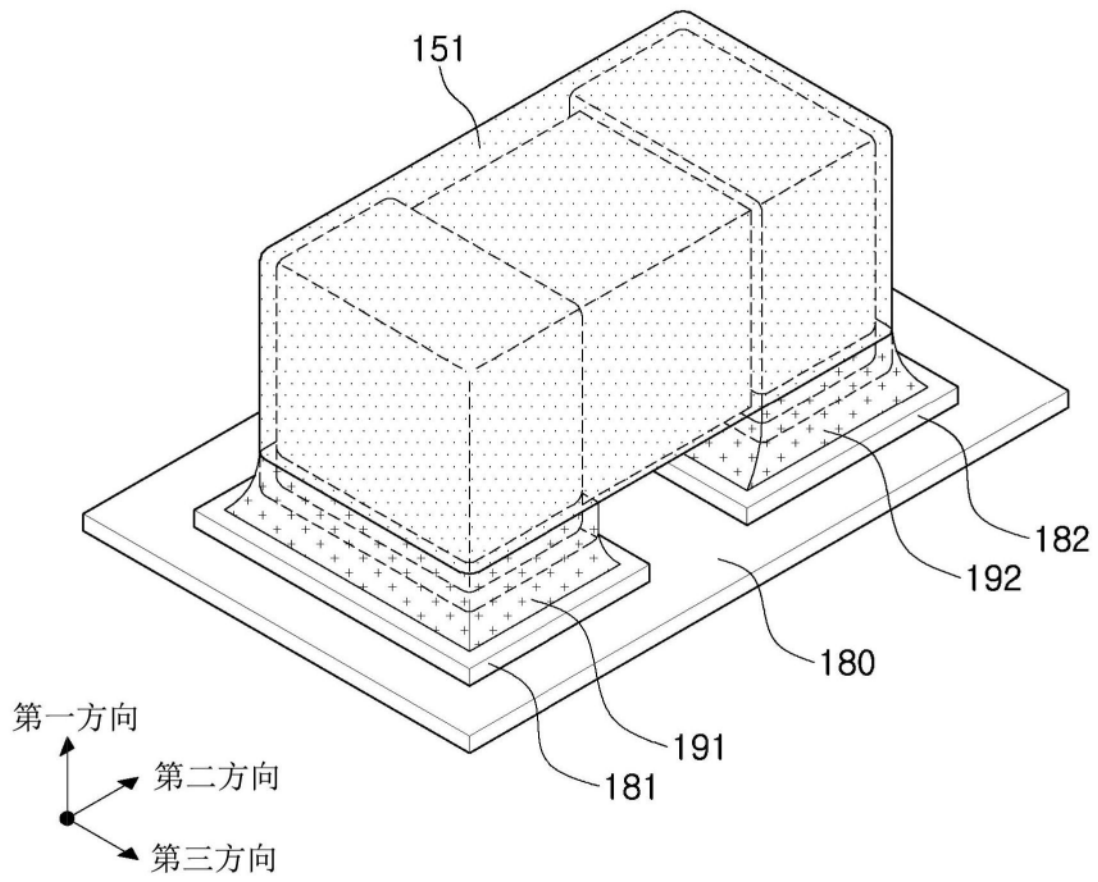
1100

图5

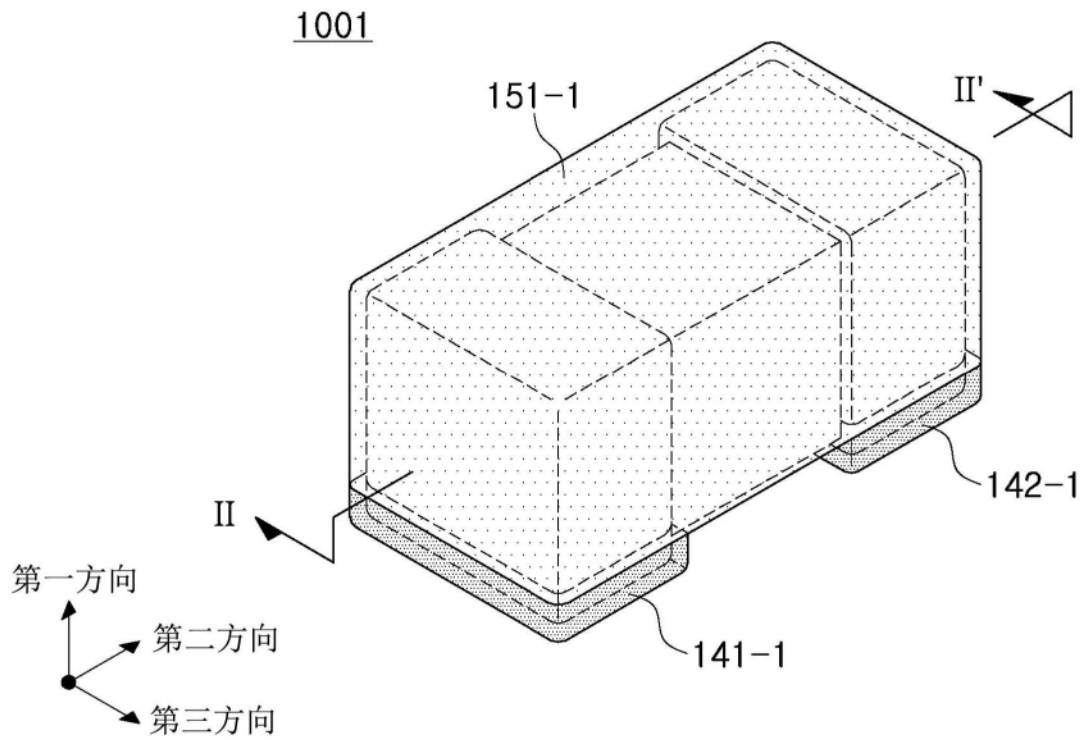


图6

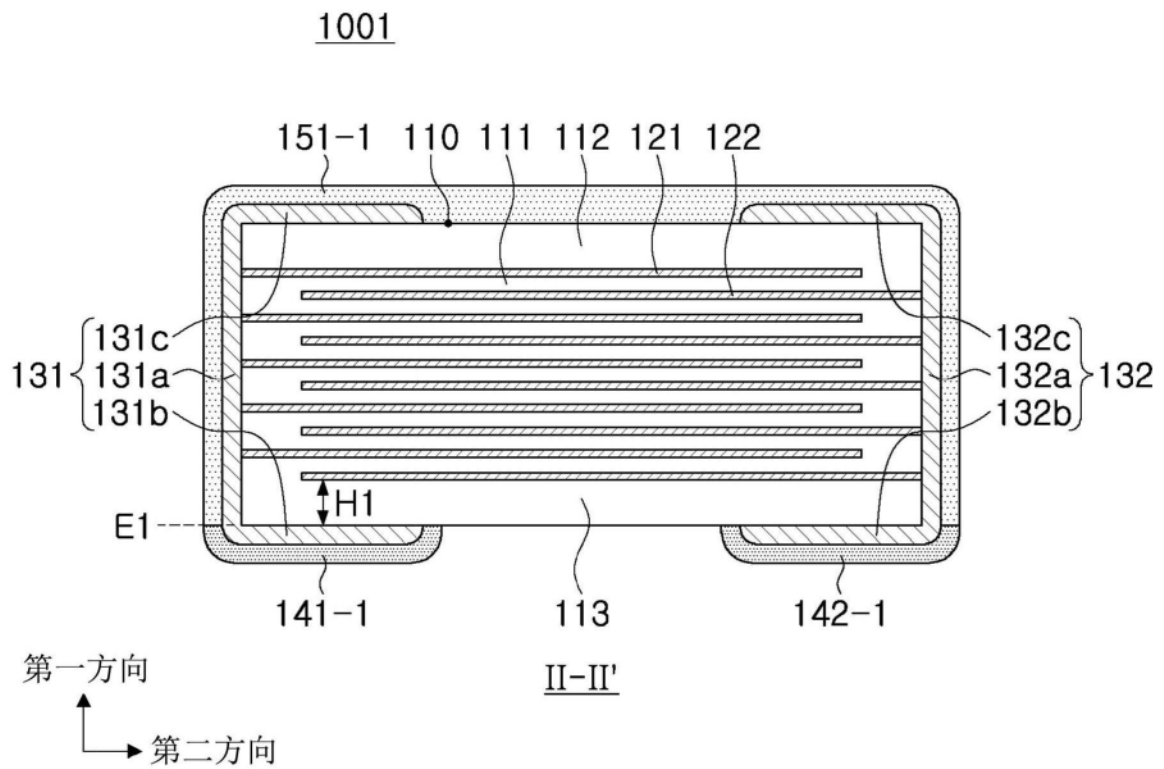


图7

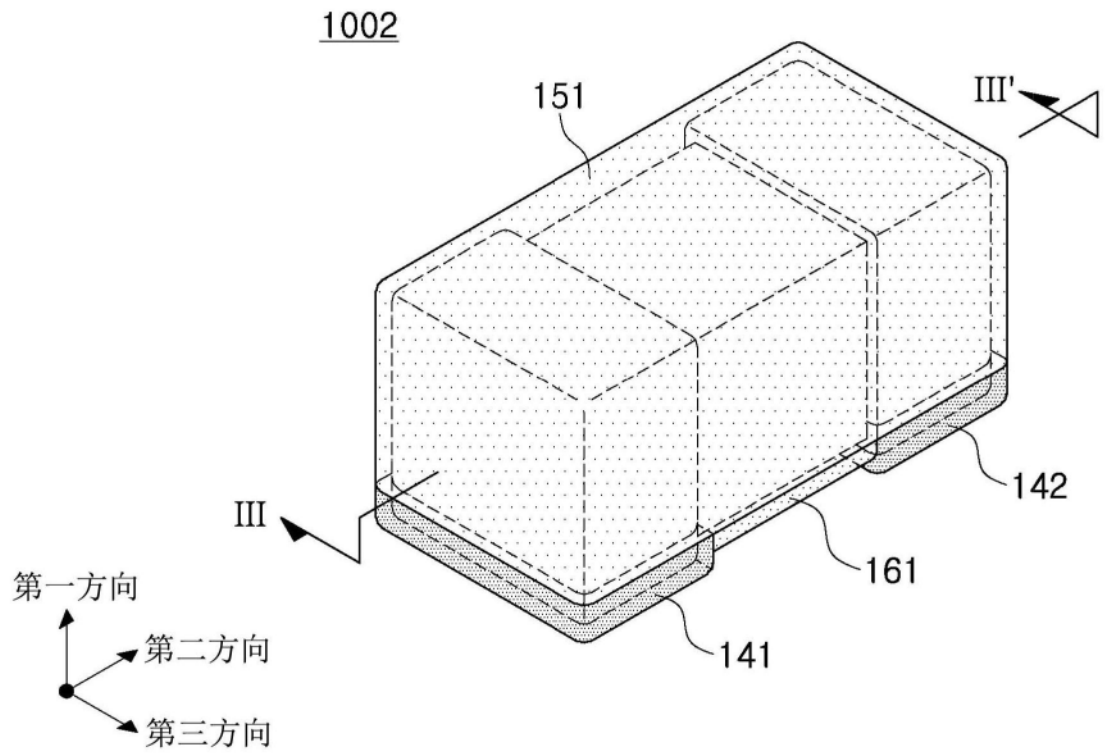


图8

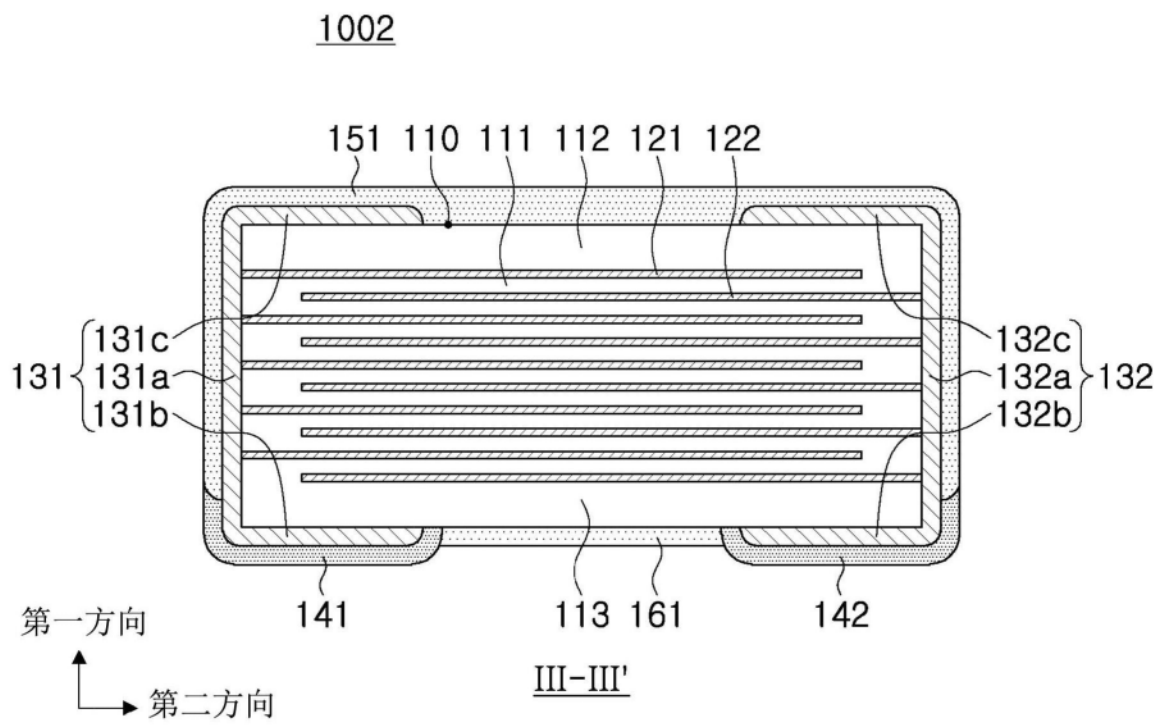


图9

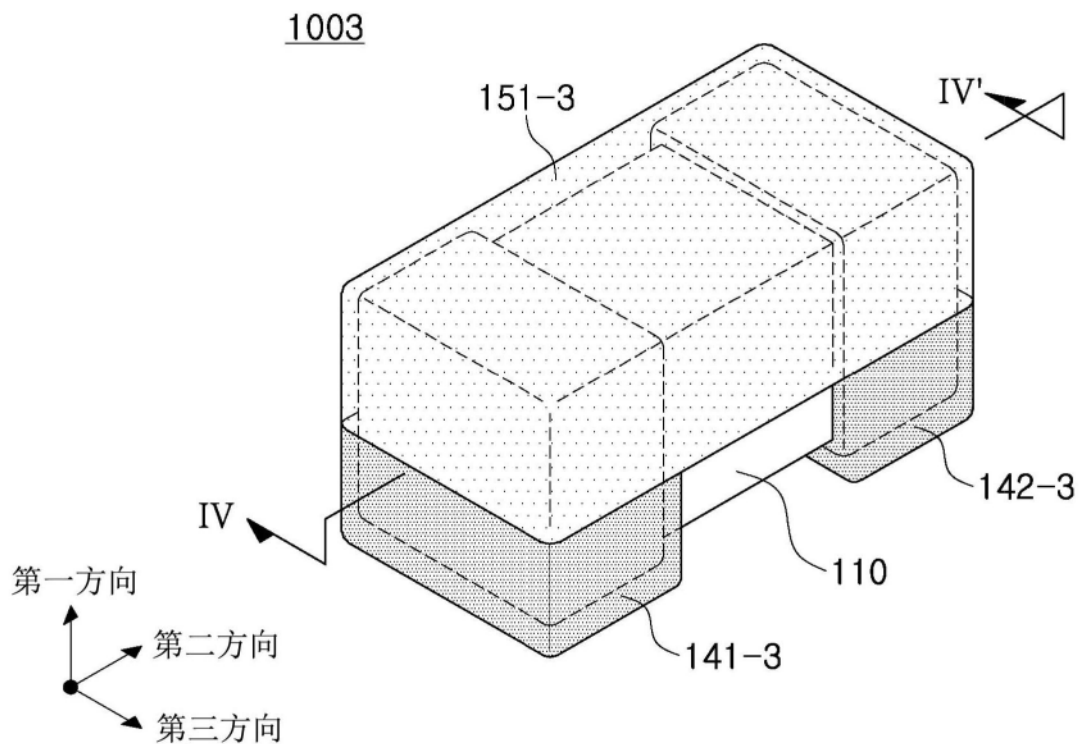


图10

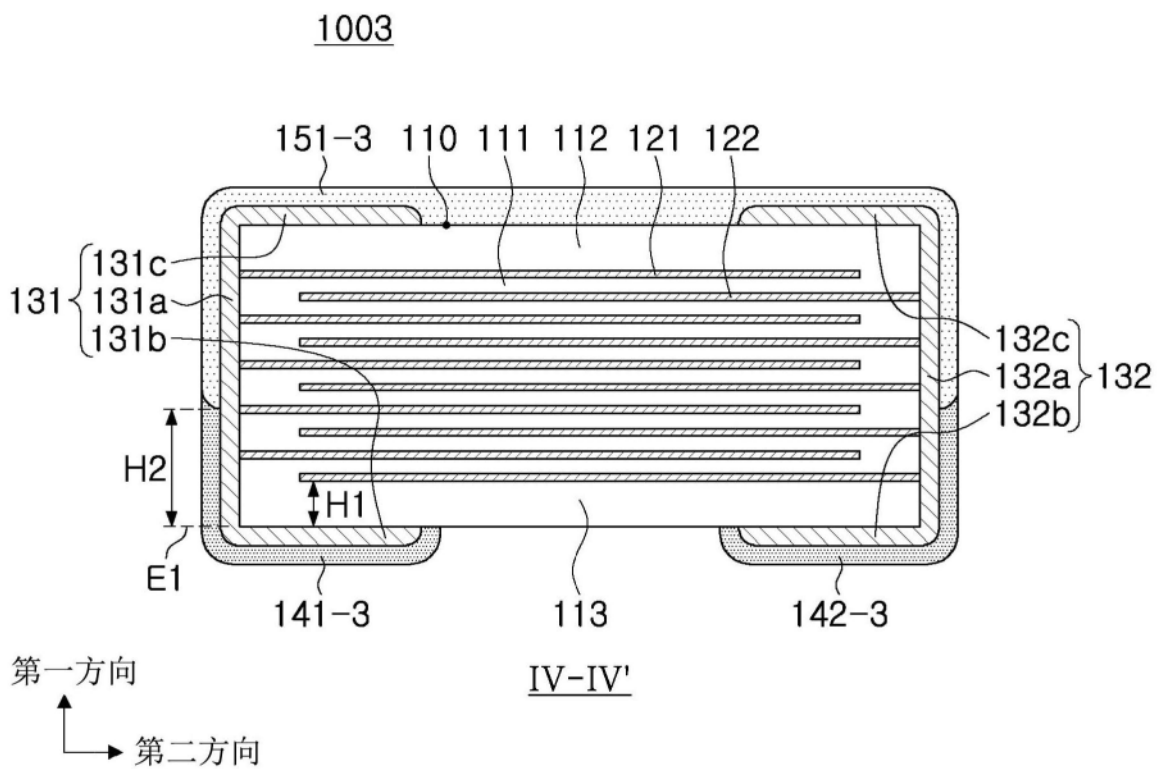


图11

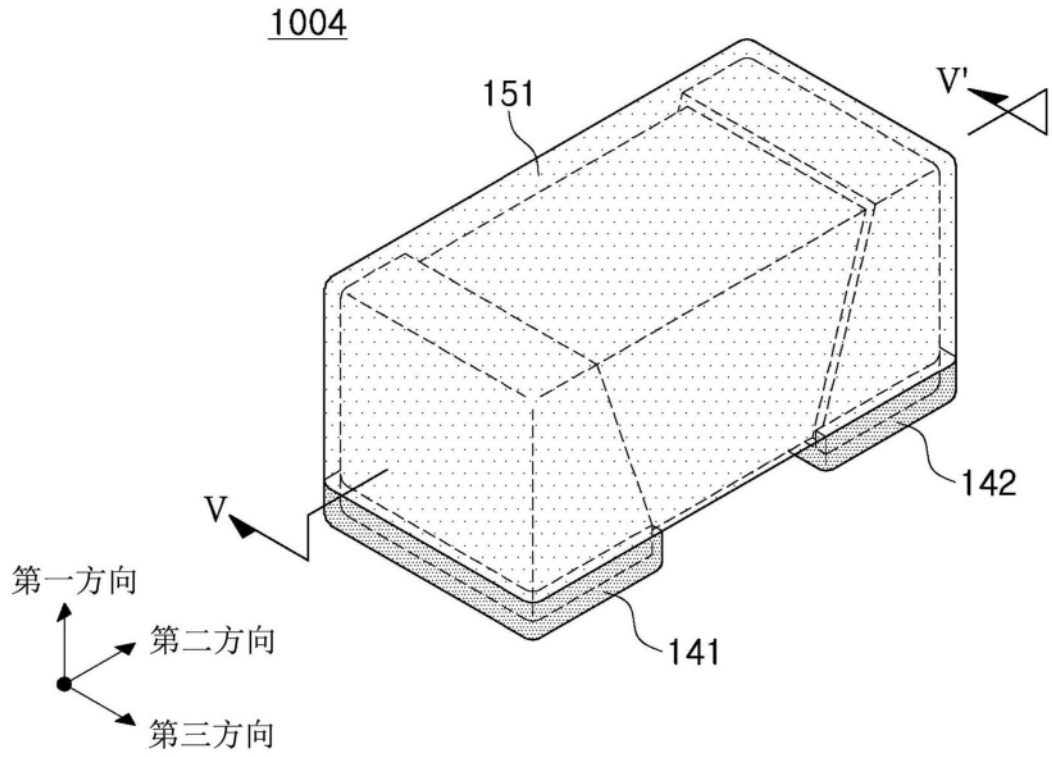


图12

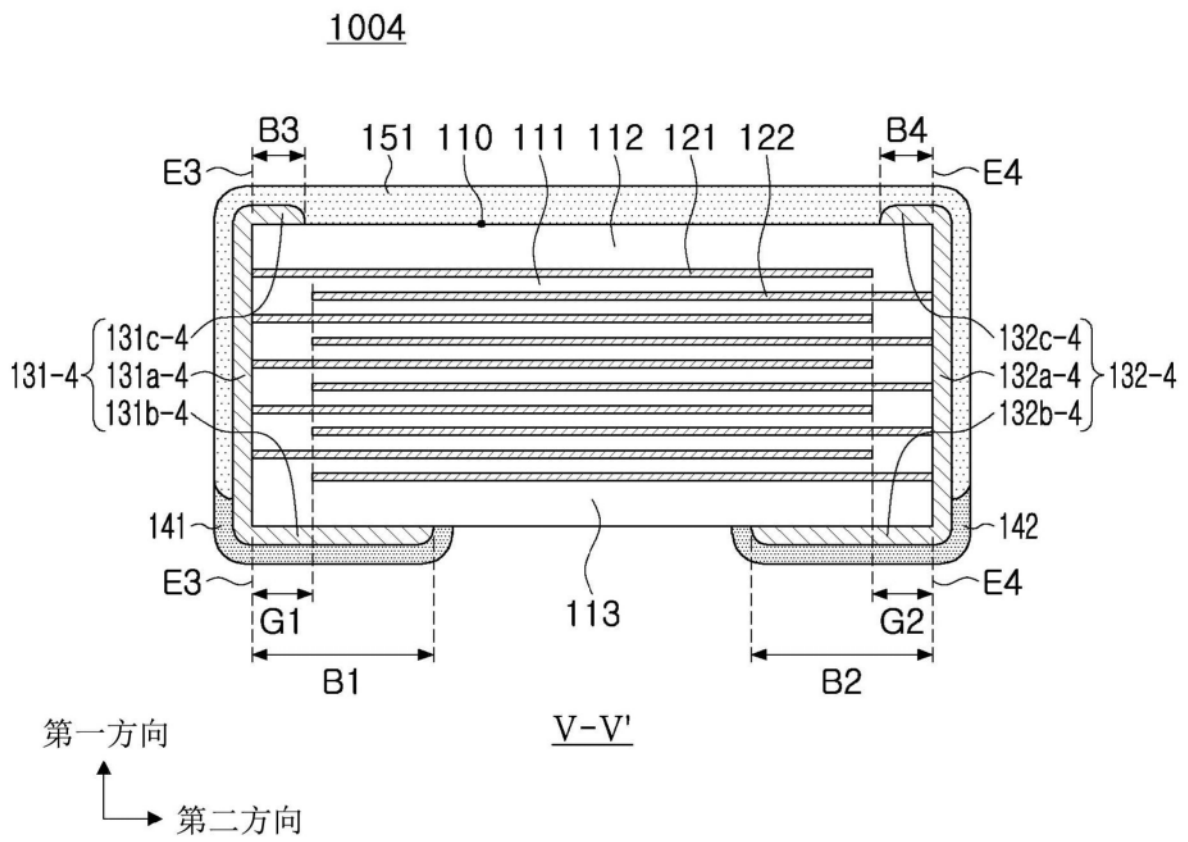


图13

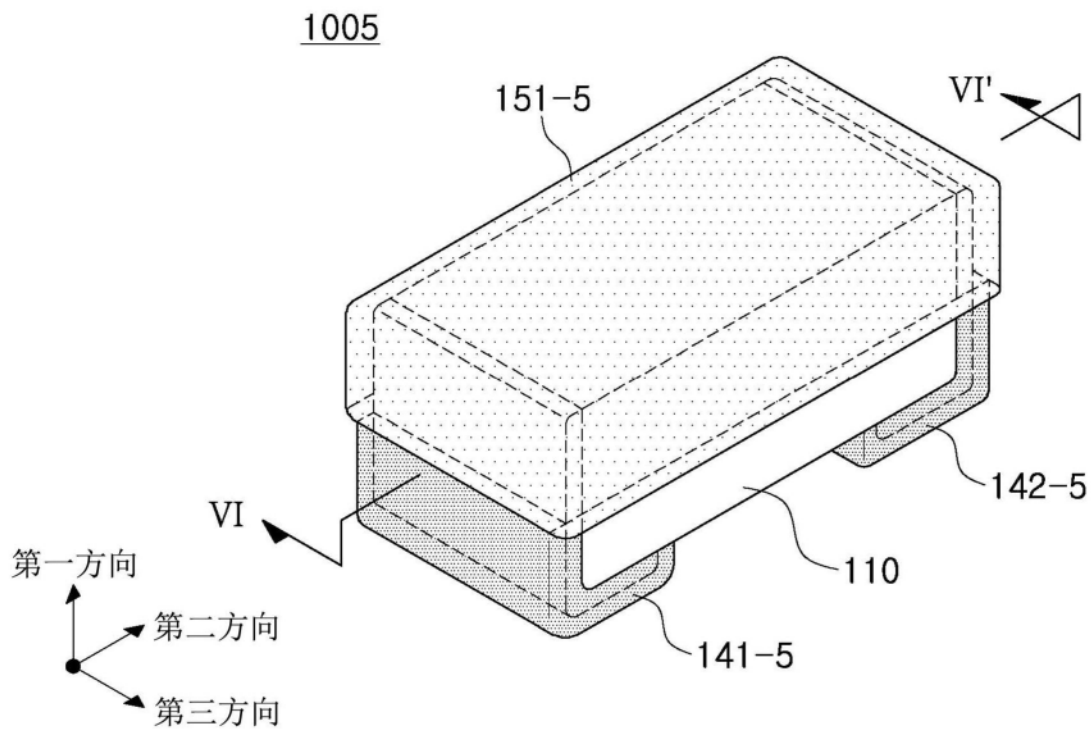


图14

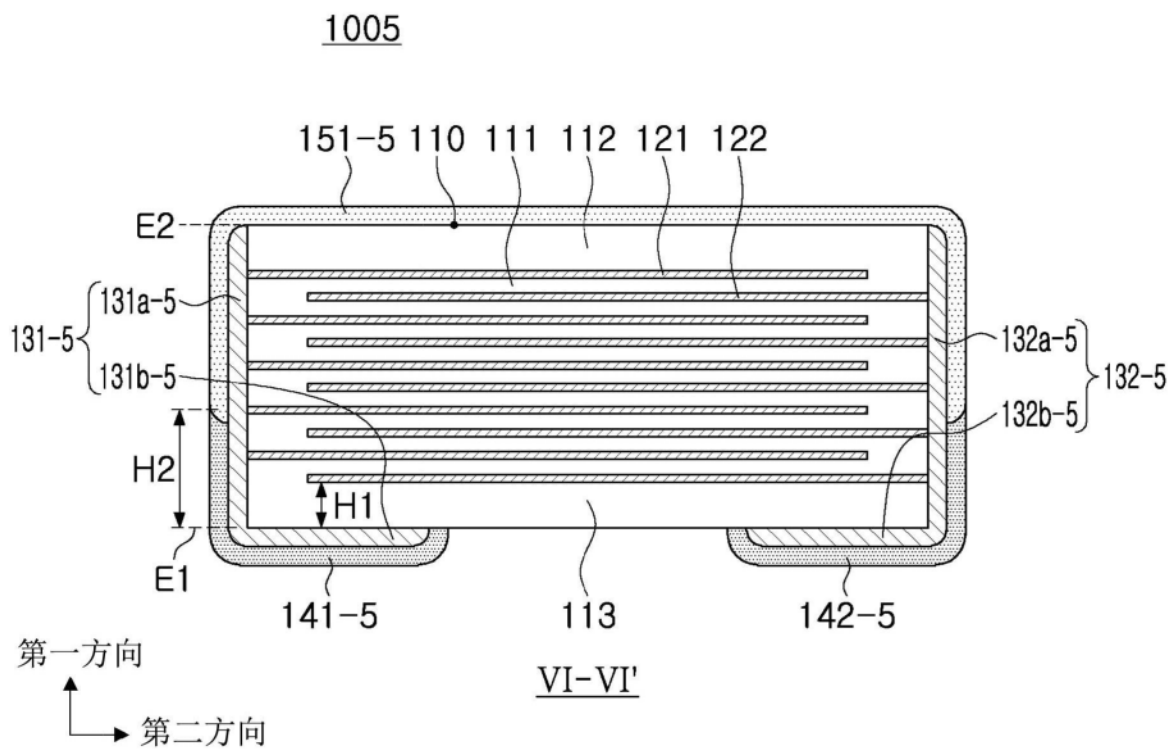


图15

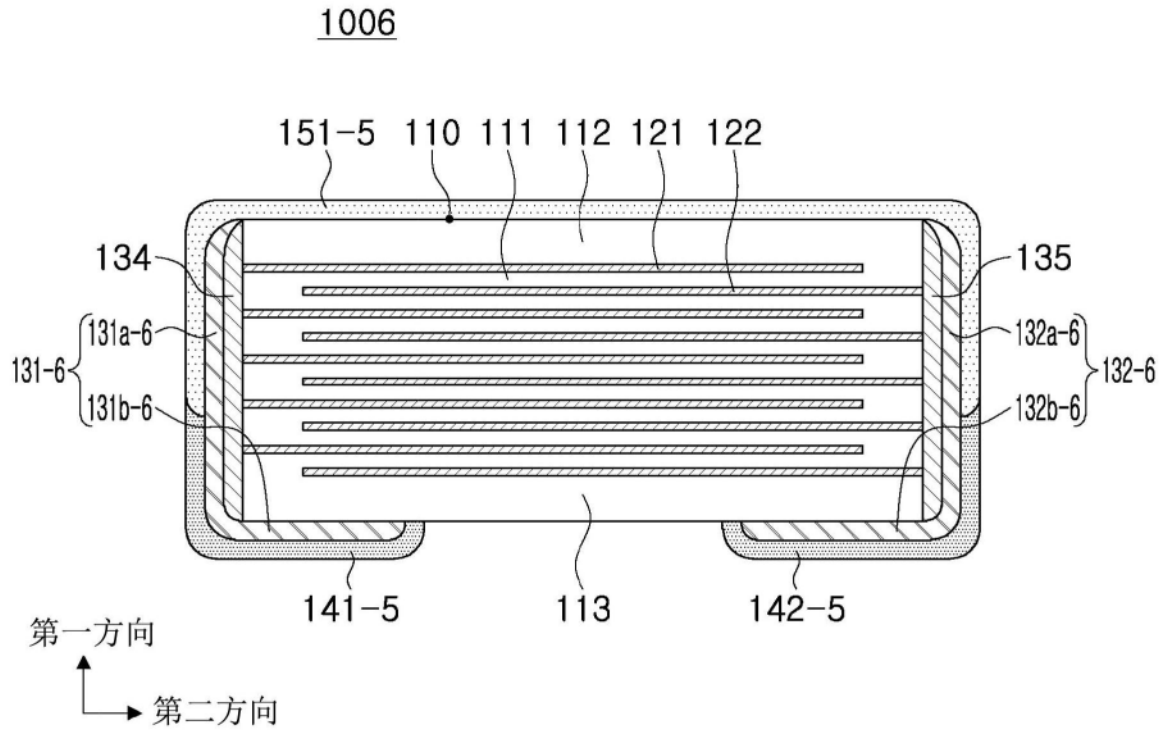


图16

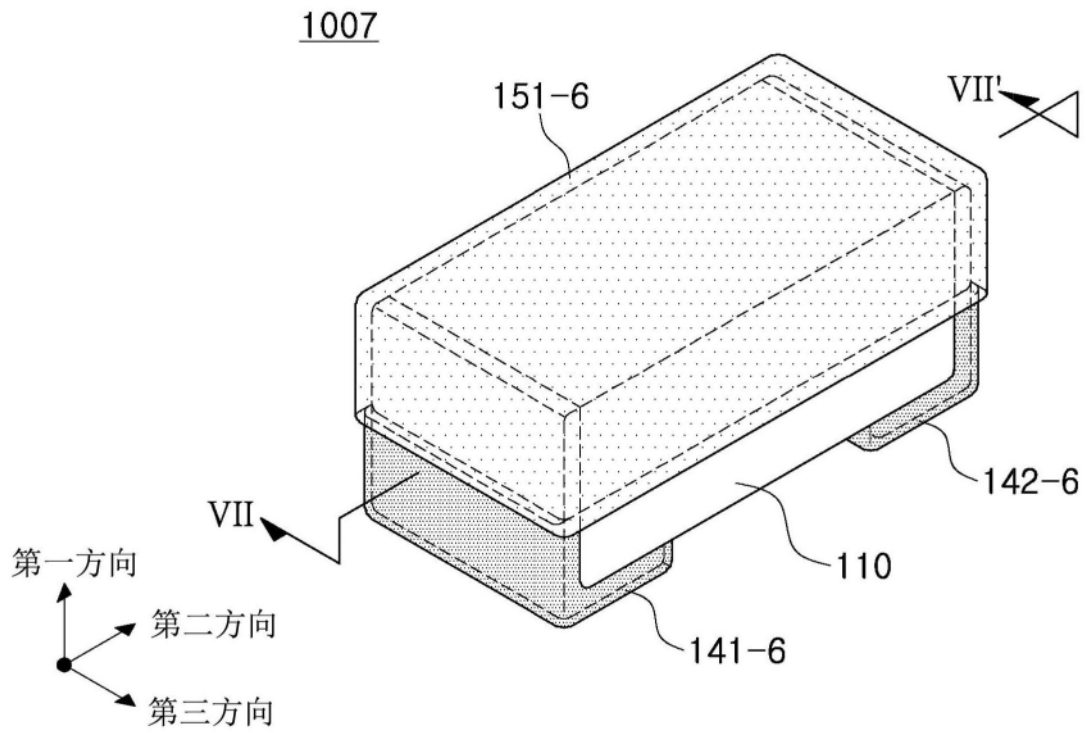


图17

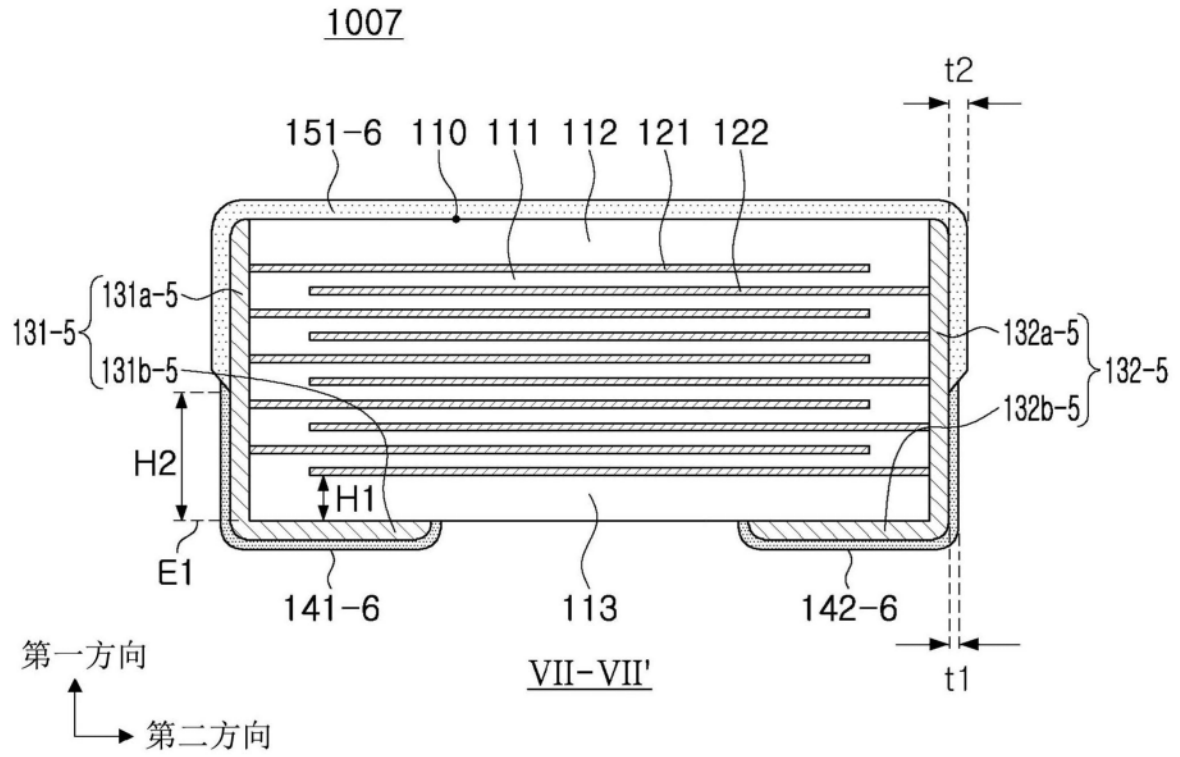


图18

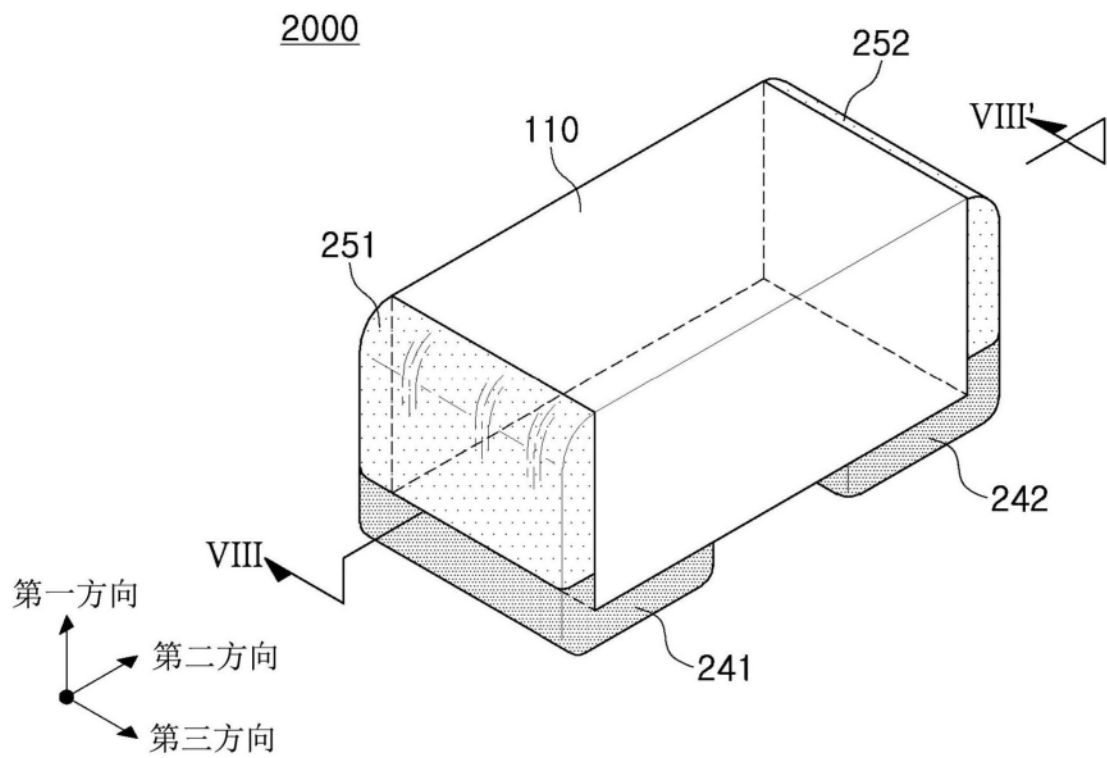


图19

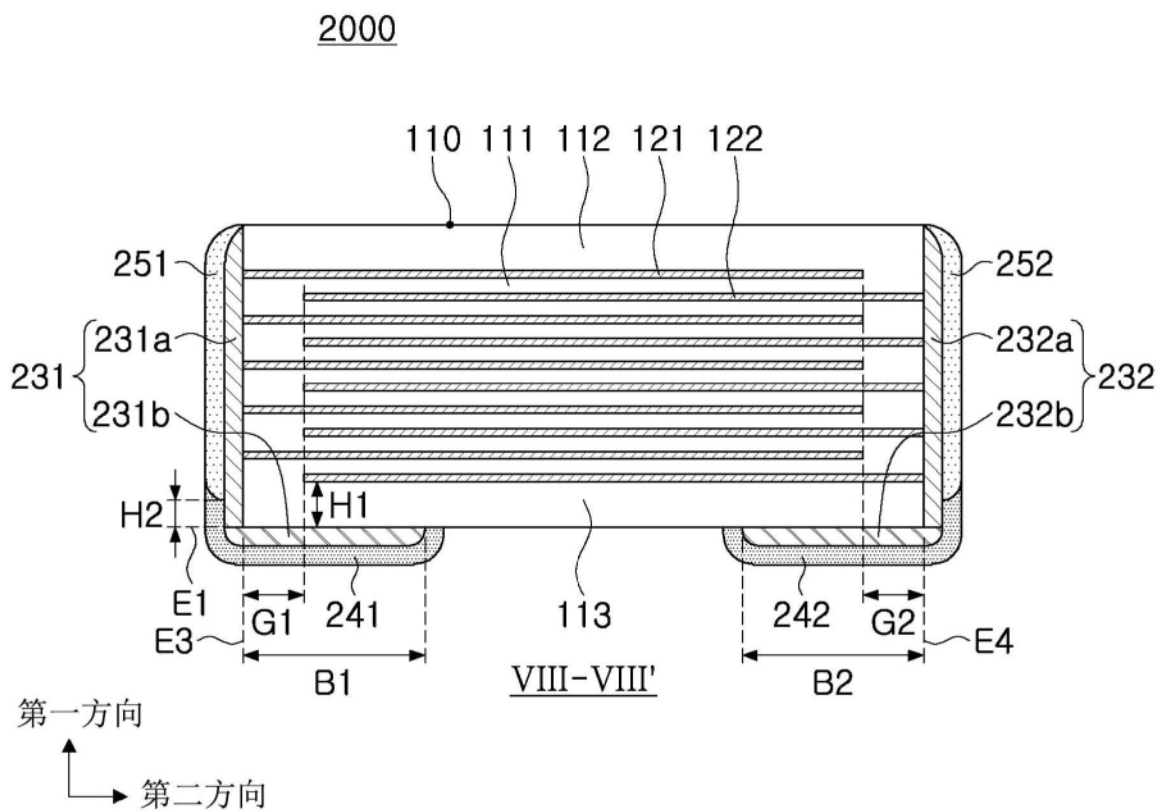


图20

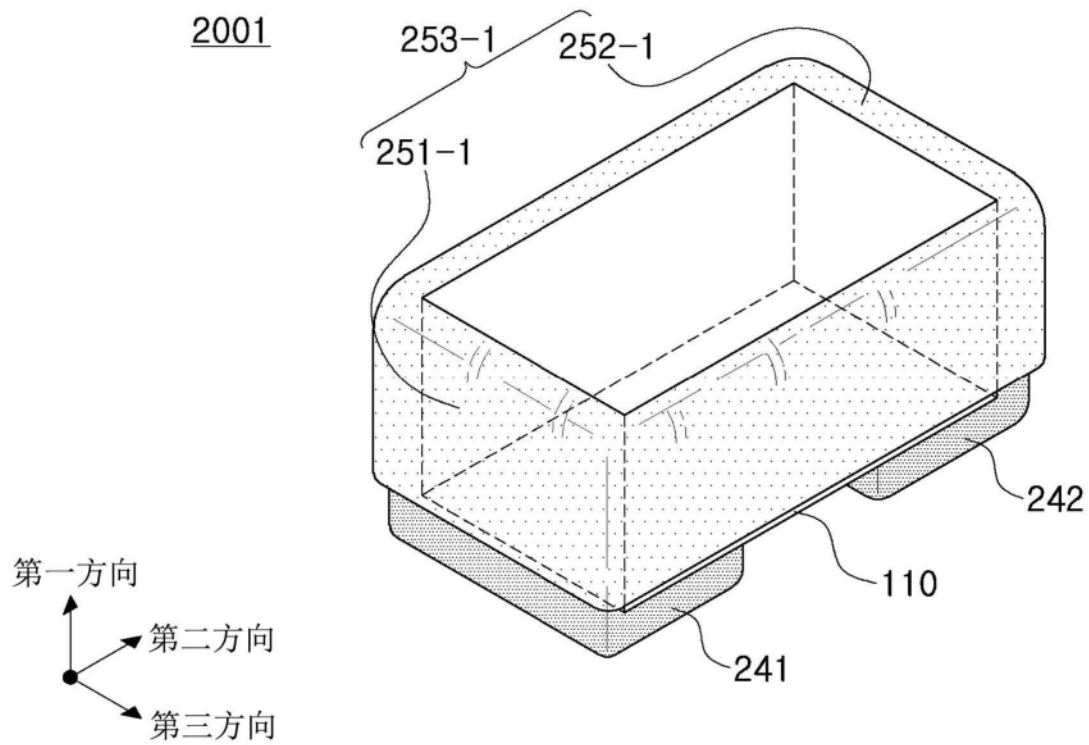


图21

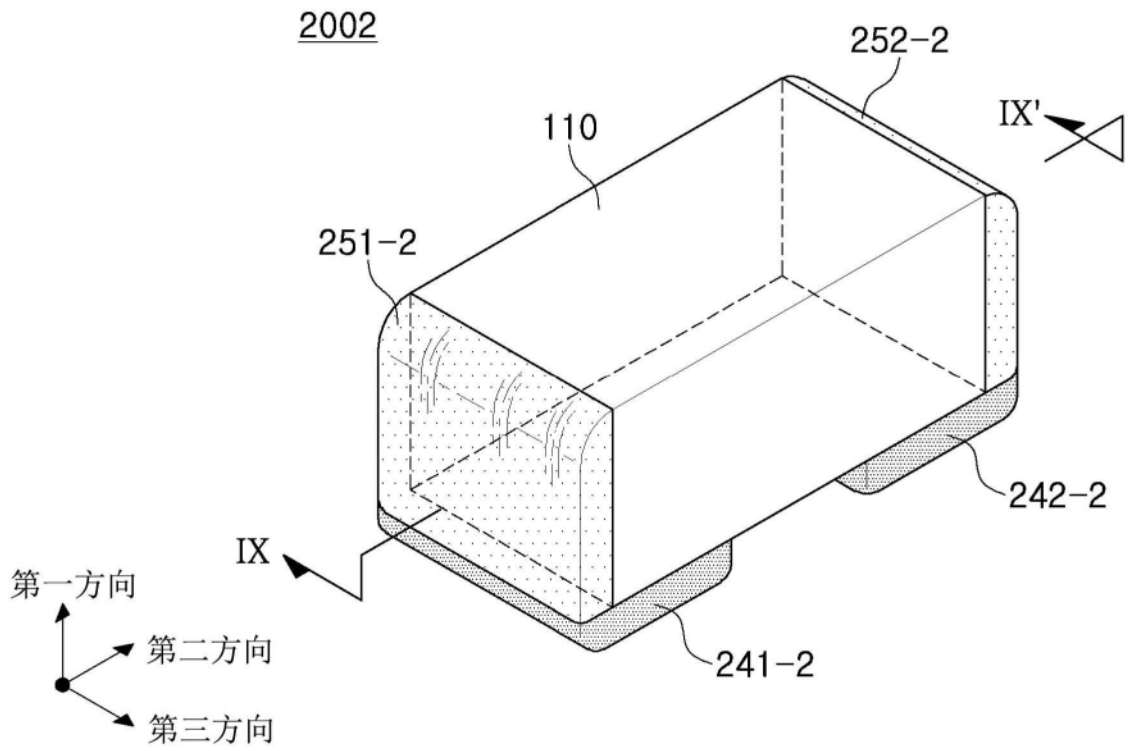


图22

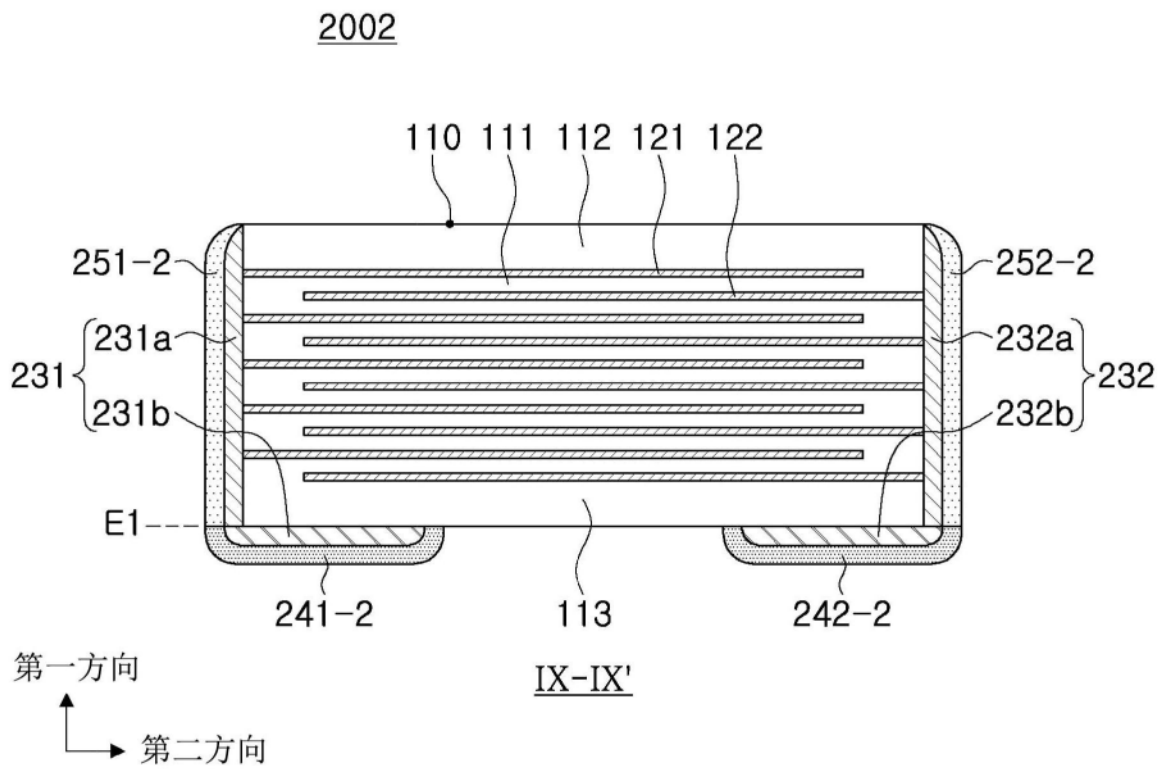


图23

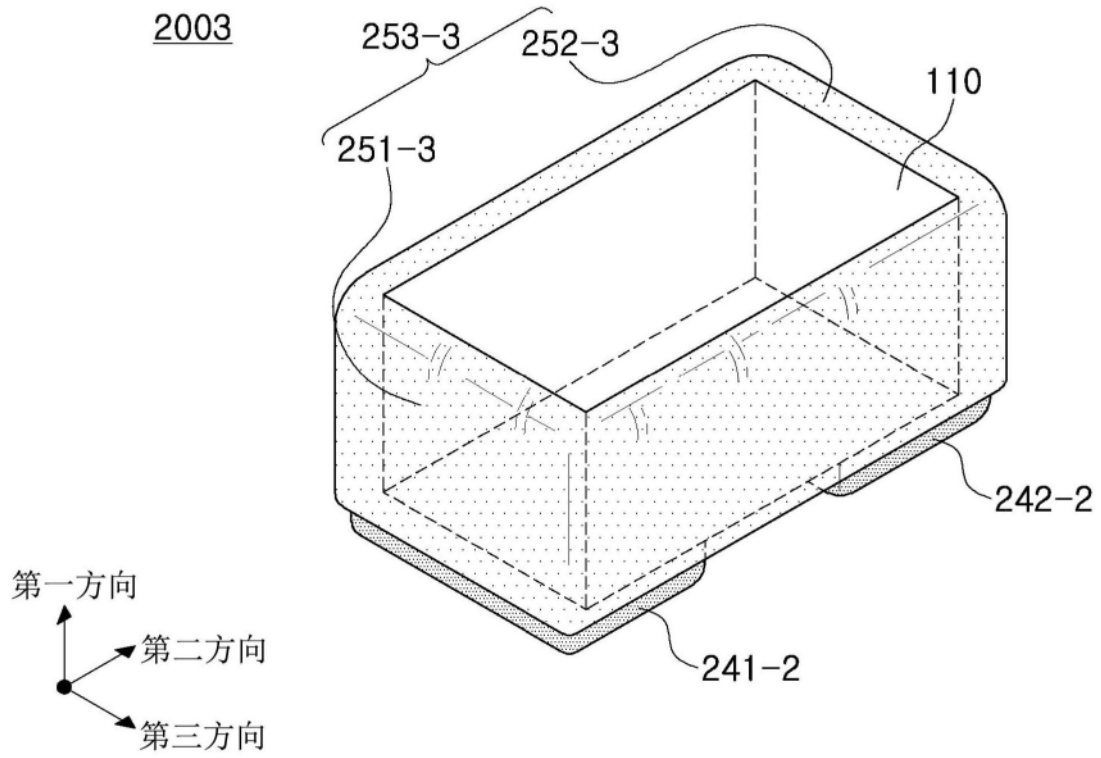


图24

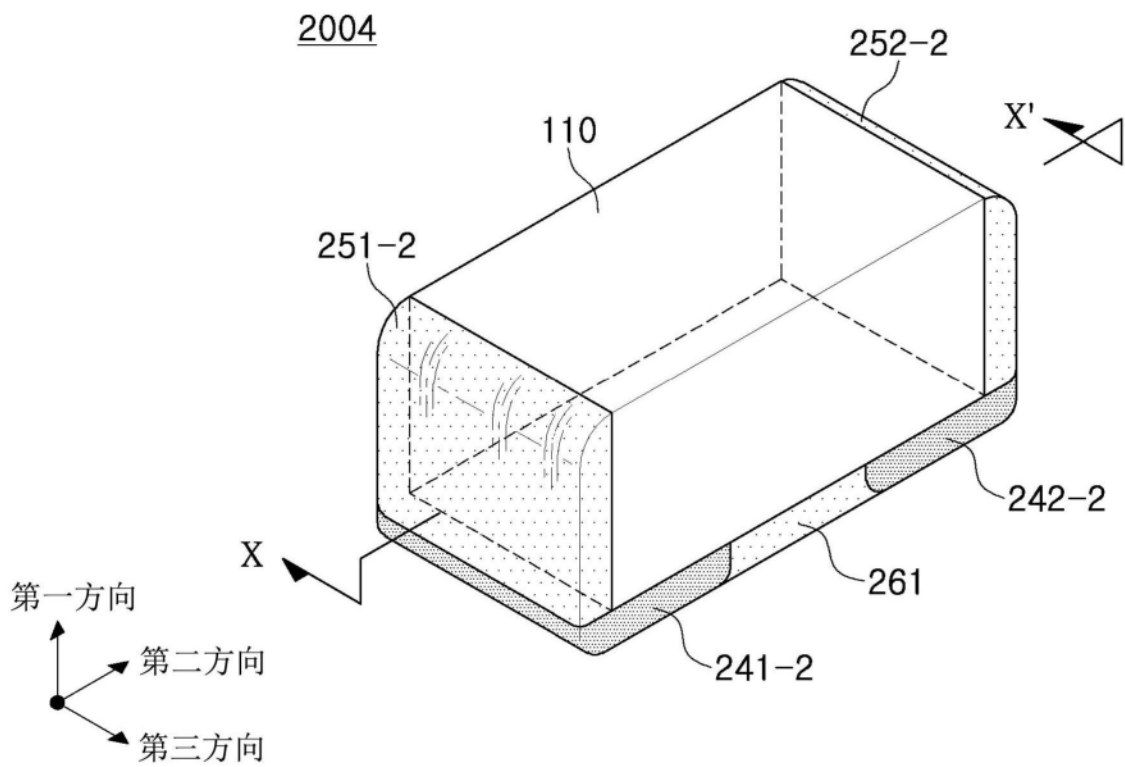


图25

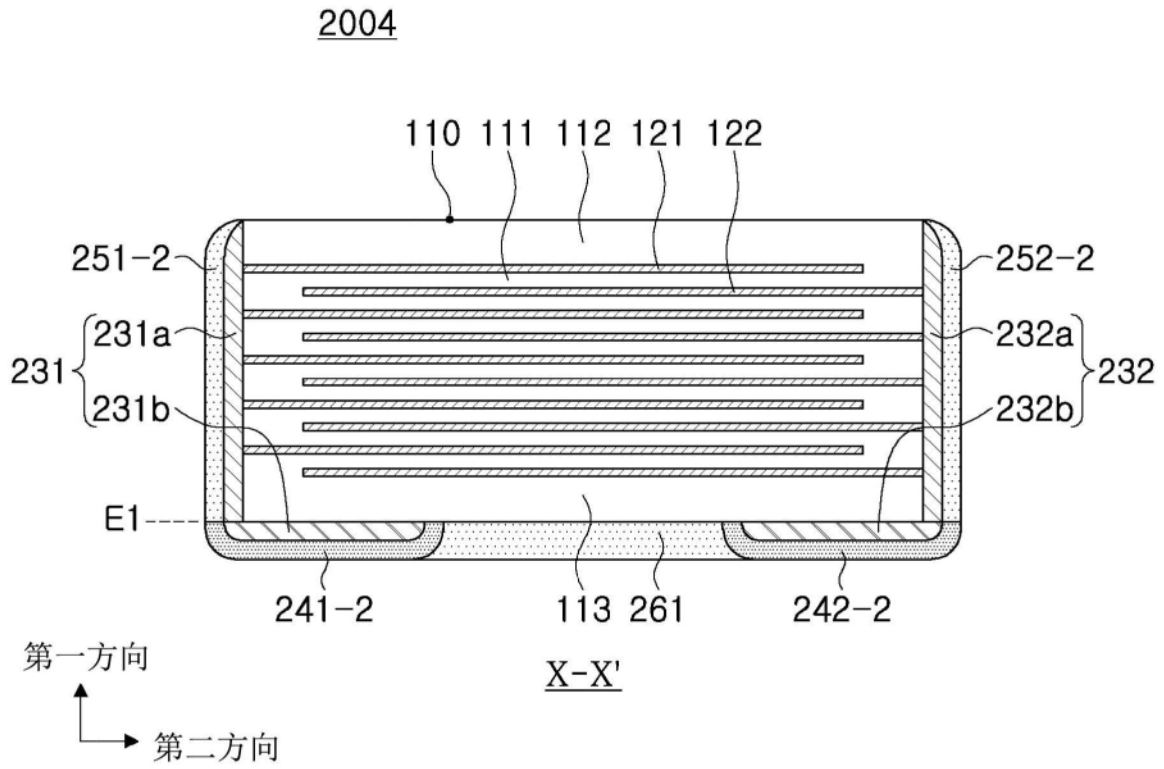


图26

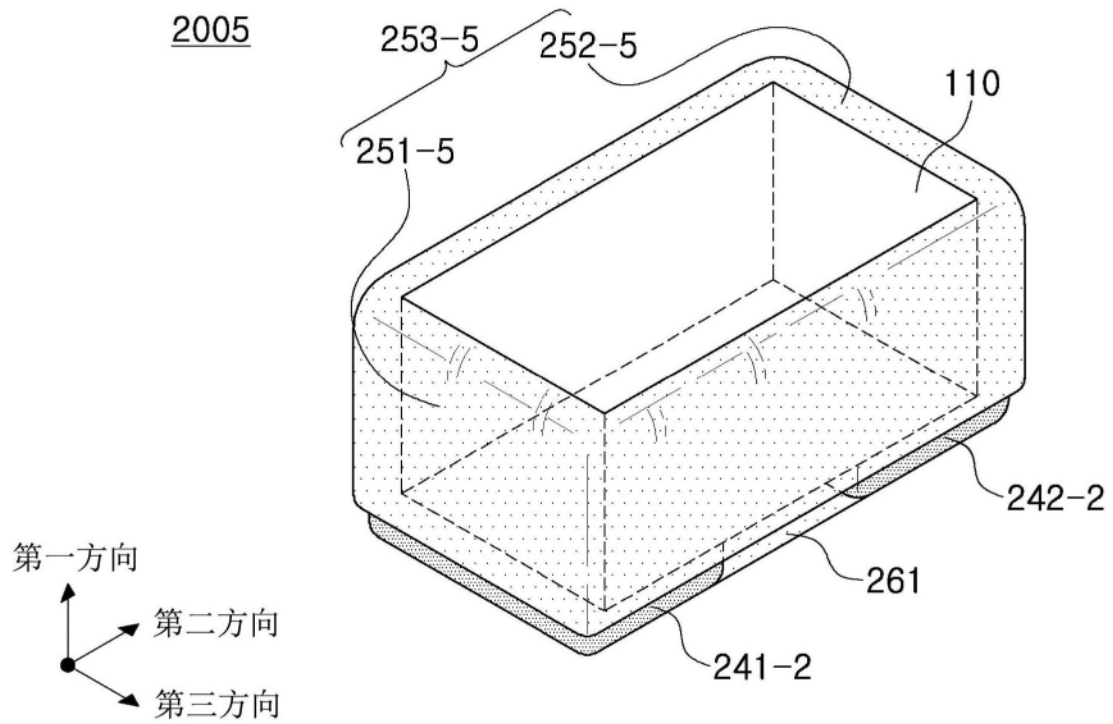


图27

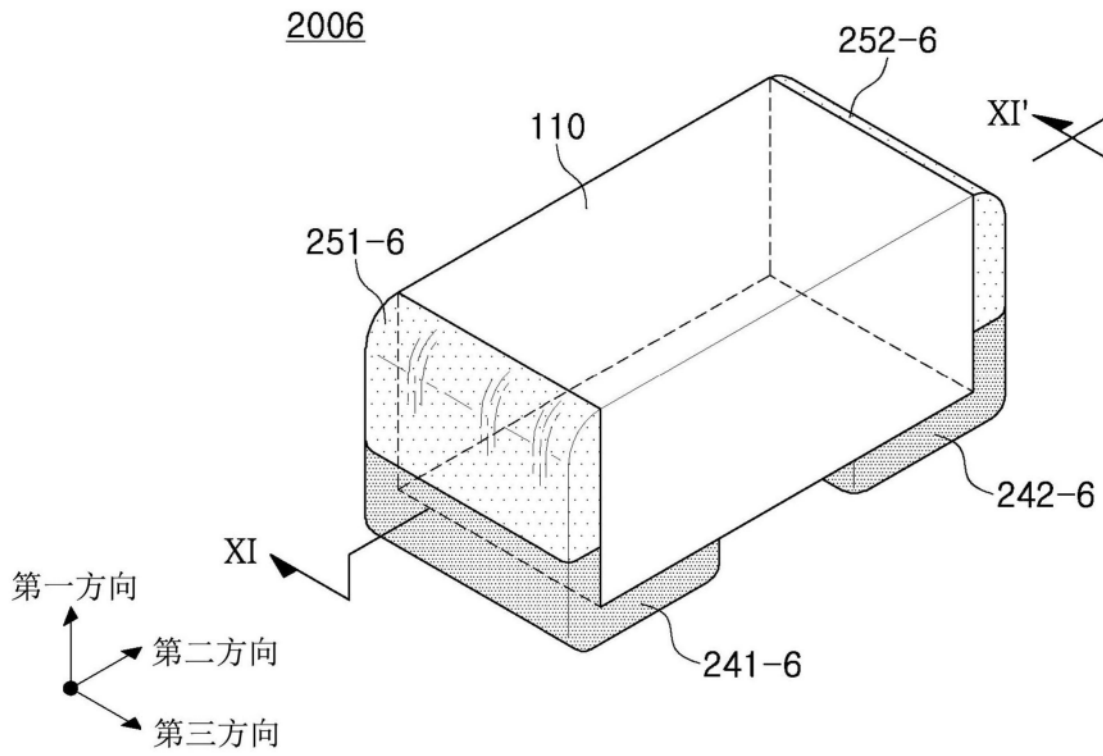


图28

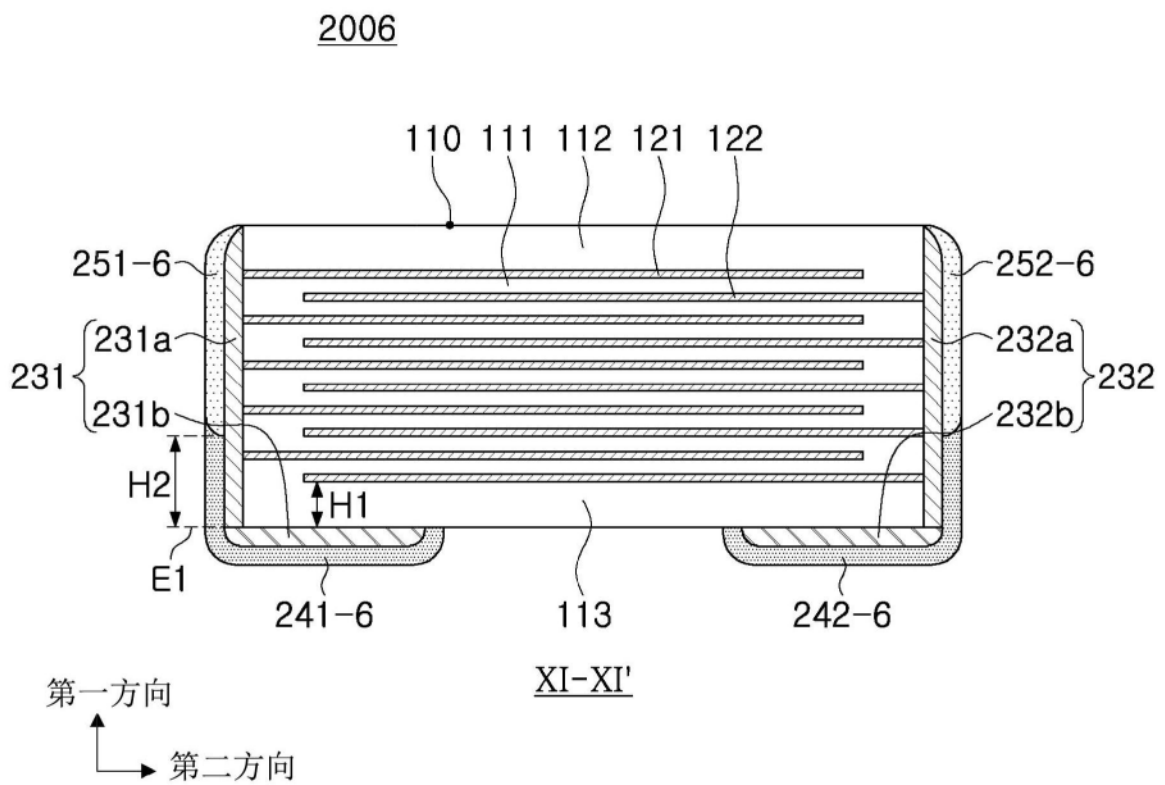


图29

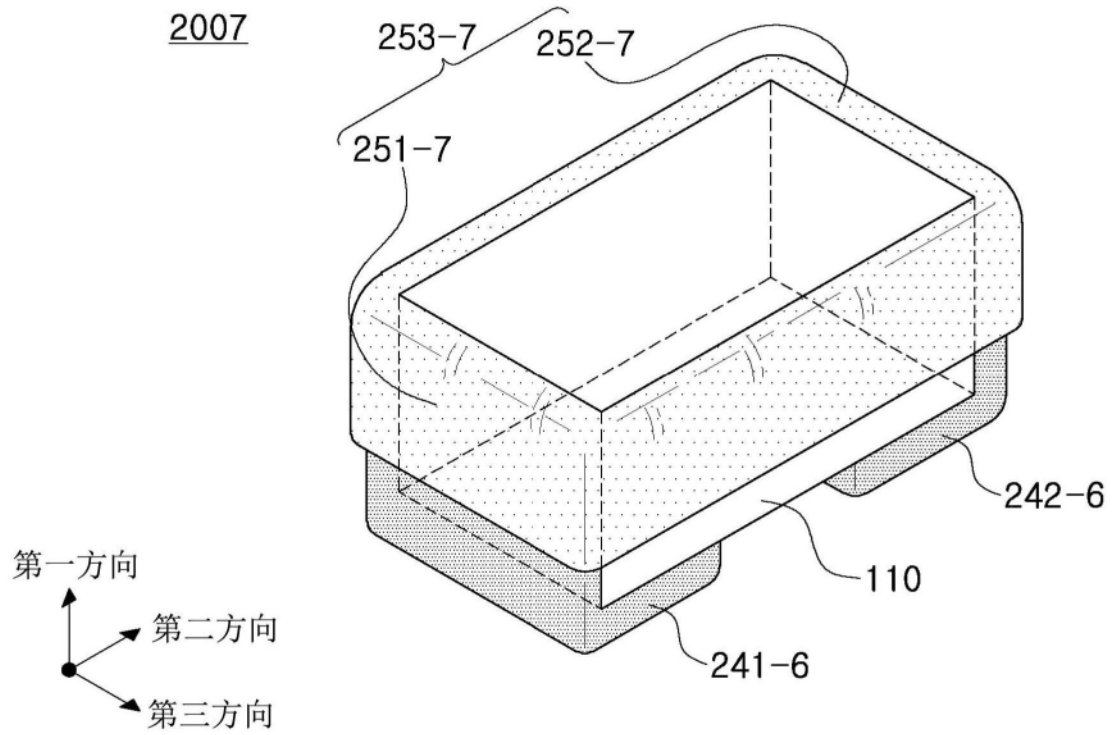


图30

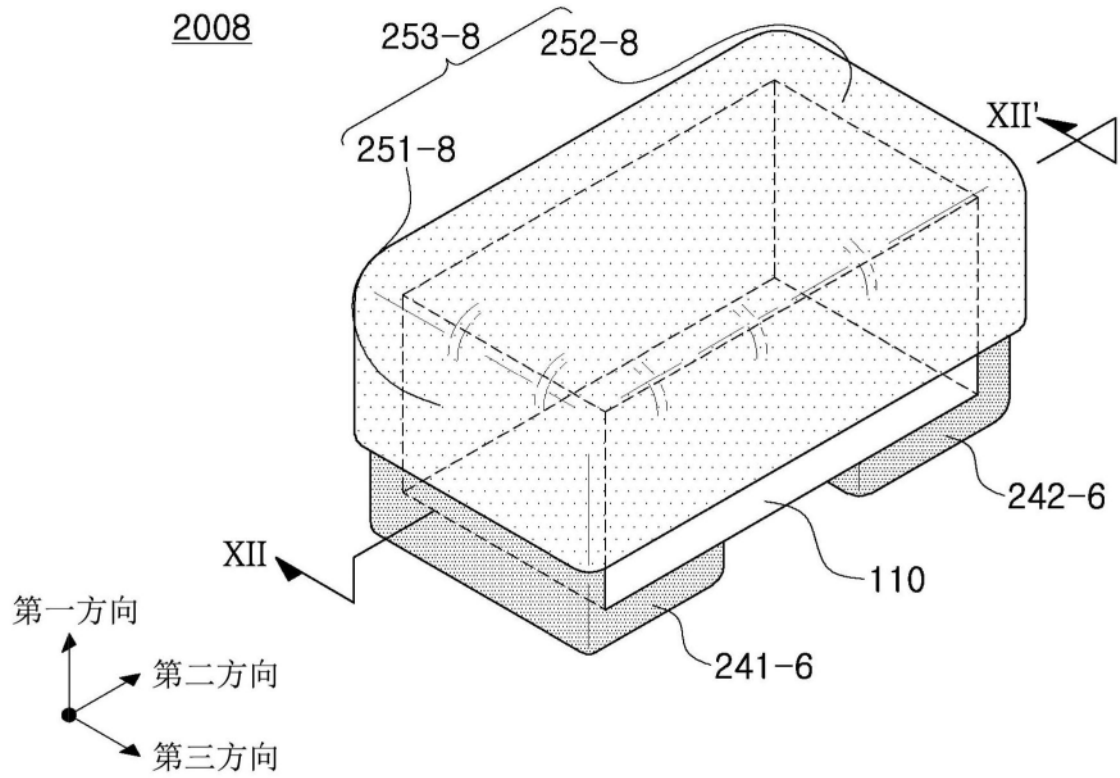


图31

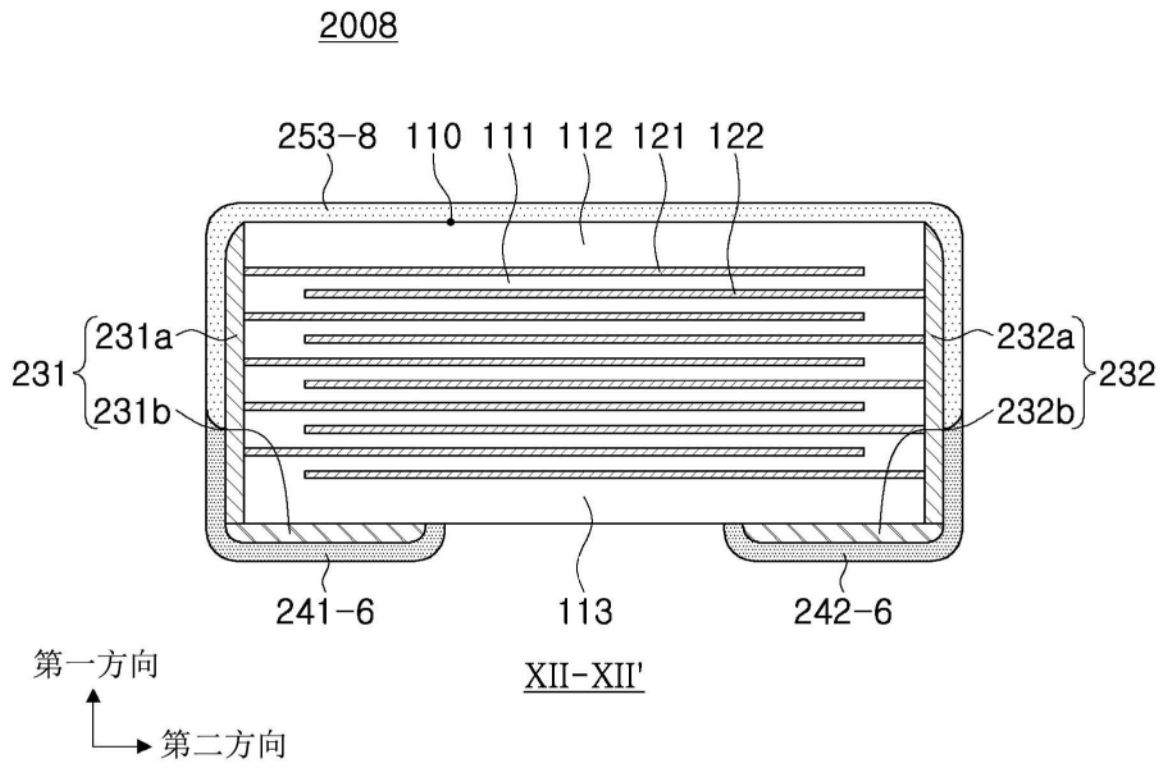


图32

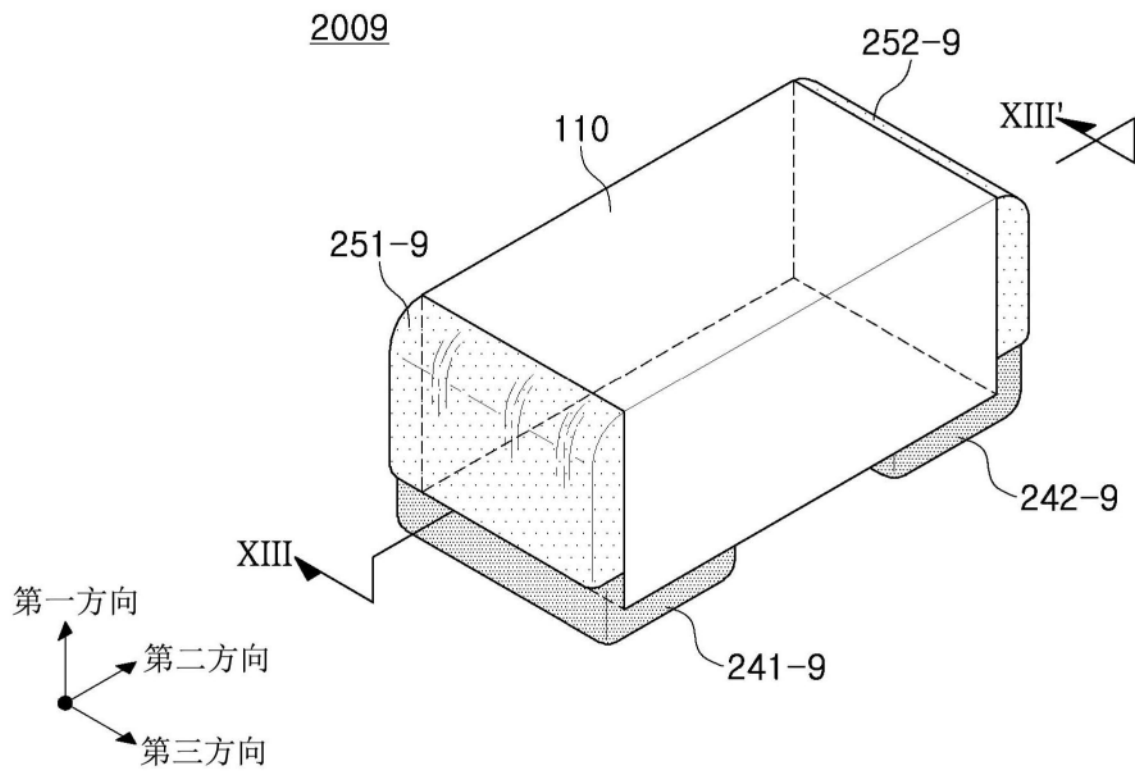


图33

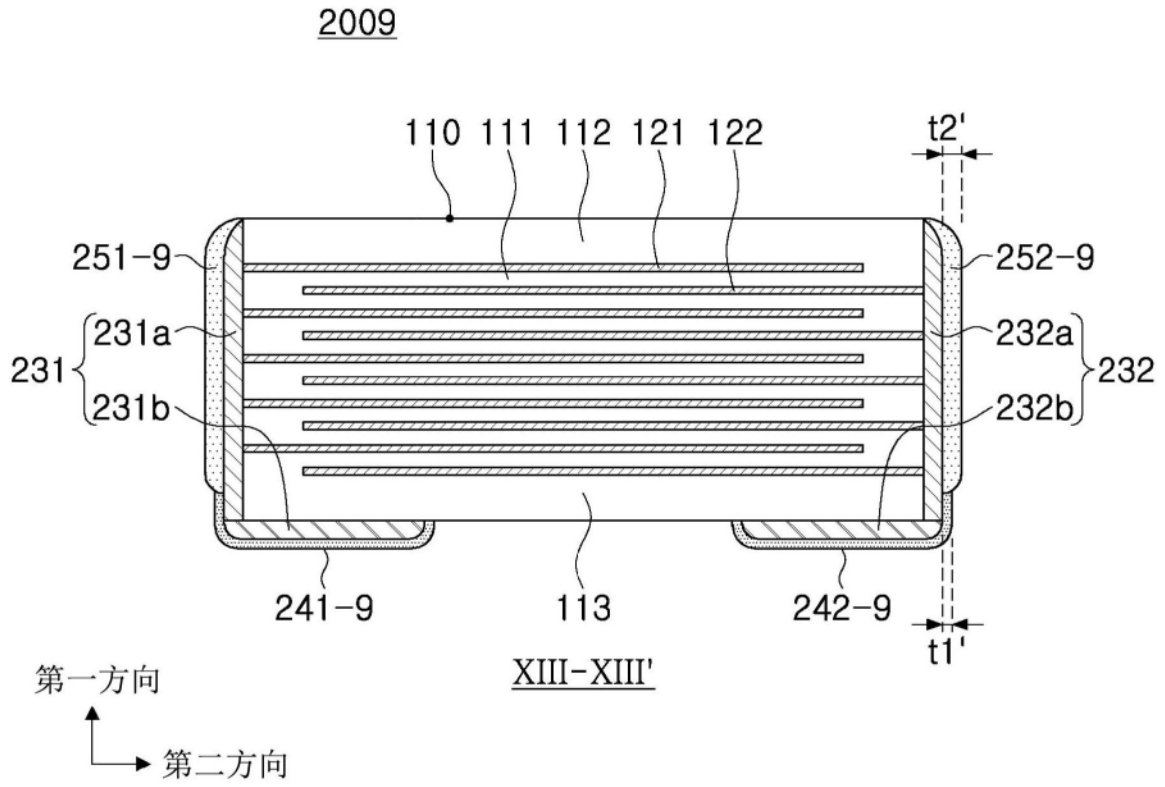


图34

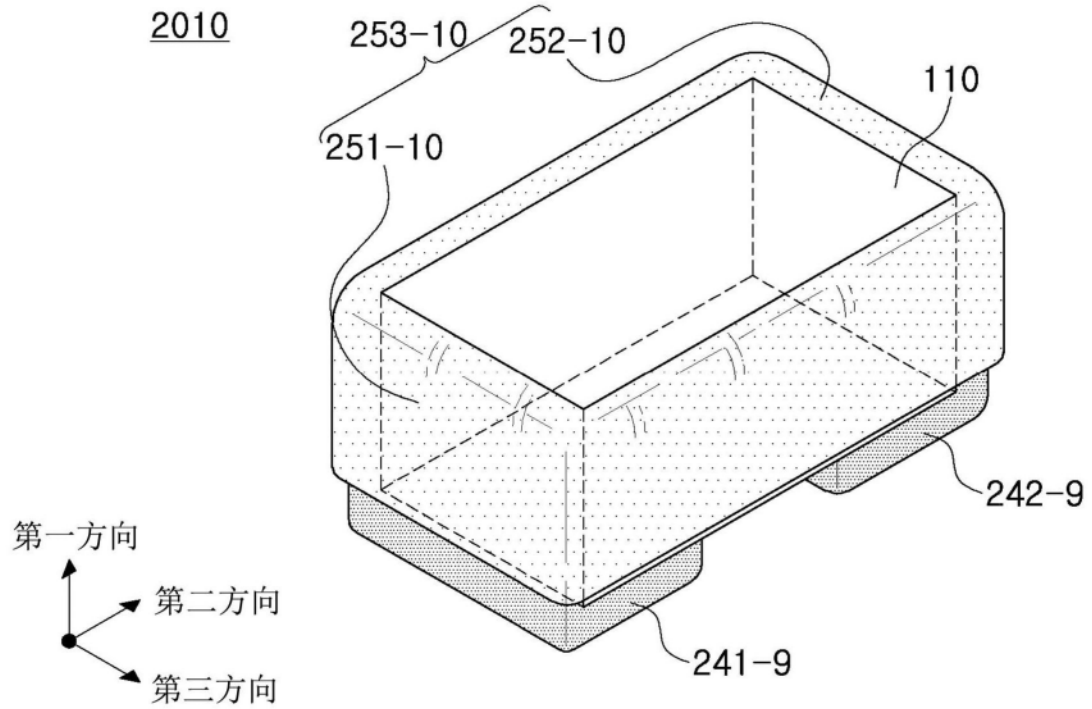


图35

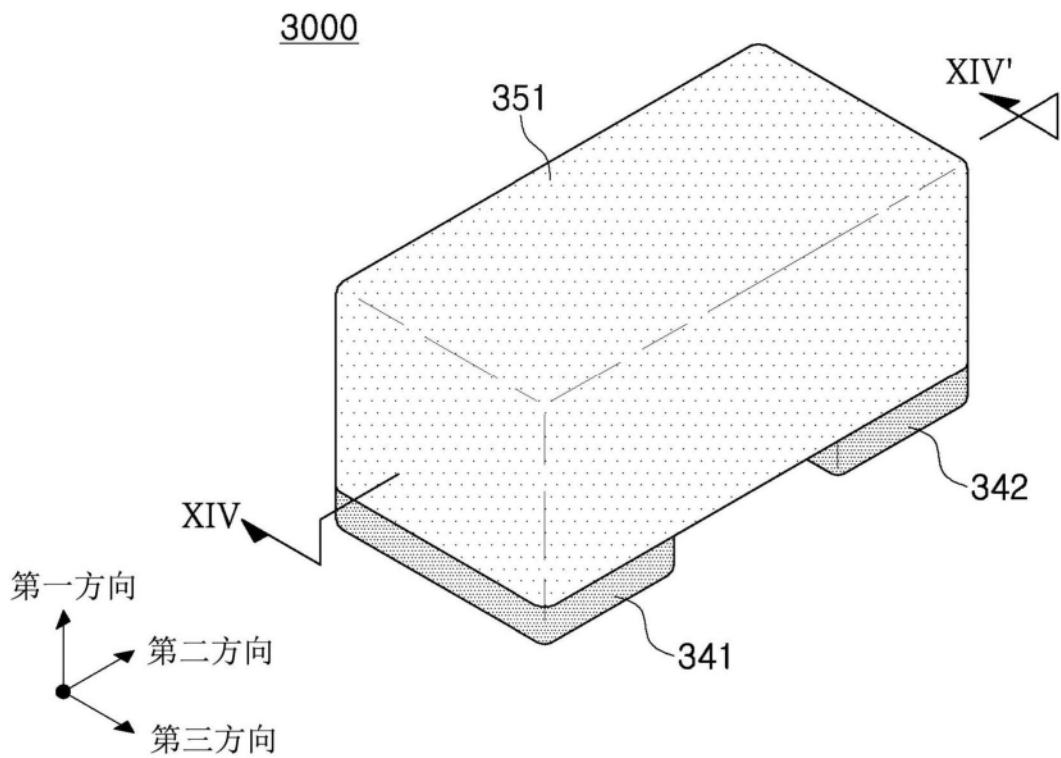


图36

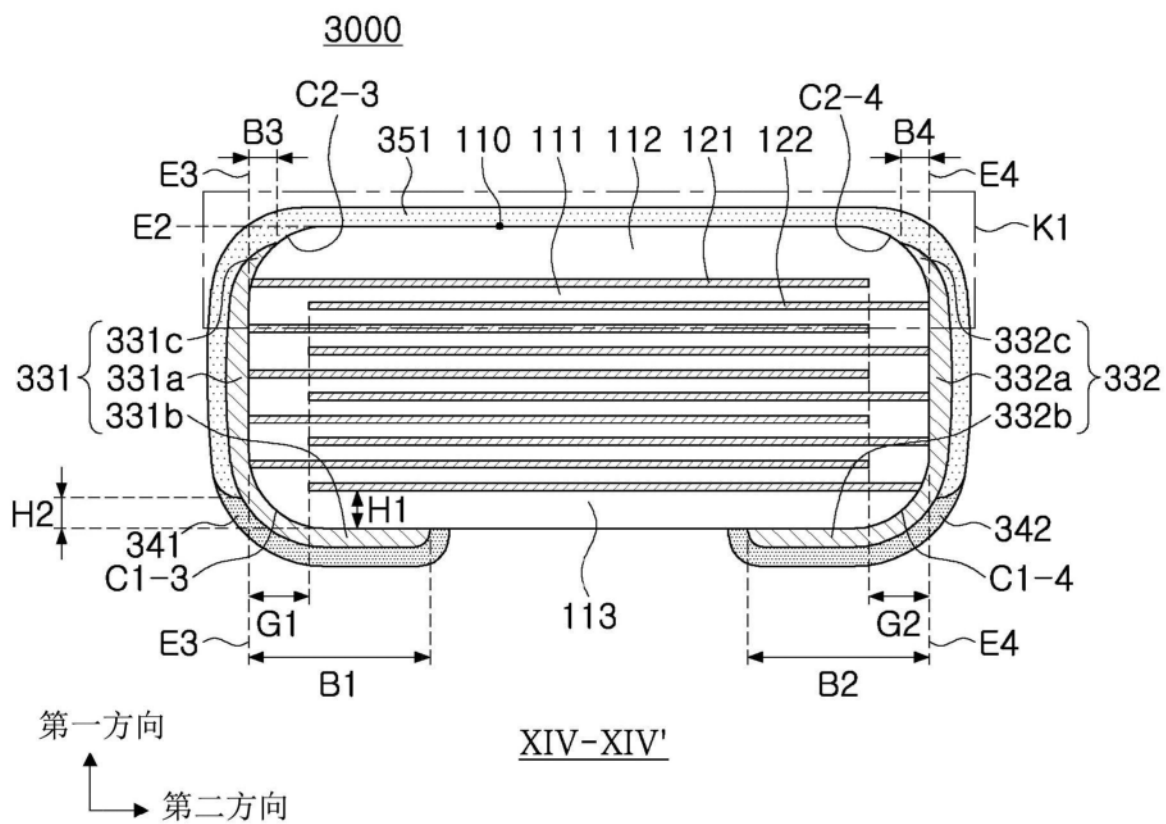


图37

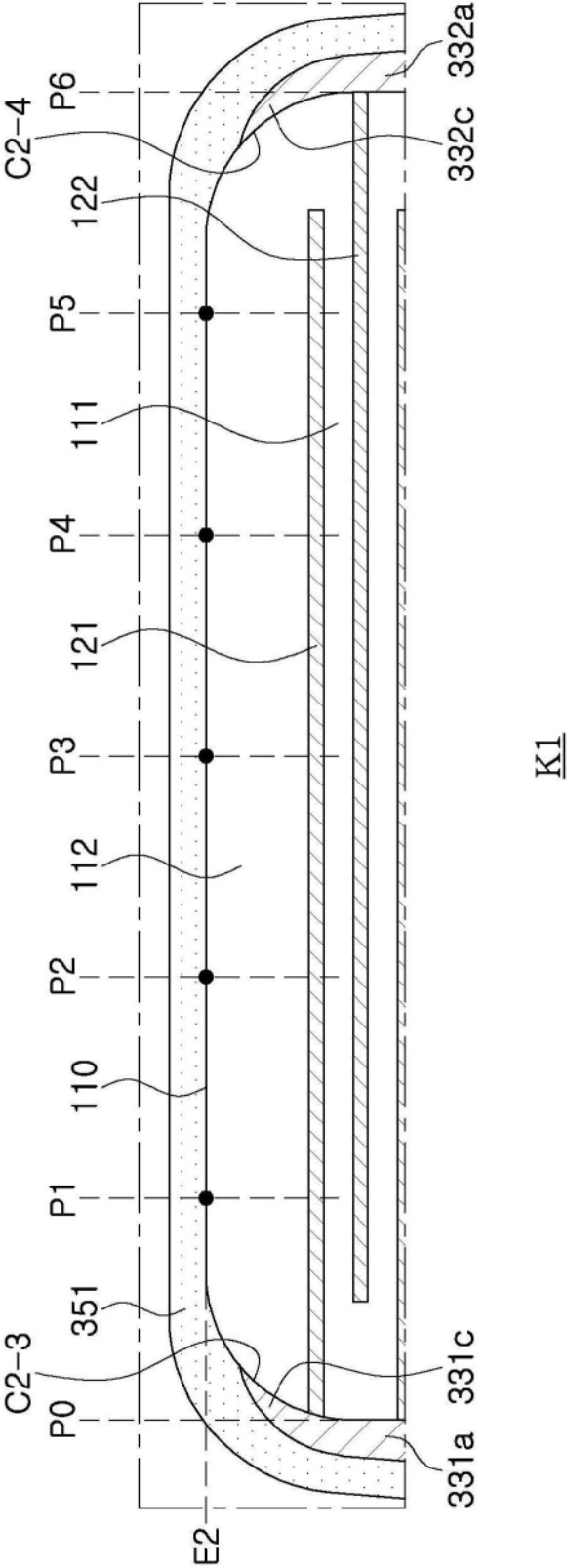


图38