



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월05일
(11) 등록번호 10-0781874
(24) 등록일자 2007년11월27일

(51) Int. Cl.

H01L 21/768 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2006-0134080
(22) 출원일자 2006년12월26일
심사청구일자 2006년12월26일

(56) 선행기술조사문헌
KR1020060074994 A
KR625216 B1
KR1020060127515 A
KR20050045715 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

황창연

경기도 이천시 대월면 사동리 386-72 현대5차 504동 503호

안현

서울특별시 송파구 잠실동 248-17

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 12 항

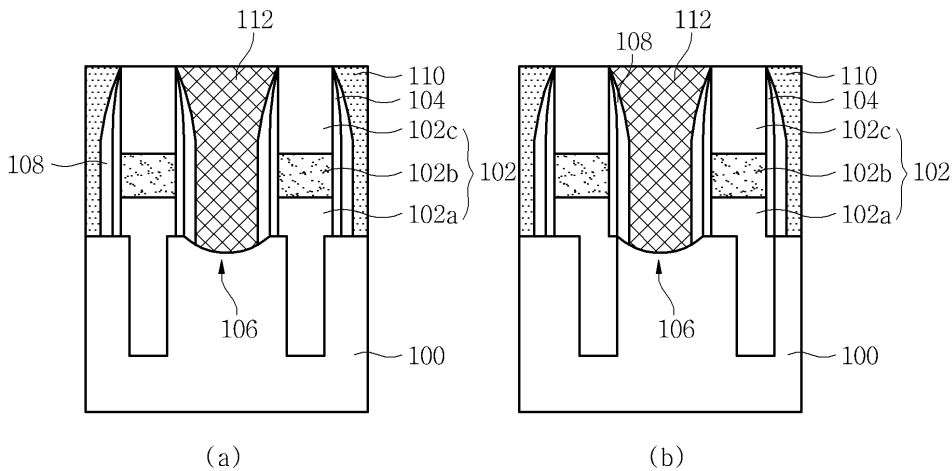
심사관 : 김상걸

(54) 반도체 소자의 제조방법

(57) 요약

본 발명은 반도체 소자의 제조방법에 관한 것으로, 랜딩플러그 콘택 형성시 SAC 페일을 방지하기 위해, 반도체 기관 상부에 리세스 게이트를 형성하는 단계와, 리세스 게이트 측벽에 제 1 스페이서를 형성하는 단계와, 랜딩플러그 콘택 예정영역의 반도체 기관을 식각하여 둥근 모양의 트렌치를 형성하는 단계와, 제 1 스페이서 상부 및 트렌치 측벽에 제 2 스페이서를 형성하는 단계와, 전체 표면 상부에 층간절연막을 형성하고, 층간절연막을 선택적으로 식각하여 랜딩플러그 콘택홀을 형성하는 단계와, 랜딩플러그 콘택홀에 도전막을 매립하여 랜딩플러그를 형성하는 단계를 포함하여 리세스 영역과 리세스 게이트 간에 오정렬이 발생하는 경우에도 SAC 페일을 방지하여 소자 특성을 향상시킬 수 있고, 수율 증대 및 공정 마진을 확보할 수 있는 기술이다.

대표도 - 도2c



특허청구의 범위

청구항 1

반도체 기판에 리세스 게이트를 형성하는 단계;

상기 리세스 게이트 측벽에 제 1 스페이서를 형성하는 단계;

랜딩플러그 콘택 예정영역의 상기 반도체 기판을 식각하여 둥근 모양의 트렌치를 형성하는 단계;

상기 제 1 스페이서 상부 및 상기 트렌치 측벽에 제 2 스페이서를 형성하는 단계;

전체 표면 상부에 층간절연막을 형성하고, 상기 층간절연막을 선택적으로 식각하여 랜딩플러그 콘택홀을 형성하는 단계; 및

상기 랜딩플러그 콘택홀에 도전막을 매립하여 랜딩플러그를 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 1 스페이서는 50~100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제 1 항에 있어서, 상기 트렌치를 형성하는 단계에서의 식각공정은 화학적 식각(Chemical etch) 방법으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제 1 항에 있어서, 상기 트렌치를 형성하는 단계에서의 식각공정은 500~3000W의 파워, 500~2000mT의 압력 하에서 NF₃, O₂ 및 He의 혼합 가스 분위기에서 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

제 1 항에 있어서, 상기 트렌치는 50~200Å의 깊이로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제 1 항에 있어서, 상기 제 2 스페이서는 130~300Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

제 1 항에 있어서, 상기 층간절연막은 BPSG(Boro-Phospho-Silicate-Glass)막을 3000~8000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8

제 1 항에 있어서, 상기 층간절연막을 형성하는 단계 이후에 상기 층간절연막에 대한 습식어닐(anneal) 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9

제 1 항에 있어서, 상기 층간절연막 식각공정은 500~2000W의 파워, 10~150mT의 압력 하에서 CF₄, CHF₃, O₂, N₂, C₄F₆ 및 Ar의 혼합 가스 분위기로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

제 1 항에 있어서, 상기 랜딩플러그 콘택홀을 형성하는 단계 이후에 습식세정 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

제 10 항에 있어서, 상기 습식세정 공정은 황산(H₂SO₄)과 과산화수소수(H₂O₂)가 혼합된 BOE 용액을 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12

제 1 항에 있어서, 상기 도전막은 폴리실리콘층을 1000~3000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <3> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 반도체 소자의 랜딩 플러그 콘택(LPC; Landing Plug Contact) 형성방법에 관한 것이다.
- <4> 반도체 소자의 집적도가 증가함에 따라 게이트와 같은 전도라인 간의 간격이 좁아지고 있으며, 이에 따라 콘택 공정 마진이 줄어들고 있다. 이러한 콘택 공정 마진을 확보하기 위하여 자기정렬콘택(Self Aligned Contact; SAC) 공정을 진행하고 있다.
- <5> 도 1a 및 도 1b는 종래기술에 따른 반도체 소자의 제조방법을 도시한 단면도이다.
- <6> 도 1a를 참조하면, 반도체 기판(10)에 활성영역을 정의하는 소자분리막(미도시)을 구비한다.
- <7> 그 다음, 리세스 영역을 정의하는 마스크(미도시)를 이용한 사진 식각공정으로 상기 반도체 기판(10)을 소정깊이 식각하여 리세스 영역(미도시)을 형성한다.
- <8> 그 다음, 상기 리세스 영역 내측에 게이트 절연막(미도시)을 형성하고, 게이트 절연막 상에 게이트 폴리실리콘층(12a), 게이트 텅스텐층(12b) 및 게이트 하드마스크층(12c)이 적층된 구조의 리세스 게이트(12)를 형성한다.
- <9> 그 다음, 상기 리세스 게이트(12) 측벽에 게이트 스페이서(14)를 형성한다.
- <10> 그 다음, 전면에 층간절연막(16)을 형성하고, 자기정렬콘택(SAC) 식각 공정으로 상기 층간절연막(16)을 식각하여 상기 활성영역을 노출시키는 랜딩플러그 콘택홀(미도시)을 형성한다.
- <11> 그 다음, 상기 랜딩플러그 콘택홀에 도전막을 매립하여 랜딩플러그(18)를 형성한다.
- <12> 그런데, 도 1b에 도시된 바와 같이, 상기 리세스 게이트(12)와 리세스 영역이 오정렬되는 경우나, 후속 세정공정시 리세스 영역 상부의 선폭(CD)이 확장되는 경우 또는 상기 리세스 게이트(12)의 선폭(CD)이 작게 형성되는 경우 리세스 영역이 리세스 게이트(12)에 의해 완전히 커버되지 못하고, 일부 노출된다.
- <13> 이 경우, 자기정렬콘택(SAC) 식각 공정시 리세스 영역과 랜딩플러그(18) 간에 중첩 마진이 부족하여 리세스 게이트(12)와 랜딩플러그(18) 간에 SAC 페일(A)이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <14> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 랜딩플러그 콘택 형성시 SAC 페일을 방지할 수 있는 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <15> 상기 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 제조방법은,
- <16> 반도체 기판 상부에 리세스 게이트를 형성하는 단계와,
- <17> 상기 리세스 게이트 측벽에 제 1 스페이서를 형성하는 단계와,

- <18> 랜딩플러그 콘택 예정영역의 상기 반도체 기판을 식각하여 둥근 모양의 트렌치를 형성하는 단계와,
- <19> 상기 제 1 스페이서 상부 및 상기 트렌치 측벽에 제 2 스페이서를 형성하는 단계와,
- <20> 전체 표면 상부에 층간절연막을 형성하고, 상기 층간절연막을 선택적으로 식각하여 랜딩플러그 콘택홀을 형성하는 단계와,
- <21> 상기 랜딩플러그 콘택홀에 도전막을 매립하여 랜딩플러그를 형성하는 단계
- <22> 를 포함하는 것을 특징으로 한다.
- <23> 그리고, 본 발명에 따른 반도체 소자의 제조방법에 있어서,
- <24> 상기 제 1 스페이서는 50~100Å의 두께로 형성하는 것과,
- <25> 상기 트렌치를 형성하는 단계에서의 식각공정은 화학적 식각(Chemical etch) 방법으로 수행하는 것과,
- <26> 상기 트렌치를 형성하는 단계에서의 식각공정은 500~3000W의 파워, 500~2000mT의 압력 하에서 NF₃, O₂ 및 He의 혼합 가스 분위기에서 수행하는 것과,
- <27> 상기 트렌치는 50~200Å의 깊이로 형성하는 것과,
- <28> 상기 제 2 스페이서는 130~300Å의 두께로 형성하는 것과,
- <29> 상기 층간절연막은 BPSG(Boro-Phospho-Silicate-Glass)막을 3000~8000Å의 두께로 형성하는 것과,
- <30> 상기 층간절연막을 형성하는 단계 이후에 상기 층간절연막에 대한 습식어닐(anneal) 공정을 수행하는 단계를 더 포함하는 것과,
- <31> 상기 층간절연막 식각공정은 500~2000W의 파워, 10~150mT의 압력 하에서 CF₄, CHF₃, O₂, N₂, C₄F₆ 및 Ar의 혼합 가스 분위기로 수행하는 것과,
- <32> 상기 랜딩플러그 콘택홀을 형성하는 단계 이후에 습식세정 공정을 수행하는 단계를 더 포함하는 것과,
- <33> 상기 습식세정 공정은 황산(H₂SO₄)과 과산화수소수(H₂O₂)가 혼합된 BOE 용액을 이용하여 수행하는 것과,
- <34> 상기 도전막은 폴리실리콘층을 1000~3000Å의 두께로 형성하는 것을 특징으로 한다.
- <35> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하도록 한다.
- <36> 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조방법을 도시한 단면도로서, (a)는 리세스 게이트와 리세스 영역이 정렬된 경우를 도시한 것이며, (b)는 리세스 게이트와 리세스 영역이 오정렬된 경우를 도시한 것이다.
- <37> 도 2a를 참조하면, 반도체 기판(100)에 활성영역을 정의하는 소자분리막(미도시)을 형성한다.
- <38> 그 다음, 리세스 영역을 정의하는 마스크를 이용한 사진 식각공정으로 상기 반도체 기판(100)을 소정깊이 식각하여 리세스 영역(미도시)을 형성한다.
- <39> 그 다음, 상기 리세스 영역 내측에 게이트 절연막(미도시)을 형성하고, 상기 게이트 절연막 상에 게이트 폴리실리콘층(미도시), 게이트 텅스텐층(미도시) 및 게이트 하드마스크층(미도시)을 형성한다.
- <40> 이때, 상기 게이트 폴리실리콘층은 500~2000Å의 두께로 형성하고, 상기 게이트 텅스텐층은 500~1500Å의 두께로 형성하며, 상기 게이트 하드마스크층은 질화막을 1000~3000Å의 두께로 형성하는 것이 바람직하다.
- <41> 여기서, 도면에는 도시되지 않았으나, 상기 게이트 폴리실리콘층과 상기 게이트 텅스텐층 사이에 베리어 금속층으로 Ti/WN/TiN층을 100~500Å의 두께로 형성할 수 있다.
- <42> 그 다음, 상기 게이트 하드마스크층 상부에 제 1 하드마스크층(미도시), 제 1 감광막(미도시)을 형성한다.
- <43> 이때, 상기 제 1 하드마스크층은 비정질 탄소(amorphous-Carbon)층으로 형성하는 것이 바람직하다.
- <44> 그 다음, 게이트 마스크로 상기 제 1 감광막을 노광 및 현상하여 제 1 감광막 패턴(미도시)을 형성한다.
- <45> 그 다음, 상기 제 1 감광막 패턴을 마스크로 상기 제 1 하드마스크층, 상기 게이트 하드마스크층, 상기 게이트 텅스텐층 및 상기 게이트 폴리실리콘층을 식각하여 제 1 하드마스크층 패턴(미도시), 게이트 하드마스크층 패턴

(102c), 게이트 텅스텐층 패턴(102b) 및 게이트 폴리실리콘층 패턴(102a)을 형성한다.

- <46> 이때, 상기 게이트 하드마스크층 식각공정은 100~1500W의 파워, 1~20mT의 압력 하에서 CF₄, CHF₃, O₂, Ar 및 SF₆의 혼합 가스 분위기에서 수행하고, 상기 게이트 텅스텐층 식각공정은 10~1500W의 파워, 2~20mT의 압력 하에서 NF₃, Cl₂, O₂, N₂ 및 He의 혼합 가스 분위기에서 수행하는 것이 바람직하다.
- <47> 그 다음, 상기 제 1 감광막 패턴 및 상기 제 1 하드마스크층 패턴을 제거하여 상기 게이트 하드마스크층 패턴(102c), 게이트 텅스텐층 패턴(102b), 게이트 폴리실리콘층 패턴(102a)으로 이루어진 리세스 게이트(102)를 형성한다.
- <48> 그 다음, 전체 표면 상부에 제 1 질화막(미도시)을 형성하고, 식각 및 세정을 포함하는 제 1 스페이서 공정을 진행하여 상기 리세스 게이트(102) 측벽에 제 1 스페이서(104)를 형성한다.
- <49> 이때, 상기 제 1 스페이서(104)는 50~100Å의 두께로 형성하는 것이 바람직하다.
- <50> 그 다음, 화학적 식각(Chemical etch) 공정으로 랜딩플러그 예정영역의 상기 반도체 기판(100)을 식각하여 둥근 모양의 트렌치(106)를 형성한다.
- <51> 여기서, 화학적 식각은 피식각층과 플라즈마 상태에서 화학적으로 반응이 잘 일어나는 가스를 선택하여 플라즈마를 발생시키고, 그 플라즈마 내의 활성화된 중성의 라디칼(radical)을 이용하여 식각하는 방법이다.
- <52> 이때, 상기 화학적 식각공정은 500~3000W의 파워, 500~2000mT의 압력 하에서 NF₃, O₂ 및 He의 혼합 가스를 분위기에서 수행하는 것이 바람직하다.
- <53> 그리고, 상기 트렌치(106)는 50~200Å의 깊이로 형성하는 것이 바람직하다.
- <54> 도 2b를 참조하면, 상기 제 1 스페이서(104) 상부 및 상기 트렌치(106) 측벽에 제 2 스페이서(108)를 형성한다.
- <55> 이때, 상기 제 2 스페이서(108)는 후속 습식세정 공정시 습식액에 의해 상기 리세스 영역 상부의 선풍(CD)이 확장되는 것을 방지하기 위한 베리어막의 역할을 수행하며, 130~300Å의 두께로 형성하는 것이 바람직하다.
- <56> 그 다음, 전체 표면 상부에 층간절연막(110)을 형성한다.
- <57> 이때, 상기 층간절연막(110)은 BPSG(Boro-Phospho-Silicate-Glass)막을 3000~8000Å의 두께로 형성하는 것이 바람직하다.
- <58> 그 다음, 상기 층간절연막(110)의 막질을 치밀화하기 위한 습식어닐(anneal) 공정을 수행한다.
- <59> 그 다음, 상기 게이트 하드마스크층 패턴(102c)이 노출될 때까지 평탄화 공정을 수행하여 상기 층간절연막(110)을 평탄화시킨다.
- <60> 여기서, 상기 평탄화 공정은 화학적기계적연마(CMP; Chemical Mechanical Polishing) 방법으로 수행하는 것이 바람직하다.
- <61> 그 다음, 상기 층간절연막(110) 상부에 제 2 하드마스크층(미도시), 제 2 감광막(미도시)을 형성한다.
- <62> 이때, 상기 제 2 하드마스크층은 비정질 탄소(amorphous-Carbon)층으로 형성하는 것이 바람직하다.
- <63> 그 다음, 랜딩플러그 콘택마스크(미도시)로 상기 제 2 감광막을 노광 및 현상하여 제 2 감광막 패턴(미도시)을 형성한다.
- <64> 그 다음, 상기 제 2 감광막 패턴을 마스크로 상기 제 2 하드마스크층 및 상기 층간절연막(110)을 식각하여 제 2 하드마스크층 패턴(미도시) 및 랜딩플러그 콘택홀(미도시)을 형성한다.
- <65> 이때, 상기 층간절연막(110) 식각공정은 500~2000W의 파워, 10~150mT의 압력 하에서 CF₄, CHF₃, O₂, N₂, C₄F₆ 및 Ar의 혼합 가스 분위기로 수행하는 것이 바람직하다.
- <66> 그 다음, 상기 제 2 감광막 패턴 및 상기 제 2 하드마스크층 패턴을 제거한 후, 습식세정 공정을 실시한다.
- <67> 이때, 상기 습식세정 공정은 상기 층간절연막(110) 식각시 발생한 폴리머(polymer) 제거 및 랜딩플러그 콘택홀의 크기를 증가시키기 위해 실시하는 것으로, 황산(H₂SO₄)과 과산화수소수(H₂O₂)가 혼합된 BOE 용액을 습식액으로 이용하여 수행하는 것이 바람직하다.
- <68> 그 다음, 상기 랜딩플러그 콘택홀에 도전막을 매립하여 랜딩플러그(112)를 형성한다.

- <69> 이때, 상기 도전막은 폴리실리콘층을 1000~3000Å의 두께로 형성하는 것이 바람직하다.
- <70> 그 다음, 평탄화 공정을 수행하여 상기 도전막 상부를 평탄화시킴과 동시에 이웃하는 랜딩플러그(112)와 분리시킨다.
- <71> 상술한 바와 같이, 본 발명에 따른 반도체 소자의 제조방법은 화학적 식각공정으로 랜딩플러그 콘택 예정영역에 얇은 트렌치를 형성하고, 트렌치 측벽에 스페이서를 형성함으로써 리세스 게이트와 리세스 영역이 오정렬되는 경우에도 후속 습식세정 공정시 습식액에 의한 리세스영역 상부의 선폭(CD)이 확장되는 것을 방지한다. 따라서, SAC 페일을 방지하고, 랜딩플러그 콘택의 크기를 증가시킬 수 있어 수율 증대 및 소자 특성이 향상된다.

발명의 효과

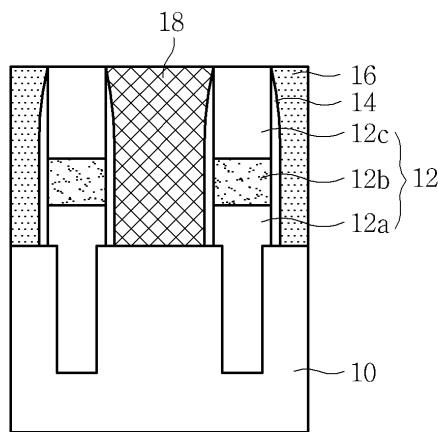
- <72> 이상에서 살펴본 바와 같이, 본 발명에 따른 반도체 소자의 제조방법은 리세스 게이트 측벽에 제 1 스페이서를 형성하고, 랜딩플러그 콘택 예정영역에 둥근모양의 얇은 트렌치를 형성한 후, 제 1 스페이서 상부 및 트렌치 측벽에 제 2 스페이서를 형성함으로써 리세스 영역과 리세스 게이트 간에 오정렬이 발생하는 경우에도 SAC 페일을 방지하여 소자 특성을 향상시킬 수 있고, 수율 증대 및 공정 마진을 확보할 수 있는 효과를 제공한다.
- <73> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

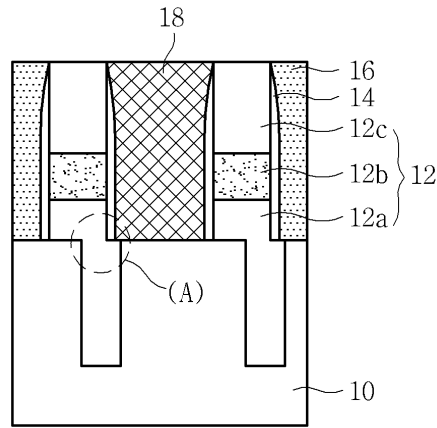
- <1> 도 1a 및 도 1b는 종래기술에 따른 반도체 소자의 제조방법을 도시한 단면도.
- <2> 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조방법을 도시한 단면도.

도면

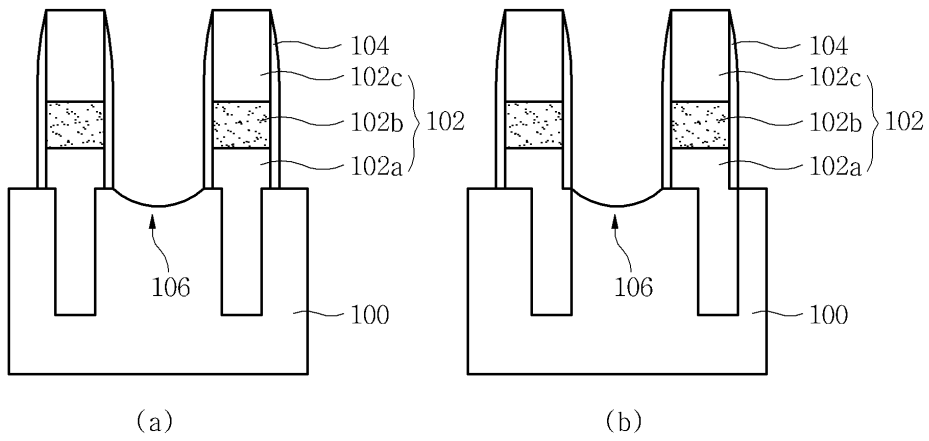
도면1a



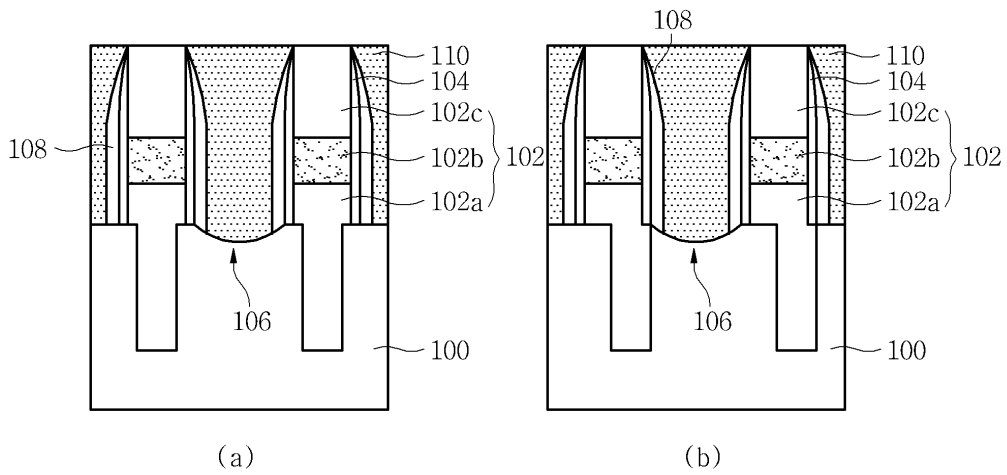
도면1b



도면2a



도면2b



도면2c

