

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2018年1月11日 (11.01.2018)

(10) 国际公布号
WO 2018/006779 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01L 27/092 (2006.01) H01L 21/8238 (2006.01)
H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2017/091509
- (22) 国际申请日: 2017年7月3日 (03.07.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610520971.8 2016年7月4日 (04.07.2016) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 杨雯 (YANG, Wen); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 张日清 (ZHANG, Riqing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 夏禹 (XIA, Yu); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ELECTRONIC DEVICE BASED ON TWO-DIMENSIONAL SEMICONDUCTOR AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种基于二维半导体的电子器件及其制造方法

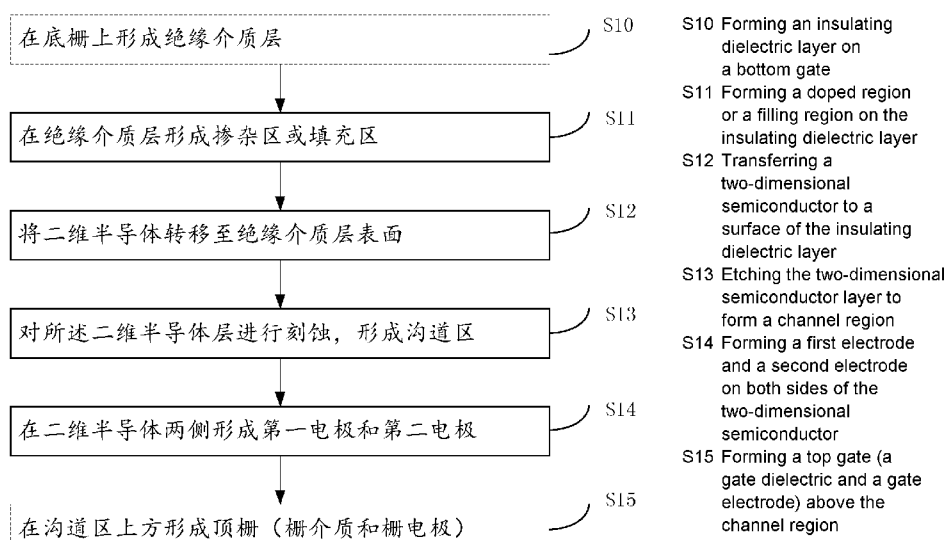


图 1

(57) Abstract: According to the embodiments of the present invention, the doping for a surrounding medium of a two-dimensional semiconductor or local filling of a solid material in the surrounding medium of the semiconductor is adopted to form a filling area, an electronic device based on a two-dimensional semiconductor is realized by using the doping effect of the doping area or the filling area for the characteristics of the two-dimensional semiconductor. According to the embodiments of the present invention, the doping for the two-dimensional semiconductor is not direct processing for the two-dimensional semiconductor, so that the damage of doping process



WO 2018/006779 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

for the two-dimensional semiconductor and the degeneration of device performance caused by the damage can be reduced effectively, thereby improving the stability of the device performance after doping.

(57) 摘要: 本发明实施例采用对二维半导体周围介质的掺杂或者在半导体周围介质局部填充固体材料形成填充区, 利用掺杂区或填充区对二维半导体特性的掺杂效应来实现基于二维半导体的电子器件。本发明实施例对二维半导体的掺杂不是对二维半导体的直接处理, 因此能够有效地降低掺杂过程对二维半导体造成的损伤及由此带来的器件性能退化, 提升掺杂后器件性能的稳定性的稳定性。

一种基于二维半导体的电子器件及其制造方法

技术领域

本发明涉及电子技术领域，特别涉及一种基于二维半导体的电子器件及其制造方法。

5

背景技术

新材料、新结构及新技术的应用，如应力硅、高 k 栅介质、金属栅、鳍栅场效应晶体管 (fin field effect transistor, 简称 FinFET) 和超薄沟道场效应晶体管 (ultra-thin body field effect transistor, 简称 UTB FET) 等的应用，使得晶体管在尺寸不断缩小的同时还可以实现性能的不
10 断提升。然而随着晶体管尺寸的继续缩小，尤其是在 10 nm 以下的尺寸，现有技术或许已经无法解决器件尺寸的缩小所带来的器件性能退化的问题。二维半导体材料的出现为器件尺寸的缩小带来了新的希望。单层或少数层的二维半导体材料拥有原子级的厚度，作为沟道区材料使用时能够大幅增强栅对沟道的控制力。并且，相比传统半导体材料，二维半导体材料在小尺寸器件中能够有效防止短沟道效应的发生。二维半导体材料的多样性也可以为有不同
15 要求的器件提供多种选择。因此，二维半导体材料被认为是未来集成电路中有望延续摩尔定律的重要材料。

对于二维半导体材料而言，如过渡金属硫族化合物 (transition metal dichalcogenides, 简称 TMDs)、三硒化二铋 (Bi_2Se_3)、黑磷等，适当的掺杂不仅能够根据器件的要求实现载流子浓度和类型的调控，而且能够有效降低与金属之间的接触电阻。然而由于单层及少数层的
20 二维半导体本身的厚度很小(单层 MoS_2 的厚度仅为 0.65 Å)，传统的半导体掺杂方法——离子注入已不适用于二维半导体材料。

现有技术的掺杂方法之一是替位式掺杂。通常做法是在二维半导体的生长过程中引入杂质，使杂质原子以替代二维半导体中某些原子的形式存在于二维半导体的晶格当中。例如，用铌原子替代部分钼原子，实现二硫化钼中掺杂铌原子。替位式掺杂具有稳定的掺杂效果，
25 但会为二维半导体的晶格带来大量损伤，导致二维半导体的场效应迁移率等电学性能的下降。

现有技术的掺杂方法之二是表面电荷转移，在二维半导体表面吸附一些特定的气体、液体分子或固体薄膜，通过吸附的分子与二维半导体之间的电荷转移实现对二维半导体的掺杂。例如，可以通过二氧化氮 (NO_2) 与二硒化钨 (WSe_2) 之间的电荷转移实现对 WSe_2 的 p 型
30 掺杂，可以通过碳酸铯 (Cs_2CO_3) 与二硫化钼 (MoS_2) 之间的电荷转移实现对 MoS_2 的 n 型掺杂。然而，基于表面电荷转移的掺杂方法容易受到周围环境的影响，导致掺杂效果不稳定。例如，使用 NO_2 对 WSe_2 掺杂后，表面吸附的 NO_2 在空气中难以保持稳定，因此会导致掺杂后器件性能的不稳定。而 MoS_2 表面覆盖的 Cs_2CO_3 薄膜在对 MoS_2 沟道有掺杂效应的同时，也会为器件源、漏之间的漏电流提供通道，导致器件漏电流的增加和开关比的减小。

现有技术的掺杂方法之三是采用等离子体对二维半导体进行处理，实现对二维半导体掺杂的效果。例如，采用六氟化硫 (SF_6) 等离子体对 MoS_2 进行处理，可以实现对 MoS_2 的 p
35 型掺杂。但是等离子体掺杂的过程对二维半导体表面的化学键有损伤作用，因此会对电子器件的电学性能产生负面影响。

因此需要进一步探索新的掺杂方法，在实现对二维半导体中载流子浓度和类型有效调控的同时，降低或消除掺杂对二维半导体电学性能方面的负面影响。

发明内容

本发明实施例提供了基于二维半导体的电子器件及其制造方法。

第一方面，提供了一种基于二维半导体的电子器件，所述电子器件包括：

5 绝缘介质层、沟道区、第一电极、第二电极，所述绝缘介质的材料为 SiO_2 或高 k 介质，所述沟道区为二维半导体层；所述绝缘介质层设置有掺杂区或填充区，所述掺杂区含有对所述二维半导体层具有掺杂效应的掺杂剂，所述填充区填充有对所述二维半导体层具有掺杂效应的固体材料，所述掺杂效应为 n 型掺杂或 p 型掺杂；所述二维半导体层位于所述绝缘介质层之上，且所述二维半导体层的至少一部分位于所述掺杂区或所述填充区之上。

10 结合第一方面，在第一种可实现方式中，所述电子器件为场效应晶体管，所述场效应晶体管还包括重掺杂硅层和栅区，所述重掺杂硅层位于所述绝缘介质层之下；所述第一电极为源极，所述第二电极为漏极，所述栅区包括栅介质和栅电极，所述栅介质位于所述沟道区之上，所述栅电极位于所述栅介质之上。位于沟道区上方的栅区通常也叫做顶栅。

结合第一方面的第一种可能的实现方式，在第二种可实现方式中，所述场效应晶体管为
15 CMOS 场效应晶体管；所述沟道区包括第一沟道区和第二沟道区，所述源极包括第一源极和第二源极，所述漏极包括第一漏极和第二漏极，所述栅区包括第一栅区和第二栅区，所述掺杂区包括第一掺杂区和第二掺杂区；

所述第一掺杂区的掺杂类型为 n 型掺杂，所述第一沟道区位于所述第一掺杂区之上，所述
20 第一源极和第一漏极位于所述第一沟道区的两侧，所述第一栅区包括第一栅介质和第一栅电极，所述第一栅介质位于所述第一沟道区之上，所述第一栅电极位于所述第一栅介质之上；这部分构成 nFET。

所述第二掺杂区的掺杂类型为 p 型掺杂，所述第二沟道区位于所述第二掺杂区之上，所述
25 第二源极和第二漏极位于所述第二沟道区的两侧，所述第二栅区包括第二栅介质和第二栅电极，所述第二栅介质位于所述第二沟道区之上，所述第二栅电极位于所述第二栅介质之上。这部分构成 pFET。

结合第一方面的第一种可能的实现方式，在第三种可实现方式中，所述晶体管为栅控 P-N
30 结，所述二维半导体在所述绝缘介质层上显示 n 型导电特性，所述掺杂区的掺杂类型为 p 型掺杂，所述掺杂区的面积小于所述沟道区的面积；或所述二维半导体在所述绝缘介质层上显示 p 型导电特性，所述掺杂区的掺杂类型为 n 型掺杂，所述掺杂区的面积小于所述沟道区的面积。

结合第一方面，在第四种可实现方式中，所述电子器件为薄膜晶体管，所述第一电极为
源极，所述第二电极为漏极，所述薄膜晶体管还包括栅电极和绝缘衬底，所述栅电极位于所述绝缘衬底之上，所述绝缘介质层位于所述栅电极之上。

35 第二方面，提供一种制造基于二维半导体的电子器件的方法，包括：

在绝缘介质层形成掺杂区或填充区，所述绝缘介质的材料为 SiO_2 或高 k 介质，所述掺杂
40 区含有对所述二维半导体层具有掺杂效应的掺杂剂，所述填充区填充有对所述二维半导体具有掺杂效应的固体材料；将二维半导体层转移至所述绝缘介质层之上；根据所述器件尺寸及所述掺杂区的面积对所述二维半导体进行刻蚀，形成沟道区；在所述刻蚀后的二维半导体两侧形成第一电极和第二电极。

结合第二方面,在第一种可能的实现方式中,所述电子器件为场效应晶体管,在绝缘介质层形成掺杂区或填充区之前还包括:在重掺杂硅层上形成所述绝缘介质层;在所述刻蚀后的二维半导体两侧形成所述第一电极和第二电极之后还包括:在所述沟道区之上形成栅介质;在所述栅介质上形成栅电极;所述第一电极为源极,所述第二电极为漏极。

5 结合第二方面的第一种可能的实现方式,在第二种可实现方式中,所述晶体管为栅控 P-N 结,所述二维半导体在所述绝缘介质层上显示 n 型导电特性,所述掺杂区的掺杂类型为 p 型掺杂,所述掺杂区的面积小于所述沟道区的面积;或所述二维半导体在所述绝缘介质层上显示 p 型导电特性,所述掺杂区的掺杂类型为 n 型掺杂,所述掺杂区的面积小于所述沟道区的面积。

10 结合第二方面,在第三种可能的实现方式中,所述电子器件为薄膜晶体管,在绝缘介质层形成掺杂区或填充区之前还包括:

在绝缘衬底上形成栅电极,在所述栅电极上形成所述绝缘介质层。

15 结合第二方面或第二方面的任意一种可能的实现方式,在第四种可能的实现方式中,所述掺杂效应为 n 型掺杂,所述掺杂剂的掺杂源包括以下中的至少一种:含有氨基的等离子体、气体和化学试剂,含有钠离子、钾离子、氯离子的气体 and 溶液(如 DCE 溶液),PEI 溶液,PTSA 溶液,BV 溶液,NADH 溶液和 PVA 溶液。

20 结合第二方面或第二方面的任意一种可能的实现方式,在第五种可能的实现方式中,所述掺杂效应为 p 型掺杂,所述掺杂剂的掺杂源包括以下中的至少一种:含有 O 和 F 的等离子体或气体,Br₂、I₂或 AuCl₃溶液,含有 Pt、Ag、Au、Pd 或 Sc 金属纳米颗粒的溶液,F₄TCNQ 溶液,TCNQ 溶液,其中所述含有氧和氟的等离子体:SF₆等离子体、CHF₃等离子体、CF₄等离子体、O₂等离子体,所述含有氧和氟的气体包括臭氧、NO₂。

结合第二方面或第二方面的任意一种可能的实现方式,在第六种可能的实现方式中,在所述绝缘介质层上形成填充区的方法包括:

25 对所述绝缘介质层进行刻蚀得到沟槽,在所述沟槽中填充对所述二维半导体具有掺杂效应的固体材料以形成所述填充区。

结合第二方面的第六种可能的实现方式,在第七种可能的实现方式中,所述掺杂效应为 n 型掺杂,所述固体材料为 Cs₂CO₃;或所述掺杂效应为 p 掺杂,所述固体材料为 MoO₃。

30 以上任意方面或任意可能的实现方式中,所述二维半导体材料为以下中的任意一种:MoS₂、MoSe₂、MoTe₂、WS₂、WSe₂、WTe₂、GeS₂、GeSe₂、GeTe₂、SnS₂、SnSe₂、SnTe₂、SnO、PbS₂、PbSe₂、PbTe₂、GaS、GaSe、GaTe、InS、InSe、InTe、Bi₂Se₃、石墨烯、黑磷、砷烯、锑烯、锗烯、锡烯和硅烯。

以上任意方面或任意可能的实现方式中,所述高 k 介质包括以下中的任意一种:Al₂O₃、WO₃、Ta₂O₅、HfO₂、ZnO₂、TiO₂、CaO、ZrO₂、La₂O₃、BaO、MgO、HfSiO_x、ZrSiO_x、HfLaO_x、HfZrO_x、HfAlO_x、LaAlO_x、Y₂O₃、SrO、Si₃N₄。

35 以上任意方面或任意可能的实现方式中,所述二维半导体的层数为 1-10 层。

以上任意方面或任意可能的实现方式中,所述绝缘介质层为均匀的介质薄膜。对于绝缘介质层的制造,本发明只需要采用常规的方法形成均匀的介质薄膜,不需要绝缘介质层具有特殊的结构,工艺简单,制造成本低。

40 本发明实施例采用对二维半导体周围介质的掺杂或者在半导体周围介质局部填充固体材料形成填充区,利用掺杂区或填充区对二维半导体特性的掺杂效应来实现基于二维半导体

的电子器件。本发明实施例对二维半导体的掺杂不是对二维半导体的直接处理，因此能够有效地降低掺杂过程对二维半导体造成的损伤及由此带来的器件性能退化，提升掺杂后器件性能稳定性。

5

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍。

- 图 1 是本发明实施例提供的一种制造基于二维半导体的电子器件的流程图；
 - 10 图 2 是本发明实施例提供的一种制造基于二维半导体的电子器件的侧视结构示意图；
 - 图 3 是本发明实施例提供的 CMOS 场效应晶体管制造过程对应的侧视结构示意图；
 - 图 4 是本发明实施例提供的 CMOS 场效应晶体管的制造方法的流程图；
 - 图 5 是本发明实施例提供的栅控 P-N 结的制造方法的流程图；
 - 图 6 是本发明实施例提供的栅控 P-N 结的制造方法的侧视结构示意图；
 - 15 图 7 是本发明实施例栅控 P-N 结的又一种制造方法的流程图；
 - 图 8 是本发明实施例栅控 P-N 结的又一种制造方法的侧视结构示意图；
 - 图 9 是本发明实施例提供的又一种制造基于二维半导体的 MOSFET 的流程图；
 - 图 10 是本发明实施例提供的又一种制造基于二维半导体的 MOSFET 的侧视结构示意图；
 - 20 图 11 是本发明实施例提供的制造薄膜晶体管的流程图；
 - 图 12 是本发明实施例提供的制造薄膜晶体管的侧视结构示意图
- 在以上各结构示意图中，构成器件的各部分在图中的比例不代表其实际比例。

具体实施方式

25 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

首先对本申请中可能用到的缩略语、化学式进行定义，如表 1 所示。

表 1 缩略语/化学式的中英文说明

缩略语/化学式	英文定义	中文定义
CMOS	complementary metal-oxide-semiconductor	互补型金属-氧化物-半导体
MOSFET	metal-oxide-semiconductor field effect transistor	金属-氧化物-半导体场效应晶体管
FinFET	fin field effect transistor	鳍栅场效应晶体管
UTB FET	ultra-thin body field effect transistor	超薄沟道场效应晶体管
TMDs	transition metal dichalcogenides	过渡金属硫族化合物

2D nFET	two dimensional semiconductor based n type field effect transistor	基于二维半导体的 n 型场效应晶体管
2D pFET	two dimensional semiconductor based p type field effect transistor	基于二维半导体的 p 型场效应晶体管
DCE	1,2 dichloroethane	1,2-二氯乙烷
PEI	polyethyleneimine	聚乙烯亚胺
PTSA	p-toluene sulfonic acid	对甲苯磺酸
BV	benzyl viologen	苜基紫精
NADH	nicotinamide adenine dinucleotide	烟酰胺腺嘌呤二核苷酸
PVA	polyvinyl alcohol	聚乙烯醇
TCNQ	7,7,8,8-tetracyano-quinodimethane	7,7,8,8-四氰基对苯二醌二甲烷
F ₄ TCNQ	2,3,5,6-tetrafluoro-7,7,8,8-tetracyano-quinodimethane	2,3,5,6-四氟-7,7',8,8'-四氰二甲基对苯醌
PI	polyimide	聚酰亚胺
PET	polyethylene terephthalate	聚对苯二甲酸乙二酯
ITO	indium tin oxide	氧化铟锡
SiO ₂	silicon dioxide	二氧化硅
MoO ₃	molybdenum trioxide	三氧化钼
Al ₂ O ₃	aluminum oxide	氧化铝
WO ₃	tungsten trioxide	三氧化钨
Ta ₂ O ₅	tantalum pentoxide	五氧化二钽
HfO ₂	hafnium oxide	二氧化铪
ZnO ₂	zinc peroxide	过氧化锌
TiO ₂	titanium dioxide	二氧化钛
CaO	calcium oxide	氧化钙
ZrO ₂	zirconium dioxide	二氧化锆
La ₂ O ₃	lanthanum oxide	氧化镧
BaO	barium oxide	氧化钡
MgO	magnesium oxide	氧化镁
HfSiO _x	hafnium silicon oxide	氧化硅铪
ZrSiO _x	zirconium silicon oxide	氧化硅锆

HfLaO _x	hafnium lanthanum oxide	氧化镧铪
HfZrO _x	hafnium zirconium oxide	氧化锆铪
HfAlO _x	hafnium aluminum oxide	氧化铝铪
LaAlO _x	lanthanum aluminum oxide	氧化铝镧
Y ₂ O ₃	yttrium oxide	氧化钇
SrO	strontium oxide	氧化锶
Si ₃ N ₄	silicon nitride	氮化硅
SF ₆	sulfur hexafluoride	六氟化硫
CHF ₃	trifluoromethane	三氟甲烷
CF ₄	carbon tetrafluoride	四氟化碳
NO ₂	nitrogen dioxide	二氧化氮
Br ₂	bromine	溴
I ₂	iodine	碘
AuCl ₃	gold trichloride	三氯化金
PMMA	polymethyl methacrylate	聚甲基丙烯酸甲酯
Cs ₂ CO ₃	cesium carbonate	碳酸铯
MoS ₂	molybdenum disulfide	二硫化钼
MoSe ₂	molybdenum diselenide	二硒化钼
MoTe ₂	molybdenum ditelluride	二碲化钼
WS ₂	tungsten disulfide	二硫化钨
WSe ₂	tungsten diselenide	二硒化钨
WTe ₂	tungsten ditelluride	二碲化钨
GeS ₂	germanium disulfide	二硫化锗
GeSe ₂	germanium diselenide	二硒化锗
GeTe ₂	germanium ditelluride	二碲化锗
SnS ₂	tin disulfide	二硫化锡
SnSe ₂	tin diselenide	二硒化锡
SnTe ₂	tin ditelluride	二碲化锡
SnO	tin oxide	一氧化锡
PbS ₂	lead disulfide	二硫化铅

PbSe ₂	lead diselenide	二硒化铅
PbTe ₂	lead ditelluride	二碲化铅
GaS	gallium sulfide	硫化镓
GaSe	gallium selenide	硒化镓
GaTe	gallium telluride	碲化镓
InS	indium sulphide	硫化铟
InSe	indium selenide	硒化铟
InTe	indium telluride	碲化铟
Bi ₂ Se ₃	bismuth selenide	硒化铋

5 本发明实施例提供一种基于二维半导体的电子器件，包括各种类型的晶体管。图 2 (D) 展示的与二维半导体相关的电子器件的基本结构，包括：绝缘介质层 202、沟道区 204、第一电极 205、第二电极 206。沟道区 204 位于绝缘介质层 202 之上，第一电极 205 和第二电极 206 位于沟道区 204 的两侧。若电子器件为场效应晶体管，第一电极 205 和第二电极 206 分别为作为器件的源极和漏极。

10 绝缘介质层的材料为 SiO₂ 或高 k 介质，沟道区 204 为二维半导体层。绝缘介质层设置有掺杂区 203，掺杂区 203 含有对二维半导体层具有掺杂效应的掺杂剂。如果不采用对绝缘介质层进行掺杂的方法，也可以在绝缘介质层填充对所述二维半导体具有掺杂效应固体材料，形成填充区 203。

15 高 k 介质可以为以下中的任意一种：Al₂O₃、WO₃、Ta₂O₅、HfO₂、ZnO₂、TiO₂、CaO、ZrO₂、La₂O₃、BaO、MgO、HfSiO_x、ZrSiO_x、HfLaO_x、HfZrO_x、HfAlO_x、LaAlO_x、Y₂O₃、SrO、Si₃N₄。掺杂剂则根据器件类型和性能要求不同而不同。这里所说的绝缘介质层，采用传统的方法形成的均匀的介质薄膜即可，不需要采用特殊的结构。

20 二维半导体层的至少一部分位于掺杂区（或填充区）203 之上。根据器件类型的不同，沟道区 204（二维半导体层）所在的绝缘介质层可能有大面积或部分区域的掺杂或填充。

根据器件类型的不同，在上述基本结构之上，器件可能还包括底栅 201 和/或顶栅 207，在图 2 (E) 以虚线表示。若同一个基底上包括有多个器件（如场效应晶体管），则相应的会有多个掺杂区（或填充区）、沟道区、第一电极和第二电极。本发明实施例所说的掺杂效应可以为 n 型掺杂或 p 型掺杂，具体根据器件类型和性能的要求决定。通过对二维半导体所在的绝缘介质层的直接掺杂，可以使得掺杂区内含有掺杂剂，这些掺杂剂包括对二维半导体有掺杂效应的分子、离子或官能团等。

参见图 1，制造图 2 (D) 所示的电子器件的方法包括以下步骤：

25 S11、在绝缘介质层 202 形成掺杂区（或填充区）203，如图 2 (A) 所示。如果是掺杂的话，用传统的掺杂方法即可。如果是 n 型掺杂，掺杂源包括但不限于以下中的至少一种：钠（Na）离子，钾（K）离子，含有氨基的等离子体、气体和化学试剂，含有氯（Cl）离子的溶液（如 DCE 溶液），PEI 溶液，PTSA 溶液，BV 溶液，NADH 溶液，PVA 溶液等。如果是 p 型掺杂，掺杂源包括但不限于以下中的至少一种：SF₆ 等离子体、CHF₃ 等离子体、CF₄ 等离

子体、 O_2 等离子体、臭氧、 NO_2 等含有氧 (O) 和氟 (F) 的等离子体和气体, Br_2 、 I_2 、 $AuCl_3$ 溶液, 含有铂 (Pt)、银 (Ag)、金 (Au)、钯 (Pd)、钪 (Sc) 等金属纳米颗粒的溶液, F_4TCNQ 溶液, 或 $TCNQ$ 溶液。

5 S12、将二维半导体层 204 转移至包含有掺杂区或填充区的绝缘介质层之上, 如图 2 (B) 所示。

S13、根据所述器件尺寸及所述掺杂区的面积对所述二维半导体进行刻蚀, 形成沟道区, 如图 2 (C) 所示。

S14、在所述刻蚀后的二维半导体两侧形成第一电极 205 和第二电极 206, 如图 2 (D) 所示。

10 若电子器件带有底栅, 则在步骤 S11 之前包括:

S10、在底栅 201 之上形成绝缘介质层 202, 如图 2 (E) 所示, 底栅 201 以虚线框表示。

若电子器件带有顶栅, 则在步骤 S14 之后还包括:

15 S15、在沟道区 (二维半导体层) 204 上方形成顶栅 207, 如图 2 (E) 所示, 顶栅 207 以虚线框表示。顶栅一般包括栅介质和栅电极, 通常先在沟道区 204 上方形成栅介质 (图中未示出), 然后再栅介质上形成栅电极 (图中未示出)。

20 单层或少数层 (通常指 2-10 层左右) 二维半导体材料的厚度仅在原子级, 因此周围介质环境及制造工艺对二维半导体材料特性的影响要远大于对传统半导体的影响。以 MoS_2 为例, 体材料的 MoS_2 通常表现 n 型半导体特性, 但随着 MoS_2 厚度的减薄 (层数的减小), 环境对 MoS_2 特性的影响逐渐增大。当 MoS_2 厚度降低到一定程度后, 在特定的环境 (如 PMMA 等) 诱导下可表现出双极型的导电特性。再比如, 少数层黑磷在 SiO_2 衬底上表现为 P 型 (空穴) 主导的导电特性, 但在黑磷表面覆盖 Cs_2CO_3 后, 少数层黑磷逐渐表现出 N 型 (电子) 主导的导电特性。针对二维半导体对其周围介质环境敏感的特点, 本发明实施例通过改变二维半导体周围的介质环境 (例如对二维半导体所在的介质进行掺杂或进行区域性填充), 利用介质与二维半导体界面对二维半导体特性的调制作用来实现对二维半导体的掺杂效应。本发明实施例

25 的基于二维半导体的电子器件, 没有对二维半导体本身直接进行掺杂处理, 能够有效地降低掺杂过程对二维半导体造成的损伤及由此带来的器件性能退化, 提升器件性能的稳定性的。

30 常见的二维半导体材料有: MoS_2 、 $MoSe_2$ 、 $MoTe_2$ 、 WS_2 、 WSe_2 、 WTe_2 、 GeS_2 、 $GeSe_2$ 、 $GeTe_2$ 、 SnS_2 、 $SnSe_2$ 、 $SnTe_2$ 、 SnO 、 PbS_2 、 $PbSe_2$ 、 $PbTe_2$ 、 GaS 、 $GaSe$ 、 $GaTe$ 、 InS 、 $InSe$ 、 $InTe$ 、石墨烯 (graphene)、黑磷 (black phosphorus)、砷烯 (arsenene)、锑烯 (antimonene) 和锗烯 (germanene)、锡烯 (stanene)、硅烯 (silicene) 等。

下面介绍各种应用场景中的具体实施例。

实施例一

35 通过对二维半导体所在衬底介质 (绝缘介质层) 的掺杂实现基于二维半导体的 CMOS 器件的制造。对衬底介质的掺杂在本实施例中的作用体现在两方面: 1、调控二维半导体沟道中的载流子浓度, 以实现对不同的导电类型和器件阈值电压的控制; 2、调控源、漏及其延伸区域中载流子的浓度, 以降低沟道与源、漏电极的接触电阻。

40 以制造基于二维半导体 CMOS 场效应晶体管为例, CMOS 场效应晶体管包括基于二维半导体的 n 型场效应晶体管 (2D nFET) 和 p 型场效应晶体管 (2D pFET)。如图 4 所示, 制造 CMOS 场效应晶体管的过程包括:

S41、准备衬底并对衬底进行清洗，如图 3 (A) 所示，衬底可以包括重掺杂硅层 301 和位于重掺杂硅层上面的绝缘介质层 302。其中重掺杂硅层 301 作为背电极使用，在器件工作时可以接地，也可以根据需要施加相应的电压。绝缘介质层 302 的材料可以为二氧化硅 (SiO_2) 或高 k 介质。

5 S42、为了制造 2D nFET，首先对 2D nFET 所在区域的绝缘衬底(在本例中指绝缘层 302) 进行 n 型掺杂，形成 n 型掺杂区域 303，如图 3 (B) 所示。掺杂源包括但不限于钠离子，钾离子，含有氨基的等离子体、气体和化学试剂，含有氯离子的溶液(如 DCE 溶液)，PEI 溶液，PTSA 溶液，BV 溶液，NADH 溶液，PVA 溶液等。掺杂浓度与二维半导体的种类(原本的载流子浓度及类型)、厚度(层数)以及对 2D nFET 阈值电压的要求密切相关。本实施例的二维半
10 导体以硒化钨 (WSe_2) 为例。

S43、对 2D nFET 的源极、漏极所在的区域进行重 n 型掺杂，形成重 n 型掺杂区域 304，以降低二维半导体和源极、漏极之间的接触电阻，如图 3 (C) 所示。重 n 型掺杂区域 304 的面积可以略大于实际源、漏的接触面积。

S44、对 2D pFET 所在区域的绝缘衬底进行 p 型掺杂，形成 p 型掺杂区 305，如图 3 (D) 15 所示。掺杂源可以是含氧 (O) 或含氟 (F) 的等离子体、气体，如 SF_6 等离子体、 CHF_3 等离子体、 CF_4 等离子体、 O_2 等离子体、臭氧、 NO_2 等)。掺杂源还可以包括 Br_2 、 I_2 、 AuCl_3 溶液，含有铂 (Pt)、银 (Ag)、金 (Au)、钯 (Pd)、钪 (Sc) 等金属纳米颗粒的溶液， F_4TCNQ 溶液，TCNQ 溶液。同样的，掺杂浓度与二维半导体的种类(原本的载流子浓度及类型)、厚度(层数)以及对 2D pFET 阈值电压的要求密切相关。n 型掺杂区 303 域和 p 型掺杂区域 305
20 之间要有一定的间隔以达到隔离的目的。

S45、对 2D pFET 源、漏电极所在的区域进行重 p 型掺杂，以降低二维半导体和源、漏金属之间的接触电阻，形成重 p 型掺杂区域 306，如图 3 (E) 所示。重 p 型掺杂区域 306 的面积要略大于实际 2D pFET 源、漏的接触面积。

S46、可选的，如在上述 S41-S45 步的掺杂过程中为衬底引入了缺陷，可通过退火工艺对
25 缺陷进行修复。

S47、将二维半导体层 307 转移至上述经过掺杂的绝缘介质层表面，如图 3 (F) 所示。二维半导体可以是单层或少数层的 (1-10 层)。

S48、根据器件尺寸的要求和掺杂区域的面积，采用等离子体刻蚀工艺对二维半导体进行刻蚀，得到沟道区 3071 和 3072，并隔离不同器件的沟道，如图 3 (G) 所示。对于过渡金属
30 硫族化合物 (TMDs) 和石墨烯，可采用 O_2 等离子体进行刻蚀。对其他二维半导体，可根据实际情况选择刻蚀工艺中采用的等离子体类型。

S49、经过光刻、金属淀积以及栅介质淀积等工艺步骤形成 2D nFET 和 pFET 的源极 (3081 和 3082)、漏极 (3091 和 3092)，顶栅的栅介质 (3101 和 3102) 及栅电极 (3111 和 3112)。最终形成的器件结构如图 3 (H) 所示，左侧是 nFET，右侧是 pFET。在图 3 (H) 中以 nFET
35 和 pFET 的栅电极与源、漏电极采用相同的金属材料为例，在实际情况中也可采用不同金属材料。

本发明实施例一提供的 CMOS 场效应晶体管，如图 3 (G) 和图 3 (H) 所示，包括：

重掺杂硅层 301，绝缘介质层 302、第一沟道区 3071、第二沟道区 3072、第一源极 3081、
40 第一漏极 3091，第二源极 3082、第二漏极 3092、第一栅介质 3101、第二栅介质 3102、第一栅电极 3111、第二栅电极 3112。绝缘介质层 302 的材料为 SiO_2 或高 k 介质，绝缘介质层 302

设置有第一掺杂区 303、第二掺杂区 305，第一沟道区 3071 和第二沟道区 3072 为二维半导体层。第一掺杂区 303 的面积大于第一沟道区 3071，第二掺杂区 305 的面积大于第二沟道区 3072，第一沟道区 3071 和第二沟道区 3072 相互隔离。

5 第一掺杂区 303 的掺杂类型为 n 型掺杂，第一沟道区 3071 位于第一掺杂区 303 之上，第一源极 3081 和第一漏极 3091 位于第一沟道区 3071 的两侧，第一栅区包括第一栅介质 3101 和第一栅电极 3111，所述第一栅介质 3101 位于所述第一沟道区 3071 之上，所述第一栅电极 3111 位于所述第一栅介质 3101 之上。第一掺杂区 303、第一沟道区 3071、第一源极 3081、第一漏极 3091、第一栅介质 3101 和第一栅电极 3111 构成了 nFET。

10 第二掺杂区 305 的掺杂类型为 p 型掺杂，第二沟道区 3072 位于第二掺杂区 305 之上，第二源极 3082 和第二漏极 3092 位于第二沟道区 3072 的两侧，第二栅区包括第二栅介质 3102 和第二栅电极 3112，第二栅介质 3102 位于第二沟道区 3072 之上，第二栅电极 3112 位于第二栅介质 3102 之上。第二掺杂区 305、第二沟道区 3072、第二源极 3082、第二漏极 3092、第二栅介质 3102 和第二栅电极 3112 构成了 pFET。

15 与图 2 (D) 所示结构的区别在于，在图 2 (D) 所示的结构的基础之上，绝缘介质层下方有重掺杂硅，通常作为背电极 (背栅) 使用。另外还有在衬底上左右两个互补的晶体管，nFET 和 pFET，各自有沟道区、源极和漏极、顶栅 (栅介质和栅电极)。整个沟道区下方均有掺杂区域。

实施例二

20 通过对衬底绝缘介质的掺杂实现基于二维半导体的栅控 P-N 结制造。本实施例的二维半导体以 MoS_2 为例进行阐述，但所涉及的方法和应用场景对其它二维半导体材料同样适用。栅控 P-N 结的制造过程如图 5 所示，包括以下步骤：

S51、衬底的准备及清洗，如图 6 (A) 所示，同实施例一中的步骤 S41。本例中的绝缘介质层以 Al_2O_3 为例。

25 S52、对 P-N 结的 p 型区域所在绝缘介质层进行 p 型掺杂，如图 6 (B) 所示。p 型掺杂源的使用同实施例一中步骤 S44 和步骤 S45。

30 S53、由于 MoS_2 在 Al_2O_3 衬底上显示 n 型半导体导电特性，此处省略了对 P-N 结的 n 型区域所在绝缘介质衬底的 n 型掺杂过程。但对于其他在 Al_2O_3 衬底上显示双极型导电特性的二维半导体 (如 WSe_2 、黑磷等)，或者需要 n 型掺杂来调节二维半导体中载流子浓度的情况，此处需要增加对 P-N 结的 n 型区域所在绝缘介质层进行 n 型掺杂，掺杂源的使用同实施例一中的步骤 S42 和步骤 S43。与实施例一不同的是，n 型掺杂区与 p 型掺杂区之间无间隔，两区域应密切相连且界面清晰，以保证 P-N 结具有良好的电学特性。

35 类似地，对于在绝缘衬底表面原本显示 p 型半导体特性的二维材料 (如 SnO 等)，应把本实施例中步骤 S52 的区域性 p 型掺杂变为区域性 n 型掺杂以形成同质 P-N 结，n 型掺杂源的使用同实施例一中的步骤 S42 和步骤 S43。

S54、将单层或少数层的 MoS_2 转移至上述 Al_2O_3 介质层表面。

S55、根据掺杂区域的面积及对器件尺寸的要求，采用刻蚀工艺对 MoS_2 进行刻蚀得到沟道区，如图 6 (C) 所示。

S56、通过光刻、金属淀积、剥离 (lift-off) 工艺以及介质生长工艺等完成栅控 P-N 结的

源极、漏极，顶栅的栅介质和栅电极，如图 6 (D) 和图 6 (E) 所示。

如图 6 (E) 所示，通过本实施例制造的栅控 P-N 结，包括：

重掺杂硅层 601、绝缘介质层 602、沟道区 604、第一电极 605、第二电极 606、栅介质 607、栅电极 608。绝缘介质层 602 的材料为 SiO_2 或高 k 介质，沟道区 604 为二维半导体层；

5 绝缘介质层 602 设置有掺杂区 603，掺杂区 603 含有对二维半导体层 604 具有掺杂效应的掺杂剂，若采用的二维半导体材料在绝缘介质层 602 上显示 n 型导电特性，则掺杂区 603 的掺杂类型为 p 型掺杂；若采用的二维半导体材料在绝缘介质层 602 上显示 p 型导电特性，则掺杂区 603 的掺杂类型为 n 型掺杂。

10 二维半导体层（沟道区）604 位于所述绝缘介质层 602 之上，二维半导体层的一部分位于掺杂区 603 之上，掺杂区 603 的面积小于所述沟道区 604 的面积

第一电极 605 和第二电极 606 位于所述沟道区 604 的两侧，作为栅控 P-N 结的源极和漏极，栅介质 607 位于沟道区 604 之上，栅电极 608 位于栅介质 607 之上。

实施例三

15 本实施例通过更换局部衬底介质实现基于二维半导体(以 MoS_2 为例)的栅控 P-N 结制造。这里所说的更换局部介质是指对绝缘介质层的局部区域填充其他对二维半导体具有掺杂效应的固体材料。如图 7 所示，制造栅控 P-N 结的过程包括：

S71、衬底的准备及清洗，如图 8 (A) 所示。本例中的绝缘介质层以 Al_2O_3 为例。

20 S72、通过光刻工艺定义出 P-N 结的 p 型区域并刻蚀掉相应位置的绝缘介质层 (Al_2O_3)，形成沟槽，如图 8 (B) 所示。

S73、在沟槽中填入诱导 MoS_2 显示 p 型导电特性的材料，形成填充区，如图 8 (C) 所示，该材料在本实施例中为 MoO_3 。实际应用中，还可以采用 PMMA、O 含量比较高的高 k 介质等。对于其它二维半导体，沟槽中所需要填入的材料可能会有所不同，应根据实际情况进行选择。

25 对于在 Al_2O_3 、 SiO_2 以及其它高 k 介质表面显示 p 型导电特性的二维半导体材料(如黑磷等)，应在刻蚀好的沟槽中填入诱导二维半导体显示 n 型导电特性的材料。本例中采用 Cs_2CO_3 进行填充；对于其它二维半导体材料，沟槽中所填充的材料可能会有所不同，应根据实际情况进行选择。

S74、将单层或少数层的 MoS_2 转移至上述衬底表面。

30 S75、根据上述填充区域的面积及对器件尺寸的要求，采用刻蚀工艺对 MoS_2 进行刻蚀得到器件的沟道区，如图 8 (D) 所示。

S76、通过光刻、金属淀积、剥离工艺 (lift-off) 以及介质生长工艺等形成栅控 P-N 结的源极、漏极，顶栅的栅介质和栅电极，如图 8 (E) 和图 8 (F) 所示。

如图 8 (F) 所示，通过本实施例制造的栅控 P-N 结，包括：

35 重掺杂硅层 801、绝缘介质层 802、沟道区 804、第一电极 805、第二电极 806、栅介质 807、栅电极 808。绝缘介质层 802 的材料为 SiO_2 或高 k 介质，沟道区 804 为二维半导体层；

40 绝缘介质层 802 设置有填充区 803，填充区 803 填充有对二维半导体层 804 具有掺杂效应的固体材料，若采用的二维半导体材料在绝缘介质层 802 上显示 n 型导电特性，则填充区 803 对二维半导体的掺杂效应为 p 型掺杂；若采用的二维半导体材料在绝缘介质层 802 上显示 p 型导电特性，则填充区 803 对二维半导体的的掺杂效应为 n 型掺杂。

二维半导体层 804 位于所述绝缘介质层 802 之上,二维半导体层的一部分位于掺杂区 803 之上,掺杂区 803 的面积小于所述沟道区 804 的面积

第一电极 805 和第二电极 806 位于所述沟道区 804 的两侧,作为栅控 P-N 结的源极和漏极,栅介质 807 位于沟道区 804 之上,栅电极 808 位于栅介质 807 之上。

5

实施例四

本实施例通过更换局部衬底介质减小 MOSFET 中金属/二维半导体(仍然以 MoS_2 为例)的接触电阻。这里所说的更换局部介质是指对绝缘介质层的局部区域填充其它对二维半导体具有掺杂效应的固体材料。如图 9 所示, MOSFE 的制造过程包括:

10 S91、衬底的准备及清洗,如图 10(A)所示。本例中的绝缘介质以 Al_2O_3 为例。

S92、通过光刻工艺定义出器件中的金属/二维半导体接触区,并采用刻蚀工艺刻蚀掉相应位置的 Al_2O_3 ,形成沟槽,如图 10(B)所示。

15 S93、在沟槽中填入对二维半导体有掺杂效应的材料,形成填充区,如图 10(C)所示。对于在 Al_2O_3 上显示 n 型二维半导体材料,如本例中的 MoS_2 以及 WS_2 等,沟槽中填入可以增大电子浓度的材料,例如 Cs_2CO_3 等。对于在 Al_2O_3 上显示 p 型的二维半导体材料(如黑磷、 SnO 等),沟槽中填入可以增大空穴浓度的材料,如 MoO_3 等。

S94、将单层或少数层的 MoS_2 转移至上述绝缘介质层的表面。

S95、并根据掺杂位置和对器件尺寸的要求,对 MoS_2 的进行刻蚀得到沟道区,如图 10(D)所示。

20 S96、经过光刻、金属淀积、剥离工艺以及栅介质淀积工艺等步骤形成器件的源、漏电极、顶栅栅介质及栅电极,如图 10(E)和图 10(F)所示。

如图 10(F)所示,通过本实施例制造的 MOSFET,包括:

25 重掺杂硅层 1001、绝缘介质层 1002、沟道区 1005、第一电极 1006、第二电极 1007、栅介质 1008、栅电极 1009。绝缘介质层 1002 的材料为 SiO_2 或高 k 介质,沟道区 1005 为二维半导体层;

绝缘介质层 1002 设置有第一填充区 1003 和第二填充区 1004,分别填充有对二维半导体层 1005 具有掺杂效应的固体材料。

二维半导体层 1005 位于所述绝缘介质层 1002 之上,二维半导体层的一部分位于掺杂区 1003 之上,掺杂区 1003 的面积小于所述沟道区 1005 的面积

30 第一电极 1006 和第二电极 1007 位于所述沟道区 1005 的两侧,作为 MOSFET 的源极和漏极,栅介质 1008 位于沟道区 1005 之上,栅电极 1009 位于栅介质 1008 之上。

对于在绝缘介质层上显示 n 型导电特性的二维半导体材料,沟槽中填入可以增大电子浓度的材料。对于在绝缘介质层上显示 p 型导电特性的二维半导体材料,沟槽中填入可以增大空穴浓度的材料。

35 实施例五

本实施例通过对二维半导体薄膜晶体管的源、漏接触所在区域的绝缘介质层进行掺杂以降低薄膜晶体管的源、漏接触电阻。本实施例的薄膜晶体管,是通过底栅来控制薄膜晶体管的工作的。如图 11 所示,基于二维半导体的薄膜晶体管的制造方法包括:

40 S111、衬底的准备及清洗,如图 12(A)所示。所述衬底材料为绝缘材料,包括玻璃、石英、蓝宝石、陶瓷、塑料、PI、PET 等。本实施例中以玻璃衬底为例,这里的衬底与实施例

一至四有所不同。

S112、经过光刻、薄膜淀积等工艺在衬底表面形成薄膜晶体管的底栅电极，如图 12(B) 所示。底栅电极可以为金属材料，如金 (Au)、钛 (Ti)、镍 (Ni)、铂 (Pt) 等，也可以是 ITO。本实施例以 ITO 为例。

5 S113、在底栅电极表面淀积栅介质材料，相当于本发明实施例所说的绝缘介质层，如图 12(C) 所示。栅介质材料可以是 SiO_2 ，也可以是 Al_2O_3 、 HfO_2 、 ZrO_2 、 TiO_2 、 La_2O_3 等高 k 材料。本实施例中以 HfO_2 为例。

10 S114、对薄膜晶体管的源极、漏极接触所在区域的绝缘介质层进行掺杂以降低薄膜晶体管的源极、漏极接触电阻，如图 12(D) 所示。对于 n 型薄膜晶体管，应进行 n 型掺；对于 p 型薄膜晶体管，应进行 p 型掺杂。掺杂所使用的掺杂源种类与实施例一相同。本实施例中的二维半导体以 WS_2 为例，因此应对源、漏所在区域的介质进行 n 型掺杂。

S115、将单层或少数层 WS_2 转移至上述绝缘介质层的表面。

S116、对二维半导体进行刻蚀得到薄膜晶体管的沟道区，如图 12(E) 所示。

S117、制作源、漏电极，形成薄膜晶体管，如图 12(F) 所示。

15 本实施例制造的薄膜晶体管如图 12 (F) 所示，包括：

20 衬底 1201、底栅电极 1202、绝缘介质层(底栅介质)1203、沟道区 1206、第一电极 1207、第二电极 1208。绝缘介质层设置有第一掺杂区 1204 和第二掺杂区 1205，分别位于第一电极 1207 和第二电极 1208 的接触区下方。第一电极 1207 和第二电极 1208 作为源极、漏极使用。底栅电极 1202 位于衬底 1201 之上，绝缘介质层 1203 位于底栅电极 1202 之上，沟道区 1206 位于绝缘介质层 1203 之上，第一电极 1207 和第二电极 1208 位于沟道区 1206 的两侧。与前面的实施例不同的是，薄膜晶体管有底栅电极，无顶栅。沟道区 1206 为二维半导体层，第一掺杂区 1204 和第二掺杂区 1205 含有对二维半导体具有掺杂效应的掺杂剂。对于 n 型薄膜晶体管，掺杂效应为 n 型掺杂；对于 p 型薄膜晶体管，掺杂效应为 p 型掺杂。

25 以上通过五个不同的实施例分别展示了在不同的应用场景中通过对二维半导体层所在的绝缘介质层进行区域性掺杂或者局部填充不同的固体材料介质，实现对二维半导体材料掺杂的制造过程，实际的应用场景不限于此。另外，以上实施例中涉及到的方法也可以结合使用，如实施例一中通过对源、漏接触区所在绝缘介质的区域性重掺杂可以达到降低金属/二维半导体接触电阻的目的，与实施例四采用的局部介质填充方法具有相似的效果。

30 本发明通过对二维半导体所在的绝缘介质层进行区域性掺杂或者局部填充不同的固体材料介质，实现对二维半导体材料掺杂具有以下有益效果：

1) 相比金属原子的替位式掺杂、等离子体掺杂以及传统的离子注入等掺杂方法，本发明能够很大程度地减小掺杂对二维半导体材料的损伤，降低掺杂过程在二维半导体材料中引入的缺陷密度。

35 2) 与使用气态离子进行表面电荷转移的掺杂方法相比，本发明实施例不会为器件带来可靠性方面的类似问题，掺杂后器件的性能可以保持相对稳定。

3) 与在二维半导体材料表面增加覆盖层以实现掺杂的方法相比，本发明能够有效降低器件源、漏之间漏电流的增加和开关比的减小。

4) 方便实现区域性掺杂以及器件阈值电压的调节。

40 以上所述仅为本发明的较佳实施例，并不用以限制本发明。

权利要求

1、一种基于二维半导体的电子器件，其特征在于，包括：绝缘介质层、沟道区、第一电极、第二电极，所述绝缘介质的材料为 SiO_2 或高 k 介质，所述沟道区为二维半导体层；

所述绝缘介质层设置有掺杂区或填充区，所述掺杂区含有对所述二维半导体层具有掺杂效应的掺杂剂，所述填充区填充有对所述二维半导体层具有掺杂效应的固体材料，所述掺杂效应为 n 型掺杂或 p 型掺杂；

所述二维半导体层位于所述绝缘介质层之上，且所述二维半导体层的至少一部分位于所述掺杂区或所述填充区之上；

所述第一电极和第二电极位于所述沟道区的两侧。

2、根据权利要求 1 任意一项所述的电子器件，其特征在于，所述电子器件为场效应晶体管，所述场效应晶体管还包括重掺杂硅层和栅区，所述重掺杂硅层位于所述绝缘介质层之下；

所述第一电极为源极，所述第二电极为漏极，所述栅区包括栅介质和栅电极，所述栅介质位于所述沟道区之上，所述栅电极位于所述栅介质之上。

3、根据权利要求 2 所述的电子器件，其特征在于，所述晶体管为 CMOS 场效应晶体管；

所述沟道区包括第一沟道区和第二沟道区，所述源极包括第一源极和第二源极，所述漏极包括第一漏极和第二漏极，所述栅区包括第一栅区和第二栅区，所述掺杂区包括第一掺杂区和第二掺杂区；

所述第一掺杂区的掺杂类型为 n 型掺杂，所述第一沟道区位于所述第一掺杂区之上，所述第一源极和第一漏极位于所述第一沟道区的两侧，所述第一栅区包括第一栅介质和第一栅电极，所述第一栅介质位于所述第一沟道区之上，所述第一栅电极位于所述第一栅介质之上；

所述第二掺杂区的掺杂类型为 p 型掺杂，所述第二沟道区位于所述第二掺杂区之上，所述第二源极和第二漏极位于所述第二沟道区的两侧，所述第二栅区包括第二栅介质和第二栅电极，所述第二栅介质位于所述第二沟道区之上，所述第二栅电极位于所述第二栅介质之上。

4、根据权利要求 2 所述的电子器件，其特征在于，所述晶体管为栅控 P-N 结，

所述二维半导体在所述绝缘介质层上显示 n 型导电特性，所述掺杂区的掺杂类型为 p 型掺杂，所述掺杂区的面积小于所述沟道区的面积；或

所述二维半导体在所述绝缘介质层上显示 p 型导电特性，所述掺杂区的掺杂类型为 n 型掺杂，所述掺杂区的面积小于所述沟道区的面积。

5、根据权利要求 1 的电子器件，其特征在于，所述电子器件为薄膜晶体管，所述第一电极为源极，所述第二电极为漏极，所述薄膜晶体管还包括栅电极和绝缘衬底，所述栅电极位于所述绝缘衬底之上，所述绝缘介质层位于所述栅电极之上。

6、根据权利要求 1-5 任意一项所述的电子器件，其特征在于，所述二维半导体材料为以下中的任意一种： MoS_2 、 MoSe_2 、 MoTe_2 、 WS_2 、 WSe_2 、 WTe_2 、 GeS_2 、 GeSe_2 、 GeTe_2 、

SnS₂、SnSe₂、SnTe₂、SnO、PbS₂、PbSe₂、PbTe₂、GaS、GaSe、GaTe、InS、InSe、InTe、Bi₂Se₃、石墨烯、黑磷、砷烯、锑烯、锗烯、锡烯和硅烯。

7、根据权利要求 1-6 任意一项所述的电子器件，其特征在于，所述高 k 介质包括以下中的任何一种：Al₂O₃、WO₃、Ta₂O₅、HfO₂、ZnO₂、TiO₂、CaO、ZrO₂、La₂O₃、BaO、
5 MgO、HfSiO_x、ZrSiO_x、HfLaO_x、HfZrO_x、HfAlO_x、LaAlO_x、Y₂O₃、SrO、Si₃N₄。

8、根据权利要求 1-7 任意一项所述的电子器件，其特征在于，所述二维半导体的层数为 1-10 层。

9、根据权利要求 1-8 任意一项所述的电子器件，其特征在于，所述绝缘介质层为均匀的介质薄膜。

10 10、一种制造基于二维半导体的电子器件的方法，其特征在于，所述方法包括：

在绝缘介质层形成掺杂区或填充区，所述绝缘介质的材料为 SiO₂ 或高 k 介质，所述掺杂区含有对所述二维半导体层具有掺杂效应的掺杂剂，所述填充区填充有对所述二维半导体具有掺杂效应的固体材料；

将二维半导体层转移至所述绝缘介质层之上；

15 根据所述器件尺寸及所述掺杂区的面积对所述二维半导体进行刻蚀，形成沟道区；
在所述刻蚀后的二维半导体两侧形成第一电极和第二电极。

11、根据权利要求 10 所述的方法，其特征在于，所述电子器件为场效应晶体管，在绝缘介质层形成掺杂区或填充区之前还包括：

在重掺杂硅层上形成所述绝缘介质层；

20 在所述刻蚀后的二维半导体两侧形成所述第一电极和第二电极之后还包括：

在所述沟道区之上形成栅介质；

在所述栅介质上形成栅电极；

所述第一电极为源极，所述第二电极为漏极。

12、根据权利要求 11 所述的方法，其特征在于，所述场效应晶体管为栅控 P-N 结，
25 所述二维半导体在所述绝缘介质层上显示 n 型导电特性，所述掺杂区的掺杂类型为 p 型掺杂，所述掺杂区的面积小于所述沟道区的面积；或

所述二维半导体在所述绝缘介质层上显示 p 型导电特性，所述掺杂区的掺杂类型为 n 型掺杂，所述掺杂区的面积小于所述沟道区的面积。

13、根据权利要求 10 所述的方法，其特征在于，所述电子器件为薄膜晶体管，在绝
30 缘介质层形成掺杂区或填充区之前还包括：

在绝缘衬底上形成栅电极；

在所述栅电极上形成所述绝缘介质层，所述绝缘介质层为均匀的介质薄膜。

14、根据权利要求 10-13 任意一项所述的方法，其特征在于，所述掺杂效应为 n 型掺杂，所述掺杂剂的掺杂源包括以下中的至少一种：含有氨基的等离子体、气体和化学
35 试剂，含有钠离子、钾离子、氯离子的气体和溶液，聚乙烯亚胺 PEI 溶液，对甲苯磺酸 PTSA 溶液，苜基紫精 BV 溶液，烟酰胺腺嘌呤二核苷酸 NADH 溶液和聚乙烯醇 PVA 溶液。

15、根据权利要求 10-13 任意一项所述的方法，其特征在于，所述掺杂效应为 p 型掺杂，所述掺杂剂的掺杂源包括以下中的至少一种：含有氧和氟的等离子体或气体，Br₂、
40 I₂ 或 AuCl₃ 溶液，含有 Pt、Ag、Au、Pd 或 Sc 金属纳米颗粒的溶液，2,3,5,6-四氟-7,7',8,8'-

四氰二甲基对苯醌 F_4TCNQ 溶液, 7,7,8,8-四氰基对苯二醌二甲烷 $TCNQ$ 溶液, 其中, 所述含有氧和氟的等离子体: SF_6 等离子体、 CHF_3 等离子体、 CF_4 等离子体、 O_2 等离子体, 所述含有氧和氟的气体包括臭氧、 NO_2 。

5 16、根据权利要求 10-13 任意一项所述的方法, 其特征在于, 在所述绝缘介质层上形成填充区的方法包括:

对所述绝缘介质层进行刻蚀得到沟槽,

在所述沟槽中填充对所述二维半导体具有掺杂效应的固体材料以形成所述填充区。

17、根据权利要求 16 所述的器件, 其特征在于, 所述掺杂效应为 n 型掺杂, 所述固体材料为 Cs_2CO_3 ; 或

10 所述掺杂效应为 p 掺杂, 所述固体材料为 MoO_3 。

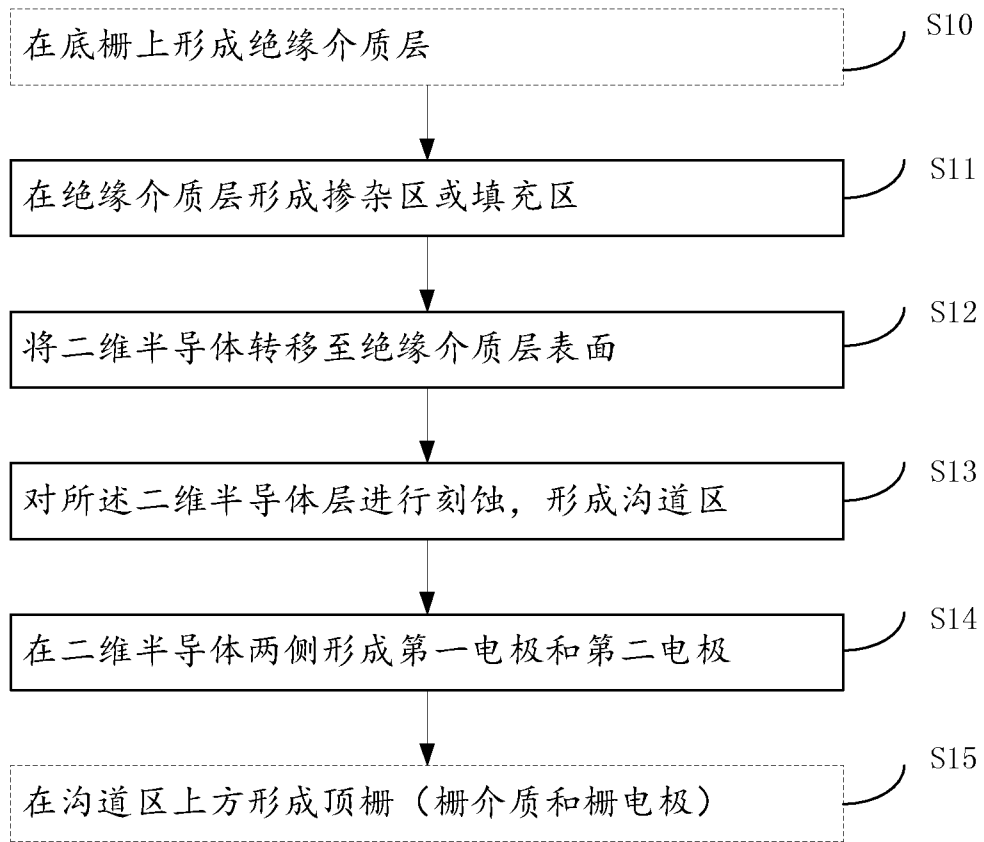


图 1

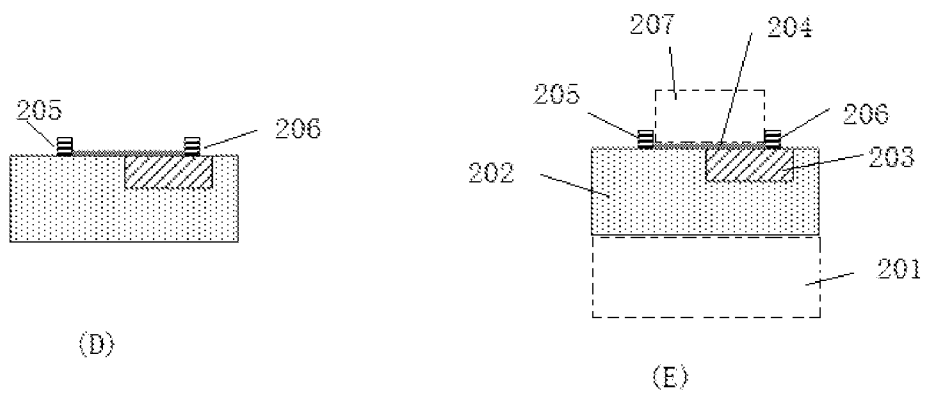
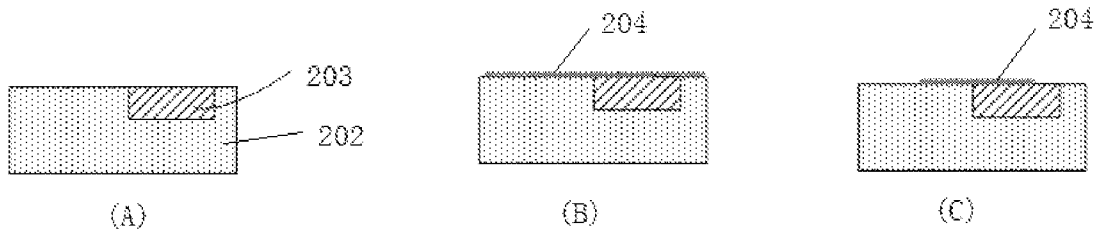


图 2

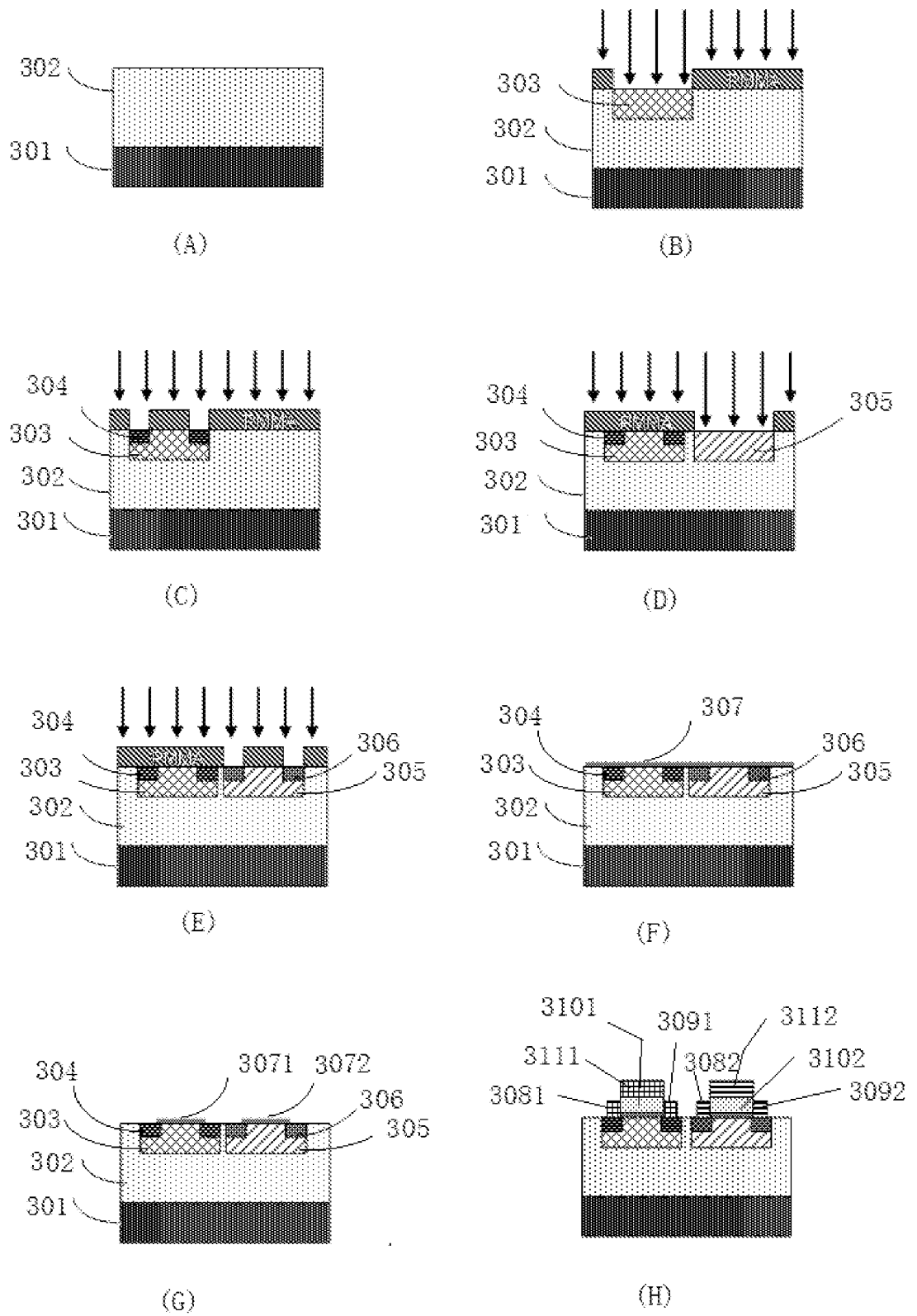


图 3

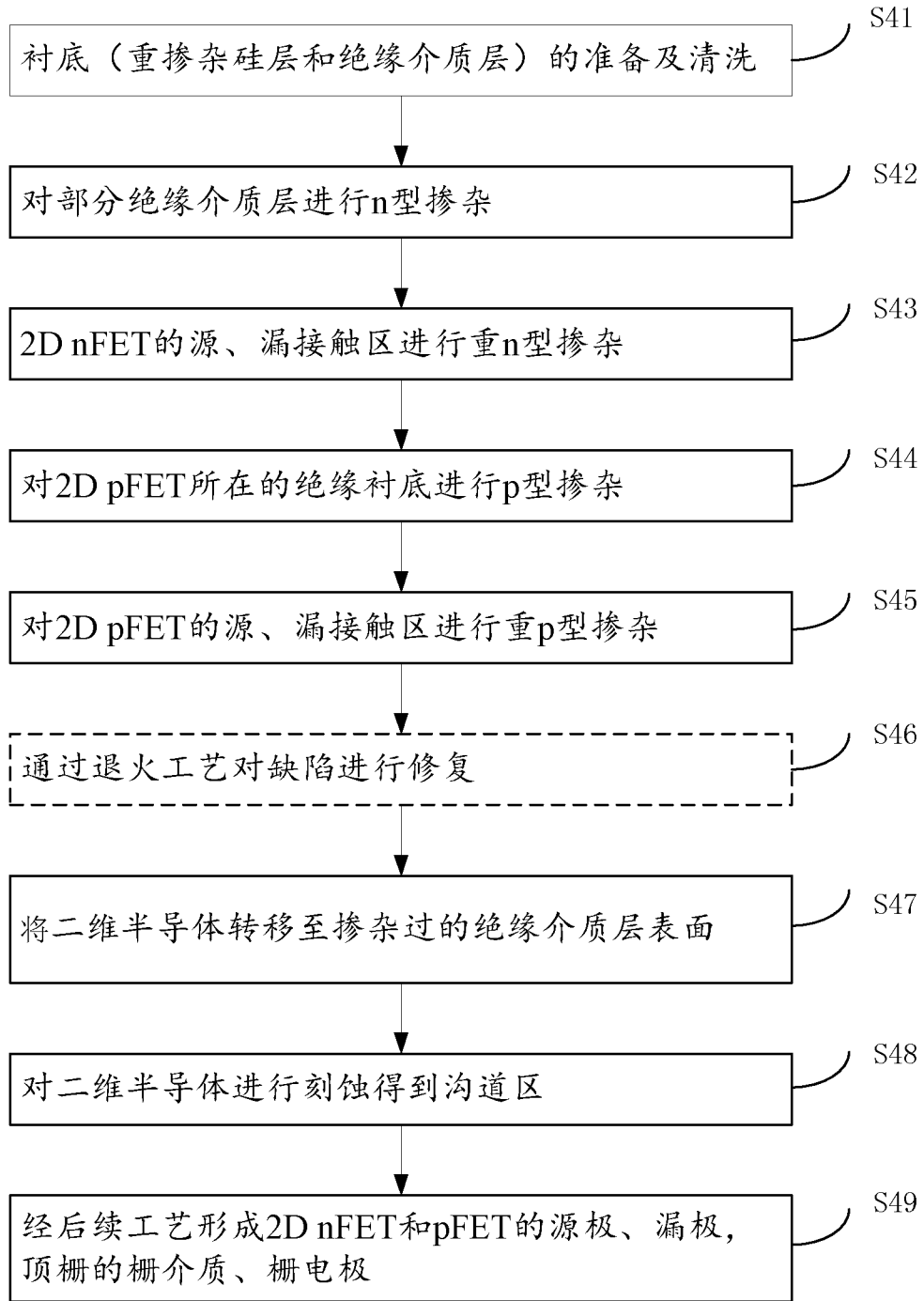


图 4

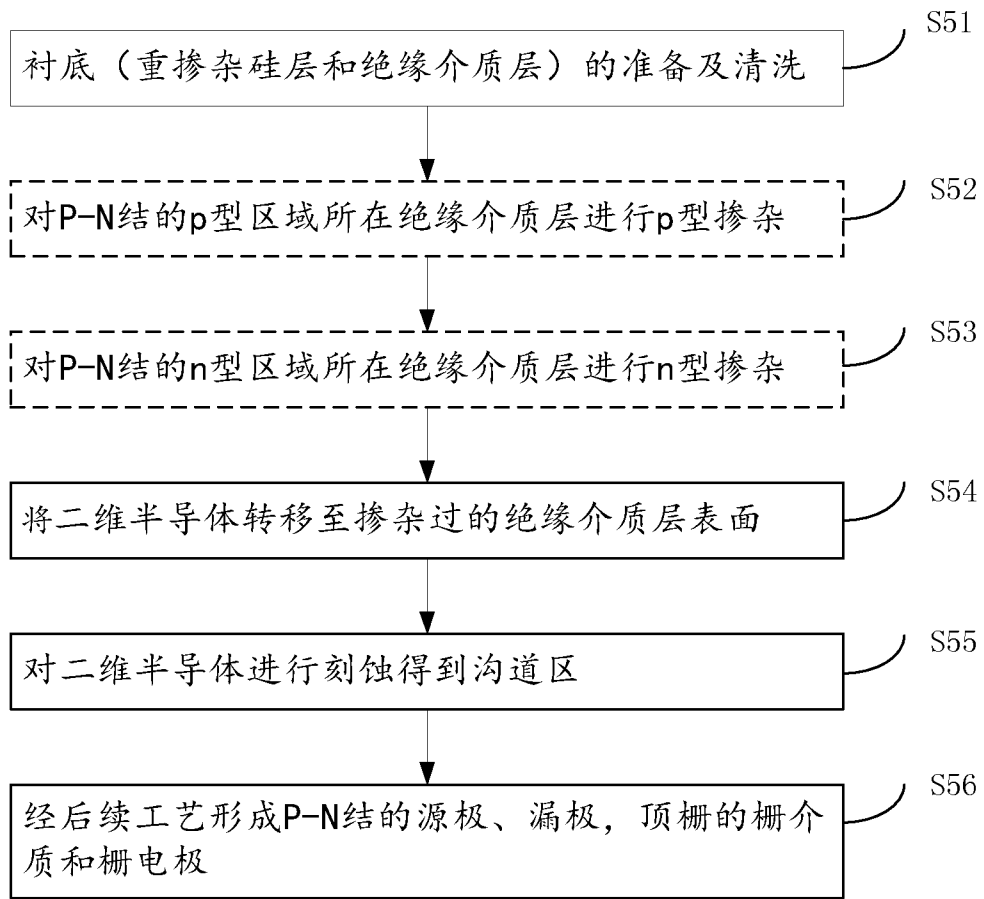


图 5

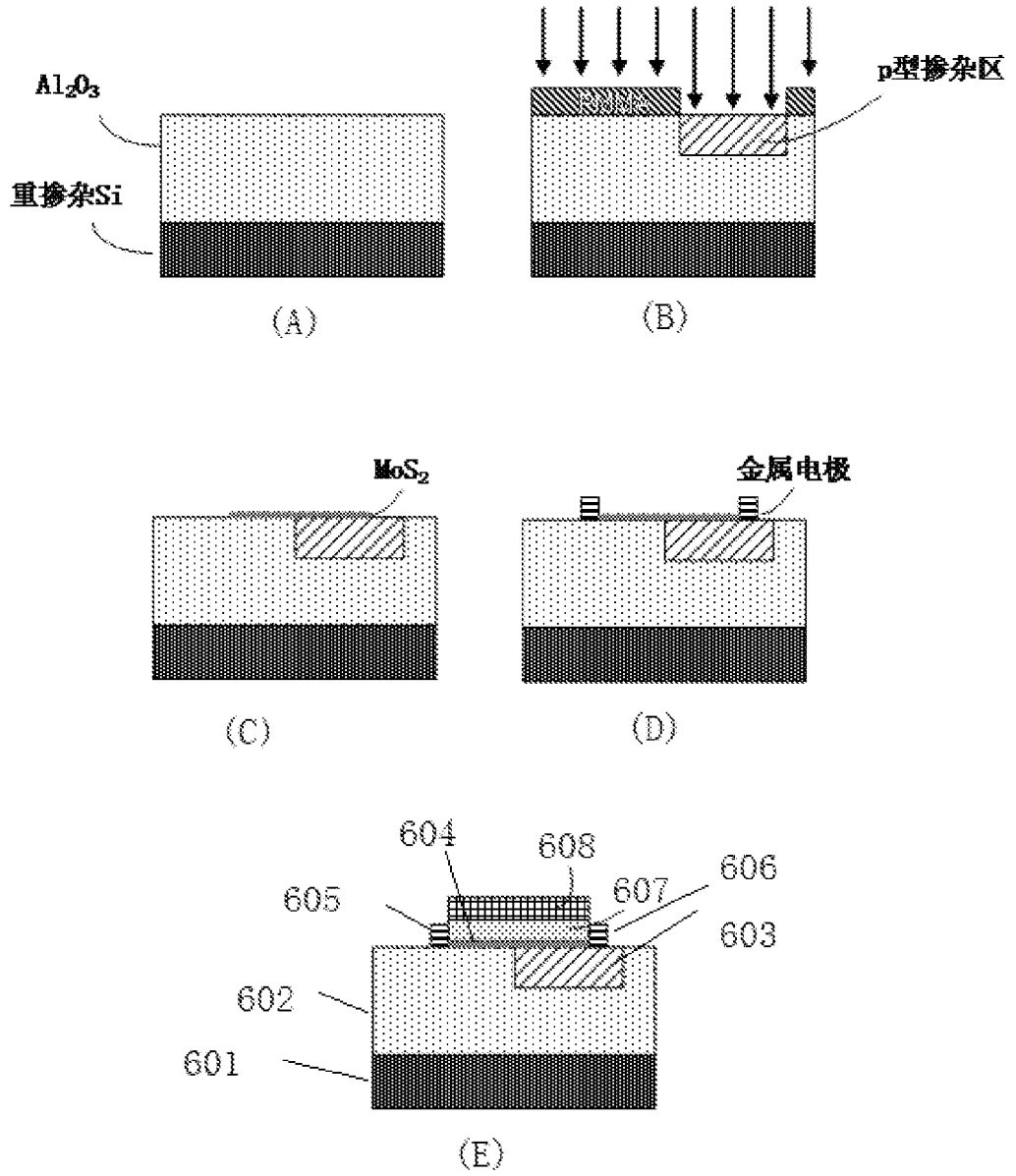


图 6

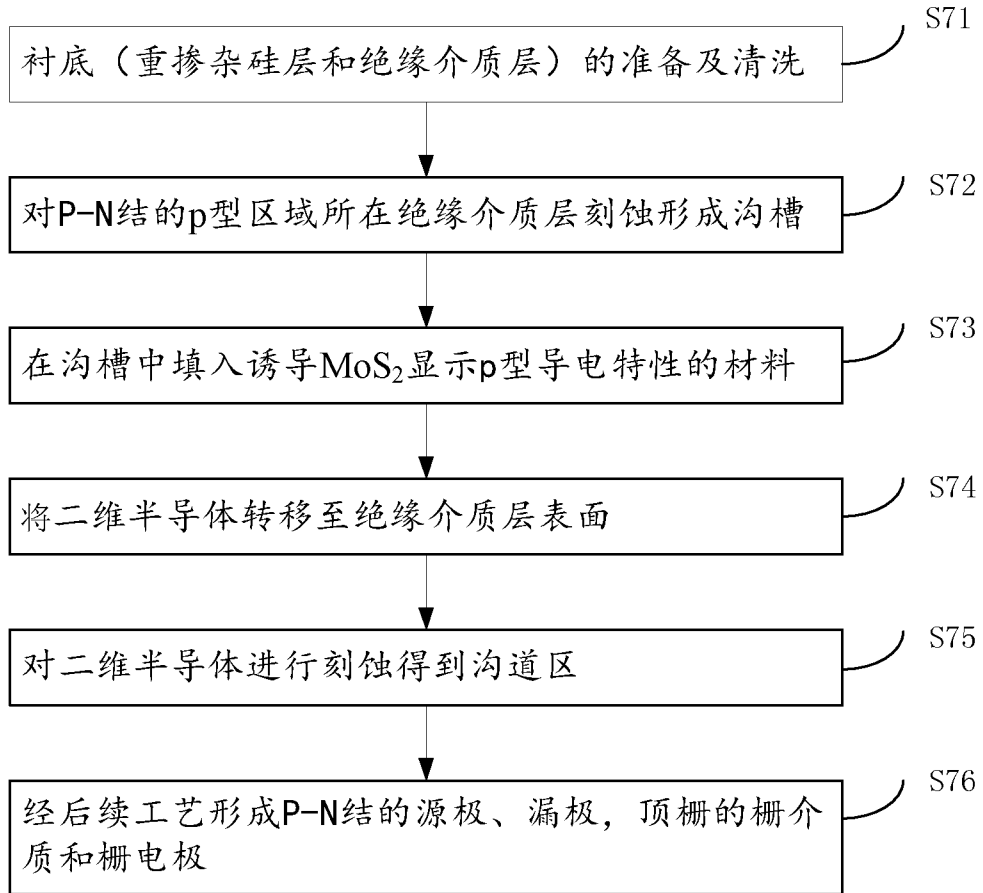


图 7

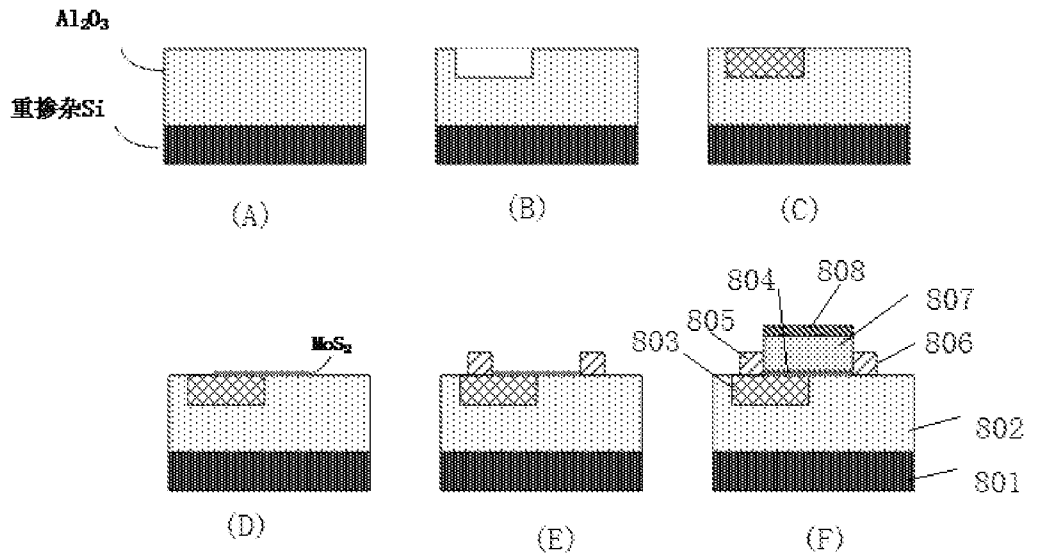


图 8

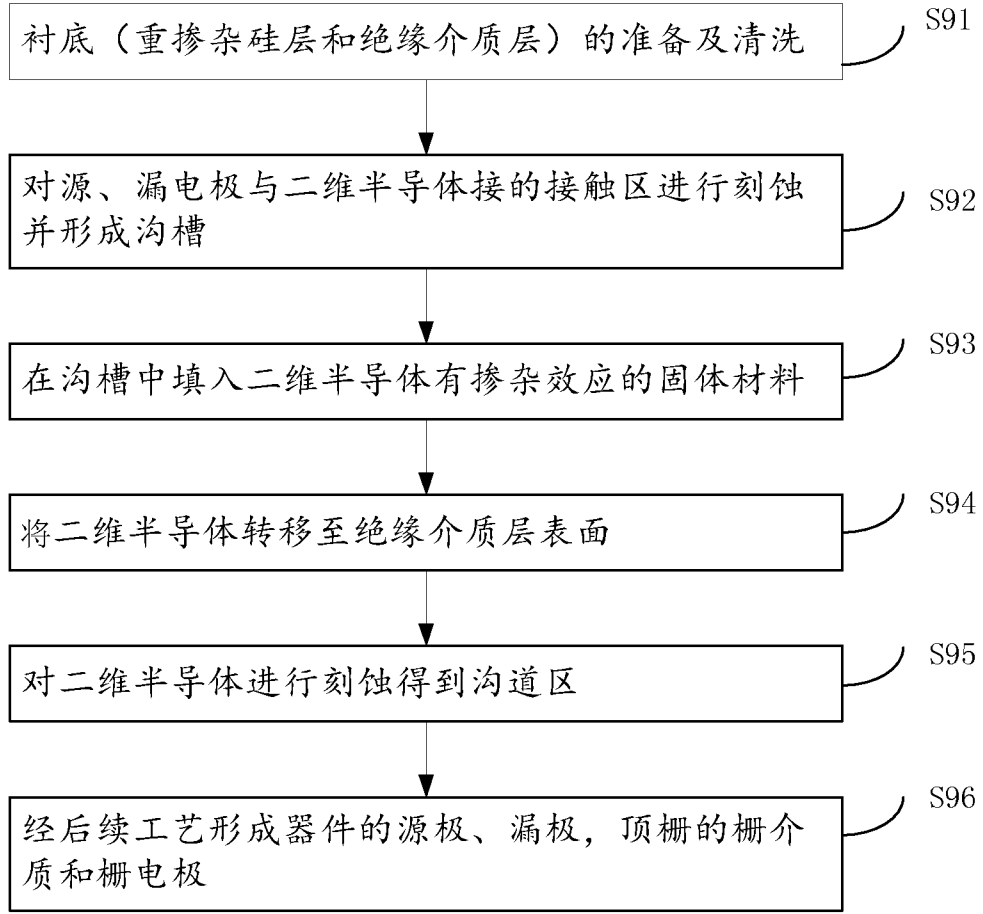


图 9

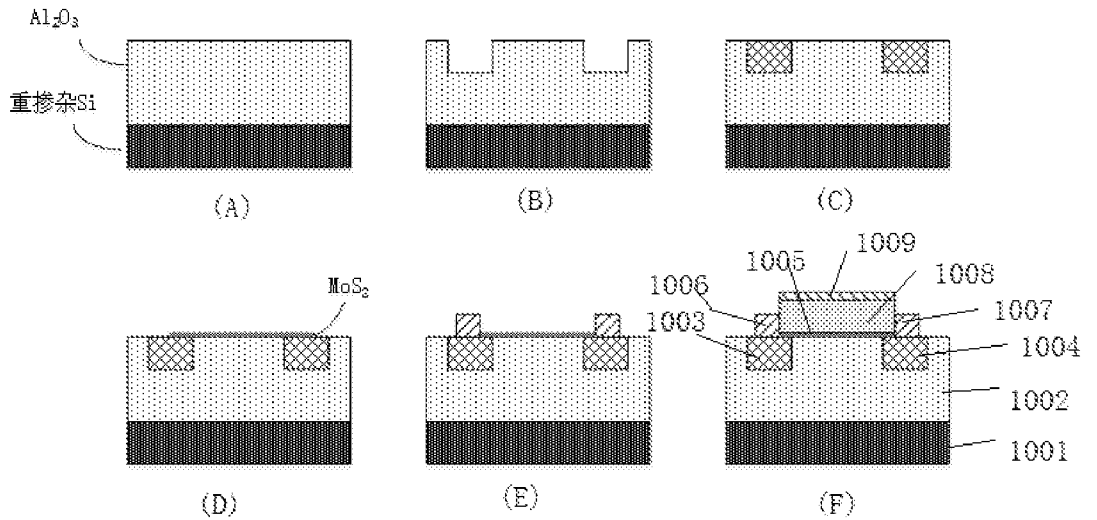


图 10

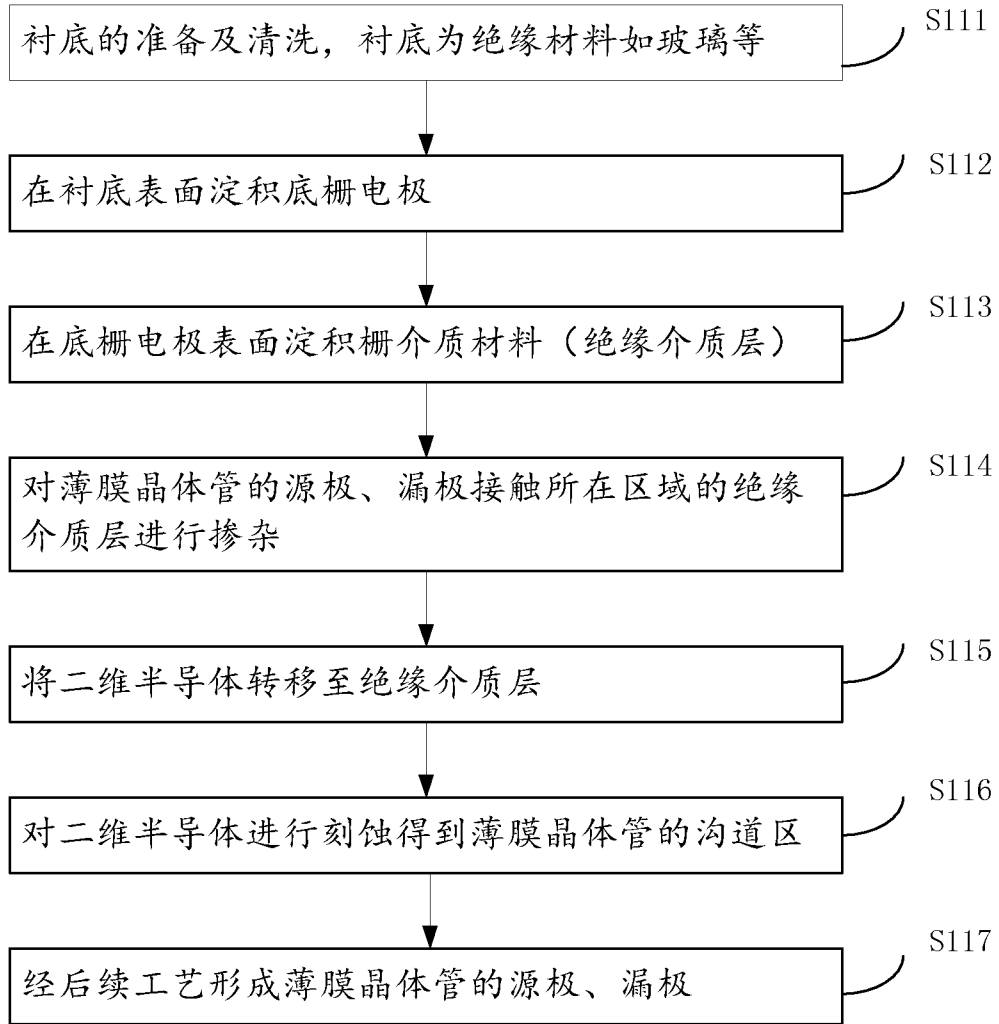


图 11

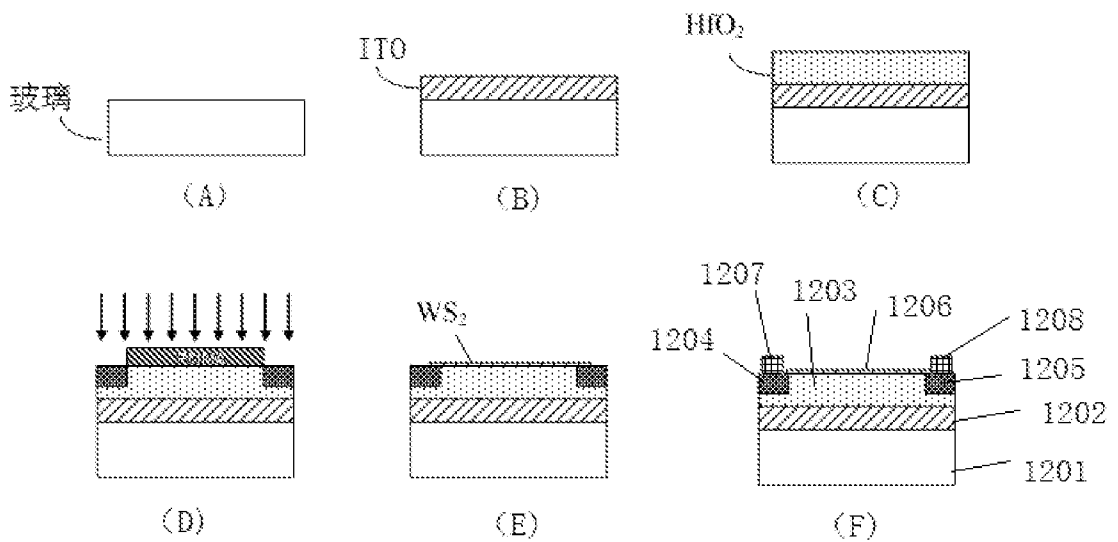


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/091509

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i; H01L 27/092 (2006.01) i; H01L 29/06 (2006.01) i; H01L 21/336 (2006.01) i; H01L 21/8238 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, SIPOABS, CNTXT: two dimension, two, dimensional, semiconductor, grapheme, disulfide, diselenide, ditelluride, molybdenum, tungsten, germanium, tin, lead, dope, implant, impurity

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106129112 A (HUAWAI TECHNOLOGIES CO., LTD.), 16 November 2016 (16.11.2016), the whole document	1-17
X	US 2014158988 A1 (UNIV NAT TAIWAN), 12 June 2014 (12.06.2014), description, paragraphs 0022-0028, and figure 1	1-9
Y	US 2014158988 A1 (UNIV NAT TAIWAN), 12 June 2014 (12.06.2014), description, paragraphs 0022-0028, and figure 1	10-17
Y	CN 104766888 A (TSINGHUA UNIVERSITY), 08 July 2015 (08.07.2015), description, paragraphs 0052-0060, and figures 2-1 to 2-5	10-17
A	CN 104078501 A (SHANGHAI JIAO TONG UNIVERSITY), 01 October 2014 (01.10.2014), the whole document	1-17

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search
22 September 2017 (22.09.2017)

Date of mailing of the international search report
11 October 2017 (11.10.2017)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
WANG, Yibing
Telephone No.: (86-10) **62411584**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/091509

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106129112 A	16 November 2016	None	
US 2014158988 A1	12 June 2014	TW 201423992 A	16 June 2014
		TW I467767 B	01 January 2015
CN 104766888 A	08 July 2015	None	
CN 104078501 A	01 October 2014	None	

<p>A. 主题的分类</p> <p>H01L 29/78(2006.01)i; H01L 27/092(2006.01)i; H01L 29/06(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8238(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>DWPI, SIPOABS, CNTXT: 二维, 半导体, 石墨烯, 二硫, 二硒, 二碲, 钼, 钨, 锗, 锡, 铅, 掺杂, 注入, 杂质, two-dimensional, semiconductor, grapheme, disulfide, diselenide, ditelluride, molybdenum, tungsten, germanium, tin, lead, dope, implant, impurity</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 106129112 A (华为技术有限公司) 2016年 11月 16日 (2016 - 11 - 16) 全文</td> <td>1-17</td> </tr> <tr> <td>X</td> <td>US 2014158988 A1 (UNIV NAT TAIWAN) 2014年 6月 12日 (2014 - 06 - 12) 说明书第0022段至第0028段、附图1</td> <td>1-9</td> </tr> <tr> <td>Y</td> <td>US 2014158988 A1 (UNIV NAT TAIWAN) 2014年 6月 12日 (2014 - 06 - 12) 说明书第0022段至第0028段、附图1</td> <td>10-17</td> </tr> <tr> <td>Y</td> <td>CN 104766888 A (清华大学) 2015年 7月 8日 (2015 - 07 - 08) 说明书第0052段至第0060段、附图2-1至2-5</td> <td>10-17</td> </tr> <tr> <td>A</td> <td>CN 104078501 A (上海交通大学) 2014年 10月 1日 (2014 - 10 - 01) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 106129112 A (华为技术有限公司) 2016年 11月 16日 (2016 - 11 - 16) 全文	1-17	X	US 2014158988 A1 (UNIV NAT TAIWAN) 2014年 6月 12日 (2014 - 06 - 12) 说明书第0022段至第0028段、附图1	1-9	Y	US 2014158988 A1 (UNIV NAT TAIWAN) 2014年 6月 12日 (2014 - 06 - 12) 说明书第0022段至第0028段、附图1	10-17	Y	CN 104766888 A (清华大学) 2015年 7月 8日 (2015 - 07 - 08) 说明书第0052段至第0060段、附图2-1至2-5	10-17	A	CN 104078501 A (上海交通大学) 2014年 10月 1日 (2014 - 10 - 01) 全文	1-17
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 106129112 A (华为技术有限公司) 2016年 11月 16日 (2016 - 11 - 16) 全文	1-17																		
X	US 2014158988 A1 (UNIV NAT TAIWAN) 2014年 6月 12日 (2014 - 06 - 12) 说明书第0022段至第0028段、附图1	1-9																		
Y	US 2014158988 A1 (UNIV NAT TAIWAN) 2014年 6月 12日 (2014 - 06 - 12) 说明书第0022段至第0028段、附图1	10-17																		
Y	CN 104766888 A (清华大学) 2015年 7月 8日 (2015 - 07 - 08) 说明书第0052段至第0060段、附图2-1至2-5	10-17																		
A	CN 104078501 A (上海交通大学) 2014年 10月 1日 (2014 - 10 - 01) 全文	1-17																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2017年 9月 22日</p>		<p>国际检索报告邮寄日期</p> <p>2017年 10月 11日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>王毅冰</p> <p>电话号码 (86-10)62411584</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/091509

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106129112	A	2016年 11月 16日	无			
US	2014158988	A1	2014年 6月 12日	TW	201423992	A	2014年 6月 16日
				TW	I467767	B	2015年 1月 1日
CN	104766888	A	2015年 7月 8日	无			
CN	104078501	A	2014年 10月 1日	无			