

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G11C 5/14

(11) 공개번호 특2002 - 0007439
(43) 공개일자 2002년01월29일

(21) 출원번호 10 - 2000 - 0040165
(22) 출원일자 2000년07월13일

(71) 출원인 유나이티드 마이크로일렉트로닉스 코퍼레이션
로버트 에이치. 씨. 차오
대만, 신쥬, 사이언스 - 베이스드 인터스트리얼 파크,리신 로우드 2, 넘버 3

(72) 발명자 하이로즈란티.
미국80909콜로라도주콜로라도스프링스세인트앤드류코트4086

(74) 대리인 주성민
위혜숙

심사청구 : 없음

(54) 고속 차지 펌프용 다이내믹 레귤레이션 구성

요약

본 발명은 전원 전압 소스로 부터 입력 전압을 수신하도록 연결된 입력 노드를 포함하는 차지 펌프 및 주기적인 인에이블 레귤레이터 신호 및 주기적인 리셋 신호를 발생하는 오실레이터 유닛에 관한 것이다. 레귤레이터 클럭 유닛은 프리차지 (PC) 신호 및 상기 인에이블 레귤레이터 신호에 반응하는 리셋 레귤레이터 신호를 발생하는 상기 오실레이터 유닛에 연결된다. 펌프 클럭 유닛은 마스터 클럭 신호를 수신하고 복수의 펌프 클럭 신호들을 발생한다. 차지 펌프 유닛은 상기 입력 노드에 연결되어 상기 복수의 펌프 클럭 신호들에 의해 제어되어 동작되며, 출력 신호 (Vpump)를 발생하도록 연결된 출력 터미널에 연결된다. 레귤레이터 유닛은 상기 Vpump 신호, 상기 PC 신호, 상기 레퍼런스 신호 및 상기 인에이블 레귤레이터 신호를 수신하도록 연결되고 상기 레귤레이터 유닛은 상기 인에이블 레귤레이터 신호에 반응하여 프리차지 모드 또는 레귤레이션 모드중 하나로 동작한다.

대표도
도 1

색인어

레귤레이터 (regulator), 차지 펌프 (charge pump), 오실레이터 (oscillator), 프리차지 (precharge), 레퍼런스 전압 (reference voltage)

명세서

도면의 간단한 설명

도 1은 본 발명의 일부분을 블록 다이어그램 형태로 도시한 것임.

도 2는 도 1에 도시된 상기 시스템의 레귤레이터 (regulator) 유닛을 혼합 블록 다이어그램/개략적인 형태로 보다 자세하게 도시한 것임.

도 3은 도 2의 상기 레귤레이터 유닛의 상기 디글리치 (degitch) 및 MCLK 래치부분을 개략적인 형태로 보다 자세하게 도시한 것임.

도 4는 도 1 및 도 2에 도시된 상기 회로의 동작을 기술하는 예시적인 파형을 도시한 것임.

도 5는 도 1 및 도 2에 도시한 상기 회로의 동작을 기술하는 다른 예시적인 파형을 도시한 것임.

< 도면의 주요 부분에 대한 부호의 설명 >

102 : 오실레이터

104 : 레귤레이터 클럭

106 : 레귤레이터

108 : 펌프 클럭

110 : 차지 펌프

200 : 다이내믹 레귤레이터

202 : 디바이더 (divider)

232, 236 : 지연 유닛

242 : 디글리치 유닛 (degitch unit)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로, 집적회로에 관한 것이고 좀 더 구체적으로 외부 전원 전압으로부터 전원 전압을 발생하는 차지 펌프 (charge pump) 회로를 갖는 집적회로에 관한 것이다.

일반적으로 전자 시스템은 다양한 기술들로 제조된 IC들을 포함한다. 따라서, 단일 인쇄회로기판 위의 다양한 형태의 디바이스들을 유지하기 위해 상기 기판위에 다중 전원 전압이 공급될 필요성이 있다. 전형적인 디바이스가 요구하는 표준 IC 전압은 5.0볼트에서 3.3볼트 또는 보다 낮은 전압의 범위이다. 그러나, 많은 디바이스들은 상기 이용가능한 표준 전압에 추가로 다른 전원 전압을 요구한다. 이러한 것들은 종종 네거티브 전압을 필요로 하는 데이터 통신 회로 및 +/

- 25V 범위의 전압을 규정하는 RS232 인터페이스와 같은 인터페이스 회로를 포함한다. 더우기, 소정의 IC들은 산업 표준 전원 레벨로 부터 전력을 수신하여도 내부적으로는 서로 다른 전압을 요구한다. 네거티브 전압 및 공급된 전압보다 크기가 더 큰 전압을 포함하는 전압 레벨의 범위를 발생할 수 있다는 것은 회로 설계자에게 많은 유연성을 제공한다. 또한, 보다 높은 전압 레벨은 종종 보다 향상된 성능을 위하여 보다 빠른 스위칭을 가능하게 한다.

상기 불균형에 관한 실질적인 해결책은 입력 DC 전압을 다른 디바이스가 요구하는 보다 높거나 낮은 DC 전압으로 변환하는 DC/DC 컨버터 회로를 제공하는 것이다. 네거티브 차지 펌프는 클럭의 제1 반사이클 (half-cycle) 동안 소스 전압의 레벨로 펌프를 충전 (charging) 함으로써 네거티브 전압을 발생하도록 동작한다. 제2 반사이클 동안에는 상기 펌프 커패시터는 상기 소스로부터 분리되고 스위치된 자신의 극성을 가지며 저장 커패시터 (reservoir capacitor)로 연결된다. 그것에 의하여, 상기 저장 커패시터로 차지를 펌핑하고 상기 입력 전압의 네거티브한 출력을 제공한다.

또한, 포지티브 차지 펌프는 상기 제1 반사이클 동안에 상기 펌프 커패시터를 상기 소스 전압으로 연결함으로써 상기 전원 전압 (즉, "스텝-업 컨버터 (step-up converter)") 보다 높은 전압을 발생한다. 상기 제2 반사이클 동안에는, 상기 펌프 커패시터의 포지티브 터미널은 상기 소스 전압으로부터 분리되고 상기 커패시터의 네거티브 터미널은 상기 소스 전압과 적절하게 연결된다. 그 후, 상기 펌프 커패시터의 포지티브 터미널은 상기 소스 전압의 대략 2배까지 충전하기 위하여 상기 저장 커패시터로 연결된다.

보다 큰 고출력 차지 펌프는 일반적으로 낮은 주파수로 동작하므로 크기에 대해서는 최적화가 되지 않는다. 크고, 낮은 주파수 차지 펌프의 크기는 가능한 한 가장 작은 IC 칩을 얻는데 제한 요소로 작용할 수 있다. 상기 차지 펌프가 칩의 상당한 부분을 점유하는 경우에는 특별히 온-칩 차지 펌프를 가능한 한 작게 만드는 것이 바람직하다. 타겟 출력 전류에 있어, 상기 차지 펌프의 크기가 작을수록, 비례하여 상기 동작 주파수는 높아진다. 전형적으로, 높은 전류 출력 (예를 들면, 5 - 10 mA 보다 큰) 차지 펌프에 있어, 상기 펌프의 동작 주파수는 드라이브 및 유지 회로의 크기 뿐만 아니라 동작전류에서의 변화율(di/dt) 및 피크 동작 전류에 의해 정해진다.

보다 높은 주파수의 차지 펌프가 갖는 한가지 문제점은 상기 차지 펌프를 온 및 오프하기 위해 원하지 않는 히스테리시스를 초래하는 다중 싸이클을 가지기 때문에 상기 출력 전압 레벨의 레귤레이션이 보다 어려워진다는 것이다. 펌프 싸이클당 출력 능력이 드라이빙할 부하와 비교하여 큰 차지 펌프는 상기 부하에 대한 상기 전압을 상당량 변화시킬 수 있다. 이 경우, 상기 차지 펌프를 온 또는 오프하도록 레귤레이션 포인트에 도달한 후 다중 펌프 싸이클들을 기다리는 것은 바람직하지 못하다.

상기 문제를 해결하기 위해, 직류 (d.c.) 차동 증폭기 (differential amplifier)를 이용하는 고속 및 고전력 레귤레이션 방법이 사용된다. 상기 해결방법에서, 상기 부하에 대한 상기 전압이 레퍼런스 (reference) 레벨인지 또는 그 아래인지를 감지하는데 펌프 싸이클의 초기에 적은 부분의 시간이 사용된다. 만약 상기 전압이 그 이상이라면, 그 후 펌프는 발생하지 않는다. 상기 동작 주파수가 30Mhz (33ns 주기)로 근접함에 따라, 각 클럭 싸이클의 약 20% 이하 (즉, 7ns)는 레귤레이션에 할애될 수 있다. 비록 빠른 레귤레이션 구성이 달성될 수 있을 지라도, 이러한 환경에서, 상기 전체 할당된 차지 펌프 전류의 많은 부분은 레귤레이션에 사용된다. 고속 d.c. 차동 레귤레이션 구성을 사용할 때, 전력 소비가 문제이다.

만약 고주파수 차지 펌프가 액티브 및 대기 모드를 사용하는 IC내에 구현된다면, 동작은 보다 복잡해진다. 상기 액티브 모드동안의 전력소비는 허용가능할 지라도 대기모드동안에 상기 차지 펌프에 의한 전력소모는 여전히 문제이다. 전형적으로, 상기 대기 모드는 훨씬 낮은 전력 소모를 요구하나 아직 상기 차지 펌프는 적어도 소정의 시간에 동작해야 한다. 상기 대기 모드의 목적인 전력을 보존하기 위해서, 사용하지 않을 때에는 고전력 레귤레이션 회로를 오프하는 것이 바람직하다. 여전히 대기 모드인 동안에도, 상기 고전력 레귤레이션 회로는 온되어야 하며 보다 복잡한 제어 및 타이밍 회로를 요구하는 펌프 사이클로 들어가기 전에 안정화 되어야만 한다. 상기 안정화 시간은 전력을 소모하고 대기동안에 상기 전류 소비 규격을 상당히 증가시킨다.

대기동안에 상기 전류 소비를 감소시키기 위한 다른 방법은 상기 고전력 레귤레이터를 완전히 끄고 대신에 항상 온되어 있는 매우 낮은 전력 레귤레이터를 사용하는 것이다. 이 방법은 상기 저전력 레귤레이터가 작동하도록 결정하기 위한 소정의 시간이 필요하기 때문에 다중 또는 부분 펌프가 발생하지 않도록 보장하는 중요한 회로가 필요하다. 다른 변형에서는, 대기 모드동안에 저전력, 낮은 출력 전류 펌프가 동작하여 그 결과 느린 턴 - 온 (turn on) 또는 오프 (off)가 상기 출력 전압에 단지 작은 히스테리시스만을 발생시킨다. 이러한 종래 해결책들은 모두 추가 회로 및 복잡한 제어 로직을 필요로 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 저전력 및 고속인 다이내믹 레귤레이션 시스템에 관한 것이다. 본 발명에 따른 상기 레귤레이터는 입력 신호에 대해 레퍼런스 전압을 비교하고, 내부 레귤레이터 노드가 빨리 상기 전력 레일 (rail) 전압으로 천이 되도록 클럭되는 작은 디바이스들을 가진다. 일단 상기 내부 노드들이 상기 전력 레일 전압일 경우, 적은 전력이 소비된다. 본 발명에 따르면, 작은 디바이스들이 상기 내부 레귤레이터 회로를 구현하는데 사용될 수 있도록 다음 회로로부터의 부하는 최소로 유지된다. 본 발명에 따르면 보다 작은 디바이스가 상기 레귤레이터를 보다 빠르고 보다 적은 전력을 소비하게 할 수 있다. 비록 본 발명의 실시예가 포지티브 차지 펌프와 연관될 지라도, 설명된 모든 기술들은 네거티브 차지 펌프에 응용될 수 있다.

간략히 기술하면, 본 발명은 전력 전압 소스로부터 입력 전압을 수신하기 위해 연결된 입력 노드를 포함하는 차지 펌프 및 주기적인 인에이블 레귤레이터 신호 및 주기적인 리셋 신호를 발생하는 오실레이터 유닛을 포함한다. 레귤레이터 클럭 유닛은 상기 오실레이터 유닛에 연결되어 상기 인에이블 레귤레이터 신호에 반응하여 리셋 레귤레이터 신호 및 프리차지 (PC) 신호를 발생한다. 펌프 클럭 유닛은 마스터 클럭 신호를 수신하고 복수의 펌프 클럭 신호들을 발생한다. 차지 펌프 유닛은 상기 입력 노드에 연결되고 상기 복수의 펌프 클럭 신호들에 의해 제어되어 동작되며, 출력 신호 (V_{pump})를 생성하도록 연결된 출력 터미널로 접속된다. 레귤레이터 유닛은 상기 V_{pump} 신호, 상기 PC 신호, 레퍼런스 신호 및 상기 인에이블 레귤레이터 신호를 수신하도록 연결된다. 상기 레귤레이터 유닛은 상기 인에이블 레귤레이터 신호에 반응하여 프리차지 모드 또는 레귤레이션 모드로 동작한다.

다른 측면에서, 본 발명은 다이내믹 레귤레이터가 프리차지 또는 " 동작 대기 (ready to fire) 상태" 에서 디스에이블 되는 차지 펌프 레귤레이션의 방법을 포함한다. 상기 대기 상태에서, 상기 다이내믹 레귤레이터는 잠금상태가 되어 제로 전력을 소비한다. 상기 레귤레이터의 상기 내부 노드는 상기 전원에서 분리되어 전원이 소비되지 않는다. 그러나 잔류부분은 레퍼런스 전압 및 입력 신호에 접속된다. 상기 대기 상태에서 인에이블된 상태로 천이되기 전에, 상기 다이내믹 레귤레이터의 내부 노드들은 상기 내부 노드들을 적정 레벨로 스루 (slew)하기 위해 요구되는 레이턴시 패널티 (latency penalty)를 피하기 위하여 이미 차동 프리차지 레벨로 된다. 상기 인에이블 상태로 천이된 직후 상기 다이내믹 레귤레이터는 지체없이 클럭된다.

발명의 구성 및 작용

도 1은 본 발명에 따른 전압 상승 컨버터를 블록 다이어그램 형태로 도시한 것이다. 일반적으로 전자 시스템은 도 1에 도시한 것과 같이 상호작용하는 기능성 유닛의 집합으로 나타난다. 오실레이터 (102)는 외부적으로 발생된 ENABLE 신호에 의해 인에이블된다. 오실레이터 (102)는 레귤레이터 클럭 유닛 (104) 및 레귤레이터 유닛 (106)으로 연결되는 인에이블 레귤레이터 (ENREG) 신호를 출력한다. 상기 ENREG 신호는 레귤레이터 유닛 (106)으로 연결되는 프리차지 (PC) 신호 및 리셋 레귤레이터 (RSTREG) 신호를 유도하도록 레귤레이터 클럭 유닛 (104)에 의해 사용된다.

레귤레이터 클럭 유닛 (104)는 상기 ENREG 신호가 로우 (즉, 디스에이블된 상태)로 될 때, 레귤레이터 클럭 유닛 (104)으로부터의 상기 PC 신호는 아래에 자세히 설명되는 것과 같이 다이내믹 레귤레이터 유닛 (106)을 프리차지하도록 하이로 되는 것과 같이 동작한다. 또한, 상기 ENREG 신호는 상기 레귤레이터 유닛 (106)을 매우 민감한 레퍼런스 전압 (V_{ref}) 및 신호 전압 (V_{pump}) 노드로 부터 분리하기 위하여 레귤레이터 유닛 (106)에 사용되며, 그 결과 이러한 민감한 노드들은 상기 증폭 및 래치 과정동안에 전기적으로 교란되지 않는다. 상기 다음 싸이클에 대해 레귤레이터 유닛 (106)을 프리차지하기 위해 하이 상태로의 상기 PC 신호천이에 반응하여, 레귤레이터 클럭 유닛 (104)에 의해 발생된 상기 리셋 레귤레이터 신호 (RSTREG)는 상기 레귤레이터 유닛 (106)을 리셋하기 위해 로우로 펄스된다.

하이 상태 (즉, 인에이블된 상태)로 ENREG 천이 이후 및 상기 차지 펌프가 인에이블되는 동안의 그 후의 모든 싸이클들에서, 레귤레이터 클럭 유닛 (104)는 상기 PC신호가 빨리 로우로 펄스하여 상기 프리차지 및 "클럭" 레귤레이터 유닛 (106)을 차단하도록 동작한다. "클럭킹 (clocking)" 레귤레이터 유닛 (106)은 상기 다이내믹 레귤레이터의 상기 V_{ref} 및 V_{pump} 입력들사이의 차이를 증폭 및 래치하는 것을 의미한다. 상기 래치된 차이가 나는 신호는 상기 마스터 클럭 (MCLK) 신호를 발생하도록 (도 2를 참조로 자세히 설명되는 것과 같이) 처리된다. 상기 MCLK 신호는 차지 펌프 유닛 (110)을 드라이브하기 위해 필요한 모든 클럭들을 발생하도록 펌프 클럭 유닛 (108)에 의해 사용된다. 펌프 클럭 유닛 (108) 및 차지 펌프 회로 (110)의 동작 및 구현에 관한 자세한 이해는 본 발명을 이해하는데 반드시 필요하지 않다. 따라서, 본 발명의 도시 및 이해를 쉽게 하기 위해서 이러한 자세한 설명은 제공되지 않는다.

도 2는 본 발명에 따른 다이내믹 레귤레이터 회로 (200)을 포함하는 레귤레이터 유닛 (106)을 혼합/개략적인/블록 다이어그램 형태로 보다 자세히 도시한다. 다이내믹 레귤레이터 (220)로의 상기 입력들중 하나는 상기 펌프된 출력 V_{pump} 그 자체일수도 있다. 좀 더 전형적으로, 디바이더 유닛 (202)에 의해 발생된 V_{pump} 의 전압 디바이드된 버전이 사용된다. 다이내믹 레귤레이터 (200)로의 상기 V_{ref} 입력은 레퍼런스 유닛 (204)에 의해 발생하는 레퍼런스 전압 - V_{pump} 가 비교되는 - 을 포함한다. 도 2의 예에서, V_{pump} 는 디바이더 유닛 (202)에 의해 아래로 디바이드되고 레귤레이터 유닛 (106)의 포지티브 전원 전압 근처에서 동작한다. 이러한 방식으로, 상기 V_{ref} 는 추가적인 레퍼런스 전압 발생기 회로가 필요없이 상기 포지티브 전원 전압 자체에 의해 제공될 수 있다.

V_{ref} 가 반드시 상기 포지티브 전원일 필요는 없으며, 본 명세서의 상기 특별한 예는 다른 레퍼런스 전압 기술에 쉽게 채용될 수 있다는 것을 이해해야 한다. 예를 들면, V_{ref} 및 V_{pump} 가 레귤레이터 유닛 (106)에 대해 네거티브 전원 또는 그 근처에서 동작하는 것과 같은 상보형 (complementary) 회로가 쉽게 이용가능하다. 상기 입력들이 상기 포지티브 및 네거티브 전원들사이의 선택된 레벨로 동작하는 것과 같은 다른 회로들도 이용가능하다. 이처럼 비슷한 대안들은 본 명세서에 주어진 상기 특정예들과 동등하다.

레귤레이터 유닛 (106)은 상기 Vpump의 디바이더된 레벨이 Vref보다 작을 경우 Vpump가 상기 희망하는 전압보다 낮다는 신호를 보내는 MCLK 신호를 발생하도록 동작한다. 만약 Vpump가 적당한 레벨 (즉, Vref보다 높은 레벨)이라면, 어떠한 MCLK도 발생하지 않는다. 다이내믹 레귤레이터 (200)는 노드 (214)에 부하 (228)가 연결된 래치 (212)를 형성하는 한쌍의 교차 연결된 인버터를 포함한다. 노드 (216) 및 (218)은 래치 (212)의 반전 및 비반전 출력을 형성한다. 부하 (228)은 일반적인 수동 또는 액티브 디바이스를 사용하여 쉽게 구현되는 저항 - 커패시터 (RC) 회로를 포함한다.

레귤레이터 회로 (106)은 상기 Vcc 전원 소스 또는 다른 이용가능한 외부 전원 소스로 연결된 전원 소스 노드를 포함한다. 노드 (214)는 상기 Vcc 전원 소스로부터 레귤레이터 유닛 (106)을 통하여 접지 (또는 소정의 이용가능하며 상기 Vcc 전원 소스로의 회귀 (return) 전류 경로)로의 전류 플로우 경로를 완성하는 전원 회귀 노드의 역할을 한다. 회귀 노드 (214)에 연결된 부하 (228)은 노드 (214)가 플로우팅되는 것을 방지하나 노드 (214)의 상기 전압이 프리차지 디바이스 (222) 및 클럭된 디바이스 (226), (234)를 이용하여 제어될 수 있도록 충분한 임피던스를 제공한다. 노드 (214)의 상기 전압의 조작은 래치 (212)가 래치 (212)를 디스에이블하도록 Vcc 근처의 전압을 충분히 유지하는 노드 (214)를 갖는 감지 모드 및 노드 (214)가 접지로 유지되어 래치 (212)를 인에이블하는 래치 모드로 동작되도록 한다.

다이내믹 레귤레이터 (200)은 프리차지 디바이스 (222) 및 클럭킹 디바이스 (226, 234)를 더 포함한다. 프리차지 디바이스 (222)는 레귤레이터 클럭 유닛 (104) (도 1에 도시됨)로부터의 상기 PC 신호에 의해 제어된다. 스위치 (207) 및 (209)는 각각 상기 RSTREG 신호에 반응하여 출력 노드 (216) 및 (218)을 Vcc로 프리차지한다. 바람직하게, 출력 노드 (216) 및 (218)은 각각 스위치 (206) 및 (208)에 의해 Vpump 및 Vref로부터 분리 또는 고립되도록 제어될 수 있다. 스위치 (206) 및 (208)은 아래에서 토의될 상기 ENREG 신호에 의해 제어된다.

상기 PC 신호는 인버터 (224)를 통해 연결되어 클럭킹 디바이스 (226)을 제어하는 감지 신호 (SEN)를 발생한다. 상기 SEN 신호는 제1 지연 유닛 (232)를 통해 연결되어 클럭킹 디바이스 (234)를 제어하는 SET 신호를 발생한다. 지연 유닛 (232)는 일반적으로 2개의 직렬 연결된 인버터로 구현되어 상기 SEN 및 SET 신호들 사이의 2개 게이트 지연 시간차이를 제공한다. 그러나, 지연 유닛 (232)을 구현하기 위해 어떠한 이용가능한 지연 기술도 사용할 수 있다. 상기 SET 신호는 제2 지연 유닛 (236)을 통해 연결되어 래치 신호 (LAT)를 디글리치 (deglitch) 유닛 (242)으로 발생한다.

도 2에 도시한 것과 같이, 래치 (212)의 반전된 출력 (216) 및 비반전 출력 (218)은 디글리칭 유닛 (242)에 연결된다. 디글리칭 유닛 (242)으로부터의 상기 디글리칭 신호는 마스터 클럭 신호 (MCLK)를 발생하는 출력 래치 (244)의 세트 입력으로 연결된다. 래치 (244)는 상기 외부 RSTMCLKB 신호를 래치 (244)의 리셋 입력에 적용함으로써 리셋될 수 있다.

특별한 예에서, ENREG는 도 4에 도시된 것과 같이 50% 듀티 싸이클에 근접하며 약 30Mhz로 동작한다. 동작시, 상기 ENREG 신호가 로우 (안정된 상태)인 동안, 상기 PC 신호는 하이이고 SEN, SET 및 LAT (도 5에 도시됨)는 로우이다. 또한 ENREG가 로우로 된 직후, RSTMCLKB가 로우로 펄스되며, PC가 하이로 된 직후 RSTREGB는 로우로 펄스되었다가 하이로 돌아온다. 상기 상태와 같은 이러한 신호들의 조합에 의해 레귤레이터 유닛 (106)은 프리차지 모드가 된다. 대기 및 상기 싸이클링 ENREG의 로우 시간동안에 레귤레이터 유닛 (106)은 프리차지 모드가 된다. ENREG 로우와 함께, 상기 디바이더된 Vpump 신호 (도 4에 도시됨)는 디바이스 (206)을 통해 래치 (212)로 연결되며 레퍼런스 입력 Vref는 디바이스 (208)을 통해 래치 (212)로 연결된다. 상기 RSTREGB 신호가 이보다 먼저 로우로 펄스되기 때문에, 노드 (216) 및 노드 (218)은 모두 실질적으로 Vcc로 프리차지된다. 상기 하이로 된 PC 신호는 프리차지 디바이

이스 (222)를 온 시키고 클럭 디바이스 (226) 및 (234)를 오프상태로 유지한다.

프리차지 디바이스 (222)는 바람직하게 최소 길이 N 채널 트랜지스터로 제공된다. 이러한 상태에서, 노드 (214)는 전압을 실질적으로 V_{cc} 에서 최소 길이 n채널 트랜지스터의 임계치 전압 아래와 동일하게 결정한다. 노드 (214)에서의 이러한 전압은 래치 (212)내의 상기 인버터 (도 2에 도시됨)를 오프시킨다. 특별한 구현에 있어서, 래치 (212)내의 상기 인버터는 최소길이가 아닌 트랜지스터로 구현되며 그 결과 노드 (216) 및 노드 (218)이 V_{cc} 근처에 있을 경우, 래치 (212)내의 상기 인버터가 오프 (즉, 전류가 흐르지 않음)가 된다. 따라서, 노드 (216) 및 노드 (218)은 V_{cc} 및 노드 (214)와 분리되고 노드 (216) 및 노드 (218)이 바라보는 유일한 영향은 디바이스 (206) 및 (208)을 통한 상기 입력들이다.

도 3은 낮은 대기 전력사용을 제공하는 디글리치 유닛 (242) 및 래치 (244)의 바람직한 구현을 도시한다. 도 3에 도시된 것과 같이, V_{cc} 근처 (상술한 상기 프리차지 상태)의 노드 (216) 및 노드 (218)과 함께 노드 (302)는 하이이며 노드 (304)는 로우이다. 상기 로우인 노드 (304) 및 상기 로우인 LAT 신호는 모두 디바이스 (306) 및 (310)을 오프 시키고 그 결과 RSTMCLKB가 로우인 동안에는 디바이스 (312)가 온일지라도 어떠한 전류 경로도 존재하지 않는다. 따라서 교차 연결된 인버터 (314)로의 상기 입력은 하이이며 상기 발생된 MCLK 신호는 로우이다. 따라서, 레귤레이터 유닛 (106)이 프리차지 모드인 동안에는 전류 경로가 존재하지 않고 다이내믹 레귤레이터 (200)는 계속적으로 상기 V_{pump} (또는 상기 디바이더된 V_{pump}) 및 상기 V_{ref} 입력을 샘플링하고 상기 PC 신호가 로우로 갈 경우 즉시 레귤레이션을 위한 준비상태가 된다.

도 5는 2개의 싸이클. MCLK 파이어링 (firing)을 가지지 않는 첫번째 싸이클 및 MCLK 파이어링 (firing)을 갖는 두번째 싸이클, 을 도시한다. 본 발명에 따라 상기 차지 펌프가 인에이블 될 경우, 도 2에 도시된 것과 같이 ENREG는 하이로 되어 디바이스 (206) 및 (208)을 오프하여 노드 (216) 및 (218)에서 상기 V_{pump} (또는 디바이더된 V_{pump}) 및 상기 V_{ref} 입력 전압을 유지한다. PC는 즉각 로우로 펄스되어 프리차지 디바이스 (222)를 오프하고 SEN은 하이로 되어 클럭 디바이스 (226)을 온시킨다. 특별한 예에서, 클럭 디바이스 (226)은 클럭 디바이스 (234)에 비해 작다. 노드 (214)는 부하 (228)로 연결되기 때문에, 노드 (214)는 V_{cc} 아래의 최소 길이 N 채널 임계치로 부터 접지까지 서서히 스루하기 시작한다.

특별한 실시예에서, 상기 다이내믹 레귤레이터 (106)의 클럭킹은 2단계: 상기 입력과 짧은 지연이후 사이의 차이를 서서히 증폭하기 위한 첫번째 단계, 상기 입력의 상기 상태를 반영하는 상태로 상기 레귤레이터를 빠르게 래치하기 위한 두번째 단계, 로 이루어진다. 한 실시예에서, 이러한 2 단계 클럭킹은 레귤레이터 유닛 (106)내에서 직접 발생한다. 클럭킹 동안에, 노드 (216) 및 노드 (218)에 차이가 존재할 경우, 노드 (214)는 로우로 스루하고 래치 (212)는 노드 (216) 또는 보다 낮은 노드 (218)중의 하나의 전압으로 나아간다. 구체적으로, 노드 (216)이 노드 (218)보다 낮게 시작된다면, 노드 (216)은 로우로 스루한다. 유사하게, 노드 (218)이 노드 (216)보다 낮게 시작한다면, 노드 (218)은 초기에는 로우로 스루할 것이다. 결국, 래치 (212)는 상기 초기에 보다 높은 노드가 V_{cc} 로 스루되게 한다. 노드 (216) 및 노드 (218)이 반대 방향으로 진행된다면, 상기 SET신호는 SEN이후 지연시간에 하이로 되고 비교적 큰 클럭 디바이스 (234)를 온시켜 래치 (212)의 출력 노드 (216) 및 (218)이 자신들의 세트 값으로 빠르게 스루되도록 한다. 클럭 디바이스 (226) 및 클럭 디바이스 (234)사이의 상기 크기 차이는 본 발명에 따른 상기 서로 다른 스루 레이트 (slewing rate) 특징을 제공한다.

노드 (216) 및 (218)은 모두 하이로 시작하여 단지 한 노드가 로우로 되고 하이로 유지하는 측은 잠시 로우로 글리치

(glitch)되는 것과 같은 특징이 있을 수 있다. 도 3에 도시된 상기 회로는 노드 (216) 및 (218)의 한쪽에서 상기 일시적인 로우로 향하는 드롭을 보상하기 위해 사용되는 디글리치 유닛 (242)을 구현한다. 앞서 언급한 것과 같이, 노드 (216) 및 (218)이 하이로 시작하면, 노드 (302)는 하이로 되고 노드 (304)는 로우로 된다. 또한 인버터 (318)이 $V_{cc}/2$ 아래인 스위치 포인트 갖는 동안에 입력이 노드 (216)인 인버터 (316)는 매우 낮은 스위치 포인트 (상대적인 트랜지스터 크기로 결정됨)로 구비된다. 만약 노드 (216)이 로우로 되는 부분이라면, 노드 (304)는 하이로 되고 노드 (218)은 낮은 글리치를 경험할 것이다. 그러나 $V_{cc}/2$ 보다 낮지는 않고 따라서 노드 (302)는 하이로 유지된다. LAT가 SET이후 지연시간에 하이로 될때, 교차 연결된 인버터 (314)로의 입력은 로우로 된다. 그 후, MCLK는 펌프 클럭 유닛 (108) (도 1에 도시됨)에서 발생된 인에이블 클럭 신호들로 하여금 차지 펌프 (110)을 파이어 (fire) 및 드라이브 하도록 한다.

그러나, 노드 (216)은 하이로 유지하는 부분이나 일시적으로 로우로 글리치되며 인버터 (316)의 스위치 포인트보다 낮지는 않다. 그 후, 노드 (304)는 로우로 유지된다. 노드 (218)은 로우로 되고 노드 (302)는 따라간다. LAT가 하이로 될 경우, 디바이스 (306) 및 디바이스 (308)은 모두 오프가 되고 상기 MCLK 신호의 발생을 방지하면서 인버터 (314)로의 입력은 하이로 유지된다. (216) 및 (218)이 서로 동일하게 시작되는 경우에는 노드 (216) 및 노드 (218)은 모두 첫번째로 인버터 (318), 가능하면 두번째로 인버터 (316)의 스위치 포인트를 지나 매우 낮게 글리치될 수 있다는 것을 명심해야 한다. 상기 디글리치 회로의 신호는 MCLK 신호를 발생하지 않는 것이고 따라서 노드 (216) 및 (218)가 모두 로우로 글리치되는 조건아래에서는 인버터 (318)은 인버터 (316)이 가능한 한 노드 (304)를 하이로 되도록 하기 전에 먼저 노드 (302)가 로우로 되게 한다. 노드 (302)가 로우이고 가능한 한 노드 (304)가 하이인 조건은 MCLK 펄스를 발생하지 않는다. 소정의 포인트에서, 다이내믹 레귤레이터 (200)은 결정해야 하고 노드 (216) 또는 노드 (218)중 하나가 다시 하이로 되게 해야 한다. 만약 노드 (216)이 다시 하이로 된다면, LAT가 파이어 될때, 노드 (304)는 로우로 되고 어떤 MCLK 펄스도 발생하지 않는다. 그러나, 노드 (218)이 다시 하이로 된다면 노드 (302)는 이미 하이인 노드 (304)와 함께 하이로 되돌아 가서 풀 MCLK 펄스를 발생시킨다. 이러한 디글리치 구성에서는 어떤 MCLK 펄스도 발생하지 않는다.

특별한 예에서, ENREG가 하이로 되어 레귤레이션을 시작하도록 인에이블 한 후에, MCLK는 대략 7ns내에 파이어 할 수 있다. 따라서, 본 발명에 따른 상기 장치 및 방법은 낮은 대기 전력 용도에 효율적일 뿐만아니라 빠르다. 더구나, 상기 바람직한 구현은 빠르게 스위치하는 작은 디바이스를 사용하고, 일단 노드 (216) 및 (218)이 상기 전원 레벨로 천이될 경우, 실질적으로 전력은 소비되지 않는다. 따라서, 본 발명에 따른 상기 레귤레이터는 액티브인 경우와 대기로부터 액티브로 스위칭될 경우 모두 효율적이다.

비록 본 발명이 일정한 특징으로 도시 및 설명되었지만, 본 발명의 개시는 단지 예시일 뿐이며 이후에 청구되는 것과 같이 본 발명의 개념 및 범주로 부터 벗어남이 없이 본 분야의 숙련된 사람에게는 부분들의 조합 및 배치상의 수 많은 변화가 사용될 수 있음을 이해해야 한다.

발명의 효과

저전력 및 고속인 다이내믹 레귤레이션 시스템에 관한 본 발명에 따르면, 상기 레귤레이터는 종전 기술 대비하여 적은 전력이 소비되며, 작은 디바이스들이 상기 내부 레귤레이터 회로를 구현하는데 사용될 수 있도록 다음 회로로부터의 부하는 최소로 유지된다. 따라서, 보다 작은 디바이스가 상기 레귤레이터를 보다 빠르고 보다 적은 전력을 소비하게 할 수 있다.

또한, 다이내믹 레귤레이터가 프리차지 또는 " 동작 대기 (ready to fire) 상태" 에서 디스에이블되는 차지 펌프 레귤레이션의 방법을 포함하는 본 발명에 따르면, 상기 대기 상태에서, 상기 다이내믹 레귤레이터는 잠금상태가 되어 제로 전력을 소비하며, 상기 레귤레이터의 상기 내부 노드는 상기 전원에서 분리되어 전원이 소비되지 않는다.

(57) 청구의 범위

청구항 1.

차지 펌프 (charge pump)에 있어서,

전원 전압 소스로부터 입력 전압을 수신하기 위해 연결된 입력 노드;

주기적인 인에이블 레귤레이터 (regulator) 신호 및 주기적인 리셋 신호를 발생하는 오실레이터 유닛;

상기 오실레이터 유닛에 연결되어, 상기 인에이블 레귤레이터 신호에 반응하여 프리차지 (PC) 신호 및 리셋 레귤레이터 신호를 발생하는 레귤레이터 유닛;

마스터 클럭 신호를 수신하고 복수의 펌프 클럭 신호들을 발생하는 펌프 클럭 유닛;

상기 입력 노드에 연결되고 상기 다수의 펌프 클럭 신호들에 의해 제어되어 동작하고, 출력 신호 (Vpump)를 발생하도록 연결된 출력 터미널에 접속되어 있는 차지 펌프 유닛;

레퍼런스 (reference) 신호를 발생하는 레퍼런스 유닛; 및

상기 Vpump 신호, 상기 PC 신호, 상기 레퍼런스 신호 및 상기 인에이블 레귤레이터 신호를 수신하도록 연결된 레귤레이터 유닛

을 포함하며,

상기 레귤레이터 유닛은 상기 인에이블 레귤레이터 신호에 반응하여 프리차지 모드 또는 레귤레이션 모드중 하나로 동작하는

것을 특징으로 하는 차지 펌프.

청구항 2.

제1항에 있어서,

상기 레귤레이터 유닛은 상기 프리차지 모드 동안에 상기 PC 신호에 반응하여 내부 레귤레이터 노드들을 프리차지하는 것을 특징으로 하는 차지 펌프.

청구항 3.

제1항에 있어서,

상기 레귤레이터 유닛은 상기 레퍼런스 신호 및 상기 Vpump 신호의 상대적인 크기에 추가로 반응하여 상기 마스터 클럭 신호를 발생하는 것을 특징으로 하는 차지 펌프.

청구항 4.

제1항에 있어서,

상기 인에이블 레귤레이터 신호에 반응하여 상기 레귤레이터 유닛을 상기 Vpump 신호로부터 선택적으로 분리하기 위해 상기 Vpump 신호와 상기 레귤레이터 유닛사이에 연결된 제1 분리 스위치를 더 포함하는 것을 특징으로 하는 차지 펌프.

청구항 5.

제3항에 있어서,

상기 인에이블 레귤레이터 신호에 반응하여 상기 레귤레이터 유닛을 상기 레퍼런스 신호로부터 선택적으로 분리하기 위해 상기 레퍼런스 신호와 상기 레귤레이터 유닛사이에 연결된 제2 분리 스위치를 더 포함하는 것을 특징으로 하는 차지 펌프.

청구항 6.

제1항에 있어서,

상기 PC 신호는 상기 인에이블 레귤레이터 신호가 상기 프리차지 모드를 시작하도록 상태를 변화시킨 후 상기 내부 레귤레이터 노드들을 프리차지하기 위해 상태를 변화시키는 것을 특징으로 하는 차지 펌프.

청구항 7.

제1항에 있어서,

상기 레귤레이터 유닛은 상기 프리차지 모드동안에 상기 레퍼런스 신호와 대략적으로 동일한 크기를 갖는 전압 소스로 상기 내부 레귤레이터 노드를 연결하도록 상기 리셋 레귤레이터 신호에 더 반응하는 것을 특징으로 하는 차지 펌프.

청구항 8.

제1항에 있어서,

상기 레귤레이터 유닛은

외부 전력 소스 전압에 연결된 전원 소스 노드;

전원 리턴 노드;

상기 PC 신호에 의해 제어되어 상기 외부 전력 소스 전압과 실질적으로 동일한 전압으로 상기 전원 리턴 노드를 연결하도록 동작하는 제1 스위치; 및

상기 PC 신호에 의해 제어되어 상기 전원 리턴 노드를 접지와 연결하도록 동작하는 제2 스위치를 더 포함하는 것을 특징으로 하는 차지 펌프.

청구항 9.

제8항에 있어서,

상기 PC 신호를 수신하고 지연된 PC 신호를 발생하도록 연결된 지연 (delay) 유닛; 및

상기 지연된 PC 신호에 의해 제어되어 상기 전원 리턴 노드를 접지와 연결하도록 동작하는 제3 스위치를 더 포함하는 것을 특징으로 하는 차지 펌프.

청구항 10.

제9항에 있어서,

상기 제3 스위치는 상기 제2 스위치보다 큰 것을 특징으로 하는 차지 펌프.

청구항 11.

차지 펌프 유닛에 사용하는 클럭 펄스를 발생하기 위한 다이내믹 레귤레이터에 있어서,

상기 차지 펌프의 출력 노드에 연결된 제1 입력 노드;

레퍼런스 신호에 연결된 제2 입력 노드;

전압 소스에 연결된 제1 공급 노드, 제2 공급노드, 상기 제1 입력 노드에 연결된 제1 신호 노드 및 상기 제2 입력 노드에 연결된 제2 신호 노드를 갖는 래치;

상기 제2 공급 노드를 접지로 연결하며, 특성 시상수 (time constant)를 갖는 부하; 및

상기 제2 공급 노드로 연결되고 프리차지 제어 신호를 수신하는 프리차지 유닛을 포함하며,

상기 프리차지 유닛은 상기 제2 공급 노드를 상기 전압 소스의 리턴 노드로 선택적으로 연결하는 것을 특징으로 하는 다이내믹 레귤레이터.

청구항 12.

제11항에 있어서,

상기 프리차지 유닛은 상기 프리차지 제어 신호에 반응하고, 상기 래치가 래칭되는 것을 방지하기 위해 선택된 전압으로 상기 제2 공급 노드를 선택적으로 연결하도록 접속된 제1 스위치를 더 포함하는 것을 특징으로 하는 다이내믹 레귤레이터.

청구항 13.

제11항에 있어서,

상기 프리차지 유닛은 상기 프리차지 제어 신호에 의해 제어되어 동작되고, 상기 전압 소스에 연결된 제1 전류 운반 노드 및 상기 제2 공급 노드에 연결된 제2 전류 운반 노드를 갖는 제1 스위치를 더 포함하는 것을 특징으로 하는 다이내믹 레귤레이터.

청구항 14.

제11항에 있어서,

상기 프리차지 유닛은

상기 프리차지 제어 신호에 의해 제어되어 제2 공급노드를 접지와 연결하도록 동작하는 제1 스위치;

상기 프리차지 신호를 수신하고 지연된 프리차지 신호를 발생하도록 연결된 지연 유닛; 및

상기 지연된 프리차지 제어 신호에 의해 제어되어 제2 공급노드를 접지와 연결하도록 동작하는 제2 스위치를 더 포함하는 것을 특징으로 하는 다이내믹 레귤레이터.

청구항 15.

제14항에 있어서,

상기 제2 스위치는 상기 제1 스위치보다 낮은 온 - 저항을 갖는 것을 특징으로 하는 다이내믹 레귤레이터.

청구항 16.

제11항에 있어서,

상기 다이내믹 레귤레이터는 상기 제1 입력 노드로 부터 상기 래치를 선택적으로 분리하기 위해 상기 제1 입력 노드와 상기 제1 신호 노드사이에 연결된 제1 분리 스위치를 더 포함하며,

상기 제1 분리 스위치는 외부 인에이블 레귤레이터 신호에 의해 제어되어 동작하는 것을 특징으로 하는 다이내믹 레귤레이터.

청구항 17.

제16항에 있어서,

상기 차지 펌프는 상기 제2 입력 노드로 부터 상기 래치를 선택적으로 분리하기 위해 상기 제2 입력 노드와 상기 제2 신호 노드사이에 연결된 제2 분리 스위치를 더 포함하며,

상기 제2 분리 스위치는 상기 외부 인에이블 레귤레이터 신호에 의해 제어되어 동작되는 것을 특징으로 하는 차지 펌프.

청구항 18.

차지 펌프 디바이스에서 사용하는 클럭 신호를 발생하기 위한 방법에 있어서,

레퍼런스 전압, 차지 펌프 출력 전압, 및 주기적인 인에이블 신호를 감지하도록 연결된 레귤레이터를 제공하는 단계;

상기 레귤레이터를 프리차지 상태로 놓는 단계;

상기 프리차지 상태동안에 상기 레귤레이터의 내부 노드들을 프리차징하는 단계;

상기 레귤레이터를 대기 상태로 놓는 단계;

상기 대기 상태동안에 상기 전원들로부터 상기 레귤레이터의 상기 내부 노드들을 분리하는 단계;

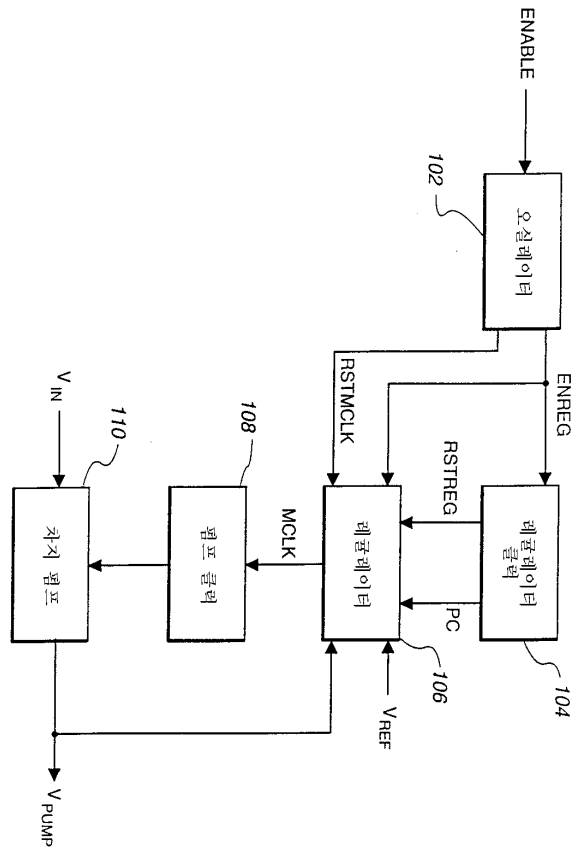
상기 대기 상태동안에 상기 레귤레이터의 상기 내부 노드들을 상기 레퍼런스 전압 및 상기 차지 펌프 출력 전압으로 연결하는 단계;

상기 레귤레이터를 인에이블된 상태로 놓는 단계; 및

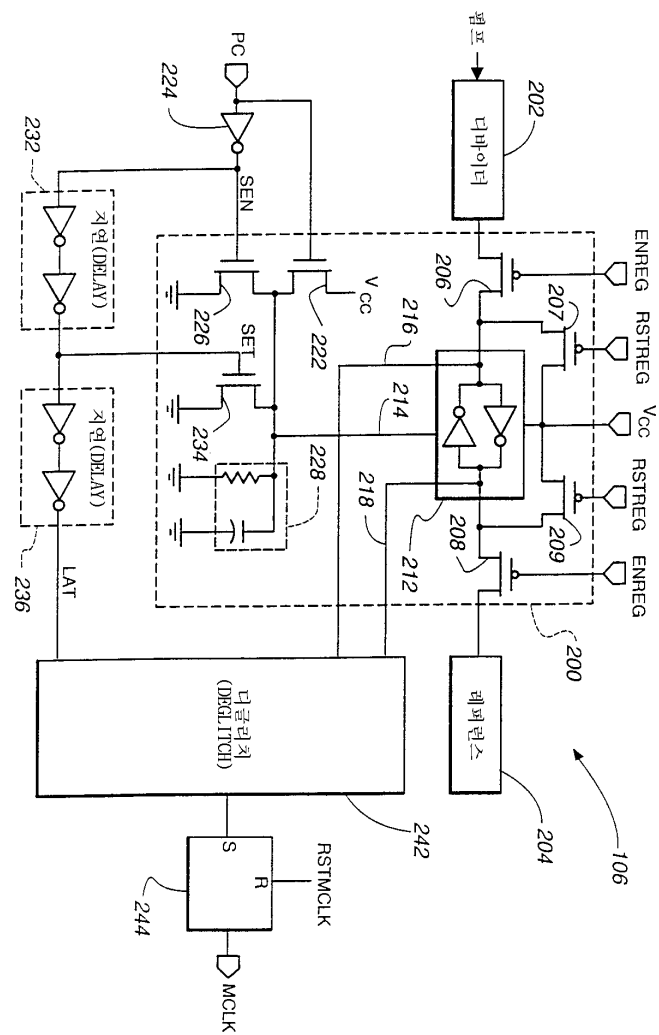
상기 인에이블 상태로 천이된 직후 상기 다이내믹 레귤레이터를 클럭킹하여 상기 클럭 신호를 발생하는 단계를 포함하는 것을 특징으로 하는 방법.

도면

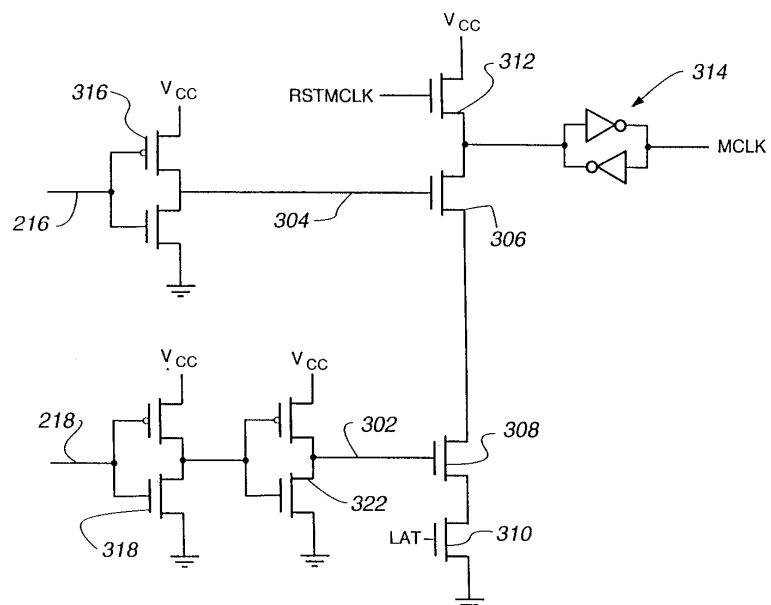
도면 1



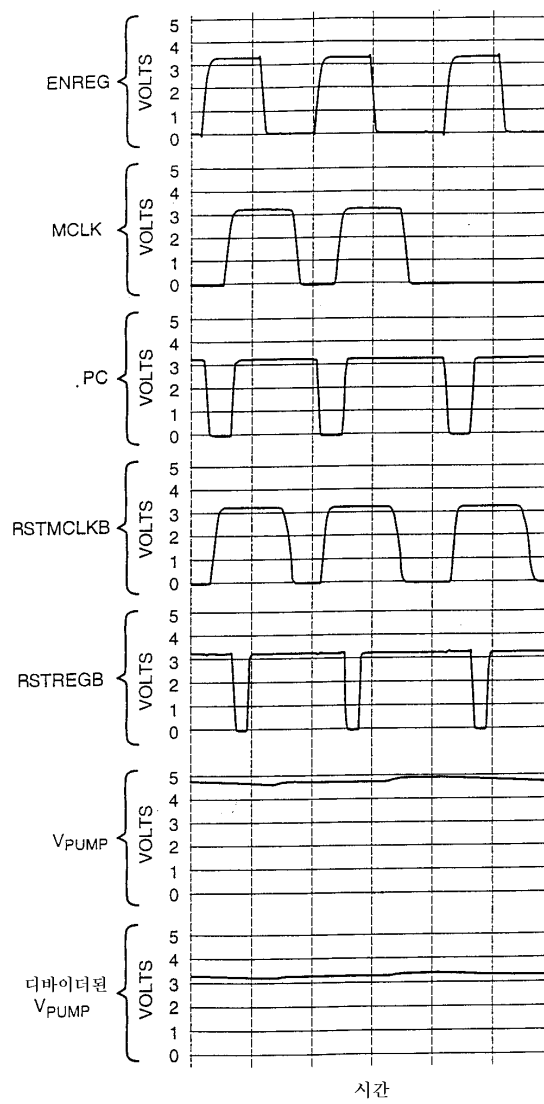
도면 2



도면 3



도면 4



도면 5

