

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 27/115

(45) 공고일자 2000년09월 15일

(11) 등록번호 10-0266045

(24) 등록일자 2000년06월 20일

(21) 출원번호	10-1992-0700778	(65) 공개번호	특 1992-0702553
(22) 출원일자	1992년04월06일	(43) 공개일자	1992년09월03일
(86) 국제출원번호	PCT/JP 91/01050	(87) 국제공개번호	W0 91/02955
(86) 국제출원일자	1991년08월06일	(87) 국제공개일자	1992년02월20일

(30) 우선권주장	90-208968	1990년08월07일	일본(JP)
(73) 특허권자	세이코 엡슨 가부시기가이샤	야스카와 히데아키	
(72) 발명자	일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1	다케나카가즈히로	
(74) 대리인	일본국나가노켄스와시오와3조메3반5고세이꼬엡슨가부시끼가이샤나이	이병호	

심사관 : 임동우

(54) 반도체장치

요약

게이트 전극(23)과 국소 산화막(26)과 새의 소스 영역 24 상의 강유전체 캐패시터 C의 구조체가 존재한다. 이것은 강유전체막(29)과 이것을 끼는 강부 전극(32) 및 하부 전극(28)을 가지며, 하부 전극(28)과 제 1 층간 절연막 30 과의 새에 산소 확산 방지막 31을 구비하고 있다. 산소 확산 방지막(31)은 SiN, SiON 이다. 강유전체막(29)의 결정성 개질의 목적으로 강유전체막 29의 형성 후, 산소 어닐 처리해도 산소는 산소 확산 방지막 31에 의해 블록된다. 그러므로, 트랜지스터의 문턱값 전압의 변동이나 리크 전류의 증대는 거의 일어나지 않으며, 강유전체막 형성 조건의 자유도는 증가되며 고성능, 고밀도 집적의 강유전체 메모리가 형성된다.

대표도

도 1

명세서

기술분야

본 발명은 비휘발성 메모리 등에 적용 가능한 강유전체 커패시터 등의 강유전체를 구비한 반도체 장치에 관한 것이다.

배경기술

인가 전압의 정역극성에 의해 분극 반전 가능한 강유전체를 사용한 비휘발성 메모리는, 정보 기록 시간과 정보 판독 시간이 원리적으로 동일하다. 또, 정지 상태(백업시)는 전압 무인가로도 분극(잔류 분극)이 유지되므로 이상적인 비휘발성 메모리로서 유망시되고 있다.

종래, 강유전체 커패시터를 사용한 반도체 비휘발성 메모리로서, 미국 특허 4,149,302 호와 같이 실리콘(Si) 기판상에 강유전체 커패시터를 집적한 구조의 것과, 미국 특허 3,832,700 호와 같이 MIS형 트랜지스터의 게이트 전극 상에 강유전체막을 배치한 구조인 것이 제안되고 있다.

비휘발성 메모리 셀은, 일반적으로 제9도에 도시하듯이 워드선 W에 접속된 게이트 전극 G와 비트선 B에 접속된 드레인 전극 D와 강유전체 커패시터 C의 한쪽의 전극에 접속된 소스 전극 S를 갖는 N형 트랜지스터 Tr를 가지며, 강유전체 커패시터 C의 다른쪽의 전극이 플레이트 선 P에 접속된 회로 구성이다. 이 같은 메모리 셀의 현실적인 반도체 구조로서, 최근에는 제10도에 도시하는 것이 제안되어 있다. 제10도에 도시하는 반도체 구조는, P형 실리콘 기판(1) 상의 게이트 산화막(2)을 거쳐서 형성된 폴리실리콘(다결정 실리콘)의 게이트 전극(3)과, 자기 정합에 의해 실리콘 기판(1)내에 확산 형성된 고농도 N형의 소스 영역(4) 및 드레인 영역(5)으로 이루어진 N형 MOS 트랜지스터 Tr과, 소자 분리용의 국소 산화막(LOCOS)(6)상에서의 인 유리등의 층간 절연막(7)의 위에 형성된 강유전체 커패시터 C를 가지며, 층간 절연막(7)상의 강유전체 커패시터 C는, 백금(Pt) 등의 하부 전극(8), PZT 등의 강유전체막(9) 및 알루미늄(Al)의 상부 전극(10)이 순차 적층 형성되어 이루어진다. 그리고 고농도의 확산 영역인 소스 영역과 상부 전극(10)은 접촉 구멍(11)을 거쳐서 AI의 배선(12)에 의해 접속되어 있다. 또한, 13은 인

유리등의 제 2 층간 절연막이다.

그런데, 강유전체는 산화물이므로, 결정성의 개선 때문에 산소 어닐링을 강유전체막(9)의 형성 후에 행할 필요가 있다. 산소 어닐링을 행하면 강유전체막(9)의 결정성은 개선되지만, 반면 트랜지스터 부분에 있어서 산소가 실리콘 계면까지 확산되어 계면 준위를 발생시키고, 문턱값 전압을 변동시키거나 소스 및 드레인의 확산층 누설 전류를 증가시키거나 한다.

또, 제10도와 같이 국소 산화막(6)상의 층간 절연막(7)을 거쳐서 강유전체 커패시터 C 를 형성한 구조에서는, 국소산화막(6)상의 스페이스를 유효 활용해서 강유전체 커패시터 C 가 형성되어 있지만, 소스 영역(11)으로부터 상부 전극(10)까지와, 또 상부 전극(10)으로부터 플레이트션 P 까지의 배선(12)의 길이가 용장화 되어 있으며, 메모리 셀 점유 면적의 증대를 초래하고 있다. 그래서 본 발명자는 제11도에 도시하는 바와 같이 강유전체막(9)을 소스 영역(4) 상에 직접 퇴적한 메모리 셀 구조를 시험 제작하였다. 강유전체막(9)의 위층 폴리실리콘의 상부 전극 배선(14)이 형성되고, 인 유리등의 층간 절연막(15)의 개방된 부분에서의 접촉을 통해 Pt 등의 하부 전극(8)이 형성되어 있다. 이와 같은 구조에 있어서도, 강유전체막(9)의 형성 후에 있어서, 그 막의 결정성을 개선하여 비유전을 E_s 를 높이기 위해 산소 어닐링 처리를 실시할 필요가 있으며, 산소 어닐링을 행하면 상술한 바와 같이 트랜지스터의 문턱값 전압이 변화하거나 누설 전류가 증가하게 되어 정상 메모리 동작을 할 수 없게 되었다.

이와 같은 이유로 제10도나 제11도에 도시하는 구조는 상술한 바와 같이 강유전체의 기능과 트랜지스터의 기능을 양립시킬 수 없다는 문제점을 갖고 있었다.

그래서 본 발명은 상기 각 구조의 문제점을 감안하여, 강유전체를 사용한 비 휘발성 메모리로서의 기능을 손상시키지 않고서 트랜지스터의 기능을 달성한 구조의 강유전체를 구비한 반도체 장치를 제공하는데 있다.

[발명의 개시]

본 발명은 기본적으로는 반도체 본체 또는 반도체 기판의 주 표면 또는 내부에 있어서의 강유전체의 형성 구조를 제공하는 것이다. 대표적인 반도체 기판으로서 실리콘 기판이 있지만, 갈륨 비소 등의 화합물 반도체 등도 마찬가지로 산소 결합성이 있는 본체에 대해서 적용된다. 강유전체 형성 구조의 영역은 진성 반도체 영역이어도 되며, 불순물 확산 영역의 N 형 또는 P 형 영역이어도 상관없다. 불순물 확산 영역으로서 MIS 형 트랜지스터의 소스 영역 또는 드레인 영역이나 바이폴라 트랜지스터의 3 전극의 확산 영역 등이 대표적이지만, 능동 소자의 활성 영역에 한하지 않으며, 확산 저항층이나 스톱퍼 영역 등의 수동 소자의 각 영역 위에 강유전체 형성 구조를 실현할 수 있다. 소자 분리 또는 확산 영역 상에 쌓아 올리는 형태로 강유전체 커패시터 구조를 실현하는 경우는 물론, 트렌치내에도 강유전체 형성 구조를 실현할 수 있다. 즉, 본 발명이 강구한 수단은, 반도체 본체와 강유전체의 전극간에 있어서 산소 확산 방지막의 삽입 구조를 채용한다는 점에 있다. 즉, 본 발명에선 반도체 본체, 산소 확산 방지막, 전극 및 강유전체막의 순으로 적층 구조를 채용한다. 강유전체막으로서, 일반적으로 $PbTiO_3$, $PZT(PbTiO_3, PbZrO_3)$ 또는 $PLZT(La, PbTiO_3, PbZrO_3)$ 등이 사용되고 이러한 종류의 강유전체막은 예컨대 스퍼터법으로 성막되며, 그후, 유전율 등을 개선하기 위해 산화 어닐링 처리를 필요로 한다. 강유전체막의 전극은 예컨대 Pt 나 Pd 에서, 강유전체막의 결정의 격자상수가 가까운 Pt 가 바람직하다.

산소 확산 방지막은, 예컨대 SiN 막, $SiON$ 막 등과 같이 질화 규소를 주성분으로 하는 막이며, 또한, 산소 확산 방지막과 전극 사이에 산화 규소를 주성분으로 하는 막을 삽입해도 된다. 이러한 산소 확산 방지막을 반도체 본체와 전극 사이에 삽입한 구조는, 상기의 산소 어닐링 처리에 있어서의 반도체 본체의 계면으로의 산소의 확산을 방지하고, 산소의 실리콘 계면으로의 확산을 방지하고 문턱값 전압의 변동이나 누설 전류의 발생을 저지한다. 그러므로, 강유전체의 기능과 트랜지스터의 기능을 양립시킬 수 있고 강유전체 메모리를 실현할 수 있다.

또, 본 발명의 제 2 수단으로서, 반도체 본체에 형성된 확산층으로의 접촉 구멍 부분에서 상술한 산소 확산 방지막을 실리콘 계면과 접촉시키는 구조로 한 것이다. 확산층의 접촉 구멍으로부터의 산소의 확산을 방지하기 위해서이다.

본 발명의 반도체 장치의 구조에 의하면, 반도체 본체, 산소 확산 방지막, 전극 및 강유전체막의 차례로 적층 구조를 채용함으로써, 산소 확산 방지막은 산소 어닐링 처리시에 산소의 반도체 본체 계면으로의 확산을 방지하기 위해, 실리콘 계면으로의 산소의 확산을 방지하고 트랜지스터로의 산소 어닐링의 악영향을 방지한다.

도면의 간단한 설명

- 제1도는 본 발명의 실시예 1 의 주요 단면도.
- 제2도는 본 발명의 실시예 2 의 주요 단면도.
- 제3도는 본 발명의 변형예의 실시예 3 의 주요 단면도.
- 제4도는 본 발명의 변형예의 실시예 4 의 주요 단면도.
- 제5도는 본 발명의 제 2 수단의 실시예 5 의 주요 단면도.
- 제6도는 본 발명의 실시예 6 의 주요 단면도.
- 제7도는 본 발명의 실시예 7 의 주요 단면도.
- 제8도는 본 발명의 제 2 수단의 실시예 8 의 주요 단면도.

제9도는 비휘발성 메모리를 도시하는 회로도.

제10도는 종래 기술과 관련하는 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도.

제11도는 종래 기술과 관련하는 강유전체 커패시터를 구비한 반도체 장치의 다른 예를 도시하는 주요 단면도.

발명의 상세한 설명

다음에, 본 발명과 관련하는 실시예를 도면에 기초하여 설명한다.

제1도는 본 발명의 실시예 1 과 관련하는 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도이다.

이 반도체 장치는 비휘발성 메모리이며, 등가 회로적으로는 제8도에 도시하는 메모리 셀을 갖는 것이다. 이 실시예에선 예컨대 200nm의 비저항의 웨이퍼인 P형 실리콘 기판(21)을 사용하여, 그것에 N형 MOS 트랜지스터 Tr 과 강유전체 커패시터 C 의 구조가 형성되어 있다. 주지된 바와 같이, N형 MOS 트랜지스터 Tr 의 반도체 구조는, 실리콘 기판(21) 상의 게이트 절연막(실리콘 산화막)(22)을 거쳐서 형성된 인 도핑의 폴리실리콘인 게이트 전극(23)과, 이 게이트 전극(23)을 마스크로 하고 셀프 얼라인(자기 정합)에 의해 인을 80KV, 5E15cm⁻² 에서 이온 주입 하여 형성된 기판내의 고농도 N형 불순물 확산 영역인 소스 영역(24) 및 드레인 영역(25)으로 이룬다. 드레인 영역(25)에는 접촉 구멍을 거쳐서 증착법이나 스퍼터법에 의해 형성된 Si 의 배선 전극(27)이 접속되어 있다. 26 은 두께 약 60nm의 소자 분리용의 국소 산화막(LOCOS)이다. 또, 30 은 제 1 층간 절연막, 33 은 제 2 층간 절연막이며 예컨대 기상 성장법에 의한 두께 약 400nm 의 인 유리이다.

본 실시예에선 게이트 전극(23)과 국소 산화막(26) 사이의 소스 영역(24)상에 있어 강유전체 형성 구조인 강유전체 커패시터 C 의 구조체가 설치되어 있다.

이 구조체는 기본이 되는 강유전체막(29)과 이것을 위아래에서 끼우는 전극층인 상부 전극(32) 및 하부 전극(28)을 가지며, 그 하부 전극(28) 중의 소스 확산층으로의 접촉 부분 이외와 제 1 층간 절연막(30) 사이에 화소 확산 방지막(31)을 구비하는 것이다. 강유전체막(29)으로서는, PbTiO₃, PZT(PbTiO₃, PbZrO₃) 또는 PLZT(La, PbTiO₃, PbZrO₃) 등이며, 예컨대, 스퍼터법으로 예컨대 500nm 의 두께로 형성된다. 상부 전극으로서는, 예컨대 저비저항의 알루미늄(Al)으로, 증착법이나 스퍼터법에 의해 형성된다. 하부 전극(28)으로서는, 백금(Pt) 또는 파라듐(Pd)으로, 예컨대 스퍼터법으로 300nm 의 두께로 형성되어 있다. 백금(Pt)을 하부 전극(28)으로 선택했을 경우에는, 강유전체막(29)의 PbTiO₃, PZT 또는 PLZT 와 격자 상수가 가까우므로, 강유전체막(29)에 대한 산소 어닐링 처리에 의해 동시에 결정성이 개선되므로 양호한 전기 특성이 얻어진다. 제 1 층간 절연막(30)과 하부 전극(28)에 삽입되는 산소 확산 방지막(31)은 SiN 막, SiON 막 등의 질화 규소를 주성분으로 하는 막이며, 예컨대 기상 성장법으로 예컨대 50nm 의 두께로 형성된다.

이와 같은 강유전체 커패시터를 포함하는 반도체 장치의 형성법으로서는, 우선, 소스 영역(24) 위를 피복한 제 1 층간 절연막(30)을 형성 후에, 산소 확산 방지막(31)을 기상 성장법으로 형성하고, 그후 제 1 층간 절연막(30)과 산소 확산 방지막(31)에 접촉 구멍의 창을 형성하고, 하부 전극(28) 및 강유전체막(29)을 각각 스퍼터법으로 적층하고, 종래 기술인 포토 기술에 의해 소정의 패턴을 형성하고, 예컨대, 종래 기술인 이온 밀링에 의해 하부 전극(28), 강유전체막(29)을 에칭한다. 이후, 전면을 제 2 층간 절연막(28)으로 피복한다. 그후, 종래 기술인 포토 에칭 기술에 의해 상부 전극(32) 및 그 배선(플레이트선)이나 드레인 전극 배선(27)을 형성한다.

이와 같이 소스 영역(24)상에 도전성 반응 방지막(31)을 거쳐서 강유전체 커패시터 C 가 쌓아 올리는 모양으로 적층되어 있다. 이 때문에 소스 영역(24)과 하부 전극(28) 사이의 배선 평면 점유 면적을 효과적으로 절약할 수 있으므로, 셀 면적의 축소화가 실현된다. 또, 트랜지스터 부분에는 산소 확산 방지막이 형성되어 있으므로, 트랜지스터의 문턱값 전압의 변동이나 누설 전류의 증가 등이 없는 강유전체 메모리가 형성된다.

상술한 제조 프로세스에 있어서는, 강유전체막(29)의 형성후, 산소를 포함하는 분위기중에서 열처리(산소 어닐링 처리)를 행한다. 이것은 강유전체막(29)의 결정성을 개선하고 비유전율 Es를 예컨대 1000 이상으로 높이기 위해서이다.

제9도에 도시하는 바와 같은 종래의 강유전체 커패시터 구조를 갖는 비휘발성 메모리에 있어서는, 산소 확산 방지막(31)이 존재하지 않는 경우의 정보 재기록 회수는 고온에서 산소 어닐링을 할 수 없으므로 10E5 회였지만, 본 실시예에 있어서 산소 확산 방지막으로서 SiN 막을 사용한 경우에는, 500C 이상의 산소 어닐링이 가능하게 되기 때문에 정보 재기록 회수는 10E9 회로까지 도달했다. 또, 강유전체막의 비유전율 Es 로서는 1500 전후의 값이 얻어졌다.

이와 같이 소스 영역(24)상에 종방향 적층 구조의 강유전체 커패시터 C 를 구축할 수 있는 이익은, 셀 면적의 축소는 물론이고 제10도의 구조와 비교해서 전극 접촉부분(접촉 저항부분)을 하나 줄일 수 있다. 실질적으로 제10도에 도시하는 배선(12) 부분을 배제할 수 있기 때문이다. 그러므로 정보 기록, 판독 시간의 단축에 기여한다. 또, 제1도와 제10도의 비교로 분명하듯이, 제10도의 상부 전극(10)이 본 예의 하부 전극(28)에, 제10도의 하부 전극(8)이 본 예의 상부 전극(32)에 위상적으로 대응하고 있다. 본 예에 있어서의 하부 전극(28)은 Pt 를 선택하는 것이 바람직하지만, Pt 는 Si 에 비해서 비저항이 크다. 그러나, 본예의 하부 전극(28)은 막 두께가 얇고 접촉 면적이 접촉 구멍 보다 크므로, 소스 영역(24)과 강유전체 커패시터 C 사이의 저항값은 거의 문제가 되지 않는다. 또, 플레이트선 P 인 상부 전극(32) 및

그 배선은 시 로 형성 가능하다. 즉, 플레이트션 P 가 강유전체막(29)상에 형성될 수 있기 때문이다. 이 때문에 종래에 비해서 셀 마다의 플레이트 전위의 불균일이 현저하게 개선된다. 또한, 종래는 두꺼운 LOCOS 상에 강유전체 커패시터 C 가 종방향 적층으로 구성되어 있으며, 각 막의 단차 피복성에 문제가 있었지만, 본 예에서는 게이트 전극(23)의 양 옆에 강유전체 커패시터 C 가 형성되어 있으므로 단차 피복성이 개선된다.

제2도는 본 발명의 실시예 2 와 관련한 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도이다. 또한, 동 도면에 있어서 제1도에 도시하는 부분과 동일 부분에는 동일 참조 기호를 병기하고, 그 설명은 생략한다. 이 실시예에 있어서도 소스 영역(24)상에는 강유전체 커패시터 C 가 적층되어 형성되어 있다. 이 실시예에 있어서 산소 확산 방지막(35)은 제 1 층간 절연막(30)과 인 유리등으로 된 제 3 층간 절연막(36) 사이에 삽입되어 있다. 이 제 3 층간 절연막의 주된 목적은 하부 전극(28)과 산소 확산 방지막(35) 사이에 스트레스를 완화하고 밀착성을 향상시키는데 있다. 제 3 층간 절연막(36)으로서는 불순물을 포함하지 않는 산화 규소여도 상관없이, 보다 바람직하게는 연화점이 낮은 인을 1% 이상 포함한 인 유리나 인 및 붕소를 1% 이상 포함한 붕소 유리의 기타 불순물을 포함한 산화규소가 바람직하다. 어닐링시에 연화하는 것에 의해 스트레스를 완화할 수 있기 때문이다. 실시예 2 에 있어서는 예컨대 제 1 층간 절연막을 200nm 의 두께로, 산소 확산 방지막을 50nm 의 두께로, 제 3 층간 절연막을 200nm 두께로 형성했다. 실시예 1, 실시예 2 와 더불어 여기에서 설명한 두께 이외의 두께로도 아무런 문제가 없다.

제3도는 본 발명의 변형예인 실시예 3 과 관련있는 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도이다. 실시예 3 은 실시예 1 의 응용예이며, 실시예 3 에 있어서는 하부 전극(37)이 소스 확산층(24)에 개방된 접촉 구멍 상에만 형성된 PtSi 나 TiSi 등이라는 것이다. 이 경우에는 산소 확산 방지막(38)은 강유전체막(29)과 제 1 층간 절연막(30) 사이에 형성되어 있다.

제4도는 역시 본 발명의 변형예인 실시예 4 와 관련한 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도이다. 실시예 4 는 실시예 2 의 응용예이며, 실시예 4 에 있어서는 하부 전극(37)이 소스 확산층(24)에 개방된 접촉 구멍에만 형성된 PtSi 나 TiSi 등이라는 것이다. 이 경우에는 산소 확산 방지막 (39)은 제 1 층간 절연막(30)의 상부, 제 3 층간 절연막(40)은 강유전체막 (29)과 산소 확산 방지막(39) 사이에 형성된다. 이들 구조에 있어서도 본 발명이 적용된다.

제5도는 본 발명의 제 2 의 수단을 실시예 1 에 적용한 실시예와 관련한 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도이다. 이 실시예에 있어서도 소스 영역(24)상에 강유전체 커패시터 C 가 적층되어 형성되어 있다. 이 실시예에 있어서는 산소 확산 방지막(50)은 실시예 1 과 마찬가지로 제 1 층간 절연막(30)과 하부 전극(28) 사이에 삽입되어 있다. 본 발명의 제 2 의 수단의 요지는 산소 확산 방지막(50)이 드레인 확산층(25) 및 소스 확산층(24)과 접촉 구멍의 부분(51,52,53,54)에 접촉하고 있다는 것이다. 이와 같은 구조를 취함으로써 산소 어닐링시의 산소의 접촉 구멍으로부터 트랜지스터 부분으로의 확산이 보다 완전하게 방지되므로, 문턱값 전압이나 누설 전류 등 같은 트랜지스터 특성이 매우 안정된다.

제5도는 본 발명의 제 2 의 수단을 실시예 1 에 적용한 예인데, 실시예 2, 실시예 3 및 실시예 4 에 적용할 수 있음은 물론이다.

제6도는 본 발명의 제 1 의 수단을 종래 구조에 적용한 실시예 6 에 관계하는 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도이다. 소자 분리 영역(26)의 위에는 제 1 층간 절연막(61)과 산소 확산 방지막(60)과 하부 전극 (68)과, 강유전체막(69)이 적층되어 있다. 즉, 산화 방지막(60)은 하부 전극 (68)과 제 1 층간 절연막(61)에 삽입되어 있다. 상부 전극(62)은 배선 전극(63)에 의해 소스 확산 층에 접속되어 있다. 제 1 층간 절연막(61)으로서는 인 유리를 300nm 로 형성하고, 산소 확산 방지막(60)으로서는 SiN 막을 50nm 로 형성한다. 이와 같은 종래 구조에 본 발명을 적용한 경우에도, 강유전체막의 결정성 개선을 위한 산소 어닐링을 행했을 때 트랜지스터 부분으로의 산소의 확산이 방지되며, 특성이 좋은 강유전체막과 트랜지스터를 동일 기판상에 형성할 수 있다. 또한, 단면구조로 보아 알 수 있듯이, 소스 확산층(24)으로의 접촉 구멍(64)의 개방은 하부 전극(68), 강유전체막(69)의 형성후에 행해지므로, 강유전체막(69)의 결정성 개선을 위한 어닐링은 접촉 구멍(64)의 형성 전에 행할 수 있다. 즉, 트랜지스터 부분이 완전히 산소 확산 방지막(60)으로 덮여 있는 상태에서 산소 어닐링을 행할 수 있다.

따라서 산소 어닐링에 의한 트랜지스터부로의 악영향을 일체 생각할 필요가 없다. 실제로 하부 전극(68)으로서 Pt를 30nm 의 두께로 사용하고, 강유전체막으로서 PZT를 500nm 의 두께로 사용하며, 산소 어닐링으로서 700도에서 어닐링을 행했던바, 비휘발성 메모리로서 사용한 잔류 분극의 값으로서 13 마이크로 쿨롱/평방cm가 얻어졌다.

제7도는 본 발명의 제 1 의 수단을 종래 구조에 적용한 실시예 7 에 관계하는 강유전체 커패시터를 구비한 반도체 장치를 도시하는 주요 단면도이다. 소자 분리 영역(26)의 위에는 제 1 층간 절연막(61)과, 산소 확산 방지막(60)과, 인 유리등으로 된 제 3 층간 절연막(65)과, 하부 전극(68)과, 강유전체막(69)이 적층되어 있다. 즉, 산화 방지막(60)은 제 1 층간 절연막(61)과 제 3 층간 절연막(65)에 삽입되어, 하부 전극(68)은 제 3 층간 절연막(65)상에 형성되어 있다. 상부 전극(62)은 배선전극(63)에 의해 소스 확산 층에 접속되어 있다. 제 1 층간 절연막(61)으로서는 인 유리를 300nm 로 형성하고, 산소 확산 방지막(60)으로서는 SiN 막을 50nm 로 형성하며, 제 3 층간 절연막(65)으로서는 인을 2% 포함한 인 유리로 두께가 300nm 이다. 제 3 층간 절연막(61)으로서는, 제2도에 도시한 본 발명의 실시예 2 와 마찬가지로 불순물을 포함하지 않는 산화 규소로도 상관없이, 보다 바람직하게는 연화점이 낮은 인을 1% 이상 포함한 인 유리나 인 및 붕소를 1% 이상 포함한 붕소 유리의 기타 불순물을 포함한 산화규소가 바람직하다. 제 3 층간 절연막(65)의 목적은 실시예 2 와 마찬가지로 어닐링시의 스트레스의 완화이다. 실제, 상술한 막 두께의 구성을 취한 경우에는, 900 도의 어닐링까지 밀착성 불량 등의 스트레스에 기인하는 문제가 일어나지 않았다.

제8도는 본 발명의 제 2 의 수단을 제6도의 실시예 6 에 적용한 실시예와 관련하는 강유전체 커패시터를 구비한 반도체 장치를 도시한 주요 단면도이다. 산소 확산 방지막(80)은 소스 확산층(64) 및 드레인 확산층(65)으로의 접촉 부분 (83, 84,81,82)에 있어서 실리콘 계면과 접하고 있다. 접촉 구멍을 개방하여 어떠한 산소를 포함하는 어닐링 처리를 행할 때 유효하게 된다.

제8도는 본 발명의 제 2 의 수단을 실시예 6 에 적용한 예인데, 실시예 7 에 적용할 수 있음은 물론이다.

상술한 강유전체의 확산 영역 내지 기판상의 형성 구조로서는, 주로 비휘발성 메모리에 대해서 설명했지만, 비유전율이 크다는 것을 이용한 메모리(DRAM) 등에 응용할 수 있음은 물론이고, 또 고용량을 필요로 하는 회로망에 적용할 수 있다. 또, 커패시터를 구성하는 재료로서는 강유전체막에 대해서 설명했지만, 비유전율이 큰 SrTiO₃ 나 Ta₂O₅ 등의 고유전율의 산화막을 사용하여 메모리를 구성하려는 경우에도 이것들의 재료는 산소 어닐링을 필요로 하므로 본 발명이 적용된다.

산업상이용가능성

이상 설명한 바와 같이, 본 발명과 관련있는 강유전체를 구비한 반도체 장치는, 실리콘 기판 등의 주표면 또는 내부에 있어서의 유전체의 형성 구조를 제공한다. 산소 결합성이 있는 본체에 대해서 강유전체를 형성할 수 있다. 강유전체 형성 구조의 영역은 진성 반도체여도 좋고, 불순물 확산 영역의 N 형 또는 P 형 영역이어도 상관없다. MIS 형 트랜지스터의 소스 영역 또는 드레인 영역이나 바이폴라 트랜지스터의 3 전극의 불순물 확산 영역 등이 대표예이지만, 능동 소자의 활성 영역에 한하지 않으며, 저항 확산층이나 스톱퍼 영역 등의 수동 소자의 각 영역의 위에 강유전체 형성 구조를 실현할 수 있다. 확산 영역상에 적층적으로 강유전체 커패시터 구조를 실현하는 경우는 물론이고, 트렌치내에도 강유전체 형성 구조를 실현할 수 있다. 고밀도 집적화가 요구되는 비휘발성 메모리에 사용하는데 적합하다.

(57) 청구의 범위

청구항 1

산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에서, 상기 반도체 본체에 형성된 확산층 상의 전극을 거쳐서 형성된 강유전체막 또는 고유전율막을 소자 요소로 하는 반도체 장치에 있어서, 상기 반도체 본체의 주표면 또는 내부에서 상기 확산층과 상기 전극의 접촉된 영역을 제외한 영역에는 산소 확산 방지막이 형성되고, 상기 확산층과 상기 전극의 접촉된 영역을 제외한 영역에서 상기 확산 방지막은 상기 강유전체막 또는 고유전율막의 하면측에 위치하고, 상기 강유전체막 또는 고유전율막의 상면 전체와 측면의 상측을 피하여 위치되는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 산소 확산 방지막은, 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막인 것을 특징으로 하는 반도체 장치.

청구항 3

산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에서, 상기 반도체 본체에 형성된 확산층 상의 전극을 거쳐서 형성된 강유전체막 또는 고유전율막을 소자 요소로 하는 반도체 장치에 있어서, 상기 반도체 본체의 주표면 또는 내부에서 상기 확산층과 상기 전극의 접촉된 영역을 제외한 영역에는 산소 확산 방지막이 형성되고, 상기 확산층과 상기 전극의 접촉된 영역을 제외한 영역에서 상기 확산 방지막은 상기 강유전체막 또는 고유전율막의 하면측에 위치하고, 상기 강유전체막 또는 고유전율막의 상면 전체와 측면의 상측을 피하여 위치되며, 상기 산소 확산 방지막 상에 산화 실리콘을 주성분으로 하는 응력 완화 절연막이 형성되는 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 산소 확산 방지막은, 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막이며, 상기 응력 완화 절연막은, 인, 붕소, 갈륨, 비소 중의 어느 하나를 1% 이상 포함하는 산화 실리콘막인 것을 특징으로 하는 반도체 장치.

청구항 5

제1항 또는 제2항에 있어서, 산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에서, 상기 반도체 본체에 형성된 확산층 상의 전극을 거쳐서 형성된 강유전체막 또는 고유전율막을 소자 요소로 하는 반도체 장치에 있어서, 상기 확산층과 상기 전극의 접촉면 이외의 상기 반도체 본체의 주표면 또는 내부의 적어도 일부분에는, 상기 강유전체막 또는 고유전율막 보다 하층에 위치하는 산소 확산 방지막이 형성되며, 상기 산소 확산 방지막은 상기 확산층과 상기 전극의 접촉면의 일부분에서 상기 반도체 본체와 접촉하고 있는 것을 특징으로 하는 반도체 장치.

청구항 6

산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에, 트랜지스터로 된 능동 소자와 강유전체막 또는 고유전율막으로 된 커패시터를 소자 요소로 하고, 배선 전극에 의해 상기 트랜지스터와 상기 커패시터가 접속되어 있는 반도체 장치에 있어서, 상기 확산층과 상기 전극의 접촉된 영역을 제외한 영역에는 산소 확산 방지막이 형성되고, 상기 산소 확산 방지막은 상기 강유전체막 또는 고유전율막 보다 하면측에 위치하고 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서, 상기 산소 확산 방지막은, 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막인 것을 특징으로 하는 반도체 장치.

청구항 8

산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에, 트랜지스터로 된 능동 소자와 강유전체막 또는 고유전율막으로 된 커패시터를 소자 요소로 하고, 배선 전극에 의해 상기 트랜지스터와 상기 커패시터가 접속되어 있는 반도체 장치에 있어서, 상기 반도체 본체의 주표면과 상기 커패시터를 구성하는 전극 사이의 적어도 일부분에는 산소 확산 방지막이 형성되며, 상기 전극과 상기 산소 확산 방지막 사이에 산화 실리콘을 주성분으로 하는 응력 완화 절연막이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9

제8항에 있어서, 상기 산소 확산 방지막은, 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막이며, 상기 응력 완화 절연막은, 인, 붕소, 갈륨, 비소 중의 어느 하나를 1% 이상 포함하는 산화 실리콘막인 것을 특징으로 하는 반도체 장치.

청구항 10

제6항 또는 제7항에 있어서, 산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에, 트랜지스터로 된 능동 소자와 강유전체막 또는 고유전율막으로 된 커패시터를 소자 요소로 하고, 배선 전극에 의해 상기 트랜지스터와 상기 커패시터가 접속되어 있는 반도체 장치에서, 상기 반도체 본체의 주표면과 상기 커패시터를 구성하는 전극 사이의 적어도 일부분에는 산소 확산 방지막이 형성되며, 상기 산소 확산 방지막의 적어도 일부분이 상기 반도체 본체의 주표면에 제공된 접촉 구멍에서 상기 반도체 본체와 접촉하고 있는 것을 특징으로 하는 반도체 장치.

청구항 11

제8항에 있어서, 상기 강유전체막 또는 고유전율막은 PZT, PLZT, SrTiO₃, Ta₂O₅ 중의 어느 하나인 것을 특징으로 하며, 상기 산소 확산 방지막은 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막이며, 상기 응력 완화 절연막은, 인, 붕소, 갈륨, 비소 중의 어느 하나를 1% 이상 포함하는 산화 실리콘막인 것을 특징으로 하는 반도체 장치.

청구항 12

제3항 또는 제4항에 있어서, 산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에서, 상기 반도체 본체에 형성된 확산층 상의 전극을 거쳐서 형성된 강유전체막 또는 고유전율막을 소자 요소로 하는 반도체 장치에 있어서, 상기 확산층과 상기 전극의 접촉면 이외의 상기 반도체 본체의 주표면 또는 내부의 적어도 일부분에는, 상기 강유전체막 또는 고유전율막 보다 하층에 위치하는 산소 확산 방지막이 형성되며, 상기 산소 확산 방지막은 상기 확산층과 상기 전극의 접촉면의 일부분에서 상기 반도체 본체와 접촉하고 있는 것을 특징으로 하는 반도체 장치.

청구항 13

제8항 또는 제9항에 있어서, 산소 결합성이 있는 반도체 본체의 주표면상 또는 내부에, 트랜지스터로 된 능동 소자와 강유전체막 또는 고유전율막으로 된 커패시터를 소자 요소로 하고, 배선 전극에 의해 상기 트랜지스터와 상기 커패시터가 접속되어 있는 반도체 장치에서, 상기 반도체 본체의 주표면과 상기 커패시터를 구성하는 전극 사이의 적어도 일부분에는 산소 확산 방지막이 형성되며, 상기 산소 확산 방지막의 적어도 일부분이 상기 반도체 본체의 주표면에 제공된 접촉 구멍에서 상기 반도체 본체와 접촉하고 있는 것을 특징으로 하는 반도체 장치.

청구항 14

제1항에 있어서, 상기 강유전체막 또는 고유전율막은 PZT, PLZT, SrTiO₃, Ta₂O₅ 중의 어느 하나인 것을 특징으로 하며, 상기 산소 확산 방지막은 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막이며, 상기 응력 완화 절연막은, 인, 붕소, 갈륨, 비소 중의 어느 하나를 1% 이상 포함하는 산화 실리콘막인 것을 특징으로 하는 반도체 장치.

청구항 15

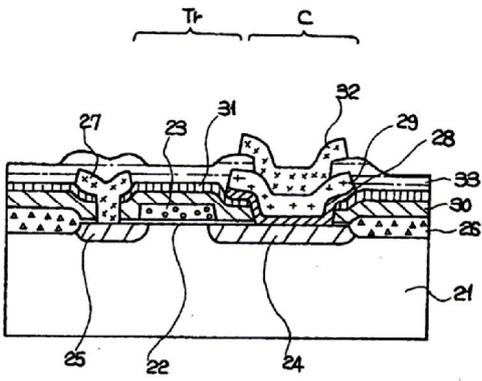
제3항에 있어서, 상기 강유전체막 또는 고유전율막은 PZT, PLZT, SrTiO₃, Ta₂O₅ 중의 어느 하나인 것을 특징으로 하며, 상기 산소 확산 방지막은 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막이며, 상기 응력 완화 절연막은, 인, 붕소, 갈륨, 비소 중의 어느 하나를 1% 이상 포함하는 산화 실리콘막인 것을 특징으로 하는 반도체 장치.

청구항 16

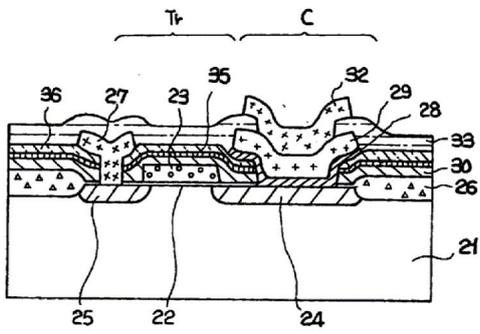
제6항에 있어서, 상기 강유전체막 또는 고유전율막은 PZT, PLZT, SrTiO₃, Ta₂O₅ 중의 어느 하나인 것을 특징으로 하며, 상기 산소 확산 방지막은 질화 실리콘막, 질화산화 실리콘막 중 어느 한쪽 또는 이들의 혼합막이며, 상기 응력 완화 절연막은, 인, 붕소, 갈륨, 비소 중의 어느 하나를 1% 이상 포함하는 산화 실리콘막인 것을 특징으로 하는 반도체 장치.

도면

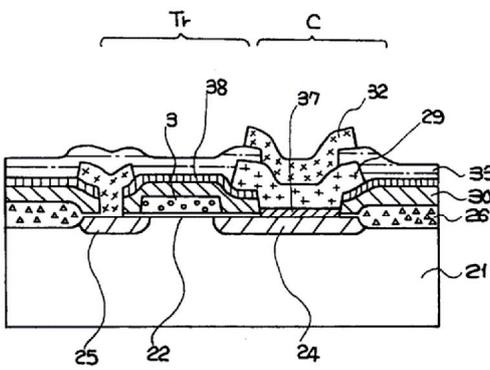
도면1



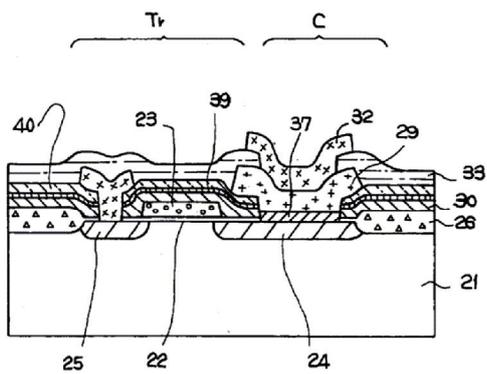
도면2



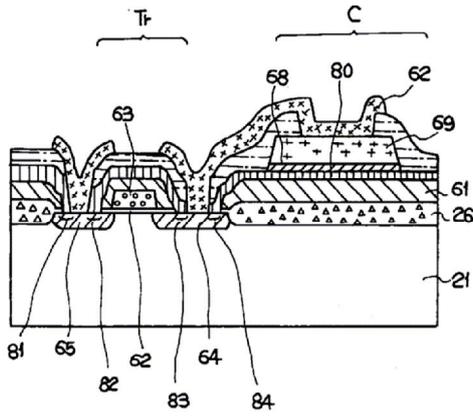
도면3



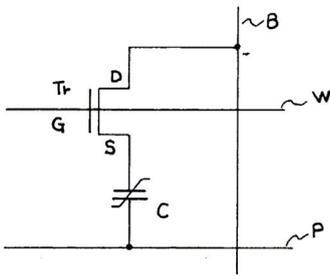
도면4



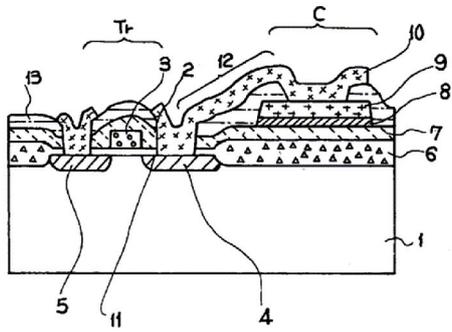
도면8



도면9



도면10



도면11

