

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2008-171918
(P2008-171918A)

(43) 公開日 平成20年7月24日(2008.7.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 29 頁)

(21) 出願番号	特願2007-2152 (P2007-2152)	(71) 出願人	000003078
(22) 出願日	平成19年1月10日 (2007. 1. 10)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	木藤 大
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	勝又 竜太
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	鬼頭 傑
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

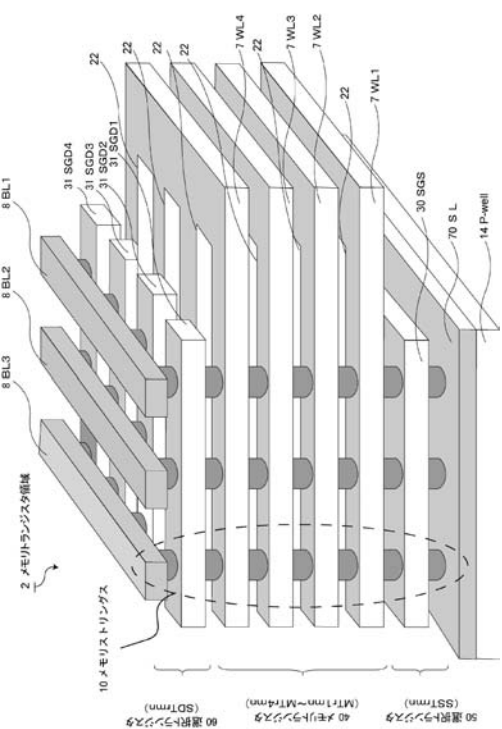
(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】 (修正有)

【課題】ワード線の抵抗を低減した、メモリセルを三次元的に積層する不揮発性半導体記憶装置を提供する。

【解決手段】電気的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングス10を有する不揮発性半導体記憶装置であって、メモリストリングス10は、柱状半導体と、柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された窒化シリコン膜による電荷蓄積層と、電荷蓄積層の周りに形成された第2の絶縁膜と、第2の絶縁膜の周りに形成された第1乃至第nの電極7 (nは2以上の自然数) とを有しており、メモリストリングス10の第1乃至第nの電極7と、別のメモリストリングス10の第1乃至第nの電極7とは、それぞれ、複数の線状部分を有し櫛状に2次元的に広がる第1乃至第nのワード線を構成する導電体層であり、複数の線状部分の側面に金属シリサイド22を有する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、

前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第 1 の絶縁膜と、前記第 1 の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第 2 の絶縁膜と、前記第 2 の絶縁膜の周りに形成された第 1 乃至第 n の電極（n は 2 以上の自然数）とを有しており、

前記メモリストリングスの前記第 1 乃至第 n の電極と、別の前記メモリストリングスの前記第 1 乃至第 n の電極とは、それぞれ、複数の線状部分を有し櫛状に 2 次元的に広がる第 1 乃至第 n の導電体層であり、前記複数の線状部分の側面に金属シリサイドを有することを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、

前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第 1 の絶縁膜と、前記第 1 の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第 2 の絶縁膜と、前記第 2 の絶縁膜の周りに形成された第 1 乃至第 n の電極（n は 2 以上の自然数）とを有しており、

前記メモリストリングスの前記第 1 乃至第 n の電極と、別の前記メモリストリングスの前記第 1 乃至第 n の電極とは、それぞれ、複数のスリットが形成された 2 次元的に広がる第 1 乃至第 n の導電体層であり、前記複数のスリットの側面に金属シリサイドを有することを特徴とする不揮発性半導体記憶装置。

20

【請求項 3】

前記複数のメモリストリングスは、前記柱状半導体に垂直な面内にマトリクス状に配置されていることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記 2 次元的に広がる第 1 乃至第 n の導電体層は、それぞれ、絶縁体を介して積層されており、前記前記 2 次元的に広がる第 1 乃至第 n の導電体層内に前記複数のメモリストリングスがマトリクス状に配置されていることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

30

【請求項 5】

半導体基板上に導電性不純物の拡散領域を形成し、

前記半導体基板上に第 1 の絶縁膜と第 1 の導電体とを交互に複数形成し、

前記複数の第 1 の絶縁膜と前記導電体とに複数のホールを形成し、

前記ホールの表面に第 2 の絶縁膜を形成し、

前記ホールの底部にある前記第 2 の絶縁膜をエッチングし、

前記ホールに柱状半導体を形成し、

交互に複数形成された前記第 1 の絶縁膜及び前記第 1 の導電体の上に第 2 の絶縁膜と第 2 の導電体とを形成し、

40

前記第 1 の絶縁膜、前記第 1 の導電体、前記第 2 の絶縁膜及び前記第 2 の導電体を一括でエッチングし、複数の溝を形成し、

前記溝の側面に金属膜を形成し、

熱処理を行うことにより、前記第 1 の導電体の前記溝の側面に金属シリサイドを形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的にデータの書き換えが可能な半導体記憶装置に関し、半導体記憶装置の中でも、特に不揮発性半導体記憶装置に関する。

50

【背景技術】

【0002】

小型で大容量な不揮発性半導体記憶装置の需要が急増してきている。不揮発性半導体記憶装置のなかでも特にフラッシュメモリは様々なアプリケーションに利用され、更なる大容量化が要求されている。フラッシュメモリにおいては、微細化が加速的に進み、加工の限界に近づきつつある。現在のフラッシュメモリのように、メモリセル、回路素子等を平面上に配置した構造では、微細化のみに頼らざるを得ないが、微細化にも限界がある。

【0003】

そこで、近年、メモリの集積度を高めるために、メモリセルを3次元的に配置した半導体記憶装置が多数提案されている（特許文献1乃至3及び非特許文献1）。

10

【0004】

メモリセルを3次元的に配置した従来の半導体記憶装置の多くは、メモリセル部分1層毎に複数のフォトエッチングプロセス（Photo Etching Process、以下「PEP」という。いわゆるフォトレジストを使ったリソグラフィ工程とエッチングなどの加工工程とを用いてパターンニングを行うプロセス。）を行う必要がある。ここで、そのデザインルールの最小線幅で行うフォトエッチングプロセスを「クリティカルPEP」とし、そのデザインルールの最小線幅より大きな線幅で行うフォトエッチングプロセスを「ラフPEP」とすると、メモリセルを3次元的に配置した従来の半導体記憶装置においては、メモリセル部分1層につきクリティカルPEP数が3以上必要である。また、メモリセルを単純に積層していくものが多く、3次元化によるコスト増大が避けられない。

20

【0005】

また、メモリセルを3次元的に配置した場合、特にワード線電極となるポリシリコン層（又は、アモルファスシリコン層でもよい。）又は、メタル層へのビアホールを形成する加工工程について、同一の工程で全てのホールを形成することができれば、加工工程の短縮に直結しコスト抑制効果を高めることが可能となる。

【特許文献1】特開2003-078044号

【特許文献2】米国特許第5,599,724号

【特許文献2】米国特許第5,707,885号

【非特許文献1】Masuoka et al., "Novel Ultrahigh-Density Flash Memory With a Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 50, NO4, pp945-951, April 2003

30

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、ワード線の抵抗を低減した、メモリセルを三次元的に積層する不揮発性半導体記憶装置を提供することを課題とする。

【課題を解決するための手段】

【0007】

本発明の一実施形態によれば、

電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、

40

前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された第1乃至第nの電極（nは2以上の自然数）とを有しており、

前記メモリストリングスの前記第1乃至第nの電極と、別の前記メモリストリングスの前記第1乃至第nの電極とは、それぞれ、複数の線状部分を有し櫛状に2次元的に広がる第1乃至第nの導電体層であり、前記複数の線状部分の側面に金属シリサイドを有することを特徴とする不揮発性半導体記憶装置が提供される。

【0008】

50

本発明の一実施形態によれば、
電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、
前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された第1乃至第nの電極（nは2以上の自然数）とを有しており、
前記メモリストリングスの前記第1乃至第nの電極と、別の前記メモリストリングスの前記第1乃至第nの電極とは、それぞれ、複数のスリットが形成された2次元的に広がる第1乃至第nの導電体層であり、前記複数のスリットの側面に金属シリサイドを有することを特徴とする不揮発性半導体記憶装置が提供される。

10

【0009】

本発明の一実施形態によれば、
半導体基板上に導電性不純物の拡散領域を形成し、
前記半導体基板上に第1の絶縁膜と第1の導電体とを交互に複数形成し、
前記複数の第1の絶縁膜と前記導電体とに複数のホールを形成し、
前記ホールの表面に第2の絶縁膜を形成し、
前記ホールの底部にある前記第2の絶縁膜をエッチングし、
前記ホールに柱状半導体を形成し、
交互に複数形成された前記第1の絶縁膜及び前記第1の導電体の上に第2の絶縁膜と第2の導電体とを形成し、
前記第1の絶縁膜、前記第1の導電体、前記第2の絶縁膜及び前記第2の導電体を一括でエッチングし、複数の溝を形成し、
前記溝の側面に金属膜を形成し、
熱処理を行うことにより、前記第1の導電体の前記溝の側面に金属シリサイドを形成することを特徴とする不揮発性半導体記憶装置の製造方法が提供される。

20

【発明の効果】

【0010】

本発明の一実施形態によって、ワード線の抵抗を低減した、メモリセルを三次元的に積層する不揮発性半導体記憶装置を実現することができる。

30

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施形態に係る不揮発性半導体記憶装置及びその製造方法について説明するが、本発明は、以下の実施形態に限定されるわけではない。また、各実施形態において、同様の構成については同じ符号を付し、改めて説明しない場合がある。

【0012】

（実施形態1）

本実施形態1に係る本発明の不揮発性半導体記憶装置1の概略構成図を図1に示す。実施形態1に係る本発明の不揮発性半導体記憶装置1は、メモリトランジスタ領域2、ワード線駆動回路3、ソース側選択ゲート線（SGS）駆動回路4、ドレイン側選択ゲート線（SGD）駆動回路5、センスアンプ6、ワード線（WL）7、ビット線（BL）8、ソース側選択ゲート線（SGS）30、ドレイン側選択ゲート線（SGD）31等を有している。図1に示すように、本実施形態に係る本発明の不揮発性半導体記憶装置1においては、メモリトランジスタ領域2を構成するメモリトランジスタは、半導体層を複数積層することによって一括して形成されている。また、図1に示すとおり、ワード線（WL）7は、各層において2次元的に広がっており、層毎に同一の導電体層によって形成されている。また、各層において、ワード線は複数の線状部分を有している。それら複数の線状部分それぞれは、端部において接続されている。言い換えると、ワード線（WL）7は、櫛の形状、又はスリットが形成された平面形状を有している。また、本実施形態に係る本発明の不揮発性半導体記憶装置1においては、各層のワード線（WL）7を構成する線状部分

40

50

の側面には金属シリサイドが形成されている。つまり、各層のワード線（WL）7を構成するスリットの側面には金属シリサイドが形成されている。よって、各ワード線（WL）7の低抵抗化が実現されている。なお、各層のワード線7を構成する複数の線状部分は、各層において、ワード線駆動回路側の線状部分の端部がそれぞれ接続されていれば、その反対側のそれぞれ端部は接続されていても、接続されていなくてもよい。つまり、その反対側の線状部分のそれぞれの端部が接続されている場合は、2次元的に広がる板状のワード線にスリットが形成されている形状（図28（a））となり、その反対側の線状部分のそれぞれの端部が接続されていない場合、2次元的に広がる板状のワード線が櫛状に形成されている（図28（b））ことになる。また、各層のワード線7を構成する複数の線状部分は、各層において、端部がそれぞれ接続されていなくてもよい。この場合、各層のワード線は、電氣的に絶縁された複数の線状部分によって構成されることになる。

10

【0013】

図2は、本実施形態に係る本発明の不揮発性半導体記憶装置1のメモリトランジスタ領域2の一部の概略構成図である。本実施形態においては、メモリトランジスタ領域2は、メモリトランジスタ（MT_{1mn}～MT_{4mn}）40、選択トランジスタSST_{1mn}50及びSDT_{1mn}60からなるメモリストリングス10をm×n個（m、nは自然数）有している。図2においては、m=3、n=4の例を示している。

【0014】

各メモリストリングス10のメモリトランジスタ（MT_{1mn}～MT_{4mn}）40のゲートに接続されているワード線WL1～WL4（7）は、それぞれ同一の導電体層によって形成されている。本実施形態に係る本発明の不揮発性半導体記憶装置1においては、上述したとおり、ワード線WL1～WL4（7）はそれぞれ2次元的に広がっている。また、ワード線WL1～WL4（7）は、それぞれ、メモリストリングス10に概略垂直に2次元的に広がっている。なお、ソース側選択トランジスタSST_{1mn}50を駆動するソース側選択ゲート線SGS30は、動作上、常に各層毎に共通電位とすることが可能である。よって、本実施形態においては、ソース側選択ゲート線（SGS）30には、平板状の構造を採用しているが、これに限定されるわけではなく、それぞれが分離絶縁された配線構造を有していてもよい。また、ド레인側選択ゲート線（SGD）31も平板状の構造でもよいし、分離絶縁された配線構造でもよい。図2にも示すように、各層のワード線（WL）7を構成するスリットの側面には金属シリサイド22が形成されている。本実施形態に係る本発明の不揮発性半導体記憶装置1においては、図2に示すとおり、メモリストリングスの列毎にスリットが形成されており、各スリットの側面には金属シリサイドが形成されている。なお、メモリストリングスの列毎にスリットを形成するのではなく、メモリストリングスの列の幾つか毎にスリットを設け、各スリットの側面に金属シリサイドを形成するようにしてもよい。

20

30

【0015】

各メモリストリングス10は、半導体基板のP-well領域14に形成されたn+領域（図示せず）の上に柱状の半導体を有している。各メモリストリングス10は、柱状半導体に垂直な面内にマトリクス状に配置されている。なお、この柱状の半導体は、円柱状であっても、角柱状であってもよい。また、柱状の半導体とは、同一中心線に対して左右対称な構造のみならず、中心線に対して左右対称な形状を有する柱状半導体の上に、異なる中心線を有する柱状半導体が積層されているような段々形状の構造を有する柱状の半導体を含む。

40

【0016】

本実施形態に係る本発明の不揮発性半導体記憶装置1の一つのメモリストリングス10（ここでは、mn番目のメモリストリングス）の概略構造を図3（A）に、またその等価回路図を図3（B）に示す。メモリストリングス10は、4つのメモリトランジスタMT_{1mn}40～MT_{4mn}40並びに2つの選択トランジスタSST_{1mn}50及びSDT_{1mn}60を有し、それぞれ直列に接続されている。1つのメモリストリングス10においては、半導体基板上のP型領域（P-Well領域）14に形成されたN⁺領域15

50

に柱状の半導体 11 が形成され、その周りに絶縁膜 12 が形成され、更にその周りに複数の櫛の形状又はスリットが形成された平面形状（平板形状）の電極 13 a～13 f が形成されている。この電極 13 a～13 f と絶縁膜 12 と柱状の半導体 11 とがメモリトランジスタ MTr 1mn 40～MTr 4mn 40、選択トランジスタ SStrmn 50、選択トランジスタ SDTrmn 60 を形成する。選択トランジスタ SStrmn 50 及び選択トランジスタ SDTrmn 60 の絶縁膜 12 は、例えば、酸化シリコン膜をもチル。また、メモリトランジスタ MTr 1mn 40～MTr 4mn 40 の絶縁膜 12 は、電荷蓄積層を含んでおり、例えば、酸化シリコン膜／窒化シリコン膜／酸化シリコン膜の積層膜である。電極 13 b～13 e はそれぞれワード線 WL 1～WL 4（7）に、電極 13 f は選択ゲート線 SG Dn に、電極 13 a は選択ゲート線 SGS となる。また、選択トランジスタ SDTrmn 60 のソース／ドレインの一端にはビット線 BLm 8 が接続されており、選択トランジスタ SStrmn 50 のソース／ドレインの一端にはソース線 SL（本実施形態においては、N⁺領域 15）70 が接続されている。なお、本実施形態においては、一つのメモリストリングス 10 にメモリトランジスタ MTr が 4 つ直列に接続されている例を示しているが、これに限定されるわけではない。1 つのメモリストリングス 10 を構成するメモリトランジスタ MTr の数は、容量に応じて決定され得る。

【0017】

図 4 には、本実施形態における一つのメモリトランジスタ MTr（例えば、MTr 4mn）の断面構造を示す図である。なお、他のメモリトランジスタ MTr 1mn～MTr 3mn についてもメモリトランジスタ MTr 4mn と同様の構成である。メモリトランジスタ MTr 4mn は、絶縁体 12 を介して柱状の半導体 11 を取り囲む導電体層 13 e が制御ゲート電極として機能する。メモリトランジスタ MTr 4mn のソース 20 及びドレイン 21 は、柱状の半導体 11 に形成される。ただし、メモリトランジスタ MTr 1mn 並びに選択ゲートトランジスタ SStrmn 及び SDTrmn がディプレッション型のトランジスタ構造を有する場合は、半導体 11 部分に明確なソース／ドレイン拡散層を持たないようにする場合もある。また、柱状の半導体 11 のうち、おおむね導電体層 13 e で囲まれた領域を P 型半導体にし、おおむね導電体層 13 e で囲まれていない領域を N 型半導体にしたいいわゆるエンハンスメント型トランジスタにしてもよい。

【0018】

図 3 及び図 4 においては、1 つのメモリストリングス 10 について説明したが、本実施形態に係る本発明の不揮発性半導体記憶装置 1 においては、全てのメモリストリングスが同様の構成を有している。

【0019】

上述した構造を有する、本実施形態 1 に係る本発明の不揮発性半導体記憶装置 1 の動作（読み出し動作、書き込み動作、消去動作）について以下説明する。

【0020】

（読み出し動作）

図 5 は、本実施形態に係る本発明の不揮発性半導体記憶装置 1 において、点線で示したメモリトランジスタ MTr 321（40）のデータの読み出し動作を行う場合のバイアス状態を示した図である。ここでは、本実施形態におけるメモリトランジスタ MTr は、所謂 MONOS 型縦型トランジスタであり、電荷蓄積層に電子が蓄積されていない状態のメモリトランジスタ MTr のしきい値 V_{th}（中性しきい値）が 0 V 付近にあるとして説明する。

【0021】

メモリトランジスタ MTr 321（40）からのデータの読み出し時には、ビット線 BL 2（8）に V_{b1}（例えば 0.7 V）、他のビット線 BL 8 に 0 V、ソース線 SL 70 に 0 V、選択ゲート線 SG D 1（31）及び SGS 1（30）に V_{dd}（例えば 3.0 V）、他の選択ゲート線 SG D 3 1 及び SGS 3 0 に V_{off}（例えば 0 V）、P-well 領域 14 に V_{pw}（例えば 0 V。但し、V_{pw} は、P-well 領域 14 とメモリストリングス 10 が順バイアスになっていなければ如何なる電位でもよい。）を印加する。ワー

10

20

30

40

50

ド線WL3(7)を0Vとし、他のワード線WL7をVread(例えば、4.5V)に設定し、ビット線BL2(8)の電流をセンスすることによってビット(MTr321)のデータ情報を読み出すことが可能となる。

【0022】

本実施形態に係る本発明の不揮発性半導体記憶装置1においては、ワード線WL1~WL4(7)をそれぞれ共通電位で駆動し、且つ選択ゲート線SGS1(30)~SGS3(30)を共通電位で駆動させても、任意のビットのしきい値のデータを読むことが可能となる。

【0023】

(書き込み動作)

図6は、本実施形態に係る本発明の不揮発性半導体記憶装置1において、点線で示したメモリトランジスタMTr321(40)のデータの書き込み動作を行う場合のバイアス状態を示した図である。

【0024】

メモリトランジスタMTr321(40)にデータ“0”を書き込む場合、ビット線BL2(8)に0V、他のビット線BL8にVdd、ソース線SL70にVdd、選択ゲート線SGD1(31)にVdd、他の選択ゲート線SGD31にVoff、選択ゲート線SGS1(30)~SGS3(30)にVoff、P-Well領域14にVpw(例えば0V)を印加し、ワード線WL3(7)をVprog(例えば18V)、他のワード線WL7をVpass(例えば10V)とする。これにより電荷蓄積層に電子が注入され、メモリトランジスタMTr321(40)のしきい値が正の方向にシフトする。

【0025】

メモリトランジスタMTr321(40)にデータ“1”を書き込む場合、即ち、電荷蓄積層に電子を注入しない場合は、ビット線BL2(8)にVddを印加することにより、選択トランジスタSDTr21(60)がoff状態になり、メモリトランジスタMTr321(40)の電荷蓄積層には電子の注入が起こらない。

【0026】

各ビット線BL8の電位を適切に0VかVddに設定することで、ページ書き込みを行うことが可能となる。

【0027】

(消去動作)

データの消去は、複数のメモリストリングスからなるブロック単位で行う。図7は、本実施形態に係る本発明の不揮発性半導体記憶装置1において、選択したブロックのメモリトランジスタMTrのデータの消去動作を行う場合の選択ブロックのバイアス状態を示した図である。図8は、本実施形態に係る本発明の不揮発性半導体記憶装置1において、消去動作時における非選択ブロックのバイアス状態を示した図である。

【0028】

図7において、選択ブロック(消去したいブロック)において、P-Well領域14にVerase(例えば20V)を印加し、ソース線SL70をフローティングに、そしてP-Well領域14にVeraseを印加するタイミングと若干時間をずらして(例えば4μsec程度ずらして)、選択ゲート線SGS30及びSGD31の電位を上昇(例えば15V)させる。これにより、メモリトランジスタMTrのチャネル形成領域(ボディ部)にはVeraseに近い電位が伝達するため、ワード線WL1~WL4(7)を例えば0Vに設定すると、メモリトランジスタMTrの電荷蓄積層の電子がP-Wellに引き抜きが行われ、データの消去を行うことができる。

【0029】

一方、図8に示すように、非選択ブロックにおいては、ワード線WL1~WL4(7)をフローティングとすることによりワード線WL1~WL4(7)の電位がカップリングによって上昇し、メモリトランジスタMTr1~MTr4の電荷蓄積層と間に電位差が生じないため、電荷蓄積層から電子の引き抜き(消去)が行われない。

10

20

30

40

50

【0030】

ここで、本実施形態に係る本発明の不揮発性半導体記憶装置1の「読み出し動作」、「書き込み動作」及び「消去動作」における電位の関係を纏めたものを表1に示す。

【表1】

	Read	Write"0"	Write"1"	Erase(選択)	Erase(非選択)
BL	Vbl	0	Vdd	Verase	Verase
SGD	Vdd	Vdd	Vdd	Vera del	Vera del
WL4	Vread	Vpass	Vpass	0	open
WL3	0	Vprog	Vprog	0	open
WL2	Vread	Vpass	Vpass	0	open
WL1	Vread	Vpass	Vpass	0	open
SGS	Vdd	Voff	Voff	Vera del	Vera del
SL	0	Vdd	Vdd	open	open
PW	0	0	0	Verase	Verase

【0031】

(製造方法)

本実施形態に係る本発明の不揮発性半導体記憶装置の製造工程においては、下部セレクトゲート（SGS）層を形成した後、メモリセル層を順に堆積し、メモリセルトランジスタのチャンネル部を形成するためのホールをフォトリソグラフィ工程で一括して形成して、ホールにアモルファスシリコン（a-Si）又はポリシリコン（Poly-Si）等を堆積してチャンネルを形成する。その後、選択ゲートトランジスタ層を形成する。そして、上部選択ゲートのゲート電極をパターンニングする際に、同時に、メモリセル層のワード線を構成する層を同時にパターンニングする。その後、ワード線及び上部選択ゲートの線状部分の側面（スリット部分の側面）に金属シリサイドを形成する。その後、上部セレクトゲートのゲート絶縁膜、チャンネルを形成し、更にワード線とワード線駆動回路を接続するためのビアホールを形成する工程を経る。ここで、メモリセル層を3次元的に積層する不揮発性半導体記憶装置においては、メモリセル領域は、2次元の平板構造部分を有するワード線電極となるアモルファスシリコン膜（又は、ポリシリコン膜でもよい。）に複数のメモリセルが形成されたメモリセル層が、3次元（即ち、立体的。）に複数積層されて形成されるため、ワード線電極となる各アモルファスシリコン膜へのワード線駆動回路等の接続については、ビアホールを立体的に形成することとなる。

【0032】

本実施形態に係る本発明の不揮発性半導体記憶装置1の鳥瞰図を図9に示す。本実施形態に係る本発明の不揮発性半導体記憶装置1は、半導体基板上にメモリトランジスタが積層された構造を有している。図1及び図9に示すように、各ワード線WL1～WL4（7）は、それぞれメモリセルが形成される領域（メモリトランジスタ領域2）において2次元的に広がっており、層毎に同一の導電体層によって形成されている。また、各層において、ワード線は複数の線状部分を有している。それら複数の線状部分それぞれは、端部において接続されている。ワード線（WL）7は、櫛の形状、又はスリットが形成された平面形状を有している。また、本実施形態に係る本発明の不揮発性半導体記憶装置1においては、各層のワード線（WL）7を構成する線の側面にはシリサイドが形成されている。言い換えると、各層のワード線（WL）7を構成するスリットの側面にはシリサイドが形成されている。よって、各ワード線（WL）7の低抵抗化が実現されている。また、フォトリソグラフィプロセスによって同時に形成されたビアホールを用いて、ビット線（BL）8はセンスアンプ6に、選択ゲート線（SGD）31は選択ゲート線SGD駆動回路5に接続されている。

【0033】

また、上述したように、各ワード線WL1～WL4（7）は、メモリセルが2次元（即ち、平面的。）に複数形成される層（メモリセル層）毎に、共通の導電体層によって形

成されるため、ワード線駆動回路 3 の数を大幅に減少させることができ、チップ面積の縮小化を実現できる。

【0034】

図 10～図 19 を用いて本実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスについて説明する。図 10～図 19 においては、左側にワード線駆動回路やセンスアンプ回路等の周辺回路が形成される周辺回路領域を示し、右側にメモリトランジスタ領域を示す。また、図 10～図 19 においては、図 9 に示す本実施形態に係る本発明の不揮発性半導体記憶装置 1 の Y-Y' 断面及び X-X' 断面の領域 A に相当する部分を図示している。なお、ここでは、図 9 に示す本実施形態に係る本発明の不揮発性半導体記憶装置 1 の Y-Y' 断面及び X-X' 断面の領域 A においては、Y-Y' 断面方向に 3 つのメモリス

10

【0035】

図 10 を基に周辺回路トランジスタ及び下部選択トランジスタの製造工程について説明する。半導体基板 100 上に、素子分離領域 (STI) 102a、102b、102c を形成する。次に、ボロン (B) イオンを注入して P-well 領域 104 を形成し、更に基板 100 の表面付近にボロン (B) イオンを注入してトランジスタのしきい値 V_{th} を調整するチャネルインプラ領域 106a 及び 106b を形成する。ここでは、周辺回路領域に形成するトランジスタは、Nチャネル型トランジスタの例を示しているが、所望の領域に N 型を付与するイオンを注入することにより、N-well 領域を形成し、Pチャネル型トランジスタを形成している (図示せず)。次に、メモリセルトランジスタ領域にのみ

燐 (P) 等の不純物イオンを注入してソース線 SL となる n^+ 拡散領域 107 を形成する。次に、シリコン窒化膜とシリコン酸化膜を堆積し、所望のパターンにフォトリソを形成し、ウェットエッチングすることにより、メモリセルトランジスタ領域にのみシリコン窒化膜とシリコン酸化膜を形成する。次に高耐圧用トランジスタの厚膜のゲート絶縁膜を形成し、メモリトランジスタ領域及び高耐圧用トランジスタ領域以外を開口するようにフォトリソでパターンを形成しウェットエッチングすることにより厚膜ゲート絶縁膜を形成する。ウェットエッチングされた領域に高速動作トランジスタの薄膜ゲート絶縁膜を形成する。次に、燐 (P) 等の導電型不純物を添加したポリシリコン (poly-Si) 膜及び窒化シリコン膜を堆積した後、エッチングして周辺回路領域のトランジスタのゲート電極 110a、110b 及びキャップ窒化シリコン膜 113a、113b 並びに

メモリセル領域の選択トランジスタのゲート電極 110c 及びキャップ窒化シリコン膜 113c を形成する。次に、周辺回路領域の Nチャネル型トランジスタの領域に P イオン又は As イオンなどを注入して N 型領域 112a、112b、112c、112d を形成する。次に、基板全面に堆積した窒化シリコン膜を異方性エッチングしてサイドウォール 114a、114b、114c 及び 114d を形成する。次に、周辺回路領域の Nチャネル型トランジスタの領域に砒素 (As) イオンを注入してソース/ドレイン領域 116a、116b、116c、116d を形成する。次に、周辺回路領域の Pチャネル型トランジスタの領域に B イオンを注入してソース/ドレイン領域 (図示せず) を形成する。次に、基板全面に窒化シリコン膜 (バリア窒化シリコン膜) 118 を形成する。次に、基板全面に層間絶縁膜 (BPSG 膜) 124 を形成し、CMP などによって平坦化処理を行う。

20

30

40

【0036】

次に、フォトリソ層 (図示せず) を形成し、メモリセル領域にマトリクス状に選択トランジスタを形成するためのホール 126a～126d を形成する。このホール 126a～126d は、メモリ素子領域のメモリストリングスの数だけ形成されることになる。次に、メモリトランジスタ領域にのみ P イオン等を注入した後、LPCVD 法などにより酸化シリコン膜、アモルファスシリコン膜をホールの側壁と底部のみに形成する。次に、RIE により、ホールの底部の酸化シリコン膜及びアモルファスシリコン膜をエッチングし、アモルファスシリコン膜 128a～128d を形成する。次に、アモルファスシリコン膜を形成した後、CMP などによって平坦化処理を行い、アモルファスシリコン膜 130a～130d を形成する。次に、メモリトランジスタのチャネル領域にのみ P イオン等を

50

注入する。次に、メモリ素子領域のみにAsイオン等を注入し、ドレイン拡散層を形成した後、RTAによってAsイオンを活性化する。ここで、周辺回路トランジスタ及び下部の選択トランジスタが完成する。ここではチャンネル部にPイオン等を注入したが、イオン注入しなくてもよい。

【0037】

次に、基板全面に窒化シリコン膜132を形成する。次に、酸化シリコン膜134、アモルファスシリコン膜136、酸化シリコン膜138、アモルファスシリコン膜140、酸化シリコン膜142、アモルファスシリコン膜144、酸化シリコン膜146、アモルファスシリコン膜148、酸化シリコン膜149、窒化シリコン膜150を順に形成する。次に、メモリトランジスタ領域のホール126a～126dに合わせるようにマトリクス状にメモリセルの柱状部分を形成するためのホール152a～152d（以下、「メモリプラグホール」という。）を形成する。このメモリプラグホールは、メモリトランジスタ領域のメモリストリングスの数だけ形成されることになる。

10

【0038】

次に、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜、アモルファスシリコン膜を順に形成する。次に、RIEにより、前記アモルファスシリコン膜をエッチングし、スペーサを形成する。図10においては、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜、アモルファスシリコン膜を、纏めて、154a～154dで図示する。これら酸化シリコン膜（第1の絶縁膜）、窒化シリコン膜、酸化シリコン膜（第2の絶縁膜）が、所謂ONO膜を形成する。前記窒化シリコン膜は、メモリトランジスタの電荷蓄積層となる。なお、酸化シリコン膜の代わりにアルミナ膜などの絶縁膜を用いても良い。

20

【0039】

次に、メモリプラグホール152a～152dに形成されているアモルファスシリコン膜のスペーサを用いて、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜をエッチングし、ホール126a～126dに形成されたアモルファスシリコン膜130a～130dの一部を露出する。次に、メモリプラグホール152a～152dを埋めるようにアモルファスシリコン膜156a～156dを形成した後、CMPなどにより平坦化処理を行う。次に、Asイオンを注入し、RTAを行うことによって、ドレイン拡散層158a～158dを形成する。

【0040】

次に、酸化シリコン膜160、アモルファスシリコン膜162、酸化シリコン膜164、窒化シリコン膜166を順に形成する。次に、メモリトランジスタ領域にレジストを形成しエッチングした後、レジストをスリミングし、更にエッチングする。この工程を繰り返すことにより、図11に示すように、酸化シリコン膜134、アモルファスシリコン膜136、酸化シリコン膜138、アモルファスシリコン膜140、酸化シリコン膜142、アモルファスシリコン膜144、酸化シリコン膜146、アモルファスシリコン膜148、酸化シリコン膜149、窒化シリコン膜150、酸化シリコン膜160、アモルファスシリコン膜162、酸化シリコン膜164、窒化シリコン膜166を階段状に加工する。図12は、メモリトランジスタ領域部分の上面図である。

30

【0041】

次に、図13に示すように、基板全面に窒化シリコン膜168を形成する。次に、例えばBPSG膜170を形成し、アニール処理を行った後、CMPを行う。

40

【0042】

次に、図14に示すとおり、メモリトランジスタ領域にスリット状の穴172a～172c（図15に示す）を設けたレジストパターン172を形成し、酸化シリコン膜134、アモルファスシリコン膜136、酸化シリコン膜138、アモルファスシリコン膜140、酸化シリコン膜142、アモルファスシリコン膜144、酸化シリコン膜146、アモルファスシリコン膜148、酸化シリコン膜149、窒化シリコン膜150、酸化シリコン膜160、アモルファスシリコン膜162、酸化シリコン膜164、窒化シリコン膜166をRIEし、メモリプラグホールの列に沿った溝176a～176cを形成する。図

50

15にメモリトランジスタ部分の上面図を示す。図15(a)は、メモリトランジスタ領域にスリット状の穴172a~172c(図15に示す)を設けたレジストパターン172を形成した場合のメモリトランジスタ領域の上面図である。図15(b)は、RIEによってメモリプラグホール列に沿った溝176a~176cを形成した場合のメモリトランジスタ領域の上面図である。こうすることによって、上部選択トランジスタのゲート電極も同時に形成される。また、本実施形態においては、上部選択トランジスタのゲート電極長を180nmとし、メモリプラグの直径を90nmとし、スリット状の穴の幅を90nmとした。上部選択トランジスタのゲート電極長を110nmとし、メモリプラグの直径を60nmとし、スリット状の穴の幅を60nmとしてもよい。

【0043】

次に、基板全面に金属膜178(図示せず)を形成する。本実施形態においては、金属膜としてチタン(Ti)を用いる。金属膜178としては、Tiの他、コバルト(Co)、ニッケル(Ni)等シリサイドを形成することができる金属であれば如何なる金属を用いても良い。次に、アニール処理を行うことにより、図16に示すように、アモルファスシリコン膜136a、140a、144a、148a、162の溝176a~176cが形成された側面をシリサイド化し、チタンシリサイド136a~142a及び162aを形成する。アモルファスシリコン膜136a、140a、144a、148aは、メモリトランジスタのワード線WLであり、アモルファスシリコン膜162aは上部選択トランジスタのゲート電極である。アモルファスシリコン膜136a、140a、144a、148a、162aの溝176a~176cの側面に金属シリサイドを形成することにより、金属シリサイド部分の比抵抗は約2桁程度低減し、ワード線全体の抵抗及び上部選択トランジスタのゲート電極の抵抗を低減することができる。次に、余剰な金属膜178をウェットエッチング等で除去する。なお、金属シリサイドを形成する代わりに、金属膜178としてアルミニウムを用い、アニール処理を行うことによって、アモルファスシリコン136a、140a、144a、148aの溝176a~176cが形成された側面とアルミニウムとを置換するようにしてもよい。また、同様に、金属膜178としてアルミニウムを用い、アニール処理を行うことによって、上部選択トランジスタのゲート電極であるアモルファスシリコン膜162aとアルミニウムとを置換するようにしてもよい。

【0044】

なお、金属膜178にチタンを用いる場合、例えば、金属膜178の厚さを6nmとすると、この6nmの厚さのチタンをアモルファスシリコン膜136a、138a、140a、142a及び162aと完全に反応させ、アモルファスシリコン膜136a、138a、140a、142a及び162aをシリサイド化することにより、チタンシリサイド(Ti₂Si)のシート抵抗が約15Ω/□とすると、例えば、アモルファスシリコン膜136a、138a、140a、142a(ワード線WL)のシート抵抗を約10Ω/□とすることができる。

【0045】

また、アモルファスシリコン膜136a、138a、140a、142aと金属膜178とを完全に反応させ、アモルファスシリコン膜136a、104a、144a、148a全体を全て金属シリサイドにするようにしてもよい。

【0046】

次に、図17に示すとおり、窒化シリコン膜180、酸化シリコン膜182を溝176を埋めるように順に形成し、CMPすることにより、窒化シリコン膜180a~180d、酸化シリコン膜182a~182bを形成する。

【0047】

次に、図18に示すように、酸化シリコン膜184を形成した後、メモリトランジスタ領域のメモリプラグホール152a~152dに合わせるようにホール186a~186dを形成する。このホール152a~152dは、メモリトランジスタ領域のメモリストリングスの数だけ形成されることになる。その後、下部選択トランジスタを形成した方法と同様の方法によって上部の選択トランジスタを形成する。つまり、メモリトランジスタ領

10

20

30

40

50

域にのみPイオンを注入した後、LPCVD法などにより酸化シリコン膜、アモルファスシリコン膜をホール152a~152dの側壁と底部のみに形成する。次に、RIEにより、ホール152a~152dの酸化シリコン膜及びアモルファスシリコン膜をエッチングし、アモルファスシリコン膜188a~188dを形成する。次に、アモルファスシリコン膜を形成した後、RIE等でエッチバックを行い、アモルファスシリコン膜190a~190dを形成する。なお、図18に示すように、アモルファスシリコン膜188a~188dの表面が酸化シリコン膜184の上面よりも下方に位置するようにしてもよい。メモリストリングスのドレイン側の拡散層アモルファスシリコン膜188a~188dを形成する際に、ドレイン側の拡散層となるアモルファスシリコン膜188a~188dと上部セレクトゲート電極との距離をなるべく近づけておく方がよいからである。

10

【0048】

その後、ビアホールを形成し、バリアメタルとなる金属膜（例えば、Ti/TiN）を形成し、金属膜（例えば、タングステン）を形成し、CMPなどによって平坦化処理を行う。次に、酸化シリコンなどの絶縁膜を形成し、溝を形成し、バリアメタルとなる金属膜（例えば、Ti/TiN）を形成し、金属膜（例えば、タングステン（W））を形成し、CMPなどによって平坦化処理を行うことによって配線192a~192k等を形成する。その後、次に、同様の工程を繰り返すことにより、配線194a~194c等を形成する。また、同様の工程を繰り返すことにより、配線間の接続配線を形成する。以上の工程により、本実施形態1に係る本発明の不揮発性半導体記憶装置1が完成する。

【0049】

なお、本実施例においては、ワード線となるアモルファスシリコン膜を4層積層している例を示しているが、これに限定されるわけではなく、必要に応じて積層されるアモルファスシリコン膜及び酸化シリコン膜の数を増加することができる。

20

【0050】

本実施形態に係る本発明の不揮発性半導体記憶装置1においては、各層のワード線（WL）7を構成する線の側面には金属シリサイドが形成されている。つまり、各層のワード線（WL）7を構成するスリットの側面には金属シリサイドが形成されている。よって、各ワード線（WL）7の低抵抗化が実現されている。従って、本実施形態に係る本発明の不揮発性半導体記憶装置1は、ワード線WLの信号減衰、遅延が小さく、高速動作が実現できる。

30

【0051】

（実施形態2）

上述の実施形態1においては、図2に示すとおり、メモリストリングスの列毎にスリットが形成されており、各スリットの側面には金属シリサイドが形成されている。本実施形態2においては、メモリストリングスの列毎にスリットを形成するのではなく、メモリストリングスの列の幾つか毎にスリットを設け、各スリットの側面に金属シリサイドを形成する例について説明する。

【0052】

図20は、本実施形態2に係る本発明の不揮発性半導体記憶装置1のメモリトランジスタ領域2の一部の概略構成図である。本実施形態においては、メモリトランジスタ領域2は、メモリトランジスタ（MT_{1mn}~MT_{4mn}）40、選択トランジスタSST_{1mn}50及びSDT_{1mn}60からなるメモリストリングス10をm×n個（m、nは自然数）有している。図20においては、実施形態1と同様、m=3、n=4の例を示している。なお、実施形態1に係る本発明の不揮発性半導体記憶装置1と同様の構成については、ここでは改めて説明しない。

40

【0053】

図20に示すとおり、各層のワード線（WL）7を構成するスリットの側面には金属シリサイド22が形成されている。本実施形態に係る本発明の不揮発性半導体記憶装置1においては、図20に示すとおり、メモリストリングス2列毎にスリット22を設け、各スリット22の側面に金属シリサイドを形成するようにしている。なお、メモリストリングス

50

の何列毎にスリット 2 2 を設けるかは、ワード線 (W L) 7 の抵抗に応じて設定すればよい。

【0054】

以下、本実施形態 2 に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスについて説明する。なお、実施形態 1 と同様の構成及びプロセスについては、ここでは改めて説明しない。また、本実施形態においては、上部の選択トランジスタを構成する層は、ワード線 W L にスリット (溝) を形成した後に形成するようにしている。以下の製造プロセスにおいては、メモリプラグホールの 3 列毎にメモリプラグホールに沿ったスリット (溝) を設ける例について説明している。

【0055】

実施形態 1 で説明したとおり、メモプラグホール 1 5 2 a ~ 1 5 2 d に形成されているアモルファスシリコン膜のスペーサを用いて、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜をエッチングし、ホール 1 2 6 a ~ 1 2 6 d に形成されたアモルファスシリコン膜 1 3 0 a ~ 1 3 0 d の一部を露出する。次に、メモリプラグホール 1 5 2 a ~ 1 5 2 d を埋めるようにアモルファスシリコン膜 1 5 6 a ~ 1 5 6 d を形成した後、CMP などにより平坦化処理を行う。次に、As イオンを注入し、RTA を行うことによって、ドレイン拡散層 1 5 8 a ~ 1 5 8 d を形成する (図 2 1)。

【0056】

次に、メモリトランジスタ領域にレジストを形成しエッチングした後、レジストをスリミングし、更にエッチングする。この工程を繰り返すことにより、図 2 1 に示すように、酸化シリコン 1 3 4、アモルファスシリコン膜 1 3 6、酸化シリコン膜 1 3 8、アモルファスシリコン膜 1 4 0、酸化シリコン膜 1 4 2、アモルファスシリコン膜 1 4 4、酸化シリコン膜 1 4 6、アモルファスシリコン膜 1 4 8、酸化シリコン膜 1 4 9、窒化シリコン膜 1 5 0 を階段状に加工する。

【0057】

次に、図 2 1 に示すように、基板全面に窒化シリコン膜 1 6 8 を形成する。次に、例えば B P S G 膜 1 7 0 を形成し、アニール処理を行った後、CMP を行う。次に、図 2 1 に示すとおり、メモリトランジスタ領域にスリット状の穴 1 7 4 a ~ 1 7 4 b を設けたレジスト 1 7 2 を形成し、酸化シリコン膜 1 3 4、アモルファスシリコン膜 1 3 6、酸化シリコン膜 1 3 8、アモルファスシリコン膜 1 4 0、酸化シリコン膜 1 4 2、アモルファスシリコン膜 1 4 4、酸化シリコン膜 1 4 6、アモルファスシリコン膜 1 4 8、酸化シリコン膜 1 4 9、窒化シリコン膜 1 5 0、窒化シリコン膜 1 6 8 を R I E し、メモリプラグホール 1 5 2 a ~ 1 5 2 d の 3 列毎にメモリプラグホールに沿った溝 1 7 4 a ~ 1 7 4 b を形成する。図 2 2 は、メモリトランジスタ領域にスリット状の穴 1 7 2 a ~ 1 7 2 c (図 1 5 に示す) を設けたレジストパターン 1 7 2 を形成した場合のメモリトランジスタ領域の上面図である。なお、本実施形態においては、メモリプラグホールの 3 列毎にメモリプラグホールに沿ったスリット (溝) を設けているが、本発明の不揮発性半導体記憶装置 1 は、これに限定されるわけではない。

【0058】

次に、基板全面に金属膜 1 7 8 (図示せず) を形成する。本実施形態においては、金属膜としてチタン (T i) を用いる。金属膜 1 7 8 としては、実施形態 1 と同様、T i の他、コバルト (C o)、ニッケル (N i) 等シリサイドを形成することができる金属であれば如何なる金属を用いても良い。次に、アニール処理を行うことにより、図 2 3 に示すように、アモルファスシリコン膜 1 3 6 a、1 4 0 a、1 4 4 a、1 4 8 a の溝 1 7 6 a ~ 1 7 6 b が形成された側面をシリサイド化し、チタンシリサイド 1 3 6 a ~ 1 4 2 a を形成する。アモルファスシリコン膜 1 3 6 a、1 4 0 a、1 4 4 a、1 4 8 a は、メモリトランジスタのワード線 W L であり、アモルファスシリコン膜 1 3 6 a、1 4 0 a、1 4 4 a、1 4 8 a の溝 1 7 6 a ~ 1 7 6 b の側面に金属シリサイドを形成することにより、金属シリサイド部分の比抵抗は約 2 桁程度低減し、ワード線全体の抵抗を低減することができる。次に、余剰な金属膜 1 7 8 を S H 等で除去する。なお、金属シリサイドを形成する代

10

20

30

40

50

わりに、金属膜 178 としてアルミニウムを用い、アニール処理を行うことによって、アモルファスシリコン 136a、140a、144a、148a の溝 176a ~ 176b が形成された側面とアルミニウムとを置換するようにしてもよい。

【0059】

また、アモルファスシリコン膜 136a、140a、144a、1482a と金属膜 178 とを完全に反応させ、アモルファスシリコン膜 136a、140a、144a、148a 全体を全て金属シリサイドにするようにしてもよい。

【0060】

以後、実施形態 1 と同様の工程を経て上部の選択トランジスタ及び配線等を形成し、本実施形態 2 に係る本発明の不揮発性半導体記憶装置 1 が完成する。なお、本実施形態においても、上部の選択トランジスタ (SDTr) のゲート電極の側面をシリサイド化し、金属シリサイドを形成するようにしている。

【0061】

図 25 は、メモリプラグホール 152 の 4 列毎にメモリプラグホールに沿ったスリット (溝) を設けている例のメモリトランジスタ領域の上面図である。

【0062】

図 26 は、メモリプラグホール 152 の一部に金属シリサイドが形成されている例のメモリトランジスタ領域の上面図である。図 26 に示す場合は、ワード線 WL の抵抗をより低減することができる。

【0063】

図 27 は、スリット (溝) 174 に隣接するメモリプラグホールに完全に金属シリサイドが形成されている例のメモリトランジスタ領域の上面図である。図 27 に示す場合においても、ワード線 WL の抵抗をより低減することができる。

【0064】

図 25 ~ 図 27 に示すとおり、ワード線 (WL) のスリット (溝) の側面に形成されるシリサイドの厚さを制御することによって、ワード線全体の抵抗を制御することができる。

【図面の簡単な説明】

【0065】

【図 1】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 の概略構成図である。

【図 2】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 のメモリトランジスタ領域 2 の一部の概略構成図である。

【図 3】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 の一つのメモリストリングス 10 の概略構造を示す図である。

【図 4】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 において、点線で示したメモリトランジスタ MT r 3 のデータの読み出し動作を行う場合のバイアス状態を示す図である。

【図 5】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 において、点線で示したメモリトランジスタ MT r 3 のデータの書き込み動作を行う場合のバイアス状態を示した図である。

【図 6】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 において、選択したブロックのメモリトランジスタ MT r のデータの消去動作を行う場合の選択ブロックのバイアス状態を示した図である。

【図 7】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 において、選択したブロックのメモリトランジスタ MT r のデータの消去動作を行う場合の非選択ブロックのバイアス状態を示した図である。

【図 8】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 の鳥瞰図である。

【図 9】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 10】 本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

10

20

30

40

50

【図 1 1】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 1 2】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 1 3】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 1 4】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 1 5】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の上面図である。

【図 1 6】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

10

【図 1 7】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 1 8】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 1 9】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 2 0】本発明の一実施形態に係る不揮発性半導体記憶装置 1 のメモリトランジスタ領域 2 の一部の概略構成図である。

【図 2 1】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

20

【図 2 2】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 2 3】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 2 4】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 2 5】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の上面図である。

【図 2 6】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の上面図である。

【図 2 7】本発明の一実施形態に係る不揮発性半導体記憶装置 1 の上面図である。

30

【図 2 8】本発明の一実施形態に係る不揮発性半導体記憶装置 1 のワード線の概略形状を示す図である。

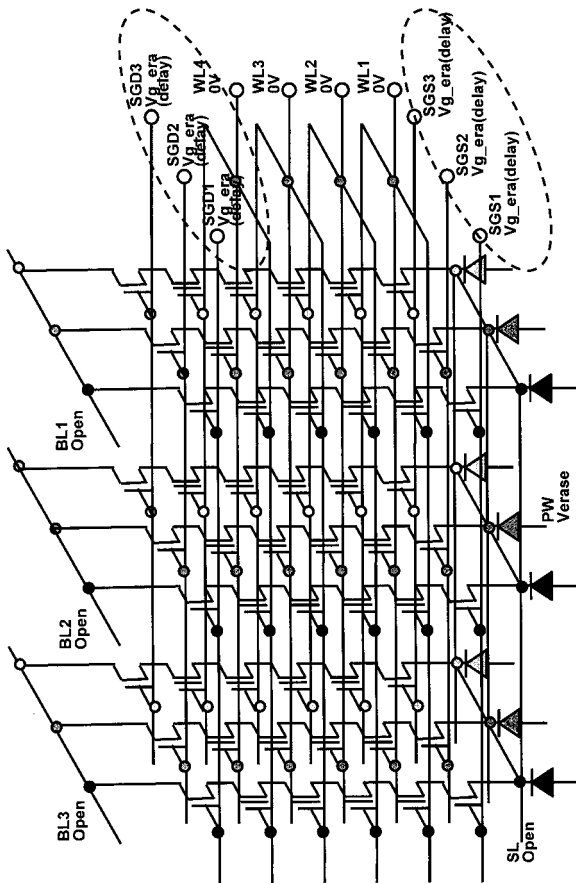
【符号の説明】

【0066】

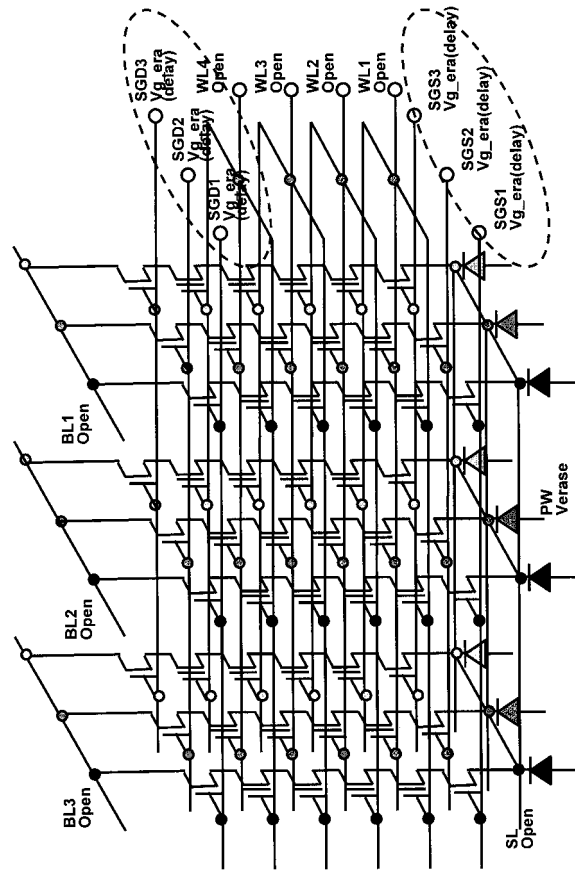
- 1 不揮発性半導体記憶装置
- 2 メモリトランジスタ領域
- 3 ワード線駆動回路
- 4 ソース側選択ゲート線 (SGS) 駆動回路
- 5 ドレイン側選択ゲート線 (SGD) 駆動回路
- 6 センスアンプ
- 10 メモリストリングス
- 11 柱状の半導体層
- 12 絶縁膜
- 13 a ~ 13 f 電極
- 14 P⁻型領域 (P-Well 領域)
- 15 N⁺領域 15
- 22 スリット (溝)
- 136 a、138 a、140 a、142 a シリサイド

40

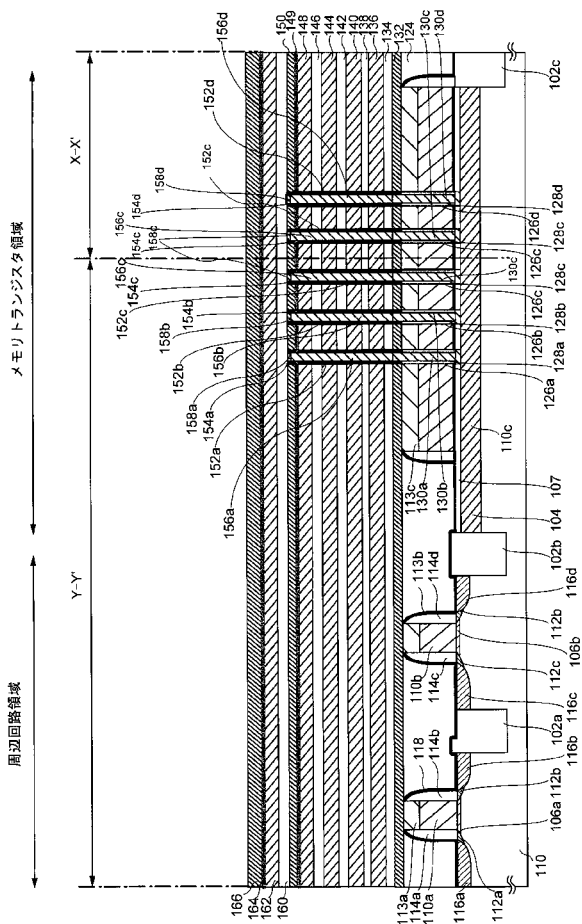
【図 7】



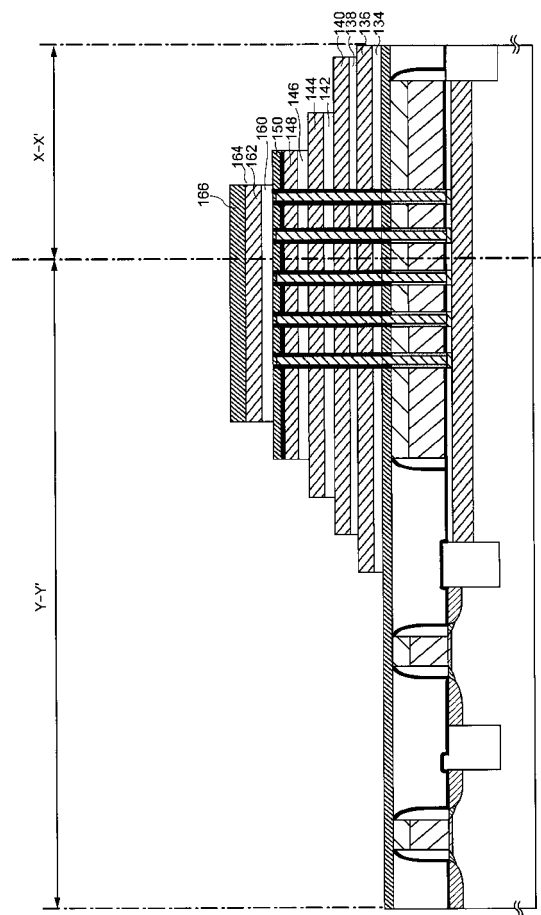
【図 8】



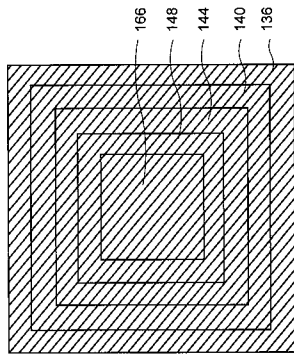
【図 10】



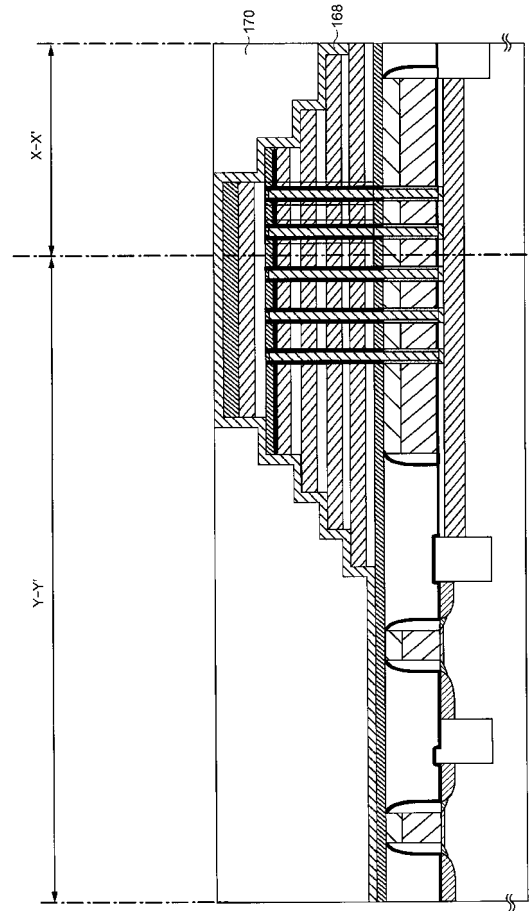
【図 11】



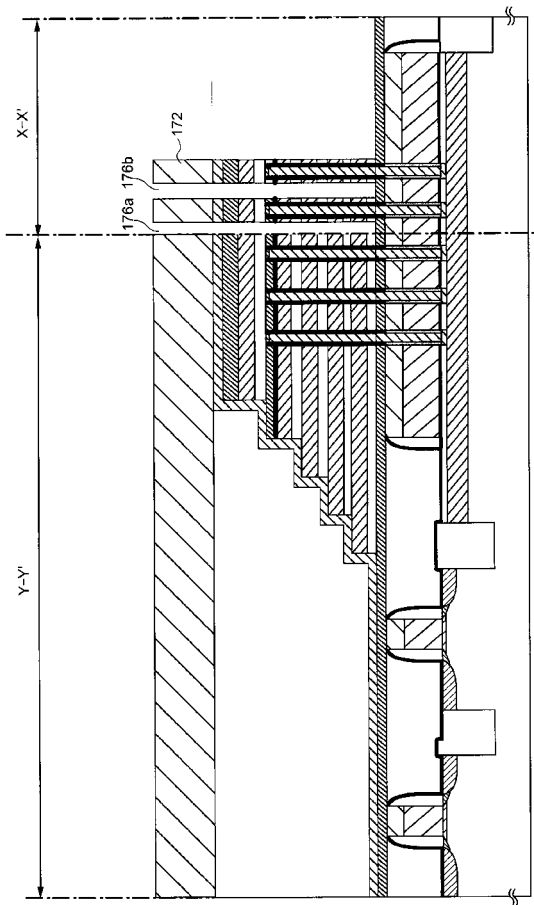
【図 1 2】



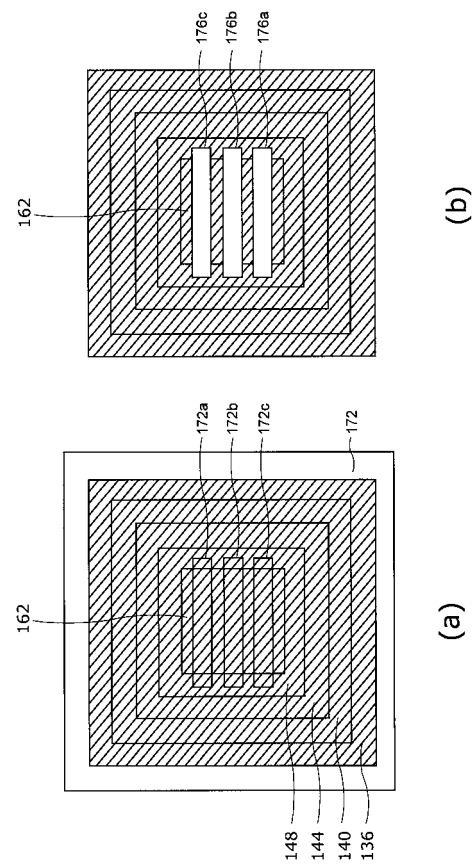
【図 1 3】



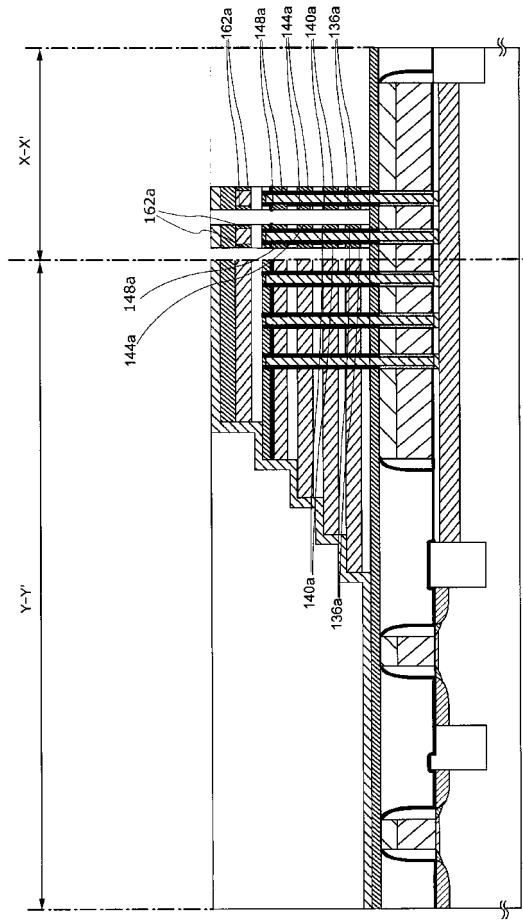
【図 1 4】



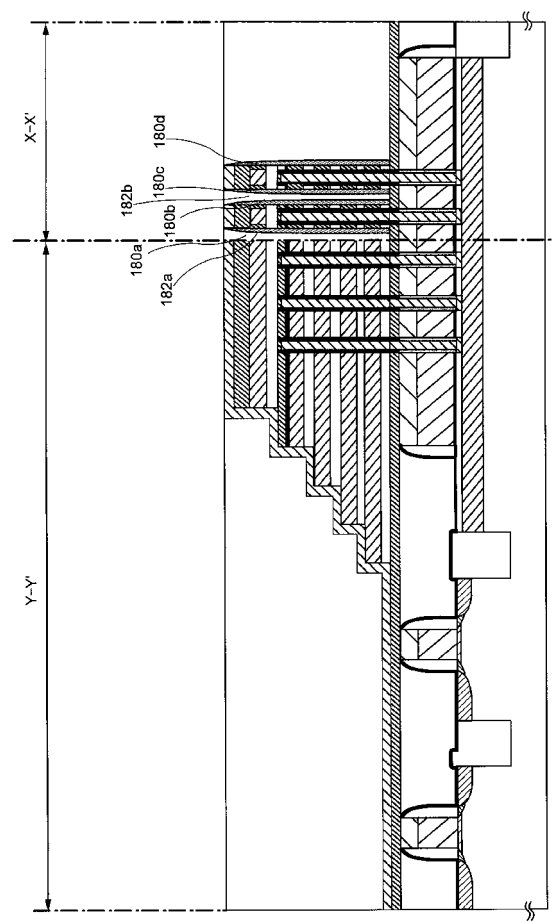
【図 1 5】



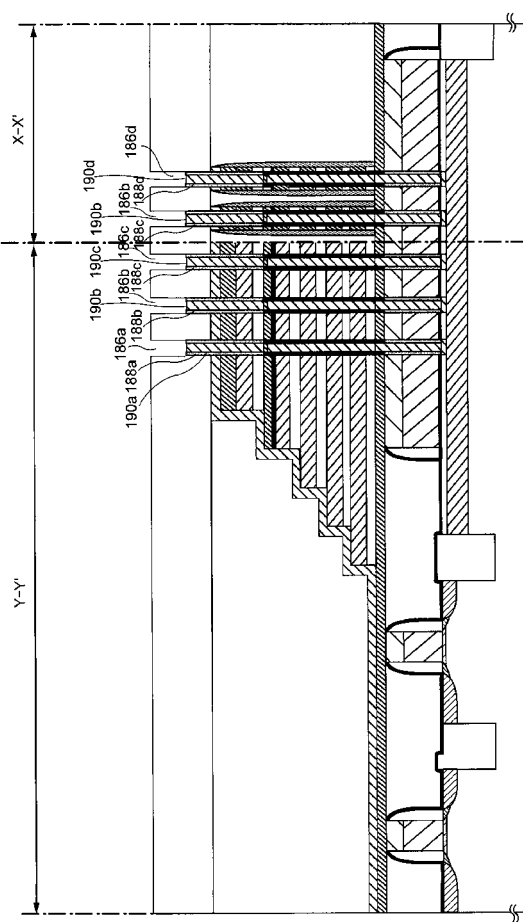
【図 16】



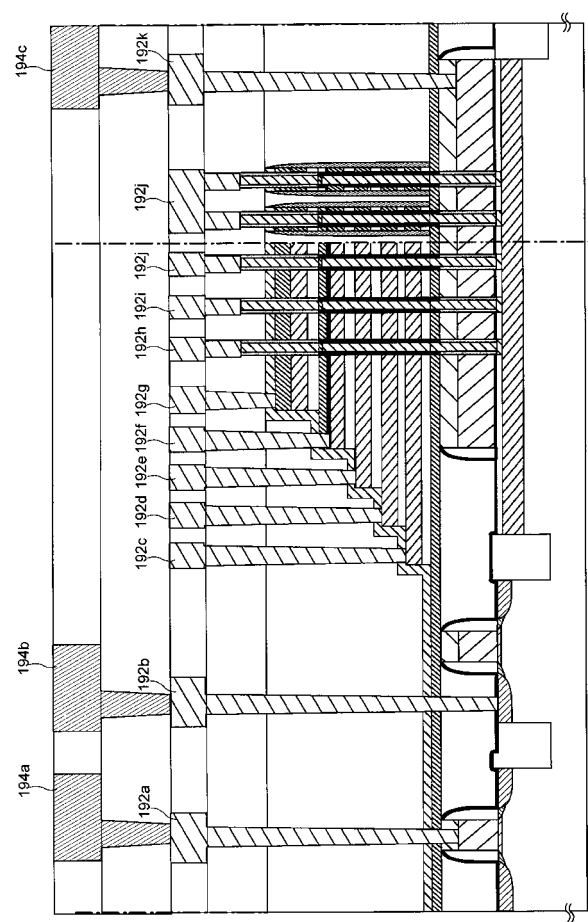
【図 17】



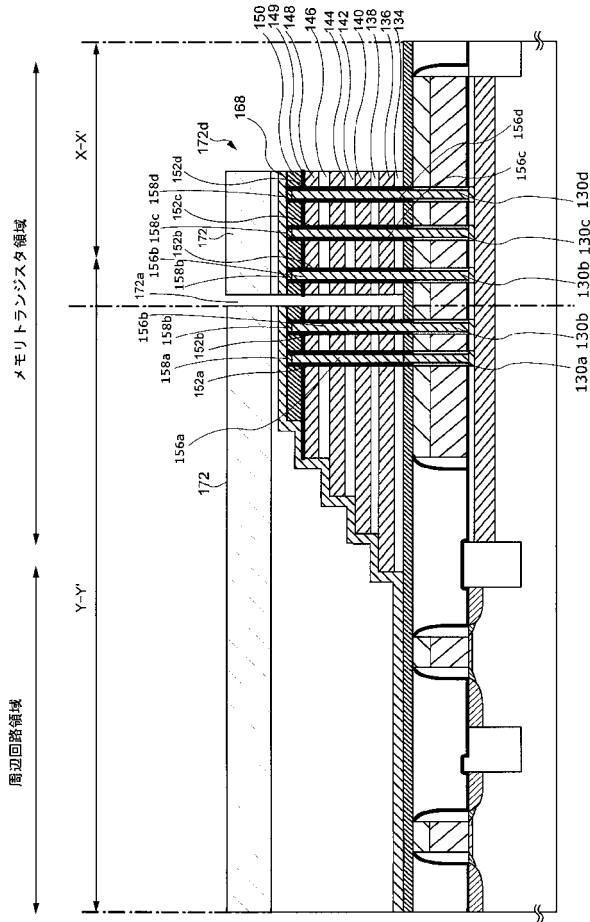
【図 18】



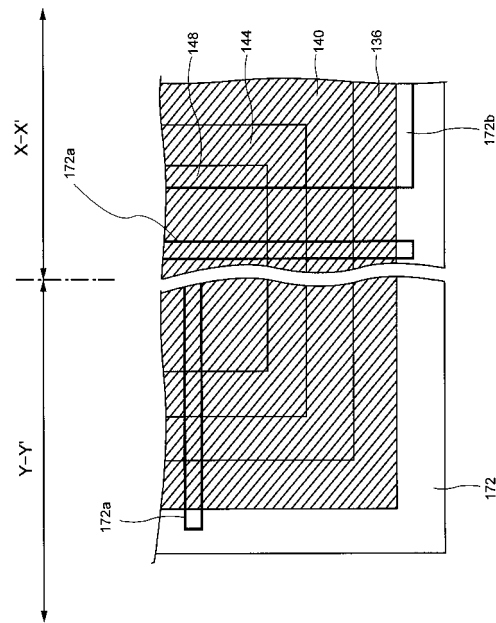
【図 19】



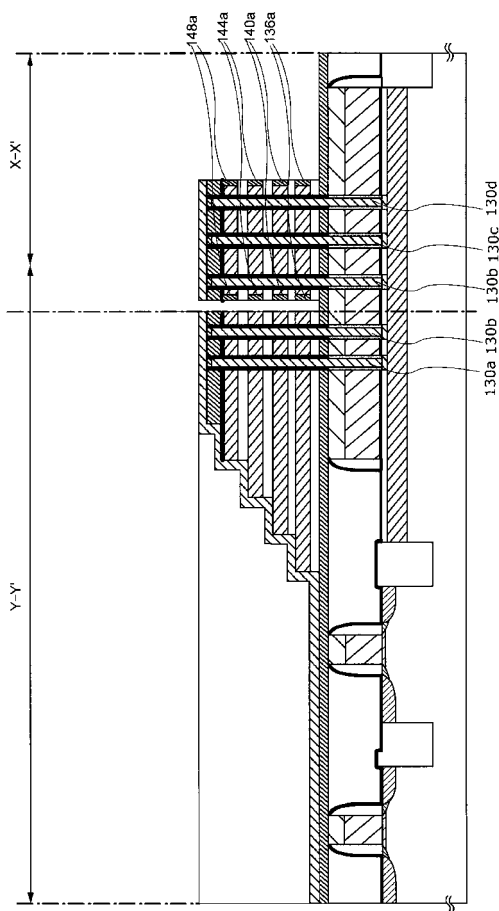
【図 2 1】



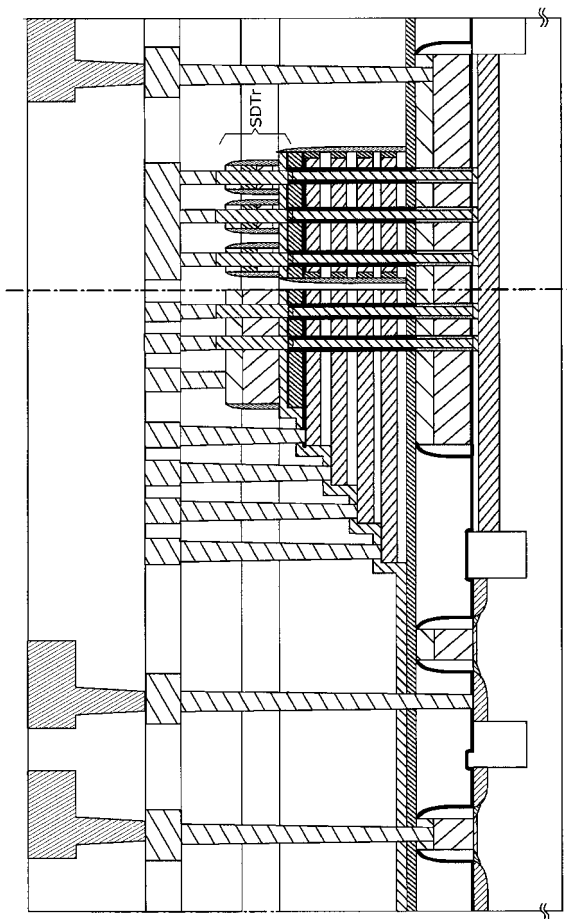
【図 2 2】



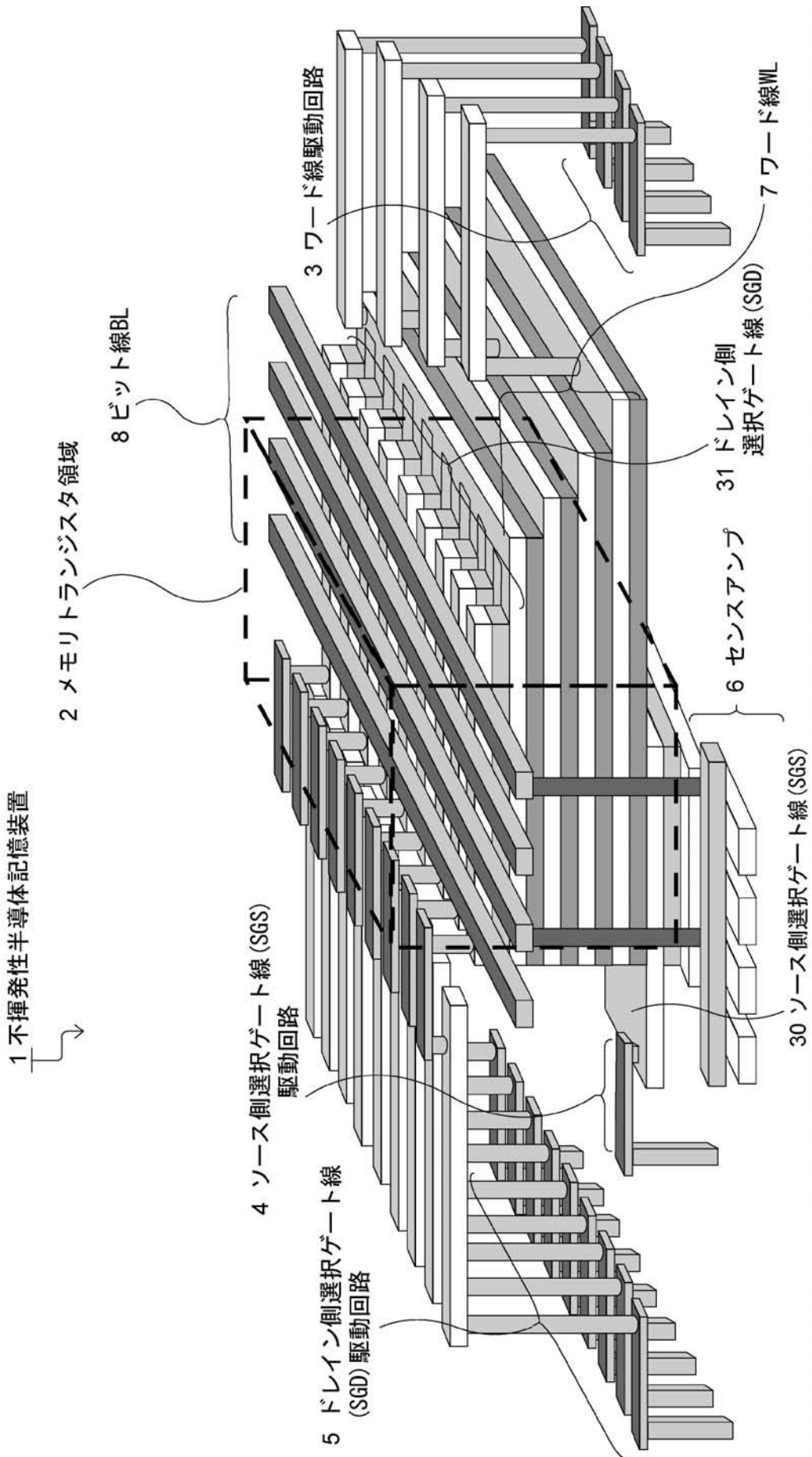
【図 2 3】



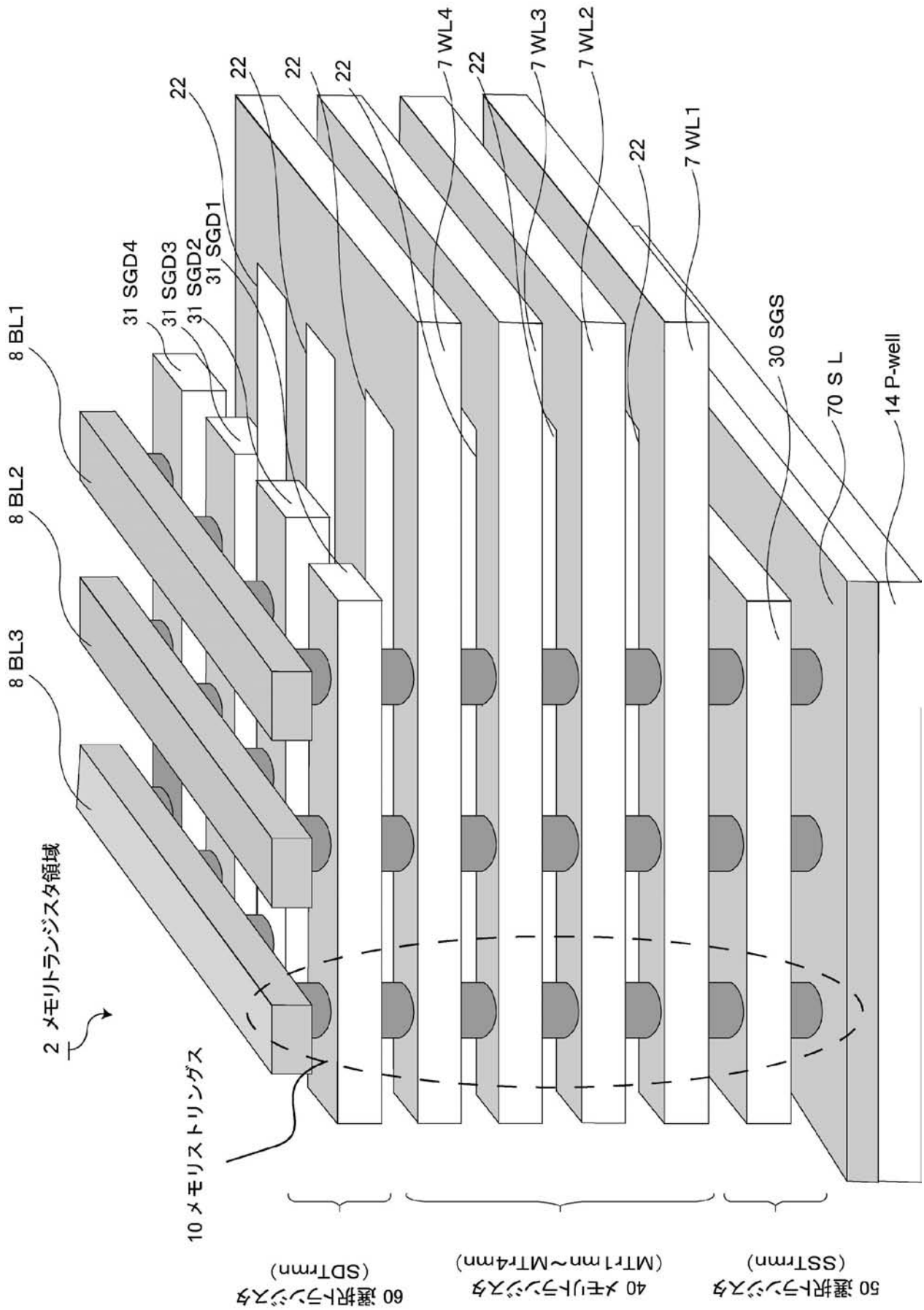
【図 2 4】



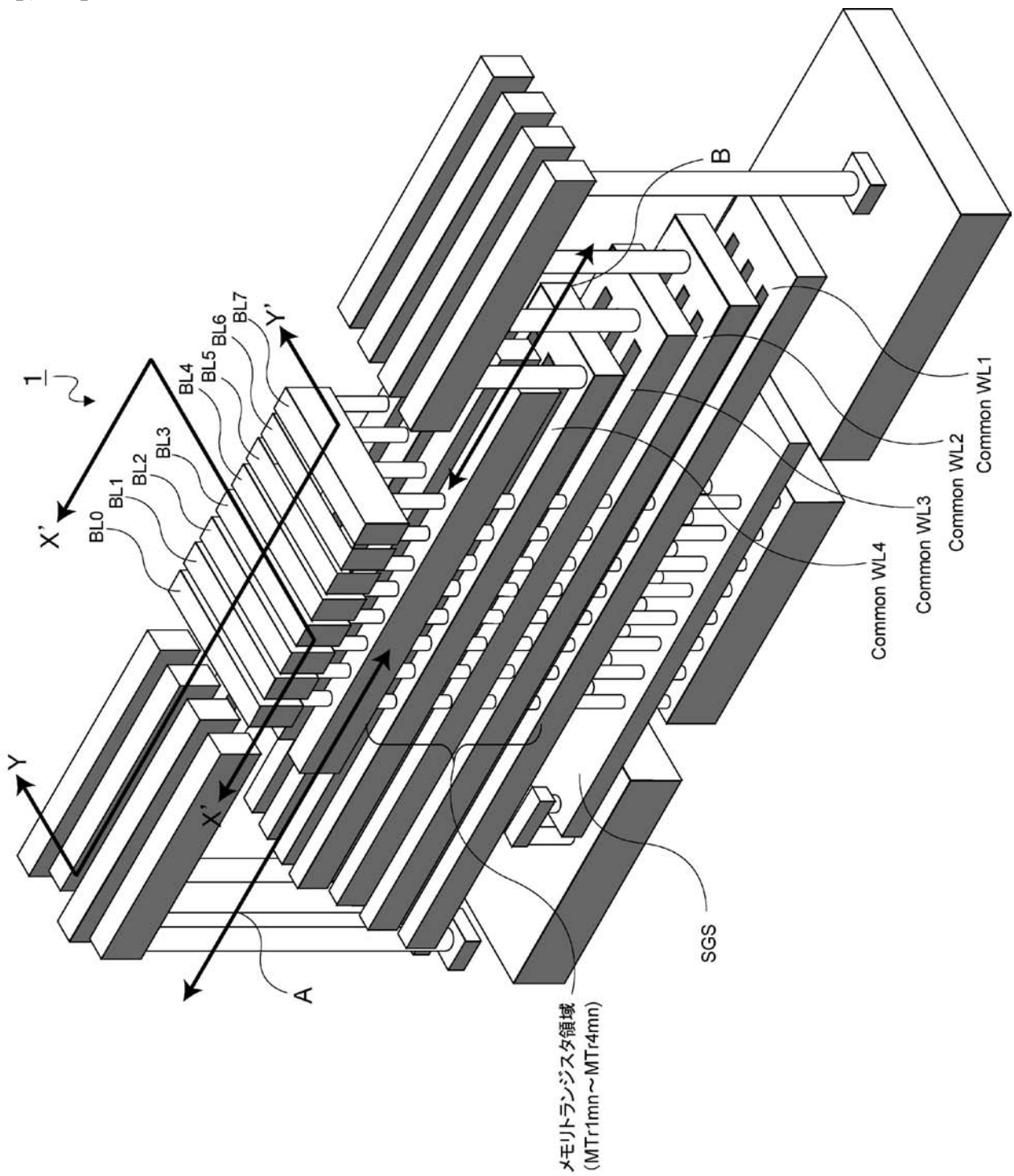
【図 1】



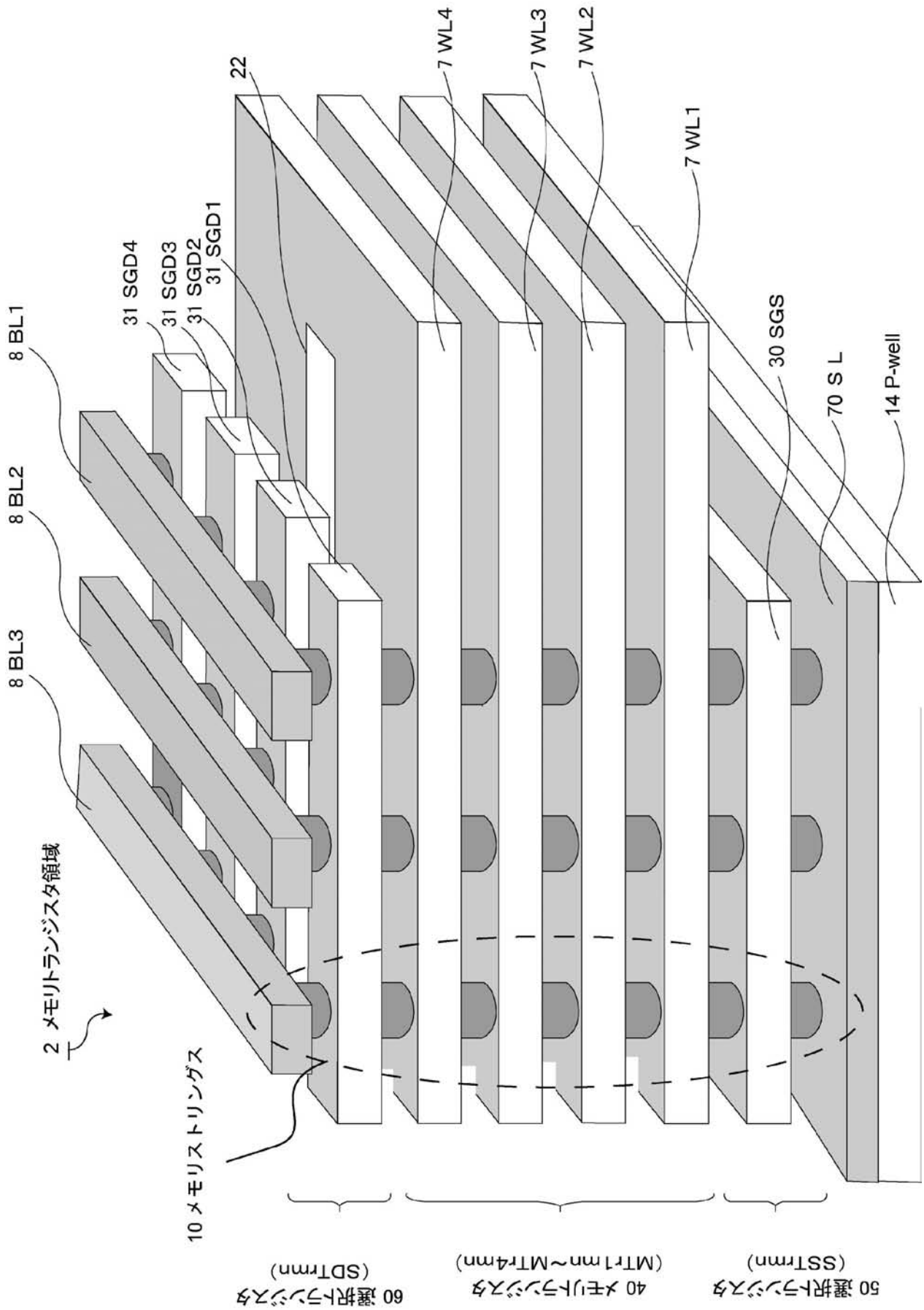
【図 2】



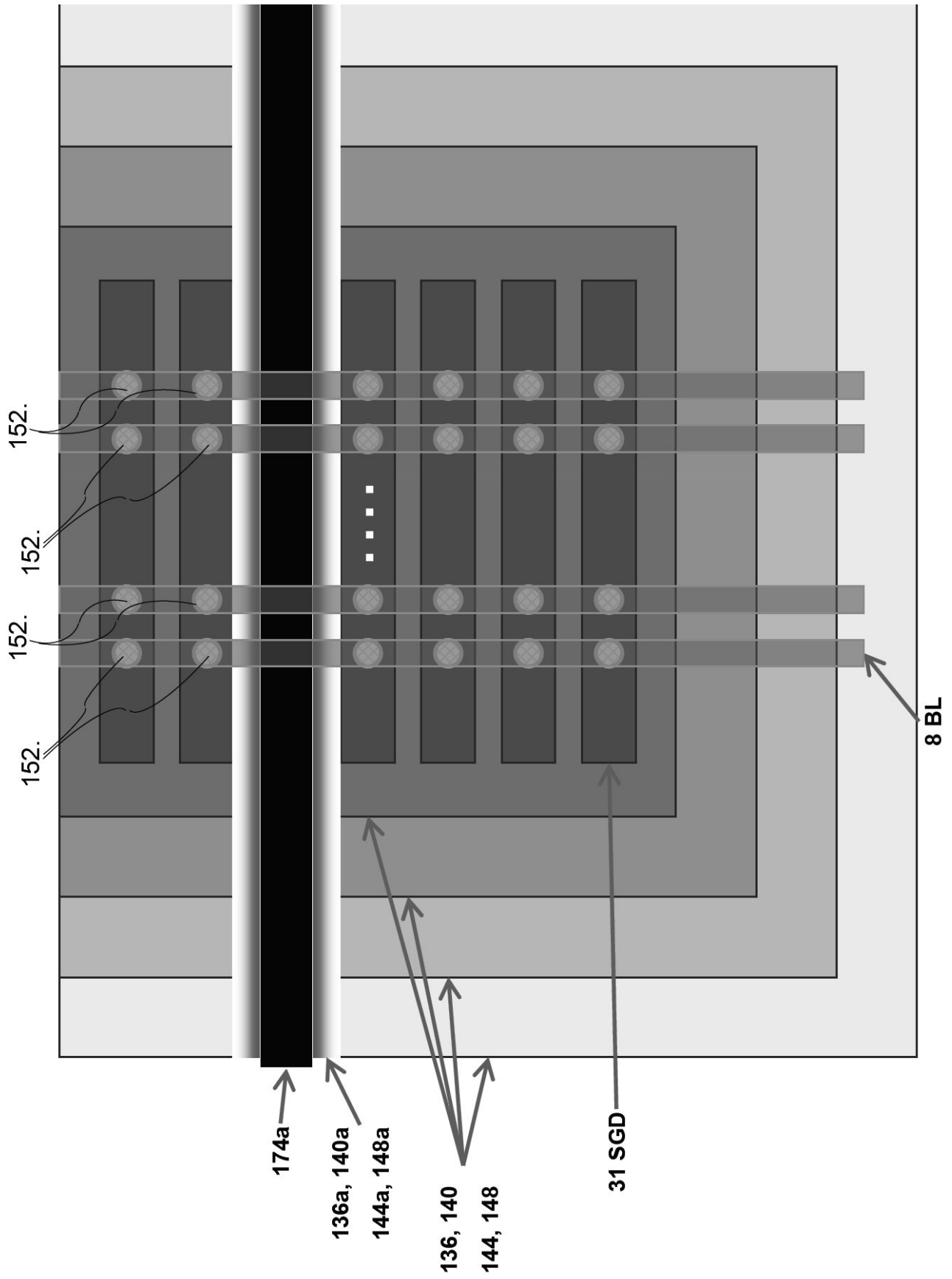
【 図 9 】



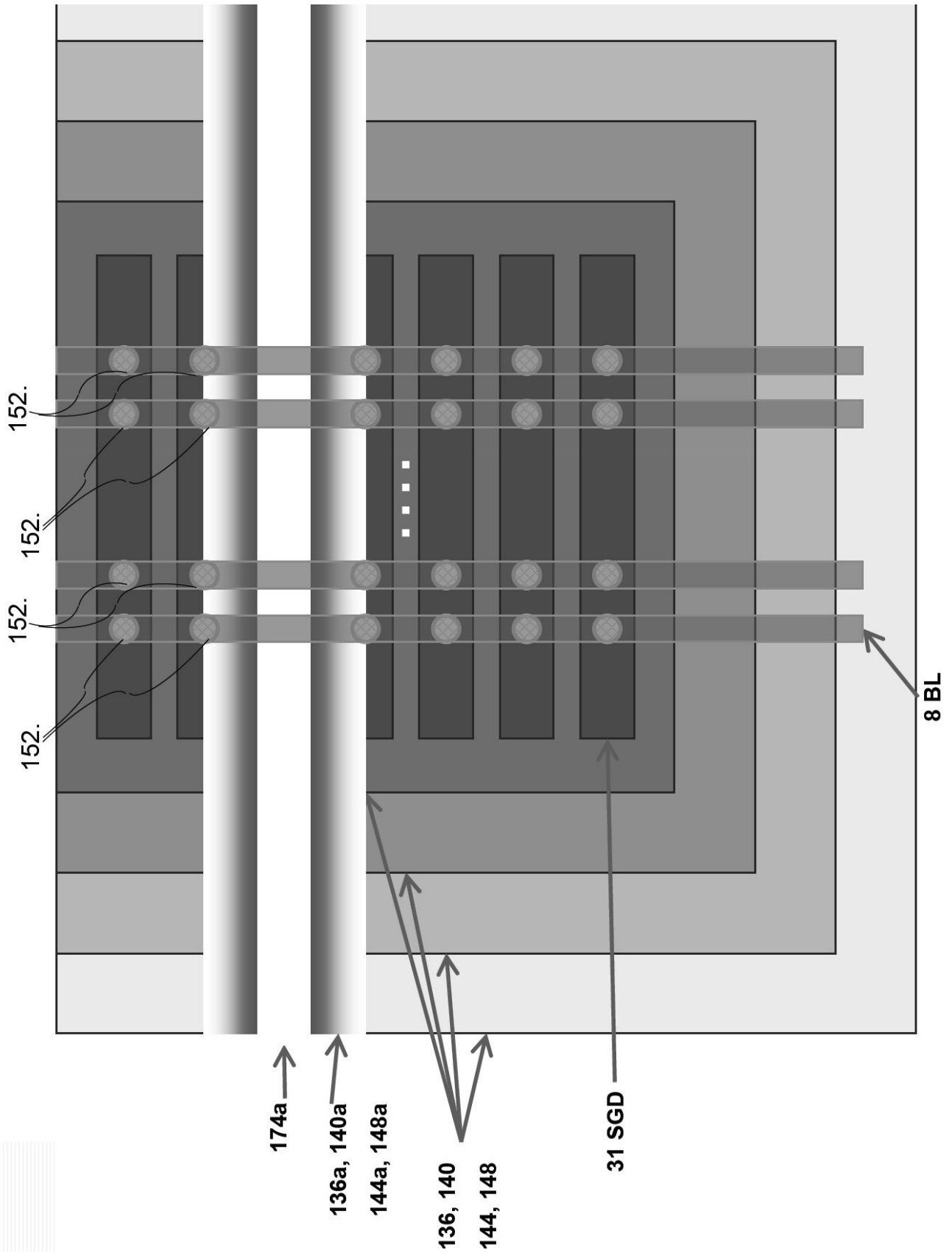
【図 20】



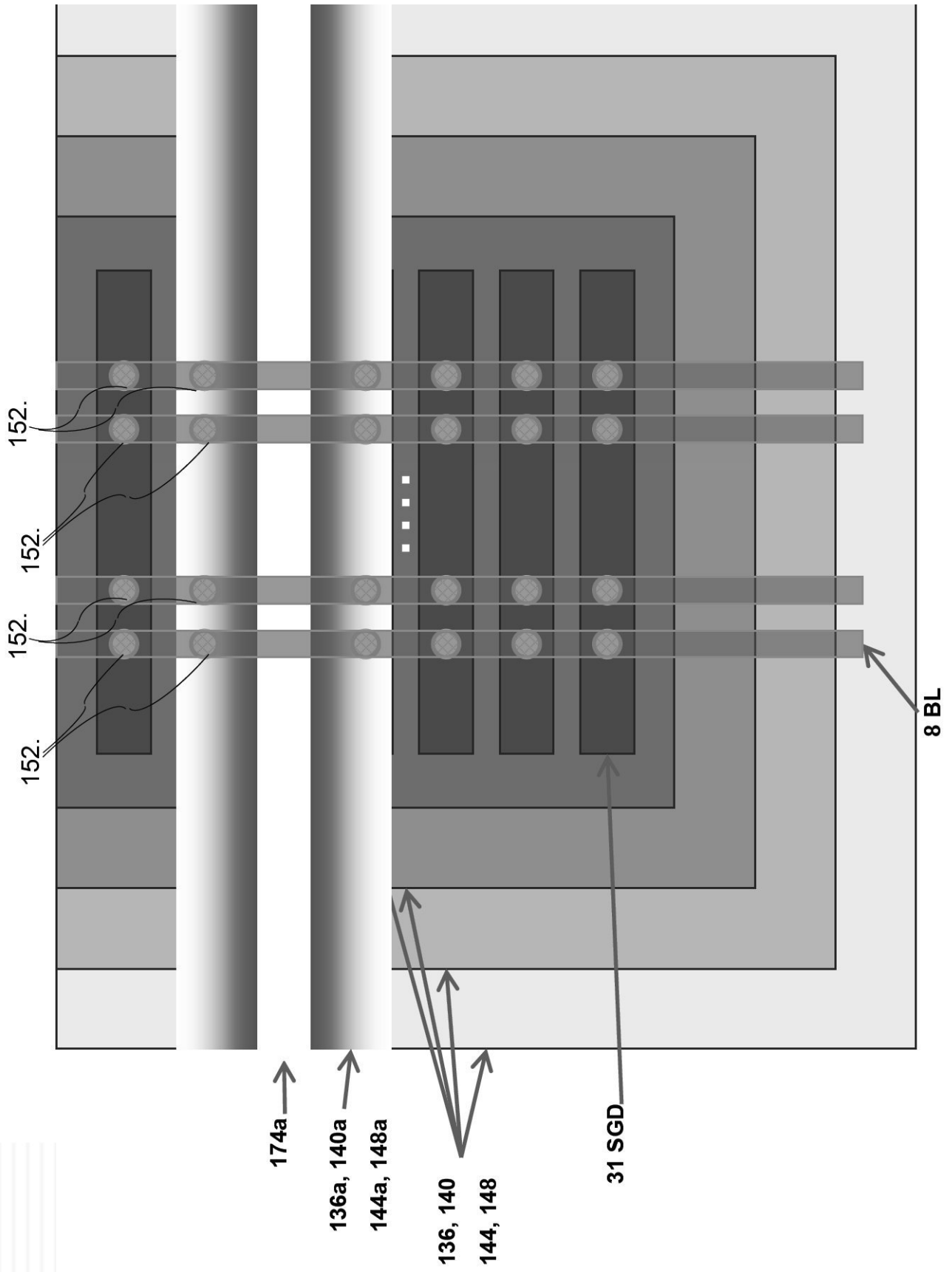
【図 25】



【図 26】

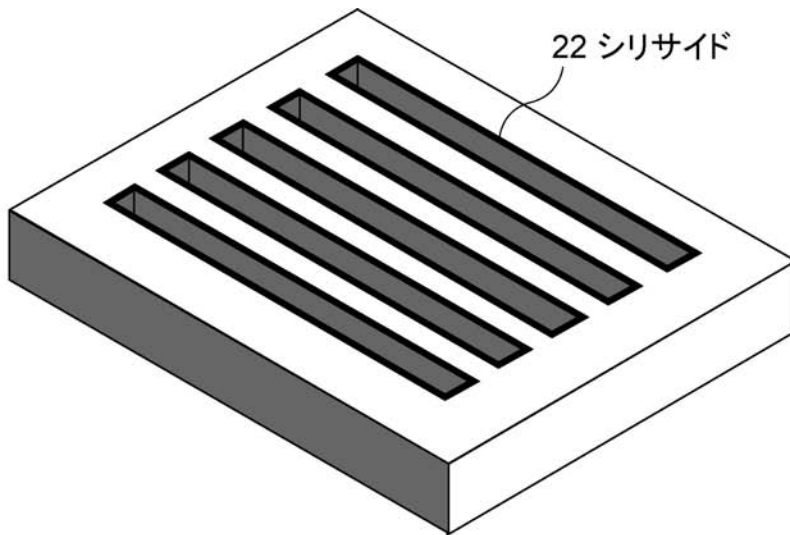


【図 27】

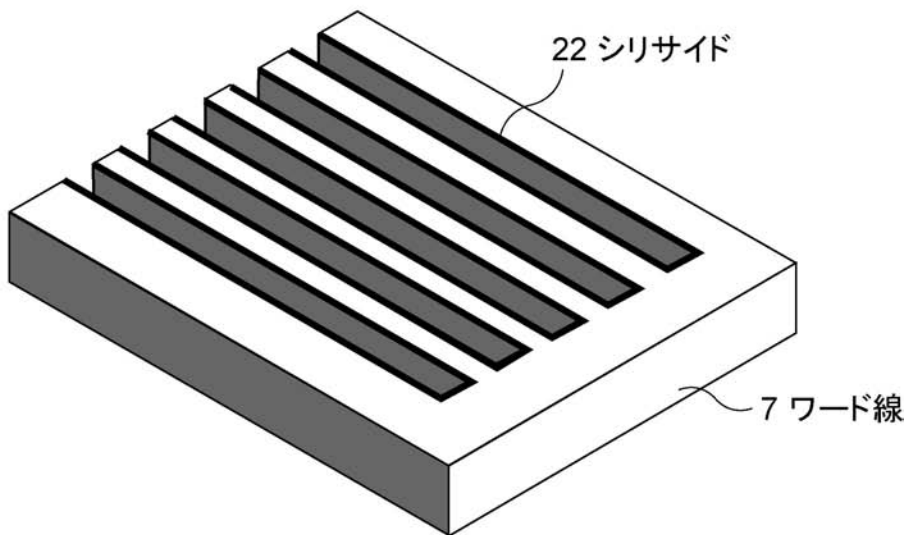


【図 28】

(A)



(B)



フロントページの続き

- (72)発明者 福住 嘉晃
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 田中 啓安
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 青地 英明
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 松岡 泰之
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小澤 良夫
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 佐藤 充
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP18 EP22 EP33 EP34 EP76 ER09 ER19 ER23 GA02 GA10
GA27 JA02 JA04 JA35 JA36 JA39 JA40 JA56 KA01 KA05
KA13 LA12 LA16 LA20 MA05 MA06 MA16 MA19 NA01 PR41
ZA03 ZA04 ZA07
5F101 BA45 BB02 BC01 BD02 BD16 BD22 BD24 BD27 BD30 BD34
BD35 BE01 BE02 BE05 BE07 BH21