

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0111859
H01L 21/336 (2006.01) (43) 공개일자 2006년10월30일

(21) 출원번호 10-2006-0037060
(22) 출원일자 2006년04월25일

(30) 우선권주장 11/112570 2005년04월25일 미국(US)

(71) 출원인 세미컨덕터 콤포넨츠 인더스트리즈 엘엘씨
미합중국, 아리조나 85008, 피닉스, 이스트 맥도웰 로드 5005

(72) 발명자 로체르트 게리 에이치.
미국 85281, 아리조나, 템피, 이. 14번가 스트리트 231
즈데벨 피터 제이.
미국 78733, 텍사스, 오스틴, 서클뷰 드라이브 10048

(74) 대리인 정상구
홍동오

심사청구 : 없음

(54) 스크리닝 전극을 가진 반도체 장치 및 방법

요약

일 실시예에서, 반도체 장치는 반도체 재료의 몸체 내에 형성된다. 반도체 장치는 채널 영역으로부터 이격된 스크리닝 전극을 포함한다.

대표도

도 1

색인어

스크리닝 전극, 항복 전압, 드레인 포화 전류, 스크린 전극 바이어스, 게이트 유전체층

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 반도체 구조의 확대 부분 단면도.

도 2는 본 발명의 다양한 실시예들에 있어서 스크린 전극 바이어스(V_{OS})의 함수로서 드레인 포화 전류(I_{DSat})를 도시한 그래프.

- 도 3은 본 발명의 다양한 실시예들에 있어서 스크린 전극 바이어스(V_{OS})의 함수로서 항복 전압(BV_{DSS})을 도시한 그래프.
- 도 4는 본 발명의 다양한 실시예들에 있어서 도 2 및 도 3의 다양한 스크린 전극 바이어스들에서 I_{DSat} 및 BV_{DSS} 간의 상관 관계를 도시한 그래프.
- 도 5는 초기 제조 단계에서 본 발명의 실시예에 대한 확대 부분 단면도.
- 도 6은 후기 제조 단계에서 본 발명의 실시예에 대한 확대 부분 단면도.
- 도 7은 다른 후기 제조 단계에서 본 발명의 실시예에 대한 확대 부분 단면도.
- 도 8은 추가 제조 단계에서 본 발명의 실시예에 대한 확대 부분 단면도.
- 도 9는 다른 추가 제조 단계에서 본 발명의 실시예에 대한 부분 확대 단면도.
- 도 10은 부가의 제조 단계후 본 발명의 실시예에 대한 부분 확대 단면도.

도면의 주요부분에 대한 부호의 설명

- 10: 스위칭 장치 11: 반도체 재료
- 12: n-형 실리콘 기판 14: 반도체층
- 17: n-형 영역 18: 주표면
- 24: 게이트 유전체층 43: 게이트 유전체층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치들, 특히 RF 전력 증폭기들과 같은 고속 장치들을 포함하는 전력 스위칭 장치들 및 이의 제조 방법들에 관한 것이다.

금속 산화물 반도체 전계효과 트랜지스터들(MOSFETs)은 공통 타입의 전력 스위칭 장치이다. MOSFET 장치는 소스 영역, 드레인 영역, 소스 및 드레인 영역들사이에서 연장하는 채널 영역, 및 채널 영역에 인접하여 제공된 게이트 구조를 포함한다. 게이트 구조는 박막 유전체층에 인접하여 배치되고 박막 유전체층에 의하여 채널 영역으로부터 분리된 도전성 게이트 전극층을 포함한다.

MOSFET 장치가 온-상태에 있을때, 전압은 소스 및 드레인 영역들사이의 도전성 채널 영역을 형성하기 위하여 게이트 구조에 공급되며, 이는 장치를 통해 전류가 흐르도록 한다. 오프-상태에서, 게이트 구조에 공급된 임의의 전압은 도전성 채널이 형성되지 않아서 전류가 흐르지 않도록 충분히 낮다. 오프-상태동안, 장치는 소스 및 드레인 영역들간에 고전압을 유지해야 한다.

MOSFET 장치들의 성능을 최적화할때, 설계자들은 종종 장치 파라미터 성능과의 상충관계에 직면한다. 특히, 이용가능한 장치 구조 또는 제조 공정의 선택은 하나의 장치 파라미터를 개선시킬 수 있으나, 동시에 이러한 선택은 하나 이상의 다른 장치 파라미터들을 저하시킬 수 있다. 예컨대, 출력 또는 구동 전류(I_{DS}) 특성 및 MOSFET 장치의 저항을 개선시키는 이용가능한 구조들 및 공정들은 MOSFET 장치의 항복 전압(BV_{DSS}) 특성을 저하시키고 게이트 대 드레인 커패시턴스를 증가시킨다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 앞서 언급된 문제점 뿐만아니라 다른 문제점들을 개선한 반도체 장치 구조물들 및 이의 제조 방법들을 제공하는데 있다.

발명의 구성 및 작용

이해를 용이하게 하기 위하여, 도면들에 도시된 엘리먼트들은 반드시 실제 크기로 도시되지 않으며 유사한 도면 부호들은 다양한 도면들 전반에 걸쳐 유사한 엘리먼트들을 나타낸다. 이하의 논의가 n-채널 장치를 기술하는 반면에, 본 발명은 또한 기술된 층들 및 영역들의 도전 타입을 반전시킴으로서 형성될 수 있는 p-채널 장치들과 관련되어 있다.

더욱이, 본 발명의 장치는 셀룰라 설계(여기서, 몸체 영역들이 복수의 셀룰라 영역들임) 또는 단일 몸체 설계(여기서, 몸체 영역은 연장된 패턴, 전형적으로 뿔모양 패턴으로 형성된 단일 영역으로 이루어짐)를 포함할 수 있다. 그러나, 본 발명의 장치는 이해를 보다 용이하게 하기 위하여 상세한 설명 전반에 걸쳐 셀룰라 설계로서 기술될 것이다. 본 발명이 셀룰라 설계 및 단일 몸체 설계를 포함한다는 것이 이해되어야 한다. 부가적으로, 비록 본 발명의 장치가 MOSFET 장치로서 기술될 지라도, 본 발명은 바이폴라 트랜지스터들 및 절연된 게이트 바이폴라 트랜지스터들 뿐만아니라 입력 단자, 출력 단자 및 제어 전극을 포함하는 다른 장치들에 적용한다.

도 1은 본 발명의 실시예에 따른 절연된 게이트 전계효과 트랜지스터(IGFET), MOSFET, 전력 트랜지스터, 또는 스위칭 장치 또는 셀(10)의 확대 부분 단면도를 도시한다. 예로서, 장치(10)는 전력 집적회로의 일부분으로서 반도체 칩 내로 논리 및/또는 다른 소자들이 집적된 많은 장치들중 하나이다. 선택적으로, 장치(10)는 개별 트랜지스터 장치를 형성하기 위하여 함께 집적된 많은 장치들중 하나이다.

장치(10)는 대략 0.001 내지 약 0.005 ohm-cm의 범위 내의 고유저항을 가진 n-형 실리콘 기판(12)을 포함하고 비소로 도핑될 수 있는 반도체 재료(11)의 영역을 포함한다. 기술된 실시예에서, 기판(12)은 드레인 접촉부 또는 제 1 전류 이송 접촉부를 제공한다. 반도체 층 또는 연장된 드레인 영역(14)은 기판(12) 내 또는 기판(12)상에 형성된다. 일 실시예에서, 반도체층(14)은 종래의 에피택셜 성장 기술들을 사용하여 형성된다. 선택적으로, 반도체층(14)은 종래의 도핑 및 확산 기술들을 사용하여 형성된다. 50 볼트 장치에 적합한 실시예에서, 반도체층(14)은 약 1.0×10^{15} 원자/cm³의 도펀트 농도를 가진 n-타입이며, 약 3 마이크론 내지 약 5 마이크론 정도의 두께를 가진다. 반도체층(14)의 두께 및 도펀트 농도는 장치(10)의 적정 BV_{DSS} 레이팅에 따라 증가 또는 감소된다. 다른 재료들은 실리콘-게르마늄, 실리콘-게르마늄-탄소, 탄소 도핑된 실리콘, 실리콘 카바이드 등을 포함하는 반도체 재료(11) 또는 부분들이 몸체를 위하여 사용될 수 있다는 것이 이해된다. 선택적으로, 대안 실시예에서, 기판(12)의 도전형은 절연된 게이트 바이폴라 트랜지스터(10)를 형성하기 위하여 반도체층(14)의 도전형의 반대 도전형으로 스위칭된다.

장치(10)는 또한 반도체 재료(11) 영역의 상부 표면 또는 주표면(18)에 또는 이에 인접하여 형성된 n-형 영역 또는 블랭킷 층(17)을 포함한다. n-형 영역(17)은 장치(10)에 대한 저저항 전류 경로를 제공한다. 전형적인 실시예에서, n-형 영역(17)은 약 6.0×10^{16} 원자/cm³ 정도의 최대 농도 및 약 0.4 마이크론의 깊이를 가진다.

몸체, 베이스 또는 도핑된 영역(31)은 반도체층(14) 내에 형성되며 주표면(18)으로부터 연장된다. 예로서, 몸체 영역(31)은 p-도전형을 포함하며, 장치(10)의 도전성 채널(45)로서 동작하는 반전층을 형성하기에 적합한 도펀트 농도를 가진다. 몸체 영역(31)은 주표면(18)으로부터 약 0.5 마이크론 내지 약 3.0 마이크론의 깊이로 연장된다. n-형 소스 영역 또는 전류 이송영역(33)은 몸체 영역(31) 내에 형성되며 주표면(18)에 있는 몸체 영역(31)에 저접촉 저항을 제공한다. p-형 몸체 접촉부 또는 접촉 영역(36)은 몸체 영역(31)에 형성되고 주표면(18)에 있는 몸체 영역(31)에 낮은 접촉저항을 제공한다. 더욱이, 접촉 영역(36)은 소스 영역(33) 아래의 몸체 영역(31)의 시트 저항을 낮추며, 이는 와류 바이폴라 현상들을 억제한다.

제 1 유전체층(14)은 주표면(18)의 부분들 위에 또는 이 부분들에 인접하여 형성된다. 예컨대, 유전체층(41)은 약 0.05 마이크론 내지 약 0.2 마이크론의 두께를 가진 열적 산화물층을 포함한다. 제 2 유전체층(42)은 유전체층(41) 위에 형성된다. 일 실시예에서, 제 2 유전체층(42)은 실리콘 질화물을 포함하며, 약 0.05 마이크론 내지 약 0.1 마이크론의 두께를 가진다.

본 발명에 따르면, 트렌치 전극들, 스크리닝 전극들, 스크리닝 단자들 또는 제 2 제어 단자 구조들(21)은 몸체 영역(31)에 인접하거나 또는 이격된 관계로 또는 몸체 영역(31)에 근접하게 형성된다. 일 실시예에서, 구조들(21)의 각각은 반도체층(14)의 부분들에 형성된 트렌치 또는 홈(23)을 포함한다. 구조들(21)은 제 3 유전체층들, 전극 절연층들, 또는 게이트 유전체층들(24)을 더 포함하며, 이들 층은 트렌치들(23)의 표면들 위에 형성된다. 제 3 유전체층들(24)은 예컨대 약 0.03 마이크로미터 내지 약 0.1 마이크로미터의 두께를 가진 실리콘 산화물을 포함한다. 대안 실시예들에서, 제 3 유전체층(24)은 실리콘 질화물, 오산화 탄탈, 이산화 티타늄, 바륨 스트론튬 티탄산염, 또는 실리콘 산화물 등과의 조합물들을 포함하는 상기 성분의 조합물들을 포함한다.

도핑된 다결정 반도체층들 또는 도전층들(46)은 제 3 유전체층들(24) 및 제 2 유전체층(42) 위에 형성된다. 일 실시예에서, 도전층들(46)은 약 5.0×10^{20} 원자/cm³의 도핑 농도를 가진 도핑된 폴리실리콘을 포함하며, 약 0.1 마이크로미터의 두께를 가진다. 대안 실시예에서, 도전층들(46)은 p-형 도전층을 포함한다. 예로서, 트렌치들(23)은 몸체 영역(31)으로부터 약 0.5 마이크로미터 내지 약 3.0 마이크로미터의 거리(26)로 이격된다. 추가 예로서, 트렌치들(23)은 주표면(18)으로부터 약 0.5 마이크로미터 내지 약 1.5 마이크로미터까지의 거리(27) 정도 연장된다.

제 4 유전체층(48)은 도전층(46) 위에 형성되며, 제 5 유전체층(51)은 제 4 유전체층(48) 위에 형성된다. 예로서, 유전체층(48)은 실리콘 질화물(예컨대, 약 0.05 마이크로미터 두께)을 포함하며, 유전체층(51)은 증착된 실리콘 산화물(예컨대, 약 0.7 마이크로미터 두께)을 포함한다. 일 실시예에서, 유전체층(51)은 트렌치들(23)의 존재를 보상하기 위하여 평탄화된 유전체를 포함한다. 예컨대, 유전체층(51)은 증착후에 화학-기계적 폴리싱 기술들을 사용하여 평탄화된다. 도전층(53)은 유전체층(51) 위에 형성되며, 예컨대 n-형 다결정 실리콘 또는 폴리실리콘(예컨대, 약 0.3 마이크로미터 두께)를 포함한다.

게이트 유전체층(43)은 몸체 영역(31)에 인접한 주표면(18)의 다른 부분들 위에 또는 이 부분들에 인접하여 형성된다. 게이트 유전체층들(43)은 예컨대 실리콘 산화물을 포함하며 약 0.01 마이크로미터 내지 약 0.1 마이크로미터의 두께를 가진다. 대안 실시예들에서, 게이트 유전체층들(43)은 실리콘 질화물, 오산화 탄탈, 이산화 티타늄, 바륨 스트론튬 티탄산염 또는 실리콘 산화물 등과의 조합물들을 포함하는 상기 성분의 조합물들을 포함한다.

도전 스페이서 게이트 영역들, 수직 스페이서 게이트 영역들, 또는 스페이서 한정 게이트 영역들 또는 도전 전극들(57)은 유전체 스페이서들(59)에 의하여 도전층들(46)로부터 절연된다. 게이트 유전체층들(43)과 함께 도전 스페이서 게이트 영역들(57)은 제어 전극들, 게이트 구조들 또는 제 1 제어 단자 구조들(58)을 형성한다. 도전 스페이서 게이트 영역들(57)은 예컨대 n-형 다결정 실리콘 또는 폴리실리콘을 포함하며 약 0.2 마이크로미터 내지 약 0.8 마이크로미터의 두께를 가진다. 전형적인 실시예에서, 유전체 스페이서들(59)은 실리콘 질화물을 포함하며 약 0.1 마이크로미터의 두께를 가진다. 스페이서 게이트 영역들(57)은 도전 게이트 구조를 제공하기 위하여 도전층(53)에 접속되며, 이는 장치(10) 내에 채널들(45)의 형성 및 전류의 도전성을 제어한다.

기술된 실시예에서, 도전 접속 부분(77)은 도전층들(53)에 스페이서 게이트 영역들(57)을 접속한다. 도전 접속 부분들(77)은 예컨대 n-형 폴리실리콘을 포함한다. 스페이서 한정 게이트 영역은 다른 주변 표면상에 형성된 채널을 제어하기 위하여 한 표면상에 증착된 게이트 재료로 형성된 제어 표면을 언급한다. 장치(10)의 경우에, 채널들(45)은 수평표면으로 고려된 주표면(18)에 형성된다. 스페이서 게이트 영역들(57)을 형성하기 위하여 사용된 제어 전극막은 표면(18)에 수직한 수직 표면들(68)을 따라 증착된다.

도전 스페이서 게이트 영역들(57)은 종래의 장치들과 비교하여 드레인 중첩부분에 최소 게이트를 제공하며, 이에 따라 게이트 전하가 상당히 감소된다. 부가적으로, 장치(10)에서는 게이트에 대한 전기적 라우팅이 주표면(18) 위에서 상승되는 도전층(53)에 의하여 제공되며, 이에 따라 게이트 전하가 감소된다. 게다가, 도전층(46)은 게이트 대 드레인 커패시턴스를 더 감소시키기 위하여 특히 게이트 및 드레인 영역들사이에 삽입된 접지면 또는 차폐층으로서 기능을 한다. 이들 특징들은 강화된 스위칭 속도 및 감소된 입력 전하 요건들을 제공한다.

제 6 유전체층(61)은 장치(10)의 부분들 위에 형성되며, 예컨대 약 0.05 마이크로미터의 두께를 가진 실리콘 질화물을 포함한다. 층간 유전체(ILD)층(62)은 장치(10)의 부분들 위에 형성되며, 예컨대 약 0.8 마이크로미터의 두께를 가진 증착된 실리콘 산화물을 포함한다. 개구부는 소스 접촉층(63)에 대한 접촉부를 장치(10)에 제공하기 위하여 유전체층들 내에 형성된다. 도시된 바와같이 주표면(18)의 부분은 소스 접촉층(63)이 소스 영역들(33) 및 몸체 영역(36) 둘다에 접촉을 형성한다. 일 실시예에서, 소스 접촉층(63)은 알루미늄 실리콘 합금 등을 포함한다. 드레인 접촉층 또는 도전 전극(66)은 반도체 재료(11) 영역의 반대 표면상에 형성되며, 예컨대 티타늄-니켈-은, 크롬-니켈-금 등과 같은 뱀납가능한 금속 구조를 포함한다.

장치(10)의 동작은 다음과 같이 수행된다. 소스 또는 입력 단자(63)는 0전압의 전위 V_S 에서 동작하며, 스페이스 게이트 영역들(57)은 장치(10)의 도전 임계치보다 큰 제어 전압 $V_G = 2.5$ 볼트를 수신하며, 드레인 또는 출력 단자(66)는 드레인 전위 $V_D = 5.0$ 볼트에서 동작한다. V_G 및 V_S 의 값들은 소스 영역들(33)을 층(17)에 전기적으로 접촉하는 채널(45)들을 형성하기 위하여 몸체 영역(31)이 하부 스페이스 게이트 영역들(57)을 반전시키도록 한다. 장치 전류 I_{DS} 는 소스 단자(63)로부터 흐르며, 소스 영역들(33), 채널들(45), 층(17) 및 반도체층(14)을 통해 드레인 단자(66)에 라우팅된다. 일 실시예에서, $I_{DS} = 1.0$ 암페어이다. 장치(10)를 오프 상태로 스위칭하기 위하여, 장치의 도전 임계치 이하의 제어 전압 V_G 는 스페이스 게이트들(57)에 공급된다(예컨대, $V_G < 2.5$ 볼트이다). 이는 채널들(45)을 제거하며, I_{DS} 는 장치(10)를 통해 더이상 흐르지 않는다.

스크리닝 전극들(21)은 공급전압, 중간전압, 독립전압, 전압 신호 또는 접지와 동일한 전위 V_O 에 고정, 결합 또는 접속된다. 오프 상태에서, 스크리닝 전극들(21)은 게이트 제어 전극들(58) 및 드레인 또는 출력 전극(66)으로서 동작한다. 즉, 스크리닝 전극들(21)은 정전기 전위를 평탄화하는 기능을 하며, 장치(10)가 오프 또는 차단 상태에 있을때 몸체 영역(31) 및 반도체층(14)의 코너들에서 발생하는 굴곡 현상들의 반경을 감소시킨다.

특히, 스크리닝 전극들(21)은 장치(10)의 입력 및 출력간의 큰 전위차를 두개의 부분들로 분할하며, 큰 전위차는 스크리닝 전극들(21) 및 출력 단자(예컨대, 드레인 단자(66))사이에 있으며, 작은 전위차는 스크리닝 전극들(21) 및 게이트 구조들(58) 및 입력 단자(예컨대, 소스 단자(63))사이에 있다. 이러한 전압차는 여러 결과들을 발생시킨다.

첫째, 통상적인 고전압 기술들은 스크리닝 전극(21) 및 출력 단자사이의 전위차의 큰 부분을 수용하기 위하여 사용될 수 있으며, 이는 장치(10)로 하여금 기존의 고전압 기술들과 더 호환가능하게 한다. 이러한 기술들은 주어진 항복 전압 요건을 충족시키기 위하여 반도체층(14)의 두께 및 도펀트 농도와 유전체층(24)의 두께를 조절하는 단계를 포함한다. 스크리닝 전극들(21)의 전압 스크리닝 현상들 때문에, 게이트 산화물(43)의 두께 또는 층(17)의 도펀트 농도와 같은 장치(10)의 다른 부분들은 전압 스크리닝 현상없이 다른 방식으로 실행할 수 없는 값들로 스케일링될 수 있다. 이는 현재의 능력 및 스위칭 속도를 개선하는 것을 포함하여 장치(10)의 전체 성능을 개선한다.

부가적으로, 스크리닝 전극들(21)이 출력 단자(66) 및 최종 부하(V_D)로부터 제어 전극들(58)을 분리시키기 때문에, 더 이상적인 출력 특징들이 달성될 수 있다. 예컨대, 이와같은 전극들의 분리는 출력전압(V_D)의 변화에 더 무감각한 출력 전류들(I_{DS})을 야기하며, 따라서 단지 제어 전압(V_G)의 변화에만 따른다.

최종적으로, 스크리닝 전극들(21)은 장치(10)가 온 상태에 있을때 트렌치들(23)의 표면들에 전하 축적을 생성하고 온 상태 저항을 감소시키며, 장치(10)가 온 상태에 있을때 드레인 전류(I_{DS})가 증가한다.

도 2는 V_{GS} 바이어스 5.0 볼트를 가진 스크리닝 전극(21)에 공급된 소스 전압($V_{OS} = V_O - V_S$)에 독립 스크린의 함수로서 장치(10)에 대한 드레인 전류 I_{DS} 성능을 도시한 그래프이다. 부가적으로, 도 2는 p-형 도전층(46)(데이터 3A) 및 n-형 도전층(46)(데이터 4A)을 가진 장치(10)를 비교한다. 이들 두개의 구조들은 p-형 전극(데이터 1A)을 가진 평면 또는 비-트렌치 구조를 가진 장치 및 n-형 전극(데이터 2A)을 가진 평면 또는 비-트렌치 구조를 가진 장치와 더 비교된다.

도 3은 스크리닝 전극(21)에 공급된 소스 전압(V_{OS})에 대한 독립 스크린의 함수로서 항복 전압(BV_{DSS})을 도시한 그래프이다. 부가적으로, 도 3은 p-타입 도전층(46)(데이터 3B) 및 n-형 도전층(46)(데이터 4B)을 비교한다. 이들 두개의 구조들은 p-형 전극(데이터 1B)을 가진 평면 또는 비-트렌치 구조를 가진 장치 및 n-형 전극(데이터 2B)을 가진 평면 또는 비-트렌치 구조를 가진 장치에 비교된다.

도 4는 도 2 및 도 3의 합성 또는 상관관계와 같은 BV_{DSS} 의 함수로서 I_{DSAT} 를 도시한 그래프이다. 데이터 엘리먼트들(1C)은 p-형 전극을 가진 평면 구조에 대응하며, 데이터 엘리먼트들(2C)은 n-형 전극을 가진 평면 구조에 대응하며, 데이터 엘리먼트들(3C)은 p-형 도전층(46)을 가진 장치(10)에 대응하며, 데이터 엘리먼트들(4C)은 n-형 도전층(46)을 가진 장치(10)에 대응한다. 도 4에 도시된 바와같이, 본 발명에 따른 스크리닝 전극(21)을 가진 장치(10)는 우수한 I_{DSAT} 특징들을 달성하면서 강화된 BV_{DSS} 성능을 제공한다.

도 5 내지 도 10을 지금 참조하면, 본 발명에 따른 장치(10)를 형성하는 공정이 기술된다. 도 5는 초기 제조 단계에서 장치(10)의 확대 부분 단면도를 도시한다. 반도체 재료(11)의 몸체에는 반도체층(14)에 형성된 n-형 층(17)이 제공된다. 일 실시예에서, n-형 층(17)을 형성하기 위하여 약 2.0×10^{12} 원자/cm² 량 및 600 KeV의 주입 에너지로 인이 주입된다. 제 1 유전체층(14)은 주표면(18) 위에 형성되며, 예컨대 약 0.05 마이크로미터 내지 약 0.2 마이크로미터 두께의 실리콘 산화물을 포함한다. 약 900 도 열적 산화물은 약 십여 900도로 성장된 열적 산화물이 적절하다. 제 2 유전체층(42)은 제 1 유전체층(41) 위에 증착되며, 예컨대 약 0.05 마이크로미터 내지 약 0.1 마이크로미터의 실리콘 질화물을 포함한다. 다음으로, 종래의 포토리소그라피 및 에칭 단계는 주표면(18)의 부분들을 노출시키기 위하여 제 1 및 제 2 유전체층들(41, 42)에 개구부들을 형성하기 위하여 사용된다. 다음에, 트렌치들(23)은 반도체층(14)에 형성되며 주표면(18)으로부터 연장한다. 예로서, 트렌치들(23)은 화학적 성질들에 기초하여 플루오르 또는 염소를 사용하여 건식 에칭 시스템에서 에칭된다. 트렌치들(23)은 단일 연속 트렌치 또는 접속 트렌치 매트릭스를 포함한다. 선택적으로, 트렌치들(23)은 폐쇄 단부들을 가지고 반도체 재료(11)의 몸체의 부분들에 의하여 분리된 복수의 개별 트렌치들을 포함한다. 그 다음에, 제 3 유전체층들(24)은 트렌치들(23)의 표면들 위에 형성되며, 예컨대 약 0.03 마이크로미터 내지 약 0.1 마이크로미터의 두께를 가진 실리콘 산화물을 포함한다.

도 6은 후기 제조 단계에서 장치(10)의 실시예에 대한 확대 부분 단면도를 도시한다. 그 다음에, 도전층(46)은 제 3 유전체층(24) 및 제 2 유전체층(24)의 나머지 부분들 위에 형성된다. 일 실시예에서, 도전층(46)은 약 0.1 마이크로미터의 폴리실리콘을 포함하며, 도핑 또는 비도핑 증착된다. 만일 도전층(46)이 초기에 비도핑 증착되면, 도전층(46)은 예컨대 이온 주입 기술들을 사용하여 도핑된다. 일 실시예에서, 도전층(46)은 n-형이며, 인으로 도핑된다. 약 60 KeV의 주입 에너지와 함께 약 5.0×10^{15} 내지 약 1.0×10^{16} 원자/cm²의 인 이온 주입량은 도전층(46)을 도핑하기에 충분하다. 대안 실시예에서, 도전층들(46)은 p-형 도전층을 포함하며, 약 30 keV의 주입 에너지와 함께 약 5.0×10^{15} 내지 약 1.0×10^{16} 원자/cm²의 붕소 인 주입량은 도전층(46)을 도핑시키기에 충분하다.

다음으로, 제 4 유전체층(48)은 도전층(46) 위에 형성되며, 제 5 유전체층(51)은 제 4 유전체층(48) 위에 형성된다. 제 4 유전체층(48)은 예컨대 실리콘 질화물(예컨대, 약 0.05 마이크로미터 두께)을 포함하며, 유전체층(51)은 증착된 산화물(예컨대, 약 0.7 마이크로미터 두께)을 포함한다. 일 실시예에서, 제 5 유전체층(51)의 상부면은 예컨대 화학 기계 폴리싱 프로세스 등을 사용하여 평탄화된다.

그 다음에, 도전층(53)은 제 5 유전체층(51) 위에 형성되며, 예컨대 n-형 폴리실리콘(예컨대, 약 0.3 마이크로미터 두께)을 포함한다. 보호층(54)은 도전층(53) 위에 형성되며, 예컨대 약 0.15 마이크로미터의 실리콘 질화물을 포함한다.

포토리소그라피 및 에칭 단계는 개구부(70)를 제공하기 위하여 층들(54, 53, 51, 48, 46, 42)의 스로우 부분들을 에칭하도록 수행된다. 이는 층들(42, 46, 48, 51, 53, 54)의 나머지 부분들로 구성된 페데스탈 스택 구조들(56)을 형성한다. 일 실시예에서, 개구부(70)는 약 5.0 마이크로미터 내지 약 8.0 마이크로미터 정도의 폭(73)을 가진다.

도 7은 유전체 스페이서들(59)을 형성하는 추가 처리 단계들 후에 장치(10)의 확대 부분 단면도를 도시한다. 일 실시예에서, 실리콘 질화물막은 페데스탈 스택 구조들(56) 및 제 1 유전체층(41) 위에 증착된다. 예로서, 약 0.1 마이크로미터 두께의 실리콘 질화물막은 화학 기상증착 기술들을 사용하여 증착된다. 다음으로, 종래의 이방성 에칭 백 단계는 유전체 스페이서들(59)을 형성하기 위하여 측벽 또는 수직면들(68)상에 실리콘 질화물층의 부분들을 남기면서 페데스탈 스택 구조들(56) 및 제 1 유전체층(41)위의 실리콘 질화물층의 부분들을 제거한다.

추가 단계에서, 실리콘 산화물 습식 에칭은 개방부(70) 내의 유전체층(41)의 부분들을 제거하기 위하여 사용된다. 예로서, 희석된 하이드로플루오르 산(예컨대, 50:1)은 유전체층(41)을 에칭하기 위하여 사용된다. 예시적인 실시예에서, 에칭 시간은 하부 유전체 스페이서들(59)로부터 유전체층(41)을 언더컷하거나 또는 제거하여 리세스된 부분들(74)을 형성하기 위하여 연장된다(예컨대, 8 내지 15분). 이러한 방식에 있어서 리세스 유전체층(41)은 채널 전류가 더 효율적으로 흐르도록 몸체 영역(31) 내에 형성된 채널들(45)(도 1에 도시됨)이 반도체층(14) 내로 연장하도록 한다. 전형적인 실시예에서, 부분들(74)은 약 0.1 이하의 마이크로미터의 거리로 유전체 스페이서들(59) 아래에서 리세스된다. 열적 실리콘 산화물은 게이트 유전체층(43)을 형성하기 위하여 약 0.0125 마이크로미터의 두께로 개구부(70) 내에서 주표면(18)상에서 성장된다.

도 8은 추가 처리 후에 장치(10)의 확대 부분 단면도를 도시한다. 반도체 재료(571)의 등각층은 약 0.1 마이크로미터 내지 약 0.15 마이크로미터의 두께로 장치(10) 위에 증착된다. 붕소 도펀트는 몸체 영역(31)에 p-형 도펀트를 제공하기 위하여 반도체

재료(571)의 등각층 및 개구부(70)를 통해 주표면(18)으로 유입된다. 예로서, 반도체 재료(571)의 등각층은 비도핑된 폴리실리콘을 포함하며, 붕소는 비도핑된 폴리실리콘을 통해 반도체층(14) 내로 주입된다. 약 1.0×10^{13} 원자/cm²의 이온 주입량 및 약 120 KeV의 주입 에너지는 50 볼트 장치에 대하여 적절하다.

도 9는 추가 처리후에 장치(10)의 확대 부분 단면도를 도시한다. 반도체 재료의 제 2 등각층은 반도체 재료(571)의 등각층 위에 증착되며, 양 층들은 스페이서 게이트들(57)을 제공하기 위하여 에칭된다. 예로서, 반도체 재료의 제 2 등각층은 이온 주입 또는 다른 도핑 기술들을 사용하여 도핑되거나 또는 증착공정동안 도핑될 수 있는 약 0.1 마이크론의 n-형 폴리실리콘을 포함한다. 스페이서 게이트들(57)이 형성된후에, 추가 0.015 마이크론의 게이트 유전체(예컨대, 실리콘 산화물)는 스페이서 게이트들(57)의 표면 및 게이트 산화물(43)의 노출된 부분들에 추가된다.

일 실시예에서, 스페이서 게이트들(57)을 형성하는 에칭단계는 보호층(54) 및 유전체 스페이서들(59)의 상부 부분들을 노출된다. 그 다음에, 보호층(54) 및 유전체 스페이서들(59)의 상부 부분들은 보호층(54)이 제거되도록 에칭되며, 유전체 스페이서들(59)의 상부 부분들은 스페이서 게이트들(57) 및 도전층들(53)사이에서 제거된다. 이는 도전층들(53) 및 스페이서 게이트들(57)사이의 갭을 남긴다.

추가 단계에서, 폴리실리콘과 같은 도전 재료는 접속 도전 부분들(77)을 제공하기 위하여 증착된다. 접속 도전 부분들(77)은 보호층(54) 및 유전체 스페이서들(59)의 부분들의 제거동안 형성된 갭을 충전하며, 도전층들(53)에 스페이서 게이트들(57)을 전기적으로 접속한다. 그 다음에, n-형 도핑 단계는 접속 도전부분들(77)을 도핑하고 소스 영역들(33)에 도펀트를 제공하기 위하여 수행된다. 전형적인 실시예에서, 80 KeV의 주입 에너지와 함께 3.0×10^{15} 원자/cm²의 비소 주입량은 이러한 도핑 단계동안 사용된다. 일 실시예에서, 주입된 도펀트들은 이러한 제조 단계에서 활성화 및 확산된다. 선택적으로 또는 부가적으로, 도펀트들은 이하의 도 10에 기술된 단계들후에 활성화 및 확산된다.

도 10은 추가 제조 단계들후에 장치(10)의 확대 부분 단면도를 도시한다. 제 6 유전체층(61)은 증착되며 예컨대 약 0.05 마이크론의 실리콘 질화물을 포함한다. 그 다음에, ILO 층(62)은 제 6 유전체층(61) 위에 증착된다. 전형적인 실시예에서, ILD 층(62)은 약 0.8 마이크론 두께의 증착된 실리콘 산화물을 포함한다. 선택적 ILD 테이퍼 에칭은 이후에 형성된 층들에 대한 단계 커버리지에 도움을 주는 ILD 층(62)의 부분들(62a)을 테이퍼지도록 하기 위하여 사용된다.

다음에, 종래의 포토리소그래피 및 에칭 단계가 주표면(18)의 부분을 노출시키는 접촉 개구부(81)를 형성하기 위하여 사용된다. 그 다음에, 접촉 영역(36)은 p-형 이온 주입 단계를 사용하여 개구부(81)를 통해 형성된다. 예로서, 3.0×10^{14} 원자/cm² 및 80 KeV의 주입 에너지의 붕소 이온 주입량이 사용된다. 그 다음에, 등각 스페이서 층은 스페이서들(82)을 형성하기 위하여 증착 및 에칭된다. 전형적인 실시예에서, 실리콘 질화물의 0.3 마이크론 층은 스페이서들(82)을 형성하기 위하여 증착 및 에칭된다. 고속 어닐링 단계는 다양한 이온 주입물들을 활성화 및 확산시키기 위하여 이 시점에 사용된다. 예컨대, 장치(10)는 약 45초동안 약 섭씨 1030도의 온도에 노출된다.

그 다음에, 에칭단계는 리세스된 부분(84)을 형성하기 위하여 주표면(18)의 부분을 제거하도록 사용된다. 이는 소스 접촉층(63)이 소스 영역들(33) 및 접촉 영역(36)을 접촉시키도록 하며, 결국 이들 영역들을 함께 단락시킨다. 그 다음에, 스페이서(82)가 제거된다. 다음 처리에서, 소스 접촉층(63)은 증착 및 패터닝된다. 그 다음에, 기판(12)은 선택적으로 얇게 되며, 드레인 접촉층(66)은 도 1에 도시된 구조를 제공하기 위하여 증착된다. 실리사이드 층들과 같은 다른 도전층들이 소스 접촉층(63)을 증착하기전에 형성될 수 있다는 것이 더 이해된다.

전술한 바와 같이, 신규한 장치 및 이의 제조 방법이 기술되었다. 특히, 항복 전압 성능을 강화시키는 장치의 채널 영역들에 근접하게 형성된 스크리닝 전극 또는 전극들을 가진 반도체 장치가 포함된다. 스크리닝 전극들은 채널 영역들 및 스크리닝 전극들간의 n-도핑된 영역을 사용할 수 있도록 하며, 이는 스위칭 성능에 영향을 미치지 않고 드레인 전류 및 저항을 개선시킨다.

비록 본 발명이 특정 실시예들과 관련하여 기술 및 설명되었을지라도, 본 발명은 이들 예시적인 실시예들에 제한되지 않는다는 것이 인식되어야 한다. 당업자는 본 발명의 사상을 벗어나지 않고 수정들 및 변형들이 이루어질 수 있다는 것을 인식해야 한다. 따라서, 본 발명은 첨부된 청구범위 내에 속하는 모든 변형들 및 수정들을 포함한다.

발명의 효과

본 발명은 MOSFET 장치의 항복 전압(BV_{DSS}) 특성을 저하시키지 않을 뿐만아니라 게이트 대 드레인 커패시턴스를 증가시키지 않는 반도체 장치 구조물들 및 이의 제조 방법들을 제공할 수 있는 효과를 가진다.

(57) 청구의 범위

청구항 1.

반도체 장치에 있어서,

주표면을 갖고, 제 1 도전형을 포함하는 기관;

상기 주표면의 일부분 위에 형성된 페데스탈 구조;

상기 반도체 장치의 제 1 도전 전극의 에지를 한정하기 위하여 상기 페데스탈 구조의 측면을 따라 배치된 도전 재료;

상기 제 1 도전 전극에 인접한 상기 주표면 내에 형성된 제 2 도전형의 제 1 도핑된 영역으로서, 상기 반도체 장치가 동작 중일 때 상기 제 1 도핑된 영역의 일부분은 채널 영역을 형성하는, 상기 제 1 도핑된 영역;

상기 제 1 도핑된 영역 내에 형성된 상기 제 1 도전형의 제 1 전류 전달 영역; 및

상기 주표면에 인접하고 상기 제 1 도핑된 영역에 근접하게 형성된 스크리닝 전극을 포함하는, 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 스크리닝 전극은:

상기 주표면 내에 형성된 트렌치;

상기 트렌치의 표면들 위에 형성된 유전체층; 및

상기 유전체층 위에 형성된 도전층을 포함하는, 반도체 장치.

청구항 3.

제 1 항에 있어서,

상기 스크리닝 전극은 상기 제 1 전류 전달 영역에 결합되는, 반도체 장치.

청구항 4.

반도체 장치를 형성하는 방법에 있어서,

주표면을 갖는 제 1 도전형의 반도체층을 갖는 반도체 기관을 제공하는 단계;

상기 반도체 장치의 채널을 형성하기 위하여 상기 반도체층 내에 증착된 제 2 도전형의 몸체 영역을 형성하는 단계;

상기 몸체 영역 내에 상기 제 1 도전형의 제 1 전류 전달 영역을 형성하는 단계;

상기 채널에 인접한 상기 주표면에 인접하게 게이트 구조를 형성하는 단계; 및

상기 몸체 영역에 근접하게 상기 반도체층 내에 스크리닝 전극을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 5.

제 4 항에 있어서,

상기 스크리닝 전극 형성 단계는:

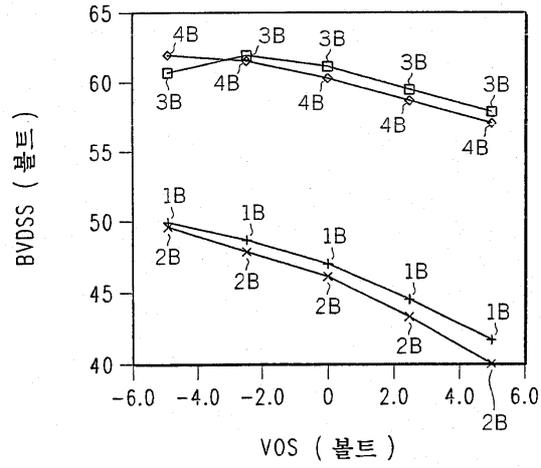
상기 주표면 내에 트렌치를 형성하는 단계;

상기 트렌치 내에 형성된 유전체층을 형성하는 단계; 및

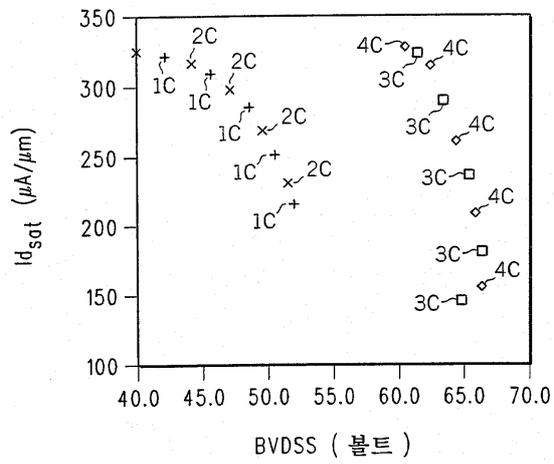
상기 유전체층 위에 도전 전극을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

도면

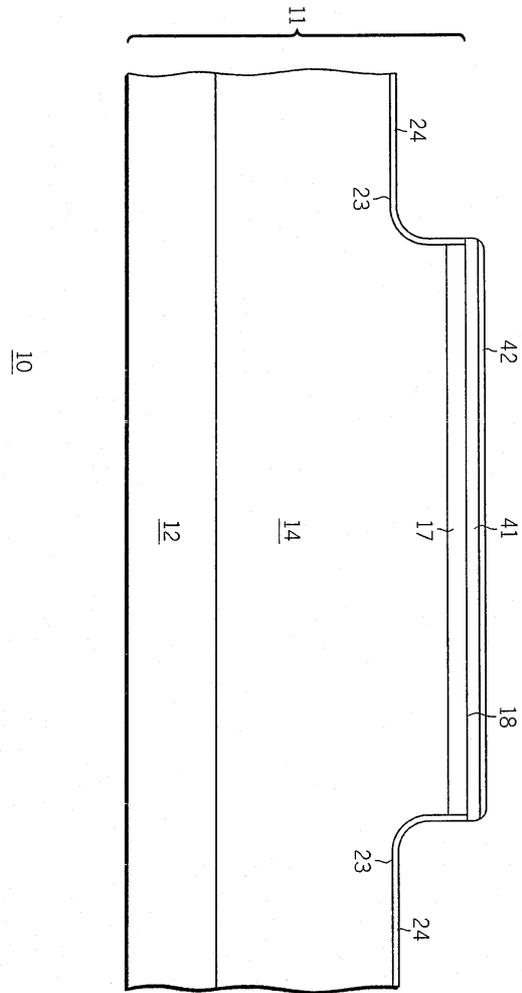
도면3



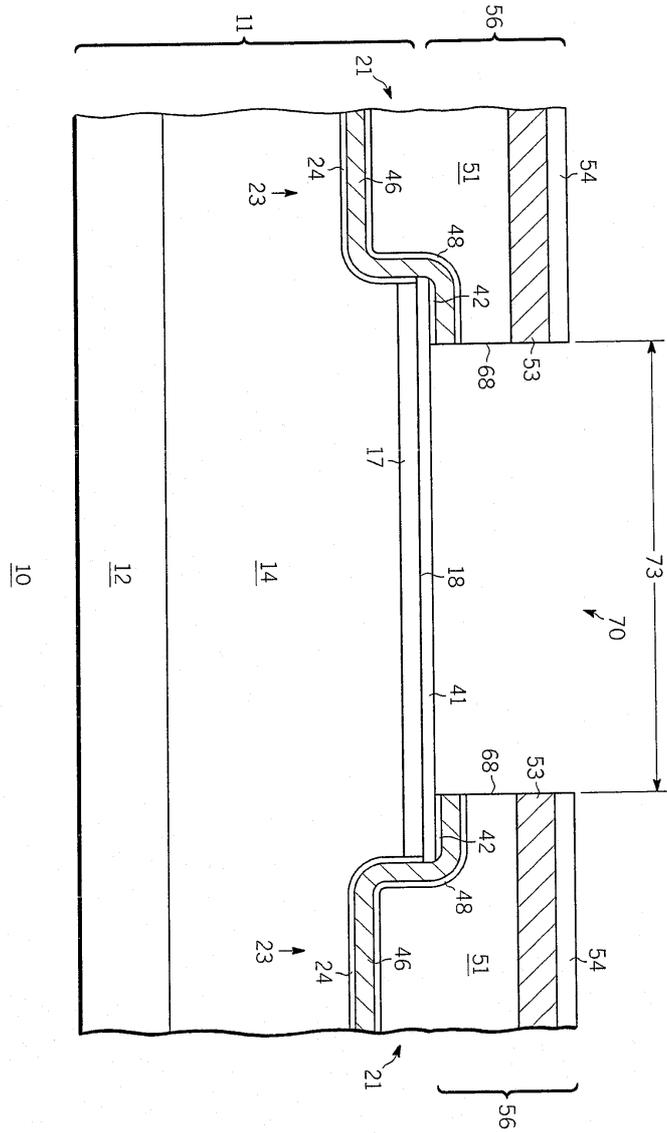
도면4



도면5



도면6



도면10

