

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫2 Date de dépôt : 29.08.14.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 04.03.16 Bulletin 16/09.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : STMICROELECTRONICS (ROUS-
SET) SAS — FR.

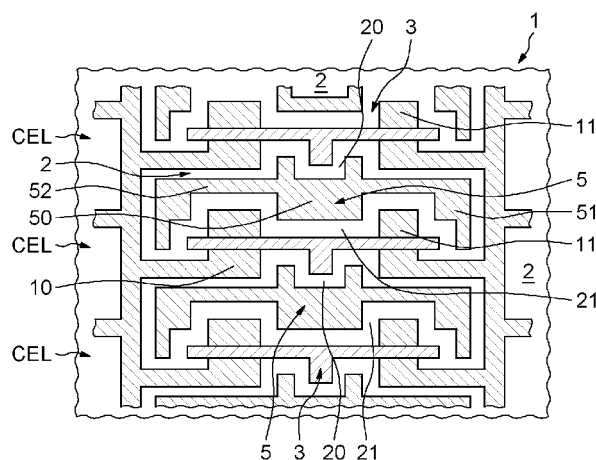
⑦2 Inventeur(s) : FORNARA PASCAL, RIVERO CHRIS-
TIAN et BOUTON GUILHEM.

⑦3 Titulaire(s) : STMICROELECTRONICS (ROUSSET)
SAS.

⑦4 Mandataire(s) : CASALONGA & ASSOCIES.

⑤4 PROCÉDE DE FABRICATION D'UN CIRCUIT INTEGRE RENDANT PLUS DIFFICILE UNE RETRO-
CONCEPTION DU CIRCUIT INTEGRE ET CIRCUIT INTEGRE CORRESPONDANT.

⑤7 Le circuit intégré comprend dans et/ou sur un substrat
plusieurs blocs fonctionnels (CEL) incluant au moins deux
blocs fonctionnels identiques respectivement disposés à au
moins deux endroits différents du circuit intégré. Il comprend
en outre des modules fictifs électriquement inactifs (5) aux
voisinages et/ou à l'intérieur desdits blocs fonctionnels et au
moins deux modules fictifs différents électriquement inactifs
aux voisinages respectifs et/ou à l'intérieur desdits au moins
deux blocs fonctionnels identiques.



**Procédé de fabrication d'un circuit intégré rendant plus
difficile une rétro-conception du circuit intégré et circuit intégré
correspondant**

5

Des modes de mise en œuvre et de réalisation de l'invention concernent les circuits intégrés et plus particulièrement leur fabrication dans le but de rendre plus difficile une rétro-conception ou ingénierie inverse (notion plus connue par l'homme du métier sous l'expression anglo-saxonne « reverse engineering ») du circuit intégré.

10

La rétro-conception d'un circuit intégré consiste à analyser le circuit intégré pour en déterminer sa structure interne et son fonctionnement en vue par exemple de le copier et de le re-fabriquer.

15

Une étape critique d'un procédé de rétro-conception est la reconnaissance des cellules caractéristiques (« standard cell » en langue anglaise) et des différents composants à l'aide d'une technique d'appariement de motifs (« pattern matching » en langue anglaise) en vue de déterminer la liste d'interconnexions et de composants (« netlist » en langue anglaise) et éventuellement de reconstruire la hiérarchie du circuit intégré.

20

Plus précisément une fois qu'une cellule ou un composant est identifié, on recherche dans le circuit intégré toutes les instances identiques de cette cellule ou de ce composant en utilisant la technique d'appariement de motifs.

25

Des solutions actuelles pour tenter de contrecarrer une telle recherche sont basées sur la tolérance d'erreur d'une telle technique de d'appariement de motifs. Plus précisément elles sont basées sur des conceptions spécifiques de cellules prévoyant des topologies (« layout » en langue anglaise) très similaires pour des cellules ayant des fonctionnalités différentes.

30

Cependant de telles solutions nécessitent l'implémentation d'étages d'entrée et de sortie de structure classique CMOS interdisant donc d'équiper un étage de sortie avec un composant spécifique non CMOS en vue par exemple d'effectuer une bonne caractérisation

temporelle, ou bien d'obtenir une forte capacité d'entrée au niveau de l'étage d'entrée.

5 Selon un mode de mise en œuvre et de réalisation, il est proposé de compliquer autant que possible l'étape de reconnaissance de motifs lors d'une rétro-conception tout en n'étant pas limité à une architecture classique CMOS pour des éventuels étages d'entrée et de sortie.

10 Il est également avantageusement proposé de modifier la topologie du circuit intégré de façon automatique et transparente pour le concepteur du circuit intégré.

15 Selon un aspect il est proposé un procédé de fabrication d'un circuit intégré, comprenant une réalisation dans et/ou sur le substrat du circuit intégré de plusieurs blocs fonctionnels incluant au moins deux blocs fonctionnels identiques respectivement disposés à au moins deux endroits différents du circuit intégré.

20 Le procédé comprend en outre des réalisations respectives aux voisinages et/ou à l'intérieur desdits blocs fonctionnels, de modules fictifs électriquement inactifs, et des réalisations respectives aux voisinages et/ou à l'intérieur desdits au moins deux blocs fonctionnels identiques, d'au moins deux modules fictifs différents électriquement inactifs.

25 Les blocs fonctionnels comprennent par exemples des cellules caractéristiques (par exemple des inverseurs, des portes logiques....) et/ou des groupes de cellules caractéristiques ou encore des dispositifs spécifiques tels que par exemple des oscillateurs en anneau à base d'inverseurs CMOS.

30 Lorsque les blocs fonctionnels sont des cellules caractéristiques, lesdits modules fictifs sont avantageusement réalisés au voisinage de ces cellules caractéristiques. Ainsi la topologie des cellules caractéristiques n'est pas modifiée.

Lorsque les blocs fonctionnels sont des groupes de cellules fictives ou bien un dispositif spécifique, tel qu'un oscillateur en anneau, le ou les modules fictifs peuvent être réalisés au voisinage et/ou à l'intérieur de ces groupes ou dispositif.

En pratique on réalisera des modules fictifs au voisinage externe et/ou à l'intérieur de la majeure partie voire de la totalité des blocs fonctionnels en fonction de la place disponible

5 Et contrairement aux solutions de l'art antérieur, deux blocs fonctionnels identiques, en particulier deux cellules caractéristiques identiques, disposés à des endroits différents gardent une topologie fonctionnelle identique mais présentent des environnements fictifs électriquement inactifs différents. Ceci permet de complexifier la reconnaissance de motifs par la technique d'appariement mentionnée
10 ci-avant tout en nécessitant pas de modification topologique des bibliothèques de cellules caractéristiques existantes, en particulier.

En outre la définition et le placement desdits modules fictifs sont avantageusement effectués de façon automatique après le placement des différents blocs fonctionnels, par exemple de façon
15 transparente pour le concepteur du circuit intégré lors de la génération d'au moins un masque de photolithographie compte tenu d'un jeu de règles préétablies.

Ainsi ces définitions et placements des modules fictifs sont effectués de façon transparente pour le concepteur du circuit intégré, que ces modules fictifs soient disposés au voisinage des cellules
20 caractéristiques ou bien à l'intérieur d'un groupe de cellules caractéristiques formant un dispositif spécifique.

Le ou les modules fictifs peuvent être réalisés à différents niveaux (niveaux substrat, polysilicium, contacts.....) et/ou prendre
25 différentes formes (zone active fictive, région de polysilicium fictive, contacts fictifs sur zones actives fictives et/ou sur région fictive de polysilicium) ou avec une combinaison de ces différents critères, sans que ceci ne soit limitatif.

Ainsi selon un mode de mise en œuvre dans lequel lesdits au
30 moins deux blocs fonctionnels identiques comportent chacun une zone active dans le substrat délimitée par une région isolante, la réalisation d'au moins un module fictif comprend une réalisation d'une zone active fictive dans ladite région isolante délimitant la zone active correspondante.

Lorsque chacun desdits au moins deux blocs fonctionnels identiques comportent dans leur voisinage respectif une zone active fictive, les deux zones actives fictives peuvent par exemple avoir des géométries différentes.

5 Dans ces modes de mise en œuvre, la définition de chaque zone active fictive s'effectue avantageusement lors de la génération du masque de définition des zones actives du circuit intégré.

10 Selon un autre mode de mise en œuvre possible dans lequel les deux blocs fonctionnels identiques comportent chacun une zone active dans le substrat délimitée par une région isolante, la réalisation d'au moins un module fictif peut comprendre une réalisation d'au moins une région fictive de polysilicium au moins en partie au-dessus de ladite région isolante délimitant la zone active correspondante.

15 Là encore lorsque chacun desdits au moins deux blocs fonctionnels identiques comportent dans leur voisinage respectif au moins une région fictive de polysilicium, les deux régions fictives de polysilicium peuvent avoir des géométries différentes.

20 Il est également possible que ladite au moins une région fictive de polysilicium s'étende au moins en partie au-dessus d'une zone active fictive.

Dans ces modes de mise en œuvre la définition de chaque région fictive de polysilicium s'effectue avantageusement lors de la génération du masque dit masque « poly ».

25 Selon encore un autre mode possible de mise en œuvre, la réalisation dudit au moins un module fictif peut comprendre une réalisation d'au moins un contact fictif électriquement conducteur au dessus de la zone active fictive et/ou au dessus de la région fictive de polysilicium.

30 La définition de chaque contact fictif électriquement conducteur s'effectue avantageusement lors de la génération du masque dit masque « contacts ».

Le jeu de règles préétablies utilisé pour la définition et le placement des modules fictifs électriquement inactifs contient par exemple les règles de conception dans la technologie utilisée (connues

par l'homme du métier sous l'acronyme anglosaxon DRM : Design Rules Manuel), ou bien ces règles de conception en partie voire totalement relâchées lorsque cela est possible.

5 Bien qu'il soit possible en théorie d'adopter un module fictif différent à chaque instance d'un bloc fonctionnel en un endroit du circuit intégré, il est plus simple, selon un mode de mise en œuvre, de définir des domaines différents du circuit intégré contenant respectivement des blocs fonctionnels identiques, d'affecter des jeux de règles différents auxdits domaines, et d'effectuer la définition et le placement desdits modules fictifs dans chaque domaine compte tenu du jeu de règles affecté audit domaine.

10 Selon un autre aspect il est proposé un circuit intégré, comprenant dans et/ou sur un substrat plusieurs blocs fonctionnels incluant au moins deux blocs fonctionnels identiques respectivement disposés à au moins deux endroits différents du circuit intégré.

15 Le circuit intégré comprend en outre des modules fictifs électriquement inactifs aux voisinages et/ou à l'intérieur desdits blocs fonctionnels et au moins deux modules fictifs différents électriquement inactifs aux voisinages respectifs et/ou à l'intérieur desdits au moins deux blocs fonctionnels identiques.

20 Selon un mode de réalisation dans lequel lesdits au moins deux blocs fonctionnels identiques comportent chacun une zone active dans le substrat délimitée par une région isolante, ledit au moins un module fictif comprend une zone active fictive située dans ladite région isolante délimitant la zone active correspondante.

25 Selon un mode de réalisation dans lequel chacun desdits au moins deux blocs fonctionnels identiques comportent dans leur voisinage respectif une zone active fictive, les deux zones actives fictives ont des géométries différentes.

30 Selon un mode de réalisation dans lequel les deux blocs fonctionnels identiques comportent chacun une zone active dans le substrat délimitée par une région isolante, au moins un module fictif comprend au moins une région fictive de polysilicium située au moins

en partie au-dessus de ladite région isolante délimitant la zone active correspondante.

5 Selon un mode de réalisation dans lequel chacun desdits au moins deux blocs fonctionnels identiques comportent dans leur voisinage respectif au moins une région fictive de polysilicium, les deux régions fictives de polysilicium ont des géométries différentes.

Ladite au moins une région fictive de polysilicium peut s'étendre au moins en partie au-dessus de la zone active fictive correspondante.

10 Selon un mode de réalisation, ledit au moins un module fictif comprend au moins un contact fictif électriquement conducteur situé au-dessus de la zone active fictive et/ou au-dessus de la région fictive de polysilicium.

15 Selon un mode de réalisation, le circuit intégré comporte des domaines différents contenant respectivement des blocs fonctionnels identiques, et dans chaque domaine le ou les modules fictifs associés à chaque bloc fonctionnel identique sont identiques mais sont différents d'un domaine à un autre.

20 D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en œuvre et de réalisation de l'invention, nullement limitatifs, et des dessins annexés sur lesquels :

-les figures 1, 7 et 10 illustrent des exemples de topologies selon l'art antérieur, et

25 -les figures 2 à 6, 8, 9 et 11 à 14 illustrent de façon schématique différents modes de mise en œuvre et de réalisation de l'invention.

Sur la figure 1, la référence 1 désigne un extrait d'un schéma de placement (« layout ») d'un circuit intégré IC.

30 Dans cet exemple, le schéma de placement comprend trois cellules pré-caractérisées CEL identiques. Chaque cellule CEL est ici un inverseur CMOS comportant un transistor NMOS et un transistor PMOS.

Plus précisément les cellules sont réalisées au sein d'un substrat semiconducteur et sont limitées par une région isolante 2, par exemple du type tranchée peu profonde (STI : Shallow Trench Isolation »).

5 La cellule CEL comprend une zone active semiconductrice limitée par la région isolante 2 et comportant une première zone active 10 pour un premier transistor MOS de l'inverseur (régions de source, de canal et de drain) et une deuxième zone active 11 pour le deuxième transistor MOS de l'inverseur.

10 La cellule CEL comprend également une région de polysilicium 3 formant les régions de grilles des deux transistors MOS et comportant une partie 30 située au-dessus de la région de canal du premier transistor MOS en étant électriquement isolée par un oxyde de grille, ainsi qu'une partie 31 située au-dessus de la région de canal du
15 deuxième transistor MOS en étant électriquement isolée par un oxyde de grille.

Les deux zones actives 10 et 11 sont connectées à deux rails semiconducteurs 4 destinés à être polarisés par des tensions d'alimentation (la masse et la tension d'alimentation).

20 La figure 2 illustre un premier mode de réalisation de l'invention prévoyant une modification de l'environnement des cellules CEL par l'adjonction d'un module fictif électriquement inactif au voisinage externe de la cellule.

25 Plus précisément dans ce mode de réalisation le module fictif comprend de part et d'autre de la cellule CEL une zone active fictive 5 réalisée au sein de la région isolante 2. Cette zone active fictive est ici une partie du substrat semiconducteur qui forme un « mur d'active » en remontant à travers la région isolante 2 pour déboucher sur la face supérieure du substrat et séparer localement la région isolante en au
30 moins deux domaines isolants 20 et 21. Et même si cette zone active fictive a la même polarisation que le substrat elle est ici électriquement inactive car elle n'est connectée à aucun autre composant du circuit intégré.

Il convient de noter que la zone active fictive peut éventuellement comporter deux parties de conductivité différente (N et P) si le substrat sous-jacent comporte des caissons de conductivité différente (N et P). Bien qu'une telle configuration soit possible pour la zone active fictive, elle peut engendrer des courants de fuite. Aussi est-il préférable dans ce cas de scinder la zone active fictive en deux parties N et P distinctes et mutuellement séparées d'une distance fixée par les règles de conception et définissant l'écart à respecter entre deux zones N et P.

10 D'une façon générale quel que soit le mode de réalisation, le module fictif comporte avantageusement des polygones.

Dans l'exemple décrit ici cette zone active fictive 5 comporte une partie centrale 50 rectangulaire pleine d'où partent deux ailes 51 et 52.

15 Dans le mode de réalisation illustré sur la figure 3, le module fictif 5, qui est là encore une zone active fictive, présente une géométrie polygonale différente de la géométrie du module 5 de la figure 2. Plus précisément, le module 5 de la figure 3 se distingue du module 5 de la figure 2 notamment par le fait que la partie centrale 53 est ici évidée pour laisser subsister un îlot isolant 22. Par ailleurs la géométrie des ailes 51 et 52 est légèrement différente et l'espace entre le module 5 et les régions de polysilicium 3 des cellules CEL adjacentes est plus faible sur la figure 3 que sur la figure 2.

20 Ceci s'explique par le fait que le jeu de règles utilisé pour la réalisation du module 5 de la figure 2 différent de celui utilisé pour la réalisation du module 5 de la figure 3.

En effet comme illustré schématiquement sur la figure 4, la définition des modules 5 s'effectue à partir d'un jeu de règles RG1 qui peut comporter les règles de conception (DRM) dans la technologie utilisée et/ou ces règles de conception au moins en partie relâchées.

30 Ainsi on prendra notamment en compte dans ce jeu de règles RG1 la distance minimum autorisée entre deux zones actives et la distance minimum autorisée entre une zone active et une région de polysilicium ainsi que la largeur de la zone active.

Plus précisément dans le cas de la figure 2, les règles utilisées comportent le respect de la distance minimum fixée par le DRM entre deux zones actives, soit 140 nm pour une technologie 90 nm et le respect d'une distance minimum de 140 nm entre une zone active et une région de polysilicium ce qui correspond pour cette dernière valeur à un relâchement de la règle fixée par le DRM (qui fixe une distance minimum de 50 nm pour la technologie 90 nm).

Dans le cas de la figure 3, les règles utilisées comportent le respect de la distance minimum fixée par le DRM entre deux zones actives, soit 140 nm pour une technologie 90 nm et le respect de la distance minimum fixée par le DRM entre une zone active et une région de polysilicium, soit 50 nm pour la technologie 90 nm.

Si l'on se réfère maintenant de nouveau à la figure 4, on voit que la définition des zones actives du circuit intégrées est effectuée de façon classique dans une étape S40 par le concepteur du circuit intégré lorsqu'il effectue le placement des différents blocs fonctionnels du circuit intégré, en particulier des cellules pré-caractérisées.

Postérieurement à ce placement des différents blocs fonctionnels les modules fictifs 5 sont définis dans l'étape S41 à partir du jeu de règles RG1.

Et ceci s'effectue avantageusement de façon automatique par logiciel en utilisant le jeu de règles.

Le masque de photolithographie, dit « masque d'active » ou « masque de région active » est alors élaboré (étape S42) puis les zones actives et les modules fictifs sont alors réalisés simultanément en utilisant ce masque (étape S43).

Plus précisément on dépose sur le substrat une bicouche (oxyde de silicium/nitrure de silicium) surmontée d'une couche de résine photosensible que l'on insole à travers le masque de région active, qui va permettre de déterminer les contours de la région isolante 2 et des domaines isolants 20, 21 et éventuellement 22 et par conséquent ceux des zones actives 10 et 11 et de la zone active fictive 5. Puis, après développement de la résine, on effectue une gravure du bicouche et du substrat en utilisant la partie restante de la résine comme masque dur

de façon à obtenir des tranchées qui vont être remplies de matériau isolant de façon, après polissage mécano-chimique de l'oxyde de silicium et retrait du nitrure de silicium, à former la région isolante 2 et les domaines isolants 20 et 21 et éventuellement 22.

5 On notera ici que les contours des domaines isolants 20, 21 et éventuellement 22 se situent à l'intérieur du contour de la région isolante 2.

10 Et c'est ce dernier contour qui est défini par le concepteur lorsqu'il définit la dimension des régions actives lors du placement des blocs fonctionnels. Par conséquent, le fait de prévoir au niveau du masque d'actives des tranchées supplémentaires dans cette région isolante est totalement transparent pour le concepteur et ce d'autant plus que les zones actives fictives 5 sont électriquement inactives car en particulier non connectées à un autre composant du circuit intégré.

15 Bien que dans les modes de réalisation qui viennent d'être décrits les modules 5 sont des « murs d'active », il serait possible de réaliser ces modules en gravant la région isolante 2 et en remplissant les tranchées ainsi gravées de polysilicium.

20 Dans le mode de réalisation illustré sur la figure 5, les modules fictifs 6 sont des régions fictives de polysilicium situées au-dessus de la région isolante 2 également de géométrie polygonale.

25 Là encore la définition des modules 6 s'effectue à partir d'un jeu de règles qui peut comporter les règles de conception (DRM) dans la technologie utilisée et/ou ces règles de conception au moins en partie relâchées.

Ainsi on prendra notamment en compte dans ce jeu de règles la distance minimum autorisée entre deux régions de polysilicium et la distance minimum autorisée entre une zone active et une région de polysilicium ainsi que la largeur de la ligne de polysilicium.

30 Plus précisément dans le cas de la figure 5, les règles utilisées comportent le respect de la distance minimum fixée par le DRM entre une zone active et une région de polysilicium, soit 140 nm pour une technologie 90 nm et le respect de la distance minimum fixée par le

DRM entre deux régions de polysilicium, soit 50 nm pour une technologie 90 nm.

5 La région de polysilicium étant au-dessus de la région isolante et non polarisée ou non connectée à un autre composant, elle est électriquement inactive.

10 Si l'on se réfère maintenant à la figure 6, on voit que la définition des lignes fonctionnelles de polysilicium du circuit intégrées est effectuée de façon classique dans une étape S60 par le concepteur du circuit intégré lorsqu'il effectue le placement des différents blocs fonctionnels du circuit intégré, en particulier des cellules pré-caractérisées.

Postérieurement à ce placement des différents blocs fonctionnels les régions fictives de polysilicium 6 sont définies dans l'étape S61 à partir du jeu de règles RG2.

15 Et ceci s'effectue avantageusement de façon automatique par logiciel en utilisant le jeu de règles.

20 Le masque de photolithographie, dit « masque poly » est alors élaboré (étape S62) puis les lignes de polysilicium et les régions fictives de polysilicium sont alors réalisées simultanément en utilisant ce masque (étape S63).

25 En variante il serait possible de réaliser les régions fictives de polysilicium au moins en partie au-dessus des zones actives fictives en les isolant de ces dernières par un oxyde de grille et sans les connecter à une tension de polarisation pour éviter de créer des capacités parasites.

Sur la figure 7, la référence 1 désigne l'extrait du schéma de placement (« layout ») de la figure 1, sur lequel on a représenté les contacts électriquement conducteurs 70 sur zone active, sur les rails semiconducteurs 4 et sur les régions de polysilicium 3.

30 Et comme illustré sur la figure 8, les modules fictifs peuvent comprendre des contacts fictifs 8 électriquement conducteurs mais électriquement inactifs car reliés à aucune tension ou composant du circuit intégré. Sur la figure 8 les contacts fictifs 8 sont situés sur les régions fictives de polysilicium 6. Cela étant il serait possible de

disposer au moins une partie de ces contacts fictifs sur au moins une zone active fictive à condition que ce contact fictif ne soit pas en contact avec une ligne métallique du premier niveau de métal, ou s'il est contact avec une telle ligne métallique, à condition que cette ligne métallique ne soit elle-même connectée à aucune autre ligne métallique.

Là encore la définition des modules 8 s'effectue à partir d'un jeu de règles qui peut comporter les règles de conception (DRM) dans la technologie utilisée et/ou ces règles de conception au moins en partie relâchées.

Ainsi on prendra notamment en compte dans ce jeu de règles la distance minimum autorisée entre une région de polysilicium et un contact et la distance minimum autorisée entre une zone active et un contact.

Si l'on se réfère maintenant à la figure 9, on voit que la définition des contacts fonctionnels électriquement conducteurs du circuit intégré est effectuée de façon classique dans une étape S90 par le concepteur du circuit intégré lorsqu'il effectue le placement des différents blocs fonctionnels du circuit intégré, en particulier des cellules pré-caractérisées.

Postérieurement à ce placement des différents blocs fonctionnels contacts fictifs 8 sont définis dans l'étape S91 à partir du jeu de règles RG3.

Et ceci s'effectue avantageusement de façon automatique par logiciel en utilisant le jeu de règles.

Le masque de photolithographie, dit « masque contacts » est alors élaboré (étape S92) puis les contacts fonctionnels et fictifs sont alors réalisés simultanément en utilisant ce masque (étape S93).

La figure 10 illustre un extrait 1 d'un schéma de placement d'un oscillateur en anneau comportant une pluralité de cellules pré-caractérisées CEL du type de celles illustrées sur la figure 7.

Selon un premier mode de réalisation illustré sur la figure 11, le schéma de placement est complété par des modules fictifs 5 du type

de ceux illustrés sur la figure 2 et situés à l'intérieur de l'oscillateur en anneau et à l'extérieur des cellules pré-caractérisées CEL.

5 Selon un deuxième mode de réalisation illustré sur la figure 12, le schéma de placement est complété par des modules fictifs 5 du type de ceux illustrés sur la figure 3 et situés à l'intérieur de l'oscillateur en anneau et à l'extérieur des cellules pré-caractérisées CEL.

10 Selon un troisième mode de réalisation illustré sur la figure 13, le schéma de placement est complété par des modules fictifs 6 et 8 du type de ceux illustrés sur la figure 8 et situés à l'intérieur de l'oscillateur en anneau et à l'extérieur des cellules pré-caractérisées CEL.

15 De façon à rendre plus difficile la reconnaissance automatique de motifs lors d'une ingénierie inverse, il est avantageusement envisagé d'associer à certains au moins des blocs fonctionnels identiques du circuit intégré disposés à des endroits différents, des modules fictifs différents.

20 Bien qu'il soit possible en théorie d'associer un module fictif différent à chaque instance d'un même bloc fonctionnel au sein du circuit intégré, il est plus facile de subdiviser le schéma de placement du circuit intégré en plusieurs domaines et d'utiliser un même type de module fictif et/ou d'utiliser un même jeu de règles au sein d'un même domaine mais d'utiliser des types différents de modules fictifs et/ou d'utiliser des jeu de règles différents au sein de domaines différents.

25 Des blocs fonctionnels identiques sont disposés dans au moins deux domaines différents.

Bien entendu plus le nombre de domaines est important, plus la reconnaissance automatique de motifs sera difficile, mais plus la réalisation du circuit intégré sera complexe.

30 L'homme du métier saura trouver le bon compromis quant au nombre de domaines en fonction notamment de la taille du circuit intégré, du nombre de blocs fonctionnels identiques et de leurs emplacements.

Sur la figure 14, qui illustre un exemple de subdivision d'un circuit intégré IC, le nombre de domaines est égal à 5.

En pratique, de façon à permettre au logiciel de définition automatique des modules fictifs de différencier les différents domaines DZ1-DZ5, un marqueur ou identifiant est affecté à chaque domaine. Et à chaque identifiant est associé la façon dont sont définis les différents modules fictifs dans le domaine correspondant.

Ainsi par exemple dans le domaine DZ1 les modules fictifs peuvent être du type de ceux illustrés sur la figure 2, tandis qu'ils peuvent du type de ceux illustrés sur la figure 3 dans le domaine DZ2.

Le domaine DZ3 peut par exemple contenir des modules fictifs du type de ceux illustrés sur la figure 5, et le domaine DZ4 contenir des modules fictifs du type de ceux illustrés sur la figure 8.

Le domaine DZ5 peut par exemple comporter une combinaison de certains au moins des précédents modules fictifs.

Et des blocs fonctionnels identiques sont disposés dans au moins deux domaines DZ_i différents.

D'autres variantes de l'invention sont possibles.

Ainsi lorsque plusieurs circuits intégrés relatifs à un même produit sont fabriqués sur une même plaquette semiconductrice (« wafer » en langue anglaise), on utilise pour les étapes de photolithographie un réticule à partir du duquel on peut insoler de la résine sur un groupe de circuits intégrés à la fois (dont le nombre est en fonction du nombre de lignes et de colonnes du réticule). Lorsque l'on a traité un groupe de circuits intégrés on déplace la plaquette relativement au réticule de façon à traiter un autre groupe de circuits intégrés et ainsi de suite jusqu'à traiter la plaquette entière.

On peut alors envisager par exemple en combinaison avec l'utilisation des marqueurs mentionnés ci-avant, de modifier les règles d'obtention des modules fictifs au sein d'un groupe de circuits sur le même réticule, ce qui permet d'obtenir in fine des produits fonctionnellement identiques mais avec des agencements différents de motifs fictifs au sein d'un groupe de produits.

A titre d'exemple, sur un réticule comportant 3 lignes et 3 colonnes, on pourrait avoir une ligne d'un circuit type A, une ligne d'un circuit type B et une ligne d'un circuit type C ; A, B et C

correspondant par exemple à des règles différentes d'obtention de modules fictifs. Ceci permet de complexifier encore l'étape d'ingénierie inverse lorsque que l'on ouvre deux boîtiers comportant des circuits appartenant à deux types différents.

5 Ainsi selon un autre aspect il est proposé également un procédé de fabrication d'une plaquette de circuits intégrés individuellement fabriqués selon le procédé défini ci-avant, comprenant une utilisation d'au moins un réticule pour insoler une résine recouvrant un groupe de circuits intégrés, une modification au niveau du réticule, des règles
10 d'obtention des modules fictifs au sein du groupe de circuits intégrés de façon à obtenir au sein du groupe de circuits intégrés, des circuits intégrés ayant des types de modules fictifs différents, et des déplacements successifs de la plaquette de façon à traiter successivement tous les groupes de circuits intégrés à l'aide dudit au
15 moins un réticule.

 Il est également proposé une plaquette de circuits intégrés tels que définis ci-avant relatifs à un même composant ou produit et comportant des groupes identiques de circuits intégrés, chaque groupe comportant au moins deux circuits intégrés présentant des agencements
20 différents de modules fictifs.

REVENDICATIONS

1. Procédé de fabrication d'un circuit intégré, comprenant
5 une réalisation dans et/ou sur le substrat du circuit intégré de blocs
fonctionnels (CEL) incluant au moins deux blocs fonctionnels
identiques respectivement disposés à au moins deux endroits différents
du circuit intégré, des réalisations respectives aux voisinages et/ou à
10 l'intérieur desdits blocs fonctionnels de modules fictifs électriquement
inactifs (5, 6, 8) et des réalisations respectives aux voisinages et/ou à
l'intérieur desdits au moins deux blocs fonctionnels identiques, d'au
moins deux modules fictifs différents électriquement inactifs.

2. Procédé selon la revendication 1, dans lequel lesdits au
moins deux blocs fonctionnels identiques comportent chacun une zone
15 active (10, 11) dans le substrat délimitée par une région isolante (2) et
la réalisation d'au moins un module fictif comprend une réalisation
d'une zone active fictive (5, 6) dans ladite région isolante (2)
délimitant la zone active correspondante.

3. Procédé selon la revendication 2, dans lequel chacun
20 desdits au moins deux blocs fonctionnels identiques comportent dans
leur voisinage respectif une zone active fictive, les deux zones actives
fictives (5) ayant des géométries différentes.

4. Procédé selon la revendication 1, dans lequel les deux
blocs fonctionnels identiques comportent chacun une zone active dans
25 le substrat délimitée par une région isolante et la réalisation d'au
moins un module fictif comprend une réalisation d'au moins une
région fictive de polysilicium (6) au moins en partie au-dessus de
ladite région isolante délimitant la zone active correspondante.

5. Procédé selon la revendication 4, dans lequel chacun
30 desdits au moins deux blocs fonctionnels identiques comportent dans
leur voisinage respectif au moins une région fictive de polysilicium,
les deux régions fictives de polysilicium (6) ayant des géométries
différentes.

6. Procédé selon la revendication 2 ou 3, prise en combinaison avec la revendication 4 ou 5, dans lequel ladite au moins une région fictive de polysilicium (6) s'étend au moins en partie au-dessus de la zone active fictive correspondante.
- 5 7. Procédé selon l'une des revendications 2 à 6, dans lequel la réalisation dudit au moins un module fictif comprend une réalisation d'au moins un contact fictif (8) électriquement conducteur au dessus de la zone active fictive et/ou au dessus de la région fictive de polysilicium (6).
- 10 8. Procédé selon l'une des revendications précédentes, dans lequel la définition et le placement desdits modules fictifs sont effectués de façon automatique après le placement des blocs fonctionnels du circuit intégré.
- 15 9. Procédé selon la revendication 8, dans lequel la définition et le placement desdits modules fictifs sont effectués de façon automatique lors de la génération d'au moins un masque de photolithographie compte tenu d'un jeu de règles préétablies (RG1-RG3).
- 20 10. Procédé selon la revendication 9 prise en combinaison avec la revendication 2 ou 3, dans lequel la définition (S41) de chaque zone active fictive s'effectue lors de la génération du masque de définition des zones actives du circuit intégré.
- 25 11. Procédé selon la revendication 9 prise en combinaison avec la revendication 4 ou 5, dans lequel la définition (S61) de chaque région de polysilicium s'effectue lors de la génération du masque dit masque « poly ».
- 30 12. Procédé selon la revendication 9 prise en combinaison avec la revendication 7, dans lequel la définition (S91) de chaque contact fictif électriquement conducteur s'effectue lors de la génération du masque dit masque « contacts ».
13. Procédé selon l'une des revendications 9 à 12, dans lequel le jeu de règles préétablies (RG1-RG3) contient les règles de conception dans la technologie utilisée et/ou ces règles de conception au moins en partie relâchées.

14. Procédé selon l'une des revendications 9 à 13, dans lequel on définit des domaines différents (DZ1-DZ5) du circuit intégré contenant respectivement des blocs fonctionnels identiques, on affecte des jeux de règles différents auxdits domaines, et la définition et le placement desdits modules fictifs dans chaque domaine sont effectués compte tenu du jeu de règles affecté audit domaine.

15. Procédé selon l'une des revendications précédentes, dans lequel les blocs fonctionnels (CEL) comprennent des cellules caractéristiques et les modules fictifs associés à ces cellules caractéristiques sont réalisés au voisinage de ces cellules caractéristiques.

16. Procédé de fabrication d'une plaquette de circuits intégrés individuellement fabriqués selon le procédé selon l'une des revendications 1 à 15, comprenant une utilisation d'au moins un réticule pour insoler une résine recouvrant un groupe de circuits intégrés, une modification au niveau dudit au moins un réticule, des règles d'obtention des modules fictifs au sein du groupe de circuits intégrés de façon à obtenir au sein du groupe de circuits intégrés, des circuits intégrés ayant des types de modules fictifs différents, et des déplacements successifs de la plaquette de façon à traiter successivement tous les groupes de circuits intégrés à l'aide dudit au moins un réticule.

17. Circuit intégré, comprenant dans et/ou sur un substrat plusieurs blocs fonctionnels (CEL) incluant au moins deux blocs fonctionnels identiques respectivement disposés à au moins deux endroits différents du circuit intégré, des modules fictifs électriquement inactifs (5, 6, 8) aux voisinages et/ou à l'intérieur desdits blocs fonctionnels, et au moins deux modules fictifs différents électriquement inactifs aux voisinages respectifs et/ou à l'intérieur desdits au moins deux blocs fonctionnels identiques.

18. Circuit intégré selon la revendication 17, dans lequel lesdits au moins deux blocs fonctionnels identiques comportent chacun une zone active dans le substrat délimitée par une région isolante et ledit au moins un module fictif comprend une zone active fictive (5)

située dans ladite région isolante délimitant la zone active correspondante.

5 19. Circuit intégré selon la revendication 18, dans lequel chacun desdits au moins deux blocs fonctionnels identiques comportent dans leur voisinage respectif une zone active fictive, les deux zones actives fictives (5) ayant des géométries différentes.

10 20. Circuit intégré selon la revendication 17, dans lequel les deux blocs fonctionnels identiques comportent chacun une zone active dans le substrat délimitée par une région isolante et au moins un module fictif comprend au moins une région fictive de polysilicium (6) située au moins en partie au-dessus de ladite région isolante délimitant la zone active correspondante.

15 21. Circuit intégré selon la revendication 20, dans lequel chacun desdits au moins deux blocs fonctionnels identiques comportent dans leur voisinage respectif au moins une région fictive de polysilicium, les deux régions fictives de polysilicium (6) ayant des géométries différentes.

20 22. Circuit intégré selon la revendication 18 ou 19, prise en combinaison avec la revendication 20 ou 21, dans lequel ladite au moins une région fictive de polysilicium s'étend au moins en partie au-dessus de la zone active fictive correspondante.

25 23. Circuit intégré selon l'une des revendications 18 à 22, dans lequel ledit au moins un module fictif comprend au moins un contact fictif (8) électriquement conducteur situé au-dessus de la zone active fictive et/ou au-dessus de la région fictive de polysilicium.

30 24. Circuit intégré selon l'une des revendications 17 à 23, dans lequel le circuit intégré comporte des domaines différents (DZ1-DZ5) contenant respectivement des blocs fonctionnels identiques, dans chaque domaine le ou les modules fictifs associés à chaque bloc fonctionnel identique sont identiques mais sont différents ou d'un type différent d'un domaine à un autre.

25. Circuit intégré selon l'une des revendications 17 à 24, dans lequel les blocs fonctionnels (CEL) comprennent des cellules caractéristiques et les modules fictifs associés à ces cellules

caractéristiques sont situés au voisinage de ces cellules caractéristiques.

- 5 26. Plaquette de circuits intégrés selon l'une des revendications 17 à 25 relatifs à un même composant ou produit, ladite plaquette comportant des groupes identiques de circuits intégrés, chaque groupe comportant au moins deux circuits intégrés présentant des agencements différents de modules fictifs.

1/12

FIG.1

ART ANTERIEUR

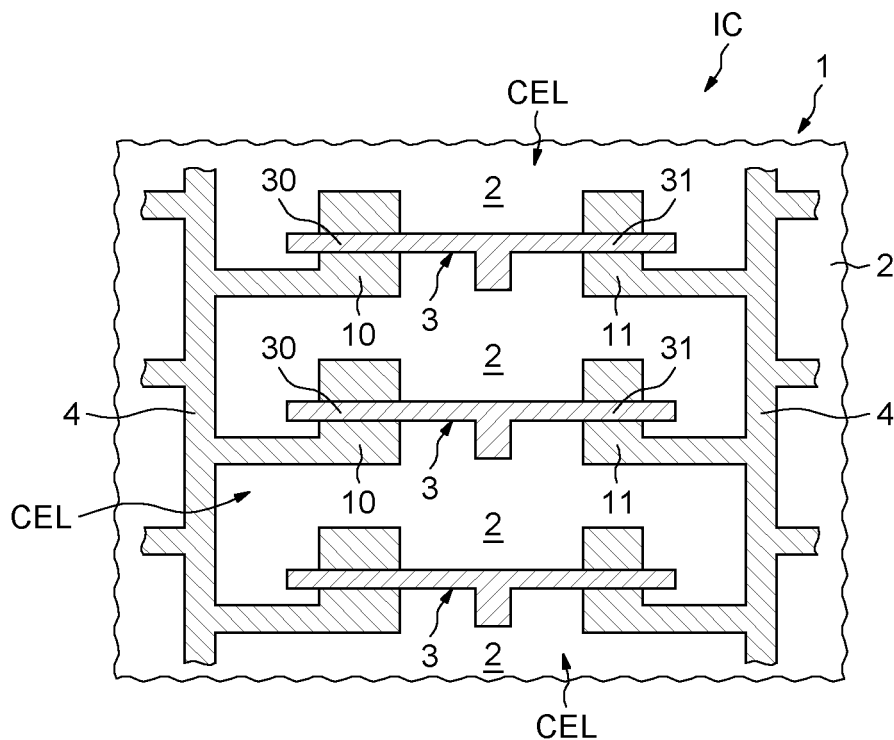
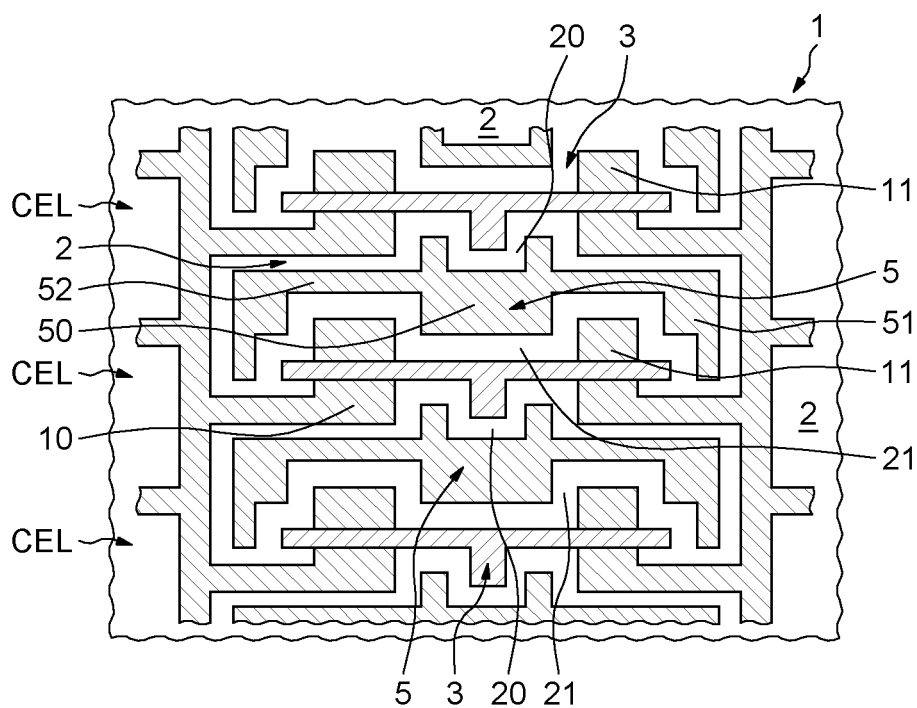
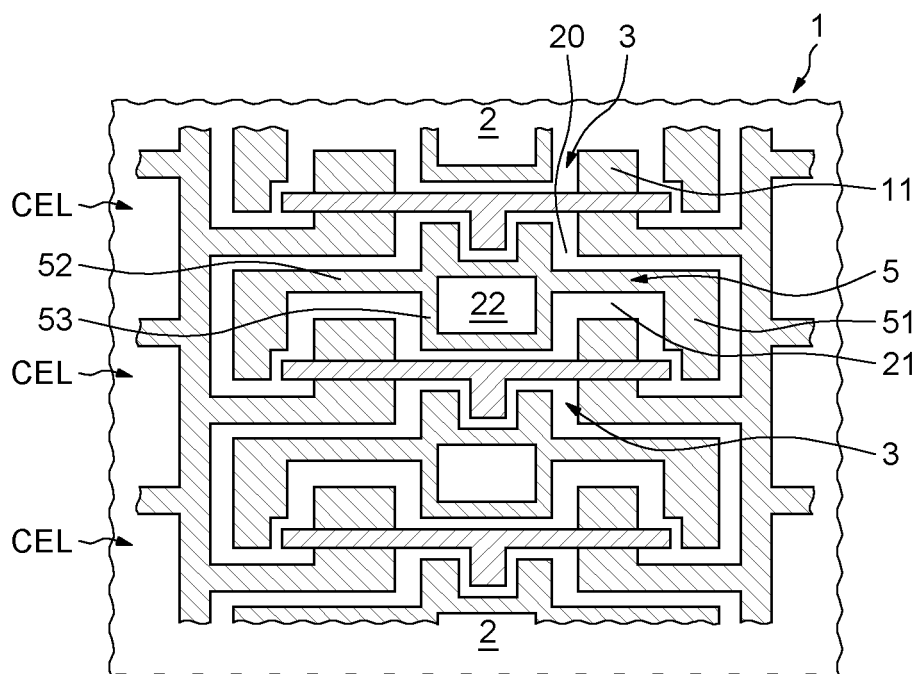


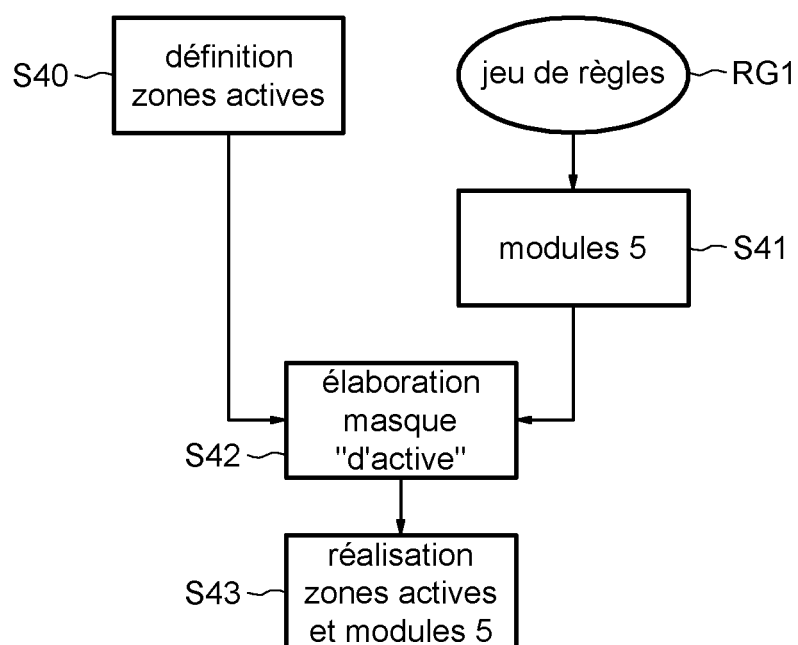
FIG.2



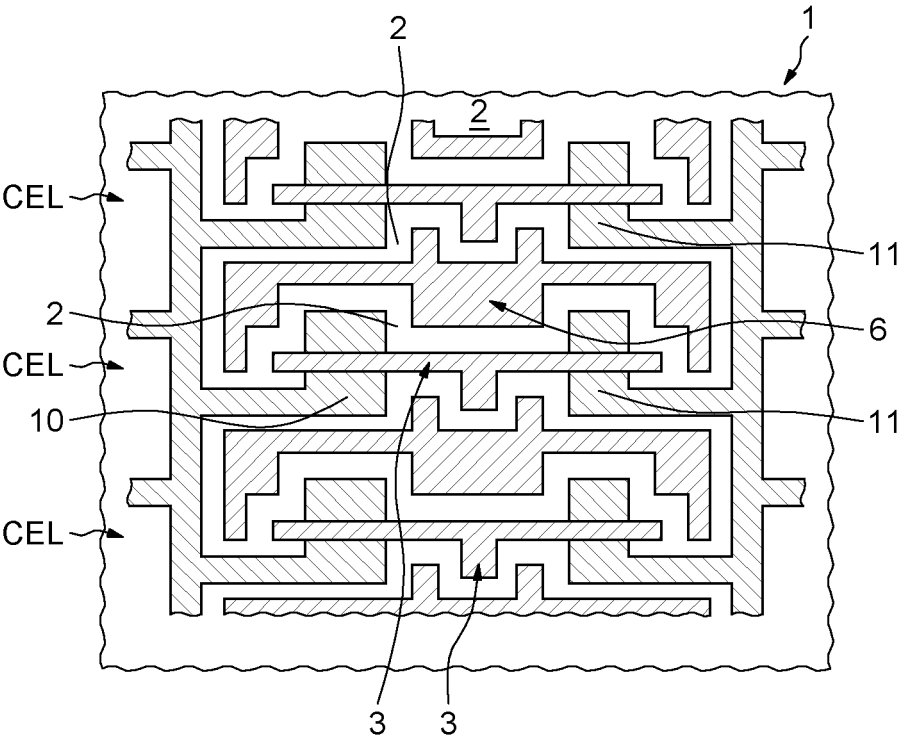
2/12
FIG.3



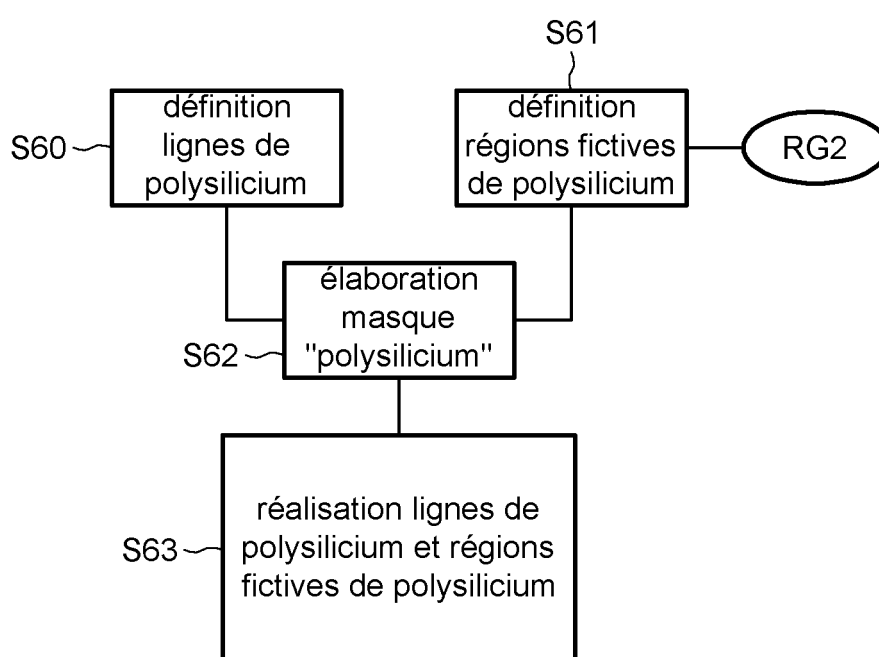
3/12
FIG.4



4/12
FIG.5



5/12
FIG.6



6/12

FIG.7
ART ANTERIEUR

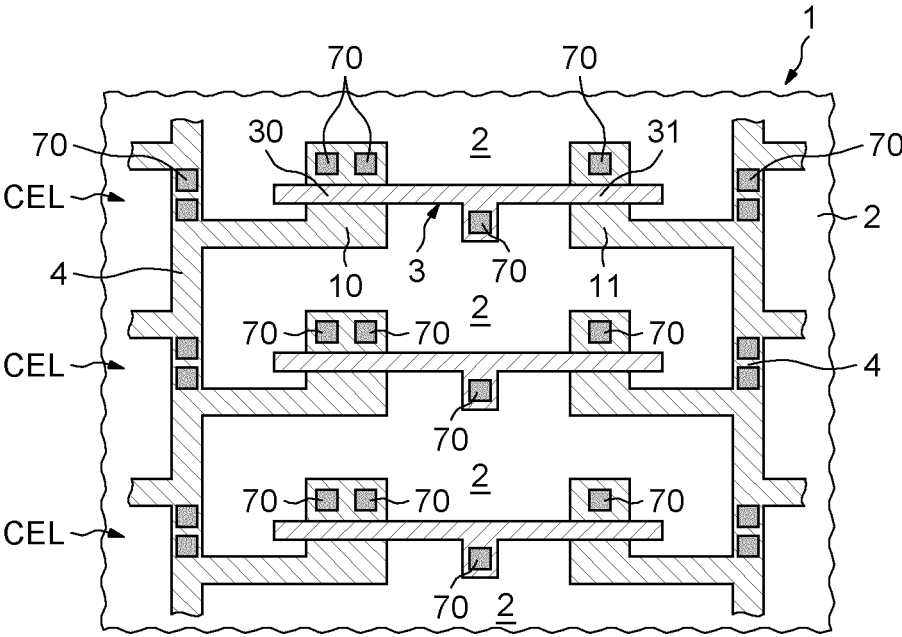
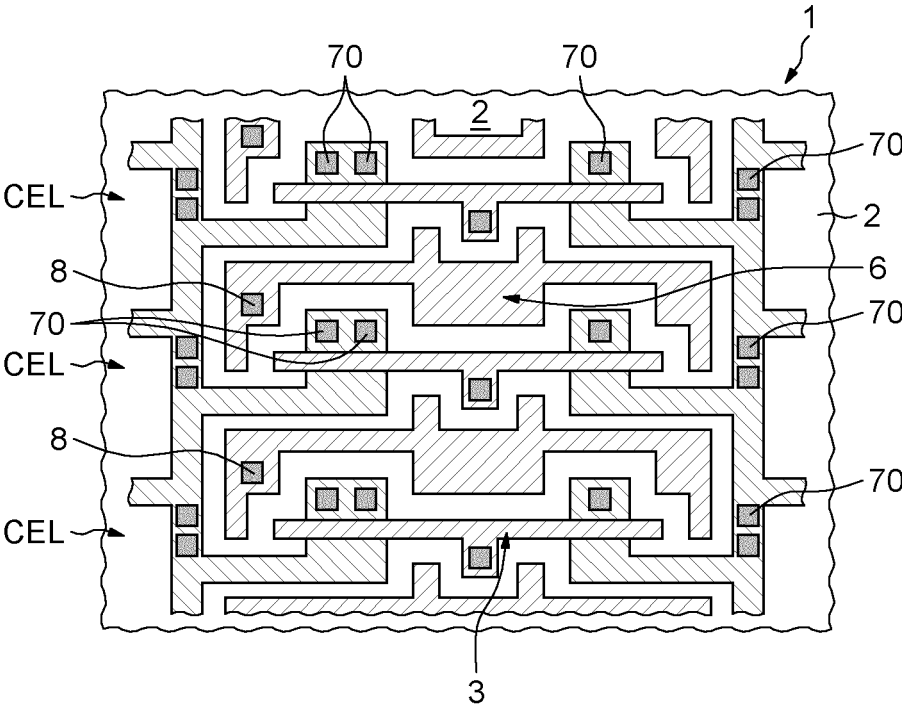


FIG.8



7/12
FIG.9

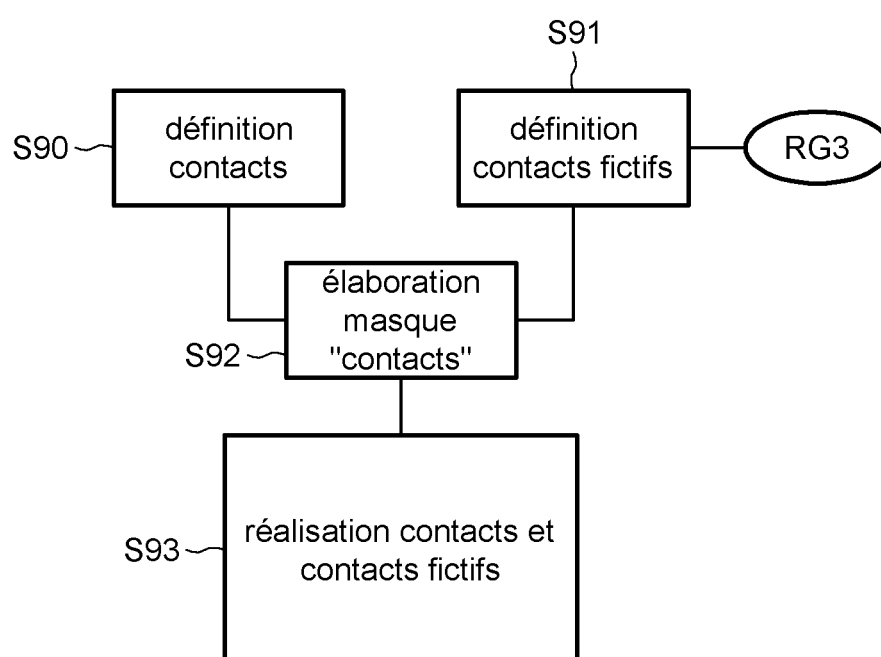


FIG.10
ART ANTERIEUR

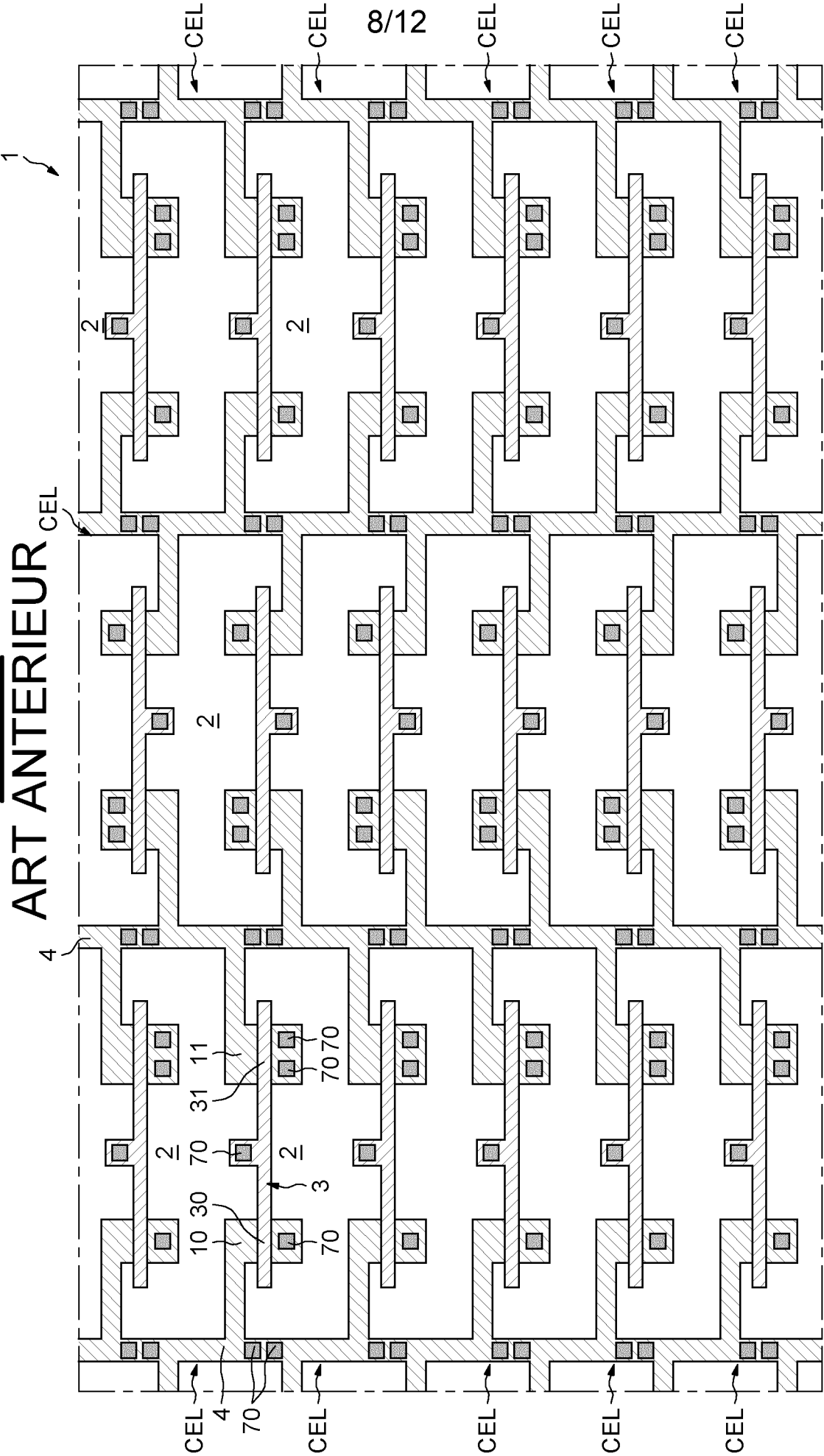


FIG. 11

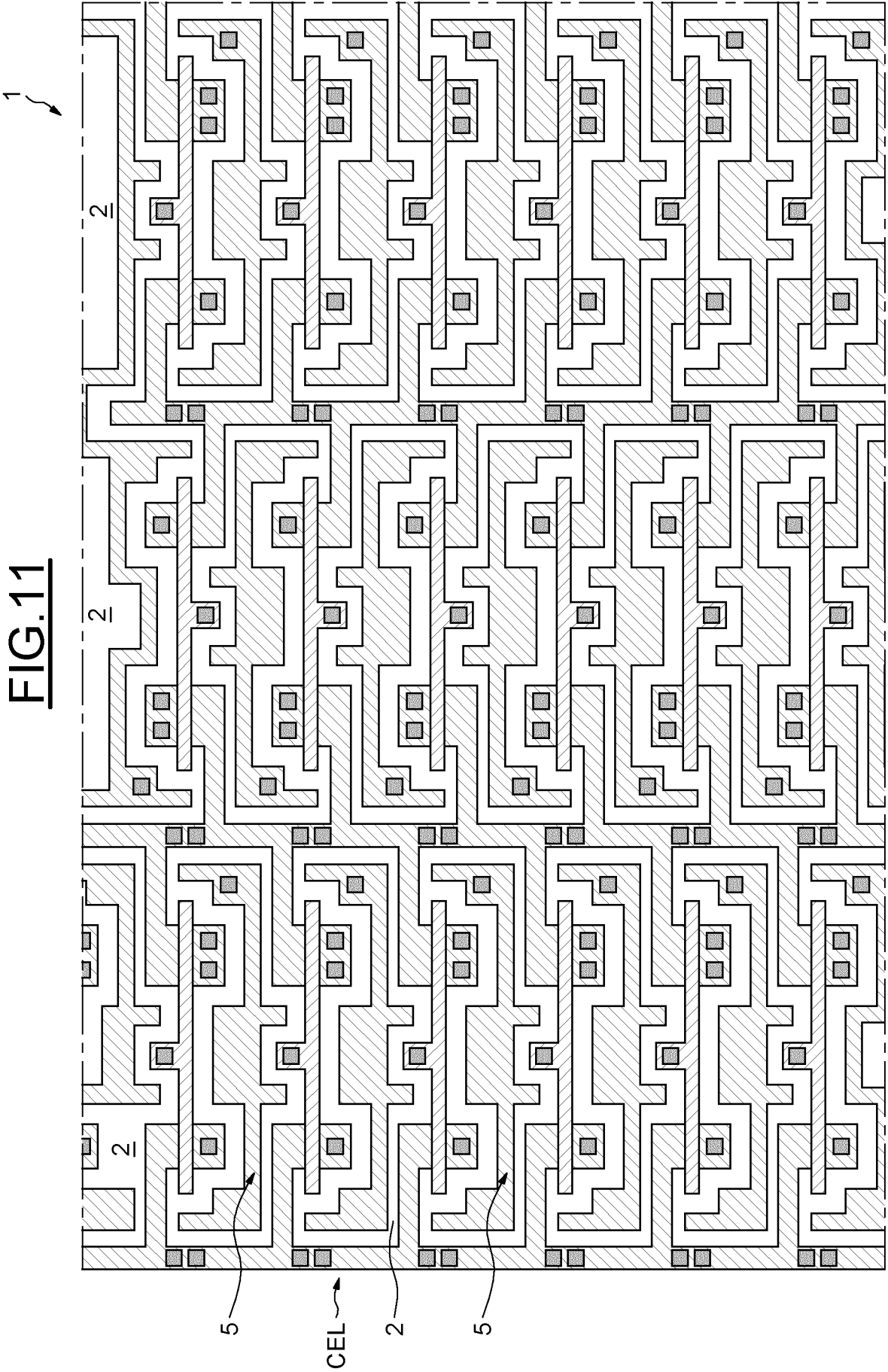
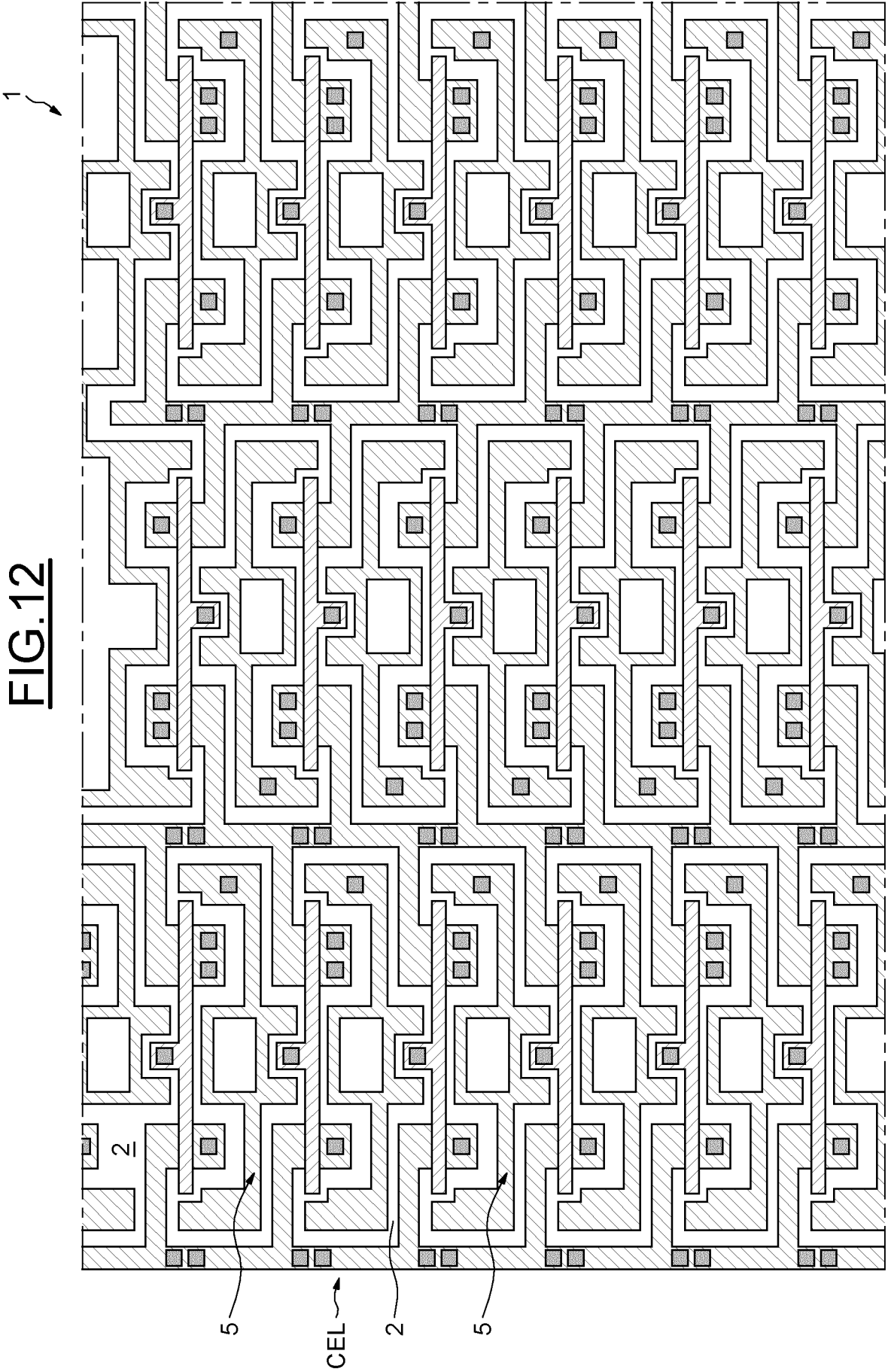


FIG.12



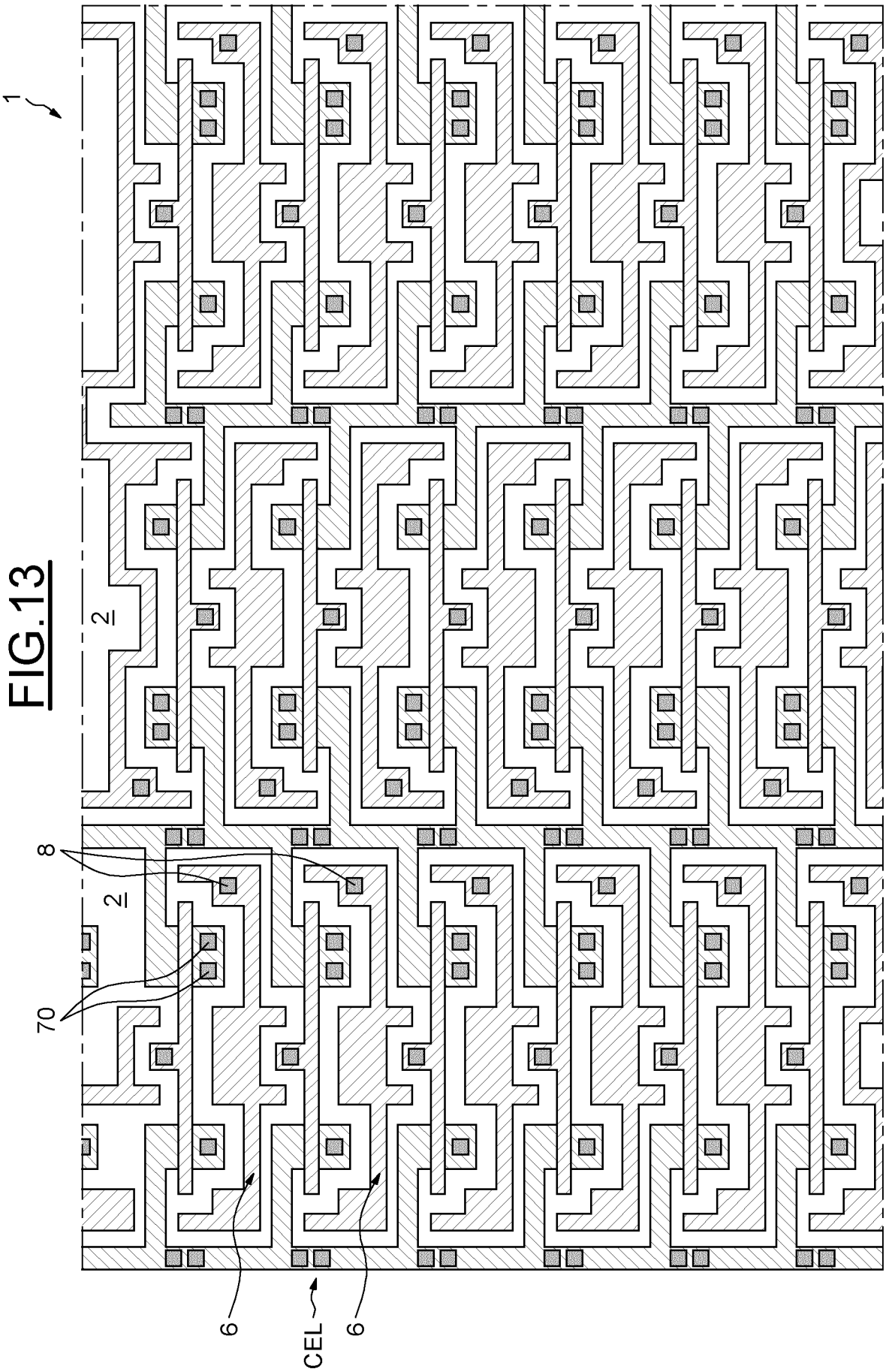
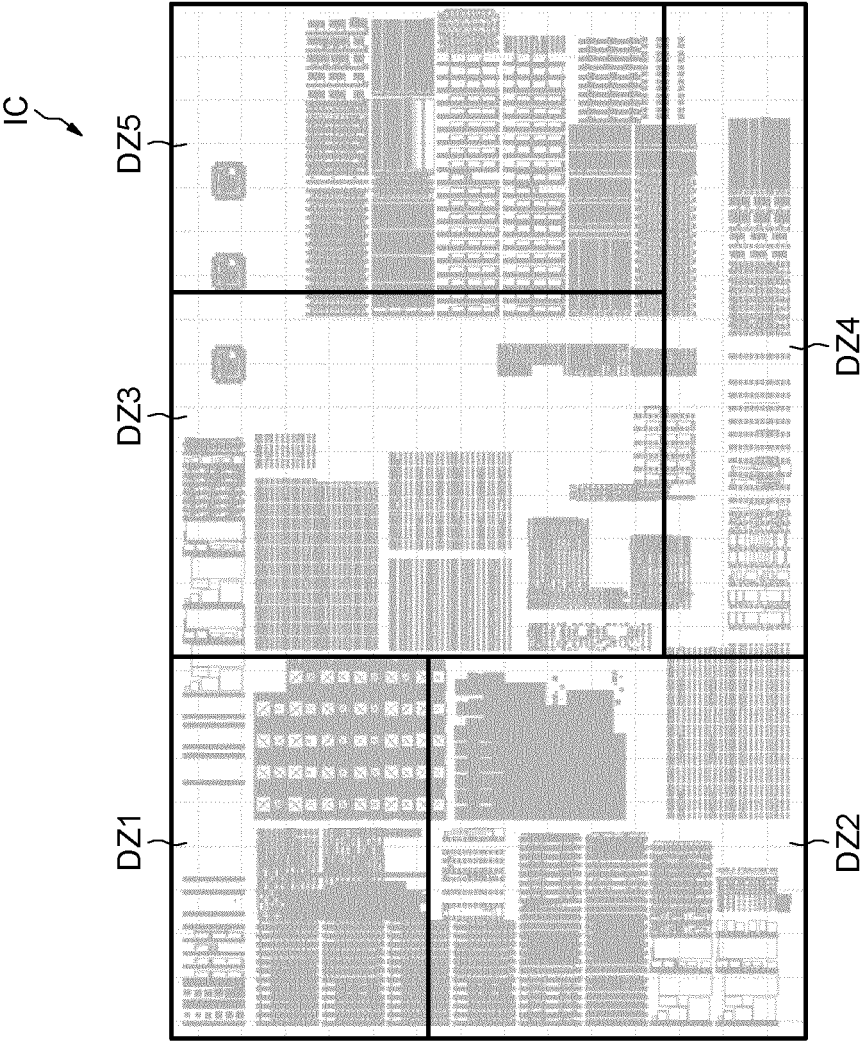


FIG.14





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 802882
FR 1458099

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	WO 2004/038800 A2 (BAUKUS JAMES P [US]; CHOW LAP-WAI [US]; CLARK WILLIAM M JR [US]; YANG) 6 mai 2004 (2004-05-06) * le document en entier *	1-26	G06F17/50 H01L21/70
A	EP 0 764 985 A2 (HUGHES AIRCRAFT CO [US] HUGHES ELECTRONICS CORP [US]) 26 mars 1997 (1997-03-26) * abrégé; figure 3a *	1,17	
A	US 2004/099912 A1 (CHOW LAP-WAI [US] ET AL) 27 mai 2004 (2004-05-27) * alinéas [0008] - [0015], [0035] - [0039]; figures 1a,1b,2a,2b,3a,3b,4 *	1,17	
A	JP 2004 165378 A (SHARP KK) 10 juin 2004 (2004-06-10) * abrégé; figures 1,2 *	1,17	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
10 juin 2015		Le Gallo, Thomas	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1458099 FA 802882

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **10-06-2015**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
WO 2004038800 A2		06-05-2004	AU	2003284270 A1	13-05-2004
			GB	2411293 A	24-08-2005
			JP	4642471 B2	02-03-2011
			JP	2006517053 A	13-07-2006
			TW	1326485 B	21-06-2010
			TW	201023329 A	16-06-2010
			US	2004119165 A1	24-06-2004
			WO	2004038800 A2	06-05-2004

EP 0764985 A2		26-03-1997	EP	0764985 A2	26-03-1997
			JP	3172672 B2	04-06-2001
			JP	H0992727 A	04-04-1997
			US	5783846 A	21-07-1998
			US	5930663 A	27-07-1999
			US	6064110 A	16-05-2000

US 2004099912 A1		27-05-2004	AU	2003293038 A1	18-06-2004
			GB	2413436 A	26-10-2005
			GB	2422956 A	09-08-2006
			JP	5308482 B2	09-10-2013
			JP	2006512784 A	13-04-2006
			JP	2011258957 A	22-12-2011
			TW	1319910 B	21-01-2010
			US	8679908 B1	25-03-2014
			US	2004099912 A1	27-05-2004
			US	2007243675 A1	18-10-2007
			WO	2004049443 A2	10-06-2004

JP 2004165378 A		10-06-2004	AUCUN		
