



(12) 发明专利申请

(10) 申请公布号 CN 105786736 A

(43) 申请公布日 2016. 07. 20

(21) 申请号 201410790131. 4

(22) 申请日 2014. 12. 18

(71) 申请人 深圳市中兴微电子技术有限公司
地址 518085 广东省深圳市盐田区大梅沙 1 号厂房

(72) 发明人 田宾馆

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270
代理人 高洁 姚开丽

(51) Int. Cl.
G06F 13/36(2006. 01)

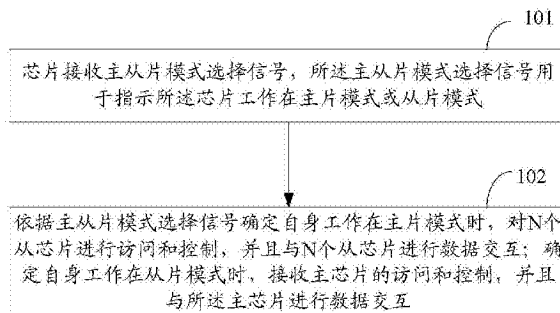
权利要求书2页 说明书7页 附图2页

(54) 发明名称

一种多芯片级联的方法、芯片和装置

(57) 摘要

本发明公开了一种多芯片级联的方法,该方法包括:芯片接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;依据所述主从片模式选择信号确定自身工作在主片模式时,对N个从芯片进行访问和控制,并且与所述N个从芯片进行数据交互;确定自身工作在从片模式时,接收主芯片的访问和控制,并且与所述主芯片进行数据交互;其中,所述N为大于等于1的正整数。本发明还同时公开了一种实现所述方法的芯片和装置。



1. 一种多芯片级联的方法,其特征在于,该方法包括:

芯片接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;

依据所述主从片模式选择信号确定自身工作在主片模式时,对N个从芯片进行访问和控制,并且与所述N个从芯片进行数据交互;确定自身工作在从片模式时,接收主芯片的访问和控制,并且与所述主芯片进行数据交互;其中,所述N为大于等于1的正整数。

2. 根据权利要求1所述的方法,其特征在于,所述芯片根据所述主从片模式选择信号确定自身工作在主片模式或从片模式,包括:

当接收到的主从片模式选择信号的值为0时,确定自身工作在主片模式;当接收到主从模式选择信号的值非0时,确定自身工作在从片模式。

3. 根据权利要求1所述的方法,其特征在于,当所述芯片工作在主片模式时,对从芯片进行访问,包括:

对从芯片进行不同地址空间的访问,所述地址空间由所述工作在主片模式的芯片进行配置;所述工作在主片模式的芯片通过配置的N个地址通道分别访问从芯片的不同地址段。

4. 根据权利要求1所述的方法,其特征在于,当所述芯片工作在从片模式时,接收主芯片的访问,包括:

接收主芯片配置的地址通道,并通过所述地址通道接收主芯片的访问。

5. 根据权利要求1所述的方法,其特征在于,所述芯片工作在主片模式时,所述与N个从芯片进行数据交互,包括:

所述工作在主片模式的芯片先进行数据传输时序参数和数据传输地址的配置,并通过数据信号以广播的形式向N个从芯片发送数据;或者,

通过数据信号从所述从芯片中读取数据。

6. 根据权利要求1所述的方法,其特征在于,所述芯片工作在从片模式时,所述与主芯片进行数据交互,包括:

与主芯片相互传输数据信号,用以从主芯片读取数据;或者,

与主芯片相互传输数据信号,根据数据传输地址确定主芯片向自身发送数据时,在自身写入数据。

7. 根据权利要求1所述的方法,其特征在于,所述工作在主片模式的芯片对所述N个从芯片进行控制,或工作在从片模式的芯片接收主芯片的控制,通过以下至少一种级联接口信号:

地址信号、写使能信号、读使能信号、片选信号、数据信号和读数据使能信号。

8. 根据权利要求1所述的方法,其特征在于,该方法还包括:

芯片确定自身工作在主片模式时,启动自身的BYPASS使能,并通过自身内部设置的测试模块进行环回测试。

9. 一种芯片,其特征在于,该芯片包括:模式选择模块、主片模式运行模块和从片模式运行模块;其中,

所述模式选择模块,用于接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;依据所述主从片模式选择信号确定芯片工作在主

片模式时,触发所述主片模式运行模块,确定芯片工作在从片模式时,触发所述从片模式运行模块;

所述主片模式运行模块,用于N个从芯片进行访问和控制,并且与所述N个从芯片进行数据交互;所述N为大于等于1的正整数;

所述从片模式运行模块,用于接收主芯片的访问和控制,并且与所述主芯片进行数据交互。

10. 根据权利要求9所述的芯片,其特征在于,所述模式选择模块,包括:接收单元和判断单元;其中,

所述接收单元,用于接收主从片模式选择信号;

所述判断单元,用于对接收的所述主从片模式选择信号进行判断,当主从片模式选择信号的值为0时,确定芯片工作在主片模式;当主从片模式选择信号的值非0时,确定芯片工作在从片模式。

11. 根据权利要求9所述的芯片,其特征在于,所述芯片还包括:数据复用模块;

所述芯片工作在主片模式时,所述数据复用模块,用于通过数据信号以广播的形式向N个从芯片发送数据;或者,通过数据信号从所述从芯片中读取数据;相应的,

所述主片模式运行模块,还用于进行数据传输时序参数和数据传输地址的配置,并控制所述数据复用模块进行读写访问选择控制和环回访问数据;

所述芯片工作在从片模式时,所述数据复用模块,用于与主芯片相互传输数据信号,以从主芯片读取数据;或者,

用于与主芯片相互传输数据信号,并在自身所在的芯片写入数据;相应的,

所述从片模式运行模块,还用于根据数据传输地址确定主芯片向自身所在的芯片发送数据。

12. 根据权利要求9所述的芯片,其特征在于,所述芯片工作在主片模式时,所述主片模式运行模块,还用于启动芯片的BYPASS使能,并通过芯片内部设置的测试模块进行环回测试;相应的,

所述从片模式运行模块,还用于与所述主片模式运行模块共同执行所述环回测试。

13. 一种多芯片级联的装置,其特征在于,该装置包括:至少两个权利要求9-12中任一项所述的芯片。

一种多芯片级联的方法、芯片和装置

技术领域

[0001] 本发明涉及通信领域的芯片技术,尤其涉及一种多芯片级联的方法、芯片和装置。

背景技术

[0002] 目前的电子设备越来越复杂,因此对于系统性能的要求越来越高,这给专用集成电路(ASIC)的设计带来了极大的挑战。ASIC的设计复杂度高、周期长、难以及时满足系统性能的要求。但是,可以通过将多片ASIC集成在一起来提高系统的性能,如果在设计一款ASIC时,提供ASIC级联接口,则会对实现多片ASIC集成带来极大的便利,从而可以利用现有ASIC来实现更高的系统性能。

[0003] 现有的ASIC芯片之间的通讯接口有串行外设接口(SPI)和通用异步收发传输器(UART)等串行接口,所述串行接口实现简单,但是存在数据传输带宽很小的问题;如果使用SerDes或者PCI-E等高速接口,则会占用ASIC芯片较多的面积。

发明内容

[0004] 为解决现有存在的技术问题,本发明实施例提供一种多芯片级联的方法、芯片和装置。

[0005] 本发明实施例提供了一种多芯片级联的方法,该方法包括:

[0006] 芯片接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;

[0007] 依据所述主从片模式选择信号确定自身工作在主片模式时,对N个从芯片进行访问和控制,并且与所述N个从芯片进行数据交互;确定自身工作在从片模式时,接收主芯片的访问和控制,并且与所述主芯片进行数据交互;其中,所述N为大于等于1的正整数。

[0008] 其中,所述芯片根据所述主从片模式选择信号确定自身工作在主片模式或从片模式,包括:

[0009] 当接收到的主从片模式选择信号的值为0时,确定自身工作在主片模式;当接收到主从模式选择信号的值非0时,确定自身工作在从片模式。

[0010] 其中,当所述芯片工作在主片模式时,对从芯片进行访问,包括:

[0011] 对从芯片进行不同地址空间的访问,所述地址空间由所述工作在主片模式的芯片进行配置;所述工作在主片模式的芯片通过配置的N个地址通道分别访问从芯片的不同地址段。

[0012] 其中,当所述芯片工作在从片模式时,接收主芯片的访问,包括:

[0013] 接收主芯片配置的地址通道,并通过所述地址通道接收主芯片的访问。

[0014] 其中,所述芯片工作在主片模式时,所述与N个从芯片进行数据交互,包括:

[0015] 所述工作在主片模式的芯片先进行数据传输时序参数和数据传输地址的配置,并通过数据信号以广播的形式向N个从芯片发送数据;或者,

[0016] 通过数据信号从所述从芯片中读取数据。

- [0017] 其中,所述芯片工作在从片模式时,所述与主芯片进行数据交互,包括:
- [0018] 与主芯片相互传输数据信号,用以从主芯片读取数据;或者,
- [0019] 与主芯片相互传输数据信号,根据数据传输地址确定主芯片向自身发送数据时,在自身写入数据。
- [0020] 其中,所述工作在主片模式的芯片对所述N个从芯片进行控制,或工作在从片模式的芯片接收主芯片的控制,通过以下至少一种级联接口信号:
- [0021] 地址信号、写使能信号、读使能信号、片选信号、数据信号和读数据使能信号。
- [0022] 在一个实施例中,该方法还包括:
- [0023] 芯片确定自身工作在主片模式时,启动自身的BYPASS使能,并通过自身内部设置的测试模块进行环回测试。
- [0024] 本发明实施例还提供了一种芯片,该芯片包括:模式选择模块、主片模式运行模块和从片模式运行模块;其中,
- [0025] 所述模式选择模块,用于接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;依据所述主从片模式选择信号确定芯片工作在主片模式时,触发所述主片模式运行模块,确定芯片工作在从片模式时,触发所述从片模式运行模块;
- [0026] 所述主片模式运行模块,用于N个从芯片进行访问和控制,并且与所述N个从芯片进行数据交互;所述N为大于等于1的正整数;
- [0027] 所述从片模式运行模块,用于接收主芯片的访问和控制,并且与所述主芯片进行数据交互。
- [0028] 其中,所述模式选择模块,包括:接收单元和判断单元;其中,
- [0029] 所述接收单元,用于接收主从片模式选择信号;
- [0030] 所述判断单元,用于对接收的所述主从片模式选择信号进行判断,当主从片模式选择信号的值为0时,确定芯片工作在主片模式;当主从片模式选择信号的值非0时,确定芯片工作在从片模式。
- [0031] 在一个实施例中,所述芯片还包括:数据复用模块;
- [0032] 所述芯片工作在主片模式时,所述数据复用模块,用于通过数据信号以广播的形式向N个从芯片发送数据;或者,通过数据信号从所述从芯片中读取数据;相应的,
- [0033] 所述主片模式运行模块,还用于进行数据传输时序参数和数据传输地址的配置,并控制所述数据复用模块进行读写访问选择控制和环回访问数据;
- [0034] 所述芯片工作在从片模式时,所述数据复用模块,用于与主芯片相互传输数据信号,以从主芯片读取数据;或者,
- [0035] 用于与主芯片相互传输数据信号,并在自身所在的芯片写入数据;相应的,
- [0036] 所述从片模式运行模块,还用于根据数据传输地址确定主芯片向自身所在的芯片发送数据。
- [0037] 在一个实施例中,所述芯片工作在主片模式时,所述主片模式运行模块,还用于启动芯片的BYPASS使能,并通过芯片内部设置的测试模块进行环回测试;相应的,
- [0038] 所述从片模式运行模块,还用于与所述主片模式运行模块共同执行所述环回测试。

[0039] 本发明实施例还提供了一种多芯片级联的装置,该装置包括:至少两个上文所述的芯片。

[0040] 本发明实施例提供的多芯片级联的方法、芯片和装置,芯片接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;依据所述主从片模式选择信号确定自身工作在主片模式时,对N个从芯片进行访问控制,并且与所述N个从芯片进行数据交互;确定自身工作在从片模式时,接收主芯片的访问控制,并且与所述主芯片进行数据交互;其中,所述N为大于等于1的正整数。本发明实施例的芯片级联方法采用多bit地址线和多bit数据线的设计方式,与现有技术相比,可以实现在多个芯片之间实现较高的数据传输带宽,同时占用很小的芯片面积。

附图说明

[0041] 在附图(其不一定是按比例绘制的)中,相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中讨论的各个实施例。

[0042] 图1为本发明实施例所述多芯片级联的方法实现流程示意图;

[0043] 图2为本发明实施例所述芯片的结构示意图;

[0044] 图3为本发明实施例所述模式选择模块的结构示意图;

[0045] 图4为本发明另一实施例所述单个芯片的级联接口结构示意图。

具体实施方式

[0046] 本发明的实施例中,芯片接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;依据所述主从片模式选择信号确定自身工作在主片模式时,对N个从芯片进行访问和控制,并且与所述N个从芯片进行数据交互;依据所述主从片模式选择信号确定自身工作在从片模式时,接收主芯片的访问和控制,并且与所述主芯片进行数据交互;其中,所述N为大于等于1的正整数。

[0047] 下面结合附图及具体实施例对本发明作进一步详细说明。

[0048] 图1为本发明实施例所述多芯片级联的方法实现流程示意图,如图1所示,该方法包括:

[0049] 步骤101:芯片接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;

[0050] 步骤102:依据所述主从片模式选择信号确定自身工作在主片模式时,对N个从芯片进行访问和控制,并且与所述N个从芯片进行数据交互;确定自身工作在从片模式时,接收主芯片的访问和控制,并且与所述主芯片进行数据交互;所述N为大于等于1的正整数。

[0051] 本发明实施例中,芯片可通过互连总线接收主从片模式选择信号(CC_BS);所述主从片模式选择信号的位宽值可配置,位宽最小值为1,最大值根据需要进行设置,该信号为所述芯片的输入信号,当值为0时,指示芯片为主芯片,当其值非0时,指示芯片为从芯片,并且指示该从芯片的编号。

[0052] 其中,所述芯片根据所述主从片模式选择信号确定自身工作在主片模式或从片模式,包括:

[0053] 当接收到的主从片模式选择信号的值为 0 时,确定自身工作在主片模式;当接收到主从模式选择信号的值非 0 时,确定自身工作在从片模式。

[0054] 在一个实施例中,当所述芯片工作在主片模式时,对从芯片进行访问,包括:

[0055] 对从芯片进行不同地址空间的访问,所述地址空间由所述工作在主片模式的芯片进行配置;所述工作在主片模式的芯片通过配置的 N 个地址通道分别访问从芯片的不同地址段。

[0056] 其中,当所述芯片工作在从片模式时,接收主芯片的访问,包括:

[0057] 接收主芯片配置的地址通道,并通过所述地址通道接收主芯片的访问。

[0058] 在一个实施例中,所述芯片工作在主片模式时,所述与 N 个从芯片进行数据交互,包括:

[0059] 所述工作在主片模式的芯片先进行数据传输时序参数和数据传输地址的配置,并通过数据信号以广播的形式向 N 个从芯片发送数据;或者,

[0060] 通过数据信号从所述从芯片中读取数据。

[0061] 在一个实施例中,所述芯片工作在从片模式时,所述与主芯片进行数据交互,包括:

[0062] 与主芯片相互传输数据信号,用以从主芯片读取数据;或者,

[0063] 与主芯片相互传输数据信号,根据数据传输地址确定主芯片向自身发送数据时,在自身写入数据。

[0064] 这里,所述数据信号(CC_DATA)可包括:写入数据信号(CC_DATAIN)和读出数据信号(CC_DATAOUT)。数据信号的位宽值可配置,如 8 或 16bit,用于实现主芯片片内总线数据和从芯片片内总线的数据传输。

[0065] 本发明实施例中,工作在主片模式的芯片对所述 N 个从芯片进行控制,或工作在从片模式的芯片接收主芯片的控制,通过以下至少一种级联接口信号:

[0066] 地址信号(CC_ADDR),该信号的位宽值可配置,该信号在主片模式中是主芯片的输出信号,在从片模式中是从芯片的输入信号,通过发送地址信号就可以使得从芯片判断主芯片是否要访问自身,从而将主从的芯片的访问联系起来;

[0067] 写使能信号(CC_WE),该信号为单 bit 信号,该信号在主芯片中是输出信号;

[0068] 读使能信号(CC_OE),该信号为单 bit 信号,该信号在主芯片中是输出信号;

[0069] 片选信号(CC_CS),该信号为单 bit 信号,该信号在主片模式中是主芯片的输出信号,在从片模式中是从芯片的输入信号;

[0070] 数据信号(CC_DATA),该信号为 8 或 16bit,该信号作为主片与从片的数据交互信号;

[0071] 读数据使能信号(CC_BUSY),对于主芯片是输入信号,对于从芯片是输出信号。

[0072] 本发明实施例的芯片级联方法采用多 bit 地址线和多 bit 数据线的设计方式,与现有技术相比,可以实现在多个芯片之间实现较高的数据传输带宽,同时占用很小的芯片面积。

[0073] 在本发明一个实施例中,该方法还包括:

[0074] 芯片确定自身工作在主片模式时,启动自身的 BYPASS 使能,并通过自身内部设置的测试模块进行环回测试。这样,可以在单芯片上完成级联接口的功能测试。

[0075] 本发明实施例还提供了一种芯片,如图 2 所示,所述芯片包括:模式选择模块 20、主片模式运行模块 21 和从片模式运行模块 22;其中,

[0076] 所述模式选择模块 20,用于接收主从片模式选择信号,所述主从片模式选择信号用于指示所述芯片工作在主片模式或从片模式;依据所述主从片模式选择信号确定芯片工作在主片模式时,触发所述主片模式运行模块,确定芯片工作在从片模式时,触发所述从片模式运行模块;

[0077] 所述主片模式运行模块 21,用于 N 个从芯片进行访问和控制,并且与所述 N 个从芯片进行数据交互;所述 N 为大于等于 1 的正整数;

[0078] 所述从片模式运行模块 22,用于接收主芯片的访问和控制,并且与所述主芯片进行数据交互。

[0079] 在一个实施例中,如图 3 所示,所述模式选择模块 20,包括:接收单元 201 和判断单元 202;其中,

[0080] 所述接收单元 201,用于接收主从片模式选择信号;

[0081] 所述判断单元 202,用于对接收的所述主从片模式选择信号进行判断,当主从片模式选择信号的值为 0 时,确定芯片工作在主片模式;当主从片模式选择信号的值非 0 时,确定芯片工作在从片模式。

[0082] 在一个实施例中,当所述芯片工作在主片模式时,所述主片模式运行模块 21 对从芯片进行访问,包括:

[0083] 对从芯片进行不同地址空间的访问,所述地址空间由所述主片模式运行模块 21 进行配置;所述主片模式运行模块 21 通过配置的 N 个地址通道分别访问从芯片的不同地址段。

[0084] 当所述芯片工作在主片模式时,所述从片模式运行模块 22 接收主芯片的访问,包括:

[0085] 接收主芯片配置的地址通道,并通过所述地址通道接收主芯片的访问。

[0086] 在一个实施例中,所述芯片还包括:数据复用模块 23;

[0087] 所述芯片工作在主片模式时,所述数据复用模块 23,用于通过数据信号以广播的形式向 N 个从芯片发送数据;或者,通过数据信号从所述从芯片中读取数据;相应的,

[0088] 所述主片模式运行模块 21,还用于进行数据传输时序参数和数据传输地址的配置,并控制所述数据复用模块进行读写访问选择控制和环回访问数据;

[0089] 所述芯片工作在从片模式时,所述数据复用模块 23,用于与主芯片相互传输数据信号,以从主芯片读取数据;或者,

[0090] 用于与主芯片相互传输数据信号,并在自身所在的芯片写入数据;相应的,

[0091] 所述从片模式运行模块 22,还用于根据数据传输地址确定主芯片向自身所在的芯片发送数据。

[0092] 其中,所述数据信号(CC_DATA)可包括:写入数据信号(CC_DATAIN)和读出数据信号(CC_DATAOUT)。数据信号的位宽值可配置,如 8 或 16bit,用于实现主芯片片内总线数据和从芯片片内总线的数据传输,主芯片写入从芯片的数据是主芯片的读出数据,主芯片从所述从芯片的读出数据是主芯片的写入数据。

[0093] 本发明实施例中,所述主片模式运行模块对所述 N 个从芯片进行控制,或主片模

式运行模块接收主芯片的控制,通过以下至少一种级联接口信号:

[0094] 地址信号 (CC_ADDR),该信号的位宽值可配置,该信号在主片模式中是主芯片的输出信号,在从片模式中是从芯片的输入信号,通过发送地址信号就可以使得从芯片判断主芯片是否要访问自身,从而将主从的芯片的访问联系起来;

[0095] 写使能信号 (CC_WE),该信号为单 bit 信号,该信号在主芯片中是输出信号;

[0096] 读使能信号 (CC_OE),该信号为单 bit 信号,该信号在主芯片中是输出信号;

[0097] 片选信号 (CC_CS),该信号为单 bit 信号,该信号在主片模式中是主芯片的输出信号,在从片模式中是从芯片的输入信号;

[0098] 数据信号 (CC_DATA),该信号为 8 或 16bit,该信号作为主片与从片的数据交互信号;

[0099] 读数据使能信号 (CC_BUSY),对于主芯片是输入信号,对于从芯片是输出信号。

[0100] 本发明实施例的芯片级联方法采用多 bit 地址线和多 bit 数据线的设计方式,与现有技术相比,可以实现在多个芯片之间实现较高的数据传输带宽,同时占用很小的芯片面积。

[0101] 在一个实施例中,所述芯片工作在主片模式时,所述主片模式运行模块 21,还用于启动芯片的 BYPASS 使能,并通过芯片内部设置的测试模块进行环回测试;相应的,

[0102] 所述从片模式运行模块 22,还用于与所述主片模式运行模块共同执行所述环回测试。

[0103] 本发明实施例还提供了一种多芯片级联的装置,该装置包括:至少两个上文所述的芯片。

[0104] 图 4 为本发明另一实施例所述单个芯片的级联接口结构示意图,如图 4 所示,该实施例以 ASRAM_CTRL 模块为例进行描述。该模块可以根据外部输入的主从片模式选择信号 (CC_BS 信号) 决定工作在主片模式还是从片模式,确定工作在主片模式时,所述 AXI2ASRAM 模块 (相当于图 2 中的主片模式运行模块) 工作,确定工作在从片模式时,所述 ASRAM2AXI 模块 (相当于图 2 中的从片模式运行模块) 工作。当 ASRAM_CTRL 模块工作在主片模式时,且 ASRAM_CTRL 模块的 BYPASS 使能有效时,同时启动 AXI2ASRAM 模块和 ASRAM2AXI 模块工作,实现环回测试。所述 TEST_BYPASS 是该级联接口模块的一种工作模式,在主芯片上使能该功能可以实现级联接口模块的环回自测。ASRAM_CTRL 模块设置有一组 AXI MASTER 接口 (对应 AXI2ASRAM 模块) 和一组 AXI SLAVE 接口 (对应 ASRAM2AXI 模块),以及一组与所述 TEST_BYPASS 通信的外部级联接口。

[0105] 如图 4 所示,所述级联接口信号包括:

[0106] 数据信号 (CC_DATA),该信号可包括:写入数据信号 (CC_DATAIN) 和读出数据信号 (CC_DATAOUT)。数据信号的位宽值可配置,如 8 或 16bit,用于实现主芯片片内总线数据和从芯片片内总线的数据传输,主芯片写入从芯片的数据是主芯片的读出数据,主芯片从所述从芯片的读出数据是主芯片的写入数据;

[0107] 地址信号 (CC_ADDR),该信号的位宽值可配置,该信号在主片模式中是主芯片的输出信号,在从片模式中是从芯片的输入信号,通过发送地址信号就可以使得从芯片判断主芯片是否要访问自身,从而将主从的芯片的访问联系起来;

[0108] 写使能信号 (CC_WE),该信号为单 bit 信号,该信号在主芯片中是输出信号;

- [0109] 读使能信号 (CC_OE), 该信号为单 bit 信号, 该信号在主芯片中是输出信号;
- [0110] 片选信号 (CC_CS), 该信号为单 bit 信号, 该信号在主片模式中是主芯片的输出信号, 在从片模式中是从芯片的输入信号;
- [0111] 数据信号 (CC_DATA), 该信号为 8 或 16bit, 该信号作为主片与从片的数据交互信号;
- [0112] 读数据使能信号 (CC_BUSY), 对于主芯片是输入信号, 对于从芯片是输出信号。
- [0113] 当工作在主片模式的芯片 (主芯片) 需要访问某一从芯片的数据时, 首先完成级联接口的数据传输时序参数和数据传输地址的配置, 然后发起对该从芯片的数据读写操作。工作在主片模式的芯片的数据传输是广播发送的, 当多个从芯片接收到数据传输的请求时, 会根据数据传输地址来判断是否响应该次数据传输。在一个主芯片连接多个从芯片的情况下, 对于读操作, 从芯片还需要完成读数据使能信号的产生, 以保证正确的读数据传输给主芯片。
- [0114] 此外, 为了增加可测试性, 在主芯片模式下, 可以配置主芯片开启 BYPASS 使能, 从而可以在单片上完成级联接口的功能测试。
- [0115] 为了提高级联接口的使用便利性, 对于地址映射采用了多通道划分的方式, 即: 工作在主片模式的芯片通过配置的 N 个地址通道分别访问从芯片的不同地址段, 每个通道都有默认的映射地址, 分别映射到芯片内部的不同地址段。
- [0116] 本领域内的技术人员应明白, 本发明的实施例可提供为方法、系统、或计算机程序产品。因此, 本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且, 本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质 (包括但不限于磁盘存储器和光学存储器等) 上实施的计算机程序产品的形式。
- [0117] 本发明是参照根据本发明实施例的方法、设备 (系统)、和计算机程序产品的流程图和 / 或方框图来描述的。应理解可由计算机程序指令实现流程图和 / 或方框图中的每一流程和 / 或方框、以及流程图和 / 或方框图中的流程和 / 或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器, 使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的装置。
- [0118] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中, 使得存储在该计算机可读存储器中的指令产生包括指令装置的制品, 该指令装置实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能。
- [0119] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上, 使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理, 从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的步骤。
- [0120] 以上所述, 仅为本发明的较佳实施例而已, 并非用于限定本发明的保护范围。

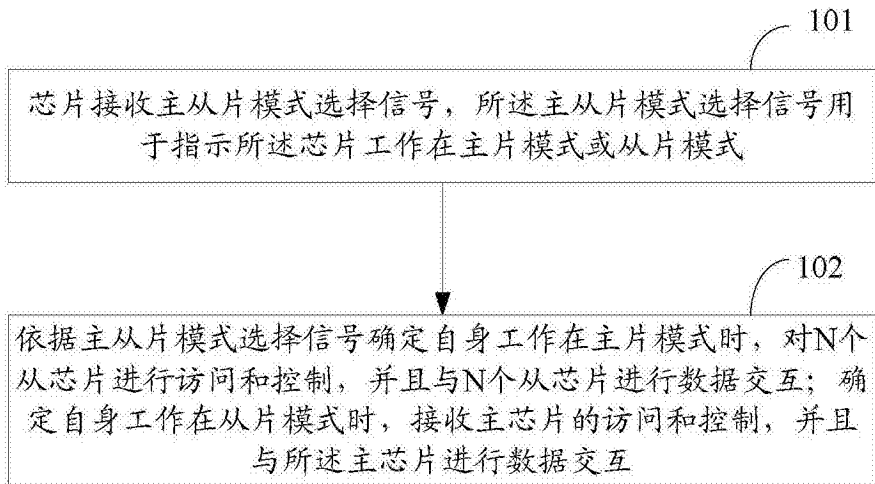


图 1

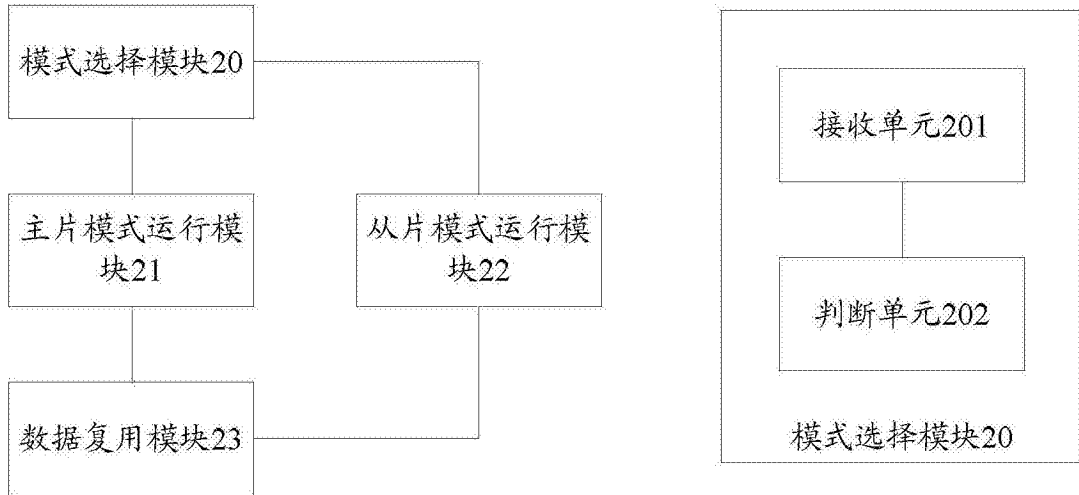


图 2

图 3

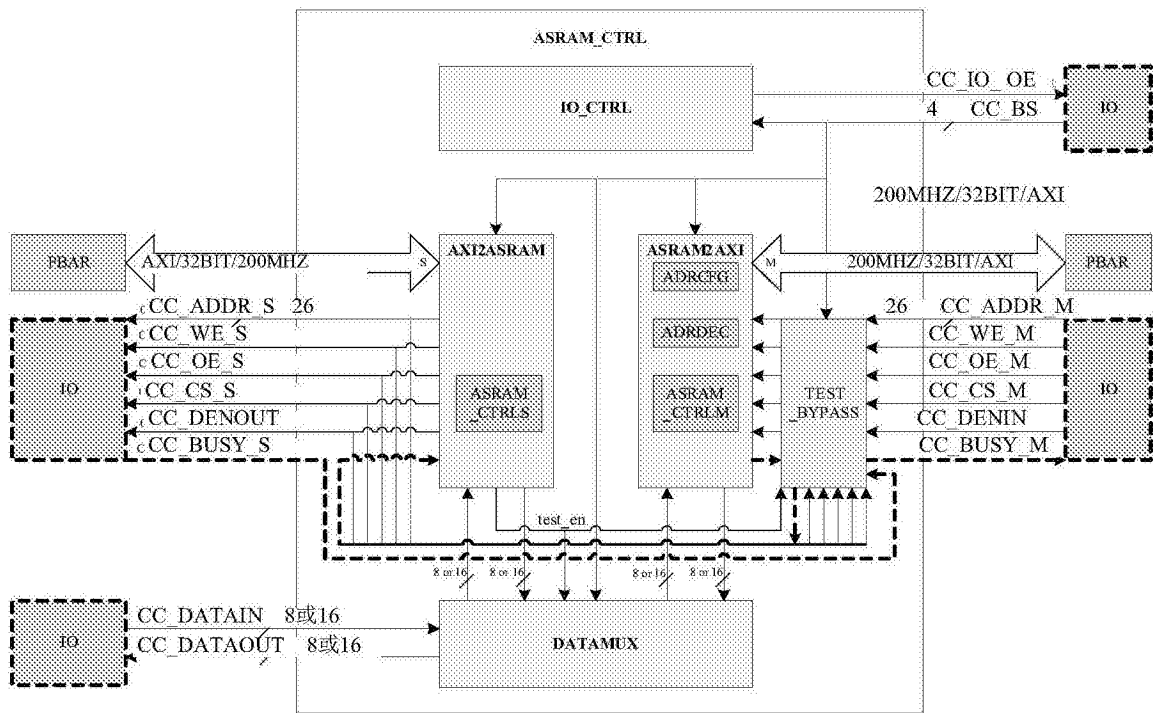


图 4