

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2025-17799
(P2025-17799A)

(43)公開日 令和7年2月6日(2025.2.6)

(51)国際特許分類	F I
H 1 0 D 30/66 (2025.01)	H 0 1 L 29/78 6 5 2 C
H 1 0 D 84/80 (2025.01)	H 0 1 L 29/78 6 5 7 D
H 1 0 D 12/00 (2025.01)	H 0 1 L 29/78 6 5 3 A
	H 0 1 L 29/78 6 5 2 F
	H 0 1 L 29/78 6 5 5 A
審査請求 未請求	請求項の数 5 O L (全15頁) 最終頁に続く

(21)出願番号	特願2023-121047(P2023-121047)	(71)出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	令和5年7月25日(2023.7.25)	(74)代理人	110001128 弁理士法人ゆうあい特許事務所
		(72)発明者	本谷 圭佑 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		(72)発明者	高橋 茂樹 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		(72)発明者	赤井 智喜 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

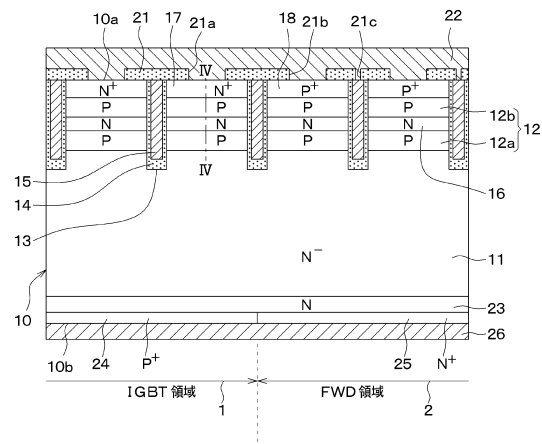
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】順方向電圧がばらつくことを抑制できる半導体装置を提供する。

【解決手段】ベース層12は、イオン注入層であり、第2ベース層12bは、エミッタ領域17とバリア領域17との間であって、エミッタ領域17との境界およびバリア領域16の境界と異なる深さに不純物濃度が最大となるピーク位置P2を有し、FWD領域の第2ベース層12bの表層部には、コンタクト領域18と共に第1導電型の安定化層19が形成されており、第1電極22は、FWD領域において、コンタクト領域18および安定化層19と電気的に接続されている。

【選択図】図1



【特許請求の範囲】

【請求項 1】

I G B T 素子を有する I G B T 領域 (1) と、 F W D 素子を有する F W D 領域 (2) とが共通の半導体基板 (1 0) に形成されている半導体装置であって、

前記 I G B T 領域および前記 F W D 領域を有し、第 1 導電型のドリフト層 (1 1) と、前記ドリフト層上に形成された第 2 導電型のベース層 (1 2) と、前記 I G B T 領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第 2 導電型のコレクタ層 (2 4) と、前記 F W D 領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第 1 導電型のカソード層 (2 5) と、を含み、前記ベース層側の面を一面 (1 0 a) とし、前記コレクタ層および前記カソード層側の面を他面 (1 0 b) とする前記半導体基板と、

10

前記ベース層内に形成され、前記ベース層を前記ドリフト層側の第 1 ベース層 (1 2 a) と前記半導体基板の一面側の第 2 ベース層 (1 2 b) とに分割する第 1 導電型のバリア領域 (1 6) と、

前記 I G B T 領域の前記ベース層および前記バリア領域を貫通して前記ドリフト層に達するトレンチ (1 3) の壁面に形成されたゲート絶縁膜 (1 4) と、前記ゲート絶縁膜上に形成されたゲート電極 (1 5) とを有するトレンチゲート構造と、

前記 I G B T 領域の前記第 2 ベース層の表層部に形成され、前記トレンチと接する第 1 導電型のエミッタ領域 (1 7) と、

前記 F W D 領域の前記ベース層の表層部に形成され、前記ベース層よりも高不純物濃度とされた第 2 導電型のコンタクト領域 (1 8) と、

20

前記半導体基板の一面側に配置され、前記エミッタ領域および前記コンタクト領域と電氣的に接続される第 1 電極 (2 2) と、

前記半導体基板の他面側に配置され、前記コレクタ層および前記カソード層と電氣的に接続される第 2 電極 (2 6) と、を備え、

前記ベース層は、イオン注入層であり、

前記第 2 ベース層は、前記エミッタ領域と前記バリア領域との間であって、前記エミッタ領域との境界および前記バリア領域の境界と異なる深さに不純物濃度が最大となるピーク位置 (P 2) を有し、

前記 F W D 領域の前記第 2 ベース層の表層部には、前記コンタクト領域と共に第 1 導電型の安定化層 (1 9) が形成されており、

30

前記第 1 電極は、前記 F W D 領域において、前記コンタクト領域および前記安定化層と電氣的に接続されている半導体装置。

【請求項 2】

前記安定化層は、前記 F W D 領域において、前記半導体基板の一面のうちの前記コンタクト領域と異なる部分の全領域に形成されている請求項 1 に記載の半導体装置。

【請求項 3】

前記安定化層は、前記 I G B T 領域の前記第 2 ベース層の表層部にも形成されている請求項 1 に記載の半導体装置。

【請求項 4】

前記コンタクト領域は、前記 I G B T 領域において、前記第 2 ベース層の表層部にも形成され、

40

前記安定化層は、前記 F W D 領域において、前記半導体基板の一面のうちの前記コンタクト領域と異なる部分の全領域に形成され、さらに前記 I G B T 領域において、前記半導体基板の一面のうちの前記エミッタ領域および前記コンタクト領域と異なる部分の全領域に形成されており、前記コンタクト領域よりも不純物濃度が低くされている請求項 1 に記載の半導体装置。

【請求項 5】

前記 I G B T 領域の安定化層は、前記半導体基板の一面から前記エミッタ領域における不純物濃度が最大となるピーク位置までの深さに対し、前記半導体基板の一面から前記安

50

定化層における不純物濃度が最大となるピーク位置までの深さが58%以下とされている請求項3または4に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、絶縁ゲート構造を有する絶縁ゲートバイポーラトランジスタ（以下では、IGBTという）素子とフリーホイールダイオード（以下では、FWDという）素子とが共通の半導体基板に形成された半導体装置に関するものである。

【背景技術】

【0002】

従来より、IGBT素子が形成された半導体装置が提案されている（例えば、特許文献1参照）。具体的には、この半導体装置は、N型のドリフト層上にP型のベース層が配置され、ベース層の表層部にN型のエミッタ領域が形成されている。そして、この半導体装置では、IGBT領域がオン状態である際にドリフト層からベース層側に正孔（すなわち、キャリア）が流入することを抑制できるように、ベース層内に、ベース層を厚さ方向に分割するN型のバリア領域が配置されている。

【0003】

また、この半導体装置では、ベース層は、P型不純物をイオン注入したイオン注入層で構成されている。詳しくは、ベース層は、ベース層のうちのドリフト層側の部分を第1ベース層とすると共に、バリア領域を挟んで第1ベース層と反対側に位置する部分を第2ベース層とすると、次のように構成されている。すなわち、第1ベース層は、P型不純物濃度が最大となる第1ピーク位置がバリア領域とドリフト層との間に位置するように形成されている。第2ベース層は、P型不純物濃度が最大となる第2ピーク位置がエミッタ領域とバリア領域との間に位置するように形成されている。なお、第1ピーク位置は、バリア領域またはドリフト層との境界と異なる位置となるように調整され、例えば、バリア領域とドリフト層との間の略中心となる位置に調整されている。第2ピーク位置は、エミッタ領域またはバリア領域との境界と異なる位置となるように調整され、例えば、エミッタ領域とバリア領域との間の略中心となる位置となるように調整される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-103326号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、本発明者らは、IGBT素子とFWD素子とが共通の半導体基板に形成された、いわゆるRC（Reverse Conductingの略）-IGBT構造の半導体装置を検討している。そして、本発明者らは、FWD素子におけるベース層は、製造工程の簡略化を図るため、IGBT素子と同様の構成とすることを検討している。なお、この半導体装置では、半導体基板の一面側にベース層やエミッタ領域等が形成される。

【0006】

この場合、上記のように第2ベース層の第2ピーク位置が調整される場合、ベース層がイオン注入層で構成されるため、第2ベース層のうちの半導体基板の一面を構成する部分は、第2ピーク位置から徐々に不純物濃度が薄くされた不純物濃度となり、不純物濃度がばらつき易い。したがって、FWD素子では、順方向電圧がばらつく可能性がある。

【0007】

本開示は、順方向電圧がばらつくことを抑制できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

10

20

30

40

50

本開示の1つの観点によれば、半導体装置は、IGBT領域およびFWD領域を有し、第1導電型のドリフト層(11)と、ドリフト層上に形成された第2導電型のベース層(12)と、IGBT領域において、ドリフト層のうちのベース層側と反対側に形成された第2導電型のコレクタ層(24)と、FWD領域において、ドリフト層のうちのベース層側と反対側に形成された第1導電型のカソード層(25)と、を含み、ベース層側の面を一面(10a)とし、コレクタ層およびカソード層側の面を他面(10b)とする半導体基板と、ベース層内に形成され、ベース層をドリフト層側の第1ベース層(12a)と半導体基板の一面側の第2ベース層(12b)とに分割する第1導電型のバリア領域(16)と、IGBT領域のベース層およびバリア領域を貫通してドリフト層に達するトレンチ(13)の壁面に形成されたゲート絶縁膜(14)と、ゲート絶縁膜上に形成されたゲート電極(15)とを有するトレンチゲート構造と、IGBT領域の第2ベース層の表層部に形成され、トレンチと接する第1導電型のエミッタ領域(17)と、FWD領域のベース層の表層部に形成され、ベース層よりも高不純物濃度とされた第2導電型のコンタクト領域(18)と、半導体基板の一面側に配置され、エミッタ領域およびコンタクト領域と電氣的に接続される第1電極(22)と、半導体基板の他面側に配置され、コレクタ層およびカソード層と電氣的に接続される第2電極(26)と、を備え、ベース層は、イオン注入層であり、第2ベース層は、エミッタ領域とバリア領域との間であって、エミッタ領域との境界およびバリア領域の境界と異なる深さに不純物濃度が最大となるピーク位置(P2)を有し、FWD領域の第2ベース層の表層部には、コンタクト領域と共に第1導電型の安定化層(19)が形成されており、第1電極は、FWD領域において、コンタクト領域および安定化層と電氣的に接続されている。

【0009】

これによれば、FWD領域は、第1電極と接続される半導体基板の一面がN型の安定化層を含んで構成されており、第1電極は、コンタクト領域および安定化層と電氣的に接続されている。このため、FWD領域における半導体基板の一面がコンタクト領域および第2ベース層のみで構成されている場合と比較して、半導体基板の一面における不純物濃度がばらつき易い第2ベース層の割合を少なくでき、FWD素子の順方向電圧がばらつくことを抑制できる。

【0010】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0011】

【図1】第1実施形態における半導体装置の断面図である。

【図2】図1に示す半導体装置の平面図である。

【図3】FWD素子の斜視断面図である。

【図4】半導体基板の深さとP型不純物の不純物濃度との関係を示す図である。

【図5】FWD素子における順方向電圧および順方向電流と、安定化層の表面濃度との関係を示す図である。

【図6】第2実施形態における半導体装置の平面図である。

【図7】IGBT素子におけるエミッタ-コレクタ間電圧およびコレクタ電流と、安定化層の表面濃度との関係を示す図である。

【図8】IGBT素子におけるゲート-エミッタ間電圧およびコレクタ電流と、安定化層のピーク位置との関係を示す図である。

【発明を実施するための形態】

【0012】

以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

(第1実施形態)

第1実施形態の半導体装置について、図1～図4を参照しつつ説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC/DCコンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

【0014】

半導体装置は、IGBT素子として機能するIGBT領域1と、IGBT領域1に隣接し、FWD素子として機能するFWD領域2とが形成されて構成されている。つまり、本実施形態の半導体装置は、後述する共通の半導体基板10内にIGBT領域1とFWD領域2とが形成されたRC-IGBTとされている。なお、具体的には後述するが、本実施形態では、半導体基板10の他面10bに位置するコレクタ層24上の部分がIGBT領域1とされ、半導体基板10の他面10bに位置するカソード層25上の部分がFWD領域2とされている。

10

【0015】

半導体装置は、N⁻型のドリフト層11を構成する半導体基板10を有している。そして、ドリフト層11上には、P型のベース層12が形成されている。以下、半導体基板10のうちのベース層12側の面を一面10aともいい、半導体基板10のうちの一面10aと反対側の面を他面10bともいう。なお、半導体基板10は、例えば、シリコン基板等で構成される。

【0016】

半導体基板10には、一面10a側からベース層12を貫通してドリフト層11に達するように複数のトレンチ13が形成されている。これにより、ベース層12は、トレンチ13によって複数個に分離されている。本実施形態では、複数のトレンチ13は、IGBT領域1およびFWD領域2にそれぞれ形成されている。また、本実施形態では、複数のトレンチ13は、IGBT領域1およびFWD領域2の配列方向と交差する方向（すなわち、図1中の紙面奥行き方向）を長手方向としてストライプ状に形成されている。なお、以下では、トレンチ13の長手方向を単に長手方向ともいい、図2中では、紙面上下方向が長手方向となる。また、隣合うトレンチ13同士の間隔（すなわち、ピッチ間隔）は、例えば、2 μ m程度とされる。

20

【0017】

各トレンチ13は、各トレンチ13の壁面を覆うように形成されたゲート絶縁膜14と、このゲート絶縁膜14の上に形成されたポリシリコン等により構成されるゲート電極15とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

30

【0018】

なお、IGBT領域1に形成されたトレンチ13に配置されているゲート電極15は、図示しないゲート配線を介して図示しない駆動回路と接続される。そして、このゲート電極15には、所定のパルス状のゲート電圧が印加される。また、FWD領域2に形成されているトレンチ13に配置されたゲート電極15は、後述する上部電極22と電氣的に接続され、所定電位に維持される。

【0019】

ベース層12には、ベース層12を半導体基板10の深さ方向に分割するように、ドリフト層11よりも高不純物濃度とされたN型のバリア領域16が形成されている。以下では、ベース層12のうちのドリフト層11側の部分を第1ベース層12aともいい、ベース層12のうちの半導体基板10の一面10a側の部分を第2ベース層12bともいう。なお、IGBT領域1におけるベース層12とFWD領域2におけるベース層12とは、同じ構成とされている。

40

【0020】

そして、第2ベース層12bの表層部には、IGBT領域1において、ドリフト層11よりも高不純物濃度とされたN⁺型のエミッタ領域17、およびベース層12よりも高不純物濃度とされたP⁺型のコンタクト領域18が形成されている。本実施形態では、エミッタ領域17およびコンタクト領域18は、第2ベース層12bの表層部の一部が残るように形成されている。つまり、エミッタ領域17およびコンタクト領域18は、IGBT

50

領域 1 において、半導体基板 10 の一面 10 a が、第 2 ベース層 12 b、エミッタ領域 17、コンタクト領域 18 を含んで構成されるように形成されている。本実施形態では、IGBT 領域 1 では、隣合うトレンチ 13 の間において、長手方向に沿って、コンタクト領域 18、エミッタ領域 17、コンタクト領域 18、第 2 ベース層 12 b がこの順に繰り返し配置されるように、エミッタ領域 17 およびコンタクト領域 18 が形成されている。

【0021】

また、ベース層 12 の表層部には、FWD 領域 2 において、ベース層 12 よりも高不純物濃度とされた P⁺ 型のコンタクト領域 18 が形成されている。なお、FWD 領域 2 のコンタクト領域 18 は、IGBT 領域 1 のコンタクト領域 18 と同じ構成とされている。さらに、ベース層 12 の表層部には、FWD 領域 2 において、N 型の安定化層 19 が形成されている。そして、本実施形態では、FWD 領域 2 における半導体基板 10 の一面 10 a は、コンタクト領域 18 および安定化層 19 で構成されている。つまり、本実施形態の FWD 領域 2 では、半導体基板 10 の一面 10 a において、コンタクト領域 18 が形成される領域と異なる全領域に安定化層 19 が形成されている。

10

【0022】

なお、本実施形態では、FWD 領域 2 における長手方向に沿ったコンタクト領域 18 の長さが、IGBT 領域 1 における長手方向に沿ったコンタクト領域 18 の長さよりも短くされている。しかしながら、FWD 領域 2 における長手方向に沿ったコンタクト領域 18 の長さ、IGBT 領域 1 における長手方向に沿ったコンタクト領域 18 の長さとは、適宜変更可能である。例えば、FWD 領域 2 では、コンタクト領域 18 の長手方向に沿った長さを長くするほど、FWD 素子をダイオード動作させる際の順方向電圧 V_f が小さくなる。

20

【0023】

ここで、本実施形態における第 1 ベース層 12 a および第 2 ベース層 12 b は、半導体基板 10 に P 型不純物がイオン注入され、P 型不純物が拡散されることで構成されたイオン注入層とされている。そして、第 2 ベース層 12 b は、図 4 に示されるように、エミッタ領域 17 とバリア領域 16 との間に不純物濃度が最大となる第 2 ピーク位置 P2 が存在するように形成されている。第 1 ベース層 12 a は、バリア領域 16 とドリフト層 11 との間に不純物濃度が最大となる第 1 ピーク位置 P1 が存在するように形成されている。

【0024】

なお、図 4 は、図 1 中の V-V 線に沿った部分の P 型不純物濃度と半導体基板 10 の一面 10 a からの深さとの関係を示している。また、第 1 ピーク位置 P1 は、第 1 ベース層 12 a とバリア領域 16 またはドリフト層 11 との境界と異なる位置となるように調整され、例えば、バリア領域 16 とドリフト層 11 との間の略中心となる位置に調整される。第 2 ピーク位置 P2 は、第 2 ベース層 12 b とエミッタ領域 17 またはバリア領域 16 との境界と異なる位置となるように調整され、例えば、エミッタ領域 17 とバリア領域 16 との間の略中心となる位置に調整される。このように第 1 ベース層 12 a および第 2 ベース層 12 b を形成することにより、製造誤差等によってエミッタ領域 17 の厚さ（すなわち、位置）やバリア領域 16 の厚さ（すなわち、位置）が僅かに変化したとしても、第 1 ベース層 12 a および第 2 ベース層 12 b の不純物濃度の最大値が各ピーク位置 P1、P2 となる。したがって、閾値電圧 V_{th} が変動することを抑制できる。また、エミッタ領域 17、バリア領域 16、ドリフト層 11 は、図示を省略しているが、P 型不純物濃度よりも高い N 型不純物濃度とされることにより、全体として N 型とされている。

30

40

【0025】

半導体基板 10 の一面 10 a 上には、BPSG (Borophosphosilicate Glass の略) 等で構成される層間絶縁膜 21 が形成されている。層間絶縁膜 21 には、IGBT 領域 1 において、エミッタ領域 17、コンタクト領域 18、第 2 ベース層 12 b を露出させるコンタクトホール 21 a が形成されている。層間絶縁膜 21 には、FWD 領域 2 において、コンタクト領域 18 および安定化層 19 を露出させるコンタクトホール 21 b が形成されている。

50

【0026】

そして、層間絶縁膜21上には、IGBT領域1において、層間絶縁膜21に形成されたコンタクトホール21aを通じて、エミッタ領域17、コンタクト領域18、第2ベース層12bと電氣的に接続される上部電極22が形成されている。層間絶縁膜21上には、FWD領域2において、層間絶縁膜21に形成されたコンタクトホール21bを通じて、コンタクト領域18および安定化層19と電氣的に接続される上部電極22が形成されている。つまり、層間絶縁膜21上には、IGBT領域1においてエミッタ電極として機能し、FWD領域2においてアノード電極として機能する上部電極22が形成されている。

【0027】

なお、本実施形態の上部電極22は、エミッタ領域17およびコンタクト領域18とオーミック接合され、上部電極22は、第2ベース層12bとショットキー接合されている。

10

【0028】

また、本実施形態では、層間絶縁膜21には、FWD領域2において、ゲート電極15を露出させるコンタクトホール21cが形成されている。そして、上部電極22は、このコンタクトホール21bを通じてゲート電極15とも接続されている。これにより、FWD領域2に形成されたゲート電極15は、上部電極22と同電位に維持される。なお、本実施形態では、上部電極22が第1電極に相当している。

【0029】

ドリフト層11のうちのベース層12側と反対側（すなわち、半導体基板10の他面10b側）には、ドリフト層11よりも高不純物濃度とされたN型のフィールドストップ（以下では、単にFS層ともいう）23が形成されている。このFS層23は、必ずしも必要なものではないが、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図ると共に、半導体基板10の他面10b側から注入される正孔の注入量を制御するために備えてある。

20

【0030】

そして、IGBT領域1では、FS層23を挟んでドリフト層11と反対側にP⁺型のコレクタ層24が形成され、FWD領域2では、FS層23を挟んでドリフト層11と反対側にN⁺型のカソード層25が形成されている。つまり、IGBT領域1とFWD領域2とは、半導体基板10の他面10b側に形成される層がコレクタ層24であるかカソード層25であるかによって区画されている。そして、コレクタ層24上の領域がIGBT領域1とされ、カソード層25上の領域がFWD領域2とされている。

30

【0031】

コレクタ層24およびカソード層25を挟んでドリフト層11と反対側（すなわち、半導体基板10の他面10b）には、コレクタ層24およびカソード層25と電氣的に接続される下部電極26が形成されている。つまり、IGBT領域1においてはコレクタ電極として機能し、FWD領域2においてはカソード電極として機能する下部電極26が形成されている。本実施形態では、下部電極26は、コレクタ層24およびカソード層25とオーミック接合されている。また、本実施形態では、下部電極26が第2電極に相当している。

40

【0032】

本実施形態の半導体装置は、このように構成されることにより、IGBT領域1においては、ベース層12およびコンタクト領域18をベースとし、エミッタ領域17をエミッタとし、コレクタ層24をコレクタとするIGBT素子が構成される。また、FWD領域2においては、ベース層12およびコンタクト領域18をアノードとし、ドリフト層11、FS層23、カソード層25をカソードとしてPN接合されたFWD素子が構成される。

【0033】

以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N型、N

50

P^+ 型、 N^- 型が第1導電型に相当しており、 P 型、 P^+ 型が第2導電型に相当している。また、本実施形態では、上記のように構成されることにより、半導体基板10は、コレクタ層24、カソード層25、ドリフト層11、ベース層12、バリア領域16、エミッタ領域17、コンタクト領域18、コンタクト領域18、安定化層19等を含んで構成されている。

【0034】

次に、上記半導体装置の作動について説明しつつ、さらに半導体装置の詳細な構成について説明する。

【0035】

上記のような半導体装置は、下部電極26に上部電極22より高い電圧が印加されると、ベース層12とドリフト層11との間に形成されるPN接合が逆導通状態となって空乏層が形成される。そして、ゲート電極15に、絶縁ゲート構造の閾値電圧 V_{th} 未満であるローレベル（例えば、0V）のゲート電圧が印加されているときには、上部電極22と下部電極26との間にコレクタ電流は流れない。

【0036】

IGBT素子をオン状態にするには、下部電極26に上部電極22より高い電圧が印加された状態で、IGBT領域1のゲート電極15に、絶縁ゲート構造の閾値電圧 V_{th} 以上であるハイレベルのゲート電圧が印加されるようにする。これにより、IGBT領域1では、ベース層12のうちのトレンチ13と接している部分に反転層が形成される。そして、IGBT素子は、エミッタ領域17から反転層を介して電子がドリフト層11に供給されることによってコレクタ層24から正孔がドリフト層11に供給される。これにより、IGBT素子は、伝導度変調によってドリフト層11の抵抗値が低下し、上部電極22と下部電極26との間にコレクタ電流が流れる。

【0037】

この際、本実施形態では、バリア領域16により、ドリフト層11に供給された正孔がベース層12側に抜け難くなる。このため、オン電圧の低減を図ることができる。

【0038】

また、IGBT素子をオフ状態にし、FWD素子をオン状態にする（すなわち、FWD素子をダイオード動作させる）際には、上部電極22と下部電極26とに印加する電圧をスイッチングし、上部電極22に下部電極26より高い電圧を印加する順バイアスを印加する。これにより、ベース層12へ正孔が供給されると共にカソード層25へ電子が供給されることでFWD素子がダイオード動作をする。

【0039】

この際、本実施形態では、FWD領域2では、半導体基板10の一面10aがP型のコンタクト領域18およびN型の安定化層19で形成されている。つまり、FWD領域2では、半導体基板10の一面10aに不純物濃度がばらつき易い第2ベース層12bが露出しておらず、上部電極22が第2ベース層12bと接触していない。このため、FWD素子の順方向電圧 V_f は、コンタクト領域18に依存する。したがって、FWD素子の順方向電圧 V_f がばらつくことを抑制できる。

【0040】

また、本実施形態では、IGBT領域1では、半導体基板10の一面10aから第2ベース層12bが露出し、第2ベース層12bは上部電極22とショットキー接合されている。このため、例えば、この第2ベース層12bの部分がコンタクト領域18とされている半導体装置と比較して、FWD素子がオン状態である際、IGBT領域1の第2ベース層12bに注入され得る正孔を少なくできる。したがって、上部電極22と下部電極26との間の電圧が逆バイアスに切り替わった際、正孔の注入が抑制されているため、リカバリ電流を小さくでき、リカバリ時間を短くできる。したがって、スイッチング損失を低減することができる。

【0041】

そして、本発明者らは、安定化層19について、さらに鋭意検討を行って次の結果を得

10

20

30

40

50

た。図5に示されるように、FWD素子の順方向電圧 V_f は、安定化層19の表面濃度を高くするほど高くなることが確認される。このため、安定化層19の表面濃度は、用途に応じ適宜調整されることが好ましい。なお、ここでの安定化層19の表面濃度とは、半導体基板10の一面10aにおける安定化層19のN型不純物濃度のことである。

【0042】

以上説明した本実施形態によれば、FWD領域2は、上部電極22と接続される半導体基板10の一面10aがN型の安定化層19を含んで構成されている。そして、上部電極22は、コンタクト領域18および安定化層19と電氣的に接続されている。このため、FWD領域2における半導体基板10の一面10aがコンタクト領域18および第2ベース層12bで構成されている場合と比較して、半導体基板10の一面10aで不純物濃度がばらつき易い第2ベース層12bの割合を少なくでき、FWD素子の順方向電圧 V_f がばらつくことを抑制できる。

10

【0043】

(1)本実施形態では、FWD領域2は、半導体基板10の一面10aがコンタクト領域18および安定化層19で構成されている。このため、上部電極22が第2ベース層12bと直接接触しなくなり、さらにFWD素子の順方向電圧 V_f がばらつくことを抑制できる。

【0044】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対し、IGBT領域1にも安定化層19を形成したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

20

【0045】

本実施形態の半導体装置は、図6に示されるように、第2ベース層12bの表層部には、エミッタ領域17およびコンタクト領域18と共に、安定化層19が形成されている。そして、IGBT領域1における半導体基板10の一面10aは、エミッタ領域17、コンタクト領域18、安定化層19で形成されている。具体的には、IGBT領域1では、隣合うトレンチ13の間において、長手方向に沿って、コンタクト領域18、エミッタ領域17、コンタクト領域18、安定化層19がこの順に繰り返し形成されている。つまり、本実施形態のIGBT領域1では、半導体基板10の一面10aにおいて、第1実施形態における第2ベース層12bが露出していた部分に安定化層19が形成されている。なお、安定化層19は、コンタクト領域18よりも不純物濃度が低くされている。

30

【0046】

以上が本実施形態における半導体装置の構成である。そして、このような半導体装置における安定化層19は、次のように形成される。すなわち、安定化層19は、第2ベース層12bの表層部にエミッタ領域17およびコンタクト領域18を形成した後、N型不純物をイオン注入することで形成される。この場合、安定化層19の不純物濃度がコンタクト領域18よりも低くされるため、マスクを配置せずにN型不純物をイオン注入してもコンタクト領域18がN型に打ち返されることがない。したがって、本実施形態では、IGBT領域1にも安定化層19を形成することにより、マスクを配置せずにN型不純物をイオン注入することで安定化層19を形成でき、製造工程の簡略化を図ることができる。

40

【0047】

ここで、IGBT領域1に安定化層19を形成した場合には、安定化層19がN型であるため、N型層が増加することによってラッチアップ耐量が低下する懸念がある。しかしながら、本発明者らの検討によれば、コレクタ-エミッタ間電圧 V_{ce} およびコレクタ電流 I_c と、安定化層19の表面濃度の関係として図7に示される結果が得られた。なお、図7は、エミッタ領域17の表面濃度を $2.0 \times 10^{20} / \text{cm}^3$ とした場合の結果である。

【0048】

図7に示されるように、安定化層19の表面濃度がエミッタ領域17の表面濃度より低

50

い場合、ラッチアップ電流はほとんど変化しないことが確認される。このため、安定化層 19 は、ラッチアップ耐量が低下することを抑制するためにも、エミッタ領域 17 よりも低不純物濃度とされることが好ましい。

【0049】

また、IGBT領域 1 に安定化層 19 を形成する場合、安定化層 19 が IGBT 素子の閾値電圧 V_{th} (すなわち、ゲート - エミッタ間電圧 V_{ge}) に影響する可能性がある。本発明者らの検討によれば、ゲート - エミッタ間電圧 V_{ge} およびコレクタ電流 I_c と、安定化層 19 のピーク位置の関係として図 8 に示される結果が得られた。なお、図 8 は、半導体基板 10 の一面 10a から安定化層 19 の不純物濃度が最大となるピーク位置までの深さを安定化層 19 のピーク位置として示している。また、図 8 は、半導体基板 10 の一面 10a から第 2 ベース層 12b の第 2 ピーク位置 P2 までの深さを $0.86 \mu\text{m}$ としている。図 8 中の安定化層 19 のピーク位置が 0 とは、安定化層 19 を形成していないことを意味している。

10

【0050】

図 8 に示されるように、閾値電圧 V_{th} は、安定化層 19 の不純物濃度が最大となるピーク位置が $0.5 \mu\text{m}$ 以下であればほぼ変化しないことが確認される。すなわち、閾値電圧 V_{th} は、半導体基板 10 の一面 10a から第 2 ベース層 12b の第 2 ピーク位置 P2 までの深さに対し、半導体基板 10 の一面 10a から安定化層 19 の不純物濃度が最大となるピーク位置までの深さが 58% 以下であれば変化しないことが確認される。したがって、安定化層 19 は、半導体基板 10 の一面 10a から第 2 ベース層 12b の第 2 ピーク位置 P2 までの深さに対し、不純物濃度が最大となるピーク位置までの深さが 58% 以下とされることが好ましい。

20

【0051】

以上説明した本実施形態によれば、FWD 領域 2 は、上部電極 22 と接続される半導体基板 10 の一面 10a が N 型の安定化層 19 を含んで構成されている。このため、上記第 1 実施形態と同様の効果を得ることができる。

【0052】

(1) 本実施形態では、IGBT 領域 1 にも安定化層 19 が形成され、安定化層 19 はコンタクト領域 18 よりも不純物濃度が低くされている。このため、マスクを配置せずに N 型不純物をイオン注入して安定化層 19 を形成することができ、製造工程の簡略化を図ることができる。

30

【0053】

(2) 本実施形態では、安定化層 19 は、表面濃度がエミッタ領域 17 の表面濃度より低くされることにより、ラッチアップ耐量が低下することを抑制できる。

【0054】

(3) 本実施形態では、第 2 ベース層 12b の第 2 ピーク位置 P2 に対する安定化層 19 のピーク位置が 58% 以下となるように安定化層 19 が形成されることにより、閾値電圧 V_{th} が変動することを抑制できる。

【0055】

(他の実施形態)

40

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

【0056】

例えば、上記各実施形態では、第 1 導電型を N 型とし、第 2 導電型を P 型とした半導体装置を説明したが、第 1 導電型を P 型とし、第 2 導電型を N 型とした半導体装置としてもよい。また、上記各実施形態において、FWD 領域 2 にトレンチゲート構造が形成されていなくてもよい。

50

【 0 0 5 7 】

また、上記各実施形態では、FWD領域2において、半導体基板10の一面10aがコンタクト領域18および安定化層19で形成される例について説明した。しかしながら、安定化層19は、第2ベース層12bの表層部の一部に形成され、第2ベース層12bが半導体基板10の一面10aから露出するようにしてもよい。このような半導体装置としても、FWD領域2における半導体基板10の一面10aがコンタクト領域18および第2ベース層12bで構成されている場合と比較して、半導体基板10の一面10aで不純物濃度がばらつき易い第2ベース層12bの割合を少なくできる。このため、上記第1実施形態と同様の効果を得ることができる。

【 0 0 5 8 】

同様に、上記第2実施形態では、IGBT領域1において、半導体基板10の一面10aがエミッタ領域17、コンタクト領域18および安定化層19で形成される例について説明した。しかしながら、安定化層19は、IGBT領域1において、第2ベース層12bの表層部の一部に形成され、第2ベース層12bが半導体基板10の一面10aから露出するようにしてもよい。

【 0 0 5 9 】

また、上記第2実施形態において、安定化層19は、表面濃度がエミッタ領域17の表面濃度より高くされていてもよい。また、安定化層19は、第2ベース層12bの第2ピーク位置P2に対する安定化層19のピーク位置が58%より大きくなる深さとなるように形成されていてもよい。このような半導体装置としても、FWD領域2における半導体基板10の一面10aがコンタクト領域18および第2ベース層12bで構成されている場合と比較して、半導体基板10の一面10aで不純物濃度がばらつき易い第2ベース層12bの割合を少なくできる。このため、上記第1実施形態と同様の効果を得ることができる。

【 0 0 6 0 】

[本発明の開示]

上記した本開示については、例えば以下に示す観点として把握することができる。

[第1の観点]

IGBT素子を有するIGBT領域(1)と、FWD素子を有するFWD領域(2)とが共通の半導体基板(10)に形成されている半導体装置であって、

前記IGBT領域および前記FWD領域を有し、第1導電型のドリフト層(11)と、前記ドリフト層上に形成された第2導電型のベース層(12)と、前記IGBT領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層(24)と、前記FWD領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第1導電型のカソード層(25)と、を含み、前記ベース層側の面を一面(10a)とし、前記コレクタ層および前記カソード層側の面を他面(10b)とする前記半導体基板と、

前記ベース層内に形成され、前記ベース層を前記ドリフト層側の第1ベース層(12a)と前記半導体基板の一面側の第2ベース層(12b)とに分割する第1導電型のバリア領域(16)と、

前記IGBT領域の前記ベース層および前記バリア領域を貫通して前記ドリフト層に達するトレンチ(13)の壁面に形成されたゲート絶縁膜(14)と、前記ゲート絶縁膜上に形成されたゲート電極(15)とを有するトレンチゲート構造と、

前記IGBT領域の前記第2ベース層の表層部に形成され、前記トレンチと接する第1導電型のエミッタ領域(17)と、

前記FWD領域の前記ベース層の表層部に形成され、前記ベース層よりも高不純物濃度とされた第2導電型のコンタクト領域(18)と、

前記半導体基板の一面側に配置され、前記エミッタ領域および前記コンタクト領域と電氣的に接続される第1電極(22)と、

前記半導体基板の他面側に配置され、前記コレクタ層および前記カソード層と電氣的に

10

20

30

40

50

接続される第 2 電極 (2 6) と、を備え、

前記ベース層は、イオン注入層であり、

前記第 2 ベース層は、前記エミッタ領域と前記バリア領域との間であって、前記エミッタ領域との境界および前記バリア領域の境界と異なる深さに不純物濃度が最大となるピーク位置 (P 2) を有し、

前記 F W D 領域の前記第 2 ベース層の表層部には、前記コンタクト領域と共に第 1 導電型の安定化層 (1 9) が形成されており、

前記第 1 電極は、前記 F W D 領域において、前記コンタクト領域および前記安定化層と電氣的に接続されている半導体装置。

【 0 0 6 1 】

10

[第 2 の観点]

前記安定化層は、前記 F W D 領域において、前記半導体基板の一面のうちの前記コンタクト領域と異なる部分の全領域に形成されている第 1 の観点到に記載の半導体装置。

【 0 0 6 2 】

[第 3 の観点]

前記安定化層は、前記 I G B T 領域の前記第 2 ベース層の表層部にも形成されている第 1 または第 2 の観点到に記載の半導体装置。

【 0 0 6 3 】

[第 4 の観点]

前記コンタクト領域は、前記 I G B T 領域において、前記第 2 ベース層の表層部にも形成され、

20

前記安定化層は、前記 F W D 領域において、前記半導体基板の一面のうちの前記コンタクト領域と異なる部分の全領域に形成され、さらに前記 I G B T 領域において、前記半導体基板の一面のうちの前記エミッタ領域および前記コンタクト領域と異なる部分の全領域に形成されており、前記コンタクト領域よりも不純物濃度が低くされている第 1 または第 2 の観点到に記載の半導体装置。

【 0 0 6 4 】

[第 5 の観点]

前記 I G B T 領域の安定化層は、前記半導体基板の一面から前記エミッタ領域における不純物濃度が最大となるピーク位置までの深さに対し、前記半導体基板の一面から前記安定化層における不純物濃度が最大となるピーク位置までの深さが 5 8 % 以下とされている第 3 または第 4 の観点到に記載の半導体装置。

30

【 符号の説明 】

【 0 0 6 5 】

1 I G B T 領域

2 F W D 領域

1 0 半導体基板

1 0 a 一面

1 0 b 他面

1 1 ドリフト層

1 2 ベース層

1 2 a 第 1 ベース層

1 2 b 第 2 ベース層

1 3 トレンチ

1 4 ゲート絶縁膜

1 5 ゲート電極

1 6 バリア領域

1 7 エミッタ領域

1 8 コンタクト領域

2 2 上部電極 (第 1 電極)

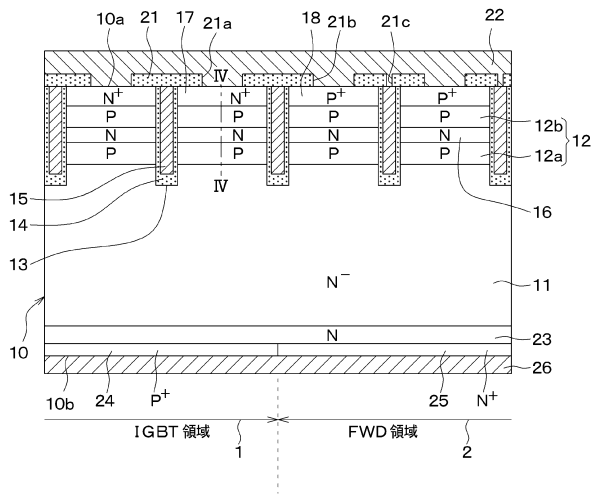
40

50

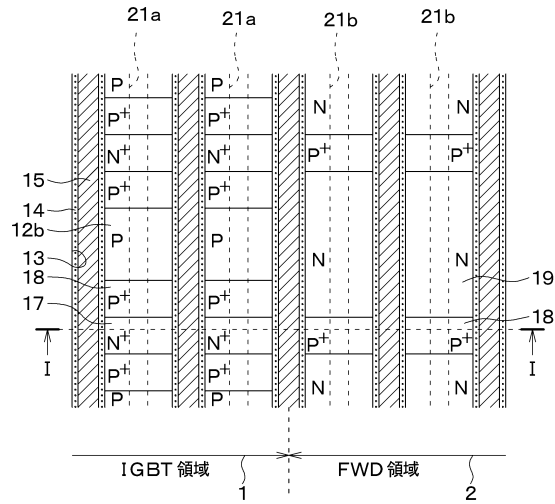
- 2 4 コレクタ層
- 2 5 カソード層
- 2 6 下部電極 (第2電極)

【図面】

【図1】



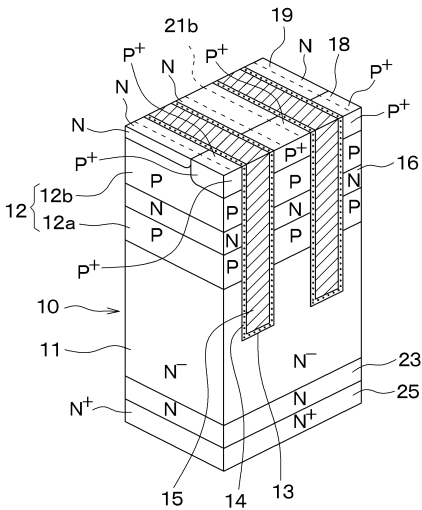
【図2】



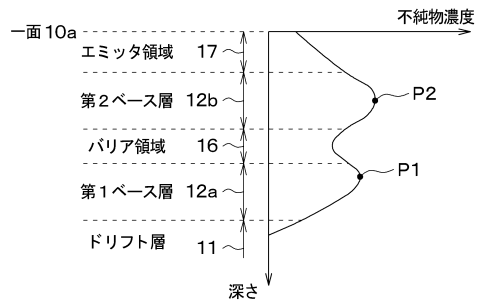
10

20

【図3】



【図4】

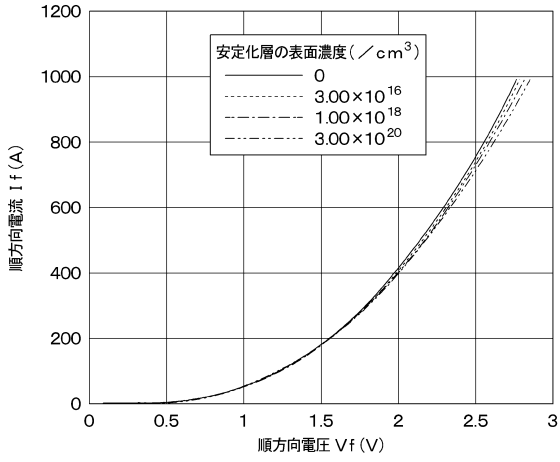


30

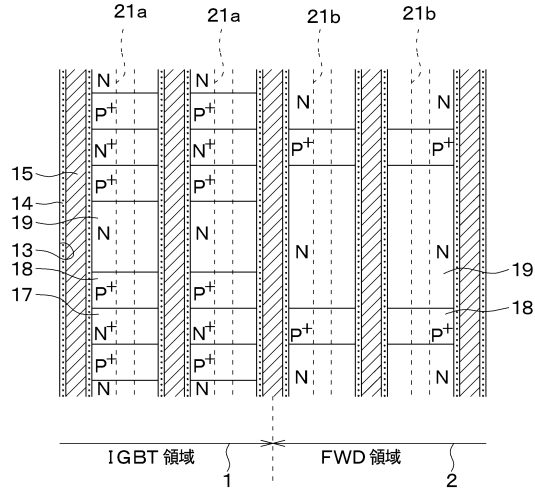
40

50

【 図 5 】

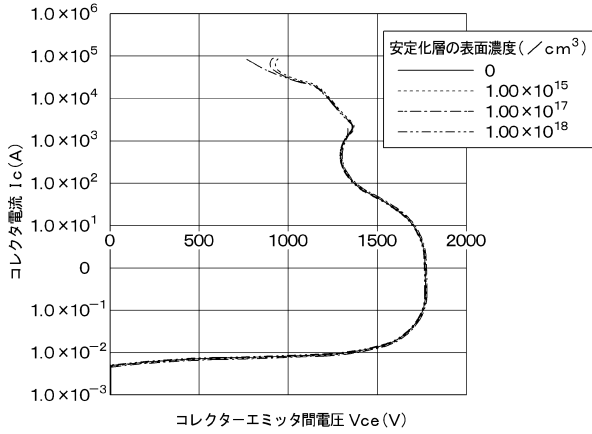


【 図 6 】

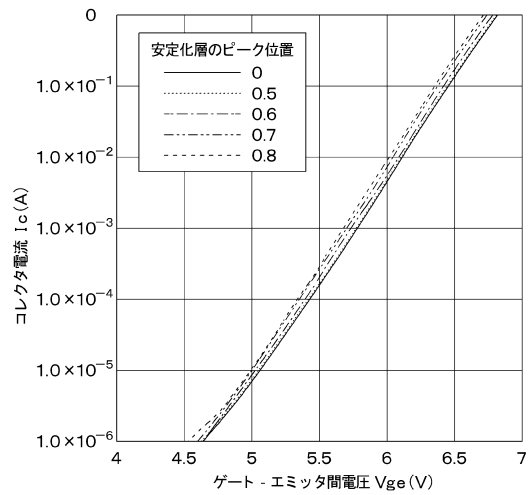


10

【 図 7 】



【 図 8 】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 5 5 B

H 0 1 L 29/78 6 5 5 G