



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201616601 A

(43) 公開日：中華民國 105 (2016) 年 05 月 01 日

(21) 申請案號：104121337 (22) 申請日：中華民國 104 (2015) 年 07 月 01 日

(51) Int. Cl. : H01L21/76 (2006.01) H01L29/06 (2006.01)  
H01L29/66 (2006.01) H01L29/78 (2006.01)

(30) 優先權：2014/08/05 世界智慧財產權組織 PCT/US14/49674

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)  
美國(72) 發明人：哈瑪撒帝 古賓納 BHIMARASETTI, GOPINATH (IN)；賀菲斯 瓦力德 HAFEZ,  
WALID M. (US)；朴朱東 PARK, JOODONG (KR)；韓 衛民 HAN, WEIMIN  
(US)；寇特納 瑞蒙 COTNER, RAYMOND E. (US)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：22 項 圖式數：9 共 30 頁

## (54) 名稱

藉由催化劑氧化物形成來產生微電子裝置隔離的設備和方法

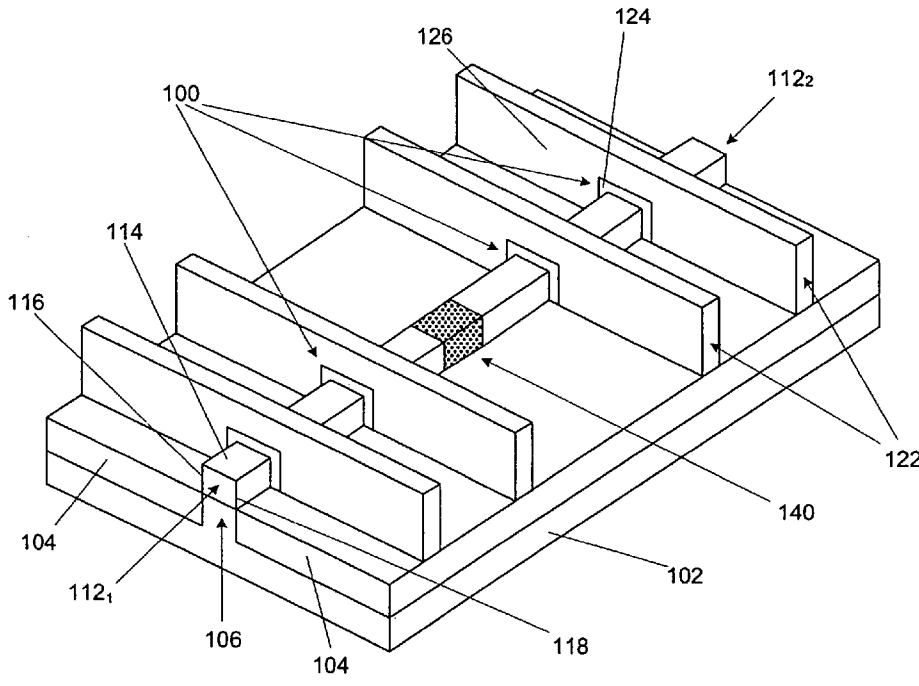
APPARATUS AND METHODS TO CREATE MICROELECTRONIC DEVICE ISOLATION BY  
CATALYTIC OXIDE FORMATION

## (57) 摘要

非平面式電晶體裝置包括在氧化製程後經過在該半導體本體上形成氧化催化劑層，形成在其半導體本體中之氧化物隔離結構。於一實施例中，該等半導體本體可為由含矽的材料所形成，且該氧化催化劑層可包含氧化鋁，其中氧化該半導體本體以形成氧化物隔離區形成半導體本體第一部分及半導體本體第二部分，而使該隔離區實質上電力分開該半導體本體第一部分及該半導體本體第二部分。

Non-planar transistor devices which include oxide isolation structures formed in semiconductor bodies thereof through the formation of an oxidizing catalyst layer on the semiconductor bodies followed by an oxidation process. In one embodiment, the semiconductor bodies may be formed from silicon-containing materials and the oxidizing catalyst layer may comprise aluminum oxide, wherein oxidizing the semiconductor body to form an oxide isolation zone forms a semiconductor body first portion and a semiconductor body second portion with the isolation zone substantially electrically separating the semiconductor body first portion and the semiconductor body second portion.

指定代表圖：



符號簡單說明：

- 100 . . . 電晶體
- 102 . . . 基板
- 104 . . . 隔離區域
- 106 . . . 作用區域
- 112<sub>1</sub> . . . 部分
- 112<sub>2</sub> . . . 部分
- 114 . . . 頂部表面
- 116 . . . 側壁
- 118 . . . 側壁
- 122 . . . 閘極
- 124 . . . 閘極介電層
- 126 . . . 閘極電極
- 140 . . . 氧化物隔離區

圖 3

201616601

## 發明摘要

※申請案號：104121337

※申請日：104年07月01日

※IPC分類：

*H01L21/76(2006.01)**H01L29/06(2006.01)**H01L29/66(2006.01)**H01L29/78(2006.01)*

## 【發明名稱】(中文/英文)

藉由催化劑氧化物形成來產生微電子裝置隔離的設備和方法

Apparatus and methods to create microelectronic device isolation by catalytic oxide formation

## 【中文】

非平面式電晶體裝置包括在氧化製程後經過在該半導體本體上形成氧化催化劑層，形成在其半導體本體中之氧化物隔離結構。於一實施例中，該等半導體本體可為由含矽的材料所形成，且該氧化催化劑層可包含氧化鋁，其中氧化該半導體本體以形成氧化物隔離區形成半導體本體第一部分及半導體本體第二部分，而使該隔離區實質上電力分開該半導體本體第一部分及該半導體本體第二部分。

## 【 英文 】

Non-planar transistor devices which include oxide isolation structures formed in semiconductor bodies thereof through the formation of an oxidizing catalyst layer on the semiconductor bodies followed by an oxidation process. In one embodiment, the semiconductor bodies may be formed from silicon-containing materials and the oxidizing catalyst layer may comprise aluminum oxide, wherein oxidizing the semiconductor body to form an oxide isolation zone forms a semiconductor body first portion and a semiconductor body second portion with the isolation zone substantially electrically separating the semiconductor body first portion and the semiconductor body second portion.

【代表圖】

【本案指定代表圖】：第(3)圖。

【本代表圖之符號簡單說明】：

100：電晶體

102：基板

104：隔離區域

106：作用區域

112<sub>1</sub>：部分

112<sub>2</sub>：部分

114：頂部表面

116：側壁

118：側壁

122：閘極

124：閘極介電層

126：閘極電極

140：氧化物隔離區

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

藉由催化劑氧化物形成來產生微電子裝置隔離的設備和方法

Apparatus and methods to create microelectronic device isolation by catalytic oxide formation

## 【技術領域】

本敘述之實施例大致上有關微電子裝置的領域，且更特別地是有關形成隔離結構於非平面式微電子電晶體間。

## 【先前技術】

積體電路零組件之較高性能、較低成本、增加的微型化、及積體電路之較大封裝密度係用於微電子裝置的製造之微電子工業的當今發展目標。為達成這些目標，在該等微電子裝置內之電晶體必需按比例減小、亦即變得較小。為此，微電子工業已開發獨特的結構、諸如非平面式電晶體，包括三閘極電晶體、鰭式場效電晶體 (FinFETs)、奧米迦場效電晶體 (omega-FETs)、及雙閘極電晶體。這些非平面式電晶體結構之發展依序已大量生產該驅動器以改善其效率，而在其設計中及／或於其製造製程中具有改良。

**【圖式簡單說明】**

本揭示內容的主題被特別指出，且顯然地在該說明書之下結論部分中被主張。本揭示內容的前面及其他特色將由會同所附圖面所採取之以下敘述及所附申請專利範圍而變得更充分明顯。當然所附圖面僅只描述按照本揭示內容的數個實施例，且因此不被考慮限制其範圍。該揭示內容將經過所附圖面之使用而以額外的特異性及細節被敘述，使得本揭示內容之優點可被更輕易地查明，其中：

圖 1 係非平面式電晶體的斜視圖，如在該技術領域中所習知者。

圖 2 係具有隔離間隙之非平面式電晶體的斜視圖，如在該技術領域中所習知者。

圖 3 係根據本敘述之實施例的非平面式電晶體之斜視圖，該非平面式電晶體具有藉由選擇性催化劑氧化所形成的隔離區。

圖 4-7 係根據本敘述之實施例在半導體本體中形成隔離區的斜視圖及截面側視圖。

圖 8 係根據本敘述之實施例來製造半導體本體中的隔離區之製程的流程圖。

圖 9 說明根據本敘述之一實作的計算裝置。

**【發明內容及實施方式】**

於以下之詳細敘述中，參考所附圖面，其經由說明顯示特定實施例，其中所主張的主題可被實踐。這些實施例

被充分詳細地敘述，以能夠使那些熟習此技術領域者實踐該主題。其將被了解雖然不同，各種實施例不須為互相排斥的。譬如，在此中有關一實施例所敘述之特別的特色、結構、或特徵可在其他實施例內被實施，而未由所主張之主題的精神及範圍脫離。在此說明書內參考“一實施例”或“實施例”意指有關該實施例所敘述之特別的特色、結構、或特徵被包括於本敘述內所涵括之至少一實作中。因此，該用語“一實施例”或“於實施例中”的使用不須意指該相同實施例。此外，其將被了解在每一所揭示實施例內之個別元件的位置或配置可被修改，而未由所主張之主題的精神及範圍脫離。以下之詳細敘述因此不應被以限制的意義來理解，且該主題之範圍僅只被所附申請專利範圍所界定，隨同享有所附申請專利範圍的權利之同等項的整個範圍被適當地解釋。於該等圖面中，遍及該數個視圖之相似數字意指相同或類似元件或功能性，且在此中所描述的元件不須彼此按照一定比例，反之個別元件可被放大或縮減，以便更輕易地理解就本敘述的情況而言之元件。

如在此中所使用，該“在...之上”、“至”、“於...之間”及“在...上面”等詞可意指一層相對於其他層的相對位置。一層“在另一層之上”或“在另一層上面”或黏合“至”另一層可為與該另一層直接地接觸、或可具有一或多個介入層。一層“於其他層之間”可為與該等層直接地接觸、或可具有一或多個介入層。

本敘述的實施例有關非平面式電晶體裝置之製造。於

至少一實施例中，本主題有關藉由在該半導體本體形成催化劑、隨後有一氧化製程，在非平面式電晶體的半導體本體中形成氧化物隔離結構。

在諸如三閘極電晶體、FinFETs、omega-FETs、及雙閘極電晶體之非平面式電晶體的製造中，非平面式半導體本體可被使用來形成能夠完全耗盡之電晶體，而具有極小的閘極長度（例如少於約 30 奈米）。譬如於三閘極電晶體中，該半導體本體大致上具有鰭片形，設有頂部表面及被形成在整塊半導體基板或絕緣體上矽基板上之二相反側壁。閘極電介體可被形成在該半導體本體的頂部表面及側壁上，且閘極電極可被形成在該半導體本體之頂部表面上的閘極電介體之上，並毗連該半導體本體之側壁上的閘極電介體。如此，既然該閘極電介體及該閘極電極係毗連該半導體本體之三個表面，三個分開的通道及閘極被形成。因形成有三個分開之通道，當該電晶體被打開時，該半導體本體可被完全耗盡。

圖 1 係包括形成在半導體本體上之若干閘極的許多電晶體之立體圖，其係形成在基板上。於本揭示內容的實施例中，該基板 102 可為含矽的材料、諸如單晶矽，具有一對隔開之隔離區域 104、諸如淺溝渠隔離（STI）區域，其界定在其間的基板作用區域 106。然而，該基板 102 不須必定為矽單晶基板，且可為其他型式之基板，諸如鍺、砷化鎵、銻化銮、碲化鉛、砷化銮、磷化銮、砷化鎵、銻化鎵、與類似者等，其任何一者可為與矽結合。該等隔離

區域 104 可能藉由在該基板 102 中形成溝渠所形成，並以諸如氧化矽（ $\text{SiO}_2$ ）的電性絕緣材料充填該等溝渠。

被顯示為三閘極電晶體之每一電晶體 100 包括鄰接該基板作用區域 106 所形成的半導體本體 112。該半導體本體 112 可為鱗形結構，具有頂部表面 114 及一對橫側地相對之側壁，即側壁 116 及相對側壁 118。該半導體本體 112 可為含矽的材料，諸如單晶或單晶體矽。於本揭示內容之一實施例，該半導體本體 112 可為由與該基板 102 相同的半導體材料所形成。在本揭示內容之另一實施例中，該半導體本體 112 可為由與被使用於形成該基板 102 的材料不同之半導體材料所形成。於本揭示內容的又另一實施例中，該半導體本體 112 可為由單晶體半導體所形成，其具有與該整塊半導體基板 102 不同之晶格常數或尺寸，以致該半導體本體 112 將具有在其中造成的應變。

如在圖 1 中所進一步顯示，至少一閘極 122 可被形成在該半導體本體 112 之上。閘極 122 可為藉由在該頂部表面 114 上或毗連該頂部表面 114、及在該半導體本體 112 的該對橫側相對側壁 116、118 上或毗連該半導體本體 112 的該對橫側相對側壁 116、118 形成閘極介電層 124、及在該閘極介電層 124 上或毗連該閘極介電層 124 形成閘極電極 126 所製造。

該閘極介電層 124 可為由任何熟知之閘極介電材料所形成，包括、但不限於二氧化矽（ $\text{SiO}_2$ ）、氮氧化矽（ $\text{SiO}_x\text{N}_y$ ）、氮化矽（ $\text{Si}_3\text{N}_4$ ）、及高 k 值介電材料，諸

如氧化鉛、氧化鉛矽、氧化釧、氧化釧鋁、氧化鋯、氧化鋯矽、氧化鉭、氧化鉭鋁、氧化鉭鋁、氧化鉭鋁、氧化鉭、氧化鉭、氧化鉭、氧化鉭、及鉍酸鉛鋅。該閘極介電層 124 能藉由熟知技術所形成、諸如藉由沈積閘極電極材料，諸如化學蒸氣沈積（“CVD”）、物理蒸氣沈積（“PVD”）、原子層沈積（“ALD”），且接著以熟知的光微影技術及蝕刻技術佈圖該閘極電極材料，如將被那些熟習此技術領域者所了解。

如圖 1 中所顯示，該閘極電極 126 可被形成在該閘極介電層 124 上或毗連該閘極介電層 124。該閘極電極 126 可為由任何合適的閘極電極材料所形成。於本揭示內容之實施例中，該閘極電極 126 可為由包括、但不被限制於多晶矽、鎢、鈮、鈮、鉑、鈷、鎳、鉛、鋯、鈦、鉭、鋁、碳化鈦、碳化鋯、碳化鉭、碳化鉛、碳化鋁、其他金屬碳化物、金屬氮化物、及金屬氧化物的材料所形成。該閘極電極 126 可為藉由熟知技術所形成、諸如藉由氈狀沈積閘極電極材料且接著以熟知之光微影技術及蝕刻技術佈圖該閘極電極材料，如將被那些熟習此技術領域者所了解。

電晶體的“寬度”等於半導體本體 112 在該側壁 116 之高度（未示出）、加上半導體本體 112 在該頂部表面 114 的寬度（未示出）、加上半導體本體 112 在該相對側壁 118 之高度（未示出）。於本揭示內容的實作中，該半導體本體 112 於一實質上垂直於該等閘極 122 之方向中延伸。

當然源極區域及汲極區域（未示出）可被形成在該閘極電極 126 的相對側面上之半導體本體 112 中。該源極及汲極區域可為由相同導電性型、諸如 N 型或 P 型導電性所形成。該源極及汲極區域可具有均勻的摻雜濃度或可包括不同濃度或摻雜輪廓之子區域、諸如尖端區域（例如源極/汲極延伸部）。於本揭示內容的實施例之一些實作中，該源極及汲極區域可具有實質上相同的摻雜濃度及輪廓，而於其他實作中，它們可有不同變化。

於該等電晶體 100 之製造中，如圖 2 中所顯示，相當長的半導體本體 112 及／或本體可被形成，接著其各部分可被移去，以在形成該閘極 122 之前或之後形成間隙 130。該間隙 130 或諸間隙的形成藉由電隔絕該半導體本體之一部分 112<sub>1</sub> 與另一部分 112<sub>2</sub> 來形成用於該半導體本體之想要長度。該想要長度係藉由沿著該半導體本體 112 的特別部分之待形成的閘極 122 之數目所決定。然而，用於形成該等間隙 130 的製程、諸如乾燥蝕刻法具有問題，包括、但不限於顯著之易變性、蝕刻偏差、及在該鰭片的基底之不完全蝕刻，如將被那些熟習此技術領域者所了解。該蝕刻偏差可導致具有大於想要的臨界尺寸之寬度的間隙 130，且不完全蝕刻可導致不足之電隔離，如將被那些熟習此技術領域者所了解。再者，於經應變的半導體本體 112 係有利之電晶體裝置中，該間隙 130 形成能導致緊接該間隙 130 的半導體本體 112 上之應變的鬆弛之自由表面邊緣。當作一減少的功能，此鬆弛沿著該半導體本體遠

離該間隙 130 之長度延伸，其導致由電晶體至該下一電晶體的性能差異。

如圖 3 所示，於本揭示內容之實施例中，氧化物隔離區 140 可被形成在該半導體本體 112 中，其導致該半導體本體的第一部分 112<sub>1</sub> 及該半導體本體第二部分 112<sub>2</sub> 的形成，該二部分實質上係藉由該氧化物隔離區 140 彼此電隔絕。該氧化物隔離區 140 可為藉由選擇性將該半導體本體 112 之一部分轉換成介電氧化物所形成。

在一實施例中，如圖 4 及 5 中所示，氧化催化劑層 142 可被佈圖在該半導體本體 112 上。如圖 5 中所顯示，該氧化催化劑層 142 可藉由該技術領域中所習知的任何技術被保形地沈積在該半導體本體頂部表面 114 及該半導體本體側壁 116 與 118 上。該氧化催化劑層 142 可為能夠用作該在下方之半導體本體 112 的氧化用之催化劑的任何適當材料。於一實施例中，該氧化催化劑層 142 可為鋁、氧化鋁、氧化鉭、氧化鈮、氧化鉛、氧化鈦、氧化銻、類似金屬或其相關氧化物。於一特定實施例中，該半導體本體 112 可為含矽的材料，且該氧化催化劑層 142 可為氧化鋁。於一實施例中，該氧化催化劑層 142 可藉由原子層沈積製程被沈積，其可具有使該氧化催化劑層 142 之厚度變動減至最小的作用。該氧化催化劑層 142 可藉由該技術領域中所習知之任何技術被佈圖在該半導體本體 112 上，該技術包括、但不限於光微影及蝕刻技術。

如圖 6 中所顯示，該半導體本體 112 (看圖 5) 可為

遭受氧化製程，以將在該氧化催化劑層 142 下方或鄰接該氧化催化劑層 142 的半導體本體 112（看圖 5）轉換成該氧化物隔離區 140。於一實施例中，該氧化製程可被施行，典型為諸如大氣氧化之氧化技術、諸如乾式氧化、濕式氧化、快速熱退火、與類似者等，或諸如電漿氧化的次大氣技術與類似者等。該氧化催化劑層 142 之存在可在比該半導體本體 112 未與該氧化催化劑層 142 接觸的部分以快約十（10）倍之速率導致該半導體本體 112 轉換至氧化物。這可導致藉由被該氧化催化劑層 142 所覆蓋的面積所界定之更深的氧化。再者，因該深之氧化僅只發生在該氧化催化劑層 142 的接觸面積，該氧化物隔離區 140 之期望臨界尺寸可被維持。

於一特定實施例中，該氧化催化劑層 142 可為藉由原子層沈積法將氧化鋁沈積在包含矽的半導體本體 112 之一部分上。該半導體本體 112 及氧化催化劑層 142 可被暴露至氫氣及／或氧氣的低壓力、氣體混合物達預先決定之持續時間（藉由所需的氧化物之厚度所決定），並在約 400 °C 至 650 °C 間之溫度（更明確地是約 630 °C）。

如圖 7 中所顯示，在形成該氧化物隔離區 140 之後，該氧化催化劑層 142（看圖 6）可被選擇性地移去。當然該氧化物隔離區 140 可於形成該等閘極 122 之前或之後被形成（看圖 3）。其被進一步了解，雖然為了清楚說明而僅例示單一半導體本體 112，可有實質上彼此平行地延伸在該基板 102 上的複數個半導體本體 112（看圖 1）。

圖 8 係製造根據本敘述的實施例之非平面式電晶體的製程 200 之流程圖。如在方塊 202 中所提出，半導體本體可被形成。氧化催化劑可被佈圖在該半導體本體上，如在方塊 204 中所提出。如在方塊 206 中所提出，該半導體本體可被氧化，以在該氧化催化劑下方或鄰接該氧化催化劑的半導體本體內形成氧化物隔離區。

圖 9 說明按照本敘述之一實作的計算裝置 300。該計算裝置 300 容置電路板 302。該電路板 302 可包括許多零組件，包括、但不限於一處理器 304 及至少一通訊晶片 306A、306B。該處理器 304 係物理及電耦接至該電路板 302。於一些實作中，該至少一通訊晶片 306A、306B 係亦物理及電耦接至該電路板 302。於進一步實作中，該通訊晶片 306A、306B 係該處理器 304 之一部分。

視其應用而定，該計算裝置 300 可包括能或不能被物理及電耦接至該電路板 302 的其他零組件。這些其他零組件包括、但不被限制於揮發性記憶體（例如 DRAM）、非揮發性記憶體（例如 ROM）、快閃記憶體、繪圖處理器、數位信號處理器、密碼處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編碼譯碼器、視頻編碼譯碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速度計、迴轉儀、喇叭、照相機、及大容量儲存裝置（諸如硬碟機驅動器、光碟（CD）、數位多用途磁碟（DVD）等等）。

該通訊晶片 306A、306B 能夠無線通訊，用於將資料

傳送至該計算裝置 300 及由該計算裝置 300 傳送資料。該“無線”一詞及其衍生詞可被使用來敘述電路、裝置、系統、方法、技術、通訊頻道等，其可經過該被調制的電磁輻射之使用並經過非固體媒介傳達資料。該名詞不隱含該相關裝置未含有任何線路，雖然於一些實施例中它們可能未含有。該通訊晶片 306 可實施許多無線標準或協定的任何一者，包括、但不限於 Wi-Fi (IEEE 802.11 家族)、WiMAX (IEEE 802.16 家族)、IEEE 802.20、長期演進技術 (LTE)、Ev-Do、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙 (Bluetooth)、其衍生者、以及任何其他被規定為 3G、4G、5G、及再往後者的無線協定。該計算裝置 300 可包括複數個通訊晶片 306A、306B。例如，第一通訊晶片 306A 可為從事於較短範圍無線通訊、諸如 Wi-Fi 及 Bluetooth，且第二通訊晶片 306B 可為從事於較長範圍無線通訊、諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-Do、及其他者。

該計算裝置 300 之處理器 304 可包括依上面所述方式製造的非平面式電晶體。該“處理器”一詞可意指任何裝置或裝置之一部分，其處理來自暫存器及／或記憶體之電子資料以將該電子資料轉變成可被儲存於暫存器及／或記憶體中之另一電子資料。再者，該通訊晶片 306A、306B 可包括依上面所述方式製造的非平面式電晶體。

於各種實作中，該計算裝置 300 可為膝上型、連網小

筆電、筆記型電腦、輕薄筆記型電腦、智慧型手機、平板電腦、個人數位助理器（PDA）、超行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、顯示器、機上盒、娛樂控制單元、數位相機、手提式音樂播放器、或數位錄影機。於進一步實作中，該計算裝置 300 可為任何處理資料之另一電子裝置。

當然本敘述的主題不須被限制於圖 1-9 中所說明之特定應用。該主題可被應用至另一微電子裝置及組件應用，以及任何適當的電晶體應用，如將被那些熟習此技術領域者所了解。

以下範例關於進一步之實施例，其中範例 1 係形成非平面式電晶體的方法，包含形成半導體本體、在該半導體本體上佈圖氧化催化劑層、及氧化該半導體本體，以在該半導體本體內鄰接該氧化催化劑形成氧化物隔離區。

於範例 2 中，範例 1 的主題可選擇性地包括在氧化該半導體本體之後移去該氧化催化劑。

於範例 3 中，範例 1 至 2 的任一者之主題可選擇性地包括形成該半導體本體，包含形成鰭片形結構。

於範例 4 中，範例 1 至 3 的任一者之主題可選擇性地包括形成該半導體本體，包含形成含矽之半導體本體。

於範例 5 中，範例 1 至 4 的任一者之主題可選擇性地包括在該半導體本體上佈圖氧化催化劑層，包含佈圖一材料，該材料選自由鋁、氧化鋁、氧化鉭、氧化鈮、氧化鉛、氧化鈦、及氧化鋯所組成之族群。

於範例 6 中，範例 1 至 5 的任一者之主題可選擇性地包括形成該半導體本體，包含形成矽半導體本體，且其中在該半導體本體上佈圖該氧化催化劑層包含在該矽半導體本體上佈圖氧化鋁。

於範例 7 中，範例 1 至 6 的任一者之主題可選擇性地包括氧化該半導體本體，包含在約 400°C 至 650°C 間之溫度及在低於大氣壓力下，將半導體本體暴露至包括氫、氧、氧化亞氮、及蒸氣之至少一者的氣體混合物。

於範例 8 中，範例 1 至 7 的任一者之主題可選擇性地包括在該半導體本體上形成至少一電晶體閘極。

於範例 9 中，範例 1 至 8 的任一者之主題可選擇性地包括氧化該半導體本體以形成氧化物隔離區及由該半導體本體形成半導體本體第一部分與半導體本體第二部分，並具有實質上電分開該半導體本體第一部分及該半導體本體第二部分之隔離區。

於範例 10 中，範例 1 至 9 的任一者之主題可選擇性地包括在該半導體本體第一部分及該半導體本體第二部分之至少一者上形成至少一電晶體閘極。

以下範例關於進一步實施例，其中範例 11 係非平面式電晶體，包含半導體本體，包括第一部分與第二部分；及氧化物隔離區，包含該半導體本體的經氧化部分，其中該氧化物隔離區實質上電隔絕該半導體本體第一部分及該半導體本體第二部分。

於範例 12 中，範例 11 的主題可選擇性地包括該半導

體本體，包含一含矽的材料。

於範例 13 中，範例 11 至 12 的任一者之主題可選擇性地包括該氧化物隔離區，包含二氧化矽。

於範例 14 中，範例 11 至 13 的任一者之主題可選擇性地包括鄰接該氧化物隔離區被佈圖的氧化催化劑層。

於範例 15 中，範例 11 至 14 的任一者之主題可選擇性地包括該氧化催化劑層，包含選自由鋁、氧化鋁、氧化鉬、氧化鈮、氧化鉛、氧化鈦、及氧化鋯所組成的族群之材料。

於範例 16 中，範例 11 至 15 的任一者之主題可選擇性地包括在該半導體本體第一部分及該半導體本體第二部分的至少一者上之至少一電晶體閘極。

以下範例關於進一步實施例，其中範例 17 係電子系統，包含電路板；及微電子裝置，附接至該電路板，其中該微電子裝置包括非平面式電晶體，該非平面式電晶體包含半導體本體，其包括第一部分與第二部分；及氧化物隔離區，其包含該半導體本體之氧化部分，其中該氧化物隔離區實質上電隔絕該半導體本體第一部分及該半導體本體第二部分。

於範例 18 中，範例 17 的主題可選擇性地包括該半導體本體，包含一含矽的材料。

於範例 19 中，範例 17 至 18 的任一者之主題可選擇性地包括該氧化物隔離區，包含二氧化矽。

於範例 20 中，範例 17 至 19 的任一者之主題可選擇

性地包括鄰接該氧化物隔離區佈圖的氧化催化劑層。

於範例 21 中，範例 17 至 20 的任一者之主題可選擇性地包括該氧化催化劑層，包含選自由鋁、氧化鋁、氧化鉍、氧化釷、氧化鈳、及氧化銻所組成的族群之材料。

於範例 22 中，範例 17 至 21 的任一者之主題可選擇性地包括在該半導體本體第一部分及該半導體本體第二部分的至少一者上之至少一電晶體閘極。

如此已詳細地敘述本敘述的實施例，當然藉由所附申請專利範圍所界定之本敘述不該被上面敘述中所提出的特別細節所限制，因其許多明顯之變動係可能的，而此變動未脫離其精神或範圍。

#### 【符號說明】

100：電晶體

102：基板

104：隔離區域

106：作用區域

112：半導體本體

112<sub>1</sub>：部分

112<sub>2</sub>：部分

114：頂部表面

116：側壁

118：側壁

- 122 : 閘極
- 124 : 閘極介電層
- 126 : 閘極電極
- 130 : 間隙
- 140 : 氧化物隔離區
- 142 : 氧化催化劑層
- 200 : 製程
- 300 : 計算裝置
- 302 : 電路板
- 304 : 處理器
- 306A : 通訊晶片
- 306B : 通訊晶片

## 申請專利範圍

1. 一種形成非平面式電晶體的方法，包含：  
形成半導體本體；  
在該半導體本體上佈圖氧化催化劑層；及  
氧化該半導體本體，以形成氧化物隔離區於該半導體本體內鄰接該氧化催化劑處。
2. 如申請專利範圍第 1 項之形成非平面式電晶體的方法，另包括在氧化該半導體本體之後移去該氧化催化劑。
3. 如申請專利範圍第 1 項之形成非平面式電晶體的方法，其中形成該半導體本體包含形成鱗片形結構。
4. 如申請專利範圍第 1 項之形成非平面式電晶體的方法，其中形成該半導體本體包含形成含矽之半導體本體。
5. 如申請專利範圍第 1 項之形成非平面式電晶體的方法，其中在該半導體本體上佈圖氧化催化劑層包含佈圖一材料，該材料選自由鋁、氧化鋁、氧化鉬、氧化鉍、氧化鉛、氧化鈦、及氧化銻所組成之族群。
6. 如申請專利範圍第 1 項之形成非平面式電晶體的方法，其中形成該半導體本體包含形成矽半導體本體，且其中在該半導體本體上佈圖該氧化催化劑層包含在該矽半導體本體上佈圖氧化鋁。
7. 如申請專利範圍第 6 項之形成非平面式電晶體的方法，其中氧化該半導體本體包含在約 400°C 至 650°C 之

溫度及在低於大氣壓力的壓力下，將半導體本體暴露至氫、氧、氧化亞氮、及蒸氣之至少一者的氣體混合物。

8. 如申請專利範圍第 1 項之形成非平面式電晶體的方法，另包含在該半導體本體上形成至少一電晶體閘極。

9. 如申請專利範圍第 1 項之形成非平面式電晶體的方法，其中氧化該半導體本體以形成氧化物隔離區及形成半導體本體第一部分與半導體本體第二部分，並具有實質上電性分開該半導體本體第一部分及該半導體本體第二部分之隔離區。

10. 如申請專利範圍第 9 項之形成非平面式電晶體的方法，另包含在該半導體本體第一部分及該半導體本體第二部分之至少一者上形成至少一電晶體閘極。

11. 一種非平面式電晶體，包含：

半導體本體，包括第一部分與第二部分；及

氧化物隔離區，包含該半導體本體的經氧化部分，其中該氧化物隔離區實質上電性隔絕該半導體本體第一部分及該半導體本體第二部分。

12. 如申請專利範圍第 11 項之非平面式電晶體，其中該半導體本體包含一含矽的材料。

13. 如申請專利範圍第 12 項之非平面式電晶體，其中該氧化物隔離區包含二氧化矽。

14. 如申請專利範圍第 11 項之非平面式電晶體，另包含鄰接該氧化物隔離區被佈圖的氧化催化劑層。

15. 如申請專利範圍第 11 項之非平面式電晶體，其

中該氧化催化劑層包含選自由鋁、氧化鋁、氧化鉬、氧化鈮、氧化鈷、氧化鈣、氧化鈦、及氧化鋅所組成的族群之材料。

16. 如申請專利範圍第 11 項之非平面式電晶體，另包含至少一電晶體閘極在該半導體本體第一部分及該半導體本體第二部分的至少一者上。

17. 一種電子系統，包含：

電路板；及

微電子裝置，附接至該電路板，其中該微電子裝置包括至少一非平面式電晶體，該非平面式電晶體包含半導體本體，其包括第一部分與第二部分；及氧化物隔離區，其包含該半導體本體之氧化部分，其中該氧化物隔離區實質上電性隔絕該半導體本體第一部分及該半導體本體第二部分。

18. 如申請專利範圍第 17 項之電子系統，其中該半導體本體包含一含矽的材料。

19. 如申請專利範圍第 18 項之電子系統，其中該氧化物隔離區包含二氧化矽。

20. 如申請專利範圍第 17 項之電子系統，另包含鄰接該氧化物隔離區佈圖的氧化催化劑層。

21. 如申請專利範圍第 20 項之電子系統，其中該氧化催化劑層包含選自由鋁、氧化鋁、氧化鉬、氧化鈮、氧化鈷、氧化鈣、氧化鈦、及氧化鋅所組成的族群之材料。

22. 如申請專利範圍第 17 項之電子系統，另包含在該半導體本體第一部分及該半導體本體第二部分的至少一

者上之至少一電晶體閘極。

圖式

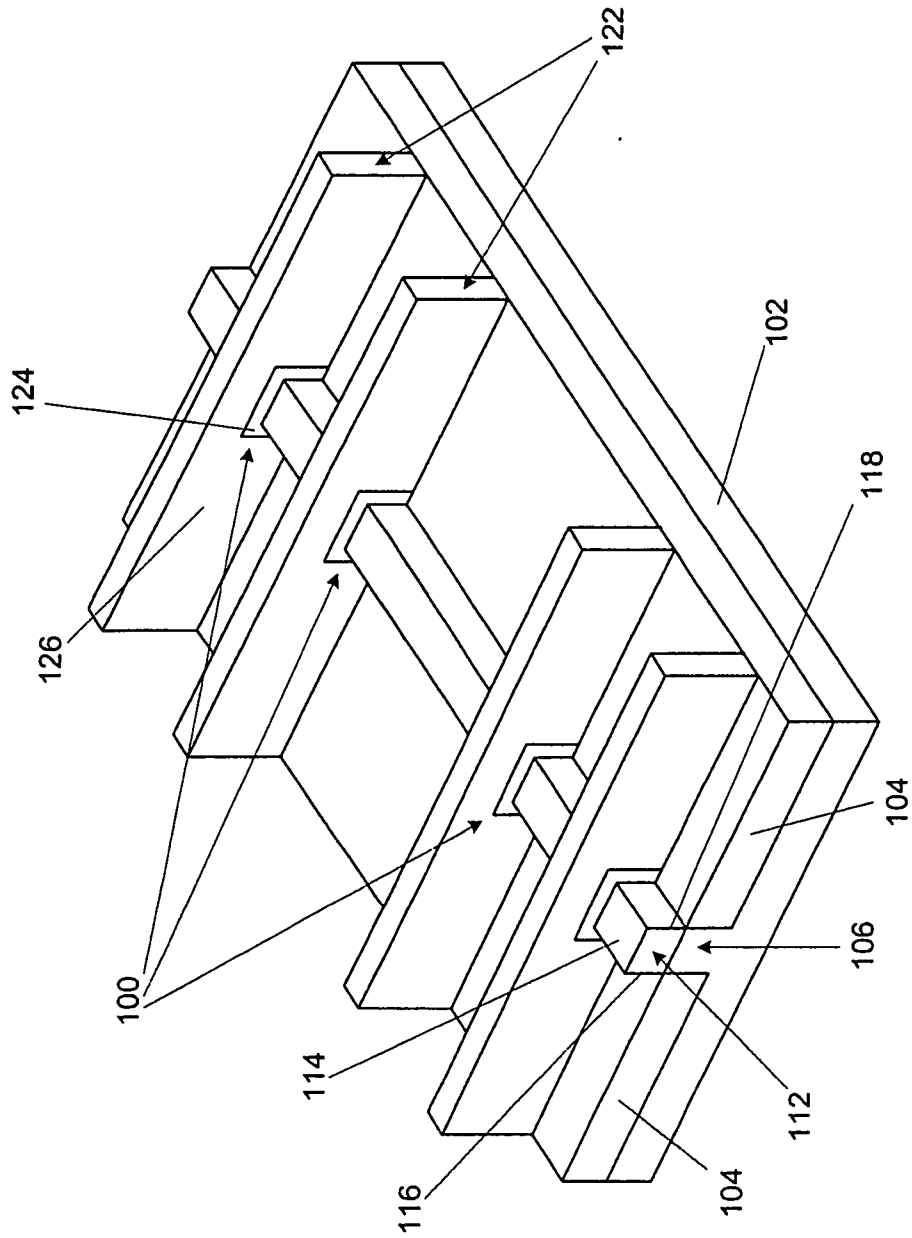


圖 1  
(先前技術領域)

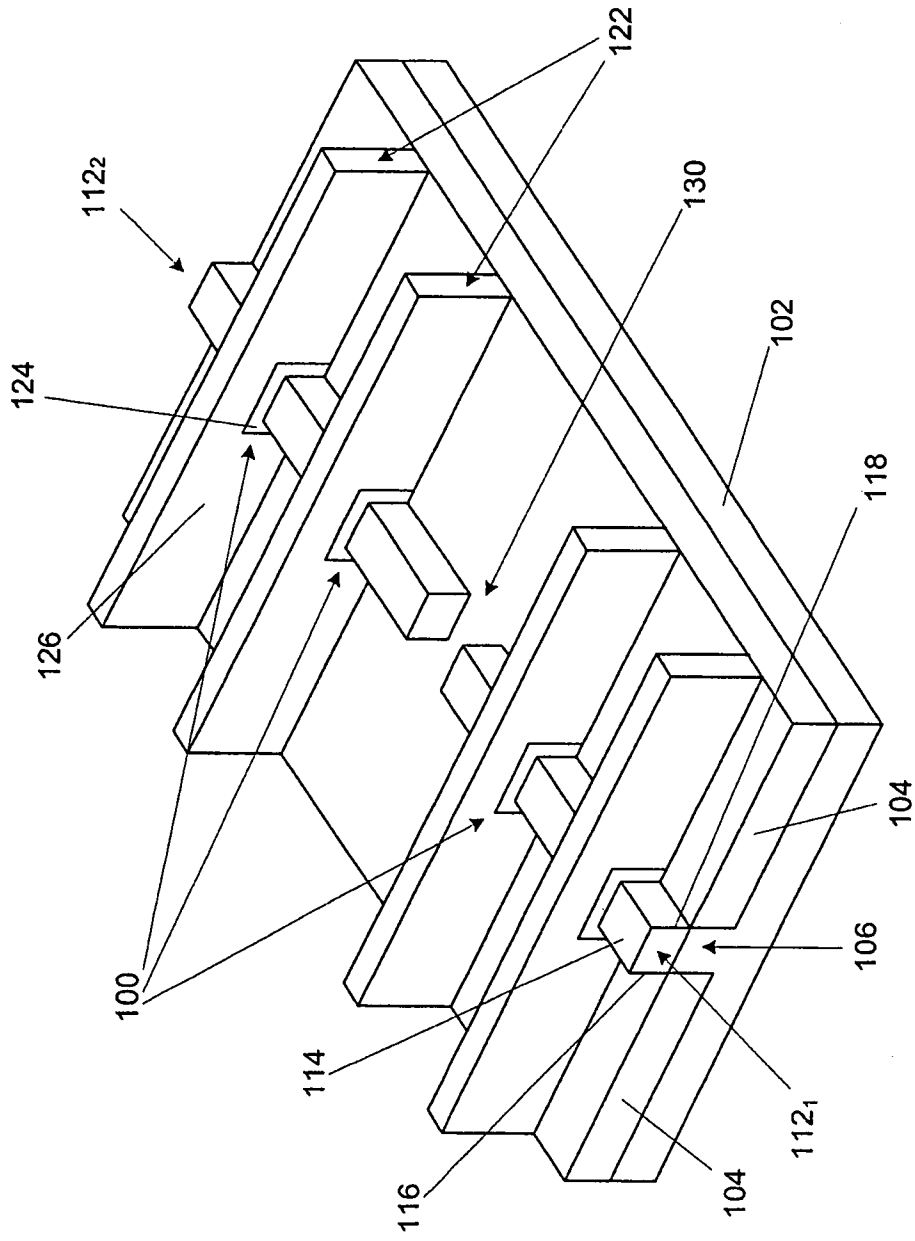


圖 2  
(先前技術領域)

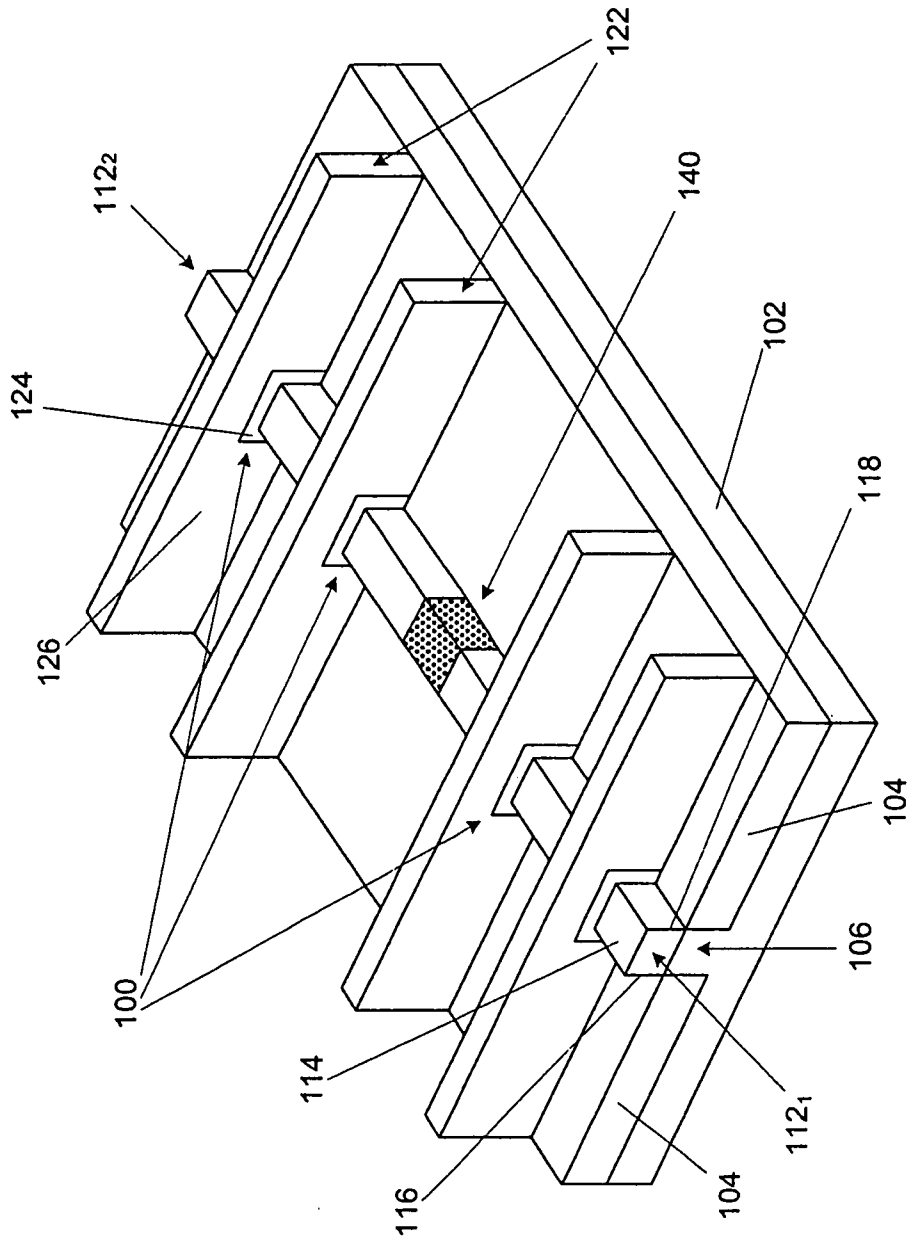


圖 3

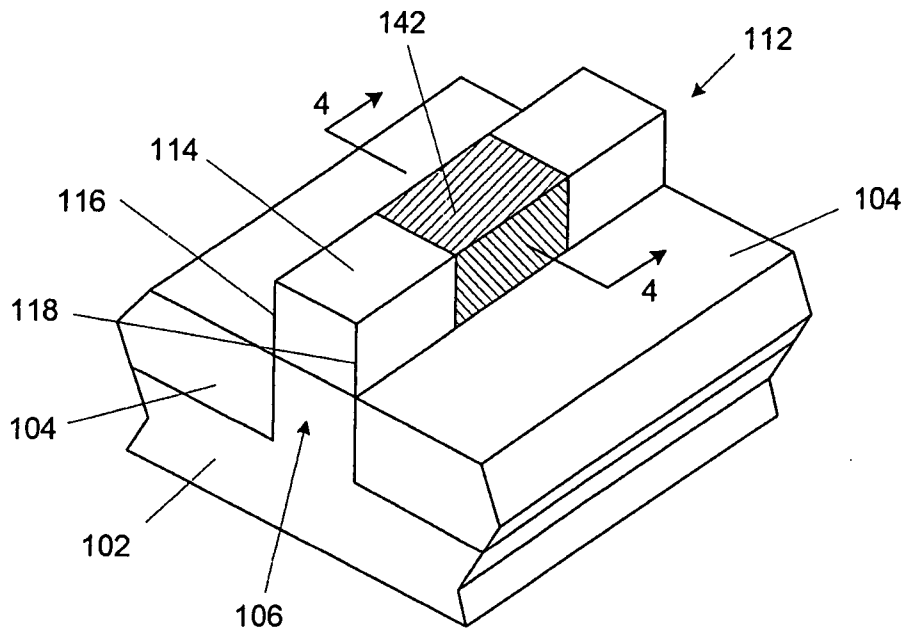


圖 4

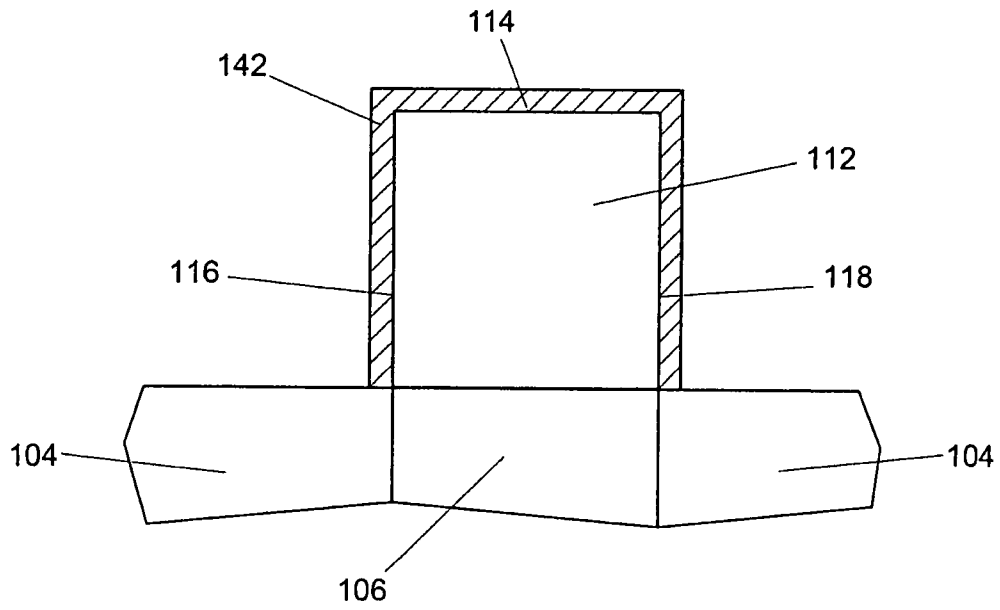


圖 5

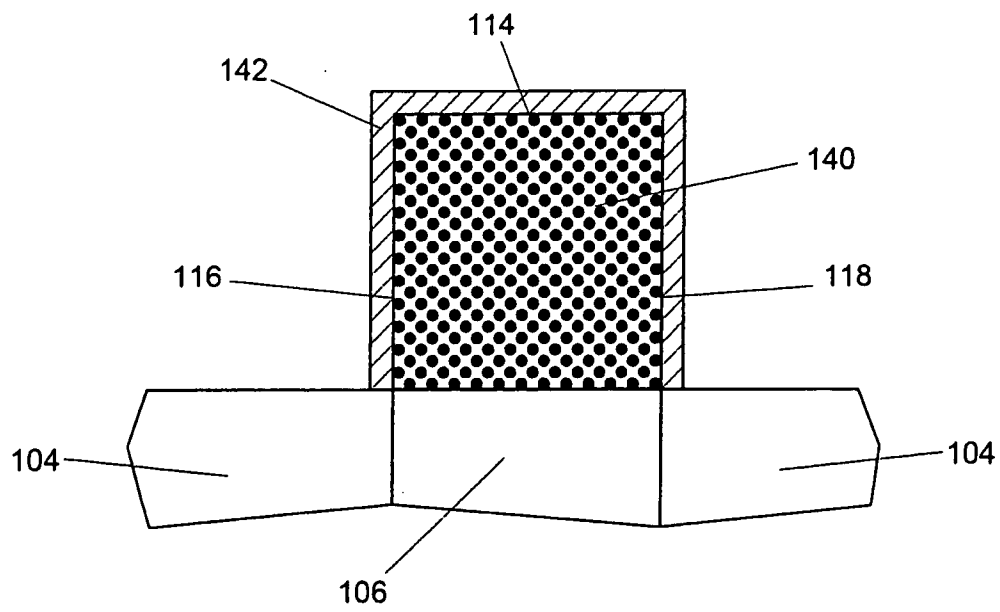


圖 6

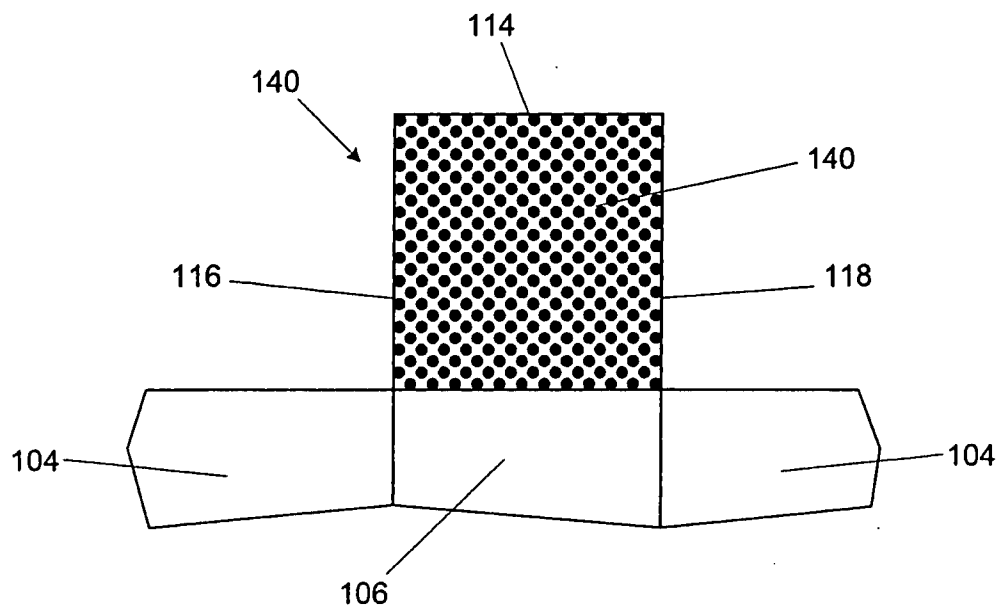


圖 7

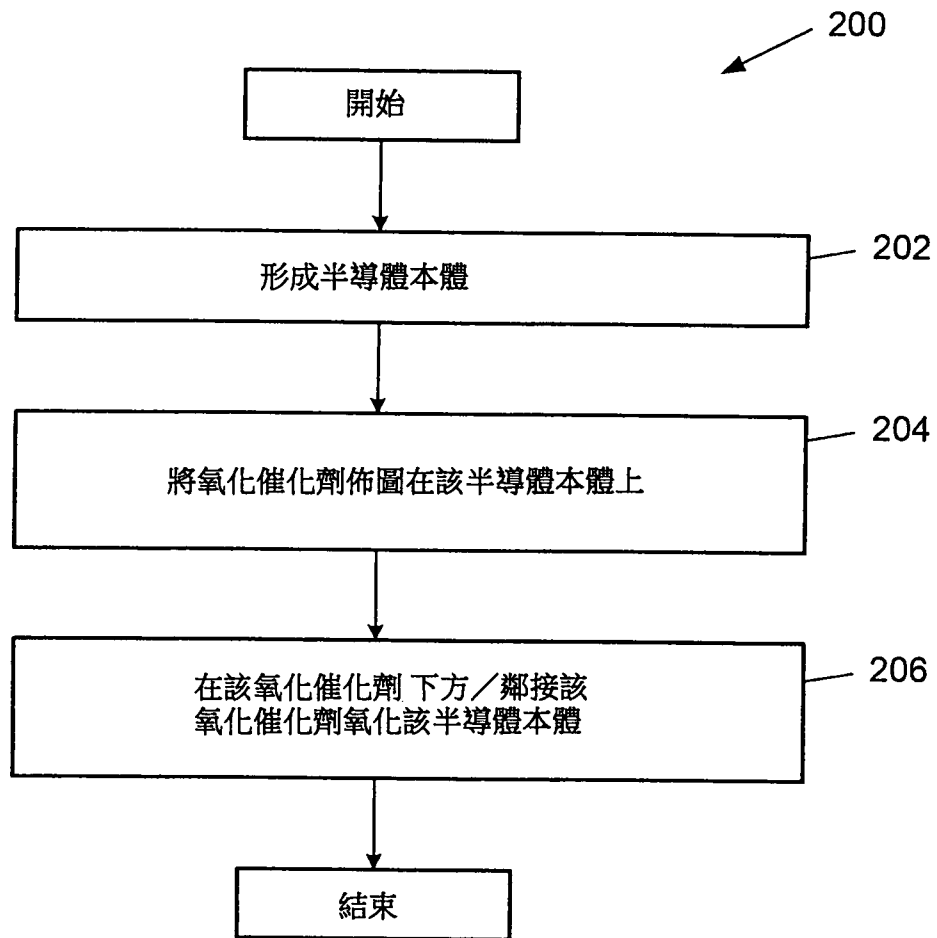


圖 8

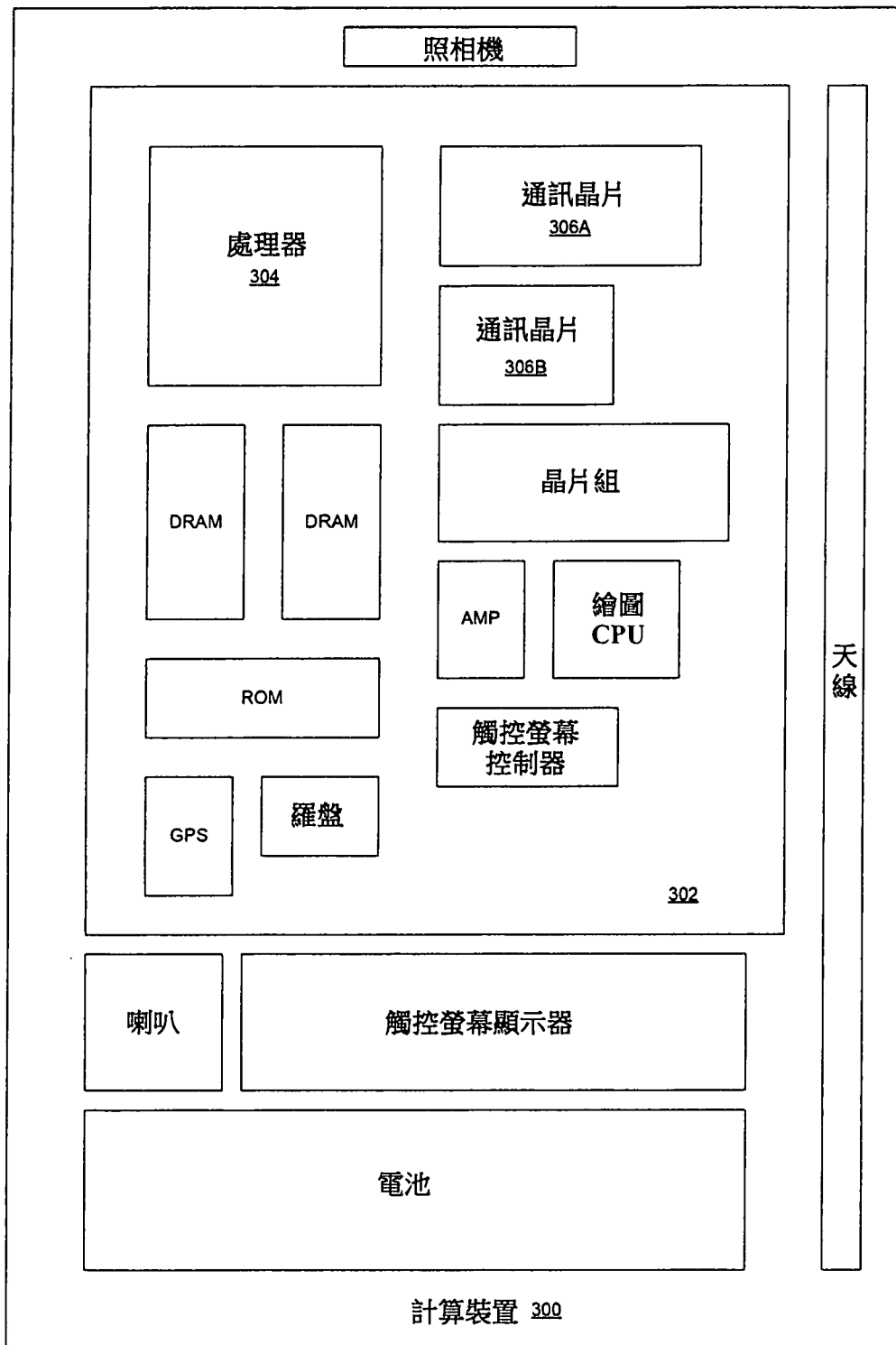


圖 9