

Beschreibung

[Referenz]

Hintergrund der Erfindung

[Patentdokument]

1. Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft einen Gegenstand, ein Verfahren oder ein Herstellungsverfahren. Des Weiteren betrifft die vorliegende Erfindung einen Prozess, eine Maschine, Herstellung oder eine Materialzusammensetzung. Im Besonderen betrifft eine Ausführungsform der vorliegenden Erfindung eine Halbleitervorrichtung, eine Anzeigevorrichtung, eine lichtemittierende Vorrichtung, eine Speichervorrichtung, eine arithmetische Vorrichtung, eine Abbildungsvorrichtung, ein Ansteuerungsverfahren dafür oder ein Herstellungsverfahren dafür.

[0002] In dieser Beschreibung und dergleichen bezeichnet eine Halbleitervorrichtung allgemein eine Vorrichtung, die durch Anwenden von Halbleitereigenschaften arbeiten kann. Ein Transistor und eine Halbleiterschaltung sind Ausführungsformen der Halbleitervorrichtungen. Eine Speichervorrichtung, eine Anzeigevorrichtung oder ein elektronisches Gerät beinhaltet in einigen Fällen eine Halbleitervorrichtung.

2. Beschreibung des Standes der Technik

[0003] In den Fokus gerückt ist eine Technik, mit der Transistoren unter Verwendung von Halbleiterdünnschichten hergestellt werden, die über einem Substrat mit einer isolierenden Oberfläche ausgebildet sind. Der Transistor findet Anwendung für eine breite Palette elektronischer Geräte, wie z. B. eine integrierte Schaltung (integrated circuit, IC) oder eine Bildanzeigevorrichtung (auch einfach als Anzeigevorrichtung bezeichnet). Als Halbleiterdünnschichten, die für die Transistoren verwendet werden können, sind allgemein auf Silizium basierende Halbleitermaterialien bekannt, wobei jedoch auch Oxidhalbleiter als alternative Materialien Aufmerksamkeit erregen.

[0004] Beispielsweise ist eine Technik, mit der ein Transistor unter Verwendung von Zinkoxid oder einem Oxidhalbleiter auf In-Ga-Zn-Basis als Oxidhalbleiter hergestellt wird, offenbart (siehe Patentdokumente 1 und 2).

[0005] In den letzten Jahren ist eine Nachfrage nach integrierten Schaltungen, in denen Halbleiterelemente, wie z. B. miniaturisierte Transistoren, mit hoher Dichte integriert sind, mit einer Erhöhung der Leistungsfähigkeit und Verringerungen der Größe und des Gewichts von elektronischen Geräten gestiegen.

[0006]

[Patentdokument 1] Japanische Patentoffenlegungsschrift Nr. 2007-123861

[Patentdokument 2] Japanische Patentoffenlegungsschrift Nr. 2007-96055

Zusammenfassung der Erfindung

[0007] Eine Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, eine Halbleitervorrichtung mit vorteilhaften elektrischen Eigenschaften bereitzustellen. Eine weitere Aufgabe ist, eine Halbleitervorrichtung, die zur Miniaturisierung geeignet ist, bereitzustellen. Eine weitere Aufgabe ist, eine hochintegrierte Halbleitervorrichtung bereitzustellen. Eine weitere Aufgabe ist, eine Halbleitervorrichtung mit niedrigem Leistungsverbrauch bereitzustellen. Eine weitere Aufgabe ist, eine hochzuverlässige Halbleitervorrichtung bereitzustellen. Eine weitere Aufgabe ist, eine Halbleitervorrichtung, die Daten halten kann, auch wenn die Leistungsversorgung unterbrochen wird, bereitzustellen. Eine weitere Aufgabe ist, eine neuartige Halbleitervorrichtung bereitzustellen.

[0008] Es sei angemerkt, dass die Beschreibungen dieser Aufgaben dem Vorhandensein weiterer Aufgaben nicht im Wege stehen. Bei einer Ausführungsform der vorliegenden Erfindung ist es unnötig, alle Aufgaben zu erfüllen. Weitere Aufgaben werden ersichtlich aus der Erläuterung der Beschreibung, den Zeichnungen, den Patentansprüchen und dergleichen und können davon abgeleitet werden.

[0009] Eine Ausführungsform der vorliegenden Erfindung betrifft einen Transistor, bei dem eine Oxidhalbleiterschicht für einen Kanalbildungsbereich verwendet wird und der durch eine Querschnittsform der Oxidhalbleiterschicht in einer Kanalbreiten-(W-)Richtung gekennzeichnet ist.

[0010] Eine Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die beinhaltet: eine isolierende Schicht; eine Halbleiterschicht über der isolierenden Schicht; eine Source-Elektroden-schicht und eine Drain-Elektroden-schicht, welche elektrisch mit der Halbleiterschicht verbunden sind; einen Gate-Isolierfilm über der Halbleiterschicht, der Source-Elektroden-schicht und der Drain-Elektroden-schicht; und eine Gate-Elektroden-schicht, welche die Halbleiterschicht, einen Teil der Source-Elektroden-schicht und einen Teil der Drain-Elektroden-schicht überlappt, wobei der Gate-Isolierfilm dazwischen liegt. In einem Querschnitt der Halbleiterschicht in einer Kanalbreitenrichtung weist die Halbleiterschicht einen ersten Bereich, dessen einer Endabschnitt in Kontakt mit der isolierenden Schicht steht und der an

einem Seitenabschnitt der Halbleiterschicht liegt; einen zweiten Bereich, dessen einer Endabschnitt in Kontakt mit dem anderen Endabschnitt des ersten Bereichs steht und der an einem oberen Abschnitt der Halbleiterschicht liegt; und einen dritten Bereich auf, dessen einer Endabschnitt in Kontakt mit dem anderen Endabschnitt des zweiten Bereichs steht, dessen anderer Endabschnitt in Kontakt mit der isolierenden Schicht steht und der am anderen Seitenabschnitt der Halbleiterschicht liegt. Der erste Bereich, der zweite Bereich und der dritte Bereich stehen in Kontakt mit dem Gate-Isolierfilm. In dem zweiten Bereich ist eine Grenzfläche zu dem Gate-Isolierfilm konvex geformt und weist einen Bereich mit einem Krümmungsradius R_1 , einen Bereich mit einem Krümmungsradius R_2 und einen Bereich mit einem Krümmungsradius R_3 auf, welche in dieser Reihenfolge von der Seite des einen Endabschnitts bis zur Seite des anderen Endabschnitts verbunden sind. Im Querschnitt ist R_2 größer als R_1 und R_3 .

[0011] Es sei angemerkt, dass Ordnungszahlen, wie z. B. „erstes“ und „zweites“, in dieser Beschreibung und dergleichen verwendet werden, um eine Verwechslung zwischen Komponenten zu vermeiden, und dass sie die Komponenten nicht zahlenmäßig beschränken.

[0012] Eine weitere Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die beinhaltet: eine isolierende Schicht; eine Halbleiterschicht über der isolierenden Schicht; eine Source-Elektrodenschicht und eine Drain-Elektrodenschicht, welche elektrisch mit der Halbleiterschicht verbunden sind; einen Gate-Isolierfilm über der Halbleiterschicht, der Source-Elektrodenschicht und der Drain-Elektrodenschicht; und eine Gate-Elektrodenschicht, welche die Halbleiterschicht, einen Teil der Source-Elektrodenschicht und einen Teil der Drain-Elektrodenschicht überlappt, wobei der Gate-Isolierfilm dazwischen liegt. In einem Querschnitt der Halbleiterschicht in einer Kanalbreitenrichtung weist die Halbleiterschicht einen ersten Bereich, dessen einer Endabschnitt in Kontakt mit der isolierenden Schicht steht und der an einem Seitenabschnitt der Halbleiterschicht liegt; einen zweiten Bereich, dessen einer Endabschnitt in Kontakt mit dem anderen Endabschnitt des ersten Bereichs steht und der an einem oberen Abschnitt der Halbleiterschicht liegt; und einen dritten Bereich auf, dessen einer Endabschnitt in Kontakt mit dem anderen Endabschnitt des zweiten Bereichs steht, dessen anderer Endabschnitt in Kontakt mit der isolierenden Schicht steht und der am anderen Seitenabschnitt der Halbleiterschicht liegt. Der erste Bereich, der zweite Bereich und der dritte Bereich stehen in Kontakt mit dem Gate-Isolierfilm. In dem zweiten Bereich ist eine Grenzfläche zu dem Gate-Isolierfilm konvex geformt und weist einen Bereich mit einem Krümmungsradius R_1 , einen Bereich mit einem Krümmungsradius R_2 und einen Be-

reich mit einem Krümmungsradius R_3 auf, welche in dieser Reihenfolge von der Seite des einen Endabschnitts bis zur Seite des anderen Endabschnitts verbunden sind. Im einen Endabschnitt des ersten Bereichs ist eine Grenzfläche zu dem Gate-Isolierfilm konkav mit einem Krümmungsradius R_4 . Im anderen Endabschnitt des dritten Bereichs ist eine Grenzfläche zu dem Gate-Isolierfilm konkav mit einem Krümmungsradius R_5 . Im Querschnitt ist R_2 größer als R_1 und R_3 , und R_1 und R_3 sind jeweils größer als R_4 und R_5 .

[0013] Bei der vorstehenden Halbleitervorrichtung ist R_2 vorzugsweise doppelt oder mehrfach so groß wie einer von R_1 und R_3 , der kleiner ist als der andere.

[0014] Ferner sind R_1 und R_3 jeweils vorzugsweise drei- oder mehrfach so groß wie einer von R_4 und R_5 , der kleiner ist als der andere.

[0015] Zusätzlich sind R_1 geteilt durch R_3 und R_4 geteilt durch R_5 jeweils vorzugsweise größer als oder gleich 0,7 und kleiner als oder gleich 1,3.

[0016] Ein Winkel, der von einer Linie, die mit einer Grenzfläche zwischen dem ersten Bereich und dem Gate-Isolierfilm zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt, und einer Linie, die mit einer Grenzfläche zwischen dem dritten Bereich und dem Gate-Isolierfilm zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt, gebildet ist, ist vorzugsweise größer als oder gleich 5° und kleiner als oder gleich 45° .

[0017] Eine Höhe der Halbleiterschicht im Querschnitt in der Kanalbreitenrichtung ist vorzugsweise größer als oder gleich 30 nm und kleiner als oder gleich 3000 nm.

[0018] Eine durch eine Kanalbreite geteilte Höhe der Halbleiterschicht im Querschnitt in der Kanalbreitenrichtung ist vorzugsweise größer als oder gleich 0,5.

[0019] Bei der vorstehenden Halbleitervorrichtung kann eine leitende Schicht ausgebildet sein, welche die Halbleiterschicht überlappt, wobei die isolierende Schicht dazwischen liegt.

[0020] Ferner kann eine Oxidhalbleiterschicht als Halbleiterschicht verwendet werden.

[0021] Die Oxidhalbleiterschicht kann ein Stapel sein, der eine erste Oxidhalbleiterschicht, eine zweite Oxidhalbleiterschicht und eine dritte Oxidhalbleiterschicht in dieser Reihenfolge von der Seite der isolierenden Schicht aus umfasst.

[0022] Es ist bevorzugt, dass die erste Oxidhalbleiterschicht, die zweite Oxidhalbleiterschicht und die

dritte Oxidhalbleiterschicht jeweils ein In-M-Zn-Oxid (Mist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd oder Hf) enthalten und dass ein Atomverhältnis von M zu In in jeder der ersten und dritten Oxidhalbleiterschichten höher ist als ein Atomverhältnis von M zu In in der zweiten Oxidhalbleiterschicht.

[0023] Die Oxidhalbleiterschicht enthält vorzugsweise einen Kristall mit Ausrichtung bezüglich der c-Achse (c-axis aligned crystal).

[0024] Eine weitere Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die beinhaltet: eine isolierende Schicht; einen Stapel, der über der isolierenden Schicht liegt und eine erste Halbleiterschicht und eine zweite Halbleiterschicht in dieser Reihenfolge umfasst; eine Source-Elektrodenschicht und eine Drain-Elektrodenschicht, welche elektrisch mit einem Teil des Stapels verbunden sind; eine dritte Halbleiterschicht, die einen Teil des Stapels, einen Teil der Source-Elektrodenschicht und einen Teil der Drain-Elektrodenschicht bedeckt; und einen Gate-Isolierfilm und eine Gate-Elektrodenschicht, welche einen Teil des Stapels, einen Teil der Source-Elektrodenschicht, einen Teil der Drain-Elektrodenschicht und die dritte Halbleiterschicht überlappen. In einem Querschnitt in einer Kanalbreitenrichtung eines Bereichs, in dem die dritte Halbleiterschicht den Stapel bedeckt, weist die dritte Halbleiterschicht einen ersten Bereich, der einen Seitenabschnitt des Stapels und einen Teil der isolierenden Schicht bedeckt, einen zweiten Bereich, der einen oberen Abschnitt der zweiten Halbleiterschicht bedeckt, und einen dritten Bereich auf, der den anderen Seitenabschnitt des Stapels und einen Teil der isolierenden Schicht bedeckt. In dem zweiten Bereich ist eine Grenzfläche zu dem Gate-Isolierfilm konvex geformt und weist einen Bereich mit einem Krümmungsradius R1, einen Bereich mit einem Krümmungsradius R2 und einen Bereich mit einem Krümmungsradius R3 auf, welche in dieser Reihenfolge von der Seite des einen Endabschnitts bis zur Seite des anderen Endabschnitts verbunden sind. In einem einen Teil der isolierenden Schicht bedeckenden Abschnitt des ersten Bereichs ist eine Grenzfläche zu dem Gate-Isolierfilm konkav mit einem Krümmungsradius R4. In einem einen Teil der isolierenden Schicht bedeckenden Abschnitt des dritten Bereichs ist eine Grenzfläche zu dem Gate-Isolierfilm konkav mit einem Krümmungsradius R5. Im Querschnitt ist R2 größer als R1 und R3, und R1 und R3 sind jeweils größer als R4 und R5.

[0025] Eine weitere Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die beinhaltet: eine isolierende Schicht; einen Stapel, der über der isolierenden Schicht liegt und eine erste Halbleiterschicht und eine zweite Halbleiterschicht in dieser Reihenfolge umfasst; eine Source-Elektrodenschicht und eine Drain-Elektrodenschicht, welche elektrisch mit einem Teil des Stapels verbunden sind; eine dritte Halbleiterschicht, die einen Teil des Stapels, einen Teil der Source-Elektrodenschicht und einen Teil der Drain-Elektrodenschicht bedeckt; und einen Gate-Isolierfilm und eine Gate-Elektrodenschicht, welche einen Teil des Stapels, einen Teil der Source-Elektrodenschicht, einen Teil der Drain-Elektrodenschicht und die dritte Halbleiterschicht über-

lappen. In einem Querschnitt in einer Kanalbreitenrichtung eines Bereichs, in dem die dritte Halbleiterschicht den Stapel bedeckt, weist die dritte Halbleiterschicht einen ersten Bereich, der einen Seitenabschnitt des Stapels und einen Teil der isolierenden Schicht bedeckt, einen zweiten Bereich, der einen oberen Abschnitt der zweiten Halbleiterschicht bedeckt, und einen dritten Bereich auf, der den anderen Seitenabschnitt des Stapels und einen Teil der isolierenden Schicht bedeckt. In dem zweiten Bereich ist eine Grenzfläche zu dem Gate-Isolierfilm konvex geformt und weist einen Bereich mit einem Krümmungsradius R1, einen Bereich mit einem Krümmungsradius R2 und einen Bereich mit einem Krümmungsradius R3 auf, welche in dieser Reihenfolge von der Seite des einen Endabschnitts bis zur Seite des anderen Endabschnitts verbunden sind. In einem einen Teil der isolierenden Schicht bedeckenden Abschnitt des ersten Bereichs ist eine Grenzfläche zu dem Gate-Isolierfilm konkav mit einem Krümmungsradius R4. In einem einen Teil der isolierenden Schicht bedeckenden Abschnitt des dritten Bereichs ist eine Grenzfläche zu dem Gate-Isolierfilm konkav mit einem Krümmungsradius R5. Im Querschnitt ist R2 größer als R1 und R3, und R1 und R3 sind jeweils größer als R4 und R5.

[0026] Bei der vorstehenden Halbleitervorrichtung ist R2 vorzugsweise doppelt oder mehrfach so groß wie einer von R1 und R3, der kleiner ist als der andere.

[0027] Ferner sind R1 und R3 jeweils vorzugsweise drei- oder mehrfach so groß wie einer von R4 und R5, der kleiner ist als der andere.

[0028] Zusätzlich sind R1 geteilt durch R3 und R4 geteilt durch R5 jeweils vorzugsweise größer als oder gleich 0,7 und kleiner als oder gleich 1,3.

[0029] Ein Winkel, der von einer Linie, die mit einer Grenzfläche zwischen dem ersten Bereich und dem Gate-Isolierfilm zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt, und einer Linie, die mit einer Grenzfläche zwischen dem dritten Bereich und dem Gate-Isolierfilm zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt, gebildet ist, ist vorzugsweise größer als oder gleich 5° und kleiner als oder gleich 45° .

[0030] Eine Gesamthöhe der ersten Halbleiterschicht, der zweiten Halbleiterschicht und der dritten Halbleiterschicht im Querschnitt in der Kanalbreitenrichtung ist vorzugsweise größer als oder gleich 30 nm und kleiner als oder gleich 3000 nm.

[0031] Eine durch eine Kanalbreite geteilte Gesamthöhe der ersten Halbleiterschicht, der zweiten Halbleiterschicht und der dritten Halbleiterschicht im

Querschnitt in der Kanalbreitenrichtung ist vorzugsweise größer als oder gleich 0,5.

[0032] Bei der vorstehenden Halbleitervorrichtung kann eine leitende Schicht ausgebildet sein, welche die erste Halbleiterschicht, die zweite Halbleiterschicht und die dritte Halbleiterschicht überlappt, wobei die isolierende Schicht dazwischen liegt.

[0033] Ferner können Oxidhalbleiterschichten als erste Halbleiterschicht, zweite Halbleiterschicht und dritte Halbleiterschicht verwendet werden.

[0034] Es ist bevorzugt, dass eine erste Oxidhalbleiterschicht, eine zweite Oxidhalbleiterschicht und eine dritte Oxidhalbleiterschicht, welche der ersten Halbleiterschicht, der zweiten Halbleiterschicht und der dritten Halbleiterschicht entsprechen, jeweils ein In-M-Zn-Oxid (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd oder Hf) enthalten und dass ein Atomverhältnis von M zu In in jeder der ersten und dritten Oxidhalbleiterschichten höher ist als ein Atomverhältnis von M zu In in der zweiten Oxidhalbleiterschicht.

[0035] Die erste Oxidhalbleiterschicht, die zweite Oxidhalbleiterschicht und die dritte Oxidhalbleiterschicht enthalten jeweils vorzugsweise einen Kristall mit Ausrichtung bezüglich der c-Achse.

[0036] Eine Länge in einer Kanallängsrichtung eines einen Teil der Source-Elektrodenschicht oder einen Teil der Drain-Elektrodenschicht überlappenden Bereichs der Gate-Elektrodenschicht ist vorzugsweise größer als oder gleich 3 nm und kleiner als 300 nm.

[0037] Einer Ausführungsform der vorliegenden Erfindung entsprechend kann eine Halbleitervorrichtung mit vorteilhaften elektrischen Eigenschaften bereitgestellt werden. Eine Halbleitervorrichtung, die zur Miniaturisierung geeignet ist, kann bereitgestellt werden. Eine hochintegrierte Halbleitervorrichtung kann bereitgestellt werden. Eine Halbleitervorrichtung mit niedrigem Leistungsverbrauch kann bereitgestellt werden. Eine hochzuverlässige Halbleitervorrichtung kann bereitgestellt werden. Eine Halbleitervorrichtung, die Daten halten kann, auch wenn die Leistungsversorgung unterbrochen wird, kann bereitgestellt werden. Eine neuartige Halbleitervorrichtung kann bereitgestellt werden.

[0038] Es sei angemerkt, dass die Beschreibung dieser Wirkungen dem Vorhandensein weiterer Wirkungen nicht im Wege steht. Eine Ausführungsform der vorliegenden Erfindung muss nicht unbedingt alle oben genannten Aufgaben erfüllen. Weitere Wirkungen werden ersichtlich aus der Erläuterung der Beschreibung, den Zeichnungen, den Patentansprüchen und dergleichen und können davon abgeleitet werden.

Kurze Beschreibung der Zeichnungen

[0039] Fig. 1A bis Fig. 1C sind eine Draufsicht und Querschnittsansichten, welche einen Transistor darstellen.

[0040] Fig. 2A und Fig. 2B stellen jeweils einen Querschnitt eines Transistors in einer Kanalbreitenrichtung dar.

[0041] Fig. 3 stellt einen Querschnitt eines Transistors in einer Kanalbreitenrichtung dar.

[0042] Fig. 4 stellt einen Querschnitt eines Transistors in einer Kanalbreitenrichtung dar.

[0043] Fig. 5 ist eine Querschnittsansicht, die einen Transistor darstellt.

[0044] Fig. 6A bis Fig. 6C sind eine Draufsicht und Querschnittsansichten, welche einen Transistor darstellen.

[0045] Fig. 7A bis Fig. 7C sind eine Draufsicht und Querschnittsansichten, welche einen Transistor darstellen.

[0046] Fig. 8A und Fig. 8B stellen jeweils einen Querschnitt eines Transistors in einer Kanalbreitenrichtung dar.

[0047] Fig. 9 stellt einen Querschnitt eines Transistors in einer Kanalbreitenrichtung dar.

[0048] Fig. 10 ist eine Querschnittsansicht, die einen Transistor darstellt.

[0049] Fig. 11A bis Fig. 11C stellen ein Verfahren zum Herstellen eines Transistors dar.

[0050] Fig. 12A bis Fig. 12C stellen ein Verfahren zum Herstellen eines Transistors dar.

[0051] Fig. 13A bis Fig. 13C stellen ein Verfahren zum Herstellen eines Transistors dar.

[0052] Fig. 14A bis Fig. 14C stellen ein Verfahren zum Herstellen eines Transistors dar.

[0053] Fig. 15A bis Fig. 15D sind Cs-korrigierte hochauflösende TEM-Bilder (Cs-corrected high-resolution TEM images) eines Querschnitts eines CAAC-OS und eine schematische Querschnittsansicht des CAAC-OS.

[0054] Fig. 16A bis Fig. 16D sind Cs-korrigierte hochauflösende TEM-Bilder einer Fläche eines CAAC-OS.

[0055] Fig. 17A bis Fig. 17C zeigen Strukturanalyse durch XRD eines CAAC-OS und eines einkristallinen Oxidhalbleiters.

[0056] Fig. 18A bis Fig. 18D sind Querschnittsansichten und Schaltpläne von Halbleitervorrichtungen.

[0057] Fig. 19A bis Fig. 19C sind eine Querschnittsansicht und Schaltpläne von Speichervorrichtungen.

[0058] Fig. 20 stellt ein Konfigurationsbeispiel für ein RF-Tag dar.

[0059] Fig. 21 stellt ein Konfigurationsbeispiel für eine CPU dar.

[0060] Fig. 22 ist ein Schaltplan eines Speicherelements.

[0061] Fig. 23A stellt ein Konfigurationsbeispiel für eine Anzeigevorrichtung dar, und Fig. 23B und Fig. 23C sind Schaltpläne von Pixeln.

[0062] Fig. 24 stellt ein Anzeigemodul dar.

[0063] Fig. 25A bis Fig. 25F stellen jeweils ein elektronisches Gerät dar.

[0064] Fig. 26A bis Fig. 26F stellen Anwendungsbeispiele für ein RF-Tag dar.

[0065] Fig. 27A und Fig. 27B sind jeweils ein Querschnitts-TEM-Bild eines Transistors.

[0066] Fig. 28 ist ein Querschnitts-TEM-Bild eines Transistors.

[0067] Fig. 29 ist ein Querschnitts-TEM-Bild eines Transistors.

[0068] Fig. 30A und Fig. 30B zeigen Elektronenbeugungsbilder (electron diffraction pattern) eines CAAC-OS.

[0069] Fig. 31 zeigt eine Veränderung in einem Kristallteil eines In-Ga-Zn-Oxids, die durch Elektronenbestrahlung angeregt wird.

[0070] Fig. 32A und Fig. 32B sind schematische Ansichten, die Abscheidungsmodelle (deposition models) eines CAAC-OS und eines nc-OS zeigen.

[0071] Fig. 33A bis Fig. 33C zeigen einen InGaZnO₄-Kristall und ein Pellet.

[0072] Fig. 34A bis Fig. 34D sind schematische Ansichten, die ein Abscheidungsmodell eines CAAC-OS zeigen.

Detaillierte Beschreibung der Erfindung

[0073] Ausführungsformen werden unter Bezugnahme auf Zeichnungen detailliert beschrieben. Es sei angemerkt, dass die vorliegende Erfindung nicht auf die nachfolgende Beschreibung beschränkt ist und dass sich einem Fachmann ohne Weiteres erschließt, dass Modi und Details auf verschiedene Weisen modifiziert werden können, ohne vom Erfindungsgedanken und Schutzbereich der vorliegenden Erfindung abzuweichen. Daher soll die vorliegende Erfindung nicht als auf die folgende Beschreibung der Ausführungsformen beschränkt angesehen werden. Es sei angemerkt, dass bei den Strukturen der im Folgenden beschriebenen vorliegenden Erfindung gleiche Abschnitte oder Abschnitte, die ähnliche Funktionen aufweisen, in verschiedenen Zeichnungen durch gleiche Bezugszeichen gekennzeichnet werden und dass ihre Beschreibung in einigen Fällen nicht wiederholt wird. Es sei ebenfalls angemerkt, dass gleiche Komponenten in einigen Fällen durch verschiedene Schraffurmuster in verschiedenen Zeichnungen dargestellt sind oder die Schraffurmuster weggelassen sind.

[0074] In dieser Beschreibung und dergleichen bedeutet beispielsweise ein deutlicher Ausdruck „X und Y sind verbunden“, dass X und Y elektrisch verbunden sind, dass X und Y funktional verbunden sind und dass X und Y direkt verbunden sind. Folglich ist, ohne auf eine vorbestimmte Verbindungsbeziehung, beispielsweise eine in Zeichnungen oder Texten gezeigte Verbindungsbeziehung beschränkt zu sein, eine weitere Verbindungsbeziehung in dieser Beschreibung und dergleichen offenbart.

[0075] Hier stellen X und Y jeweils einen Gegenstand (z. B. eine Vorrichtung, ein Bauelement, eine Schaltung, eine Leitung, eine Elektrode, einen Anschluss, einen leitenden Film oder eine Schicht) dar.

[0076] Beispielsweise sind in dem Fall, in dem X und Y direkt verbunden sind, X und Y verbunden, wobei kein Bauelement, das elektrische Verbindung zwischen X und Y ermöglicht (z. B. ein Schalter, ein Transistor, ein Kondensator, ein Induktor, ein Widerstand, eine Diode, ein Anzeigeelement, ein lichtemittierendes Element oder eine Last), zwischen X und Y liegt.

[0077] Beispielsweise kann/können in dem Fall, in dem X und Y elektrisch verbunden sind, ein oder mehrere Bauelemente, die eine elektrische Verbindung zwischen X und Y ermöglichen (z. B. ein Schalter, ein Transistor, ein Kondensator, ein Induktor, ein Widerstand, eine Diode, ein Anzeigeelement, ein lichtemittierendes Element oder eine Last), zwischen X und Y verbunden sein. Es sei angemerkt, dass der Schalter derart gesteuert wird, dass er eingeschaltet oder ausgeschaltet wird. Das heißt, dass der Schalter leitend oder nichtleitend (ist eingeschaltet oder

ausgeschaltet), um zu bestimmen, ob ein Strom dort hindurch fließt oder nicht. Alternativ weist der Schalter eine Funktion auf, einen Strompfad auszuwählen oder zu ändern. Es sei angemerkt, dass der Fall, in dem X und Y elektrisch verbunden sind, den Fall umfasst, in dem X und Y direkt verbunden sind.

[0078] Beispielsweise kann/können in dem Fall, in dem X und Y funktional verbunden sind, eine oder mehrere Schaltungen, die eine funktionale Verbindung zwischen X und Y ermöglichen (z. B. eine Logikschaltung, wie z. B. ein Inverter, eine NAND-Schaltung oder eine NOR-Schaltung; eine Signalwandlerschaltung, wie z. B. eine D/A-Wandlerschaltung, eine A/D-Wandlerschaltung oder eine Gammakorrekturschaltung; eine Potentialniveau-Wandlerschaltung, wie z. B. eine Leistungsversorgungsschaltung (z. B. eine Aufwärtsschaltung oder eine Abwärtschaltung) oder eine Niveauverschiebungsschaltung zum Ändern des Potentialniveaus eines Signals; eine Spannungsquelle; eine Stromquelle; ein Schaltkreis; eine Verstärkerschaltung, wie z. B. eine Schaltung, die eine Signalamplitude, die Strommenge oder dergleichen erhöhen kann, ein Operationsverstärker, eine Differentialverstärkerschaltung, eine Source-Folgerschaltung und eine Pufferschaltung; eine Signalzeugungsschaltung; eine Speicherschaltung; oder eine Steuerschaltung), zwischen X und Y verbunden sein. Beispielsweise sind auch dann, wenn eine weitere Schaltung zwischen X und Y liegt, X und Y funktional verbunden, wenn ein Ausgangssignal von X an Y gesendet wird. Es sei angemerkt, dass der Fall, in dem X und Y funktional verbunden sind, den Fall umfasst, in dem X und Y direkt verbunden sind und X und Y elektrisch verbunden sind.

[0079] Es sei angemerkt, dass in dieser Beschreibung und dergleichen ein deutlicher Ausdruck „X und Y sind verbunden“ bedeutet, dass X und Y elektrisch verbunden sind (d. h. den Fall, in dem X und Y verbunden sind, wobei ein weiteres Bauelement oder eine weitere Schaltung dazwischen angeordnet ist), dass X und Y funktional verbunden sind (d. h. den Fall, in dem X und Y funktional verbunden sind, wobei eine weitere Schaltung dazwischen angeordnet ist), und dass X und Y direkt verbunden sind (d. h. den Fall, in dem X und Y verbunden sind, wobei kein weiteres Bauelement oder keine weitere Schaltung dazwischen angeordnet ist). Das heißt, dass in dieser Beschreibung und dergleichen der deutliche Ausdruck „X und Y sind elektrisch verbunden“ gleich dem deutlichen, einfachen Ausdruck „X und Y sind verbunden“ ist.

[0080] Beispielsweise kann jeder der folgenden Ausdrücke für den Fall, in dem ein Source-Anschluss (oder ein erster Anschluss oder dergleichen) eines Transistors über (oder nicht über) Z1 elektrisch mit X verbunden ist und ein Drain-Anschluss (oder ein zweiter Anschluss oder dergleichen) des Transistors

über (oder nicht über) Z2 elektrisch mit Y verbunden ist, oder den Fall, in dem ein Source-Anschluss (oder ein erster Anschluss oder dergleichen) eines Transistors direkt mit einem Teil von Z1 verbunden ist und ein anderer Teil von Z1 direkt mit X verbunden ist, während ein Drain-Anschluss (oder ein zweiter Anschluss oder dergleichen) des Transistors direkt mit einem Teil von Z2 verbunden ist und ein anderer Teil von Z2 direkt mit Y verbunden ist, verwendet werden.

[0081] Beispiele für die Ausdrücke umfassen „X, Y, ein Source-Anschluss (oder ein erster Anschluss oder dergleichen) eines Transistors und ein Drain-Anschluss (oder ein zweiter Anschluss oder dergleichen) des Transistors sind elektrisch miteinander verbunden, und X, der Source-Anschluss (oder der erste Anschluss oder dergleichen) des Transistors, der Drain-Anschluss (oder der zweite Anschluss oder dergleichen) des Transistors und Y sind in dieser Reihenfolge elektrisch miteinander verbunden“, „ein Source-Anschluss (oder ein erster Anschluss oder dergleichen) eines Transistors ist elektrisch mit X verbunden, ein Drain-Anschluss (oder ein zweiter Anschluss oder dergleichen) des Transistors ist elektrisch mit Y verbunden, und X, der Source-Anschluss (oder der erste Anschluss oder dergleichen) des Transistors, der Drain-Anschluss (oder der zweite Anschluss oder dergleichen) des Transistors und Y sind in dieser Reihenfolge elektrisch miteinander verbunden“ und „X ist über einen Source-Anschluss (oder einen ersten Anschluss oder dergleichen) und einen Drain-Anschluss (oder einen zweiten Anschluss oder dergleichen) eines Transistors elektrisch mit Y verbunden, und X, der Source-Anschluss (oder der erste Anschluss oder dergleichen) des Transistors, der Drain-Anschluss (oder der zweite Anschluss oder dergleichen) des Transistors und Y sind derart angeordnet, dass sie in dieser Reihenfolge verbunden sind“. Wenn die Reihenfolge der Verbindung bei einer Schaltungsstruktur durch einen Ausdruck, der den obigen Beispielen ähnlich ist, definiert wird, kann man einen Source-Anschluss (oder einen ersten Anschluss oder dergleichen) und einen Drain-Anschluss (oder einen zweiten Anschluss oder dergleichen) eines Transistors voneinander unterscheiden, um den technischen Einflussbereich zu bestimmen.

[0082] Weitere Beispiele für die Ausdrücke umfassen „ein Source-Anschluss (oder ein erster Anschluss oder dergleichen) eines Transistors ist über mindestens einen ersten Verbindungspfad elektrisch mit X verbunden, der erste Verbindungspfad weist keinen zweiten Verbindungspfad auf, es handelt sich bei dem zweiten Verbindungspfad um einen Pfad zwischen dem Source-Anschluss (oder dem ersten Anschluss oder dergleichen) des Transistors und einem Drain-Anschluss (oder einem zweiten Anschluss oder dergleichen) des Transistors, Z1 liegt auf dem ersten Verbindungspfad, der Drain-Anschluss (oder

der zweite Anschluss oder dergleichen) des Transistors ist über mindestens einen dritten Verbindungspfad elektrisch mit Y verbunden, der dritte Verbindungspfad weist den zweiten Verbindungspfad nicht auf, und Z2 liegt auf dem dritten Verbindungspfad". Es ist auch möglich, den Ausdruck zu verwenden, nämlich „ein Source-Anschluss (oder ein erster Anschluss oder dergleichen) eines Transistors ist über mindestens Z1 auf einem ersten Verbindungspfad elektrisch mit X verbunden, der erste Verbindungspfad weist keinen zweiten Verbindungspfad auf, der zweite Verbindungspfad weist einen Verbindungspfad über den Transistor auf, ein Drain-Anschluss (oder ein zweiter Anschluss oder dergleichen) des Transistors ist über mindestens Z2 auf einem dritten Verbindungspfad elektrisch mit Y verbunden, und der dritte Verbindungspfad weist den zweiten Verbindungspfad nicht auf". Ein noch weiteres Beispiel für den Ausdruck ist „Source-Anschluss (oder ein erster Anschluss oder dergleichen) eines Transistors ist über mindestens Z1 auf einem ersten elektrischen Pfad elektrisch mit X verbunden, der erste elektrische Pfad weist keinen zweiten elektrischen Pfad auf, es handelt sich bei dem zweiten elektrischen Pfad um einen elektrischen Pfad von dem Source-Anschluss (oder dem ersten Anschluss oder dergleichen) des Transistors bis zu einem Drain-Anschluss (oder einem zweiten Anschluss oder dergleichen) des Transistors, der Drain-Anschluss (oder der zweite Anschluss oder dergleichen) des Transistors ist über mindestens Z2 auf einem dritten elektrischen Pfad elektrisch mit Y verbunden, der dritte elektrische Pfad weist keinen vierten elektrischen Pfad auf, und es handelt sich bei dem vierten elektrischen Pfad um einen elektrischen Pfad von dem Drain-Anschluss (oder dem zweiten Anschluss oder dergleichen) des Transistors bis zu dem Source-Anschluss (oder dem ersten Anschluss oder dergleichen) des Transistors". Wenn der Verbindungspfad bei einer Schaltungsstruktur durch einen Ausdruck, der den obigen Beispielen ähnlich ist, definiert wird, kann man einen Source-Anschluss (oder einen ersten Anschluss oder dergleichen) und einen Drain-Anschluss (oder einen zweiten Anschluss oder dergleichen) eines Transistors voneinander unterscheiden, um den technischen Einflussbereich zu bestimmen.

[0083] Es sei angemerkt, dass eine Ausführungsform der vorliegenden Erfindung nicht auf diese Ausdrücke beschränkt ist, die nur Beispiele sind. Hier stellen X, Y, Z1 und Z2 jeweils einen Gegenstand (z. B. eine Vorrichtung, ein Bauelement, eine Schaltung, eine Leitung, eine Elektrode, einen Anschluss, einen leitenden Film, eine Schicht oder dergleichen) dar.

[0084] Selbst wenn unabhängige Komponenten in einem Schaltplan elektrisch miteinander verbunden sind, weist eine Komponente in einigen Fällen Funktionen einer Mehrzahl von Komponenten auf. Wenn zum Beispiel ein Teil einer Leitung auch als Elektro-

de dient, dient ein leitender Film als Leitung und als Elektrode. Folglich umfasst die Kategorie „elektrische Verbindung“ in dieser Beschreibung einen solchen Fall, in dem ein leitender Film Funktionen einer Mehrzahl von Komponenten aufweist.

[0085] Es sei angemerkt, dass die Begriffe „Film“ und „Schicht“ je nach der Sachlage oder den Umständen untereinander ausgetauscht werden können. Beispielsweise kann der Begriff „leitende Schicht“ gegebenenfalls in den Begriff „leitender Film“ umgewandelt werden. Auch der Begriff „isolierender Film“ kann gegebenenfalls in den Begriff „isolierende Schicht“ umgewandelt werden.

(Ausführungsform 1)

[0086] Bei dieser Ausführungsform wird eine Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung unter Bezugnahme auf Zeichnungen beschrieben.

[0087] Bei einem Transistor einer Ausführungsform der vorliegenden Erfindung kann Silizium (darunter auch gestrecktes Silizium), Germanium, Siliziumgermanium, Siliziumcarbid, Galliumarsenid, Aluminiumgalliumarsenid, Indiumphosphid, Galliumnitrid, ein organischer Halbleiter, ein Oxidhalbleiter oder dergleichen für einen Kanalbildungsbereich verwendet werden. Es ist besonders bevorzugt, einen Oxidhalbleiter mit einer größeren Bandlücke als Silizium für den Kanalbildungsbereich zu verwenden.

[0088] Beispielsweise enthält der Oxidhalbleiter vorzugsweise mindestens Indium (In) oder Zink (Zn). Der Oxidhalbleiter enthält stärker bevorzugt ein Oxid, das durch ein Oxid auf In-M-Zn-Basis (Mist ein Metall, wie z. B. Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce oder Hf) dargestellt wird.

[0089] In der folgenden Beschreibung enthält, sofern nicht anders angegeben, eine als Beispiel beschriebene Halbleitervorrichtung einen Oxidhalbleiter in einem Kanalbildungsbereich.

[0090] Fig. 1A bis Fig. 1C sind eine Draufsicht und Querschnittsansichten eines Transistors **101** einer Ausführungsform der vorliegenden Erfindung. Fig. 1A ist die Draufsicht. Fig. 1B stellt einen Querschnitt in der Richtung einer Strichpunktlinie A1–A2 in Fig. 1A dar. Fig. 1C stellt einen Querschnitt in der Richtung einer Strichpunktlinie A3–A4 in Fig. 1A dar. In Fig. 1A bis Fig. 1C sind einige Komponenten zum leichteren Verständnis vergrößert oder verkleinert dargestellt oder weggelassen. In einigen Fällen wird die Richtung der Strichpunktlinie A1–A2 als Kanallängsrichtung bezeichnet, und die Richtung der Strichpunktlinie A3–A4 wird als Kanalbreitenrichtung bezeichnet.

[0091] Es sei angemerkt, dass die Kanallänge beispielsweise einen Abstand zwischen einer Source (einem Source-Bereich oder einer Source-Elektrode) und einem Drain (einem Drain-Bereich oder einer Drain-Elektrode) in einem Bereich, in dem ein Halbleiter (oder ein Teil eines Halbleiters, in dem ein Strom fließt, wenn ein Transistor eingeschaltet ist) und eine Gate-Elektrode einander überlappen, oder in einem Bereich, in dem ein Kanal in einer Draufsicht des Transistors gebildet wird, bezeichnet. Bei einem Transistor sind Kanallängen nicht notwendigerweise in sämtlichen Bereichen gleich. Mit anderen Worten: die Kanallänge eines Transistors ist in einigen Fällen nicht auf einen einzigen Wert beschränkt. Deshalb bezieht sich die Kanallänge in dieser Beschreibung auf einen von Werten, nämlich den Maximalwert, den Minimalwert oder den Durchschnittswert in einem Bereich, in dem ein Kanal gebildet wird.

[0092] Die Kanalbreite bezeichnet beispielsweise die Länge eines Abschnitts, in dem eine Source und ein Drain in einem Bereich, in dem ein Halbleiter (oder ein Teil eines Halbleiters, in dem ein Strom fließt, wenn ein Transistor eingeschaltet ist) und eine Gate-Elektrode einander überlappen, oder in einem Bereich, in dem ein Kanal gebildet wird, zugewandt sind. Bei einem Transistor weisen Kanalbreiten nicht notwendigerweise in sämtlichen Bereichen den gleichen Wert auf. Mit anderen Worten: eine Kanalbreite eines Transistors ist in einigen Fällen nicht auf einen einzigen Wert festgelegt. Deshalb bezieht sich eine Kanalbreite in dieser Beschreibung auf einen von Werten, nämlich den Maximalwert, den Minimalwert oder den Durchschnittswert in einem Bereich, in dem ein Kanal gebildet wird.

[0093] Es sei angemerkt, dass sich in einigen Fällen abhängig von Transistorstrukturen eine Kanalbreite in einem Bereich, in dem ein Kanal eigentlich gebildet wird (nachstehend als wirksame Kanalbreite bezeichnet), von einer Kanalbreite, die in einer Draufsicht eines Transistors gezeigt ist (nachstehend als scheinbare Kanalbreite bezeichnet), unterscheidet. Bei einem Transistor mit einer dreidimensionalen Struktur ist zum Beispiel eine wirksame Kanalbreite größer als eine scheinbare Kanalbreite, die in einer Draufsicht des Transistors gezeigt ist, und in einigen Fällen kann man ihren Einfluss nicht ignorieren. Bei einem miniaturisierten Transistor mit einer dreidimensionalen Struktur ist zum Beispiel der Anteil eines Kanalbereichs, der in einer Seitenfläche eines Halbleiters gebildet wird, in einigen Fällen höher als der Anteil eines Kanalbereichs, der in einer nach oben weisenden Oberfläche eines Halbleiters gebildet wird. In diesem Fall ist eine wirksame Kanalbreite, die erhalten wird, wenn ein Kanal eigentlich gebildet wird, größer als eine scheinbare Kanalbreite, die in der Draufsicht gezeigt ist.

[0094] Bei einem Transistor mit einer dreidimensionalen Struktur ist eine wirksame Kanalbreite unter Umständen schwer zu messen. Die Einschätzung einer wirksamen Kanalbreite aus einem Bemessungswert erfordert beispielsweise eine Annahme, dass die Form eines Halbleiters bekannt ist. Deshalb ist in dem Fall, in dem die Form eines Halbleiters nicht genau bekannt ist, eine genaue wirksame Kanalbreite schwer zu messen.

[0095] In dieser Beschreibung wird daher in einigen Fällen in einer Draufsicht eines Transistors eine scheinbare Kanalbreite, die eine Länge eines Abschnitts ist, in dem eine Source und ein Drain einander in einem Bereich zugewandt sind, in dem ein Halbleiter und eine Gate-Elektrode einander überlappen, als Breite eines umschlossenen Kanals (surrounded channel width, SCW) bezeichnet. In dieser Beschreibung kann außerdem in dem Fall, in dem der Begriff „Kanalbreite“ einfach verwendet wird, er eine Breite eines umschlossenen Kanals und eine scheinbare Kanalbreite bezeichnen. Alternativ kann in dieser Beschreibung in dem Fall, in dem der Begriff „Kanalbreite“ einfach verwendet wird, er in einigen Fällen auch eine wirksame Kanalbreite bezeichnen. Es sei angemerkt, dass die Werte einer Kanallänge, einer Kanalbreite, einer wirksamen Kanalbreite, einer scheinbaren Kanalbreite, einer Breite eines umschlossenen Kanals und dergleichen bestimmt werden können, indem ein Querschnitts-TEM-Bild (cross-sectional TEM image) und dergleichen aufgenommen und analysiert werden.

[0096] Es sei angemerkt, dass in dem Fall, in dem eine Feldeffektbeweglichkeit, ein Stromwert pro Kanalbreite und dergleichen eines Transistors durch Berechnung ermittelt werden, eine Breite eines umschlossenen Kanals für die Berechnung genutzt werden kann. In diesem Fall wird ein Wert, der verschiedenen von einem Wert bei der Verwendung einer wirksamen Kanalbreite für die Berechnung ist, unter Umständen erhalten.

[0097] Der Transistor **101** beinhaltet eine isolierende Schicht **120** über einem Substrat **110**; eine Oxidhalbleiterschicht **130** über der isolierenden Schicht **120**; eine Source-Elektrodenschicht **140** und eine Drain-Elektrodenschicht **150**, welche elektrisch mit der Oxidhalbleiterschicht **130** verbunden sind; einen Gate-Isolierfilm **160** über der Oxidhalbleiterschicht **130**, der Source-Elektrodenschicht **140** und der Drain-Elektrodenschicht **150**; und eine Gate-Elektrodenschicht **170**, welche die Oxidhalbleiterschicht **130**, einen Teil der Source-Elektrodenschicht **140** und einen Teil der Drain-Elektrodenschicht **150** überlappt, wobei der Gate-Isolierfilm **160** dazwischen angeordnet ist. Eine isolierende Schicht **180** kann zusätzlich über dem Gate-Isolierfilm **160** und der Gate-Elektrodenschicht **170** angeordnet sein. Ferner kann eine isolierende Schicht **185**, die unter Verwen-

ung eines Oxids ausgebildet ist, über der isolierenden Schicht **180** ausgebildet sein. Die isolierenden Schichten können nach Bedarf bereitgestellt sein und eine weitere isolierende Schicht kann darüber angeordnet sein.

[0098] Es sei angemerkt, dass Funktionen einer „Source“ und eines „Drains“ eines Transistors miteinander untereinander ausgetauscht werden, wenn beispielsweise ein Transistor mit entgegengesetzter Polarität verwendet wird oder wenn die Richtung eines Stromflusses im Schaltungsbetrieb verändert wird. Deshalb können die Begriffe „Source“ und „Drain“ in dieser Beschreibung untereinander ausgetauscht werden.

[0099] Es sei angemerkt, dass mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) auf mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer nach oben weisenden Oberfläche und/oder einer nach unten weisenden Oberfläche einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet ist.

[0100] Alternativ steht mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) in Kontakt mit mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer nach oben weisenden Oberfläche und/oder einer nach unten weisenden Oberfläche einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**. Alternativ steht mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) in Kontakt mit mindestens einem Teil (oder dem Ganzen) einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**.

[0101] Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) elektrisch mit mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer nach oben weisenden Oberfläche und/oder einer nach unten weisenden Oberfläche einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, verbunden. Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) elektrisch mit mindestens einem Teil (oder dem Ganzen) einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, verbunden.

[0102] Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) in der Nähe mindestens eines Teils (oder des Ganzen) einer Oberfläche, einer Seitenfläche, einer nach oben weisenden Oberfläche und/oder einer nach unten weisenden Oberfläche einer Halbleiterschicht, wie z. B. der

Oxidhalbleiterschicht **130**, angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) in der Nähe mindestens eines Teils (oder des Ganzen) einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet.

[0103] Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) neben mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer nach oben weisenden Oberfläche und/oder einer nach unten weisenden Oberfläche einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) neben mindestens einem Teil (oder dem Ganzen) einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet.

[0104] Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) schräg über mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer nach oben weisenden Oberfläche und/oder einer nach unten weisenden Oberfläche einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) schräg über mindestens einem Teil (oder dem Ganzen) einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet.

[0105] Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) oberhalb mindestens eines Teils (oder des Ganzen) einer Oberfläche, einer Seitenfläche, einer nach oben weisenden Oberfläche und/oder einer nach unten weisenden Oberfläche einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Source-Elektrodenschicht **140** (und/oder der Drain-Elektrodenschicht **150**) oberhalb mindestens eines Teils (oder des Ganzen) einer Halbleiterschicht, wie z. B. der Oxidhalbleiterschicht **130**, angeordnet.

[0106] Der Transistor einer Ausführungsform der vorliegenden Erfindung hat eine Struktur mit oberem Gate, wobei seine Kanallänge größer als oder gleich 10 nm und kleiner als oder gleich 300 nm ist. Der Transistor weist einen Bereich **191** (LovS), in dem die Gate-Elektrodenschicht **170** die Source-Elektrodenschicht **140** überlappt, und einen Bereich **192** (LovD) auf, in dem die Gate-Elektrodenschicht **170** die Drain-Elektrodenschicht **150** überlappt. Zur Verringerung einer parasitären Kapazität ist die Breite jedes der Bereiche **191** und **192** in der Kanallängsrichtung vor-

zugsweise größer als oder gleich 3 nm und kleiner als 300 nm.

[0107] Fig. 2A ist eine vergrößerte Ansicht, die einige Bestandteile des in Fig. 1C gezeigten Transistors **101** im Querschnitt in der Kanalbreitenrichtung zeigt. Im Querschnitt weist die Oxidhalbleiterschicht **130** einen ersten Bereich **201**, dessen einer Endabschnitt in Kontakt mit der isolierenden Schicht **120** steht, einen zweiten Bereich **202**, dessen einer Endabschnitt in Kontakt mit dem anderen Endabschnitt des ersten Bereichs **201** steht, und einen dritten Bereich **203** auf, dessen einer Endabschnitt in Kontakt mit dem anderen Endabschnitt des zweiten Bereichs **202** steht und dessen anderer Endabschnitt in Kontakt mit der isolierenden Schicht **120** steht. Der zweite Bereich **202** liegt in einem oberen Abschnitt der Oxidhalbleiterschicht **130**.

[0108] In dem zweiten Bereich **202** ist, wie in Fig. 2B gezeigt, die Grenzfläche zu dem Gate-Isolierfilm **160** konvex geformt und weist einen Bereich **211** mit einem Krümmungsradius R_1 , einen Bereich **212** mit einem Krümmungsradius R_2 und einen Bereich **213** mit einem Krümmungsradius R_3 auf, welche in dieser Reihenfolge von der Seite des einen Endabschnitts bis zur Seite des anderen Endabschnitts des zweiten Bereichs **202** verbunden sind.

[0109] Im einen Endabschnitt des ersten Bereichs **201** gibt es ferner einen konkaven Bereich **214** mit einem Krümmungsradius R_4 an der Grenzfläche zu dem Gate-Isolierfilm **160**. Im anderen Endabschnitt des dritten Bereichs **203** gibt es einen konkaven Bereich **215** mit einem Krümmungsradius R_5 an der Grenzfläche zu dem Gate-Isolierfilm **160**. Es sei angemerkt, dass konkave Bereiche der isolierenden Schicht **120** in Betracht gezogen werden können, wenn die Krümmungsradien des Bereichs **214** und des Bereichs **215** berechnet werden.

[0110] Hierbei ist R_2 bevorzugt größer als R_1 und R_3 , stärker bevorzugt doppelt oder mehrfach so groß wie der kleinere von R_1 und R_3 . Darüber hinaus sind R_1 und R_3 vorzugsweise einander im Wesentlichen gleich; R_1/R_3 ist vorzugsweise größer als oder gleich 0,7 und kleiner als oder gleich 1,3. Darüber hinaus sind R_4 und R_5 vorzugsweise einander im Wesentlichen gleich; R_4/R_5 ist vorzugsweise größer als oder gleich 0,7 und kleiner als oder gleich 1,3. Zudem sind R_1 und R_3 jeweils bevorzugt größer als R_4 und R_5 , stärker bevorzugt drei- oder mehrfach so groß wie der kleinere von R_4 und R_5 . Es sei angemerkt, dass in dem Fall, in dem die Kanalbreite groß ist, R_2 unendlich ist und der Bereich **212** im Wesentlichen eben ist, wie in Fig. 3 gezeigt.

[0111] Darüber hinaus ist, wie in Fig. 4 gezeigt, ein Winkel θ , der von einer Linie, die mit der Grenzfläche zwischen dem ersten Bereich **201** und dem Gate-Isolier-

film **160** zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht **170** erstreckt, und einer Linie, die mit der Grenzfläche zwischen dem dritten Bereich **203** und dem Gate-Isolierfilm **160** zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht **170** erstreckt, gebildet ist, größer als oder gleich 5° und kleiner als oder gleich 45° , bevorzugt größer als oder gleich 8° und kleiner als oder gleich 30° , stärker bevorzugt größer als oder gleich 10° und kleiner als oder gleich 25° .

[0112] Die Höhe (H) der Oxidhalbleiterschicht **130** im Querschnitt in der Kanalbreitenrichtung ist vorzugsweise größer als oder gleich 30 nm und kleiner als oder gleich 3000 nm und kann beispielsweise 100 nm bis 200 nm sein. Es sei angemerkt, dass die Höhe (H) die Höhe eines vorspringenden Abschnitts der isolierenden Schicht **120**, der durch Überätzung gebildet wird, umfassen kann.

[0113] Zudem ist die durch die Kanalbreite geteilte Höhe der Oxidhalbleiterschicht **130** im Querschnitt in der Kanalbreitenrichtung beispielsweise 0,5 oder mehr, bevorzugt 5 bis 10.

[0114] Die oben beschriebene Struktur verbessert die Abdeckung der Oxidhalbleiterschicht **130** mit dem Gate-Isolierfilm **160**; daher kann der Gate-Isolierfilm **160** leicht dünn gemacht werden. Überdies kann die Oxidhalbleiterschicht **130** ohne lokal konvexen oder konkaven Abschnitt, auf den sich ein elektrisches Feld konzentriert, erhalten werden; auf diese Weise kann ein Transistor mit hoher Gate-Spannungsfestigkeit hergestellt werden.

[0115] Der Transistor **101** kann einen leitenden Film **172** zwischen der Oxidhalbleiterschicht **130** und dem Substrat **110** beinhalten, wie in Fig. 5 gezeigt. Wenn der leitende Film als zweite Gate-Elektrode (Rückgate) verwendet wird, kann der Durchlassstrom (on-state current) erhöht werden oder die Schwellenspannung kann gesteuert werden. Um den Durchlassstrom zu erhöhen, werden beispielsweise die Gate-Elektrodenschicht **170** und der leitende Film **172** derart gesteuert, dass sie das gleiche Potential aufweisen, und der Transistor wird als Doppel-Gate-Transistor (dual-gate transistor) betrieben. Darüber hinaus wird ein festes Potential, das sich von einem Potential der Gate-Elektrodenschicht **170** unterscheidet, dem leitenden Film **172** zugeführt, um die Schwellenspannung zu steuern.

[0116] Der Transistor einer Ausführungsform der vorliegenden Erfindung kann eine Struktur, die in Fig. 6A bis Fig. 6C dargestellt ist, haben. Fig. 6A ist eine Draufsicht. Fig. 6B stellt einen Querschnitt in der Richtung einer Strichpunktlinie B1–B2 in Fig. 6A dar. Fig. 6C stellt einen Querschnitt in der Richtung einer Strichpunktlinie B3–B4 in Fig. 6A dar. In Fig. 6A bis Fig. 6C sind einige Komponenten zum leichteren

Verständnis vergrößert oder verkleinert dargestellt oder weggelassen. In einigen Fällen wird die Richtung der Strichpunktlinie B1–B2 als Kanallängsrichtung bezeichnet, und die Richtung der Strichpunktlinie B3–B4 wird als Kanalbreitenrichtung bezeichnet.

[0117] Ein Transistor **102** in **Fig. 6A** bis **Fig. 6C** unterscheidet sich von dem Transistor **101** darin, dass eine erste Oxidhalbleiterschicht **131**, eine zweite Oxidhalbleiterschicht **132** und eine dritte Oxidhalbleiterschicht **133** als die Oxidhalbleiterschicht **130** in dieser Reihenfolge von der Seite der isolierenden Schicht **120** aus ausgebildet sind.

[0118] Oxidhalbleiterschichten mit verschiedenen Zusammensetzungen können beispielsweise als die erste Oxidhalbleiterschicht **131**, die zweite Oxidhalbleiterschicht **132** und die dritte Oxidhalbleiterschicht **133** verwendet werden.

[0119] Es sei angemerkt, dass die Beschreibung der Form der Oxidhalbleiterschicht **130** in dem Transistor **101** auch für den Transistor **102** gilt und dass die Form eine ähnliche Wirkung erzeugen kann. Es ist ebenfalls möglich, die in **Fig. 5** gezeigte Struktur auf den Transistor **102** anzuwenden.

[0120] Der Transistor einer Ausführungsform der vorliegenden Erfindung kann eine Struktur, die in **Fig. 7A** bis **Fig. 7C** dargestellt ist, haben. **Fig. 7A** ist eine Draufsicht. **Fig. 7B** stellt einen Querschnitt in der Richtung einer Strichpunktlinie C1–C2 in **Fig. 7A** dar. **Fig. 7C** stellt einen Querschnitt in der Richtung einer Strichpunktlinie C3–C4 in **Fig. 7A** dar. In **Fig. 7A** bis **Fig. 7C** sind einige Komponenten zum leichteren Verständnis vergrößert oder verkleinert dargestellt oder weggelassen. In einigen Fällen wird die Richtung der Strichpunktlinie C1–C2 als Kanallängsrichtung bezeichnet, und die Richtung der Strichpunktlinie C3–C4 wird als Kanalbreitenrichtung bezeichnet.

[0121] Ein Transistor **103** in **Fig. 7A** bis **Fig. 7C** unterscheidet sich von dem Transistor **101** und dem Transistor **102** darin, dass die Oxidhalbleiterschicht **130** einen Stapel, in dem die erste Oxidhalbleiterschicht **131** und die zweite Oxidhalbleiterschicht **132** in dieser Reihenfolge von der Seite der isolierenden Schicht **120** aus ausgebildet sind, und die dritte Oxidhalbleiterschicht **133**, die einen Teil des Stapels bedeckt, umfasst.

[0122] Oxidhalbleiterschichten mit verschiedenen Zusammensetzungen können beispielsweise als die erste Oxidhalbleiterschicht **131**, die zweite Oxidhalbleiterschicht **132** und die dritte Oxidhalbleiterschicht **133** verwendet werden.

[0123] Der Transistor **103** beinhaltet insbesondere die isolierende Schicht **120** über dem Substrat **110**; den Stapel, der über der isolierenden Schicht

120 liegt und in dem die erste Oxidhalbleiterschicht **131** und die zweite Oxidhalbleiterschicht **132** in dieser Reihenfolge ausgebildet sind; die Source-Elektrodenschicht **140** und die Drain-Elektrodenschicht **150**, welche elektrisch mit einem Teil des Stapels verbunden sind; die dritte Oxidhalbleiterschicht **133**, die einen Teil des Stapels, einen Teil der Source-Elektrodenschicht **140** und einen Teil der Drain-Elektrodenschicht **150** bedeckt; und den Gate-Isolierfilm **160** und die Gate-Elektrodenschicht **170**, welche einen Teil des Stapels, einen Teil der Source-Elektrodenschicht **140**, einen Teil der Drain-Elektrodenschicht **150** und die dritte Oxidhalbleiterschicht **133** überlappt. Die isolierende Schicht **180** kann über der Source-Elektrodenschicht **140**, der Drain-Elektrodenschicht **150** und der Gate-Elektrodenschicht **170** angeordnet sein. Ferner kann die isolierende Schicht **185**, die unter Verwendung eines Oxids ausgebildet ist, über der isolierenden Schicht **180** ausgebildet sein. Die isolierenden Schichten können nach Bedarf bereitgestellt sein und eine weitere isolierende Schicht kann darüber angeordnet sein.

[0124] **Fig. 8A** ist eine vergrößerte Ansicht, die einige Bestandteile des in **Fig. 7C** gezeigten Transistors **103** im Querschnitt in der Kanalbreitenrichtung zeigt. Im Querschnitt weist die dritte Oxidhalbleiterschicht **133** einen ersten Bereich **1331**, der einen Seitenabschnitt des Stapels, der die erste Oxidhalbleiterschicht **131** und die zweite Oxidhalbleiterschicht **132** umfasst, und einen Teil der isolierenden Schicht **120** bedeckt; einen zweiten Bereich **1332**, der einen oberen Abschnitt der zweiten Oxidhalbleiterschicht **132** bedeckt; und einen dritten Bereich **1333** auf, der den anderen Seitenabschnitt des Stapels und einen Teil der isolierenden Schicht **120** bedeckt.

[0125] In dem zweiten Bereich **1332** ist, wie in **Fig. 8B** gezeigt, die Grenzfläche zu dem Gate-Isolierfilm **160** konvex geformt und weist einen Bereich **221** mit einem Krümmungsradius R_1 , einen Bereich **222** mit einem Krümmungsradius R_2 und einen Bereich **223** mit einem Krümmungsradius R_3 auf, welche in dieser Reihenfolge von der Seite des einen Endabschnitts bis zur Seite des anderen Endabschnitts des zweiten Bereichs **1332** verbunden sind.

[0126] Im einen Endabschnitt des ersten Bereichs **1331** gibt es ferner einen konkaven Bereich **224** mit einem Krümmungsradius R_4 an der Grenzfläche zu dem Gate-Isolierfilm **160**. Im anderen Endabschnitt des dritten Bereichs **1333** gibt es einen konkaven Bereich **225** mit einem Krümmungsradius R_5 an der Grenzfläche zu dem Gate-Isolierfilm **160**.

[0127] Hierbei ist R_2 bevorzugt größer als R_1 und R_3 , stärker bevorzugt doppelt oder mehrfach so groß wie der kleinere von R_1 und R_3 . Darüber hinaus sind R_1 und R_3 vorzugsweise einander im Wesentlichen gleich; R_1/R_3 ist vorzugsweise größer als oder gleich

0,7 und kleiner als oder gleich 1,3. Darüber hinaus sind R4 und R5 vorzugsweise einander im Wesentlichen gleich; R4/R5 ist vorzugsweise größer als oder gleich 0,7 und kleiner als oder gleich 1,3. Zudem sind R1 und R3 jeweils bevorzugt größer als R4 und R5, stärker bevorzugt drei- oder mehrfach so groß wie der kleinere von R4 und R5. Es sei angemerkt, dass in dem Fall, in dem die Kanalbreite groß ist, R2 unendlich ist und der Bereich **222** im Wesentlichen eben ist, ähnlich wie bei dem in **Fig. 3** gezeigten Transistor.

[0128] Darüber hinaus ist, wie in **Fig. 9** gezeigt, ein Winkel θ , der von einer Linie, die mit der Grenzfläche zwischen dem ersten Bereich **1331** und dem Gate-Isolierfilm **160** zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht **170** erstreckt, und einer Linie, die mit der Grenzfläche zwischen dem dritten Bereich **1333** und dem Gate-Isolierfilm **160** zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht **170** erstreckt, gebildet ist, größer als oder gleich 5° und kleiner als oder gleich 45° , bevorzugt größer als oder gleich 8° und kleiner als oder gleich 30° , stärker bevorzugt größer als oder gleich 10° und kleiner als oder gleich 25° .

[0129] Die Höhe (H) der Oxidhalbleiterschicht **130** im Querschnitt in der Kanalbreitenrichtung ist vorzugsweise größer als oder gleich 30 nm und kleiner als oder gleich 3000 nm und kann beispielsweise 100 nm bis 200 nm sein. Es sei angemerkt, dass die Höhe (H) die Höhe eines vorspringenden Abschnitts, der durch Überätzung der isolierenden Schicht **120** gebildet wird, umfassen kann.

[0130] Zudem ist die durch die Kanalbreite geteilte Höhe der Oxidhalbleiterschicht **130** im Querschnitt in der Kanalbreitenrichtung beispielsweise 0,5 oder mehr, bevorzugt 5 bis 10.

[0131] Die oben beschriebene Struktur verbessert die Abdeckung der Oxidhalbleiterschicht **130** mit dem Gate-Isolierfilm **160**; daher kann der Gate-Isolierfilm **160** leicht dünn gemacht werden. Überdies kann die Oxidhalbleiterschicht **130** ohne lokal konvexen oder konkaven Abschnitt, auf den sich ein elektrisches Feld konzentriert, erhalten werden; auf diese Weise kann ein Transistor mit hoher Gate-Spannungsfestigkeit hergestellt werden.

[0132] Der Transistor **103** kann einen leitenden Film **172** zwischen der Oxidhalbleiterschicht **130** und dem Substrat **110** beinhalten, wie in **Fig. 10** gezeigt. Wenn der leitende Film als zweite Gate-Elektrode (Rückgate) verwendet wird, kann der Durchlassstrom erhöht werden oder die Schwellenspannung kann gesteuert werden. Um den Durchlassstrom zu erhöhen, werden beispielsweise die Gate-Elektrodenschicht **170** und der leitende Film **172** derart gesteuert, dass sie das gleiche Potential aufweisen, und der Transistor wird als Doppel-Gate-Transistor betrieben. Darüber hin-

aus wird ein festes Potential, das sich von einem Potential der Gate-Elektrodenschicht **170** unterscheidet, dem leitenden Film **172** zugeführt, um die Schwellenspannung zu steuern.

[0133] In dem Kanalbildungsbereich des Transistors **101** in **Fig. 1A** bis **Fig. 1C** handelt es sich bei der Oxidhalbleiterschicht **130** um eine Einzelschicht. In dem Kanalbildungsbereich des Transistors **102** in **Fig. 6A** bis **Fig. 6C** hat die Oxidhalbleiterschicht **130** eine dreischichtige Struktur, bei der die erste Oxidhalbleiterschicht **131**, die zweite Oxidhalbleiterschicht **132** und die dritte Oxidhalbleiterschicht **133** in dieser Reihenfolge von der Seite des Substrats **110** aus gestapelt sind. Ähnlich wie bei dem Transistor **102** hat die Oxidhalbleiterschicht **130** in dem Transistor **103** in **Fig. 7A** bis **Fig. 7C** eine dreischichtige Struktur. In dem Kanalbildungsbereich des Transistors **103** ist die zweite Oxidhalbleiterschicht **132** von der ersten Oxidhalbleiterschicht **131** und der dritten Oxidhalbleiterschicht **133** umschlossen.

[0134] Bei jeder der vorstehenden Strukturen umschließt die Gate-Elektrodenschicht **170** in der Kanalbreitenrichtung elektrisch die Oxidhalbleiterschicht **130**. Diese Struktur erhöht den Durchlassstrom. Eine derartige Transistorstruktur wird als Struktur mit umschlossenem Kanal (surrounded channel, s-channel) bezeichnet. Bei jeder der Strukturen des Transistors **102** und des Transistors **103** kann ein Strom in der ganzen zweiten Oxidhalbleiterschicht **132** fließen, indem geeignete Materialien für die drei Schichten, welche die Oxidhalbleiterschicht **130** bilden, gewählt werden. Da ein Strom in der zweiten Oxidhalbleiterschicht **132** in einem inneren Teil der Oxidhalbleiterschicht **130** fließt, wird der Strom kaum durch Grenzflächenstreuung beeinflusst, was zu einem hohen Durchlassstrom führt.

[0135] Es sei angemerkt, dass eine Zunahme der Dicke der zweiten Oxidhalbleiterschicht **132** den Durchlassstrom erhöhen kann. Die Dicke der zweiten Oxidhalbleiterschicht **132** kann beispielsweise 100 nm bis 200 nm sein.

[0136] Als nächstes werden die Bestandteile des Transistors einer Ausführungsform der vorliegenden Erfindung detailliert beschrieben.

[0137] Das Substrat **110** ist nicht auf ein einfaches tragendes Substrat beschränkt und kann ein Substrat sein, bei dem eine weitere Vorrichtung, wie z. B. ein Transistor, ausgebildet ist. In diesem Fall kann mindestens eine der Gate-Elektrodenschicht **170**, der Source-Elektrodenschicht **140** und der Drain-Elektrodenschicht **150** des Transistors elektrisch mit der obigen Vorrichtung verbunden sein.

[0138] Die isolierende Schicht **120** kann eine Funktion zum Zuführen von Sauerstoff zu der Oxidhalb-

leiterschicht **130** sowie eine Funktion zum Verhindern einer Diffusion von Verunreinigungen aus dem Substrat **110** aufweisen. Aus diesem Grund handelt es sich bei der isolierenden Schicht **120** bevorzugt um einen Sauerstoff enthaltenden isolierenden Film. Es ist stärker bevorzugt, dass es sich bei der isolierenden Schicht **120** um einen Sauerstoff enthaltenden isolierenden Film handelt, in dem der Sauerstoffgehalt höher ist als derjenige in der stöchiometrischen Zusammensetzung. Bei der isolierenden Schicht **120** handelt es sich beispielsweise um einen Film, bei dem die Menge an daraus abgegebene Sauerstoff, umgerechnet in Sauerstoffatome, $1,0 \times 10^{19}$ Atome/cm³ oder mehr bei einer TDS-Analyse ist. Die Oberflächentemperatur des Films bei der TDS-Analyse ist höher als oder gleich 100°C und niedriger als oder gleich 700°C oder höher als oder gleich 100°C und niedriger als oder gleich 500°C. In dem Fall, in dem, wie oben beschrieben, das Substrat **110** mit einer weiteren Vorrichtung versehen ist, weist die isolierende Schicht **120** auch eine Funktion als isolierender Zwischenschichtfilm auf. In diesem Fall wird die isolierende Schicht **120** vorzugsweise einer Planarisierungsbehandlung, wie z. B. chemisch-mechanischem Polieren (chemical mechanical polishing, CMP), unterzogen, um eine ebene Oberfläche aufzuweisen.

[0139] Bei dieser Ausführungsform wird hauptsächlich der Fall, in dem die Oxidhalbleiterschicht **130** eine dreischichtige Struktur hat, ausführlich beschrieben; jedoch gibt es keine Beschränkung hinsichtlich der Anzahl der gestapelten Schichten. In dem Fall, in dem wie bei dem Transistor **101** die Oxidhalbleiterschicht **130** eine Einzelschicht ist, wird eine Schicht, die der bei dieser Ausführungsform beschriebenen zweiten Oxidhalbleiterschicht **132** entspricht, verwendet. In dem Fall, in dem die Oxidhalbleiterschicht **130** eine zweischichtige Struktur hat, findet beispielsweise eine Struktur der Oxidhalbleiterschicht **130** in dem Transistor **102** oder dem Transistor **103** ohne die dritte Oxidhalbleiterschicht **133** Anwendung. In einem solchen Fall können die zweite Oxidhalbleiterschicht **132** und die erste Oxidhalbleiterschicht **131** untereinander ausgetauscht werden. In dem Fall, in dem die Oxidhalbleiterschicht **130** eine Stapelschichtstruktur aus vier oder mehr Schichten hat, kann beispielsweise eine Struktur, bei der eine weitere Oxidhalbleiterschicht über dem bei dieser Ausführungsform beschriebenen dreischichtigen Stapel gestapelt ist, oder eine Struktur, bei der eine weitere Oxidhalbleiterschicht in einer beliebigen Grenzfläche in dem dreischichtigen Stapel eingefügt ist, Anwendung finden.

[0140] Für die zweite Oxidhalbleiterschicht **132** wird beispielsweise ein Oxidhalbleiter verwendet, dessen Elektronenaffinität (ein Energieunterschied zwischen einem Vakuumniveau und dem Minimum des Leitungsbandes) höher ist als diejenige der ersten Oxid-

halbleiterschicht **131** und der dritten Oxidhalbleiterschicht **133**. Die Elektronenaffinität kann durch Abziehen eines Energieunterschiedes zwischen dem Minimum des Leitungsbandes und dem Maximum des Valenzbandes (der eine Energielücke genannt) ausgehend von einem Energieunterschied zwischen dem Vakuumniveau und dem Maximum des Valenzbandes (der ein Ionisierungspotential genannt) ermittelt werden.

[0141] Die erste Oxidhalbleiterschicht **131** und die dritte Oxidhalbleiterschicht **133** enthalten jeweils eine oder mehrere Arten von Metallelementen, die in der zweiten Oxidhalbleiterschicht **132** enthalten sind. Beispielsweise sind die erste Oxidhalbleiterschicht **131** und die dritte Oxidhalbleiterschicht **133** vorzugsweise unter Verwendung eines Oxidhalbleiters ausgebildet, dessen Minimum des Leitungsbandes um 0,05 eV oder mehr, 0,07 eV oder mehr, 0,1 eV oder mehr oder 0,15 eV oder mehr und 2 eV oder weniger, 1 eV oder weniger, 0,5 eV oder weniger oder 0,4 eV oder weniger näher an einem Vakuumniveau liegt als dasjenige der zweiten Oxidhalbleiterschicht **132**.

[0142] Bei einer derartigen Struktur wird dann, wenn ein elektrisches Feld an die Gate-Elektrodenerschicht **170** angelegt wird, ein Kanal in der zweiten Oxidhalbleiterschicht **132** gebildet, deren Minimum des Leitungsbandes in der Oxidhalbleiterschicht **130** am tiefsten liegt.

[0143] Des Weiteren ist, da die erste Oxidhalbleiterschicht **131** eine oder mehrere Arten von Metallelementen, die in der zweiten Oxidhalbleiterschicht **132** enthalten sind, enthält, unwahrscheinlich, dass ein Grenzflächenzustand (interface state) an der Grenzfläche zwischen der zweiten Oxidhalbleiterschicht **132** und der ersten Oxidhalbleiterschicht **131** gebildet wird, im Vergleich zu an der Grenzfläche zwischen der zweiten Oxidhalbleiterschicht **132** und der isolierenden Schicht **120**, wobei man davon ausgeht, dass die zweite Oxidhalbleiterschicht **132** in Kontakt mit der isolierenden Schicht **120** steht. Der Grenzflächenzustand bildet manchmal einen Kanal; deswegen wird die Schwellenspannung des Transistors in einigen Fällen verändert. Mit der ersten Oxidhalbleiterschicht **131** können daher Schwankungen der elektrischen Eigenschaften des Transistors, wie z. B. einer Schwellenspannung, verringert werden. Überdies kann die Zuverlässigkeit des Transistors verbessert werden.

[0144] Außerdem ist, da die dritte Oxidhalbleiterschicht **133** eine oder mehrere Arten von Metallelementen, die in der zweiten Oxidhalbleiterschicht **132** enthalten sind, enthält, unwahrscheinlich, dass eine Streuung von Ladungsträgern an der Grenzfläche zwischen der zweiten Oxidhalbleiterschicht **132** und der dritten Oxidhalbleiterschicht **133** auftritt, im Vergleich zu an der Grenzfläche zwischen der zwei-

ten Oxidhalbleiterschicht **132** und dem Gate-Isolierfilm **160**, wobei man davon ausgeht, dass die zweite Oxidhalbleiterschicht **132** in Kontakt mit dem Gate-Isolierfilm **160** steht. Mit der dritten Oxidhalbleiterschicht **133** kann daher die Feldeffektbeweglichkeit des Transistors erhöht werden.

[0145] Für die erste Oxidhalbleiterschicht **131** und die dritte Oxidhalbleiterschicht **133** kann beispielsweise ein Material verwendet werden, das Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce oder Hf mit einem höheren Atomverhältnis enthält als ein Material, das für die zweite Oxidhalbleiterschicht **132** verwendet wird. Insbesondere beträgt ein Atomverhältnis eines der obigen Metallelemente in der ersten Oxidhalbleiterschicht **131** und der dritten Oxidhalbleiterschicht **133** 1,5- oder mehrfach, bevorzugt doppelt oder mehrfach, stärker bevorzugt drei- oder mehrfach so groß wie dasjenige in der zweiten Oxidhalbleiterschicht **132**. Jedes der obigen Metallelemente wird stark an Sauerstoff gebunden und weist daher eine Funktion auf, eine Erzeugung einer Sauerstofffehlstelle in der ersten Oxidhalbleiterschicht **131** und der dritten Oxidhalbleiterschicht **133** zu unterdrücken. Das heißt, dass eine Sauerstofffehlstelle in der ersten Oxidhalbleiterschicht **131** und der dritten Oxidhalbleiterschicht **133** weniger wahrscheinlich erzeugt wird als in der zweiten Oxidhalbleiterschicht **132**.

[0146] Es sei angemerkt, dass dann, wenn die erste Oxidhalbleiterschicht **131**, die zweite Oxidhalbleiterschicht **132** und die dritte Oxidhalbleiterschicht **133** jeweils ein In-M-Zn-Oxid, das mindestens Indium, Zink und M (M ist ein Metall, wie z. B. Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce oder Hf) enthält, sind und wenn die erste Oxidhalbleiterschicht **131** ein Atomverhältnis von In zu M und Zn von $x_1:y_1:z_1$ aufweist, die zweite Oxidhalbleiterschicht **132** ein Atomverhältnis von In zu M und Zn von $x_2:y_2:z_2$ aufweist und die dritte Oxidhalbleiterschicht **133** ein Atomverhältnis von In zu M und Zn von $x_3:y_3:z_3$ aufweist, vorzugsweise sowohl y_1/x_1 als auch y_3/x_3 größer sind als y_2/x_2 . Sowohl y_1/x_1 , als auch y_3/x_3 sind 1,5- oder mehrfach, bevorzugt doppelt oder mehrfach, stärker bevorzugt drei- oder mehrfach so groß wie y_2/x_2 . Dabei kann der Transistor stabile elektrische Eigenschaften aufweisen, wenn in der zweiten Oxidhalbleiterschicht **132** y_2 größer als oder gleich x_2 ist. Jedoch wird dann, wenn y_2 drei- oder mehrfach so groß wie x_2 ist, die Feldeffektbeweglichkeit des Transistors verringert; folglich ist y_2 bevorzugt kleiner als das Dreifache von x_2 .

[0147] In dem Fall, in dem Zn und O außer Acht gelassen werden, betragen der In-Anteil und der M-Anteil in jeder der ersten und dritten Oxidhalbleiterschichten **131** und **133** bevorzugt niedriger als 50 Atom-% bzw. höher als oder gleich 50 Atom-%, stärker bevorzugt niedriger als 25 Atom-% bzw. höher als oder gleich 75 Atom-%. Des Weiteren betragen in dem Fall, in dem Zn und O außer Acht gelassen

werden, der In-Anteil und der M-Anteil in der zweiten Oxidhalbleiterschicht **132** bevorzugt höher als oder gleich 25 Atom-% bzw. niedriger als 75 Atom-%, stärker bevorzugt höher als oder gleich 34 Atom-% bzw. niedriger als 66 Atom-%.

[0148] Die Dicken der ersten Oxidhalbleiterschicht **131** und der dritten Oxidhalbleiterschicht **133** sind jeweils größer als oder gleich 3 nm und kleiner als oder gleich 100 nm, bevorzugt größer als oder gleich 3 nm und kleiner als oder gleich 50 nm. Die Dicke der zweiten Oxidhalbleiterschicht **132** ist größer als oder gleich 3 nm und kleiner als oder gleich 200 nm, bevorzugt größer als oder gleich 3 nm und kleiner als oder gleich 100 nm, stärker bevorzugt größer als oder gleich 3 nm und kleiner als oder gleich 50 nm. Zudem ist die zweite Oxidhalbleiterschicht **132** vorzugsweise dicker als die erste Oxidhalbleiterschicht **131** und die dritte Oxidhalbleiterschicht **133**.

[0149] Es sei angemerkt, dass es wirksam ist, die Verunreinigungskonzentration in einer Oxidhalbleiterschicht zu verringern, um die Oxidhalbleiterschicht intrinsisch oder im Wesentlichen intrinsisch zu machen, damit ein Transistor, bei dem eine Oxidhalbleiterschicht als Kanal dient, stabile elektrische Eigenschaften aufweist. Der Begriff „im Wesentlichen intrinsisch“ bezeichnet den Zustand, in dem eine Oxidhalbleiterschicht eine Ladungsträgerdichte von niedriger als $1 \times 10^{17}/\text{cm}^3$, bevorzugt niedriger als $1 \times 10^{15}/\text{cm}^3$, stärker bevorzugt niedriger als $1 \times 10^{13}/\text{cm}^3$ aufweist.

[0150] In der Oxidhalbleiterschicht sind Wasserstoff, Stickstoff, Kohlenstoff, Silizium und ein Metallelement, das verschieden von Hauptkomponenten der Oxidhalbleiterschicht ist, Verunreinigungen. Wasserstoff und Stickstoff bilden beispielsweise Donatorniveaus, was die Ladungsträgerdichte erhöht. Silizium in der Oxidhalbleiterschicht bildet zusätzlich ein Verunreinigungsniveau (impurity level). Das Verunreinigungsniveau dient als Einfangstelle und könnte eine Verschlechterung der elektrischen Eigenschaften des Transistors verursachen. Folglich wird vorzugsweise die Verunreinigungskonzentration in der ersten Oxidhalbleiterschicht **131**, der zweiten Oxidhalbleiterschicht **132** und der dritten Oxidhalbleiterschicht **133** und an Grenzflächen zwischen diesen Schichten verringert.

[0151] Um die Oxidhalbleiterschicht intrinsisch oder im Wesentlichen intrinsisch zu machen, ist beispielsweise bei der Sekundärionen-Massenspektrometrie (SIMS) die Siliziumkonzentration in einer gewissen Tiefe der Oxidhalbleiterschicht oder in einem Bereich der Oxidhalbleiterschicht niedriger als 1×10^{19} Atome/ cm^3 , bevorzugt niedriger als 5×10^{18} Atome/ cm^3 , stärker bevorzugt niedriger als 1×10^{18} Atome/ cm^3 . Ferner ist die Wasserstoffkonzentration in einer gewissen Tiefe der Oxidhalbleiterschicht oder in einem

Bereich der Oxidhalbleiterschicht niedriger als oder gleich 2×10^{20} Atome/cm³, bevorzugt niedriger als oder gleich 5×10^{19} Atome/cm³, stärker bevorzugt niedriger als oder gleich 1×10^{19} Atome/cm³, noch stärker bevorzugt niedriger als oder gleich 5×10^{18} Atome/cm³. Ferner ist die Stickstoffkonzentration in einer gewissen Tiefe der Oxidhalbleiterschicht oder in einem Bereich der Oxidhalbleiterschicht niedriger als 5×10^{19} Atome/cm³, bevorzugt niedriger als oder gleich 5×10^{18} Atome/cm³, stärker bevorzugt niedriger als oder gleich 1×10^{18} Atome/cm³, noch stärker bevorzugt niedriger als oder gleich 5×10^{17} Atome/cm³.

[0152] In dem Fall, in dem die Oxidhalbleiterschicht Kristalle enthält, könnte eine hohe Silizium- oder Kohlenstoffkonzentration die Kristallinität der Oxidhalbleiterschicht reduzieren. Damit die Kristallinität der Oxidhalbleiterschicht nicht verringert wird, kann beispielsweise die Siliziumkonzentration in einer gewissen Tiefe der Oxidhalbleiterschicht oder in einem Bereich der Oxidhalbleiterschicht niedriger als 1×10^{19} Atome/cm³, bevorzugt niedriger als 5×10^{18} Atome/cm³, stärker bevorzugt niedriger als 1×10^{18} Atome/cm³ sein. Des Weiteren kann beispielsweise die Kohlenstoffkonzentration in einer gewissen Tiefe der Oxidhalbleiterschicht oder in einem Bereich der Oxidhalbleiterschicht niedriger als 1×10^{19} Atome/cm³, bevorzugt niedriger als 5×10^{18} Atome/cm³, stärker bevorzugt niedriger als 1×10^{18} Atome/cm³ sein.

[0153] Ein Transistor, bei dem, wie oben beschrieben, ein hochreiner Oxidhalbleiterfilm für einen Kanalbildungsbereich verwendet wird, weist einen sehr geringen Sperrstrom (off-state current) auf. Beispielsweise kann in dem Fall, in dem die Spannung zwischen dem Source-Anschluss und dem Drain-Anschluss auf zirka 0,1 V, 5 V oder 10 V eingestellt wird, der Sperrstrom, der hinsichtlich der Kanalbreite des Transistors standardisiert ist, so klein wie mehrere Yoktoampere pro Mikrometer bis mehrere Zeptoampere pro Mikrometer sein.

[0154] Es sei angemerkt, dass ein Silizium enthaltender isolierender Film in vielen Fällen als Gate-Isolierfilm des Transistors verwendet wird; es ist also aus dem zuvor beschriebenen Grund bevorzugt, dass, ähnlich wie bei dem Transistor einer Ausführungsform der vorliegenden Erfindung, ein als Kanal dienender Bereich der Oxidhalbleiterschicht nicht in Kontakt mit dem Gate-Isolierfilm steht. In dem Fall, in dem ein Kanal an der Grenzfläche zwischen dem Gate-Isolierfilm und der Oxidhalbleiterschicht gebildet wird, tritt eine Streuung von Ladungsträgern an der Grenzfläche auf, wodurch die Feldeffektbeweglichkeit des Transistors in einigen Fällen abnimmt. Im Hinblick darauf ist ebenfalls bevorzugt, dass der als Kanal dienende Bereich der Oxidhalbleiterschicht getrennt von dem Gate-Isolierfilm liegt.

[0155] Mit der Oxidhalbleiterschicht **130** mit einer Stapelschichtstruktur, welche die erste Oxidhalbleiterschicht **131**, die zweite Oxidhalbleiterschicht **132** und die dritte Oxidhalbleiterschicht **133** umfasst, kann daher ein Kanal in der zweiten Oxidhalbleiterschicht **132** gebildet werden. Demzufolge kann der Transistor eine hohe Feldeffektbeweglichkeit und stabile elektrische Eigenschaften aufweisen.

[0156] In einem Banddiagramm sind die Minima der Leitungsbänder der ersten Oxidhalbleiterschicht **131**, der zweiten Oxidhalbleiterschicht **132** und der dritten Oxidhalbleiterschicht **133** stetig miteinander verbunden. Man kann dies auch aus der Tatsache verstehen, dass die Zusammensetzungen der ersten Oxidhalbleiterschicht **131**, der zweiten Oxidhalbleiterschicht **132** und der dritten Oxidhalbleiterschicht **133** nahe beieinander liegen und dass Sauerstoff leicht zwischen der ersten Oxidhalbleiterschicht **131**, der zweiten Oxidhalbleiterschicht **132** und der dritten Oxidhalbleiterschicht **133** diffundiert. Deshalb weisen die erste Oxidhalbleiterschicht **131**, die zweite Oxidhalbleiterschicht **132** und die dritte Oxidhalbleiterschicht **133** eine stetige physikalische Eigenschaft auf, obwohl sie verschiedene Zusammensetzungen haben und einen Stapel bilden. In den Zeichnungen in dieser Beschreibung sind Grenzflächen zwischen den Oxidhalbleiterschichten des Stapels durch Punktlinien dargestellt.

[0157] Die Oxidhalbleiterschicht **130**, in der Schichten aus den gleichen Hauptkomponenten gestapelt sind, ist derart ausgebildet, dass sie nicht nur eine einfache Stapelschichtstruktur der Schichten, sondern auch ein stetiges Energieband (hier besonders eine U-förmige Wanne-Struktur, bei der die Minima der Leitungsbänder stetig miteinander verbunden sind (U-förmige Wanne) aufweist. Mit anderen Worten: die Stapelschichtstruktur ist derart ausgebildet, dass an jeder Grenzfläche keine Verunreinigung, die ein Defektniveau (defect level), wie z. B. ein Einfangzentrum (trap center) oder ein Rekombinationszentrum (recombination center) bildet, existiert. Wenn Verunreinigungen zwischen den gestapelten Oxidhalbleiterschichten existieren, geht die Stetigkeit des Energiebandes verloren und Ladungsträger verschwinden durch Einfangen oder Rekombination an der Grenzfläche.

[0158] Beispielsweise kann ein In-Ga-Zn-Oxid, dessen Atomverhältnis von In zu Ga und Zn 1:3:2, 1:3:3, 1:3:4, 1:3:6, 1:6:4 oder 1:9:6 ist, für die erste Oxidhalbleiterschicht **131** und die dritte Oxidhalbleiterschicht **133** verwendet werden, und ein In-Ga-Zn-Oxid, dessen Atomverhältnis von In zu Ga und Zn 1:1:1, 5:5:6 oder 3:1:2 ist, kann für die zweite Oxidhalbleiterschicht **132** verwendet werden. Alternativ ist es auch möglich, beispielsweise ein In-Ga-Zn-Oxid, dessen Atomverhältnis von In zu Ga und Zn 1:6:4 oder 1:9:6 ist, für die erste Oxidhalbleiterschicht **131**

und ein In-Ga-Zn-Oxid, dessen Atomverhältnis von In zu Ga und Zn 1:3:2, 1:3:3 oder 1:3:4 ist, für die dritte Oxidhalbleiterschicht **133** zu verwenden.

[0159] Die zweite Oxidhalbleiterschicht **132** der Oxidhalbleiterschicht **130** dient als Wanne, so dass ein Kanal in der zweiten Oxidhalbleiterschicht **132** in einem Transistor, der die Oxidhalbleiterschicht **130** beinhaltet, gebildet wird. Es sei angemerkt, dass, da die Minima der Leitungsbänder stetig miteinander verbunden sind, die Oxidhalbleiterschicht **130** auch als U-förmige Wanne bezeichnet werden kann. Außerdem kann ein Kanal, der in einer derartigen Struktur gebildet ist, auch als eingebetteter Kanal (buried channel) bezeichnet werden.

[0160] Es sei angemerkt, dass Haftterme (trap levels) aufgrund von Verunreinigungen oder Defekten in der Nähe der Grenzfläche zwischen einem isolierenden Film, wie z. B. einem Siliziumoxidfilm, und jeder der ersten und dritten Oxidhalbleiterschichten **131** und **133** gebildet werden könnten. Die zweite Oxidhalbleiterschicht **132** kann von den Hafttermen getrennt sein, da die erste Oxidhalbleiterschicht **131** und die dritte Oxidhalbleiterschicht **133** vorhanden sind.

[0161] Wenn die Energieunterschiede zwischen dem Minimum des Leitungsbandes der zweiten Oxidhalbleiterschicht **132** und dem Minimum des Leitungsbandes jeder der ersten und dritten Oxidhalbleiterschichten **131** und **133** klein sind, könnte jedoch ein Elektron in der zweiten Oxidhalbleiterschicht **132** über die Energieunterschiede hinüber den Haftterm erreichen. Das Elektron wird von dem Haftterm eingefangen und dient als negative Ladung, wodurch sich die Schwellenspannung des Transistors in positiver Richtung verschiebt.

[0162] Um Schwankungen der Schwellenspannung des Transistors zu verringern, benötigt man deshalb Energieunterschiede von mindestens einer gewissen Größe zwischen dem Minimum des Leitungsbandes der zweiten Oxidhalbleiterschicht **132** und dem Minimum des Leitungsbandes jeder der ersten und dritten Oxidhalbleiterschichten **131** und **133**. Jeder der Energieunterschiede beträgt bevorzugt größer als oder gleich 0,1 eV, stärker bevorzugt größer als oder gleich 0,15 eV.

[0163] Die erste Oxidhalbleiterschicht **131**, die zweite Oxidhalbleiterschicht **132** und die dritte Oxidhalbleiterschicht **133** enthalten vorzugsweise Kristallteile. Wenn Kristalle mit Ausrichtung bezüglich der c-Achse verwendet werden, kann der Transistor besonders stabile elektrische Eigenschaften aufweisen.

[0164] Als die Source-Elektrodenschicht **140** und die Drain-Elektrodenschicht **150** wird vorzugsweise ein leitender Film verwendet, der Sauerstoff aus einem

Oxidhalbleiterfilm extrahieren kann. Beispielsweise kann Al, Cr, Cu, Ta, Ti, Mo oder W verwendet werden. Es ist besonders bevorzugt, unter den Materialien Ti, das leicht an Sauerstoff gebunden wird, oder W, das einen hohen Schmelzpunkt aufweist, zu verwenden, so dass der nachfolgende Prozess bei relativ hohen Temperaturen durchgeführt werden kann.

[0165] Durch den leitenden Film, der Sauerstoff aus dem Oxidhalbleiterfilm extrahieren kann, wird Sauerstoff aus dem Oxidhalbleiterfilm abgegeben, um Sauerstofffehlstellen in dem Oxidhalbleiterfilm zu bilden. Wasserstoff, der in geringem Maße in dem Film enthalten ist, und die Sauerstofffehlstelle werden miteinander verbunden, wodurch der Bereich merklich in einen n-Typ-Bereich umgewandelt wird. Demzufolge kann der n-Typ-Bereich als Source oder Drain des Transistors dienen.

[0166] Der Gate-Isolierfilm **160** kann unter Verwendung eines isolierenden Films, der eines oder mehrere von Aluminiumoxid, Magnesiumoxid, Siliziumoxid, Siliziumoxynitrid, Siliziumnitridoxid, Siliziumnitrid, Galliumoxid, Germaniumoxid, Yttriumoxid, Zirconiumoxid, Lanthanoxid, Neodymoxid, Hafniumoxid und Tantaloxid enthält, ausgebildet sein. Der Gate-Isolierfilm **160** kann ein Stapel aus beliebigen der vorstehenden Materialien sein. Der Gate-Isolierfilm **160** kann Lanthan (La), Stickstoff oder Zirconium (Zr) als Verunreinigung enthalten.

[0167] Es wird ein Beispiel für eine Stapelschichtstruktur des Gate-Isolierfilms **160** beschrieben. Der Gate-Isolierfilm **160** enthält beispielsweise Sauerstoff, Stickstoff, Silizium oder Hafnium. Insbesondere enthält der Gate-Isolierfilm **160** vorzugsweise Hafniumoxid und Siliziumoxid oder Siliziumoxynitrid.

[0168] Hafniumoxid weist eine höhere Dielektrizitätskonstante auf als Siliziumoxid und Siliziumoxynitrid. Unter Verwendung von Hafniumoxid kann deshalb eine physikalische Dicke größer gemacht werden als eine äquivalente Oxiddicke; auf diese Weise kann auch in dem Fall, in dem die äquivalente Oxiddicke kleiner als oder gleich 10 nm oder kleiner als oder gleich 5 nm ist, ein Leckstrom aufgrund eines Tunnelstroms niedrig sein. Das heißt, dass es möglich ist, einen Transistor mit einem niedrigen Sperrstrom bereitzustellen. Außerdem weist Hafniumoxid mit einer kristallinen Struktur eine höhere Dielektrizitätskonstante auf als Hafniumoxid mit einer amorphen Struktur. Es ist deshalb bevorzugt, Hafniumoxid mit einer kristallinen Struktur zu verwenden, um einen Transistor mit einem niedrigen Sperrstrom bereitzustellen. Beispiele für die kristalline Struktur umfassen eine monokline Kristallstruktur und eine kubische Kristallstruktur. Es sei angemerkt, dass eine Ausführungsform der vorliegenden Erfindung nicht auf die obigen Beispiele beschränkt ist.

[0169] In einigen Fällen existiert ein Grenzflächenzustand aufgrund eines Defekts in Hafniumoxid mit einer kristallinen Struktur. Der Grenzflächenzustand dient in einigen Fällen als Einfangzentrum. Deshalb könnten sich wegen des Grenzflächenzustandes die elektrischen Eigenschaften eines Transistors verschlechtern, wenn Hafniumoxid in der Nähe eines Kanalbereichs des Transistors vorhanden ist. Um die nachteilige Wirkung des Grenzflächenzustandes zu verringern, ist es gegebenenfalls bevorzugt, den Kanalbereich des Transistors und das Hafniumoxid voneinander zu trennen, indem ein weiterer Film dazwischen angeordnet wird. Der Film weist eine Pufferfunktion auf. Der Film mit einer Pufferfunktion kann in dem Gate-Isolierfilm **160** oder in der Oxidhalbleiterschicht **130** enthalten sein. Das heißt, dass der Film mit einer Pufferfunktion unter Verwendung von Siliziumoxid, Siliziumoxynitrid, einem Oxidhalbleiter oder dergleichen ausgebildet sein kann. Es sei angemerkt, dass der Film mit einer Pufferfunktion unter Verwendung beispielsweise eines Halbleiters oder eines Isolators ausgebildet ist, der eine größere Energielücke aufweist als ein Halbleiter, der zu dem Kanalbereich wird. Als Alternative ist der Film mit einer Pufferfunktion unter Verwendung beispielsweise eines Halbleiters oder eines Isolators ausgebildet, der eine niedrigere Elektronenaffinität aufweist als ein Halbleiter, der zu dem Kanalbereich wird. Als weitere Alternative ist der Film mit einer Pufferfunktion unter Verwendung beispielsweise eines Halbleiters oder eines Isolators ausgebildet, der eine höhere Ionisierungsenergie aufweist als ein Halbleiter, der zu dem Kanalbereich wird.

[0170] In einigen Fällen kann die Schwellenspannung eines Transistors gesteuert werden, indem eine elektrische Ladung in einem Grenzflächenzustand (Einfangzentrum) in Hafniumoxid mit der oben beschriebenen kristallinen Struktur eingefangen wird. Damit die elektrische Ladung stabil existieren kann, kann beispielsweise ein Isolator, der eine größere Energielücke aufweist als Hafniumoxid, zwischen dem Kanalbereich und dem Hafniumoxid bereitgestellt sein. Alternativ kann ein Halbleiter oder ein Isolator, der eine niedrigere Elektronenaffinität aufweist als Hafniumoxid, bereitgestellt sein. Der Film mit einer Pufferfunktion kann unter Verwendung eines Halbleiters oder eines Isolators ausgebildet sein, der eine höhere Ionisierungsenergie aufweist als Hafniumoxid. Wenn ein derartiger Halbleiter oder Isolator verwendet wird, ist weniger wahrscheinlich, dass eine in dem Grenzflächenzustand eingefangene elektrische Ladung freigegeben wird; folglich kann die elektrische Ladung über einen langen Zeitraum gehalten werden.

[0171] Beispiele für einen derartigen Isolator umfassen Siliziumoxid und Siliziumoxynitrid. Damit der Grenzflächenzustand in dem Gate-Isolierfilm **160** eine elektrische Ladung einfangen kann, kann ein Elek-

tron von der Oxidhalbleiterschicht **130** auf die Gate-Elektroden-schicht **170** übertragen werden. Als konkretes Beispiel wird das Potential der Gate-Elektroden-schicht **170** für eine Sekunde oder länger, typischerweise für eine Minute oder länger unter Hochtemperatur-Bedingungen (z. B. einer Temperatur von höher als oder gleich 125°C und niedriger als oder gleich 450°C, typischerweise höher als oder gleich 150°C und niedriger als oder gleich 300°C) höher gehalten als das Potential der Source-Elektrode oder der Drain-Elektrode.

[0172] Die Schwellenspannung eines Transistors, in dem eine vorbestimmte Menge an Elektronen in Grenzflächenzuständen in dem Gate-Isolierfilm **160** oder dergleichen eingefangen ist, verschiebt sich in positiver Richtung. Die Menge der eingefangenen Elektronen (der Betrag der Veränderung der Schwellenspannung) kann gesteuert werden, indem eine Spannung der Gate-Elektroden-schicht **170** oder die Zeit des Anlegens der Spannung reguliert wird. Es sei angemerkt, dass eine Stelle, in die eine elektrische Ladung eingefangen wird, nicht notwendigerweise auf das Innen des Gate-Isolierfilms **160** beschränkt ist, solange eine elektrische Ladung dorthin eingefangen werden kann. Ein Stapelfilm mit einer ähnlichen Struktur kann als weitere isolierende Schicht verwendet werden.

[0173] Für die Gate-Elektroden-schicht **170** kann ein leitender Film, der unter Verwendung von Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, W oder dergleichen ausgebildet ist, verwendet werden. Die Gate-Elektroden-schicht kann ein Stapel aus beliebigen der vorstehenden Materialien sein. Alternativ kann auch ein Stickstoff enthaltender leitender Film für die Gate-Elektroden-schicht verwendet werden.

[0174] Ein Aluminiumoxidfilm ist vorzugsweise in der isolierenden Schicht **180** über dem Gate-Isolierfilm **160** und der Gate-Elektroden-schicht **170** enthalten. Der Aluminiumoxidfilm weist einen hohen Sperreffekt auf, was Durchdringung sowohl von Sauerstoff als auch von Verunreinigungen, wie z. B. Wasserstoff und Feuchtigkeit, verhindert. Deshalb kann während und nach dem Herstellungsprozess des Transistors der Aluminiumoxidfilm vorteilhaft als Schutzfilm dienen, der Effekte aufweist, um zu verhindern, dass Verunreinigungen, wie z. B. Wasserstoff und Feuchtigkeit, die Schwankungen der elektrischen Eigenschaften des Transistors verursachen, in die Oxidhalbleiterschicht **130** eindringen, dass Sauerstoff, der eine Hauptkomponente der Oxidhalbleiterschicht **130** ist, aus der Oxidhalbleiterschicht abgegeben wird und dass Sauerstoff unnötigerweise aus der isolierenden Schicht **120** abgegeben wird. Außerdem kann Sauerstoff, der in dem Aluminiumoxidfilm enthalten ist, in die Oxidhalbleiterschicht diffundieren.

[0175] Des Weiteren ist die isolierende Schicht **185** vorzugsweise über der isolierenden Schicht **180** ausgebildet. Jede der isolierenden Schichten kann unter Verwendung eines isolierenden Films, der eines oder mehrere von Magnesiumoxid, Siliziumoxid, Siliziumoxynitrid, Siliziumnitridoxid, Siliziumnitrid, Galliumoxid, Germaniumoxid, Yttriumoxid, Zirconiumoxid, Lanthanoxid, Neodymoxid, Hafniumoxid und Tantaloxid enthält, ausgebildet sein. Jede der isolierenden Schichten kann ein Stapel aus beliebigen der vorstehenden Materialien sein.

[0176] Hier enthält, ähnlich wie die isolierende Schicht **120**, die isolierende Schicht **185** vorzugsweise mehr Sauerstoff als die stöchiometrische Zusammensetzung. Der aus der isolierenden Schicht **185** abgegebene Sauerstoff kann durch den Gate-Isolierfilm **160** hindurch in den Kanalbildungsbereich in der Oxidhalbleiterschicht **130** diffundieren, so dass Sauerstoffdefektstellen, die in dem Kanalbildungsbereich gebildet sind, mit dem Sauerstoff gefüllt werden können. Auf diese Weise kann man stabile elektrische Eigenschaften des Transistors erzielen.

[0177] Hohe Integration einer Halbleitervorrichtung erfordert eine Miniaturisierung eines Transistors. Es ist jedoch bekannt, dass die Miniaturisierung eines Transistors eine Verschlechterung der elektrischen Eigenschaften des Transistors verursacht. Eine Abnahme der Kanalbreite verursacht eine Reduktion des Durchlassstroms.

[0178] Bei dem in **Fig. 7A** bis **Fig. 7C** gezeigten Transistor einer Ausführungsform der vorliegenden Erfindung ist, wie oben beschrieben, beispielsweise die dritte Oxidhalbleiterschicht **133** derart ausgebildet, um die zweite Oxidhalbleiterschicht **132**, in der ein Kanal gebildet wird, zu bedecken, und die Kanalbildungsschicht und der Gate-Isolierfilm stehen nicht in Kontakt miteinander. Deshalb kann eine Streuung von Ladungsträgern an der Grenzfläche zwischen der Kanalbildungsschicht und dem Gate-Isolierfilm verringert werden, und der Durchlassstrom des Transistors kann erhöht werden.

[0179] Bei dem Transistor einer Ausführungsform der vorliegenden Erfindung ist, wie oben beschrieben, die Gate-Elektrodenschicht **170** derart ausgebildet, dass sie in der Kanalbreitenrichtung elektrisch die Oxidhalbleiterschicht **130** umschließt; ein elektrisches Feld des Gates wird daher sowohl senkrecht als auch in der Richtung der Seitenfläche an die Oxidhalbleiterschicht **130** angelegt. Mit anderen Worten: ein elektrisches Feld des Gates wird an die ganze Oxidhalbleiterschicht **130** angelegt, so dass ein Strom in der ganzen als Kanal dienenden zweiten Oxidhalbleiterschicht **132** fließt, was zu einer weiteren Erhöhung des Durchlassstroms führt.

[0180] Bei dem Transistor einer Ausführungsform der vorliegenden Erfindung ist die zweite Oxidhalbleiterschicht **132** über der ersten Oxidhalbleiterschicht **131** ausgebildet, so dass weniger wahrscheinlich ist, dass ein Grenzflächenzustand gebildet wird. Zusätzlich dringt keine Verunreinigung von oben und unten in die zweite Oxidhalbleiterschicht **132** ein, da die zweite Oxidhalbleiterschicht **132** in der Mitte der dreischichtigen Struktur positioniert ist. Deshalb kann der Transistor nicht nur die Erhöhung des Durchlassstroms des Transistors, sondern auch eine Stabilisierung der Schwellenspannung und eine Verringerung des S-Werts (Unterschwellenwerts) bzw. S value (subthreshold value) erzielen. Folglich können I_{cut} (Strom bei einer Gate-Spannung V_G von 0 V) und der Leistungsverbrauch verringert werden. Da die Schwellenspannung des Transistors stabil wird, kann ferner die langzeitige Zuverlässigkeit der Halbleitervorrichtung verbessert werden.

[0181] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 2)

[0182] Bei dieser Ausführungsform werden Verfahren zum Herstellen der Transistoren **101**, **102** und **103**, die bei der Ausführungsform 1 beschrieben worden sind, beschrieben.

[0183] Zuerst wird das Verfahren zum Herstellen des Transistors **102** anhand von **Fig. 11A** bis **Fig. 11C** sowie **Fig. 12A** bis **Fig. 12C** beschrieben. Zusätzlich wird das Verfahren zum Herstellen des Transistors **101** beschrieben, der sich nur durch die Struktur der Oxidhalbleiterschicht **130** von dem Transistor **102** unterscheidet. In jeder der **Fig. 11A** bis **Fig. 11C** sowie **Fig. 12A** bis **Fig. 12C** ist ein Querschnitt des Transistors in der Kanallängsrichtung auf der linken Seite gezeigt, und ein Querschnitt des Transistors in der Kanalbreitenrichtung ist auf der rechten Seite gezeigt. Die Querschnittsansichten in der Kanalbreitenrichtung sind vergrößerte Ansichten; die scheinbare Dicke der Komponenten auf der linken Seite unterscheidet sich deshalb von derjenigen der Komponenten auf der rechten Seite.

[0184] Für das Substrat **110** kann ein Glassubstrat, ein Keramiks substrat, ein Quarzsubstrat, ein Saphirsubstrat oder dergleichen verwendet werden. Alternativ kann ein einkristallines Halbleitersubstrat oder ein polykristallines Halbleitersubstrat aus Silizium, Siliziumcarbid oder dergleichen, ein Verbund-Halbleitersubstrat aus Siliziumgermanium oder dergleichen, ein Silizium auf Isolator-(silicon on insulator, SOI-)Substrat oder dergleichen verwendet werden. Als weitere Alternative kann eines dieser Substrate, das

mit einem Halbleiterbauelement versehen ist, verwendet werden.

[0185] Die isolierende Schicht **120** kann durch ein Plasma-CVD-Verfahren, ein Sputterverfahren oder dergleichen unter Verwendung eines isolierenden Oxidfilms, der Aluminiumoxid, Magnesiumoxid, Siliziumoxid, Siliziumoxynitrid, Galliumoxid, Germaniumoxid, Yttriumoxid, Zirconiumoxid, Lanthanoxid, Neodymoxid, Hafniumoxid, Tantaloxid oder dergleichen enthält; eines isolierenden Nitridfilms, der Siliziumnitrid, Siliziumnitridoxid, Aluminiumnitrid, Aluminiumnitridoxid oder dergleichen enthält; oder eines Films, in dem einige der obigen Materialien gemischt sind, ausgebildet werden. Alternativ kann ein Stapel, der eines der obigen Materialien enthält, verwendet werden, wobei mindestens eine obere Schicht der isolierenden Schicht **120**, die in Kontakt mit der Oxidhalbleiterschicht **130** steht, vorzugsweise unter Verwendung eines überschüssigen Sauerstoff enthaltenden Materials, das als Versorgungsquelle von Sauerstoff zu der Oxidhalbleiterschicht **130** dienen könnte, ausgebildet ist.

[0186] Sauerstoff kann der isolierenden Schicht **120** durch ein Ionenimplantationsverfahren, ein Ionendotierungsverfahren, ein Plasma-Immersion-Ionenimplantationsverfahren oder dergleichen zugesetzt werden. Der Zusatz von Sauerstoff ermöglicht es der isolierenden Schicht **120**, der Oxidhalbleiterschicht **130** Sauerstoff sehr leicht zuzuführen.

[0187] In dem Fall, in dem eine Oberfläche des Substrates **110** aus einem Isolator ausgebildet ist und es keinen Einfluss der Verunreinigungsdiffusion in die Oxidhalbleiterschicht **130** gibt, die später ausgebildet wird, wird die isolierende Schicht **120** nicht notwendigerweise bereitgestellt.

[0188] Als nächstes werden ein erster Oxidhalbleiterfilm **131a**, der zu der ersten Oxidhalbleiterschicht **131** wird, ein zweiter Oxidhalbleiterfilm **132a**, der zu der zweiten Oxidhalbleiterschicht **132** wird, und ein dritter Oxidhalbleiterfilm **133a**, der zu der dritten Oxidhalbleiterschicht **133** wird, durch ein Sputterverfahren, ein CVD-Verfahren, ein MBE-Verfahren oder dergleichen über der isolierenden Schicht **120** ausgebildet (siehe **Fig. 11A**).

[0189] Es sei angemerkt, dass in dem Fall, in dem der Transistor **101** in **Fig. 1A** bis **Fig. 1C** hergestellt wird, ein Einzelfilm bereitgestellt wird, nämlich der zweite Oxidhalbleiterfilm **132a**.

[0190] In dem Fall, in dem die Oxidhalbleiterschicht **130** eine Stapelschichtstruktur hat, ist zu bevorzugen, dass Oxidhalbleiterfilme nacheinander unter Verwendung einer Abscheidungsrichtung (z. B. einer Sputtervorrichtung) mit mehreren Kammern einschließlich einer Schleusenkammer ausgebildet wer-

den, ohne der Luft ausgesetzt zu sein. Es ist bevorzugt, dass jede Kammer der Sputtervorrichtung mit einer Adsorptionsvakuumpumpe, wie z. B. einer Kryopumpe, auf ein hohes Vakuum (zirka 5×10^{-7} Pa bis 1×10^{-4} Pa) evakuiert werden kann und dass die Kammer geeignet ist, ein Substrat, über dem ein Film abgeschieden wird, auf 100°C oder höher, bevorzugt 500°C oder höher zu erwärmen. Folglich werden Wasser und dergleichen, die sich als Verunreinigungen gegen einen Oxidhalbleiter verhalten, so weit wie möglich entfernt. Alternativ wird vorzugsweise eine Kombination von einer Turbomolekularpumpe und einer Kältefalle verwendet, um einen Rückfluss eines Gases, das eine Kohlenstoffkomponente, Feuchtigkeit oder dergleichen enthält, aus einem Abgassystem in die Kammer zu verhindern.

[0191] Nicht nur die Evakuierung der Kammer auf Hochvakuum, sondern auch eine hohe Reinheit eines Sputtergases wird benötigt, um einen hochreinen intrinsischen Oxidhalbleiter zu erhalten. Als Sauerstoffgas oder Argongas, das als Sputtergas verwendet wird, wird ein Gas, das auf einen Taupunkt von -40°C oder niedriger, bevorzugt -80°C oder niedriger, stärker bevorzugt -100°C oder niedriger hoch gereinigt ist, verwendet, wodurch ein Eindringen von Feuchtigkeit oder dergleichen in den Oxidhalbleiterfilm möglichst verhindert werden kann.

[0192] Für den ersten Oxidhalbleiterfilm **131a**, den zweiten Oxidhalbleiterfilm **132a** und den dritten Oxidhalbleiterfilm **133a** kann eines der bei der Ausführungsform 1 beschriebenen Materialien verwendet werden. Beispielsweise kann ein In-Ga-Zn-Oxid, dessen Atomverhältnis von In zu Ga und Zn 1:3:6, 1:3:4, 1:3:3 oder 1:3:2 ist, für den ersten Oxidhalbleiterfilm **131a** verwendet werden, ein In-Ga-Zn-Oxid, dessen Atomverhältnis von In zu Ga und Zn 1:1:1, 3:1:2 oder 5:5:6 ist, kann für den zweiten Oxidhalbleiterfilm **132a** verwendet werden, und ein In-Ga-Zn-Oxid, dessen Atomverhältnis von In zu Ga und Zn 1:3:6, 1:3:4, 1:3:3 oder 1:3:2 ist, kann für den dritten Oxidhalbleiterfilm **133a** verwendet werden.

[0193] Ein Oxidhalbleiter, der für jeweils den ersten Oxidhalbleiterfilm **131a**, den zweiten Oxidhalbleiterfilm **132a** und den dritten Oxidhalbleiterfilm **133a** verwendet werden kann, enthält vorzugsweise mindestens Indium (In) oder Zink (Zn). Vorzugsweise sind sowohl In als auch Zn enthalten. Um Schwankungen der elektrischen Eigenschaften des Transistors, der den Oxidhalbleiter enthält, zu verringern, enthält der Oxidhalbleiter vorzugsweise einen Stabilisator zusätzlich zu In und Zn.

[0194] Als Stabilisator können Gallium (Ga), Zinn (Sn), Hafnium (Hf), Aluminium (Al), Zirconium (Zr) und dergleichen angegeben werden. Als weiterer Stabilisator kann ein Lanthanoid, wie z. B. Lanthan (La), Cer (Ce), Praseodym (Pr), Neodym (Nd), Sama-

rium (Sm), Europium (Eu), Gadolinium (Gd), Terbium (Tb), Dysprosium (Dy), Holmium (Ho), Erbium (Er), Thulium (Tm), Ytterbium (Yb) oder Lutetium (Lu), genannt werden.

[0195] Als Oxidhalbleiter kann beispielsweise eines des Folgenden verwendet werden: Indiumoxid, Galliumoxid, Zinnoxid, Zinkoxid, ein In-Zn-Oxid, ein Sn-Zn-Oxid, ein Al-Zn-Oxid, ein Zn-Mg-Oxid, ein Sn-Mg-Oxid, ein In-Mg-Oxid, ein In-Ga-Oxid, ein In-Ga-Zn-Oxid, ein In-Al-Zn-Oxid, ein In-Sn-Zn-Oxid, ein Sn-Ga-Zn-Oxid, ein Al-Ga-Zn-Oxid, ein Sn-Al-Zn-Oxid, ein In-Hf-Zn-Oxid, ein In-La-Zn-Oxid, ein In-Ce-Zn-Oxid, ein In-Pr-Zn-Oxid, ein In-Nd-Zn-Oxid, ein In-Sm-Zn-Oxid, ein In-Eu-Zn-Oxid, ein In-Gd-Zn-Oxid, ein In-Tb-Zn-Oxid, ein In-Dy-Zn-Oxid, ein In-Ho-Zn-Oxid, ein In-Er-Zn-Oxid, ein In-Tm-Zn-Oxid, ein In-Yb-Zn-Oxid, ein In-Lu-Zn-Oxid, ein In-Sn-Ga-Zn-Oxid, ein In-Hf-Ga-Zn-Oxid, ein In-Al-Ga-Zn-Oxid, ein In-Sn-Al-Zn-Oxid, ein In-Sn-Hf-Zn-Oxid und ein In-Hf-Al-Zn-Oxid.

[0196] Beispielsweise bezeichnet „In-Ga-Zn-Oxid“ ein Oxid, das In, Ga und Zn als seine Hauptkomponenten enthält. Das In-Ga-Zn-Oxid kann ein weiteres Metallelement zusätzlich zu In, Ga und Zn enthalten. Es sei angemerkt, dass in dieser Beschreibung ein Film, der das In-Ga-Zn-Oxid enthält, auch als IGZO-Film bezeichnet wird.

[0197] Ein Material, das durch $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ wird erfüllt und m ist keine ganze Zahl) dargestellt wird, kann verwendet werden. Es sei angemerkt, dass M ein oder mehrere Metallelemente darstellt, die aus Ga, Y, Zr, La, Ce und Nd ausgewählt werden. Als Alternative kann ein Material, das durch $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$, wobei n eine ganze Zahl ist) dargestellt wird, verwendet werden.

[0198] Es sei angemerkt, dass, wie ausführlich bei der Ausführungsform 1 beschrieben, Materialien derart ausgewählt werden, dass der erste Oxidhalbleiterfilm **131a** und der dritte Oxidhalbleiterfilm **133a** jeweils eine Elektronenaffinität, die niedriger ist als diejenige des zweiten Oxidhalbleiterfilms **132a**, aufweisen.

[0199] Es sei angemerkt, dass die Oxidhalbleiterfilme vorzugsweise durch ein Sputterverfahren ausgebildet werden. Als Sputterverfahren kann ein HF-Sputterverfahren, ein DC-Sputterverfahren, ein AC-Sputterverfahren oder dergleichen verwendet werden.

[0200] In dem Fall, in dem ein In-Ga-Zn-Oxid für jeweils den ersten Oxidhalbleiterfilm **131a**, den zweiten Oxidhalbleiterfilm **132a** und den dritten Oxidhalbleiterfilm **133a** verwendet wird, kann ein Material, dessen Atomverhältnis von In zu Ga und Zn eines von 1:1:1, 2:2:1, 3:1:2, 5:5:6, 1:3:2, 1:3:3, 1:3:4, 1:3:6, 1:

4:3, 1:5:4, 1:6:6, 2:1:3, 1:6:4, 1:9:6, 1:1:4 und 1:1:2 ist, verwendet werden.

[0201] Der Indiumgehalt in dem zweiten Oxidhalbleiterfilm **132a** ist vorzugsweise höher als derjenige in den ersten und dritten Oxidhalbleiterfilmen **131a** und **133a**. In einem Oxidhalbleiter trägt das s-Orbital eines Schwermetalls hauptsächlich zur Ladungsträgerleitung bei, und wenn der In-Anteil in dem Oxidhalbleiter ansteigt, nimmt die Überlappung der s-Orbitale wahrscheinlich zu. Deshalb weist ein Oxid mit einer Zusammensetzung, bei welcher der In-Anteil höher ist als der Ga-Anteil, eine höhere Beweglichkeit auf als ein Oxid mit einer Zusammensetzung, bei welcher der In-Anteil gleich oder niedriger ist als der Ga-Anteil. Daher kann unter Verwendung eines Oxids mit einem hohen Indiumgehalt für die zweite Oxidhalbleiterschicht **132** ein Transistor mit hoher Beweglichkeit erzielt werden.

[0202] Eine erste Wärmebehandlung kann durchgeführt werden, nachdem der dritte Oxidhalbleiterfilm **133a** ausgebildet worden ist. Die erste Wärmebehandlung kann bei einer Temperatur von höher als oder gleich 250°C und niedriger als oder gleich 650°C, bevorzugt höher als oder gleich 300°C und niedriger als oder gleich 500°C in einer Inertgasatmosphäre, in einer Atmosphäre, die 10 ppm oder mehr Oxidationsgas enthält, oder in einem Zustand mit verringertem Druck durchgeführt werden. Alternativ kann die erste Wärmebehandlung derart durchgeführt werden, dass eine Wärmebehandlung in einer Inertgasatmosphäre durchgeführt wird und dann eine weitere Wärmebehandlung in einer Atmosphäre, die 10 ppm oder mehr Oxidationsgas enthält, durchgeführt wird, um abgegebenen Sauerstoff zu kompensieren. Die erste Wärmebehandlung kann die Kristallinität der ersten bis dritten Oxidhalbleiterfilme **131a** bis **133a** erhöhen und Verunreinigungen, wie z. B. Wasser und Wasserstoff, von der isolierenden Schicht **120** und den ersten bis dritten Oxidhalbleiterfilmen **131a** bis **133a** entfernen. Es sei angemerkt, dass die erste Wärmebehandlung nach einem Ätzen zum Ausbilden der ersten bis dritten Oxidhalbleiterschichten **131** bis **133** durchgeführt werden kann, was später beschrieben wird.

[0203] Als nächstes wird eine erste Fotolackmaske über dem dritten Oxidhalbleiterfilm **133a** ausgebildet. Es ist bevorzugt, dass die Fotolackmaske beispielsweise durch einen Photolithographieprozess mittels Elektronenstrahlbelichtung, Flüssigkeitsimmersions-Belichtung oder EUV-Belichtung ausgebildet wird. Dabei kann man unter Verwendung eines negativen Fotolackmaterials zum Ausbilden der ersten Fotolackmaske die Zeit für den Belichtungsschritt verkürzen. Der dritte Oxidhalbleiterfilm **133a**, der zweite Oxidhalbleiterfilm **132a** und der erste Oxidhalbleiterfilm **131a** werden unter Verwendung der ersten Fotolackmaske selektiv geätzt, wodurch die Oxid-

halbleiterschicht **130**, die unter Verwendung eines Stapels ausgebildet ist, der die dritte Oxidhalbleiterschicht **133**, die zweite Oxidhalbleiterschicht **132** und die erste Oxidhalbleiterschicht **131** umfasst, ausgebildet wird (siehe **Fig. 11B**). Es ist auch möglich, eine harte Maske zu verwenden, um die Oxidhalbleiterschicht **130** auszubilden. Die harte Maske wird erhalten, indem ein Metallfilm, ein isolierender Film oder dergleichen über dem dritten Oxidhalbleiterfilm **133a** ausgebildet wird und indem der Film unter Verwendung einer zweiten Fotolackmaske selektiv geätzt wird. Es sei angemerkt, dass in dem Fall, in dem der Transistor **101** in **Fig. 1A** bis **Fig. 1C** hergestellt wird, der ausgebildete Oxidhalbleiterfilm durch das vorstehende Verfahren geätzt wird, wodurch die Oxidhalbleiterschicht **130** ausgebildet wird.

[0204] Dabei werden Ätzbedingungen und dergleichen angemessen derart reguliert, dass Eckabschnitte und dergleichen der Oxidhalbleiterschicht **130** die bei der Ausführungsform 1 beschriebenen Formen haben. Wie in den Zeichnungen gezeigt, kann die isolierende Schicht **120** teilweise geätzt werden.

[0205] Als nächstes wird ein erster leitender Film über der Oxidhalbleiterschicht **130** ausgebildet. Für den ersten leitenden Film kann eine Einzelschicht, ein Stapel oder eine Legierung aus einem von Al, Cr, Cu, Ta, Ti, Mo und W verwendet werden. Zum Beispiel wird ein 100 nm dicker Wolframfilm durch ein Sputterverfahren, ein CVD-Verfahren oder dergleichen ausgebildet.

[0206] Als nächstes wird eine zweite Fotolackmaske über dem ersten leitenden Film ausgebildet. Der erste leitende Film wird dann unter Verwendung der zweiten Fotolackmaske als Maske selektiv geätzt, so dass die Source-Elektrodenschicht **140** und die Drain-Elektrodenschicht **150** ausgebildet werden (siehe **Fig. 11C**).

[0207] Als nächstes wird der Gate-Isolierfilm **160** über der Oxidhalbleiterschicht **130**, der Source-Elektrodenschicht **140** und der Drain-Elektrodenschicht **150** ausgebildet (siehe **Fig. 12A**). Der Gate-Isolierfilm **160** kann unter Verwendung von Aluminiumoxid, Magnesiumoxid, Siliziumoxid, Siliziumoxynitrid, Siliziumnitridoxid, Siliziumnitrid, Galliumoxid, Germaniumoxid, Yttriumoxid, Zirconiumoxid, Lanthanoxid, Neodymoxid, Hafniumoxid, Tantaloxid oder dergleichen ausgebildet werden. Der Gate-Isolierfilm **160** kann ein Stapel sein, der eines der obigen Materialien enthält. Der Gate-Isolierfilm **160** kann durch ein Sputterverfahren, ein CVD-Verfahren, ein MBE-Verfahren oder dergleichen ausgebildet werden.

[0208] Dann wird ein zweiter leitender Film, der zu der Gate-Elektrodenschicht **170** wird, über dem Gate-Isolierfilm **160** ausgebildet. Für den zweiten leitenden Film kann eine Einzelschicht, ein Stapel oder eine

Legierung aus einem von Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta und W verwendet werden. Der zweite leitende Film kann durch ein Sputterverfahren, ein CVD-Verfahren oder dergleichen ausgebildet werden. Ein Stapel, der einen eines der obigen Materialien enthaltenden leitenden Film und einen Stickstoff enthaltenden leitenden Film umfasst, oder ein Stickstoff enthaltender leitender Film kann für den zweiten leitenden Film verwendet werden.

[0209] Danach wird eine dritte Fotolackmaske über dem zweiten leitenden Film ausgebildet, und der zweite leitende Film wird unter Verwendung der dritten Fotolackmaske selektiv geätzt, um die Gate-Elektrodenschicht **170** auszubilden (siehe **Fig. 12B**).

[0210] Die isolierende Schicht **180** und die isolierende Schicht **185** werden dann über dem Gate-Isolierfilm **160** und der Gate-Elektrodenschicht **170** ausgebildet (siehe **Fig. 12C**). Die isolierende Schicht **180** und die isolierende Schicht **185** können jeweils unter Verwendung eines Materials und eines Verfahrens, die denjenigen der isolierenden Schicht **120** ähnlich sind, ausgebildet werden. Es sei angemerkt, dass es besonders bevorzugt ist, Aluminiumoxid für die isolierende Schicht **180** zu verwenden.

[0211] Sauerstoff kann der isolierenden Schicht **180** und/oder der isolierenden Schicht **185** durch ein Ionenimplantationsverfahren, ein Ionendotierungsverfahren, ein Plasma-Immersion-Ionenimplantationsverfahren oder dergleichen zugesetzt werden. Der Zusatz von Sauerstoff ermöglicht es der isolierenden Schicht **180** und/oder der isolierenden Schicht **185**, der Oxidhalbleiterschicht **130** Sauerstoff sehr leicht zuzuführen.

[0212] Danach kann eine zweite Wärmebehandlung durchgeführt werden. Die zweite Wärmebehandlung kann unter einer Bedingung, die derjenigen der ersten Wärmebehandlung ähnlich ist, durchgeführt werden. Durch die zweite Wärmebehandlung wird überschüssiger Sauerstoff leicht aus der isolierenden Schicht **120**, der isolierenden Schicht **180** und der isolierenden Schicht **185** abgegeben, so dass Sauerstofffehlstellen in der Oxidhalbleiterschicht **130** verringert werden können.

[0213] Durch die vorstehenden Schritte kann der Transistor **102** in **Fig. 6A** bis **Fig. 6C** hergestellt werden. Zudem kann, wie oben beschrieben, der Transistor **101** in **Fig. 1A** bis **Fig. 1C** hergestellt werden, wenn eine Einzelschicht als die Oxidhalbleiterschicht **130** verwendet wird.

[0214] Als nächstes wird das Verfahren zum Herstellen des Transistors **103** in **Fig. 7A** bis **Fig. 7C** beschrieben. Es sei angemerkt, dass Beschreibung der Schritte, die denjenigen zum Herstellen des Transis-

tors **101** und des Transistors **102** ähnlich sind, weggelassen ist.

[0215] Die isolierende Schicht **120** wird über dem Substrat **110** ausgebildet, und der erste Oxidhalbleiterfilm **131a**, der zu der ersten Oxidhalbleiterschicht **131** wird, und der zweite Oxidhalbleiterfilm **132a**, der zu der zweiten Oxidhalbleiterschicht **132** wird, werden durch ein Sputterverfahren, ein CVD-Verfahren, ein MBE-Verfahren oder dergleichen über der isolierenden Schicht **120** ausgebildet (siehe **Fig. 13A**).

[0216] Als nächstes wird eine erste Fotolackmaske über dem zweiten Oxidhalbleiterfilm **132a** ausgebildet. Der zweite Oxidhalbleiterfilm **132a** und der erste Oxidhalbleiterfilm **131a** werden unter Verwendung der ersten Fotolackmaske selektiv geätzt, wodurch ein Stapel, der die zweite Oxidhalbleiterschicht **132** und die erste Oxidhalbleiterschicht **131** umfasst, ausgebildet wird (siehe **Fig. 13B**).

[0217] Als nächstes wird ein erster leitender Film über dem Stapel, der die zweite Oxidhalbleiterschicht **132** und die erste Oxidhalbleiterschicht **131** umfasst, ausgebildet. Bezüglich dieses Schrittes kann man auf die Beschreibung des ersten leitenden Films, der zum Herstellen des Transistors **101** oder des Transistors **102** verwendet wird, Bezug nehmen.

[0218] Als nächstes wird eine zweite Fotolackmaske über dem ersten leitenden Film ausgebildet. Der erste leitende Film wird dann unter Verwendung der zweiten Fotolackmaske als Maske selektiv geätzt, so dass die Source-Elektrodenschicht **140** und die Drain-Elektrodenschicht **150** ausgebildet werden (siehe **Fig. 13C**).

[0219] Als nächstes wird der dritte Oxidhalbleiterfilm **133a**, der zu der dritten Oxidhalbleiterschicht **133** wird, durch ein Sputterverfahren, ein CVD-Verfahren, ein MBE-Verfahren oder dergleichen über dem Stapel, der die zweite Oxidhalbleiterschicht **132** und die erste Oxidhalbleiterschicht **131** umfasst, der Source-Elektrodenschicht **140** und der Drain-Elektrodenschicht **150** ausgebildet.

[0220] Als nächstes wird der Gate-Isolierfilm **160** über dem dritten Oxidhalbleiterfilm **133a** ausgebildet. Bezüglich dieses Schrittes kann man auf die Beschreibung des Gate-Isolierfilms **160** des Transistors **101** oder des Transistors **102** Bezug nehmen.

[0221] Dann wird ein zweiter leitender Film **170a**, der zu der Gate-Elektrodenschicht **170** wird, über dem Gate-Isolierfilm **160** ausgebildet. Bezüglich dieses Schrittes kann man auf die Beschreibung des zweiten leitenden Films, der zum Herstellen des Transistors **101** oder des Transistors **102** verwendet wird, Bezug nehmen.

[0222] Als nächstes wird eine dritte Fotolackmaske **190** über dem zweiten leitenden Film **170a** ausgebildet (siehe **Fig. 14A**). Dann wird der zweite leitende Film **170a** unter Verwendung der dritten Fotolackmaske **190** selektiv geätzt, um die Gate-Elektrodenschicht **170** auszubilden.

[0223] Der Gate-Isolierfilm **160** wird dann unter Verwendung der Gate-Elektrodenschicht **170** als Maske selektiv geätzt.

[0224] Danach wird der dritte Oxidhalbleiterfilm **133a** unter Verwendung der Gate-Elektrodenschicht **170** oder des Gate-Isolierfilms **160** als Maske geätzt, um die dritte Oxidhalbleiterschicht **133** auszubilden (siehe **Fig. 14B**).

[0225] Der zweite leitende Film **170a**, der Gate-Isolierfilm **160** und der dritte Oxidhalbleiterfilm **133a** können getrennt oder nacheinander geätzt werden. Man kann entweder Trockenätzen oder Nassätzen als Ätzverfahren verwenden und ein jeweils geeignetes Ätzverfahren auswählen.

[0226] Als nächstes werden die isolierende Schicht **180** und die isolierende Schicht **185** über der Source-Elektrodenschicht **140**, der Drain-Elektrodenschicht **150** und der Gate-Elektrodenschicht **170** ausgebildet (siehe **Fig. 14C**). Bezüglich dieses Schrittes kann man auf die Beschreibung der isolierenden Schicht **180** und der isolierenden Schicht **185** des Transistors **101** oder des Transistors **102** Bezug nehmen.

[0227] Durch die vorstehenden Schritte kann der Transistor **103** in **Fig. 7A** bis **Fig. 7C** hergestellt werden.

[0228] Obwohl die Vielfalt der Filme, wie z. B. die Metallfilme, die Halbleiterfilme und die anorganischen isolierenden Filme, welche bei dieser Ausführungsform beschrieben werden, typischerweise durch ein Sputterverfahren oder ein Plasma-CVD-Verfahren ausgebildet werden kann, können derartige Filme auch durch ein anderes Verfahren, z. B. ein thermisches CVD-Verfahren ausgebildet werden. Ein metallorganisches chemisches Gasphasenabscheidungs-(metal organic chemical vapor deposition, MOCVD-)Verfahren oder ein Atomlagenabscheidungs-(atomic layer deposition, ALD-)Verfahren kann als Beispiel für ein thermisches CVD-Verfahren verwendet werden.

[0229] Ein thermisches CVD-Verfahren hat einen Vorteil, nämlich dass kein Defekt wegen eines Plasmaschadens erzeugt wird, da dabei kein Plasma zum Ausbilden eines Films benutzt wird.

[0230] Die Abscheidung durch ein thermisches CVD-Verfahren kann derart durchgeführt werden, dass ein Quellgas und ein Oxidator gleichzeitig zu

der Kammer zugeführt werden, dass der Druck in der Kammer auf einen atmosphärischen Druck oder einen verringerten Druck eingestellt wird und dass eine Reaktion in der Nähe des Substrats oder über dem Substrat bewirkt wird.

[0231] Die Abscheidung durch ein ALD-Verfahren kann derart durchgeführt werden, dass der Druck in einer Kammer auf einen atmosphärischen Druck oder einen verringerten Druck eingestellt wird, dass Quellengase zur Reaktion nacheinander in die Kammer eingeführt werden und dass dann die Folge der Gaseinführung wiederholt wird. Beispielsweise werden zwei oder mehr Arten von Quellengasen nacheinander zu der Kammer zugeführt, indem die jeweiligen Umschaltventile (auch als Hochgeschwindigkeitsventile bezeichnet) umgeschaltet werden. Zum Beispiel wird ein erstes Quellengas eingeführt, ein Inertgas (z. B. Argon oder Stickstoff) oder dergleichen wird gleichzeitig mit oder nach dem Einführen des ersten Quellengases eingeführt, damit die Quellengase nicht gemischt werden, und dann wird ein zweites Quellengas eingeführt. Es sei angemerkt, dass in dem Fall, in dem das erste Quellengas und das Inertgas gleichzeitig eingeführt werden, das Inertgas als Trägergas dient und dass das Inertgas auch gleichzeitig mit dem Einführen des zweiten Quellengases eingeführt werden kann. Alternativ kann das erste Quellengas durch Evakuierung statt der Einführung des Inertgases abgesaugt werden, und dann kann das zweite Quellengas eingeführt werden. Das erste Quellengas wird an die Oberfläche des Substrats adsorbiert, um eine erste Schicht auszubilden; dann wird das zweite Quellengas eingeführt, um mit der ersten Schicht zu reagieren; als Ergebnis wird eine zweite Schicht über der ersten Schicht gestapelt, so dass ein dünner Film ausgebildet wird. Die Folge der Gaseinführung wird mehrfach wiederholt, bis eine gewünschte Dicke erzielt wird, wodurch ein dünner Film mit ausgezeichneter Stufenabdeckung ausgebildet werden kann. Die Dicke des dünnen Films kann durch die Anzahl der Wiederholungen der Folge der Gaseinführung reguliert werden. Deshalb ermöglicht ein ALD-Verfahren, dass die Dicke genau reguliert wird, und ist also zum Herstellen eines feinen FET geeignet.

[0232] Die Vielfalt von Filmen, wie z. B. der Metallfilm, der Halbleiterfilm und der anorganische isolierende Film, welche bei den Ausführungsformen offenbart worden sind, kann durch ein thermisches CVD-Verfahren, wie z. B. ein MOCVD-Verfahren oder ein ALD-Verfahren ausgebildet werden. In dem Fall, in dem ein In-Ga-Zn-O-Film ausgebildet wird, kann beispielsweise Trimethylindium, Trimethylgallium und Diethylzink verwendet werden. Es sei angemerkt, dass die chemische Formel von Trimethylindium $\text{In}(\text{CH}_3)_3$ ist. Die chemische Formel von Trimethylgallium ist $\text{Ga}(\text{CH}_3)_3$. Die chemische Formel von Diethylzink ist $\text{Zn}(\text{C}_2\text{H}_5)_2$. Ohne Beschränkung auf die

obige Kombination kann Triethylgallium (chemische Formel: $\text{Ga}(\text{C}_2\text{H}_5)_3$) statt des Trimethylgalliums verwendet werden, und Dimethylzink (chemische Formel: $\text{Zn}(\text{CH}_3)_2$) kann statt des Diethylzinks verwendet werden.

[0233] Zum Beispiel werden in dem Fall, in dem ein Hafniumoxidfilm mit einer Abscheidungsrichtung unter Verwendung eines ALD-Verfahrens ausgebildet wird, zwei Arten von Gasen, d. h. Ozon (O_3) als Oxidator und ein Quellenmaterialgas verwendet, das durch Verdampfen einer Flüssigkeit, die ein Lösungsmittel und eine Hafniumvorläuferverbindung enthält (eine Hafniumalkoxidlösung, typischerweise Tetrakis(dimethylamid)hafnium (TDMAH)), erhalten wird. Es sei angemerkt, dass die chemische Formel von Tetrakis(dimethylamid)hafnium $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ist. Beispiele für ein weiteres flüssiges Material umfassen Tetrakis(ethylmethyldimid)hafnium.

[0234] Zum Beispiel werden in dem Fall, in dem ein Aluminiumoxidfilm unter Verwendung einer Abscheidungsrichtung unter Verwendung eines ALD-Verfahrens ausgebildet wird, zwei Arten von Gasen, z. B. H_2O als Oxidator und ein Quellengas verwendet, das durch Verdampfen einer Flüssigkeit, die ein Lösungsmittel und eine Aluminiumvorläuferverbindung enthält (z. B. Trimethylaluminium (TMA)), erhalten wird. Es sei angemerkt, dass die chemische Formel von Trimethylaluminium $\text{Al}(\text{CH}_3)_3$ ist. Beispiele für ein weiteres flüssiges Material umfassen Tris(dimethylamid)aluminium, Triisobutylaluminium und Aluminium-tris(2,2,6,6-tetramethyl-3,5-heptandionat).

[0235] Zum Beispiel wird in dem Fall, in dem ein Siliziumoxidfilm mit einer Abscheidungsrichtung unter Verwendung eines ALD-Verfahrens ausgebildet wird, Hexachlordisilan an eine Oberfläche adsorbiert, auf der ein Film ausgebildet wird, das in dem Adsorbat enthaltene Chlor wird entfernt, und Radikale eines Oxidationsgases (z. B. O_2 oder Distickstoffmonoxid) werden zugeführt, um mit dem Adsorbat zu reagieren.

[0236] Zum Beispiel werden in dem Fall, in dem ein Wolframfilm unter Verwendung einer Abscheidungsrichtung unter Verwendung eines ALD-Verfahrens ausgebildet wird, ein WF_6 -Gas und ein B_2H_6 -Gas nacheinander mehrfach eingeführt, um einen anfänglichen Wolframfilm auszubilden, und dann werden ein WF_6 -Gas und ein H_2 -Gas gleichzeitig eingeführt, so dass ein Wolframfilm ausgebildet wird. Es sei angemerkt, dass ein SiH_4 -Gas anstelle eines B_2H_6 -Gases verwendet werden kann.

[0237] Zum Beispiel werden in dem Fall, in dem ein Oxidhalbleiterfilm, z. B. ein In-Ga-Zn-O-Film unter Verwendung einer Abscheidungsrichtung unter Verwendung eines ALD-Verfahrens ausgebildet wird, ein $\text{In}(\text{CH}_3)_3$ -Gas und ein O_3 -Gas nacheinander

der mehrfach eingeführt, um eine InO-Schicht auszubilden, ein $\text{Ga}(\text{CH}_3)_3$ -Gas und ein O_3 -Gas werden gleichzeitig eingeführt, um eine GaO-Schicht auszubilden, und dann werden ein $\text{Zn}(\text{CH}_3)_2$ -Gas und ein O_3 -Gas gleichzeitig eingeführt, um eine ZnO-Schicht auszubilden. Es sei angemerkt, dass die Reihenfolge dieser Schichten nicht auf dieses Beispiel beschränkt ist.

[0238] Eine Mischverbindungsschicht, wie z. B. eine In-Ga-O-Schicht, eine In-Zn-O-Schicht oder eine Ga-Zn-O-Schicht, kann durch Mischen dieser Gase ausgebildet werden. Es sei angemerkt, dass ein H_2O -Gas, das durch Bubbling (Sprudeln oder Aufwallen) mit einem Inertgas, wie z. B. Ar, erhalten wird, statt eines O_3 -Gases verwendet werden kann; es ist jedoch bevorzugt, ein O_3 -Gas zu verwenden, da es keinen H enthält. Statt eines $\text{In}(\text{CH}_3)_3$ -Gases kann ein $\text{In}(\text{C}_2\text{H}_5)_3$ -Gas verwendet werden. Statt eines $\text{Ga}(\text{CH}_3)_3$ -Gases kann ein $\text{Ga}(\text{C}_2\text{H}_5)_3$ -Gas verwendet werden. Darüber hinaus kann ein $\text{Zn}(\text{CH}_3)_2$ -Gas verwendet werden.

[0239] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 3)

<Struktur eines Oxidhalbleiters>

[0240] Eine Struktur eines Oxidhalbleiters wird nachstehend beschrieben.

[0241] In dieser Beschreibung bedeutet der Begriff „parallel“, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich -10° und kleiner als oder gleich 10° ist, und umfasst daher auch den Fall, in dem der Winkel größer als oder gleich -5° und kleiner als oder gleich 5° ist. Der Begriff „im Wesentlichen parallel“ bedeutet, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich -30° und kleiner als oder gleich 30° ist. Der Begriff „senkrecht“ bedeutet, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich 80° und kleiner als oder gleich 100° ist, und umfasst daher den Fall, in dem der Winkel größer als oder gleich 85° und kleiner als oder gleich 95° ist. Der Begriff „im Wesentlichen senkrecht“ bedeutet, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich 60° und kleiner als oder gleich 120° ist.

[0242] In dieser Beschreibung sind trigonale und rhomboedrische Kristallsysteme in einem hexagonalen Kristallsystem enthalten.

[0243] Ein Oxidhalbleiter wird in einen einkristallinen Oxidhalbleiter und in einen nicht-einkristallinen Oxid-

halbleiter klassifiziert. Beispiele für einen nicht-einkristallinen Oxidhalbleiter umfassen einen kristallinen Oxidhalbleiter mit Ausrichtung bezüglich der c-Achse (c-axis aligned crystalline Oxide semiconductor, CAAC-OS), einen polykristallinen Oxidhalbleiter, einen mikrokristallinen Oxidhalbleiter und einen amorphen Oxidhalbleiter.

[0244] Aus einer anderen Sicht wird ein Oxidhalbleiter in einen amorphen Oxidhalbleiter und in einen kristallinen Oxidhalbleiter klassifiziert. Beispiele für einen kristallinen Oxidhalbleiter umfassen einen einkristallinen Oxidhalbleiter, einen CAAC-OS, einen polykristallinen Oxidhalbleiter und einen mikrokristallinen Oxidhalbleiter.

<CAAC-OS>

[0245] Zuerst wird ein CAAC-OS beschrieben. Es sei angemerkt, dass ein CAAC-OS als Oxidhalbleiter, der Nanokristalle mit Ausrichtung bezüglich der c-Achse (c-axis aligned nanocrystals, CANC) enthält, bezeichnet werden kann.

[0246] Ein CAAC-OS ist einer von Oxidhalbleitern, die eine Mehrzahl von Kristallteilen mit Ausrichtung bezüglich der c-Achse aufweisen (auch als Pellets bezeichnet).

[0247] In einem kombinierten Analysebild (auch als hochauflösendes TEM-Bild bezeichnet) aus einem Hellfeldbild und einem Beugungsbild eines CAAC-OS, welches mit einem Transmissionselektronenmikroskop (TEM) aufgenommen wird, kann eine Mehrzahl von Pellets beobachtet werden. Im hochauflösenden TEM-Bild wird jedoch eine Grenze zwischen Pellets, das heißt eine Korngrenze nicht deutlich beobachtet. Folglich ist weniger wahrscheinlich, dass in dem CAAC-OS eine Verringerung der Elektronenbeweglichkeit wegen der Korngrenze auftritt.

[0248] Im Folgenden wird ein CAAC-OS, der mit TEM beobachtet wird, beschrieben. **Fig. 15A** zeigt ein hochauflösendes TEM-Bild eines Querschnitts des CAAC-OS, der aus einer Richtung im Wesentlichen parallel zur Probenoberfläche beobachtet wird. Das hochauflösende TEM-Bild wird mittels einer Funktion zum Korrigieren einer sphärischen Aberration erhalten. Das hochauflösende TEM-Bild, das mittels einer Funktion zum Korrigieren einer sphärischen Aberration erhalten wird, wird insbesondere als Cs-korrigiertes hochauflösendes TEM-Bild bezeichnet. Das Cs-korrigierte hochauflösende TEM-Bild kann beispielsweise mit einem Analyse-Elektronenmikroskop mit atomarer Auflösung (atomic resolution analytical electron microscope) JEM-ARM200F, hergestellt von JEOL Ltd., aufgenommen werden.

[0249] **Fig. 15B** ist ein vergrößertes Cs-korrigiertes hochauflösendes TEM-Bild eines Bereichs (1) in

Fig. 15A. Fig. 15B zeigt, dass Metallatome auf eine geschichtete Weise in einem Pellet angeordnet sind. Jede Metallatomlage weist eine Konfiguration auf, die eine Unebenheit einer Oberfläche, über welcher der CAAC-OS ausgebildet ist (die Oberfläche wird nachstehend als Bildungsoberfläche bezeichnet), oder eine Unebenheit einer nach oben weisenden Oberfläche des CAAC-OS widerspiegelt, und jede Metallatomlage ist parallel zu der Bildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS angeordnet.

[0250] Wie in **Fig. 15B** gezeigt, weist der CAAC-OS eine charakteristische Atomanordnung auf. Die charakteristische Atomanordnung wird durch eine Hilfslinie in **Fig. 15C** dargestellt. Aus **Fig. 15B** und **Fig. 15C** kann man ablesen, dass die Größe eines Pellets zirka 1 nm bis 3 nm ist und dass die Größe eines Raums, der durch die sich neigenden Pellets hervorgerufen wird, zirka 0,8 nm ist. Deshalb kann das Pellet auch als Nanokristall (nanocrystal, nc) bezeichnet werden.

[0251] Nach den Cs-korrigierten hochauflösenden TEM-Bildern wird hier die schematische Anordnung von Pellets **5100** eines CAAC-OS über einem Substrat **5120** als solche Struktur abgebildet, bei der Ziegel oder Blöcke gestapelt sind (siehe **Fig. 15D**). Der Teil, in dem sich, wie in **Fig. 15C** beobachtet, die Pellets neigen, entspricht einem Bereich **5161** in **Fig. 15D**.

[0252] **Fig. 16A** zeigt ein Cs-korrigiertes hochauflösendes TEM-Bild einer Fläche des CAAC-OS, der aus einer Richtung im Wesentlichen senkrecht zur Probenoberfläche beobachtet wird. **Fig. 16B, Fig. 16C** und **Fig. 16D** sind vergrößerte Cs-korrigierte hochauflösende TEM-Bilder von Bereichen (1), (2) bzw. (3) in **Fig. 16A**. **Fig. 16B, Fig. 16C** und **Fig. 16D** zeigen auf, dass Metallatome in einer dreieckigen, viereckigen oder sechseckigen Konfiguration in einem Pellet angeordnet sind. Zwischen verschiedenen Pellets gibt es jedoch keine Regelmäßigkeit der Anordnung der Metallatome.

[0253] Als nächstes wird ein CAAC-OS, der durch Röntgenstrahlbeugung (X-ray diffraction, XRD) analysiert wird, beschrieben. Wenn beispielsweise die Struktur eines CAAC-OS, der einen InGaZnO₄-Kristall enthält, durch ein Out-of-Plane-Verfahren (out-of-plane method) analysiert wird, erscheint ein Peak bei einem Beugungswinkel (2θ) von zirka 31°, wie in **Fig. 17A** gezeigt. Dieser Peak stammt aus der (009)-Ebene des InGaZnO₄-Kristalls, was darauf hindeutet, dass Kristalle in dem CAAC-OS eine Ausrichtung bezüglich der c-Achse aufweisen und dass die c-Achsen in einer Richtung im Wesentlichen senkrecht zu der Bildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS ausgerichtet sind.

[0254] Es sei angemerkt, dass bei der Strukturanalyse des CAAC-OS durch ein Out-of-Plane-Verfahren, neben dem Peak bei 2θ von zirka 31° ein weiterer Peak erscheinen kann, wenn 2θ bei zirka 36° liegt. Der Peak bei 2θ von zirka 36° deutet darauf hin, dass ein Kristall ohne Ausrichtung bezüglich der c-Achse in einem Teil des CAAC-OS enthalten ist. Es ist bevorzugt, dass in dem durch ein Out-of-Plane-Verfahren analysierten CAAC-OS ein Peak erscheint, wenn 2θ bei zirka 31° liegt, und dass kein Peak erscheint, wenn 2θ bei zirka 36° liegt.

[0255] Andererseits erscheint bei einer Strukturanalyse des CAAC-OS durch ein In-Plane-Verfahren (in-plane method), bei dem ein Röntgenstrahl auf eine Probe in einer Richtung im Wesentlichen senkrecht zur c-Achse einfällt, ein Peak, wenn 2θ bei zirka 56° liegt. Dieser Peak ist der (110)-Ebene des InGaZnO₄-Kristalls zuzuschreiben. Im Falle des CAAC-OS wird, wie in **Fig. 17B** gezeigt, kein deutlicher Peak beobachtet, wenn eine Analyse (ϕ -Scan) durchgeführt wird, wobei 2θ auf zirka 56° festgelegt wird und wobei die Probe um einen Normalenvektor der Probenoberfläche als Achse (ϕ -Achse) gedreht wird. Im Gegensatz dazu werden im Falle eines einkristallinen InGaZnO₄-Oxidhalbleiters, wie in **Fig. 17C** gezeigt, sechs Peaks, die aus den der (110)-Ebene entsprechenden Kristallebenen stammen, beobachtet, wenn ϕ -Scan durchgeführt wird, wobei 2θ auf zirka 56° festgelegt wird. Also zeigt die Strukturanalyse mit XRD, dass die Richtungen der a-Achsen und b-Achsen in dem CAAC-OS verschieden sind.

[0256] Als nächstes wird ein CAAC-OS, der durch Elektronenbeugung analysiert wird, beschrieben. Wenn beispielsweise ein Elektronenstrahl mit einem Probendurchmesser von 300 nm in einer Richtung parallel zur Probenoberfläche auf einen CAAC-OS, der einen InGaZnO₄-Kristall enthält, einfällt, könnte ein Beugungsbild (auch als Feinbereichs-(selected-area) Transmissionselektronenbeugungsbild bezeichnet) in **Fig. 30A** erhalten werden. Dieses Beugungsbild weist Punkte auf, die aus der (009)-Ebene eines InGaZnO₄-Kristalls stammen. Daher deutet die Elektronenbeugung auch darauf hin, dass Pellets, die in dem CAAC-OS enthalten sind, eine Ausrichtung bezüglich der c-Achse aufweisen und dass die c-Achsen in einer Richtung im Wesentlichen senkrecht zu der Bildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS ausgerichtet sind. Währenddessen zeigt **Fig. 30B** ein Beugungsbild, das erhalten wird, indem ein Elektronenstrahl mit einem Probendurchmesser von 300 nm in einer Richtung senkrecht zur Probenoberfläche auf dieselbe Probe einfällt. Wie in **Fig. 30B** gezeigt, wird ein ringförmiges Beugungsbild beobachtet. Daher deutet die Elektronenbeugung auch darauf hin, dass die a-Achsen und b-Achsen der Pellets, die in dem CAAC-OS enthalten sind, keine regelmäßige Ausrichtung aufweisen. Es wird davon ausgegangen, dass der erste

Ring in **Fig. 30B** aus der (010)-Ebene, der (100)-Ebene und dergleichen des InGaZnO_4 -Kristalls stammt. Es wird davon ausgegangen, dass der zweite Ring in **Fig. 30B** aus der (110)-Ebene und dergleichen stammt.

[0257] Der CAAC-OS ist außerdem ein Oxidhalbleiter mit einer niedrigen Dichte der Defektzustände. Bei Defekten in dem Oxidhalbleiter handelt es sich beispielsweise um einen Defekt, der auf eine Verunreinigung zurückzuführen ist, und um Sauerstofffehlstellen. Der CAAC-OS kann deshalb als Oxidhalbleiter mit einer niedrigen Verunreinigungskonzentration oder als Oxidhalbleiter mit einer kleinen Anzahl von Sauerstofffehlstellen angesehen werden.

[0258] Die Verunreinigung, die in dem Oxidhalbleiter enthalten ist, könnte als Einfangstelle für Ladungsträger oder als Ladungsträgererzeugungsquelle dienen. Darüber hinaus dienen Sauerstofffehlstellen in dem Oxidhalbleiter als Einfangstellen für Ladungsträger oder als Ladungsträgererzeugungsquellen, wenn Wasserstoff dorthin eingefangen wird.

[0259] Es sei angemerkt, dass die Verunreinigung ein Element, das verschieden von den Hauptkomponenten des Oxidhalbleiters ist, wie z. B. Wasserstoff, Kohlenstoff, Silizium oder ein Übergangsmetallelement, bezeichnet. Beispielsweise extrahiert ein Element (insbesondere Silizium oder dergleichen), das eine höhere Bindungsstärke an Sauerstoff aufweist als ein in einem Oxidhalbleiter enthaltenes Metallelement, Sauerstoff aus dem Oxidhalbleiter, was eine Unordnung der Atomanordnung und eine reduzierte Kristallinität des Oxidhalbleiters zur Folge hat. Ein Schwermetall, wie z. B. Eisen oder Nickel, Argon, Kohlenstoffdioxid oder dergleichen weist einen großen Atomradius (oder molekularen Radius) auf und stört daher die Atomanordnung des Oxidhalbleiters und reduziert die Kristallinität.

[0260] Ein Oxidhalbleiter mit einer niedrigen Dichte der Defektzustände (einer kleinen Anzahl von Sauerstofffehlstellen) kann eine niedrige Ladungsträgerdichte aufweisen. Ein derartiger Oxidhalbleiter wird als hochreiner intrinsischer oder im Wesentlichen hochreiner intrinsischer Oxidhalbleiter bezeichnet. Ein CAAC-OS weist eine niedrige Verunreinigungskonzentration und eine niedrige Dichte der Defektzustände auf. Das heißt, dass ein CAAC-OS wahrscheinlich ein hochreiner intrinsischer oder im Wesentlichen hochreiner intrinsischer Oxidhalbleiter ist. Daher weist ein Transistor, der einen CAAC-OS enthält, selten eine negative Schwellenspannung auf (er verhält sich kaum „normalerweise eingeschaltet“ (normally on)). Der hochreine intrinsische oder im Wesentlichen hochreine intrinsische Oxidhalbleiter weist geringe Einfangstellen für Ladungsträger auf. Eine elektrische Ladung, die von den Einfangstellen für Ladungsträger in dem Oxidhalbleiter ein-

gefangen wird, braucht lange Zeit, bis sie freigegeben wird. Die eingefangene elektrische Ladung kann sich wie feste elektrische Ladung verhalten. Daher könnte der Transistor, der den Oxidhalbleiter mit einer hohen Verunreinigungskonzentration und einer hohen Dichte der Defektzustände enthält, instabile elektrische Eigenschaften aufweisen. Jedoch weist ein Transistor, der einen CAAC-OS enthält, geringe Schwankungen der elektrischen Eigenschaften und hohe Zuverlässigkeit auf.

[0261] Da der CAAC-OS eine niedrige Dichte der Defektzustände aufweist, ist weniger wahrscheinlich, dass Ladungsträger, die durch Lichtbestrahlung oder dergleichen erzeugt werden, in Defektzustände eingefangen werden. Bei einem Transistor, bei dem der CAAC-OS verwendet wird, ist deshalb eine Veränderung der elektrischen Eigenschaften, die auf eine Bestrahlung mit sichtbarem Licht oder UV-Licht zurückzuführen ist, gering.

<Mikrokristalliner Oxidhalbleiter>

[0262] Als nächstes wird ein mikrokristalliner Oxidhalbleiterfilm beschrieben.

[0263] In einem hochauflösenden TEM-Bild weist ein mikrokristalliner Oxidhalbleiter einen Bereich, in dem ein Kristallteil beobachtet wird, und einen Bereich auf, in dem ein Kristallteil nicht deutlich beobachtet wird. In den meisten Fällen ist die Größe eines Kristallteils, der in dem mikrokristallinen Oxidhalbleiter enthalten ist, größer als oder gleich 1 nm und kleiner als oder gleich 100 nm oder größer als oder gleich 1 nm und kleiner als oder gleich 10 nm. Ein Oxidhalbleiter, der einen Nanokristall (nanocrystal, nc) enthält, der ein Mikrokristall mit einer Größe von größer als oder gleich 1 nm und kleiner als oder gleich 10 nm oder einer Größe von größer als oder gleich 1 nm und kleiner als oder gleich 3 nm ist, wird insbesondere als nanokristalliner Oxidhalbleiter (nc-OS) bezeichnet. In einem hochauflösenden TEM-Bild des nc-OS wird beispielsweise eine Korngrenze in einigen Fällen nicht deutlich beobachtet. Es sei angemerkt, dass es eine Möglichkeit gibt, dass der Ursprung des Nanokristalls gleich demjenigen eines Pellets in einem CAAC-OS ist. Ein Kristallteil des nc-OS kann deshalb in der folgenden Beschreibung als Pellet bezeichnet werden.

[0264] In dem nc-OS weist ein mikroskopischer Bereich (zum Beispiel ein Bereich mit einer Größe von größer als oder gleich 1 nm und kleiner als oder gleich 10 nm, im Besonderen ein Bereich mit einer Größe von größer als oder gleich 1 nm und kleiner als oder gleich 3 nm) eine regelmäßige Atomanordnung auf. Es gibt keine Regelmäßigkeit der Kristallausrichtung zwischen verschiedenen Pellets in dem nc-OS. Demzufolge ist die Ausrichtung des ganzen Films nicht in Ordnung. Deshalb kann man den nc-

OS von einem amorphen Oxidhalbleiter in Abhängigkeit von einem Analyseverfahren nicht unterscheiden. Wenn beispielsweise der nc-OS einer Strukturanalyse durch ein Out-of-Plane-Verfahren mit einem XRD-Gerät unterzogen wird, wobei ein Röntgenstrahl mit einem Durchmesser, der größer ist als die Größe eines Pellets, verwendet wird, erscheint kein Peak, der eine Kristallebene zeigt. Außerdem wird ein Beugungsbild ähnlich wie ein Halo-Muster (halo pattern) beobachtet, wenn der nc-OS einer Elektronenbeugung mittels eines Elektronenstrahls mit einem Probendurchmesser (z. B. 50 nm oder größer), der größer ist als die Größe eines Pellets, unterzogen wird (die Elektronenbeugung wird auch als Feinbereichselektronenbeugung bezeichnet). Währenddessen erscheinen Punkte in einem Nanostrahl-Elektronenbeugungsbild (nanobeam electron diffraction pattern) des nc-OS, wenn ein Elektronenstrahl mit einem Probendurchmesser, der nahe der oder kleiner als die Größe eines Pellets ist, angewendet wird. In einem Nanostrahl-Elektronenbeugungsbild des nc-OS sind außerdem in einigen Fällen Bereiche mit hoher Leuchtdichte in Kreisform (Ringform) gezeigt. Auch in einem Nanostrahl-Elektronenbeugungsbild des nc-OS ist in einigen Fällen eine Mehrzahl von Punkten in einem ringförmigen Bereich gezeigt.

[0265] Da es, wie zuvor beschrieben, keine Regelmäßigkeit der Kristallausrichtung zwischen den Pellets (Nanokristallen) gibt, kann der nc-OS auch als Oxidhalbleiter, der ungeordnet ausgerichtete Nanokristalle (random aligned nanocrystals, RANC) enthält, oder als Oxidhalbleiter, der nicht ausgerichtete Nanokristalle (non-aligned nanocrystals, NANC) enthält, bezeichnet werden.

[0266] Der nc-OS ist ein Oxidhalbleiter, der im Vergleich zu einem amorphen Oxidhalbleiter hohe Regelmäßigkeit aufweist. Deshalb ist wahrscheinlich, dass der nc-OS eine niedrigere Dichte der Defektzustände aufweist als ein amorpher Oxidhalbleiter. Es sei angemerkt, dass es keine Regelmäßigkeit der Kristallausrichtung zwischen verschiedenen Pellets in dem nc-OS gibt. Daher weist der nc-OS eine höhere Dichte der Defektzustände auf als der CAAC-OS.

<Amorpher Oxidhalbleiter>

[0267] Als nächstes wird ein amorpher Oxidhalbleiter beschrieben.

[0268] Bei dem amorphen Oxidhalbleiter handelt es sich um einen Oxidhalbleiter mit einer ungeordneten Atomanordnung und ohne Kristallteil, und beispielhaft dafür ist ein Oxidhalbleiter, der in einem amorphen Zustand wie Quarz existiert.

[0269] In einem hochauflösenden TEM-Bild des amorphen Oxidhalbleiters kann man keinen Kristallteil finden.

[0270] Wenn der amorphe Oxidhalbleiter einer Strukturanalyse durch ein Out-of-Plane-Verfahren mit einem XRD-Gerät unterzogen wird, erscheint kein Peak, der eine Kristallebene zeigt. Ein Halo-Muster wird beobachtet, wenn der amorphe Oxidhalbleiter einer Elektronenbeugung unterzogen wird. Des Weiteren wird kein Punkt beobachtet und nur ein Halo-Muster erscheint, wenn der amorphe Oxidhalbleiter einer Nanostrahl-Elektronenbeugung unterzogen wird.

[0271] Es gibt verschiedene Auffassungen von einer amorphen Struktur. Zum Beispiel wird eine Struktur, deren Atomanordnung gar keine Ordnung aufweist, eine vollständig amorphe Struktur genannt. Währenddessen wird eine Struktur, die eine Ordnung in einem Abstand bis zum am nächsten benachbarten Atom (nearest neighbor atomic distance) oder einem Abstand bis zum am zweitnächsten benachbarten Atom (second-nearest neighbor atomic distance) aufweist aber keine Fernordnung aufweist, ebenfalls eine amorphe Struktur genannt. Daher erlaubt es die engste Definition nicht, dass ein Oxidhalbleiter ein amorpher Oxidhalbleiter genannt wird, solange auch eine geringfügige Ordnung in einer Atomanordnung vorhanden ist. Mindestens einen Oxidhalbleiter mit einer Fernordnung kann niemand einen amorphen Oxidhalbleiter nennen. Dementsprechend kann niemand beispielsweise einen CAAC-OS und einen nc-OS einen amorphen Oxidhalbleiter oder einen vollständig amorphen Oxidhalbleiter nennen, da ein Kristallteil vorhanden ist.

<Amorphähnlicher Oxidhalbleiter>

[0272] Es sei angemerkt, dass ein Oxidhalbleiter eine intermediäre Struktur zwischen dem nc-OS und dem amorphen Oxidhalbleiter haben kann. Der Oxidhalbleiter mit einer derartigen Struktur wird insbesondere als amorphähnlicher Oxidhalbleiter (amorphous-like Oxide semiconductor) (a-ähnlicher OS (a-like OS)) bezeichnet.

[0273] In einem hochauflösenden TEM-Bild des a-ähnlichen OS kann ein Hohlraum (void) beobachtet werden. Darüber hinaus bestehen im hochauflösenden TEM-Bild ein Bereich, in dem ein Kristallteil deutlich beobachtet wird, und ein Bereich, in dem kein Kristallteil beobachtet wird.

[0274] Der a-ähnliche OS hat eine instabile Struktur, da er einen Hohlraum aufweist. Um zu befestigen, dass ein a-ähnlicher OS eine instabile Struktur im Vergleich zu einem CAAC-OS und einem nc-OS hat, wird eine Veränderung der Struktur, die durch Elektronenbestrahlung verursacht wird, im Folgenden beschrieben.

[0275] Ein a-ähnlicher OS (Probe A), ein nc-OS (Probe B) und ein CAAC-OS (Probe C) werden als Proben, die einer Elektronenbestrahlung unterzogen

werden, vorbereitet. Jede der Proben ist ein In-Ga-Zn-Oxid.

[0276] Zunächst wird ein hochauflösendes Querschnitts-TEM-Bild jeder Probe aufgenommen. Die hochauflösenden Querschnitts-TEM-Bilder zeigen, dass alle Proben Kristallteile aufweisen.

[0277] Es sei angemerkt, dass es wie folgt bestimmt wird, welcher Teil als Kristallteil angesehen wird. Es ist bekannt, dass eine Einheitszelle eines InGaZnO_4 -Kristalls eine Struktur hat, bei der neun Schichten, d. h. drei In-O-Schichten und sechs Ga-Zn-O-Schichten in der Richtung der c-Achse gestapelt sind. Der Abstand zwischen den benachbarten Schichten ist gleich dem Gitterabstand auf der (009)-Ebene (auch als d-Wert (d value) bezeichnet). Der Wert berechnet sich aus einer Kristallstrukturanalyse zu 0,29 nm. Daher wird ein Abschnitt, in dem der Gitterabstand zwischen Gitter-Randzonen größer als oder gleich 0,28 nm und kleiner als oder gleich 0,30 nm ist, als Kristallteil von InGaZnO_4 angesehen. Jede Gitter-Randzone entspricht der a-b-Ebene des InGaZnO_4 -Kristalls.

[0278] Fig. 31 zeigt eine Veränderung der durchschnittlichen Größe von Kristallteilen (an 22 Punkten bis 45 Punkten) in jeder Probe. Es sei angemerkt, dass die Größe eines Kristallteils der Länge einer Gitter-Randzone entspricht. Fig. 31 deutet darauf hin, dass die Größe eines Kristallteils in dem a-ähnlichen OS mit einer Zunahme der kumulativen Elektronendosis zunimmt. Insbesondere wächst, wie durch (1) in Fig. 31 gezeigt, ein Kristallteil, der am Anfang der TEM-Beobachtung zirka 1,2 nm misst (auch als anfänglicher Kern (initial nucleus) bezeichnet), bis zu einer Größe von zirka 2,6 nm bei einer kumulativen Elektronendosis von $4,2 \times 10^8 \text{ e}^-/\text{nm}^2$. Die Größe eines Kristallteils in dem nc-OS und dem CAAC-OS verändert sich im Gegensatz dazu in nur geringem Maße vom Anfang der Elektronenbestrahlung bis zu einer kumulativen Elektronendosis von $4,2 \times 10^8 \text{ e}^-/\text{nm}^2$. Insbesondere sind, wie durch (2) und (3) in Fig. 31 gezeigt, die durchschnittlichen Kristallgrößen in einem nc-OS und einem CAAC-OS zirka 1,4 nm bzw. zirka 2,1 nm, unabhängig von der kumulativen Elektronendosis.

[0279] Auf diese Weise wird das Wachstum des Kristallteils in dem a-ähnlichen OS durch Elektronenbestrahlung angeregt. In dem nc-OS und dem CAAC-OS wird im Gegensatz dazu das Wachstum des Kristallteils durch Elektronenbestrahlung kaum angeregt. Deshalb hat der a-ähnliche OS eine instabile Struktur im Vergleich zu dem nc-OS und dem CAAC-OS.

[0280] Der a-ähnliche OS weist eine niedrigere Dichte auf als der nc-OS und der CAAC-OS, da er einen Hohlraum enthält. Die Dichte des a-ähnlichen OS beträgt insbesondere höher als oder gleich 78,6% und niedriger als 92,3% der Dichte des einkristallinen Oxidhalbleiters mit der gleichen Zusammensetzung. Die Dichte des nc-OS und die Dichte des CAAC-OS betragen jeweils höher als oder gleich 92,3% und niedriger als 100% der Dichte des einkristallinen Oxidhalbleiters mit der gleichen Zusammensetzung. Es sei angemerkt, dass es schwierig ist, einen Oxidhalbleiter mit einer Dichte, die niedriger als 78% der Dichte des einkristallinen Oxidhalbleiters beträgt, abzuscheiden.

tallinen Oxidhalbleiters mit der gleichen Zusammensetzung. Die Dichte des nc-OS und die Dichte des CAAC-OS betragen jeweils höher als oder gleich 92,3% und niedriger als 100% der Dichte des einkristallinen Oxidhalbleiters mit der gleichen Zusammensetzung. Es sei angemerkt, dass es schwierig ist, einen Oxidhalbleiter mit einer Dichte, die niedriger als 78% der Dichte des einkristallinen Oxidhalbleiters beträgt, abzuscheiden.

[0281] Im Falle eines Oxidhalbleiters mit einem Atomverhältnis In:Ga:Zn = 1:1:1 ist beispielsweise die Dichte eines Einkristalls InGaZnO_4 mit einer rhomboedrischen Kristallstruktur $6,357 \text{ g/cm}^3$. Dementsprechend ist im Falle des Oxidhalbleiters mit einem Atomverhältnis In:Ga:Zn = 1:1:1 die Dichte des a-ähnlichen OS höher als oder gleich $5,0 \text{ g/cm}^3$ und niedriger als $5,9 \text{ g/cm}^3$. Im Falle des Oxidhalbleiters mit einem Atomverhältnis In:Ga:Zn = 1:1:1 sind beispielsweise die Dichte des nc-OS und die Dichte des CAAC-OS jeweils höher als oder gleich $5,9 \text{ g/cm}^3$ und niedriger als $6,3 \text{ g/cm}^3$.

[0282] Es sei angemerkt, dass es eine Möglichkeit gibt, dass ein Oxidhalbleiter mit einer gewissen Zusammensetzung in keiner einkristallinen Struktur existieren kann. In diesem Fall werden einkristalline Oxidhalbleiter mit verschiedenen Zusammensetzungen in einem angemessenen Verhältnis kombiniert, was ermöglicht, die Dichte, die derjenigen eines einkristallinen Oxidhalbleiters mit der gewünschten Zusammensetzung entspricht, zu berechnen. Die Dichte eines einkristallinen Oxidhalbleiters mit der gewünschten Zusammensetzung kann aus einem gewichteten Durchschnitt entsprechend dem Kombinationsverhältnis der einkristallinen Oxidhalbleiter mit verschiedenen Zusammensetzungen berechnet werden. Es sei angemerkt, dass es bevorzugt ist, möglichst wenige Arten von einkristallinen Oxidhalbleitern für die Berechnung der Dichte zu verwenden.

[0283] Wie zuvor beschrieben, weisen Oxidhalbleiter verschiedene Strukturen und verschiedene Eigenschaften auf. Es sei angemerkt, dass ein Oxidhalbleiter eine Stapelschicht, die beispielsweise zwei oder mehr Filme aus einem amorphen Oxidhalbleiter, einem a-ähnlichen OS, einem mikrokristallinen Oxidhalbleiter und einem CAAC-OS umfasst, sein kann.

<Abscheidungsmodell>

[0284] Im Folgenden werden Beispiele für Abscheidungsmodelle eines CAAC-OS und eines nc-OS beschrieben.

[0285] Fig. 32A ist eine schematische Innenansicht einer Abscheidungskammer, in der ein CAAC-OS durch ein Sputterverfahren abgeschieden wird.

[0286] Ein Target **5130** ist auf einer Grundplatte (backing plate) angebracht. Eine Mehrzahl von Magneten ist dem Target **5130** zugewandt angeordnet, wobei die Grundplatte dazwischen liegt. Die Mehrzahl von Magneten erzeugt ein Magnetfeld. Ein Sputterverfahren, bei dem die Abscheidungsrate unter Nutzung eines Magnetfeldes von Magneten erhöht wird, wird als Magnetron-Sputterverfahren bezeichnet.

[0287] Das Substrat **5120** ist dem Target **5130** zugewandt platziert, und der Abstand d (auch als Target-Substrat-Abstand (T-S-Abstand) bezeichnet) ist größer als oder gleich $0,01\text{ m}$ und kleiner als oder gleich 1 m , bevorzugt größer als oder gleich $0,02\text{ m}$ und kleiner als oder gleich $0,5\text{ m}$. Die Abscheidungskammer ist größtenteils mit einem Abscheidungsgas (z. B. einem Sauerstoffgas, einem Argongas oder einem Gasgemisch, das $5\text{ Vol-}\%$ oder mehr Sauerstoff enthält) gefüllt, und der Druck in der Abscheidungskammer wird auf höher als oder gleich $0,01\text{ Pa}$ und niedriger als oder gleich 100 Pa , bevorzugt höher als oder gleich $0,1\text{ Pa}$ und niedriger als oder gleich 10 Pa reguliert. Hier beginnt ein Entladen, indem eine Spannung mit einem gewissen Wert oder höher an das Target **5130** angelegt wird, und ein Plasma wird beobachtet. Das Magnetfeld bildet einen Plasmabereich mit hoher Dichte in der Nähe des Targets **5130**. In dem Plasmabereich mit hoher Dichte wird das Abscheidungsgas ionisiert, so dass ein Ion **5101** erzeugt wird. Beispiele für das Ion **5101** umfassen ein Sauerstoffkation (O^+) und ein Argonkation (Ar^+).

[0288] Hierbei hat das Target **5130** eine polykristalline Struktur, die eine Mehrzahl von Kristallkörnern enthält und bei der eine Spaltungsebene in mindestens einem Kristallkorn existiert. **Fig. 33A** zeigt beispielhaft eine Struktur eines InGaZnO_4 -Kristalls, der in dem Target **5130** enthalten ist. Es sei angemerkt, dass **Fig. 33A** eine Struktur des Falls zeigt, in dem der InGaZnO_4 -Kristall aus einer Richtung parallel zur b -Achse beobachtet wird. **Fig. 33A** zeigt auf, dass Sauerstoffatome in einer Ga-Zn-O-Schicht nahe an Sauerstoffatomen in einer benachbarten Ga-Zn-O-Schicht positioniert sind. Die Sauerstoffatome weisen negative Ladung auf; deswegen wird eine Abstoßungskraft zwischen den zwei benachbarten Ga-Zn-O-Schichten erzeugt. Als Ergebnis weist der InGaZnO_4 -Kristall eine Spaltungsebene zwischen den zwei benachbarten Ga-Zn-O-Schichten auf.

[0289] Das Ion **5101**, das in dem Plasmabereich mit hoher Dichte erzeugt wird, wird durch ein elektrisches Feld zur Seite des Targets **5130** hin beschleunigt und kollidiert dann mit dem Target **5130**. Dabei werden ein Pellet **5100a** und ein Pellet **5100b**, welche ebene plattenförmige (pelletförmige) gesputterte Teilchen sind, von der Spaltungsebene abgetrennt und gesputtert. Es sei angemerkt, dass Strukturen des Pellets **5100a** und des Pellets **5100b** durch eine Wir-

kung der Kollision des Ions **5101** verzerrt werden können.

[0290] Es handelt sich bei dem Pellet **5100a** um ein ebenes plattenförmiges (pelletförmiges) gesputtertes Teilchen mit einer dreieckigen Fläche, z. B. Fläche in Form eines gleichseitigen Dreiecks. Es handelt sich bei dem Pellet **5100b** um ein ebenes plattenförmiges (pelletförmiges) gesputtertes Teilchen mit einer sechseckigen Fläche, z. B. Fläche in Form eines gleichseitigen Sechsecks. Es sei angemerkt, dass ebene plattenförmige (pelletförmige) gesputterte Teilchen, wie z. B. das Pellet **5100a** und das Pellet **5100b**, gemeinsam Pellets **5100** genannt werden. Die Form einer ebenen Fläche des Pellets **5100** ist nicht auf ein Dreieck oder ein Sechseck beschränkt. Die ebene Fläche kann zum Beispiel eine Form haben, die durch Kombination von zwei oder mehr Dreiecken gebildet ist. Beispielsweise kann ein Viereck (z. B. Rhombus) durch Kombination von zwei Dreiecken (z. B. gleichseitigen Dreiecken) gebildet sein.

[0291] Die Dicke des Pellets **5100** wird abhängig von der Art des Abscheidungsgases und dergleichen bestimmt. Die Dicken der Pellets **5100** sind vorzugsweise gleichmäßig; der Grund dafür wird später beschrieben. Zudem hat das gesputterte Teilchen vorzugsweise die Form eines Pellets mit einer kleinen Dicke im Vergleich zu einer Würfelform mit einer großen Dicke. Die Dicke des Pellets **5100** ist beispielsweise größer als oder gleich $0,4\text{ nm}$ und kleiner als oder gleich 1 nm , bevorzugt größer als oder gleich $0,6\text{ nm}$ und kleiner als oder gleich $0,8\text{ nm}$. Zudem ist die Breite des Pellets **5100** beispielsweise größer als oder gleich 1 nm und kleiner als oder gleich 3 nm , bevorzugt größer als oder gleich $1,2\text{ nm}$ und kleiner als oder gleich $2,5\text{ nm}$. Das Pellet **5100** entspricht dem anfänglichen Kern in der Beschreibung über (1) in **Fig. 31**. Zum Beispiel wird dann, wenn das Ion **5101** mit dem ein In-Ga-Zn-Oxid enthaltenden Target **5130** kollidiert, das Pellet **5100** abgetrennt, das drei Schichten umfasst, nämlich eine Ga-Zn-O-Schicht, eine In-O-Schicht und eine Ga-Zn-O-Schicht, wie in **Fig. 33B** gezeigt. Es sei angemerkt, dass **Fig. 33C** die Struktur des abgetrennten Pellets **5100** zeigt, das aus einer Richtung parallel zur c -Achse beobachtet wird. Das Pellet **5100** hat eine nanometergroße Sandwich-Struktur, die zwei Ga-Zn-O-Schichten (Brottscheiben) und eine In-O-Schicht (Füllung) umfasst.

[0292] Das Pellet **5100** kann eine Ladung aufnehmen, wenn es durch das Plasma passiert, so dass seine Seitenflächen negativ oder positiv aufgeladen werden. Bei dem Pellet **5100** kann beispielsweise ein Sauerstoffatom, das auf seiner Seitenfläche positioniert ist, negativ aufgeladen werden. Wenn die Seitenflächen mit der gleichen Polarität aufgeladen werden, stoßen sich Ladungen ab, und demzufolge kann das Pellet **5100** die Form einer ebenen Platte (Pel-

let) aufrechterhalten. In dem Fall, in dem es sich bei einem CAAC-OS um ein In-Ga-Zn-Oxid handelt, besteht eine Möglichkeit, dass ein Sauerstoffatom, das an ein Indiumatom gebunden ist, negativ aufgeladen wird. Es gibt eine weitere Möglichkeit, dass ein Sauerstoffatom, das an ein Indiumatom, ein Galliumatom oder ein Zinkatom gebunden ist, negativ aufgeladen wird. Zudem kann das Pellet **5100** wachsen, indem es mit einem Indiumatom, einem Galliumatom, einem Zinkatom, einem Sauerstoffatom oder dergleichen verbunden wird, wenn es durch Plasma passiert. Ein Unterschied in Größe zwischen (2) und (1) in **Fig. 31** entspricht dem Maß an Wachstum in Plasma. Hier wächst in dem Fall, in dem die Temperatur des Substrats **5120** bei etwa Raumtemperatur liegt, das Pellet **5100** an dem Substrat **5120** kaum; daher wird ein nc-OS ausgebildet (siehe **Fig. 32B**). Ein nc-OS kann abgeschieden werden, wenn das Substrat **5120** eine große Größe aufweist, da die Abscheidung eines nc-OS bei Raumtemperatur ausgeführt werden kann. Es sei angemerkt, dass es wirksam ist, die Abscheidungsleistung beim Sputtern zu erhöhen, damit das Pellet **5100** in Plasma wächst. Eine hohe Abscheidungsleistung kann die Struktur des Pellets **5100** stabilisieren.

[0293] Wie in **Fig. 32A** und **Fig. 32B** gezeigt, fliegt das Pellet **5100** in Plasma wie ein Drachen und flattert bis zu dem Substrat **5120**. Da die Pellets **5100** geladen sind, wird eine Abstoßung verursacht, wenn sich das Pellet **5100** einem Bereich nähert, in dem ein weiteres Pellet **5100** schon abgeschieden worden ist. Hier wird ein Magnetfeld in einer Richtung parallel zur nach oben weisenden Oberfläche des Substrats **5120** (auch als horizontales Magnetfeld bezeichnet) oberhalb des Substrats **5120** erzeugt. Ein Potentialunterschied wird zwischen dem Substrat **5120** und dem Target **5130** gegeben, und demzufolge fließt ein Strom von dem Substrat **5120** zu dem Target **5130**. Auf der nach oben weisenden Oberfläche des Substrats **5120** wird auf diese Weise dem Pellet **5100** eine Kraft (Lorentzkraft) durch einen Effekt des Magnetfeldes und des Stroms gegeben. Dies lässt sich aus der Linke-Hand-Regel von Fleming erklären.

[0294] Die Masse des Pellets **5100** ist größer als diejenige eines Atoms. Um das Pellet **5100** über der nach oben weisenden Oberfläche des Substrats **5200** zu bewegen, ist es deshalb wichtig, etwas Kraft von außen auf das **5100** auszuüben. Eine Art der Kraft kann eine Kraft sein, die durch die Wirkung eines Magnetfeldes und eines Stroms erzeugt wird. Um eine ausreichende Kraft auf das Pellet **5100** auszuüben, damit sich das Pellet **5100** über einer nach oben weisenden Oberfläche des Substrats **5120** bewegt, ist es bevorzugt, einen Bereich, in dem das Magnetfeld in einer Richtung parallel zur nach oben weisenden Oberfläche des Substrats **5120** 10 G oder höher, bevorzugt 20 G oder höher, stärker bevorzugt 30 G oder höher, noch stärker bevorzugt 50 G oder

höher ist, auf der nach oben weisenden Oberfläche bereitzustellen. Es ist alternativ bevorzugt, einen Bereich, in dem das Magnetfeld in einer Richtung parallel zur nach oben weisenden Oberfläche des Substrats **5120** 1,5- oder mehrfach, bevorzugt doppelt oder mehrfach, stärker bevorzugt drei- oder mehrfach, noch stärker bevorzugt fünf- oder mehrfach so hoch wie das Magnetfeld in einer Richtung senkrecht zur nach oben weisenden Oberfläche des Substrats **5120** beträgt, auf der nach oben weisenden Oberfläche bereitzustellen.

[0295] Zu dieser Zeit werden die Magnete und das Substrat **5120** relativ zueinander bewegt oder gedreht, wodurch sich die Richtung des horizontalen Magnetfeldes auf der nach oben weisenden Oberfläche des Substrats **5120** ständig verändert. Das Pellet **5100** kann sich deshalb in verschiedene Richtungen auf der nach oben weisenden Oberfläche des Substrats **5120** bewegen, indem es Kräfte in verschiedenen Richtungen aufnimmt.

[0296] Darüber hinaus ist, wie in **Fig. 32A** gezeigt, wenn das Substrat **5120** erwärmt wird, der Widerstand zwischen dem Pellet **5100** und dem Substrat **5120** aufgrund einer Reibung oder dergleichen niedrig. Als Ergebnis gleitet das Pellet **5100** oberhalb der nach oben weisenden Oberfläche des Substrats **5120**. Das Gleiten des Pellets **5100** wird in einem Zustand verursacht, in dem seine ebene Fläche dem Substrat **5120** zugewandt ist. Wenn das Pellet **5100** die Seitenfläche eines weiteren Pellets **5100**, das schon abgeschieden worden ist, erreicht, werden dann die Seitenflächen der Pellets **5100** verbunden. Dabei wird das Sauerstoffatom auf der Seitenfläche des Pellets **5100** abgegeben. Mit dem abgegebenen Sauerstoffatom könnten Sauerstoffstellen in einem CAAC-OS gefüllt werden; daher weist der CAAC-OS eine niedrige Dichte der Defektzustände auf. Es sei angemerkt, dass die Temperatur der nach oben weisenden Oberfläche des Substrats **5120** beispielsweise höher als oder gleich 100°C und niedriger als 500°C, höher als oder gleich 150°C und niedriger als 450°C oder höher als oder gleich 170°C und niedriger als 400°C ist. Daher ist es möglich, einen CAAC-OS abzuscheiden, auch wenn das Substrat **5120** eine große Größe aufweist.

[0297] Außerdem wird das Pellet **5100** auf dem Substrat **5120** erwärmt, wodurch Atome umgeordnet werden, und die Strukturverzerrung, die durch die Kollision des Ions **5101** verursacht wird, kann verringert werden. Das Pellet **5100**, dessen Strukturverzerrung verringert worden ist, ist im Wesentlichen einkristallin. Auch wenn die Pellets **5100** erwärmt werden, nachdem sie verbunden worden sind, finden Ausdehnung und Zusammenziehung des Pellets **5100** selbst kaum statt, was verursacht wird, indem das Pellet **5100** im Wesentlichen einkristallin wird. Auf diese Weise kann verhindert werden, dass Defekte, wie z.

B. eine Korngrenze, aufgrund einer Erweiterung eines Raums zwischen den Pellets **5100** gebildet werden, und folglich kann die Erzeugung von Spalten verhindert werden.

[0298] Der CAAC-OS hat nicht eine Struktur wie ein Brett eines einkristallinen Oxidhalbleiters, sondern eine Anordnung mit einer Gruppe von Pellets **5100** (Nanokristallen) wie gestapelte Ziegel oder Blöcke. Darüber hinaus existiert keine Korngrenze zwischen den Pellets **5100**. Deshalb kann eine örtliche Belastung erleichtert oder eine Verzerrung losgelassen werden, auch wenn eine Deformierung des CAAC-OS, wie z. B. Schrumpfung, infolge einer Erwärmung während der Abscheidung, einer Erwärmung oder einer Biegung nach der Abscheidung auftritt. Deshalb ist diese Struktur für eine flexible Halbleitervorrichtung geeignet. Es sei angemerkt, dass der nc-OS eine Anordnung aufweist, bei der Pellets **5100** (Nanokristalle) in ungeordneter Weise gestapelt sind.

[0299] Wenn das Target **5130** mit dem Ion **5101** gesputtert wird, kann Zinkoxid oder dergleichen zusätzlich zu den Pellets **5100** abgetrennt werden. Das Zinkoxid ist leichter als das Pellet **5100** und erreicht deswegen die nach oben weisende Oberfläche des Substrats **5120** eher als das Pellet **5100**. Das Zinkoxid bildet als Ergebnis eine Zinkoxidschicht **5102** mit einer Dicke von größer als oder gleich 0,1 nm und kleiner als oder gleich 10 nm, größer als oder gleich 0,2 nm und kleiner als oder gleich 5 nm oder größer als oder gleich 0,5 nm und kleiner als oder gleich 2 nm. **Fig. 34A bis Fig. 34D** sind schematische Querschnittsansichten.

[0300] Wie in **Fig. 34A** dargestellt, werden ein Pellet **5105a** und ein Pellet **5105b** über der Zinkoxidschicht **5102** abgeschieden. Hier stehen Seitenflächen des Pellets **5105a** und des Pellets **5105b** in Kontakt miteinander. Zudem wird ein Pellet **5105c** über dem Pellet **5105b** abgeschieden, und dann gleitet er über dem Pellet **5105b**. Des Weiteren wird eine Mehrzahl von Teilchen **5103**, die zusammen mit dem Zinkoxid von dem Target abgetrennt werden, durch eine Hitze von dem Substrat **5120** kristallisiert, um einen Bereich **5105a1** auf einer anderen Seitenfläche des Pellets **5105a** zu bilden. Es sei angemerkt, dass die Mehrzahl von Teilchen **5103** Sauerstoff, Zink, Indium, Gallium oder dergleichen enthalten kann.

[0301] Wie in **Fig. 34B** dargestellt, wächst der Bereich **5105a1** dann zu einem Teil des Pellets **5105a**, um ein Pellet **5105a2** auszubilden. Eine Seitenfläche des Pellets **5105c** steht zudem in Kontakt mit einer anderen Seitenfläche des Pellets **5105b**.

[0302] Als nächstes wird, wie in **Fig. 34C** dargestellt, ein Pellet **5105d** über dem Pellet **5105a2** und dem Pellet **5105b** abgeschieden, und dann gleitet er über dem Pellet **5105a2** und dem Pellet **5105b**. Darüber

hinaus gleitet ein Pellet **5105e** zu einer anderen Seitenfläche des Pellets **5105c** über der Zinkoxidschicht **5102**.

[0303] Wie in **Fig. 34D** dargestellt, wird das Pellet **5105d** dann derart platziert, dass eine Seitenfläche des Pellets **5105d** in Kontakt mit einer Seitenfläche des Pellets **5105a2** steht. Eine Seitenfläche des Pellets **5105e** steht außerdem in Kontakt mit einer anderen Seitenfläche des Pellets **5105c**. Eine Mehrzahl von Teilchen **5103**, die zusammen mit dem Zinkoxid von dem Target **5130** abgetrennt werden, wird durch eine Hitze von dem Substrat **5120** kristallisiert, um einen Bereich **5105d1** auf einer anderen Seitenfläche des Pellets **5105d** zu bilden.

[0304] Wie zuvor beschrieben, werden abgeschiedene Pellets in Kontakt miteinander platziert und dann wird ein Wachstum auf Seitenflächen der Pellets verursacht, wodurch ein CAAC-OS über dem Substrat **5120** ausgebildet wird. Jedes Pellet des CAAC-OS ist deshalb größer als dasjenige des nc-OS. Ein Unterschied in Größe zwischen (3) und (2) in **Fig. 31** entspricht dem Maß an Wachstum nach der Abscheidung.

[0305] Wenn Räume zwischen Pellets äußerst klein sind, können die Pellets ein großes Pellet bilden. Das große Pellet hat eine einkristalline Struktur. Die Größe des Pellets kann beispielsweise größer als oder gleich 10 nm und kleiner als oder gleich 200 nm, größer als oder gleich 15 nm und kleiner als oder gleich 100 nm oder größer als oder gleich 20 nm und kleiner als oder gleich 50 nm sein, wenn man es von oben beobachtet. In diesem Fall könnte bei einem Oxidhalbleiter, der für einen feinen Transistor verwendet wird, ein Kanalbildungsbereich in das große Pellet passen. Das heißt, dass der Bereich mit einer einkristallinen Struktur als Kanalbildungsbereich verwendet werden kann. Überdies kann dann, wenn die Größe des Pellets erhöht wird, der Bereich mit einer einkristallinen Struktur als Kanalbildungsbereich, Source-Bereich und Drain-Bereich des Transistors verwendet werden.

[0306] Wenn der Kanalbildungsbereich oder dergleichen des Transistors auf diese Weise in einem Bereich mit einer einkristallinen Struktur gebildet wird, können die Frequenzeigenschaften des Transistors in einigen Fällen erhöht werden.

[0307] Wie in einem derartigen Modell gezeigt, geht man davon aus, dass die Pellets **5100** auf dem Substrat **5120** abgeschieden werden. Daher kann ein CAAC-OS abgeschieden werden, auch wenn eine Bildungsoberfläche keine Kristallstruktur aufweist; deshalb unterscheidet sich ein Wachstumsmechanismus in diesem Fall von dem epitaktischen Wachstum. Zudem ist keine Laserkristallisation zum Ausbilden eines CAAC-OS nötig, und ein gleichmäßiger Film

kann auch über einem großen Glassubstrat oder dergleichen ausgebildet werden. Zum Beispiel kann ein CAAC-OS ausgebildet werden, auch wenn die nach oben weisende Oberfläche (Bildungsoberfläche) des Substrats **5120** eine amorphe Struktur hat (z. B. auch wenn die nach oben weisende Oberfläche aus amorphem Siliziumoxid ausgebildet ist).

[0308] Zusätzlich wird herausgefunden, dass beim Ausbilden des CAAC-OS die Pellets **5100** entsprechend der Form der nach oben weisenden Oberfläche des Substrats **5120**, welche die Bildungsoberfläche ist, angeordnet werden, auch wenn die Bildungsoberfläche eine Unebenheit aufweist. In dem Fall, in dem die nach oben weisende Oberfläche des Substrats **5120** auf atomarer Ebene eben ist, werden die Pellets **5100** beispielsweise derart angeordnet, dass sich ebene Flächen, die parallel zur a-b-Ebene sind, nach unten richten. In dem Fall, in dem die Dicke der Pellets **5100** gleichmäßig ist, wird eine Schicht mit einer gleichmäßigen Dicke, einer Ebenheit und hoher Kristallinität ausgebildet. Durch Stapeln von n Schichten (n ist eine natürliche Zahl) kann der CAAC-OS erhalten werden.

[0309] In dem Fall, in dem die nach oben weisende Oberfläche des Substrats **5120** eine Unebenheit aufweist, wird ein CAAC-OS ausgebildet, in dem n Schichten (n ist eine natürliche Zahl), in denen jeweils die Pellets **5100** entlang der Unebenheit angeordnet sind, gestapelt sind. Da das Substrat **5120** eine Unebenheit aufweist, wird eine Lücke in einigen Fällen leicht zwischen den Pellets **5100** in dem CAAC-OS gebildet. Es sei angemerkt, dass auch in einem solchen Fall die Pellets **5100** durch intermolekulare Kraft derart angeordnet werden, dass eine Lücke zwischen den Pellets auch auf der unebenen Oberfläche so klein wie möglich ist. Deshalb kann ein CAAC-OS mit hoher Kristallinität erhalten werden, auch wenn die Bildungsoberfläche eine Unebenheit aufweist.

[0310] Da ein CAAC-OS nach einem derartigen Modell abgeschieden wird, hat das gesputterte Teilchen vorzugsweise die Form eines Pellets mit einer kleinen Dicke. Es sei angemerkt, dass dann, wenn die gesputterten Teilchen eine Würfelform mit einer großen Dicke haben, Flächen, die dem Substrat **5120** zugewandt sind, variieren; daher können die Dicken und Ausrichtungen der Kristalle in einigen Fällen nicht gleichmäßig sein.

[0311] Dem oben beschriebenen Abscheidungsmodell entsprechend kann ein CAAC-OS mit hoher Kristallinität auch auf einer Bildungsoberfläche mit einer amorphen Struktur ausgebildet werden.

(Ausführungsform 4)

[0312] Bei dieser Ausführungsform wird ein Beispiel für eine Schaltung, die den Transistor einer Ausführungsform der vorliegenden Erfindung beinhaltet, unter Bezugnahme auf Zeichnungen beschrieben.

rungsform der vorliegenden Erfindung beinhaltet, unter Bezugnahme auf Zeichnungen beschrieben.

[Querschnittsstruktur]

[0313] Fig. 18A ist eine Querschnittsansicht einer Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung. Die Halbleitervorrichtungen in Fig. 18A beinhaltet in einem unteren Abschnitt einen Transistor **2200**, der ein erstes Halbleitermaterial enthält, und in einem oberen Abschnitt einen Transistor **2100**, der ein zweites Halbleitermaterial enthält. In Fig. 18A ist ein Beispiel veranschaulicht, in dem der Transistor, der als Beispiel bei der vorstehenden Ausführungsform beschrieben worden ist, als der das zweite Halbleitermaterial enthaltende Transistor **2100** verwendet wird. Eine Querschnittsansicht der Transistoren in einer Kanallängsrichtung ist auf der linken Seite einer Strichpunktlinie gezeigt, und eine Querschnittsansicht der Transistoren in einer Kanalbreitenrichtung ist auf der rechten Seite der Strichpunktlinie gezeigt.

[0314] Hier ist bevorzugt, dass es sich bei dem ersten Halbleitermaterial und dem zweiten Halbleitermaterial um Materialien mit verschiedenen Bandlücken handelt. Es kann sich bei dem ersten Halbleitermaterial beispielsweise um ein Halbleitermaterial, das verschieden von einem Oxidhalbleiter ist, handeln (Beispiele für ein derartiges Halbleitermaterial umfassen Silizium (darunter auch gestrecktes Silizium), Germanium, Siliziumgermanium, Siliziumcarbid, Galliumarsenid, Aluminiumgalliumarsenid, Indiumphosphid, Galliumnitrid und einen organischen Halbleiter), und es kann sich bei dem zweiten Halbleitermaterial um einen Oxidhalbleiter handeln. Ein Transistor, bei dem ein Material, das verschieden von einem Oxidhalbleiter ist, wie z. B. einkristallines Silizium, verwendet wird, kann leicht mit hoher Geschwindigkeit arbeiten. Im Gegensatz dazu weist ein Transistor, bei dem ein Oxidhalbleiter verwendet wird, einen niedrigen Sperrstrom auf.

[0315] Der Transistor **2200** kann entweder ein n-Kanal-Transistor oder ein p-Kanal-Transistor sein, und ein geeigneter Transistor kann entsprechend einer Schaltung verwendet werden. Des Weiteren ist die konkrete Struktur der Halbleitervorrichtung, wie z. B. das Material oder die Struktur, das/die für die Halbleitervorrichtung verwendet wird, abgesehen von der Verwendung des Transistors einer Ausführungsform der vorliegenden Erfindung, bei dem ein Oxidhalbleiter verwendet wird, nicht notwendigerweise auf die hier beschriebenen Strukturen beschränkt.

[0316] Fig. 18A stellt eine Struktur dar, bei welcher der Transistor **2100** über dem Transistor **2200** angeordnet ist, wobei ein isolierender Film **2201** und ein isolierender Film **2207** dazwischen angeordnet sind. Eine Mehrzahl von Leitungen **2202** ist zwischen dem

Transistor **2200** und dem Transistor **2100** angeordnet. Darüber hinaus sind Leitungen und Elektroden, welche über und unter den isolierenden Filmen angeordnet sind, über eine Mehrzahl von Steckern **2203**, die in den isolierenden Filmen eingebettet sind, elektrisch miteinander verbunden. Ein isolierender Film **2204**, der den Transistor **2100** bedeckt, eine Leitung **2205** über dem isolierenden Film **2204** und eine Leitung **2206** sind bereitgestellt, die durch Verarbeiten eines leitenden Films, der auch für ein Paar von Elektroden des Transistors **2100** verwendet wird, ausgebildet wird.

[0317] Der Stapel aus den zwei Arten von Transistoren verringert die Fläche, die von der Schaltung belegt wird, was ermöglicht, dass eine Mehrzahl von Schaltungen hoch integriert ist.

[0318] Hier schließt in dem Fall, in dem ein auf Silizium basierendes Halbleitermaterial für den Transistor **2200** in einem unteren Abschnitt verwendet wird, Wasserstoff in einem isolierenden Film, der in der Nähe des Halbleiterfilms des Transistors **2200** angeordnet ist, offene Bindungen von Silizium ab; folglich kann die Zuverlässigkeit des Transistors **2200** verbessert werden. Währenddessen wird in dem Fall, in dem ein Oxidhalbleiter für den Transistor **2100** in einem oberen Abschnitt verwendet wird, Wasserstoff in einem isolierenden Film, der in der Nähe des Halbleiterfilms des Transistors **2100** angeordnet ist, zu einem Faktor der Erzeugung von Ladungsträgern in dem Oxidhalbleiter; deswegen könnte die Zuverlässigkeit des Transistors **2100** reduziert werden. Deshalb ist in dem Fall, in dem der Transistor **2100**, bei dem ein Oxidhalbleiter verwendet wird, über dem Transistor **2200**, bei dem ein auf Silizium basierendes Halbleitermaterial verwendet wird, angeordnet ist, besonders wirksam, dass der isolierende Film **2207** mit einer Funktion zum Verhindern einer Diffusion von Wasserstoff zwischen den Transistoren **2100** und **2200** angeordnet ist. Der isolierende Film **2207** lässt Wasserstoff im unteren Abschnitt verbleiben, wodurch die Zuverlässigkeit des Transistors **2200** verbessert werden kann. Zusätzlich kann auch die Zuverlässigkeit des Transistors **2100** verbessert werden, da der isolierende Film **2207** eine Diffusion von Wasserstoff von dem unteren Abschnitt in den oberen Abschnitt unterdrückt.

[0319] Der isolierende Film **2207** kann beispielsweise unter Verwendung von Aluminiumoxid, Aluminiumoxynitrid, Galliumoxid, Galliumoxynitrid, Yttriumoxid, Yttriumoxynitrid, Hafniumoxid, Hafniumoxynitrid oder Yttrium-stabilisiertem Zirkonoxid (YSZ) ausgebildet sein.

[0320] Darüber hinaus ist vorzugsweise ein blockierender Film **2208** (der isolierenden Schicht **180** in den Transistoren **101** bis **103** entsprechend) mit einer Funktion zum Verhindern einer Diffusion von Was-

serstoff über dem Transistor **2100** ausgebildet, um den einen Oxidhalbleiterfilm beinhaltenden Transistor **2100** zu bedecken. Für den blockierenden Film **2208** kann ein Material, das demjenigen des isolierenden Films **2207** ähnlich ist, verwendet werden, und insbesondere wird ein Aluminiumoxidfilm vorzugsweise verwendet. Der Aluminiumoxidfilm weist einen hohen Schirm-(Sperr-)Effekt auf, um ein Durchdringen sowohl von Sauerstoff als auch von Verunreinigungen, wie z. B. Wasserstoff und Feuchtigkeit, zu verhindern. Auf diese Weise können unter Verwendung des Aluminiumoxidfilms als der blockierende Film **2208**, der den Transistor **2100** bedeckt, eine Abgabe von Sauerstoff aus dem Oxidhalbleiterfilm, der in dem Transistor **2100** enthalten ist, und ein Eindringen von Wasser und Wasserstoff in den Oxidhalbleiterfilm verhindert werden.

[0321] Es sei angemerkt, dass der Transistor **2200**, ohne Beschränkung auf einen Planartransistor (planar type transistor), ein Transistor unterschiedlicher Art sein kann. Es kann sich bei dem Transistor **2200** beispielsweise um einen Fin-Transistor (fin-type transistor), einen Tri-Gate-Transistor (tri-gate transistor) oder dergleichen handeln. **Fig. 18D** zeigt ein Beispiel für eine Querschnittsansicht in diesem Fall. Ein isolierender Film **2212** ist über einem Halbleitersubstrat **2211** angeordnet. Das Halbleitersubstrat **2211** weist einen vorspringenden Abschnitt mit einer dünnen Spitze (auch als Flosse (fin) bezeichnet) auf. Es sei angemerkt, dass ein isolierender Film über dem vorspringenden Abschnitt angeordnet sein kann. Der isolierende Film dient als Maske, um zu verhindern, dass das Halbleitersubstrat **2211** geätzt wird, wenn der vorspringende Abschnitt ausgebildet wird. Der vorspringende Abschnitt weist nicht immer die dünne Spitze auf; es werden beispielsweise ein vorspringender Abschnitt mit einem quaderförmigen vorspringenden Abschnitt und ein vorspringender Abschnitt mit einer dicken Spitze erlaubt. Ein Gate-Isolierfilm **2214** ist über dem vorspringenden Abschnitt des Halbleitersubstrats **2211** angeordnet, und eine Gate-Elektrode **2213** ist über dem Gate-Isolierfilm **2214** angeordnet. Source- und Drain-Bereiche **2215** sind in dem Halbleitersubstrat **2211** ausgebildet. Es sei angemerkt, dass hier ein Beispiel gezeigt ist, in dem das Halbleitersubstrat **2211** den vorspringenden Abschnitt aufweist; jedoch ist eine Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung nicht darauf beschränkt. Zum Beispiel kann ein Halbleiterbereich mit einem vorspringenden Abschnitt ausgebildet werden, indem ein SOI-Substrat verarbeitet wird.

[Beispiel für Schaltungskonfiguration]

[0322] Bei der vorstehenden Struktur können Elektroden des Transistors **2100** und des Transistors **2200** auf verschiedene Weisen verbunden sein; daher können verschiedene Schaltungen ausgebildet

sein. Beispiele für Schaltungskonfigurationen, die unter Verwendung einer Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung erzielt werden können, werden im Folgenden gezeigt.

[CMOS-Schaltung]

[0323] Ein Schaltplan in **Fig. 18B** zeigt eine Konfiguration einer so genannten CMOS-Schaltung, bei welcher der p-Kanal Transistor **2200** und der n-Kanal Transistor **2100** in Reihe miteinander geschaltet sind und bei welcher ihre Gates miteinander verbunden sind.

[Analogschalter]

[0324] Ein Schaltplan in **Fig. 18C** zeigt eine Konfiguration, bei der Source-Anschlüsse der Transistoren **2100** und **2200** miteinander verbunden sind und Drain-Anschlüsse der Transistoren **2100** und **2200** miteinander verbunden sind. Bei einer derartigen Konfiguration können die Transistoren als so genannter Analogschalter dienen.

[Beispiel für Speichervorrichtung]

[0325] **Fig. 19A** bis **Fig. 19C** zeigen ein Beispiel für eine Halbleitervorrichtung (Speichervorrichtung), die den Transistor einer Ausführungsform der vorliegenden Erfindung beinhaltet, gespeicherte Daten auch ohne Stromversorgung halten kann und keine Beschränkung hinsichtlich der Anzahl der Schreibvorgänge hat.

[0326] Die Halbleitervorrichtung in **Fig. 19A** beinhaltet einen Transistor **3200**, bei dem ein erstes Halbleitermaterial verwendet wird, einen Transistor **3300**, bei dem ein zweites Halbleitermaterial verwendet wird, und einen Kondensator **3400**. Es sei angemerkt, dass jeder der oben beschriebenen Transistoren als der Transistor **3300** verwendet werden kann.

[0327] **Fig. 19B** ist eine Querschnittsansicht der Halbleitervorrichtung in **Fig. 19A**. Die Halbleitervorrichtung in der Querschnittsansicht hat eine Struktur, bei welcher der Transistor **3300** mit einem Rückgate versehen ist; jedoch kann auch eine Struktur ohne Rückgate zum Einsatz kommen.

[0328] Bei dem Transistor **3300** handelt es sich um einen Transistor, bei dem ein Kanal in einer Halbleiterschicht, die einen Oxidhalbleiter enthält, gebildet wird. Da der Sperrstrom des Transistors **3300** niedrig ist, können gespeicherte Daten über einen langen Zeitraum gehalten werden. Mit anderen Worten: der Leistungsverbrauch kann ausreichend verringert werden, da eine Halbleitervorrichtung bereitgestellt sein kann, bei der ein Aktualisierungsvorgang unnötig ist oder die Häufigkeit des Aktualisierungsvorgangs äußerst gering ist.

[0329] In **Fig. 19A** ist eine erste Leitung **3001** elektrisch mit einer Source-Elektrode des Transistors **3200** verbunden. Eine zweite Leitung **3002** ist elektrisch mit einer Drain-Elektrode des Transistors **3200** verbunden. Eine dritte Leitung **3003** ist elektrisch entweder mit einer Source-Elektrode oder mit einer Drain-Elektrode des Transistors **3300** verbunden. Eine vierte Leitung **3004** ist elektrisch mit einer Gate-Elektrode des Transistors **3300** verbunden. Eine Gate-Elektrode des Transistors **3200** ist elektrisch mit der anderen der Source-Elektrode und der Drain-Elektrode des Transistors **3300** und mit einer Elektrode des Kondensators **3400** verbunden. Eine fünfte Leitung **3005** ist elektrisch mit der anderen Elektrode des Kondensators **3400** verbunden.

[0330] Die Halbleitervorrichtung in **Fig. 19A** weist ein Merkmal auf, dass das Potential der Gate-Elektrode des Transistors **3200** gehalten werden kann, und kann somit wie folgt Daten schreiben, halten und lesen.

[0331] Das Schreiben und das Halten von Daten werden beschrieben. Zunächst wird das Potential der vierten Leitung **3004** auf ein Potential, bei dem der Transistor **3300** eingeschaltet wird, eingestellt, so dass der Transistor **3300** eingeschaltet wird. Dementsprechend wird der Gate-Elektrode des Transistors **3200** und dem Kondensator **3400** das Potential der dritten Leitung **3003** zugeführt. Das heißt, dass der Gate-Elektrode des Transistors **3200** eine vorbestimmte Ladung zugeführt wird (Schreiben). Hier wird eine der zwei Arten von Ladungen zugeführt, die verschiedene Potentialpegel liefern (nachstehend als niedrige Ladung und hohe Ladung bezeichnet). Danach wird das Potential der vierten Leitung **3004** auf ein Potential, bei dem der Transistor **3300** ausgeschaltet wird, eingestellt, so dass der Transistor **3300** ausgeschaltet wird. Auf diese Weise wird die Ladung, die der Gate-Elektrode des Transistors **3200** zugeführt wird, gehalten (Halten).

[0332] Da der Sperrstrom des Transistors **3300** sehr niedrig ist, wird die Ladung der Gate-Elektrode des Transistors **3200** lange Zeit gehalten.

[0333] Nachfolgend wird das Lesen von Daten beschrieben. Ein geeignetes Potential (ein Lesepotential) wird der fünften Leitung **3005** zugeführt, während der ersten Leitung **3001** ein vorbestimmtes Potential (ein konstantes Potential) zugeführt wird, wodurch das Potential der zweiten Leitung **3002** je nach der Menge der in der Gate-Elektrode des Transistors **3200** gehaltenen Ladung variiert. Das liegt daran, dass im Fall der Verwendung eines n-Kanal-Transistors als der Transistor **3200** eine scheinbare Schwellenspannung $V_{th,H}$ zu dem Zeitpunkt, zu dem der Gate-Elektrode des Transistors **3200** die hohe Ladung zugeführt wird, niedriger ist als eine scheinbare Schwellenspannung $V_{th,L}$ zu dem Zeitpunkt, zu dem

der Gate-Elektrode des Transistors **3200** die niedrige Ladung zugeführt wird. Eine scheinbare Schwellenspannung bezieht sich hier auf das Potential der fünften Leitung **3005**, das zum Einschalten des Transistors **3200** notwendig ist. Daher wird das Potential der fünften Leitung **3005** auf ein Potential V_0 zwischen $V_{th,H}$ und $V_{th,L}$ eingestellt, wodurch die der Gate-Elektrode des Transistors **3200** zugeführte Ladung bestimmt werden kann. Beispielsweise wird in dem Fall, in dem beim Schreiben die hohe Ladung zu der Gate-Elektrode des Transistors **3200** zugeführt wird und das Potential der fünften Leitung **3005** bei $V_0 (> V_{th,H})$ liegt, der Transistor **3200** eingeschaltet. In dem Fall, in dem beim Schreiben die niedrige Ladung zu der Gate-Elektrode des Transistors **3200** zugeführt wird, bleibt der Transistor **3200** ausgeschaltet, auch wenn das Potential der fünften Leitung **3005** bei $V_0 (< V_{th,L})$ liegt. Folglich können die Daten, die in der Gate-Elektrode des Transistors **3200** gehalten sind, gelesen werden, indem das Potential der zweiten Leitung **3002** bestimmt wird.

[0334] Es sei angemerkt, dass es in dem Fall, in dem Speicherzellen zur Verwendung als Array angeordnet sind, notwendig ist, dass nur Daten einer gewünschten Speicherzelle gelesen werden können. In dem Fall, in dem ein derartiges Lesen nicht durchgeführt wird, kann die fünfte Leitung **3005** mit einem Potential versorgt werden, bei dem der Transistor **3200** unabhängig vom Zustand der Gate-Elektrode ausgeschaltet wird, d. h. einem Potential, das niedriger ist als $V_{th,H}$. Alternativ kann die fünfte Leitung **3005** mit einem Potential versorgt werden, bei dem der Transistor **3200** unabhängig vom Zustand der Gate-Elektrode eingeschaltet wird, d. h. einem Potential, das höher ist als $V_{th,L}$.

[0335] Die in **Fig. 19C** dargestellte Halbleitervorrichtung unterscheidet sich von der in **Fig. 19A** dargestellten Halbleitervorrichtung darin, dass der Transistor **3200** nicht bereitgestellt ist. Auch in diesem Fall können Schreib- und Haltevorgänge von Daten auf eine ähnliche Weise wie bei der Halbleitervorrichtung in **Fig. 19A** durchgeführt werden.

[0336] Nachfolgend wird das Lesen von Daten beschrieben. Wenn der Transistor **3300** eingeschaltet wird, werden die dritte Leitung **3003**, die sich in einem offenen Zustand (floating state) befindet, und der Kondensator **3400** elektrisch miteinander verbunden, und die Ladung wird zwischen der dritten Leitung **3003** und dem Kondensator **3400** neu verteilt. Folglich wird das Potential der dritten Leitung **3003** verändert. Der Betrag der Änderung des Potentials der dritten Leitung **3003** variiert je nach dem Potential der einen Elektrode des Kondensators **3400** (oder je nach der Ladung, die in dem Kondensator **3400** akkumuliert ist).

[0337] Das Potential der dritten Leitung **3003** nach der Neuverteilung der Ladung ist beispielsweise $(C_B \times V_{B0} + C \times V) / (C_B + C)$, wobei V das Potential der einen Elektrode des Kondensators **3400** ist, C die Kapazität des Kondensators **3400** ist, C_B die Kapazitätskomponente der dritten Leitung **3003** ist und V_{B0} das Potential der dritten Leitung **3003** vor der Neuverteilung der Ladung ist. Daher kann man herausfinden, dass unter der Annahme, dass sich die Speicherzelle in einem der zwei Zustände, in denen das Potential der einen Elektrode des Kondensators **3400** bei V_1 und V_0 ($V_1 > V_0$) liegt, befindet, das Potential der dritten Leitung **3003** in dem Fall, in dem das Potential V_1 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) gehalten wird, höher ist als das Potential der dritten Leitung **3003** in dem Fall, in dem das Potential V_0 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) gehalten wird.

[0338] Durch Vergleichen des Potentials der dritten Leitung **3003** mit einem vorbestimmten Potential können dann Daten gelesen werden.

[0339] In diesem Fall kann ein Transistor, der das erste Halbleitermaterial enthält, für eine Treiberschaltung zum Ansteuern einer Speicherzelle verwendet werden, und ein Transistor, der das zweite Halbleitermaterial enthält, kann als der Transistor **3300** über der Treiberschaltung gestapelt sein.

[0340] Mit einem Transistor, bei dem ein Kanalbildungsbereich unter Verwendung eines Oxidhalbleiters gebildet ist und der einen sehr niedrigen Sperrstrom aufweist, kann die bei dieser Ausführungsform beschriebene Halbleitervorrichtung sehr lange Zeit gespeicherte Daten halten. Mit anderen Worten: ein Aktualisierungsvorgang wird unnötig oder die Häufigkeit des Aktualisierungsvorgangs kann sehr niedrig sein, was zu einer ausreichenden Verringerung des Leistungsverbrauchs führt. Ferner können gespeicherte Daten lange Zeit gehalten werden, auch wenn kein Strom zugeführt wird (es sei angemerkt, dass ein Potential vorzugsweise fest ist).

[0341] Außerdem wird bei der bei dieser Ausführungsform beschriebenen Halbleitervorrichtung keine hohe Spannung zum Schreiben der Daten benötigt, und es gibt kein Problem einer Verschlechterung von Bauelementen. Im Unterschied beispielsweise zu einem herkömmlichen nichtflüchtigen Speicher ist es nicht notwendig, Elektronen in ein offenes Gate (Floating-Gate) zu injizieren und aus ihm zu extrahieren. Daher wird kein Problem, wie z. B. Verschlechterung eines Gate-Isolierfilms, verursacht. Das heißt, dass die Halbleitervorrichtung der offenbarten Erfindung keine Beschränkung dafür hat, wie viel Mal Daten nochmals geschrieben werden können, welche bei einem herkömmlichen nichtflüchtigen Speicher ein Problem darstellt, und dass ihre Zuverlässigkeit erheblich verbessert wird. Des Weiteren werden Daten je nach dem Zustand des Transistors

(Durchlasszustand oder Sperrzustand) geschrieben, wodurch ein Hochgeschwindigkeitsbetrieb leicht realisiert werden kann.

[0342] Es sei angemerkt, dass es in dieser Beschreibung und dergleichen dem Fachmann möglich sein könnte, eine Ausführungsform der Erfindung zu entwerfen, auch wenn Abschnitte, an die alle Anschlüsse eines aktiven Elements (z. B. eines Transistors oder einer Diode), eines passiven Elements (z. B. eines Kondensators oder eines Widerstands) oder dergleichen angeschlossen sind, nicht spezifiziert sind. Mit anderen Worten: eine Ausführungsform der Erfindung kann selbst dann deutlich sein, wenn Verbindungsabschnitte nicht spezifiziert sind. Des Weiteren kann in dem Fall, in dem ein Verbindungsabschnitt in dieser Beschreibung und dergleichen offenbart ist, mitunter bestimmt werden, dass eine Ausführungsform der Erfindung, bei der kein Verbindungsabschnitt spezifiziert ist, in dieser Beschreibung und dergleichen offenbart ist. Im Besonderen ist es in dem Fall, in dem es einige mögliche Abschnitte gibt, an die ein Anschluss angeschlossen sein kann, unnötig, alle Abschnitte zu spezifizieren, an die der Anschluss angeschlossen ist. Es könnte deshalb möglich, eine Ausführungsform der Erfindung zu entwerfen, indem nur Abschnitte, an die einige Anschlüsse eines aktiven Elements (z. B. eines Transistors oder einer Diode), eines passiven Elements (z. B. eines Kondensators oder eines Widerstands) oder dergleichen angeschlossen sind, spezifiziert werden.

[0343] Es sei angemerkt, dass es in dieser Beschreibung und dergleichen dem Fachmann möglich sein könnte, die Erfindung zu spezifizieren, wenn mindestens der Verbindungsabschnitt einer Schaltung spezifiziert ist. Alternativ könnte es dem Fachmann möglich sein, die Erfindung zu spezifizieren, wenn mindestens eine Funktion einer Schaltung spezifiziert ist. Mit anderen Worten: wenn eine Funktion einer Schaltung spezifiziert ist, kann eine Ausführungsform der vorliegenden Erfindung deutlich sein. Es kann ferner bestimmt werden, dass eine Ausführungsform der vorliegenden Erfindung, deren Funktion spezifiziert ist, in dieser Beschreibung und dergleichen offenbart ist. Wenn ein Verbindungsabschnitt einer Schaltung spezifiziert ist, ist die Schaltung daher als Ausführungsform der Erfindung selbst dann offenbart, wenn keine Funktion spezifiziert ist, und eine Ausführungsform der Erfindung kann entworfen werden. Wenn eine Funktion einer Schaltung spezifiziert ist, ist alternativ die Schaltung als Ausführungsform der Erfindung selbst dann offenbart, wenn kein Verbindungsabschnitt spezifiziert ist, und eine Ausführungsform der Erfindung kann entworfen werden.

[0344] Es sei angemerkt, dass man in dieser Beschreibung und dergleichen einen Teil eines Diagramms oder eines Texts, das/der bei einer Ausführungsform beschrieben wird, entnehmen kann, um

eine Ausführungsform der Erfindung zu entwerfen. Auf diese Weise ist in dem Fall, in dem ein Diagramm oder ein Text in Bezug auf einen bestimmten Teil beschrieben wird, ein Inhalt, der aus dem Diagramm oder dem Text des bestimmten Teils entnommen wird, auch als Ausführungsform der Erfindung offenbart und man kann eine Ausführungsform der Erfindung entwerfen. Deshalb kann man zum Beispiel einen Teil eines Diagramms oder eines Texts, das/der ein oder mehrere aktive Elemente (z. B. Transistoren oder Dioden), Leitungen, passive Elemente (z. B. Kondensatoren oder Widerstände), leitende Schichten, isolierende Schichten, Halbleiterschichten, organische Materialien, anorganische Materialien, Komponenten, Vorrichtungen, Betriebsverfahren, Herstellungsverfahren oder dergleichen umfasst, entnehmen, um eine Ausführungsform der Erfindung zu entwerfen. Beispielsweise werden M Schaltungselemente (z. B. Transistoren oder Kondensatoren) (M ist eine ganze Zahl) aus einem Schaltplan, in dem N Schaltungselemente (z. B. Transistoren oder Kondensatoren) (N ist eine ganze Zahl, wobei $M < N$ gilt) bereitgestellt sind, ausgewählt, wodurch eine Ausführungsform der Erfindung entworfen werden kann. Als weiteres Beispiel werden M Schichten (M ist eine ganze Zahl) aus einer Querschnittsansicht, in der N Schichten (N ist eine ganze Zahl, wobei $M < N$ gilt) bereitgestellt sind, ausgewählt, wodurch eine Ausführungsform der Erfindung entworfen werden kann. Als weiteres Beispiel werden M Elemente (M ist eine ganze Zahl) aus einem Ablaufdiagramm, in dem N Elemente (N ist eine ganze Zahl, wobei $M < N$ gilt) bereitgestellt sind, ausgewählt, wodurch eine Ausführungsform der Erfindung entworfen werden kann.

[0345] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 5)

[0346] Bei dieser Ausführungsform wird ein RF-Tag, das den bei den vorstehenden Ausführungsformen beschriebenen Transistor oder die bei der vorstehenden Ausführungsform beschriebene Speichervorrichtung beinhaltet, anhand von **Fig. 20** beschrieben.

[0347] Das RF-Tag dieser Ausführungsform beinhaltet eine Speicherschaltung, speichert notwendige Daten in der Speicherschaltung und sendet und empfängt Daten nach/von außen durch ein kontaktfreies Mittel, beispielsweise drahtlose Kommunikation. Mit diesen Eigenschaften kann das RF-Tag für ein individuelles Authentifizierungssystem verwendet werden, bei dem beispielsweise ein Gegenstand oder dergleichen durch Lesen der individuellen Information erkannt wird. Es sei angemerkt, dass das RF-Tag sehr hohe Zuverlässigkeit aufweisen muss, um zu diesem Zweck verwendet zu werden.

[0348] Eine Konfiguration des RF-Tags wird anhand von **Fig. 20** beschrieben. **Fig. 20** ist ein Blockschema, das ein Konfigurationsbeispiel für ein RF-Tag darstellt.

[0349] Ein RF-Tag **800** beinhaltet, wie in **Fig. 20** gezeigt, eine Antenne **804**, die ein Funksignal **803** empfängt, das von einer Antenne **802** gesendet wird, die mit einer Kommunikationsvorrichtung **801** (auch als Abfragegerät, Lese-/Schreibgerät oder dergleichen bezeichnet) verbunden ist. Das RF-Tag **800** beinhaltet eine Gleichrichterschaltung **805**, eine Konstantspannungsschaltung **806**, eine Demodulationsschaltung **807**, eine Modulationsschaltung **808**, eine Logikschaltung **809**, eine Speicherschaltung **810** und ein ROM **811**. Ein Transistor mit einer Gleichrichterfunktion, der in der Demodulationsschaltung **807** enthalten ist, kann unter Verwendung eines Materials, das einen ausreichend niedrigen Rückstrom ermöglicht, beispielsweise eines Oxidhalbleiters hergestellt sein. Dies kann das Phänomen unterdrücken, dass eine Gleichrichterfunktion durch eine Erzeugung eines Rückstroms schwach wird, und eine Sättigung der Ausgabe der Demodulationsschaltung verhindern. Mit anderen Worten: die Eingabe der Demodulationsschaltung und die Ausgabe der Demodulationsschaltung können in einer Beziehung, die näher einer linearen Beziehung liegt, stehen. Es sei angemerkt, dass Datenübertragungsverfahren grob in die folgenden drei Verfahren klassifiziert werden: ein elektromagnetisches Kopplungsverfahren, bei dem ein Paar von Spulen einander zugewandt angeordnet ist und durch eine gegenseitige Induktion miteinander kommuniziert; ein elektromagnetisches Induktionsverfahren, bei dem eine Kommunikation über ein Induktionsfeld durchgeführt wird; und ein Funkwellenverfahren, bei dem eine Kommunikation über eine Funkwelle durchgeführt wird. Ein beliebiges dieser Verfahren kann für das bei dieser Ausführungsform beschriebene RF-Tag **800** verwendet werden.

[0350] Als nächstes wird die Struktur jeder Schaltung beschrieben. Die Antenne **804** tauscht das Funksignal **803** mit der Antenne **802** aus, die mit der Kommunikationsvorrichtung **801** verbunden ist. Die Gleichrichterschaltung **805** erzeugt ein Eingangspotential durch Gleichrichtung, beispielsweise Halbwellenspannungsgleichrichtung eines Eingangsschwechelsignals, das beim Empfang eines Funksignals von der Antenne **804** erzeugt wird, und durch Glättung des gleichgerichteten Signals mit einem Kondensator, der auf einer späteren Stufe der Gleichrichterschaltung **805** bereitgestellt ist. Es sei angemerkt, dass eine Begrenzungsschaltung auf einer Eingangsseite oder einer Ausgangsseite der Gleichrichterschaltung **805** bereitgestellt sein kann. Die Begrenzungsschaltung steuert die elektrische Leistung derart, dass keine elektrische Leistung, die höher als oder gleich einer bestimmten elektrischen Leistung ist, in eine Schaltung auf einer späteren Stufe einge-

geben wird, wenn die Amplitude des Eingangsschwechelsignals hoch ist und eine intern erzeugte Spannung hoch ist.

[0351] Die Konstantspannungsschaltung **806** erzeugt eine stabile Leistungsversorgungsspannung aus einem Eingangspotential und führt sie zu jeder Schaltung zu. Es sei angemerkt, dass die Konstantspannungsschaltung **806** eine Rücksetzsignal-Erzeugungsschaltung umfassen kann. Bei der Rücksetzsignal-Erzeugungsschaltung handelt es sich um eine Schaltung, die unter Nutzung eines Anstiegs der stabilen Leistungsversorgungsspannung ein Rücksetzsignal der Logikschaltung **809** erzeugt.

[0352] Die Demodulationsschaltung **807** demoduliert das Eingangsschwechelsignal durch Hüllkurvenvergleichsrichtung und erzeugt das demodulierte Signal. Die Modulationsschaltung **808** führt ferner eine Modulation entsprechend den von der Antenne **804** ausgegebenen Daten durch.

[0353] Die Logikschaltung **809** analysiert und verarbeitet das demodulierte Signal. Die Speicherschaltung **810** hält die eingegebenen Daten und beinhaltet einen Zeilendecoder, einen Spaltendecoder, einen Speicherbereich und dergleichen. Das ROM **811** speichert ferner eine Identifikationsnummer (ID) oder dergleichen und gibt sie entsprechend der Verarbeitung aus.

[0354] Es sei angemerkt, dass man angemessen wie nötig entscheiden kann, ob jede Schaltung, die oben beschrieben worden ist, bereitgestellt ist oder nicht.

[0355] Hier kann die Speichervorrichtung, die bei der vorstehenden Ausführungsform beschrieben worden ist, als die Speicherschaltung **810** verwendet werden. Da die Speicherschaltung einer Ausführungsform der vorliegenden Erfindung Daten auch ohne Stromversorgung halten kann, kann die Speicherschaltung vorteilhaft für ein RF-Tag verwendet werden. Überdies braucht die Speicherschaltung einer Ausführungsform der vorliegenden Erfindung eine wesentlich niedrigere Leistung (Spannung), die zum Datenschieben erforderlich ist, als ein herkömmlicher nichtflüchtiger Speicher. Es ist daher möglich, unterschiedliche maximale Kommunikationsreichweiten zwischen beim Datenlesen und beim Datenschieben zu verhindern. Es ist zusätzlich möglich, eine Fehlfunktion oder ein fehlerhaftes Schreiben, das durch Strommangel beim Datenschieben verursacht wird, zu unterdrücken.

[0356] Da die Speicherschaltung einer Ausführungsform der vorliegenden Erfindung als nichtflüchtiger Speicher verwendet werden kann, kann sie auch als das ROM **811** verwendet werden. In diesem Fall ist bevorzugt, dass ein Hersteller einen Befehl zum

Schreiben von Daten in das ROM **811** getrennt vorbereitet, so dass ein Benutzer die Daten nicht frei überschreiben kann. Da der Hersteller vor dem Versand Identifikationsnummern vergibt und dann mit dem Versand der Produkte beginnt, kann er nur gute, lieferbare Produkte mit Identifikationsnummern versehen, anstatt alle hergestellten RF-Tags mit Identifikationsnummern zu versehen. Auf diese Weise sind die Identifikationsnummern der gelieferten Produkte durchlaufend nummeriert, und man führt das Kundenmanagement entsprechend den gelieferten Produkten leicht durch.

[0357] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 6)

[0358] Bei dieser Ausführungsform wird eine CPU, welche die bei der vorstehenden Ausführungsform beschriebene Speichervorrichtung beinhaltet, beschrieben.

[0359] Fig. 21 ist ein Blockschema, das ein Konfigurationsbeispiel für eine CPU darstellt, die mindestens teilweise einen der bei den vorstehenden Ausführungsformen beschriebenen Transistoren als Komponente beinhaltet.

[0360] Die CPU in Fig. 21 beinhaltet über einem Substrat **1190** eine arithmetische logische Einheit (arithmetic logic unit, ALU) **1191**, eine ALU-Steuerung **1192**, einen Befehlsdecoder **1193**, eine Interrupt-Steuerung **1194**, eine Zeitsteuerung **1195**, ein Register **1196**, eine Registersteuerung **1197**, eine Busschnittstelle **1198** (BUS-I/F), ein wiederbeschreibbares ROM **1199** und eine ROM-Schnittstelle (ROM-I/F) **1189**. Ein Halbleitersubstrat, ein SOI-Substrat, ein Glassubstrat oder dergleichen wird als das Substrat **1190** verwendet. Das ROM **1199** und die ROM-Schnittstelle **1189** können über einem separaten Chip bereitgestellt sein. Es ist überflüssig herauszustellen, dass die CPU in Fig. 21 nur ein Beispiel ist, in dem die Konfiguration vereinfacht ist, und dass eine reale CPU in Abhängigkeit von der Anwendung verschiedene Konfigurationen aufweisen kann. Beispielsweise kann die CPU die folgende Konfiguration aufweisen: eine Struktur, welche die CPU in Fig. 21 oder eine arithmetische Schaltung umfasst, wird als ein Kern betrachtet; eine Mehrzahl der Kerne ist enthalten; und die Kerne arbeiten parallel zueinander. Die Anzahl der Bits, welche die CPU in einer internen arithmetischen Schaltung oder in einem Datenbus verarbeiten kann, kann beispielsweise 8, 16, 32 oder 64 sein.

[0361] Ein Befehl, der über die Busschnittstelle **1198** in die CPU eingegeben wird, wird in den Befehlsde-

coder **1193** eingegeben, darin decodiert und dann in die ALU-Steuerung **1192**, die Interrupt-Steuerung **1194**, die Registersteuerung **1197** und die Zeitsteuerung **1195** eingegeben.

[0362] Die ALU-Steuerung **1192**, die Interrupt-Steuerung **1194**, die Registersteuerung **1197** und die Zeitsteuerung **1195** führen verschiedene Steuerungen entsprechend dem decodierten Befehl aus. Insbesondere erzeugt die ALU-Steuerung **1192** Signale zum Steuern des Betriebs der ALU **1191**. Während die CPU ein Programm ausführt, beurteilt die Interrupt-Steuerung **1194** eine Interrupt-Anforderung aus einer externen Eingabe-/Ausgabevorrichtung oder einer Periphereschaltung auf Grundlage der Priorität oder eines Maskenzustandes und verarbeitet die Anforderung. Die Registersteuerung **1197** erzeugt eine Adresse des Registers **1196** und liest Daten von dem oder schreibt Daten in das Register **1196** entsprechend dem Zustand der CPU.

[0363] Die Zeitsteuerung **1195** erzeugt Signale zum Steuern der Betriebszeiten der ALU **1191**, der ALU-Steuerung **1192**, des Befehlsdecoders **1193**, der Interrupt-Steuerung **1194** und der Registersteuerung **1197**. Die Zeitsteuerung **1195** beinhaltet beispielsweise einen internen Taktgenerator zum Erzeugen eines internen Taktsignals CLK2 auf Grundlage eines Referenztaktsignals CLK1 und führt den vorgenannten Schaltungen das interne Taktsignal CLK2 zu.

[0364] Bei der in Fig. 21 dargestellten CPU ist eine Speicherzelle in dem Register **1196** bereitgestellt. Für die Speicherzelle des Registers **1196** kann einer der bei den vorstehenden Ausführungsformen beschriebenen Transistoren verwendet werden.

[0365] Bei der in Fig. 21 dargestellten CPU wählt die Registersteuerung **1197** einen Vorgang zum Halten von Daten in dem Register **1196** entsprechend einem Befehl der ALU **1191** aus. Das heißt, dass die Registersteuerung **1197** wählt aus, ob Daten durch ein Flip-Flop oder durch einen Kondensator in der Speicherzelle gehalten werden, die in dem Register **1196** enthalten ist. Wenn Halten von Daten durch das Flip-Flop ausgewählt wird, wird eine Leistungsversorgungsspannung zu der Speicherzelle in dem Register **1196** zugeführt. Wenn Halten von Daten durch den Kondensator ausgewählt wird, werden die Daten in dem Kondensator überschrieben, und die Zuführung der Leistungsversorgungsspannung zu der Speicherzelle in dem Register **1196** kann unterbrochen werden.

[0366] Fig. 22 ist ein Beispiel für einen Schaltplan eines Speicherelements, das als das Register **1196** verwendet werden kann. Ein Speicherelement **1200** beinhaltet eine Schaltung **1201**, in der gespeicherte Daten flüchtig sind, wenn die Leistungsversorgung unterbrochen wird, eine Schaltung **1202**, in

der gespeicherte Daten nichtflüchtig sind, auch wenn die Leistungsversorgung unterbrochen wird, einen Schalter **1203**, einen Schalter **1204**, ein Logikelement **1206**, einen Kondensator **1207** und eine Schaltung **1220**, die eine Auswahlfunktion aufweist. Die Schaltung **1202** beinhaltet einen Kondensator **1208**, einen Transistor **1209** und einen Transistor **1210**. Es sei angemerkt, dass das Speicherelement **1200** nach Bedarf weiterhin ein weiteres Element, wie z. B. eine Diode, einen Widerstand oder einen Induktor beinhalten kann.

[0367] Hier kann die Speichervorrichtung, die bei der vorstehenden Ausführungsform beschrieben worden ist, als die Schaltung **1202** verwendet werden. Wenn die Zuführung einer Leistungsversorgungsspannung zu dem Speicherelement **1200** unterbrochen wird, wird ein Erdpotential (0 V) oder ein Potential, bei dem der Transistor **1209** in der Schaltung **1202** ausgeschaltet wird, weiterhin in ein Gate des Transistors **1209** eingegeben. Beispielsweise ist das Gate des Transistors **1209** über eine Last, wie z. B. einen Widerstand, geerdet.

[0368] Hier wird ein Beispiel gezeigt, in dem es sich bei dem Schalter **1203** um einen Transistor **1213** mit einem Leitungstyp (z. B. einen n-Kanal-Transistor) handelt und es sich bei dem Schalter **1204** um einen Transistor **1214** mit einem Leitungstyp, der dem einen Leitungstyp entgegengesetzt liegt (z. B. einen p-Kanal-Transistor), handelt. Ein erster Anschluss des Schalters **1203** entspricht entweder einem Source-Anschluss oder einem Drain-Anschluss des Transistors **1213**, ein zweiter Anschluss des Schalters **1203** entspricht dem anderen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1213**, und Leiten oder Nichtleiten zwischen dem ersten Anschluss und dem zweiten Anschluss des Schalters **1203** (d. h. der Durchlass-/Sperrzustand des Transistors **1213**) wird durch ein Steuersignal RD ausgewählt, das in ein Gate des Transistors **1213** eingegeben wird. Ein erster Anschluss des Schalters **1204** entspricht entweder einem Source-Anschluss oder einem Drain-Anschluss des Transistors **1214**, ein zweiter Anschluss des Schalters **1204** entspricht dem anderen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1214**, und Leiten oder Nichtleiten zwischen dem ersten Anschluss und dem zweiten Anschluss des Schalters **1204** (d. h. der Durchlass-/Sperrzustand des Transistors **1214**) wird durch das Steuersignal RD ausgewählt, das in ein Gate des Transistors **1214** eingegeben wird.

[0369] Entweder ein Source-Anschluss oder ein Drain-Anschluss des Transistors **1209** ist elektrisch einer eines Paares von Elektroden des Kondensators **1208** und einem Gate des Transistors **1210** verbunden. Der Verbindungsabschnitt wird hier als Knoten M2 bezeichnet. Entweder ein Source-Anschluss oder ein Drain-Anschluss des Transistors **1210** ist

elektrisch mit einer Leitung, die ein niedriges Leistungsversorgungspotential zuführen kann (z. B. einer GND-Leitung), verbunden, und der andere von ihnen ist elektrisch mit dem ersten Anschluss des Schalters **1203** (dem einen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1213**) verbunden. Der zweite Anschluss des Schalters **1203** (der andere des Source-Anschlusses und des Drain-Anschlusses des Transistors **1213**) ist elektrisch mit dem ersten Anschluss des Schalters **1204** (dem einen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1214**) verbunden. Der zweite Anschluss des Schalters **1204** (der andere des Source-Anschlusses und des Drain-Anschlusses des Transistors **1214**) ist elektrisch mit einer Leitung, die ein Leistungsversorgungspotential VDD zuführen kann, verbunden. Der zweite Anschluss des Schalters **1203** (der andere des Source-Anschlusses und des Drain-Anschlusses des Transistors **1213**), der erste Anschluss des Schalters **1204** (der eine des Source-Anschlusses und des Drain-Anschlusses des Transistors **1214**), ein Eingangsanschluss des Logikelements **1206** und eine eines Paares von Elektroden des Kondensators **1207** sind elektrisch miteinander verbunden. Der Verbindungsabschnitt wird hier als Knoten M1 bezeichnet. Die andere des Paares von Elektroden des Kondensators **1207** kann mit einem konstanten Potential versorgt werden. Beispielsweise kann die andere des Paares von Elektroden des Kondensators **1207** mit einem niedrigen Leistungsversorgungspotential (z. B. GND) oder einem hohen Leistungsversorgungspotential (z. B. VDD) versorgt werden. Die andere des Paares von Elektroden des Kondensators **1207** ist elektrisch mit der Leitung, die ein niedriges Leistungsversorgungspotential zuführen kann (z. B. einer GND-Leitung), verbunden. Die andere des Paares von Elektroden des Kondensators **1208** kann mit einem konstanten Potential versorgt werden. Beispielsweise kann die andere des Paares von Elektroden des Kondensators **1208** mit einem niedrigen Leistungsversorgungspotential (z. B. GND) oder einem hohen Leistungsversorgungspotential (z. B. VDD) versorgt werden. Die andere des Paares von Elektroden des Kondensators **1208** ist elektrisch mit der Leitung, die ein niedriges Leistungsversorgungspotential zuführen kann (z. B. einer GND-Leitung), verbunden.

[0370] Der Kondensator **1207** und der Kondensator **1208** müssen nicht unbedingt bereitgestellt sein, solange die parasitäre Kapazität des Transistors, der Leitung oder dergleichen aktiv genutzt wird.

[0371] Ein Steuersignal WE wird in das erste Gate (die erste Gate-Elektrode) des Transistors **1209** eingegeben. Hinsichtlich jedes der Schalter **1203** und **1204** wird ein Leitungszustand oder ein Nichtleitungszustand zwischen dem ersten Anschluss und dem zweiten Anschluss durch das Steuersignal RD ausgewählt, das sich von dem Steuersignal WE unter-

scheidet. Wenn sich der erste Anschluss und der zweite Anschluss eines der Schalter im Leitungszustand befinden, befinden sich der erste Anschluss und der zweite Anschluss des anderen Schalters im Nichtleitungszustand.

[0372] Es sei angemerkt, dass der Transistor **1209** in **Fig. 22** eine Struktur mit einem zweiten Gate (einer zweiten Gate-Elektrode; Rückgate) hat. Das Steuersignal WE kann in das erste Gate eingegeben werden, und das Steuersignal WE2 kann in das zweite Gate eingegeben werden. Bei dem Steuersignal WE2 handelt es sich um ein Signal mit einem konstanten Potential. Als konstantes Potential wird beispielsweise ein Erdpotential GND oder ein Potential, das niedriger ist als ein Source-Potential des Transistors **1209**, ausgewählt. Bei dem Steuersignal WE2 handelt es sich um ein Potentialsignal zum Steuern der Schwellenspannung des Transistors **1209**, wobei/cut des Transistors **1209** weiter verringert werden kann. Bei dem Steuersignal WE2 kann es sich um ein Signal handeln, welches das gleiche Potential wie das Steuersignal WE aufweist. Es sei angemerkt, dass ein Transistor ohne zweites Gate als der Transistor **1209** verwendet werden kann.

[0373] Ein Signal, das den in der Schaltung **1201** gehaltenen Daten entspricht, wird in den anderen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1209** eingegeben. **Fig. 22** stellt ein Beispiel dar, in dem ein Ausgangssignal der Schaltung **1201** in den anderen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1209** eingegeben wird. Der logische Wert eines Signals, das aus dem zweiten Anschluss des Schalters **1203** (dem anderen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1213**) ausgegeben wird, wird durch das Logikelement **1206** invertiert, und das invertierte Signal wird über die Schaltung **1220** in die Schaltung **1201** eingegeben.

[0374] In dem Beispiel in **Fig. 22** wird ein Signal, das aus der zweiten Anschluss des Schalters **1203** (dem anderen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1213**) ausgegeben wird, über das Logikelement **1206** und die Schaltung **1220** in die Schaltung **1201** eingegeben; jedoch ist eine Ausführungsform der vorliegenden Erfindung nicht darauf beschränkt. Das Signal, das aus dem zweiten Anschluss des Schalters **1203** (dem anderen des Source-Anschlusses und des Drain-Anschlusses des Transistors **1213**) ausgegeben wird, kann in die Schaltung **1201** eingegeben werden, ohne dass sein logischer Wert invertiert wird. In dem Fall, in dem die Schaltung **1201** einen Knoten aufweist, in dem ein Signal, das durch Inversion des logischen Wertes eines von dem Eingangsanschluss eingegebenen Signals erhalten wird, gehalten wird, kann beispielsweise das Signal, das aus dem zweiten Anschluss des Schalters **1203** (dem anderen des Source-An-

schlusses und des Drain-Anschlusses des Transistors **1213**) ausgegeben wird, in den Knoten eingegeben werden.

[0375] In **Fig. 22** können die Transistoren, die in dem Speicherelement **1200** enthalten sind, abgesehen von dem Transistor **1209**, jeweils ein Transistor sein, bei dem ein Kanal in einer Schicht aus einem Halbleiter, der verschieden von einem Oxidhalbleiter ist, oder in dem Substrat **1190** gebildet wird. Es kann sich bei dem Transistor beispielsweise um einen Transistor handeln, dessen Kanal in einer Siliziumschicht oder einem Siliziumsubstrat gebildet wird. Als Alternative können alle Transistoren in dem Speicherelement **1200** ein Transistor sein, bei dem ein Kanal in einer Oxidhalbleiterschicht gebildet wird. Als weitere Alternative kann, neben dem Transistor **1209**, ein Transistor, bei dem ein Kanal in einer Oxidhalbleiterschicht gebildet wird, in dem Speicherelement **1200** enthalten sein, und ein Transistor, bei dem ein Kanal in einer Schicht oder dem Substrat **1190**, die/ das einen anderen Halbleiter als einen Oxidhalbleiter enthält, gebildet wird, kann für die sonstigen Transistoren verwendet werden.

[0376] Als die Schaltung **1201** in **Fig. 22** kann beispielsweise eine Flip-Flop-Schaltung verwendet werden. Als das Logikelement **1206** kann beispielsweise ein Inverter oder ein getakteter Inverter verwendet werden.

[0377] In einem Zeitraum, während dessen das Speicherelement **1200** nicht mit der Leistungsversorgungsspannung versorgt wird, kann die Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung die in der Schaltung **1201** gespeicherten Daten mit dem Kondensator **1208**, der in der Schaltung **1202** bereitgestellt ist, halten.

[0378] Der Sperrstrom eines Transistors, bei dem ein Kanal in einer Oxidhalbleiterschicht gebildet wird, ist sehr niedrig. Der Sperrstrom eines Transistors, bei dem ein Kanal in einer Oxidhalbleiterschicht gebildet wird, ist zum Beispiel wesentlich niedriger als derjenige eines Transistors, bei dem ein Kanal in Silizium mit Kristallinität gebildet wird. Daher wird dann, wenn der Transistor als der Transistor **1209** verwendet wird, ein in dem Kondensator **1208** gehaltenes Signal auch in einem Zeitraum, während dessen dem Speicherelement **1200** die Leistungsversorgungsspannung nicht zugeführt wird, lange Zeit gehalten. Das Speicherelement **1200** kann demzufolge den gespeicherten Inhalt (Daten) auch in einem Zeitraum halten, während dessen die Zuführung der Leistungsversorgungsspannung unterbrochen ist.

[0379] Da das oben beschriebene Speicherelement einen Vorladevorgang mit dem Schalter **1203** und dem Schalter **1204** ausführt, kann die Zeit verkürzt werden, welche für die Schaltung **1201** erforderlich

ist, um originale Daten wieder zu halten, nachdem die Zuführung der Leistungsversorgungsspannung nochmals angefangen hat.

[0380] Bei der Schaltung **1202** wird ein Signal, das durch den Kondensator **1208** gehalten wird, in das Gate des Transistors **1210** eingegeben. Deshalb kann, nachdem die Zuführung der Leistungsversorgungsspannung zu dem Speicherelement **1200** nochmals angefangen hat, das durch den Kondensator **1208** gehaltene Signal in ein dem Zustand (dem Durchlasszustand oder dem Sperrzustand) des Transistors **1210** entsprechendes Signal umgewandelt werden, um aus der Schaltung **1202** gelesen zu werden. Ein ursprüngliches Signal kann folglich selbst dann genau gelesen werden, wenn ein Potential, das dem durch den Kondensator **1208** gehaltenen Signal entspricht, in einem gewissen Maß variiert.

[0381] Durch Anwenden des oben beschriebenen Speicherelements **1200** auf eine Speichervorrichtung, wie z. B. ein Register oder einen Cache-Speicher, das/der in einem Prozessor enthalten ist, kann verhindert werden, dass Daten in der Speichervorrichtung infolge der Unterbrechung der Zuführung der Leistungsversorgungsspannung verloren gehen. Überdies kann, gleich nachdem die Zuführung der Leistungsversorgungsspannung nochmals angefangen hat, die Speichervorrichtung in einen Zustand zurückkehren, der demjenigen vor der Unterbrechung der Leistungsversorgung gleich ist. Deshalb kann die Leistungsversorgung auch für eine kurze Zeit in dem Prozessor oder einer oder mehreren Logikschaltungen, die in dem Prozessor enthalten sind, unterbrochen werden, was niedrigeren Leistungsverbrauch zur Folge hat.

[0382] Obwohl bei dieser Ausführungsform das Speicherelement **1200** für eine CPU verwendet wird, kann das Speicherelement **1200** auch für eine LSI, wie z. B. einen Digitalsignalprozessor (DSP), eine benutzerdefinierte LSI (Custom-LSI) oder eine programmierbare logische Vorrichtung (programmable logic device, PLD), und für ein Funkfrequenz-(radio frequency, RF-)Tag verwendet werden.

[0383] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 7)

[0384] Bei dieser Ausführungsform werden Konfigurationsbeispiele für eine Anzeigevorrichtung, bei der ein Transistor einer Ausführungsform der vorliegenden Erfindung verwendet wird, beschrieben.

[Konfigurationsbeispiel]

[0385] Fig. 23A ist eine Draufsicht der Anzeigevorrichtung einer Ausführungsform der vorliegenden Erfindung. Fig. 23B ist ein Schaltplan, der eine Pixel-Schaltung darstellt, die in dem Fall verwendet werden kann, in dem ein Flüssigkristallelement für ein Pixel in der Anzeigevorrichtung einer Ausführungsform der vorliegenden Erfindung verwendet wird. Fig. 23C ist ein Schaltplan, der eine Pixel-Schaltung darstellt, die in dem Fall verwendet werden kann, in dem ein organisches EL-Element für ein Pixel in der Anzeigevorrichtung einer Ausführungsform der vorliegenden Erfindung verwendet wird.

[0386] Der Transistor in dem Pixel-Abschnitt kann entsprechend der vorstehenden Ausführungsform hergestellt werden. Der Transistor kann in einfacher Weise als n-Kanal-Transistor hergestellt werden, und somit kann ein Teil einer Treiberschaltung, die unter Verwendung eines n-Kanal-Transistors hergestellt werden kann, über dem gleichen Substrat hergestellt werden wie der Transistor des Pixel-Abschnitts. Unter Verwendung eines der Transistoren, die bei den vorstehenden Ausführungsformen beschrieben worden sind, auf diese Weise für den Pixel-Abschnitt oder die Treiberschaltung kann eine hochzuverlässige Anzeigevorrichtung bereitgestellt werden.

[0387] Fig. 23A stellt ein Beispiel für eine Draufsicht einer Aktivmatrix-Anzeigevorrichtung dar. Ein Pixel-Abschnitt **701**, eine erste Abtastleitungstreiberschaltung **702**, eine zweite Abtastleitungstreiberschaltung **703** und eine Signalleitungstreiberschaltung **704** sind über einem Substrat **700** der Anzeigevorrichtung ausgebildet. In dem Pixel-Abschnitt **701** ist eine Mehrzahl von Signalleitungen, die sich von der Signalleitungstreiberschaltung **704** aus erstrecken, angeordnet, und eine Mehrzahl von Abtastleitungen, die sich von der ersten Abtastleitungstreiberschaltung **702** und der zweiten Abtastleitungstreiberschaltung **703** aus erstrecken, ist angeordnet. Es sei angemerkt, dass Pixel, die Anzeigeelemente beinhalten, in einer Matrix in entsprechenden Bereichen bereitgestellt sind, in denen sich die Abtastleitungen und die Signalleitungen kreuzen. Das Substrat **700** der Anzeigevorrichtung ist über einen Verbindungsabschnitt, wie z. B. eine flexible gedruckte Schaltung (flexible printed circuit, FPC), mit einer Zeitsteuerschaltung (auch als Steuerung oder Steuer-IC bezeichnet) verbunden.

[0388] In Fig. 23A sind die erste Abtastleitungstreiberschaltung **702**, die zweite Abtastleitungstreiberschaltung **703** und die Signalleitungstreiberschaltung **704** über dem Substrat **700**, über dem der Pixel-Abschnitt **701** ausgebildet ist, ausgebildet. Folglich kann die Anzahl der Komponenten, die außerhalb bereitgestellt sind, wie z. B. einer Treiberschaltung, verrin-

gert werden, so dass eine Kostenreduktion erreicht werden kann. Wenn die Treiberschaltung außerhalb des Substrats **700** bereitgestellt wäre, müssten ferner Leitungen verlängert werden und die Anzahl der Leitungs-Verbindungen würde zunehmen. Wenn die Treiberschaltung über dem Substrat **700** bereitgestellt ist, kann die Anzahl der Leitungs-Verbindungen verringert werden. Folglich kann eine Verbesserung der Zuverlässigkeit oder der Produktionsausbeute erzielt werden.

[Flüssigkristallanzeigevorrichtung]

[0389] Fig. 23B stellt ein Beispiel für eine Schaltungskonfiguration des Pixels dar. Hier ist eine Pixel-Schaltung, die für ein Pixel einer VA-Flüssigkristallanzeigevorrichtung anwendbar ist, beispielhaft dargestellt.

[0390] Diese Pixel-Schaltung kann auf eine Struktur angewendet werden, bei der ein Pixel eine Mehrzahl von Pixel-Elektrodenschichten aufweist. Die Pixel-Elektrodenschichten sind mit verschiedenen Transistoren verbunden, und die Transistoren können mit verschiedenen Gate-Signalen betrieben werden. Folglich können Signale, die an einzelne Pixel-Elektrodenschichten in einem Pixel mit mehreren Bereichen (multi-domain pixel) angelegt werden, unabhängig gesteuert werden.

[0391] Eine Gate-Leitung **712** eines Transistors **716** und eine Gate-Leitung **713** eines Transistors **717** sind getrennt, so dass verschiedene Gate-Signale dazu zugeführt werden können. Dagegen ist eine Datenleitung **714** von den Transistoren **716** und **717** geteilt. Der bei einer der vorstehenden Ausführungsformen beschriebene Transistor kann angemessen als jeder der Transistoren **716** und **717** verwendet werden. Auf diese Weise kann eine hochzuverlässige Flüssigkristallanzeigevorrichtung bereitgestellt werden.

[0392] Die Formen einer ersten Pixel-Elektrodenschicht, die elektrisch mit dem Transistor **716** verbunden ist, und einer zweiten Pixel-Elektrodenschicht, die elektrisch mit dem Transistor **717** verbunden ist, werden beschrieben. Die erste Pixel-Elektrodenschicht und die zweite Pixel-Elektrodenschicht sind durch einen Schlitz voneinander getrennt. Die erste Pixel-Elektrodenschicht hat eine V-Form, und die zweite Pixel-Elektrodenschicht ist derart angeordnet, dass sie die erste Pixel-Elektrodenschicht umgibt.

[0393] Eine Gate-Elektrode des Transistors **716** ist mit der Gate-Leitung **712** verbunden, und eine Gate-Elektrode des Transistors **717** ist mit der Gate-Leitung **713** verbunden. Wenn verschiedene Gate-Signale zu der Gate-Leitung **712** und der Gate-Leitung **713** zugeführt werden, können die Betriebszeiten des Transistors **716** und des Transistors **717** variiert wer-

den. Als Ergebnis kann die Ausrichtung von Flüssigkristallen gesteuert werden.

[0394] Ferner kann ein Speicherkondensator unter Verwendung einer Kondensatorleitung **710**, eines Gate-Isolierfilms, der als Dielektrikum dient, und einer Kondensatorelektrode, die elektrisch mit der ersten Pixel-Elektrodenschicht oder der zweiten Pixel-Elektrodenschicht verbunden ist, ausgebildet sein.

[0395] Das Pixel mit mehreren Bereichen beinhaltet ein erstes Flüssigkristallelement **718** und ein zweites Flüssigkristallelement **719**. Das erste Flüssigkristallelement **718** beinhaltet die erste Pixel-Elektrodenschicht, eine Gegenelektrodenschicht und eine Flüssigkristallschicht dazwischen. Das zweite Flüssigkristallelement **719** beinhaltet die zweite Pixel-Elektrodenschicht, eine Gegenelektrodenschicht und eine Flüssigkristallschicht dazwischen.

[0396] Es sei angemerkt, dass eine Pixel-Schaltung der vorliegenden Erfindung nicht auf diejenige in Fig. 23B beschränkt ist. Beispielsweise kann ein Schalter, ein Widerstand, ein Kondensator, ein Transistor, ein Sensor, eine Logikschaltung oder dergleichen zu dem Pixel, das in Fig. 23B dargestellt ist, hinzugefügt sein.

[Organische EL-Anzeigevorrichtung]

[0397] Fig. 23C stellt ein weiteres Beispiel für eine Schaltungskonfiguration des Pixels dar. Hier ist eine Pixel-Struktur einer Anzeigevorrichtung, bei der ein organisches EL-Element verwendet wird, gezeigt.

[0398] Bei einem organischen EL-Element werden durch Anlegen einer Spannung an ein lichtemittierendes Element Elektronen aus einer eines Paares von Elektroden und Löcher aus der anderen des Paares von Elektroden in eine Schicht, die eine lichtemittierende organische Verbindung enthält, injiziert; somit fließt ein Strom. Die Elektronen und Löcher rekombinieren, und dadurch wird die lichtemittierende organische Verbindung angeregt. Die lichtemittierende organische Verbindung kehrt vom angeregten Zustand in einen Grundzustand zurück, wodurch Licht emittiert wird. Aufgrund eines solchen Mechanismus wird dieses lichtemittierende Element als lichtemittierendes Element mit Stromanregung bezeichnet.

[0399] Fig. 23C stellt ein anwendbares Beispiel für eine Pixel-Schaltung dar. Ein Pixel beinhaltet hier zwei n-Kanal-Transistoren. Es sei angemerkt, dass ein Metalloxidfilm einer Ausführungsform der vorliegenden Erfindung für Kanalbildungsbereiche der n-Kanal-Transistoren verwendet werden kann. Des Weiteren kann eine digitale Zeit-Graustufen-Ansteuerung (digital time grayscale driving) für die Pixel-Schaltung verwendet werden.

[0400] Es werden die Konfiguration der anwendbaren Pixel-Schaltung und die Arbeitsweise eines Pixels, bei dem die digitale Zeit-Graustufen-Ansteuerung zum Einsatz kommt, beschrieben.

[0401] Ein Pixel **720** beinhaltet einen Schalttransistor **721**, einen Treibertransistor **722**, ein lichtemittierendes Element **724** und einen Kondensator **723**. Eine Gate-Elektroden-schicht des Schalttransistors **721** ist mit einer Abtastleitung **726** verbunden, eine erste Elektrode (entweder eine Source-Elektroden-schicht oder eine Drain-Elektroden-schicht) des Schalttransistors **721** ist mit einer Signalleitung **725** verbunden, und eine zweite Elektrode (die andere der Source-Elektroden-schicht und der Drain-Elektroden-schicht) des Schalttransistors **721** ist mit einer Gate-Elektroden-schicht des Treibertransistors **722** verbunden. Die Gate-Elektroden-schicht des Treibertransistors **722** ist über den Kondensator **723** mit einer Leistungsversorgungsleitung **727** verbunden, eine erste Elektrode des Treibertransistors **722** ist mit der Leistungsversorgungsleitung **727** verbunden, und eine zweite Elektrode des Treibertransistors **722** ist mit einer ersten Elektrode (einer Pixel-Elektrode) des lichtemittierenden Elements **724** verbunden. Eine zweite Elektrode des lichtemittierenden Elements **724** entspricht einer gemeinsamen Elektrode **728**. Die gemeinsame Elektrode **728** ist elektrisch mit einer gemeinsamen Potentialleitung verbunden, die über dem gleichen Substrat wie die gemeinsame Elektrode **728** ausgebildet ist.

[0402] Als der Schalttransistor **721** und der Treibertransistor **722** kann der bei einer der vorstehenden Ausführungsformen beschriebene Transistor angemessen verwendet werden. Auf diese Weise kann eine hochzuverlässige organische EL-Anzeigevorrichtung bereitgestellt werden.

[0403] Das Potential der zweiten Elektrode (der gemeinsamen Elektrode **728**) des lichtemittierenden Elements **724** wird auf ein niedriges Leistungsversorgungspotential eingestellt. Es sei angemerkt, dass das niedrige Leistungsversorgungspotential niedriger ist als ein hohes Leistungsversorgungspotential, das der Leistungsversorgungsleitung **727** zugeführt wird. Das niedrige Leistungsversorgungspotential kann beispielsweise GND, 0 V oder dergleichen sein. Das hohe Leistungsversorgungspotential und das niedrige Leistungsversorgungspotential werden derart eingestellt, dass sie höher als oder gleich der Durchlass-Schwellenspannung des lichtemittierenden Elements **724** sind, und der Unterschied zwischen den Potentialen wird an das lichtemittierende Element **724** angelegt, wodurch dem lichtemittierenden Element **724** ein Strom zugeführt wird, was zu einer Lichtemission führt. Die Durchlassspannung des lichtemittierenden Elements **724** bezeichnet eine Spannung, bei der eine gewünschte Leuchtdichte er-

reicht wird, und umfasst mindestens eine Durchlass-Schwellenspannung.

[0404] Es sei angemerkt, dass die Gate-Kapazität des Treibertransistors **722** als Ersatz für den Kondensator **723** verwendet werden kann, so dass der Kondensator **723** weggelassen werden kann. Die Gate-Kapazität des Treibertransistors **722** kann zwischen dem Kanalbildungsbereich und der Gate-Elektroden-schicht gebildet werden.

[0405] Als nächstes wird ein Eingangssignal des Treibertransistors **722** beschrieben. Im Falle eines Spannungsansteuerungsverfahrens durch Spannungseingabe (voltage-input voltage driving) wird ein Videosignal, das reicht aus, den Treibertransistor **722** einzuschalten oder auszuschalten, in den Treibertransistor **722** eingegeben. Damit der Treibertransistor **722** in einem linearen Bereich arbeiten kann, wird eine Spannung, die höher ist als die Spannung der Leistungsversorgungsleitung **727**, an die Gate-Elektroden-schicht des Treibertransistors **722** angelegt. Es sei angemerkt, dass eine Spannung, die höher als oder gleich der Gesamtspannung einer Spannung der Leistungsversorgungsleitung und der Schwellenspannung V_{th} des Treibertransistors **722** ist, an die Signalleitung **725** angelegt wird.

[0406] In dem Fall, in dem eine analoge Graustufen-Ansteuerung durchgeführt wird, wird eine Spannung, die höher als oder gleich der Gesamtspannung der Durchlassspannung des lichtemittierenden Elements **724** und der Schwellenspannung V_{th} des Treibertransistors **722** ist, an die Gate-Elektroden-schicht des Treibertransistors **722** angelegt. Ein Videosignal, mit dem der Treibertransistor **722** in einem Sättigungsbereich betrieben wird, wird eingegeben, so dass dem lichtemittierenden Element **724** ein Strom zugeführt wird. Damit der Treibertransistor **722** in einem Sättigungsbereich arbeiten kann, wird das Potential der Leistungsversorgungsleitung **727** höher gewählt als das Gate-Potential des Treibertransistors **722**. Wenn ein analoges Videosignal benutzt wird, ist es möglich, einen Strom entsprechend dem Videosignal zu dem lichtemittierenden Element **724** zuzuführen und eine analoge Graustufen-Ansteuerung durchzuführen.

[0407] Es sei angemerkt, dass die Konfiguration der Pixel-Schaltung der vorliegenden Erfindung nicht auf diejenige in **Fig. 23C** beschränkt ist. Beispielsweise kann ein Schalter, ein Widerstand, ein Kondensator, ein Sensor, ein Transistor, eine Logikschaltung oder dergleichen zu der Pixel-Schaltung, die in **Fig. 23C** dargestellt ist, hinzugefügt sein.

[0408] In dem Fall, in dem der bei einer der vorstehenden Ausführungsformen gezeigte Transistor für die Schaltung in **Fig. 23A** bis **Fig. 23C** verwendet wird, ist die Source-Elektrode (die erste Elektrode) elektrisch mit der Seite des niedrigen Potentials ver-

bunden und die Drain-Elektrode (die zweite Elektrode) ist elektrisch mit der Seite des hohen Potentials verbunden. Außerdem kann das Potential der ersten Gate-Elektrode durch eine Steuerschaltung oder dergleichen gesteuert werden, und das oben beispielhaft beschriebene Potential, z. B. ein Potential, das niedriger ist als das an die Source-Elektrode angelegte Potential, kann über eine Leitung, die nicht dargestellt ist, in die zweite Gate-Elektrode eingegeben werden.

[0409] Beispielsweise können in dieser Beschreibung und dergleichen ein Anzeigeelement, eine Anzeigevorrichtung, die eine ein Anzeigeelement beinhaltende Vorrichtung ist, ein lichtemittierendes Element und eine lichtemittierende Vorrichtung, die eine ein lichtemittierendes Element beinhaltende Vorrichtung ist, verschiedene Modi verwenden oder verschiedene Elemente beinhalten. Beispiele für ein Anzeigeelement, eine Anzeigevorrichtung, ein lichtemittierendes Element oder eine lichtemittierende Vorrichtung umfassen ein EL-(Elektrolumineszenz-)Element (z. B. ein EL-Element, das organische und anorganische Materialien enthält, ein organisches EL-Element oder ein anorganisches EL-Element), eine LED (z. B. eine weiße LED, eine rote LED, eine grüne LED oder eine blaue LED), einen Transistor (einen Transistor, der in Abhängigkeit von Strom Licht emittiert), einen Elektronen-Emitter, ein Flüssigkristallelement, elektronische Tinte, ein elektrophoretisches Element, ein Grating Light Valve (GLV), einen Plasmabildschirm (plasma display panel, PDP), ein mikroelektromechanisches System (MEMS), einen digitale Mikrospiegelvorrichtung (digital micromirror device, DMD), ein Digital Micro Shutter (DMS), MIRASOL (eingetragenes Warenzeichen), einen Bildschirm mit interferometrisch arbeitendem Modulator (interferometric modulator display, IMOD), ein Elektrobenetzungselement (electrowetting element) eine piezoelektrische Keramikanzeige (piezoelectric ceramic display) und eine Kohlenstoffnanoröhre, welche Anzeigemedien sind, deren Kontrast, Leuchtdichte, Reflektivität, Durchlässigkeit oder dergleichen durch elektromagnetische Aktion verändert wird. Es sei angemerkt, dass Beispiele für Anzeigevorrichtungen mit EL-Elementen eine EL-Anzeige umfassen. Beispiele für Anzeigevorrichtungen, die Elektronen-Emitter beinhalten, sind ein Feldemissionsbildschirm (field emission display, FED) und eine SED-Typ-Flachbildschirm (SED: surface-conduction electron-emitter display bzw. oberflächenleitender Elektronen-Emitter-Bildschirm). Beispiele für Anzeigevorrichtungen, die Flüssigkristallelemente beinhalten, umfassen eine Flüssigkristallanzeige (z. B. eine durchlässige Flüssigkristallanzeige, eine halbdurchlässige Flüssigkristallanzeige, eine reflektierende Flüssigkristallanzeige, eine Direkt-sicht-Flüssigkristallanzeige oder eine Projektionsflüssigkristallanzeige). Beispiele für Anzeigevorrichtungen, die elektronische Tinte oder elektrophoretische

Elemente beinhalten, umfassen elektronisches Papier.

[0410] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 8)

[0411] Bei dieser Ausführungsform wird ein Anzeigemodul, bei dem eine Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung verwendet wird, anhand von **Fig. 24** beschrieben.

[0412] Bei einem Anzeigemodul **8000** in **Fig. 24** sind ein Touchscreen **8004**, der mit einer FPC **8003** verbunden ist, ein Anzeigefeld **8006**, das mit einer FPC **8005** verbunden ist, eine Hintergrundbeleuchtungseinheit **8007**, ein Rahmen **8009**, eine gedruckte Leiterplatte **8010** und eine Batterie **8011** zwischen einem oberen Deckel **8001** und einem unteren Deckel **8002** angeordnet. Es sei angemerkt, dass in einigen Fällen die Hintergrundbeleuchtungseinheit **8007**, die Batterie **8011**, der Touchscreen **8004** und dergleichen nicht bereitgestellt sind.

[0413] Die Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung kann beispielsweise für das Anzeigefeld **8006** verwendet werden.

[0414] Die Formen und Größen des oberen Deckels **8001** und des unteren Deckels **8002** können angemessen entsprechend den Größen des Touchscreens **8004** und des Anzeigefeldes **8006** verändert werden.

[0415] Der Touchscreen **8004** kann ein resistiver Touchscreen oder ein kapazitiver Touchscreen sein und derart ausgebildet sein, dass er das Anzeigefeld **8006** überlappt. Ein Gegensubstrat (Abdichtungssubstrat) des Anzeigefeldes **8006** kann eine Touchscreen-Funktion aufweisen. Ein Fotosensor kann in jedem Pixel des Anzeigefeldes **8006** bereitgestellt sein, so dass ein optischer Touchscreen erhalten wird. Eine Elektrode für einen Berührungssensor kann in jedem Pixel des Anzeigefeldes **8006** bereitgestellt sein, so dass ein kapazitiver Touchscreen erhalten wird.

[0416] Die Hintergrundbeleuchtungseinheit **8007** beinhaltet eine Lichtquelle **8008**. Die Lichtquelle **8008** kann an einem Endabschnitt der Hintergrundbeleuchtungseinheit **8007** angeordnet sein, wobei eine Lichtstreuuscheibe verwendet werden kann.

[0417] Der Rahmen **8009** schützt das Anzeigefeld **8006** und dient auch als elektromagnetischer Schild zum Blockieren von elektromagnetischen Wellen, die durch den Betrieb der gedruckten Leiterplatte **8010**

erzeugt werden. Der Rahmen **8009** kann als Abstrahlplatte dienen.

[0418] Die gedruckte Leiterplatte **8010** weist eine Leistungsversorgungsschaltung und eine Signalverarbeitungsschaltung zum Ausgeben eines Videosignals und eines Taktsignals auf. Als Leistungsquelle zum Zuführen von Leistung zu der Leistungsversorgungsschaltung kann eine externe gewerbliche Leistungsquelle oder die getrennt bereitgestellte Batterie **8011** verwendet werden. Es sei angemerkt, dass die Batterie **8011** nicht notwendig ist, wenn eine gewerbliche Leistungsquelle verwendet wird.

[0419] Das Anzeigemodul **8000** kann zusätzlich mit einem Teil, wie z. B. einer polarisierenden Platte, einer Retardationsplatte oder einer Prismenfolie, versehen sein.

[0420] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 9)

[0421] Die Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung kann für Anzeigevorrichtungen, Personal-Computer oder Bildwiedergabevorrichtungen, die mit Aufzeichnungsmedien versehen sind (typischerweise Vorrichtungen, die den Inhalt von Aufzeichnungsmedien, wie z. B. Digital Versatile Disks (DVDs), wiedergeben und die Bildschirme zur Anzeige der wiedergegebenen Bilder aufweisen), verwendet werden. Weitere Beispiele für elektronische Geräte, die mit der Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung ausgestattet sein können, sind Mobiltelefone, Spielgeräte einschließlich tragbarer Spielkonsolen, tragbare Datenverarbeitungsgeräte, E-Book-Lesegeräte, Kameras, wie z. B. Videokameras und digitale Standbildkameras, Videobrillen (am Kopf getragene Anzeigen), Navigationssysteme, Audio-Wiedergabevorrichtungen (z. B. Auto-Audiosysteme und digitale Audio-Wiedergabegeräte), Kopiergeräte, Faxgeräte, Drucker, Multifunktionsdrucker, Geldautomaten (automated teller machines, ATM) und Verkaufautomaten. **Fig. 25A** bis **Fig. 25F** stellen konkrete Beispiele für diese elektronischen Geräte dar.

[0422] **Fig. 25A** stellt eine tragbare Spielkonsole dar, die ein Gehäuse **901**, ein Gehäuse **902**, einen Anzeigebereich **903**, einen Anzeigebereich **904**, ein Mikrofon **905**, einen Lautsprecher **906**, eine Bedienungstaste **907**, einen Stift **908** und dergleichen beinhaltet. Das tragbare Spielegerät in **Fig. 25A** weist die zwei Anzeigebereiche **903** und **904** auf, wobei die Anzahl der Anzeigebereiche in einem tragbaren Spielegerät jedoch nicht darauf beschränkt sein muss.

[0423] **Fig. 25B** stellt ein tragbares Datenendgerät dar, das ein erstes Gehäuse **911**, ein zweites Gehäuse **912**, einen ersten Anzeigebereich **913**, einen zweiten Anzeigebereich **914**, ein Gelenk **915**, eine Bedienungstaste **916** und dergleichen beinhaltet. Der erste Anzeigebereich **913** ist in dem ersten Gehäuse **911** bereitgestellt, und der zweite Anzeigebereich **914** ist in dem zweiten Gehäuse **912** bereitgestellt. Das erste Gehäuse **911** und das zweite Gehäuse **912** sind mit dem Gelenk **915** miteinander verbunden, und der Winkel zwischen dem ersten Gehäuse **911** und dem zweiten Gehäuse **912** kann mit dem Gelenk **915** verändert werden. Ein Bild auf dem ersten Anzeigebereich **913** kann abhängig von dem Winkel zwischen dem ersten Gehäuse **911** und dem zweiten Gehäuse **912** an dem Gelenk **915** umgeschaltet werden. Eine Anzeigevorrichtung mit einer Positioneingabefunktion kann als mindestens einer der ersten und zweiten Anzeigebereiche **913** und **914** verwendet werden. Es sei angemerkt, dass die Positioneingabefunktion durch Bereitstellen eines Touchscreens in einer Anzeigevorrichtung hinzugefügt werden kann. Alternativ kann die Positioneingabefunktion durch Bereitstellen eines ein Fotosensor genannten photoelektrischen Umwandlungselements in einem Pixel-Abschnitt einer Anzeigevorrichtung hinzugefügt werden.

[0424] **Fig. 25C** stellt einen Laptop-Computer dar, der ein Gehäuse **921**, einen Anzeigebereich **922**, eine Tastatur **923**, eine Zeigevorrichtung **924** und dergleichen beinhaltet.

[0425] **Fig. 25D** stellt einen elektrischen Gefrierkühlschrank dar, der ein Gehäuse **931**, eine Tür für einen Kühlschrank **932**, eine Tür für einen Gefrierkühlschrank **933** und dergleichen beinhaltet.

[0426] **Fig. 25E** stellt eine Videokamera dar, die ein erstes Gehäuse **941**, ein zweites Gehäuse **942**, einen Anzeigebereich **943**, Bedienungstasten **944**, eine Linse **945**, ein Gelenk **946** und dergleichen beinhaltet. Die Bedienungstasten **944** und die Linse **945** sind in dem ersten Gehäuse **941** bereitgestellt, und der Anzeigebereich **943** ist in dem zweiten Gehäuse **942** bereitgestellt. Das erste Gehäuse **941** und das zweite Gehäuse **942** sind mit dem Gelenk **946** miteinander verbunden, und der Winkel zwischen dem ersten Gehäuse **941** und dem zweiten Gehäuse **942** kann mit dem Gelenk **946** verändert werden. Bilder, die auf dem Anzeigebereich **943** angezeigt werden, können entsprechend dem Winkel an dem Gelenk **946** zwischen dem ersten Gehäuse **941** und dem zweiten Gehäuse **942** umgeschaltet werden.

[0427] **Fig. 25F** stellt ein Personenkraftwagen dar, der eine Karosserie **951**, Räder **952**, ein Armaturenbrett **953**, Scheinwerfer **954** und dergleichen beinhaltet.

[0428] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

(Ausführungsform 10)

[0429] Bei dieser Ausführungsform werden Anwendungsbeispiele für ein RF-Tag einer Ausführungsform der vorliegenden Erfindung anhand von **Fig. 26A bis Fig. 26F** beschrieben. Das RF-Tag wird weithin verwendet und kann beispielsweise für die folgenden Produkte bereitgestellt sein: Geldscheine, Münzen, Wertpapiere, Inhaberoptionen, Dokumente (z. B. Führerscheine oder Aufenthaltskarten, siehe **Fig. 26A**), Aufzeichnungsmedien (z. B. DVD oder Fernsehkassetten, siehe **Fig. 26B**), Fahrzeuge (z. B. Fahrräder, siehe **Fig. 26D**), Verpackungsbehälter (z. B. Packpapier oder Flaschen, siehe **Fig. 26C**), persönliche Habe (z. B. Taschen oder Brillen), Lebensmittel, Pflanzen, Tiere, menschliche Körper, Kleidung, Hausrat, Sanitätsartikel, wie z. B. Medikamente und Chemikalie, und elektronische Geräte (z. B. Flüssigkristallanzeigevorrichtungen, EL-Anzeigevorrichtungen, Fernsehgeräte oder Mobiltelefone). Das RF-Tag kann auch für Tags auf Produkten bereitgestellt sein (siehe **Fig. 26E** und **Fig. 26F**).

[0430] Ein RF-Tag **4000** einer Ausführungsform der vorliegenden Erfindung ist an einem Produkt befestigt, indem es an dessen Oberfläche angebracht oder darin eingebettet ist. Das RF-Tag **4000** ist zum Beispiel an jedem Produkt befestigt, indem es in Papier eines Buchs oder in einem organischen Harz einer Verpackung eingebettet ist. Da die Größe, die Dicke und das Gewicht des RF-Tags **4000** einer Ausführungsform der vorliegenden Erfindung verringert werden können, kann es an einem Produkt befestigt sein, ohne das Design des Produkts zu stören. Außerdem können Geldscheine, Münzen, Wertpapiere, Inhaberoptionen, Dokumente oder dergleichen eine Identifikationsfunktion aufweisen, indem sie mit dem RF-Tag **4000** einer Ausführungsform der vorliegenden Erfindung versehen sind, und man kann die Identifikationsfunktion nutzen, um Fälschung zu verhindern. Die Effizienz eines Systems, wie z. B. eines Prüfungssystems, kann überdies verbessert werden, indem das RF-Tag einer Ausführungsform der vorliegenden Erfindung für Verpackungsbehälter, Aufzeichnungsmedien, persönliche Habe, Lebensmittel, Kleidung, Hausrat, elektronische Geräte oder dergleichen bereitgestellt ist. Fahrzeuge können auch höhere Sicherheit gegen Diebstahl oder dergleichen aufweisen, indem sie mit dem RF-Tag einer Ausführungsform der vorliegenden Erfindung versehen sind.

[0431] Wie zuvor beschrieben, kann unter Verwendung des RF-Tags einer Ausführungsform der vorliegenden Erfindung für jede Anwendung, die bei dieser Ausführungsform beschrieben wird, die Leistung zum

Betrieb, wie z. B. zum Schreiben oder Lesen von Daten, verringert werden, was eine Erhöhung der maximalen Kommunikationsreichweite zur Folge hat. Außerdem können Daten über einen sehr langen Zeitraum auch in dem Zustand, in dem kein Strom zugeführt wird, gehalten werden; das RF-Tag kann daher vorteilhaft für eine Anwendung verwendet werden, bei der Daten nicht häufig geschrieben oder gelesen werden.

[0432] Diese Ausführungsform kann mit einer der anderen Ausführungsformen oder mit einem Beispiel in dieser Beschreibung soweit angemessen kombiniert werden.

[Beispiel]

[0433] In diesem Beispiel wurden Transistoren hergestellt, und Querschnitte der Transistoren wurden beobachtet. Die Ergebnisse werden nachstehend beschrieben.

[Herstellung von Proben]

[0434] Als Proben für Querschnittsbeobachtung wurden Proben, die dem Transistor **103** und dem Transistor **101** entsprechen, welche bei der Ausführungsform 1 beschrieben worden sind, durch die bei der Ausführungsform 2 beschriebenen Verfahren hergestellt. Zwei Proben mit verschiedenen Kanalbreiten wurden als die dem Transistor **103** entsprechenden Proben hergestellt.

[0435] Ein Siliziumwafer wurde als Substrat für jede der Proben verwendet. Der Siliziumwafer wurde einer thermischen Oxidation unterzogen, wodurch ein thermischer Oxidfilm ausgebildet wurde. Ein Siliziumoxynitridfilm wurde durch ein Plasma-CVD-Verfahren über dem thermischen Oxidfilm ausgebildet.

[0436] Bei jeder der dem Transistor **103** entsprechenden Proben wurden als nächstes ein zirka 20 nm dicker erster Oxidhalbleiterfilm und ein zirka 40 nm dicker zweiter Oxidhalbleiterfilm, dessen Zusammensetzung sich von derjenigen des ersten Oxidhalbleiterfilms unterscheidet, durch ein Sputterverfahren in dieser Reihenfolge abgeschieden. Bei der dem Transistor **101** entsprechenden Probe wurde ein zirka 20 nm dicker Oxidhalbleiterfilm durch ein Sputterverfahren abgeschieden.

[0437] Anschließend wurden ein Wolframfilm und ein organisches Harz über dem zweiten Oxidhalbleiterfilm jeder der dem Transistor **103** entsprechenden Proben und über dem Oxidhalbleiterfilm der dem Transistor **101** entsprechenden Probe ausgebildet. Ein negativer Fotolackfilm wurde dann ausgebildet, und eine Belichtung wurde durch Abtasten mit einem Elektronenstrahl an dem Fotolackfilm durchge-

führt und eine Entwicklung wurde durchgeführt, wodurch der Fotolackfilm strukturiert wurde.

[0438] Bei jeder der Proben wurden dann das organische Harz und der Wolframfilm unter Verwendung des Fotolackfilms selektiv geätzt. Eine Trockenätzvorrichtung mit induktiv gekoppeltem Plasma wurde zum Ätzen verwendet.

[0439] Bei jeder der dem Transistor **103** entsprechenden Proben wurden als nächstes der erste Oxidhalbleiterfilm und der zweite Oxidhalbleiterfilm unter Verwendung des organischen Harzes und des Wolframfilms als Maske selektiv geätzt; auf diese Weise wurde ein Stapel, der eine erste Oxidhalbleiterschicht und eine zweite Oxidhalbleiterschicht umfasst, ausgebildet. Auf eine ähnliche Weise wurde bei der dem Transistor **101** entsprechenden Probe der Oxidhalbleiterfilm unter Verwendung des organischen Harzes und des Wolframfilms als Maske selektiv geätzt; auf diese Weise wurde eine Oxidhalbleiterschicht ausgebildet.

[0440] Bei jeder der Proben wurden dann der Fotolackfilm und das organische Harz durch einen Veraschungsschritt entfernt, und der Wolframfilm wurde durch einen Ätzschritt entfernt.

[0441] Als nächstes wurde ein Wolframfilm durch ein Sputterverfahren über der zweiten Oxidhalbleiterschicht jeder der dem Transistor **103** entsprechenden Proben und über der Oxidhalbleiterschicht der dem Transistor **101** entsprechenden Probe ausgebildet. Bei jeder der Proben wurde dann ein Fotolackfilmmuster (resist film pattern) über dem Wolframfilm ausgebildet und ein selektives Ätzen wurde durchgeführt, um eine Source-Elektrodenschicht und eine Drain-Elektrodenschicht auszubilden.

[0442] Danach wurde ein 5 nm dicker dritter Oxidhalbleiterfilm durch ein Sputterverfahren über dem Stapel, der die erste Oxidhalbleiterschicht und die zweite Oxidhalbleiterschicht umfasst, der Source-Elektrodenschicht und der Drain-Elektrodenschicht jeder der dem Transistor **103** entsprechenden Proben ausgebildet.

[0443] Als nächstes wurde ein Siliziumoxynitridfilm, der zu einem Gate-Isolierfilm werden sollte, durch ein Plasma-CVD-Verfahren über dem dritten Oxidhalbleiterfilm jeder der dem Transistor **103** entsprechenden Proben und über der Oxidhalbleiterschicht, der Source-Elektrodenschicht und der Drain-Elektrodenschicht der dem Transistor **101** entsprechenden Probe ausgebildet.

[0444] Bei jeder der Proben wurden dann ein Titannitridfilm und ein Wolframfilm nacheinander durch ein Sputterverfahren ausgebildet. Anschließend wur-

de ein Fotolackfilmmuster über dem Wolframfilm ausgebildet.

[0445] Bei jeder der dem Transistor **103** entsprechenden Proben wurden der Titannitridfilm und der Wolframfilm unter Verwendung des Fotolackfilms selektiv geätzt, wodurch eine Gate-Elektrodenschicht ausgebildet wurde. Zusätzlich wurden der Gate-Isolierfilm und der dritte Oxidhalbleiterfilm unter Verwendung der Gate-Elektrodenschicht als Maske geätzt. Auf diese Weise wurde eine dritte Oxidhalbleiterschicht ausgebildet.

[0446] Bei der dem Transistor **101** entsprechenden Probe wurden der Titannitridfilm und der Wolframfilm unter Verwendung des Fotolackfilms selektiv geätzt, wodurch eine Gate-Elektrodenschicht ausgebildet wurde.

[0447] Bei jeder der Proben wurden als nächstes ein Aluminiumoxidfilm und ein Siliziumoxynitridfilm als isolierende Schichten ausgebildet.

[0448] Durch die vorstehenden Schritte wurden die dem Transistor **103** entsprechenden Proben und die dem Transistor **101** entsprechende Probe hergestellt.

[Querschnittsbeobachtung]

[0449] Die Querschnitte der hergestellten Proben (Proben 1 bis 3) wurden mit einem Rastertransmissionselektronenmikroskop (scanning transmission electron microscope, STEM) beobachtet.

[0450] **Fig. 27A** und **Fig. 27B** sind Querschnittsbilder der Probe 1, die dem Transistor **103** entspricht. **Fig. 27A** zeigt einen Querschnitt in der Kanallängsrichtung. **Fig. 27B** zeigt einen Querschnitt in der Kanalbreitenrichtung. Nach den Querschnittsbildern in **Fig. 27A** und **Fig. 27B** betragen die Kanallänge und die Kanalbreite 68,3 nm bzw. 34,3 nm.

[0451] Nach der **Fig. 27B** sind R1 bis R5 und θ , welche in **Fig. 8B** und **Fig. 9** definiert werden, wie folgt: R1 und R3 sind jeweils zirka 8,8 nm; R2 ist zirka 19,0 nm; R4 und R5 sind jeweils zirka 7,3 nm; und θ ist 20,5°. Der Transistor zeigte vorteilhafte elektrische Eigenschaften.

[0452] Daher wurde aufgezeigt, dass die Probe 1 die folgenden bei der Ausführungsform 1 beschriebenen Voraussetzungen erfüllt: R2 ist größer als R1 und R3; R1 und R3 sind im Wesentlichen einander gleich; R4 und R5 sind im Wesentlichen einander gleich; R1 und R3 sind jeweils größer als R4 und R5; und θ ist größer als oder gleich 5° und kleiner als oder gleich 45°.

[0453] **Fig. 28** ist ein Querschnittsbild in der Kanalbreitenrichtung der Probe 2, die dem Transistor **103** entspricht und eine Kanalbreite aufweist, die sich

von derjenigen der Probe 1 unterscheidet. Nach dem Querschnittsbild in **Fig. 28** beträgt die Kanalbreite 91,3 nm.

[0454] Nach der **Fig. 28** sind R1 bis R5 und θ , welche in **Fig. 8B** und **Fig. 9** definiert werden, wie folgt: R1 und R3 sind jeweils zirka 4,8 nm; R2 war schwer zu messen (was nahe legt, dass R2 im Wesentlichen unendlich ist); R4 und R5 sind jeweils zirka 3,9 nm; und θ ist 21,0°. Der Transistor zeigte vorteilhafte elektrische Eigenschaften.

[0455] Daher wurde aufgezeigt, dass die Probe 2 die folgenden bei der Ausführungsform 1 beschriebenen Voraussetzungen erfüllt: R2 ist größer als R1 und R3; R1 und R3 sind im Wesentlichen einander gleich; R4 und R5 sind im Wesentlichen einander gleich; R1 und R3 sind jeweils größer als R4 und R5; und θ ist größer als oder gleich 5° und kleiner als oder gleich 45°.

[0456] **Fig. 29** ist ein Querschnittsbild in der Kanalbreitenrichtung der Probe 3, die dem Transistor **101** entspricht. Nach dem Querschnittsbild in **Fig. 29** beträgt die Kanalbreite 82,7 nm.

[0457] Nach der **Fig. 29** sind R1 bis R3, welche in **Fig. 2B** definiert werden, wie folgt: R1 und R3 sind jeweils zirka 16,1 nm; und R2 ist zirka 421 nm. Der Transistor zeigte vorteilhafte elektrische Eigenschaften.

[0458] Daher wurde aufgezeigt, dass die Probe 3 die folgenden bei der Ausführungsform 1 beschriebenen Voraussetzungen erfüllt: R2 ist größer als R1 und R3; und R1 und R3 sind im Wesentlichen einander gleich.

[0459] Es sei angemerkt, dass es schwierig war, R4, R5 und θ aus dem Querschnittsbild in **Fig. 29** genau zu messen. Eine Beobachtung mit einem TEM mit einer höheren Vergrößerung ermöglicht eine genaue Messung von R4, R5 und θ .

[0460] Die obigen Ergebnisse dieses Beispiels deuten darauf hin, dass ein Transistor einer Ausführungsform der vorliegenden Erfindung vorteilhafte elektrische Eigenschaften aufweist.

[0461] Es sei angemerkt, dass dieses Beispiel mit einer der Ausführungsformen in dieser Beschreibung soweit angemessen kombiniert werden kann.

[0462] Diese Anmeldung basiert auf der japanischen Patentanmeldung mit der Seriennr. 2013-219046, eingereicht beim japanischen Patentamt am 22. Oktober 2013, deren gesamter Inhalt hiermit zum Gegenstand der vorliegenden Offenlegung gemacht ist.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2007-123861 [0006]
- JP 2007-96055 [0006]
- JP 2013-219046 [0462]

Patentansprüche

1. Halbleitervorrichtung, die umfasst:

eine isolierende Schicht;
eine Halbleiterschicht über der isolierenden Schicht;
eine Source-Elektrodenschicht und eine Drain-Elektrodenschicht, welche elektrisch mit der Halbleiterschicht verbunden sind;
eine Gate-Isolierschicht über der Halbleiterschicht, der Source-Elektrodenschicht und der Drain-Elektrodenschicht; und
eine Gate-Elektrodenschicht, welche die Halbleiterschicht überlappt, wobei die Gate-Isolierschicht dazwischen liegt,

wobei in einem Querschnitt in einer Kanalbreitenrichtung die Halbleiterschicht umfasst:

einen ersten Bereich, dessen ein Endabschnitt in Kontakt mit der isolierenden Schicht steht, wobei der erste Bereich an einem Seitenabschnitt der Halbleiterschicht liegt;

einen zweiten Bereich, dessen ein Endabschnitt in Kontakt mit dem anderen Endabschnitt des ersten Bereichs steht, wobei der zweite Bereich an einem oberen Abschnitt der Halbleiterschicht liegt; und

einen dritten Bereich, dessen ein Endabschnitt in Kontakt mit dem anderen Endabschnitt des zweiten Bereichs steht und dessen anderer Endabschnitt in Kontakt mit der isolierenden Schicht steht, wobei der dritte Bereich am anderen Seitenabschnitt der Halbleiterschicht liegt,

wobei der erste Bereich, der zweite Bereich und der dritte Bereich in Kontakt mit der Gate-Isolierschicht stehen,

wobei in dem zweiten Bereich eine Grenzfläche zu der Gate-Isolierschicht konvex geformt ist und einen Bereich mit einem Krümmungsradius R_1 , einen Bereich mit einem Krümmungsradius R_2 und einen Bereich mit einem Krümmungsradius R_3 aufweist, welche in dieser Reihenfolge von der Seite des einen Endabschnitts bis zur Seite des anderen Endabschnitts verbunden sind, und
wobei R_2 größer ist als R_1 und R_3 .

2. Halbleitervorrichtung nach Anspruch 1, wobei im einen Endabschnitt des ersten Bereichs eine Grenzfläche zu der Gate-Isolierschicht konkav mit einem Krümmungsradius R_4 ist, wobei im anderen Endabschnitt des dritten Bereichs eine Grenzfläche zu der Gate-Isolierschicht konkav mit einem Krümmungsradius R_5 ist, und wobei R_1 und R_3 jeweils größer sind als R_4 und R_5 .

3. Halbleitervorrichtung nach Anspruch 1, wobei R_2 doppelt oder mehrfach so groß wie einer von R_1 und R_3 ist, der kleiner ist als der andere.

4. Halbleitervorrichtung nach Anspruch 2, wobei R_1 und R_3 jeweils drei- oder mehrfach so groß wie einer von R_4 und R_5 sind, der kleiner ist als der andere.

5. Halbleitervorrichtung nach Anspruch 1, wobei R_1 geteilt durch R_3 größer als oder gleich 0,7 und kleiner als oder gleich 1,3 ist.

6. Halbleitervorrichtung nach Anspruch 1, wobei ein Winkel, der von einer Linie, die mit einer Grenzfläche zwischen dem ersten Bereich und der Gate-Isolierschicht zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt, und einer Linie, die mit einer Grenzfläche zwischen dem dritten Bereich und der Gate-Isolierschicht zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt, gebildet ist, größer als oder gleich 5° und kleiner als oder gleich 45° ist.

7. Halbleitervorrichtung nach Anspruch 1, wobei eine Höhe der Halbleiterschicht im Querschnitt in der Kanalbreitenrichtung größer als oder gleich 30 nm und kleiner als oder gleich 3000 nm ist.

8. Halbleitervorrichtung nach Anspruch 1, wobei eine durch eine Kanalbreite geteilte Höhe der Halbleiterschicht im Querschnitt in der Kanalbreitenrichtung größer als oder gleich 0,5 ist.

9. Halbleitervorrichtung nach Anspruch 1, die ferner eine leitende Schicht umfasst, welche die Gate-Elektrodenschicht überlappt, wobei die Halbleiterschicht dazwischen liegt.

10. Halbleitervorrichtung nach Anspruch 1, wobei es sich bei der Halbleiterschicht um eine Oxidhalbleiterschicht handelt.

11. Halbleitervorrichtung nach Anspruch 10, wobei die Oxidhalbleiterschicht eine erste Oxidhalbleiterschicht, eine zweite Oxidhalbleiterschicht und eine dritte Oxidhalbleiterschicht umfasst, welche in dieser Reihenfolge von der Seite der isolierenden Schicht aus gestapelt sind, wobei die erste Oxidhalbleiterschicht, die zweite Oxidhalbleiterschicht und die dritte Oxidhalbleiterschicht jeweils ein In-M-Zn-Oxid enthalten, wobei M Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd oder Hf ist, und wobei ein Atomverhältnis von M zu In in jeder der ersten und dritten Oxidhalbleiterschichten höher ist als ein Atomverhältnis von M zu In in der zweiten Oxidhalbleiterschicht.

12. Halbleitervorrichtung, die umfasst:
eine isolierende Schicht;
einen Stapel, der über der isolierenden Schicht liegt und eine erste Halbleiterschicht und eine zweite Halbleiterschicht in dieser Reihenfolge umfasst;
eine Source-Elektrodenschicht und eine Drain-Elektrodenschicht, welche elektrisch mit einem Teil des Stapels verbunden sind;
eine dritte Halbleiterschicht, die einen Teil des Stapels, einen Teil der Source-Elektrodenschicht und einen Teil der Drain-Elektrodenschicht bedeckt;

eine Gate-Isolierschicht über der dritten Halbleiterschicht; und
 eine Gate-Elektrodenschicht, die über der Gate-Isolierschicht liegt und einen Teil des Stapels, einen Teil der Source-Elektrodenschicht, einen Teil der Drain-Elektrodenschicht und die dritte Halbleiterschicht überlappt,
 wobei in einem Querschnitt in einer Kanalbreitenrichtung die dritte Halbleiterschicht umfasst:
 einen ersten Bereich, der einen Seitenabschnitt des Stapels bedeckt;
 einen zweiten Bereich, der einen oberen Abschnitt der zweiten Halbleiterschicht bedeckt; und
 einen dritten Bereich, der den anderen Seitenabschnitt des Stapels bedeckt,
 wobei der erste Bereich, der zweite Bereich und der dritte Bereich in Kontakt mit der Gate-Isolierschicht stehen,
 wobei in dem zweiten Bereich eine Grenzfläche zu der Gate-Isolierschicht konvex geformt ist und einen Bereich mit einem Krümmungsradius R_1 , einen Bereich mit einem Krümmungsradius R_2 und einen Bereich mit einem Krümmungsradius R_3 aufweist, welche in dieser Reihenfolge von der Seite eines Endabschnitts bis zur Seite des anderen Endabschnitts verbunden sind, und
 wobei R_2 größer ist als R_1 und R_3 .

13. Halbleitervorrichtung nach Anspruch 12, wobei in einem in Kontakt mit der isolierenden Schicht stehenden Abschnitt des ersten Bereichs eine Grenzfläche zu der Gate-Isolierschicht konkav mit einem Krümmungsradius R_4 ist,
 wobei in einem in Kontakt mit der isolierenden Schicht stehenden Abschnitt des dritten Bereichs eine Grenzfläche zu der Gate-Isolierschicht konkav mit einem Krümmungsradius R_5 ist, und
 wobei R_1 und R_3 jeweils größer sind als R_4 und R_5 .

14. Halbleitervorrichtung nach Anspruch 12, wobei R_2 doppelt oder mehrfach so groß wie einer von R_1 und R_3 ist, der kleiner ist als der andere.

15. Halbleitervorrichtung nach Anspruch 13, wobei R_1 und R_3 jeweils drei- oder mehrfach so groß wie einer von R_4 und R_5 sind, der kleiner ist als der andere.

16. Halbleitervorrichtung nach Anspruch 12, wobei R_1 geteilt durch R_3 größer als oder gleich 0,7 und kleiner als oder gleich 1,3 ist.

17. Halbleitervorrichtung nach Anspruch 12, wobei ein Winkel, der von einer Linie, die mit einer Grenzfläche zwischen dem ersten Bereich und der Gate-Isolierschicht zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt, und einer Linie, die mit einer Grenzfläche zwischen dem dritten Bereich und der Gate-Isolierschicht zusammenfällt und sich bis zur Seite der Gate-Elektrodenschicht erstreckt,

gebildet ist, größer als oder gleich 5° und kleiner als oder gleich 45° ist.

18. Halbleitervorrichtung nach Anspruch 12, wobei eine durch eine Kanalbreite geteilte Gesamthöhe der ersten Halbleiterschicht, der zweiten Halbleiterschicht und der dritten Halbleiterschicht im Querschnitt in der Kanalbreitenrichtung größer als oder gleich 0,5 ist.

19. Halbleitervorrichtung nach Anspruch 12, die ferner eine leitende Schicht umfasst, welche die Gate-Elektrodenschicht überlappt, wobei die erste Halbleiterschicht, die zweite Halbleiterschicht und die dritte Halbleiterschicht dazwischen liegen.

20. Halbleitervorrichtung nach Anspruch 12, wobei es sich bei jeder der ersten, zweiten und dritten Halbleiterschichten um eine Oxidhalbleiterschicht handelt, die ein In-M-Zn-Oxid enthält, wobei M Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd oder Hf ist, und wobei ein Atomverhältnis von M zu In in jeder der ersten und dritten Halbleiterschichten höher ist als ein Atomverhältnis von M zu In in der zweiten Halbleiterschicht.

Es folgen 34 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1A

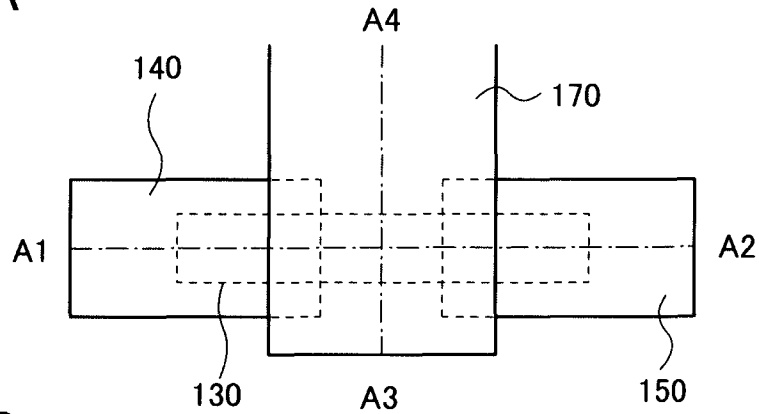


FIG. 1B

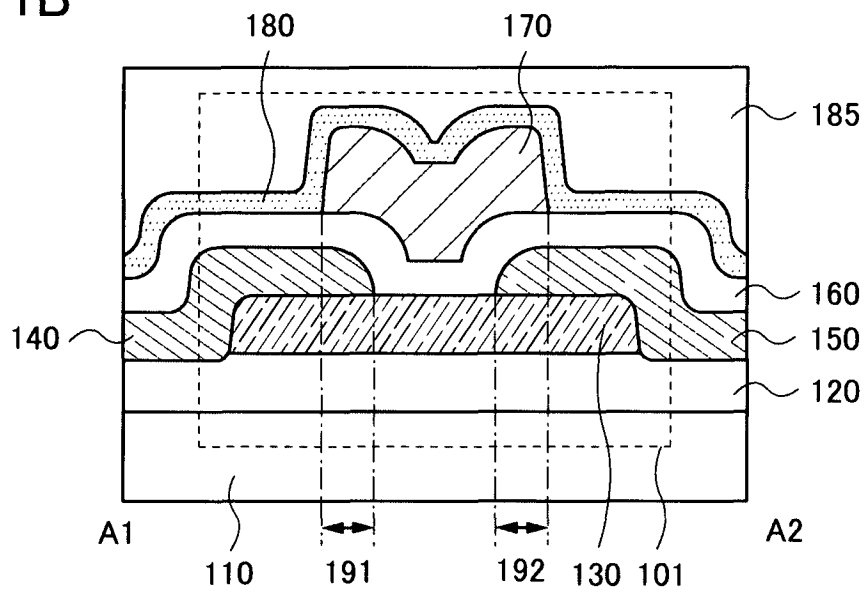


FIG. 1C

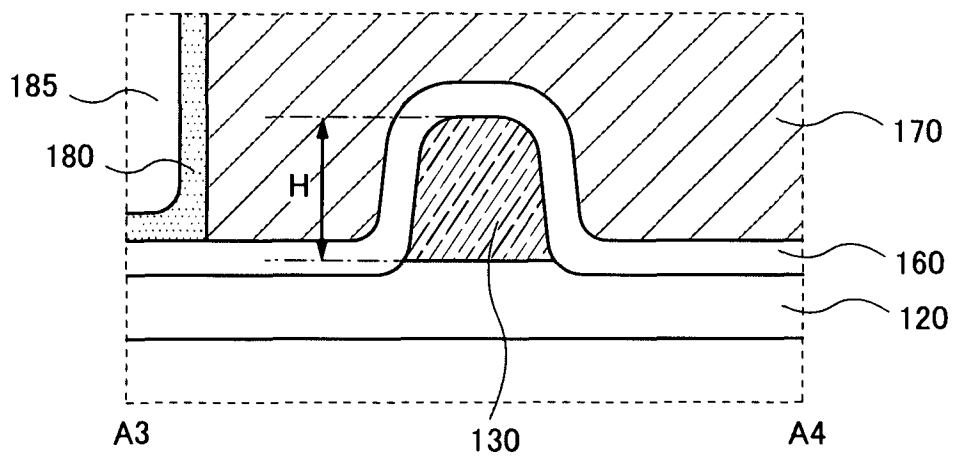


FIG. 2A

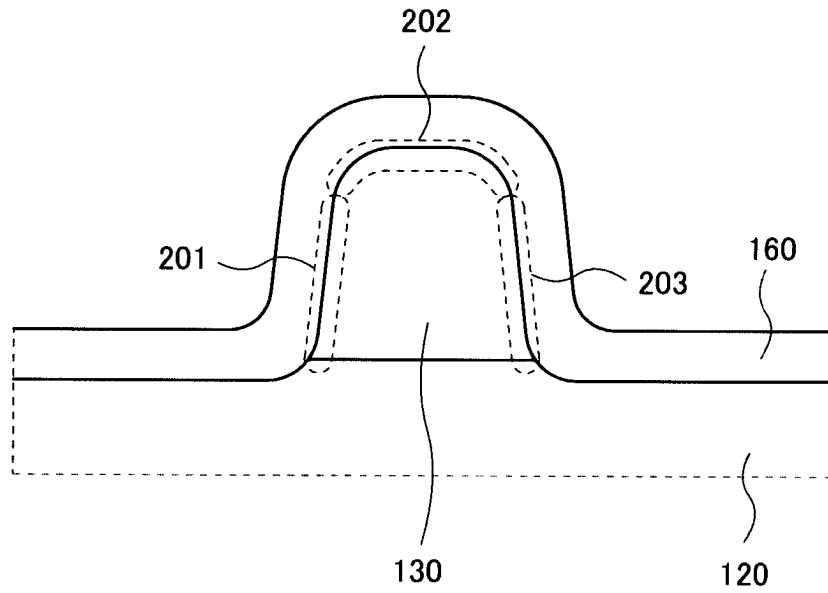


FIG. 2B

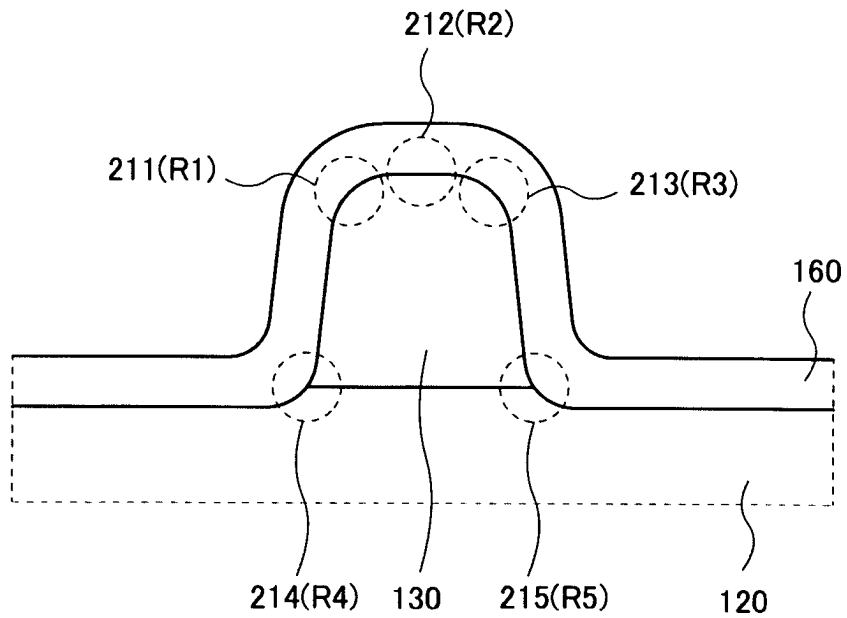


FIG. 3

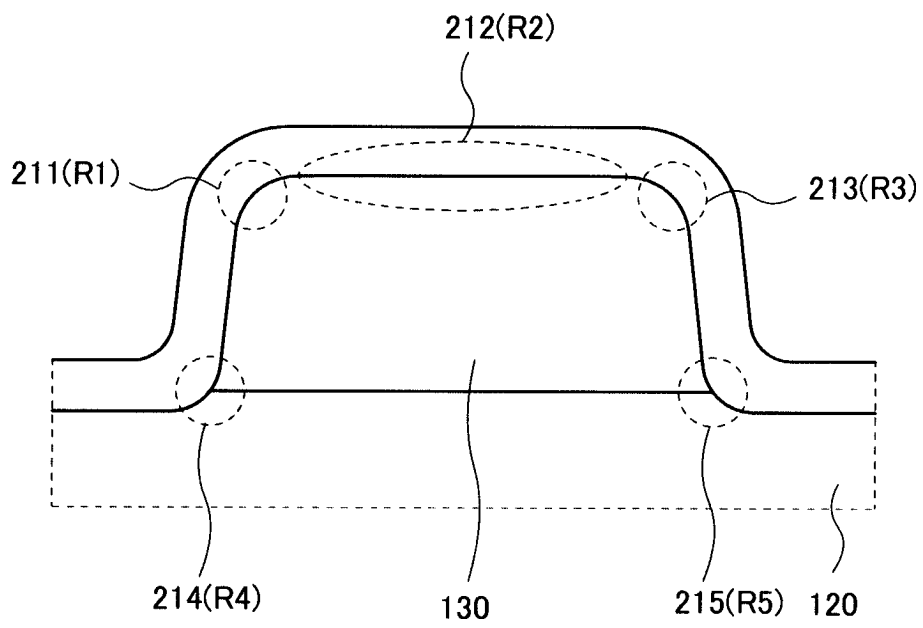


FIG. 4

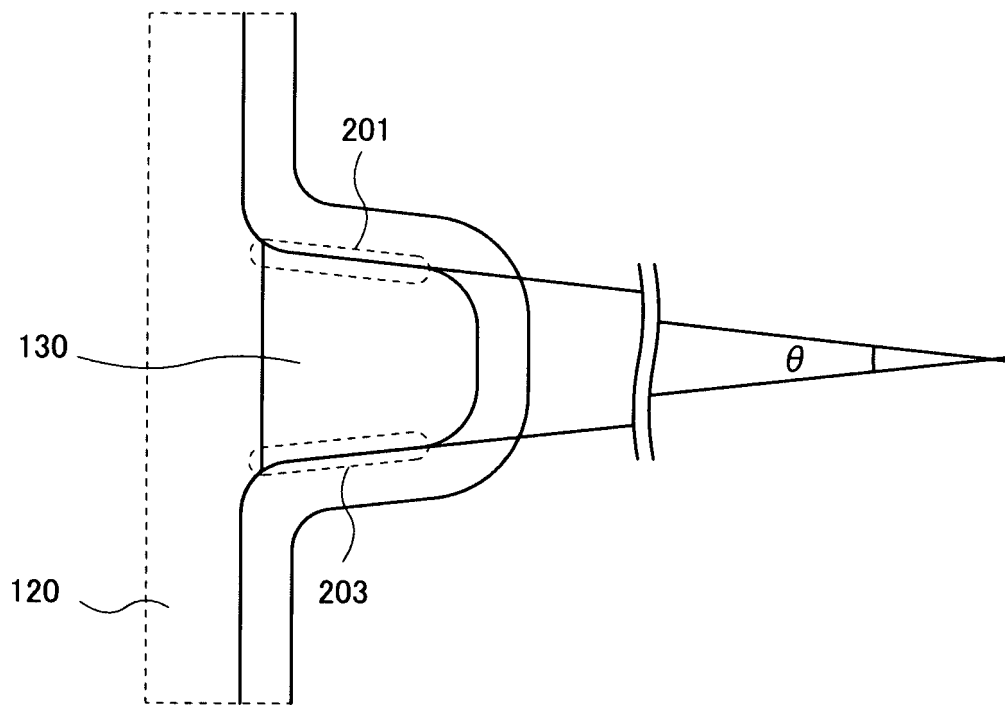


FIG. 5

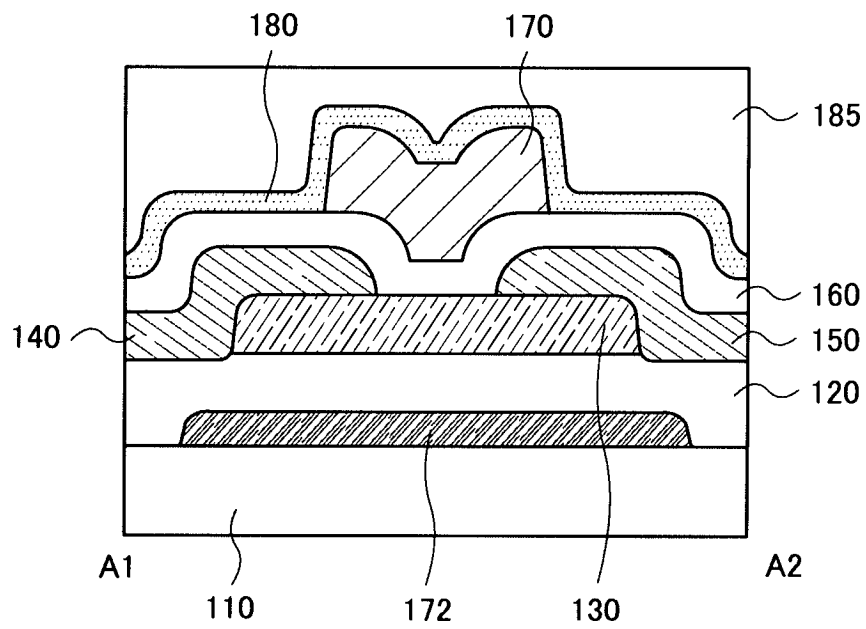


FIG. 6A

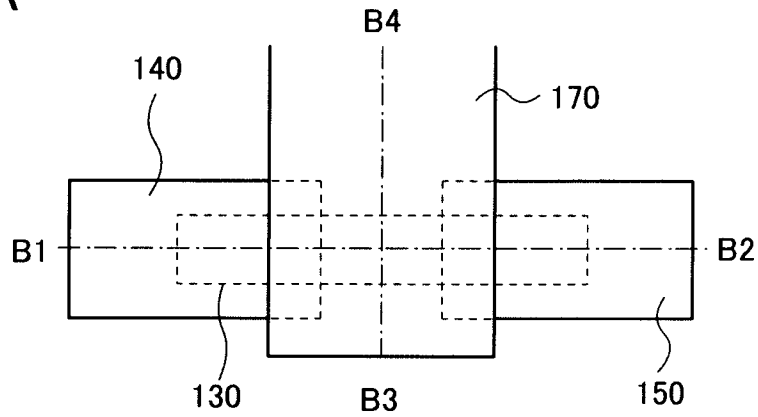


FIG. 6B

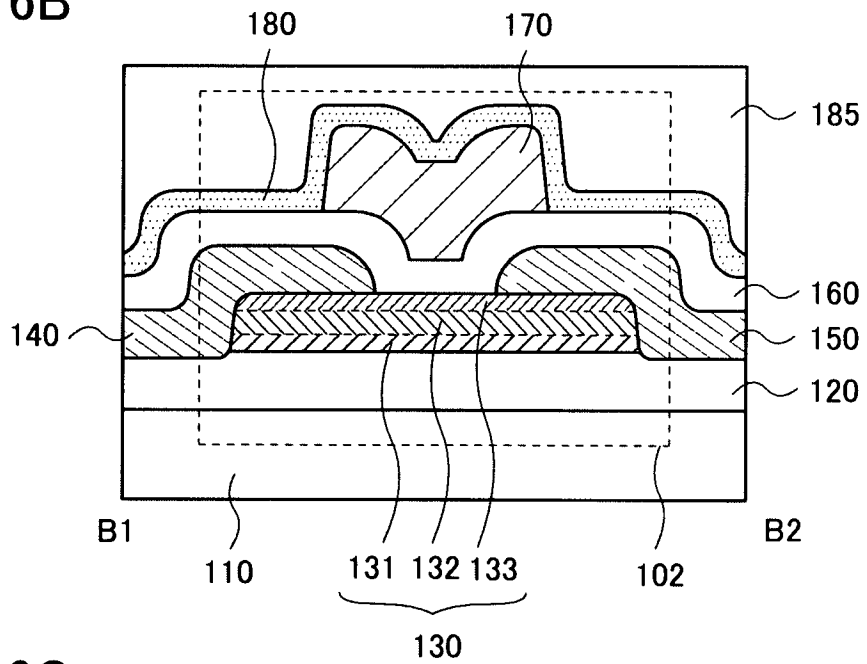


FIG. 6C

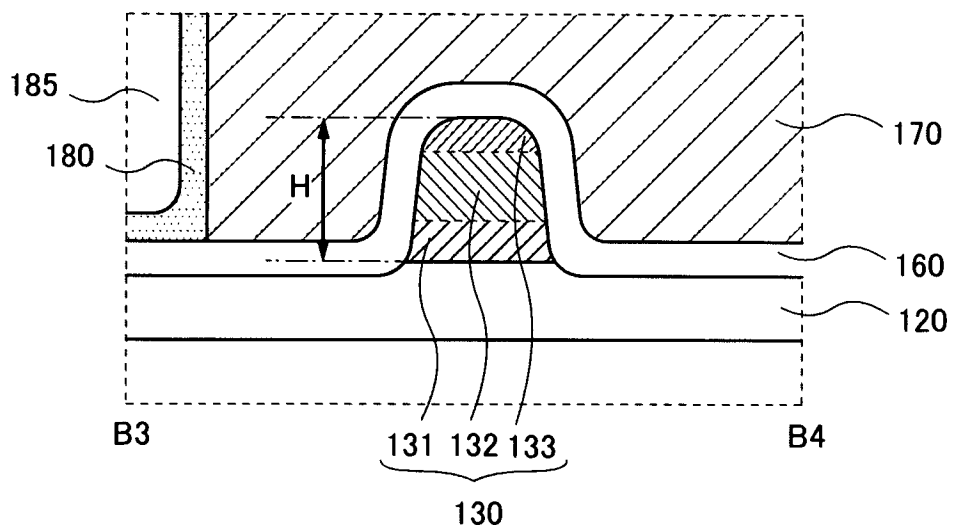


FIG. 7A

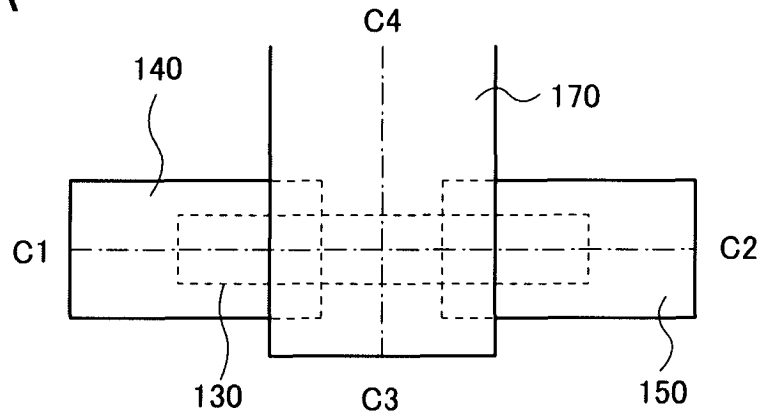


FIG. 7B

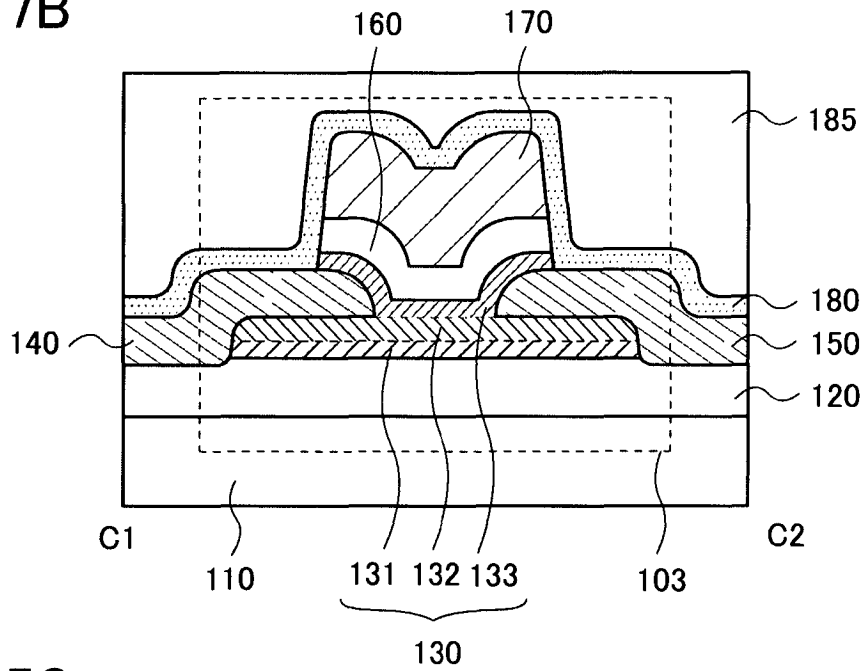


FIG. 7C

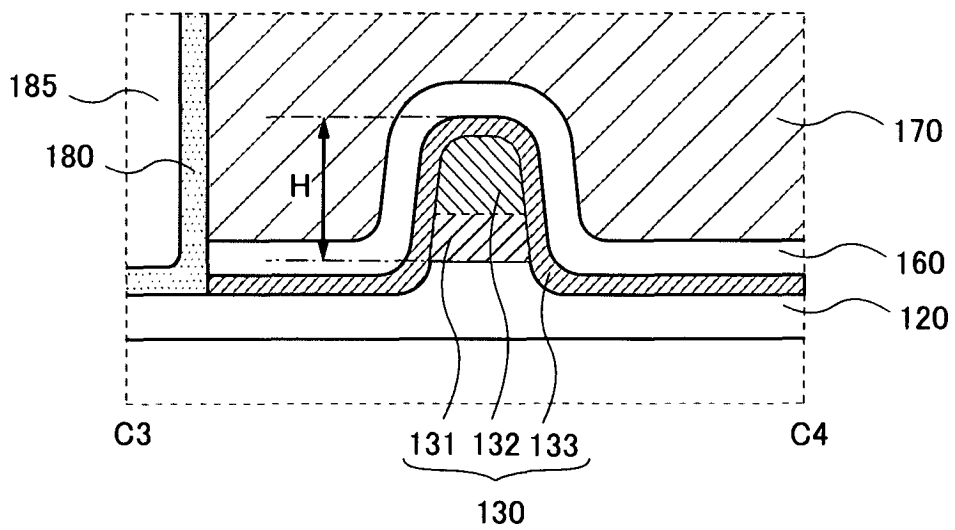


FIG. 8A

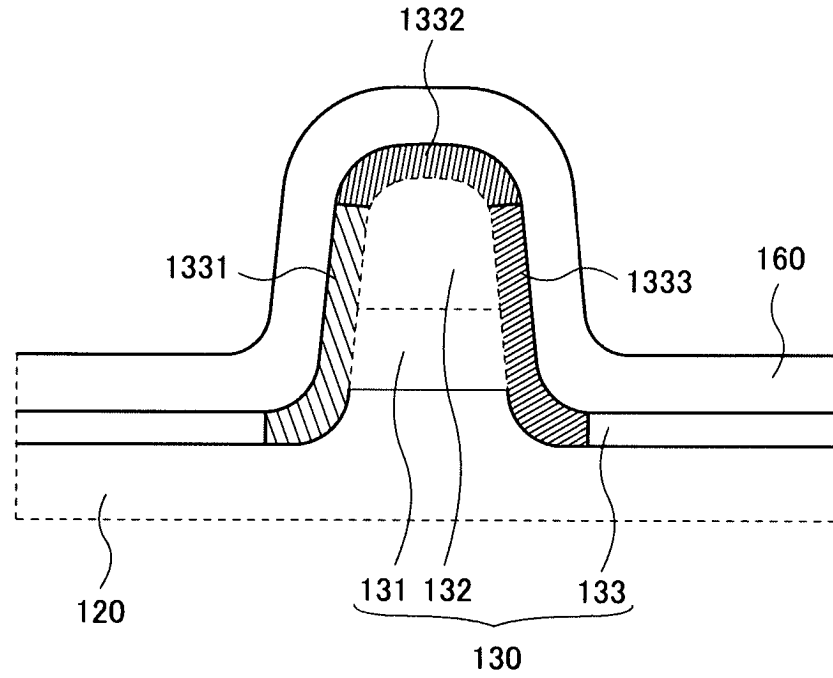


FIG. 8B

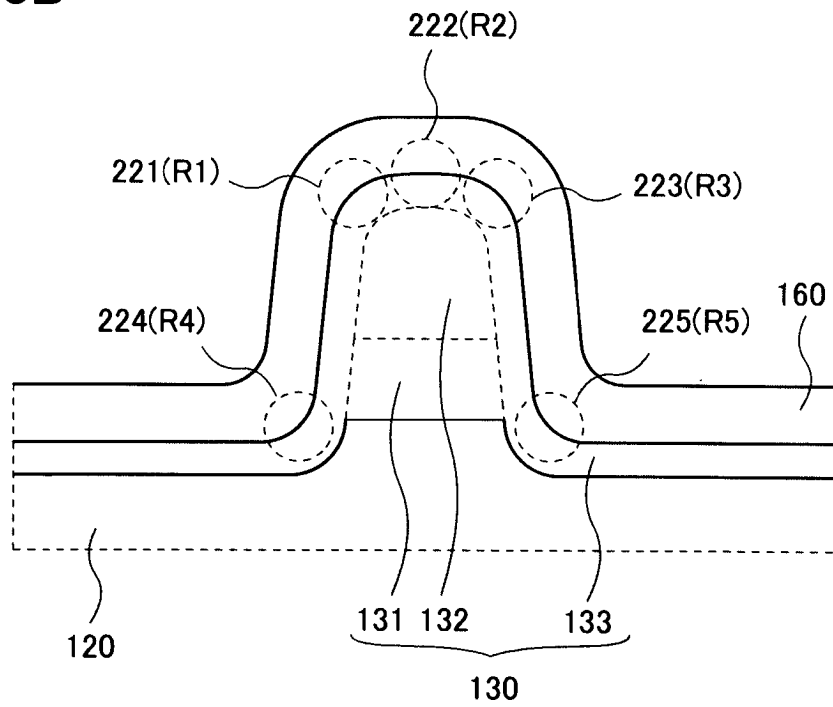


FIG. 9

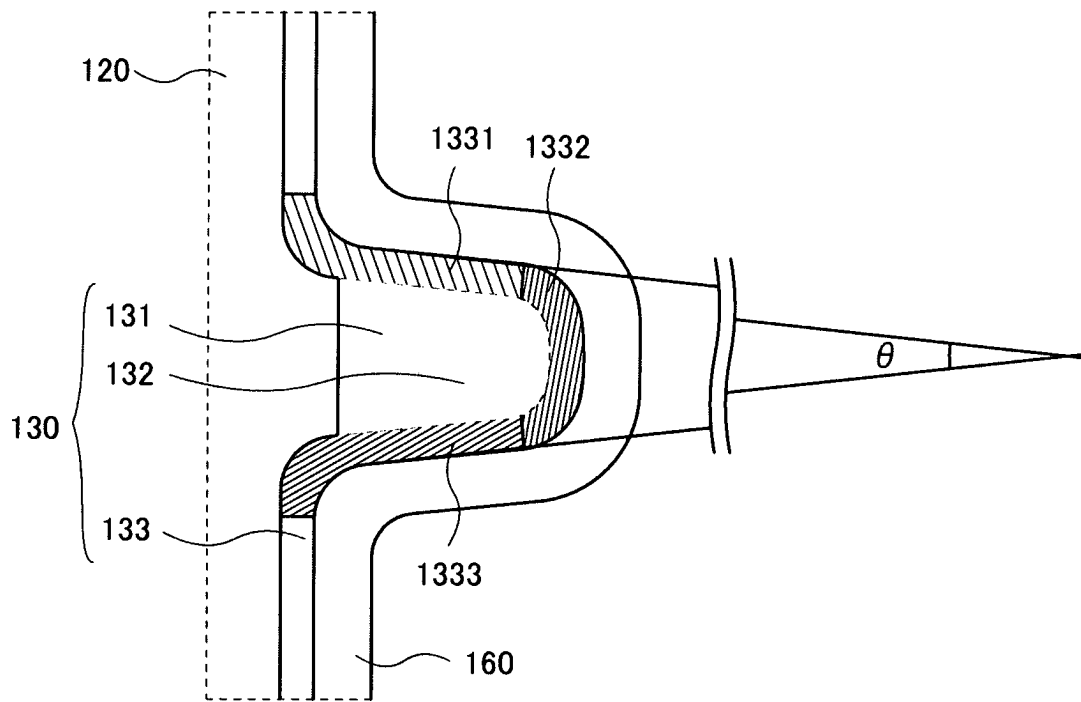


FIG. 10

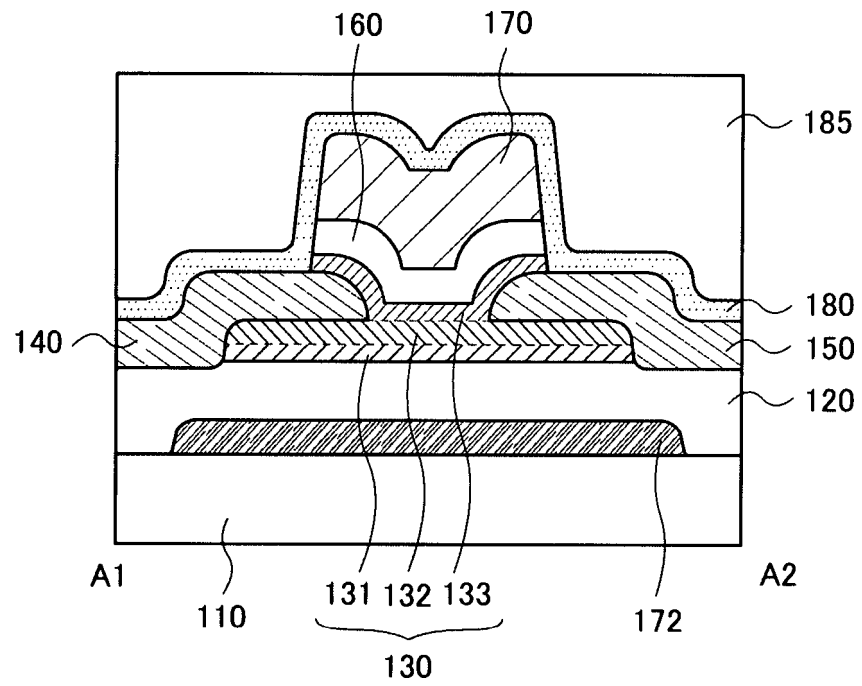


FIG. 11A

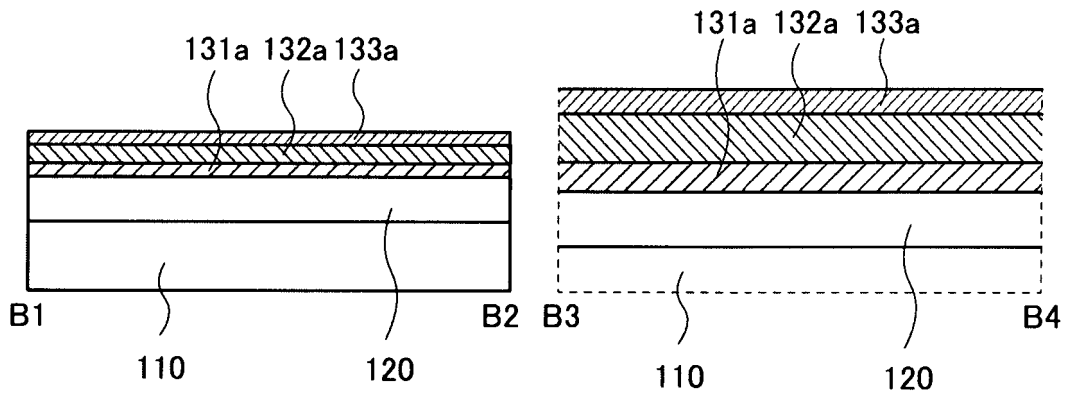


FIG. 11B

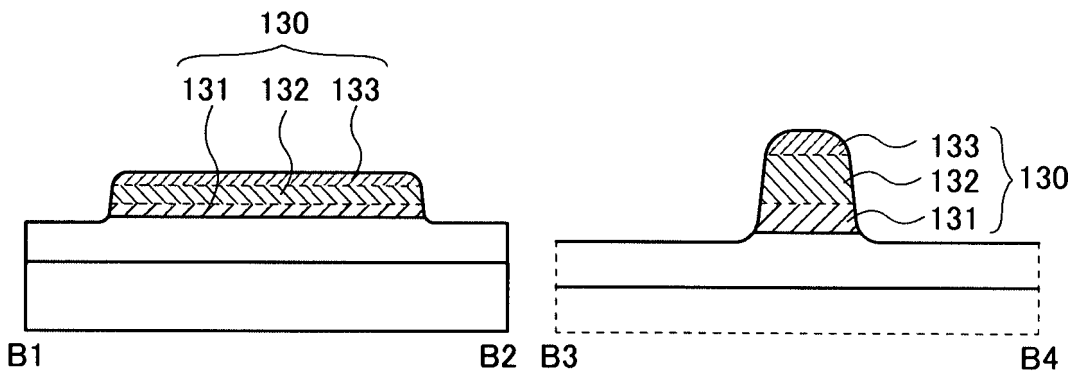


FIG. 11C

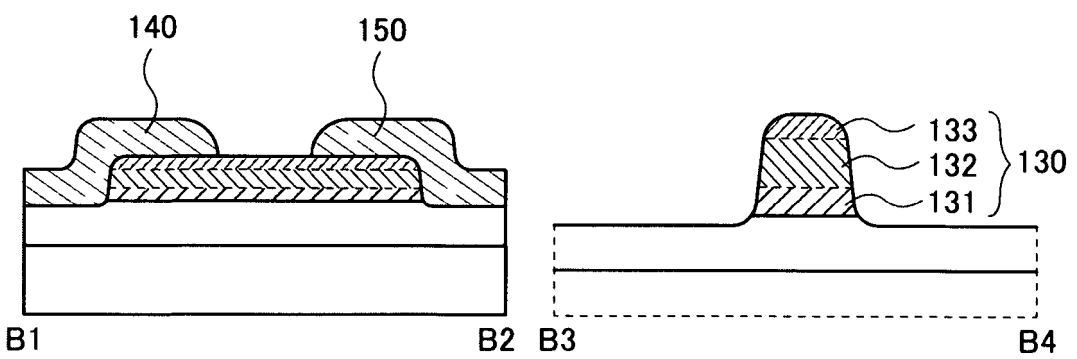


FIG. 12A

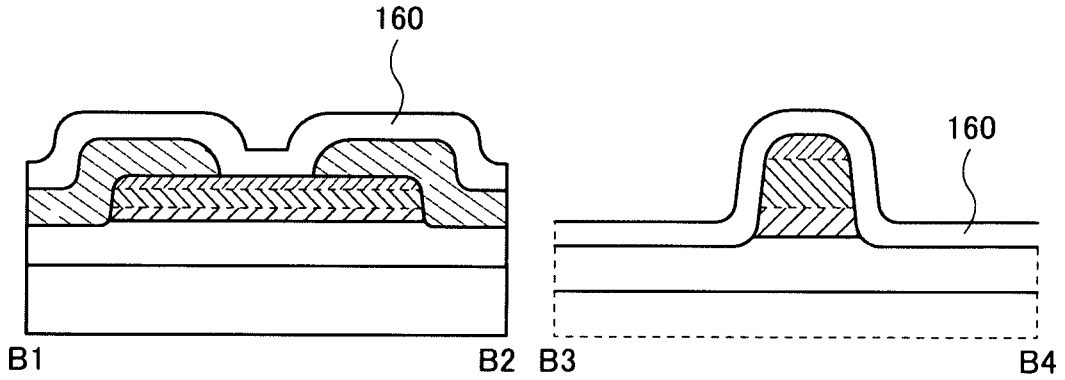


FIG. 12B

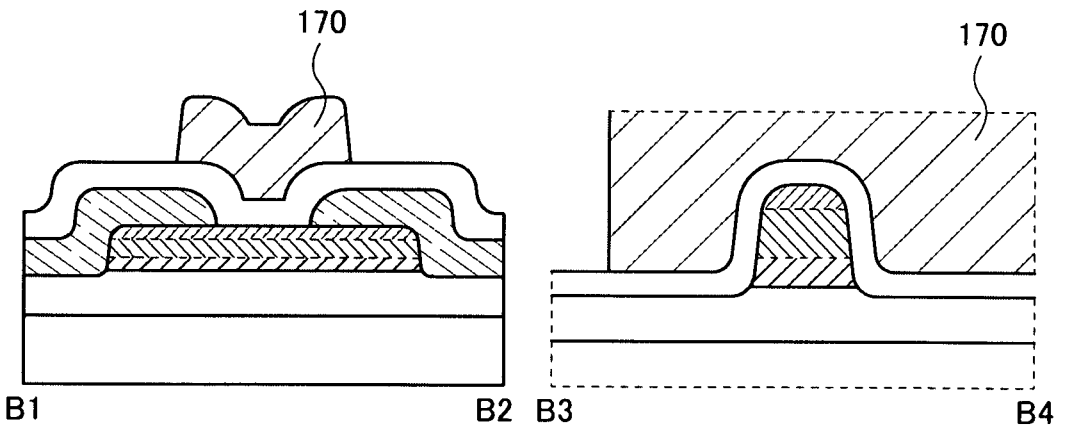


FIG. 12C

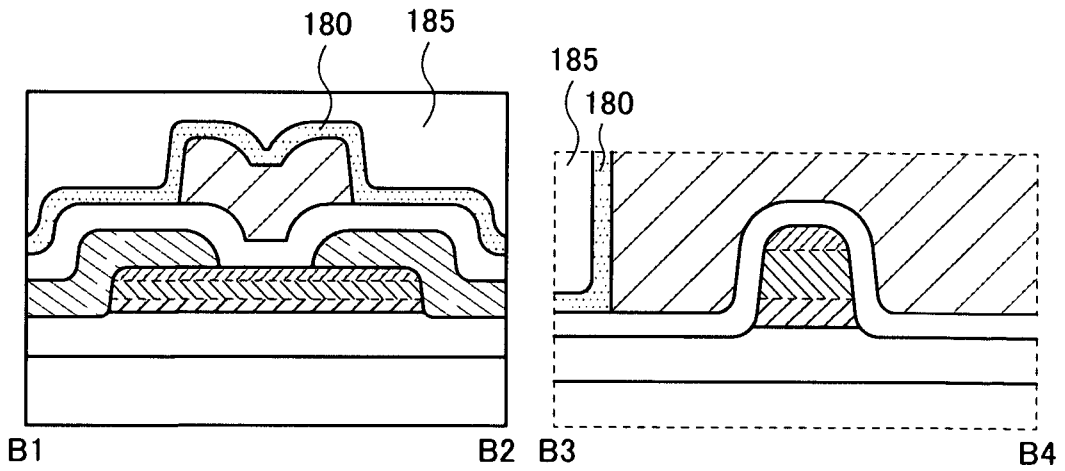


FIG. 13A

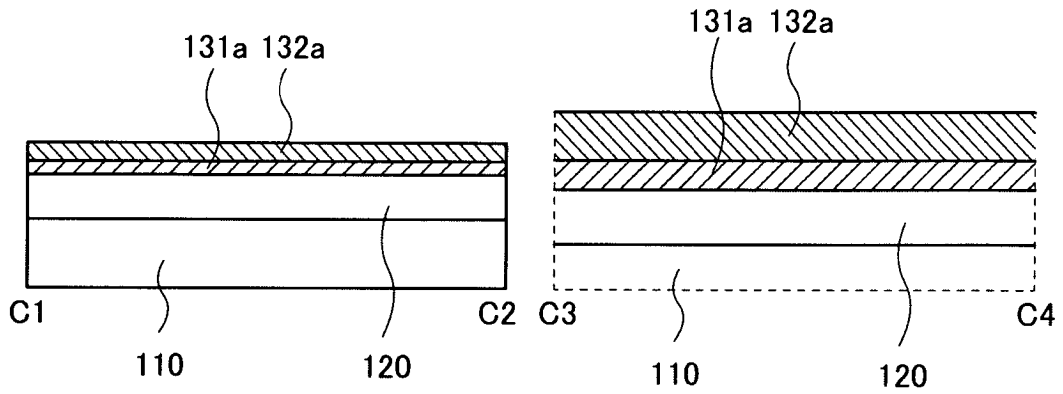


FIG. 13B

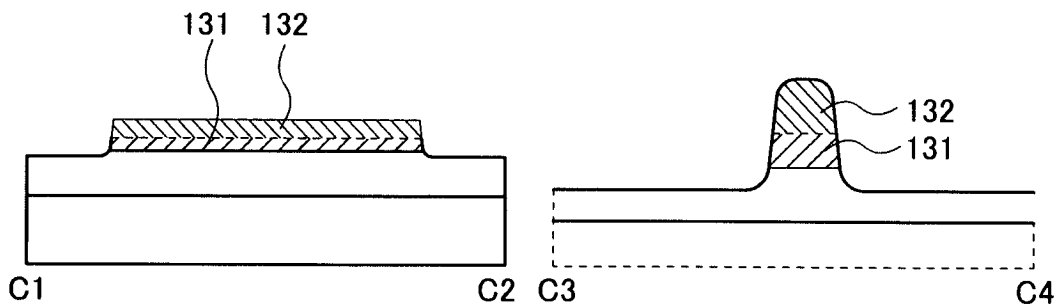


FIG. 13C

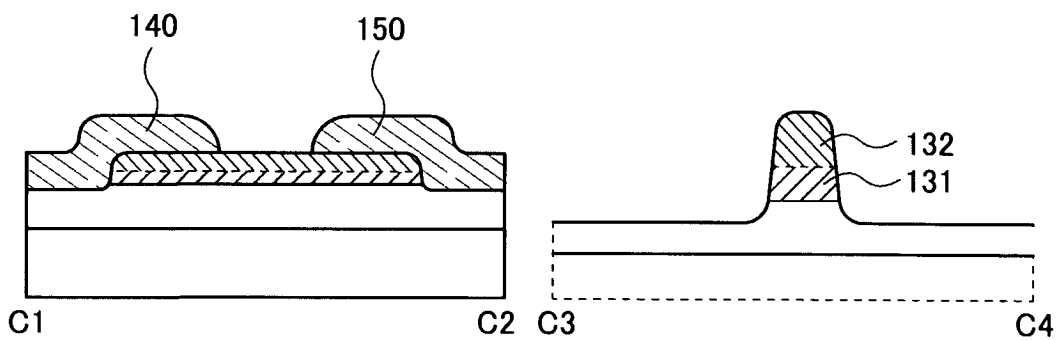


FIG. 14A

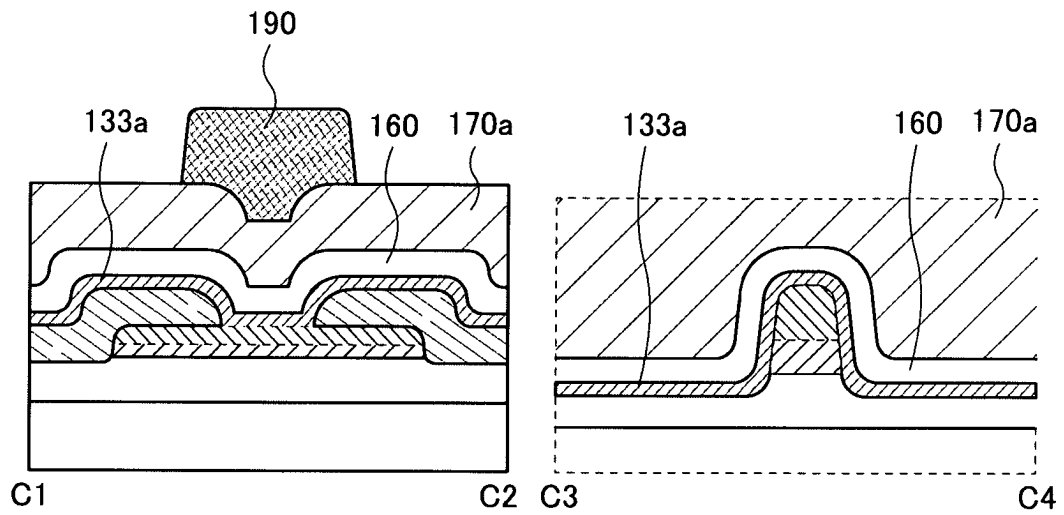


FIG. 14B

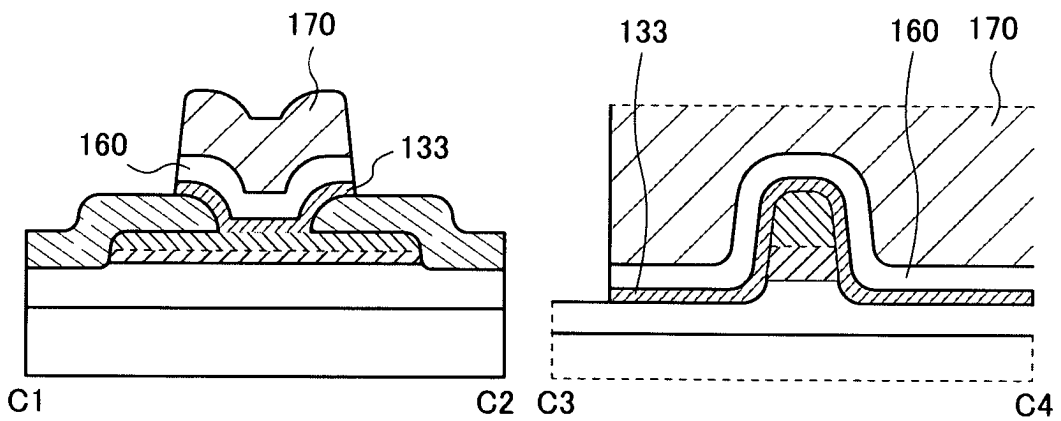


FIG. 14C

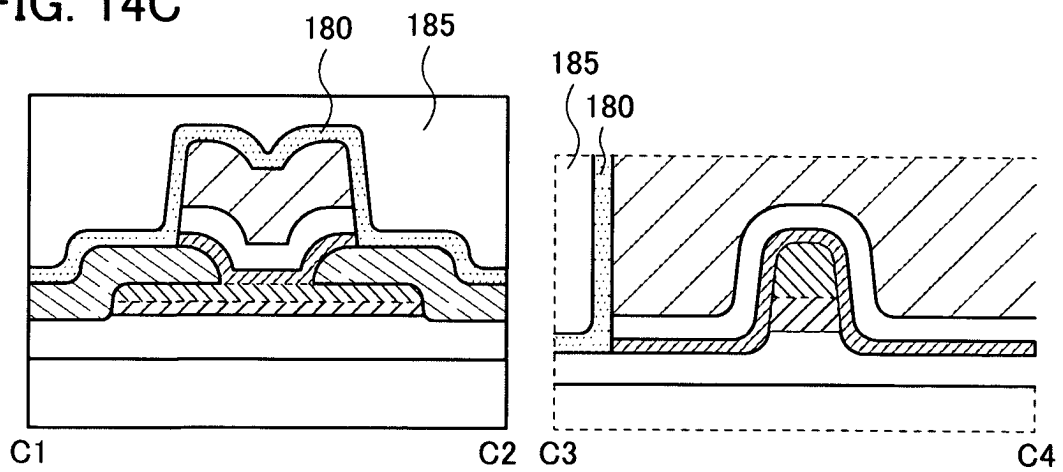


FIG. 15A

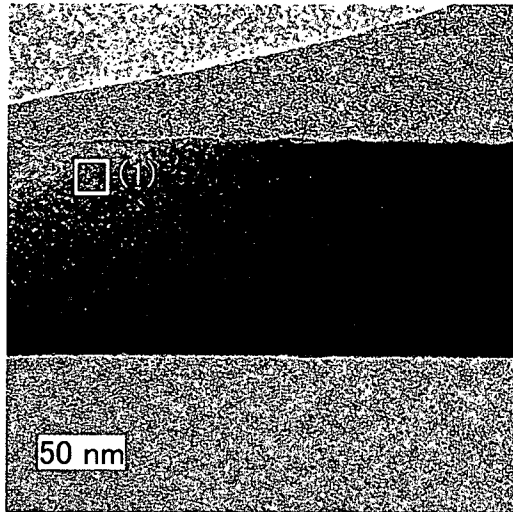


FIG. 15B

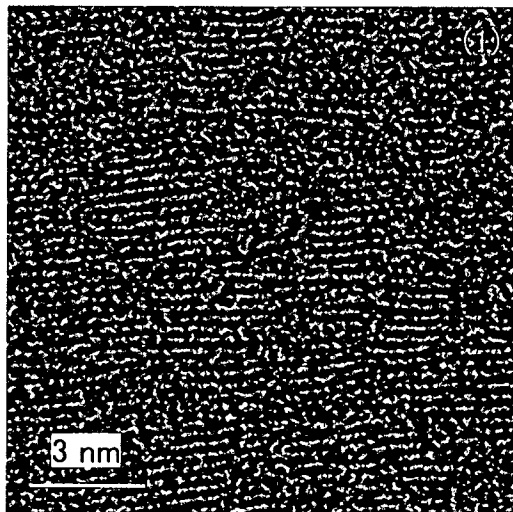


FIG. 15C

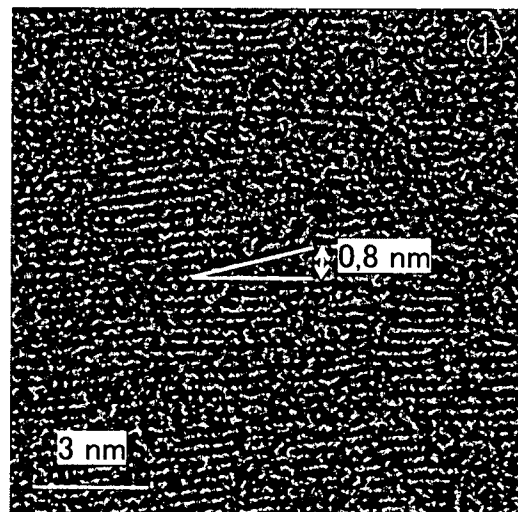


FIG. 15D

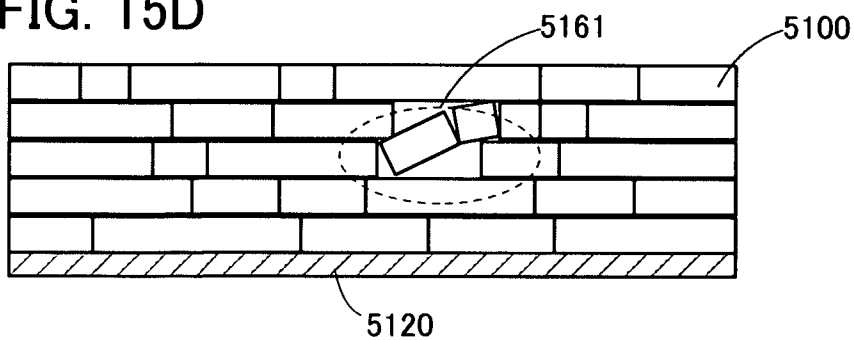


FIG. 16A

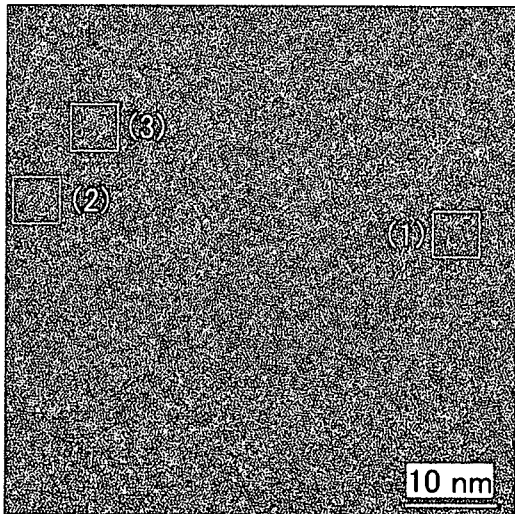


FIG. 16B

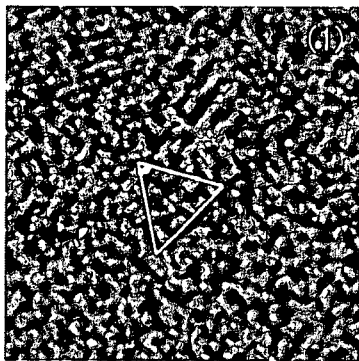


FIG. 16C

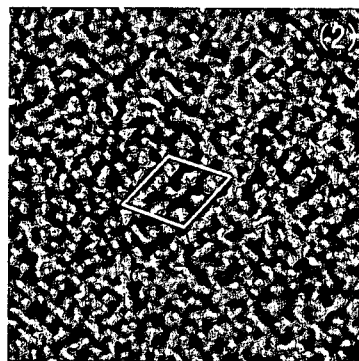


FIG. 16D

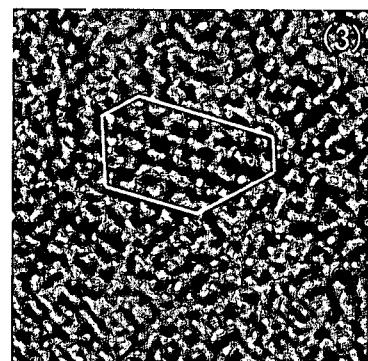


FIG. 17A

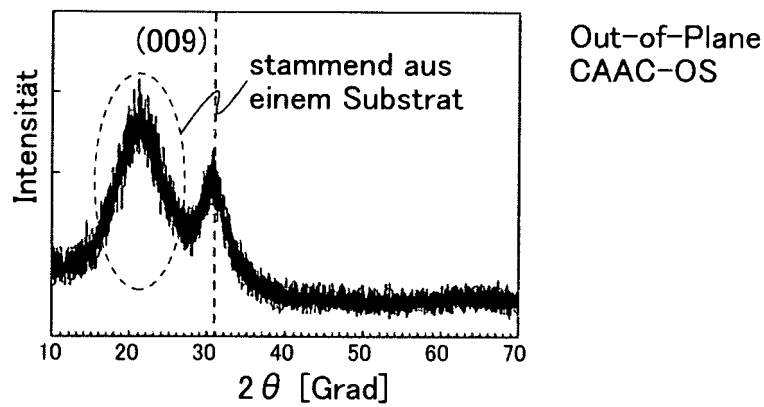


FIG. 17B

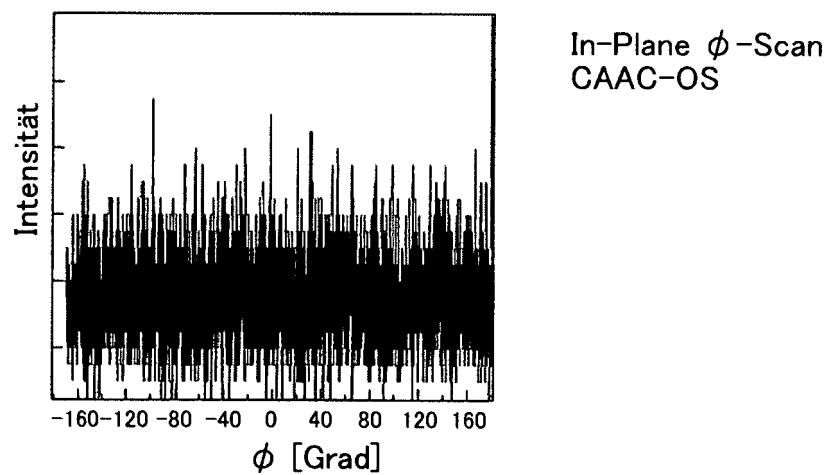


FIG. 17C

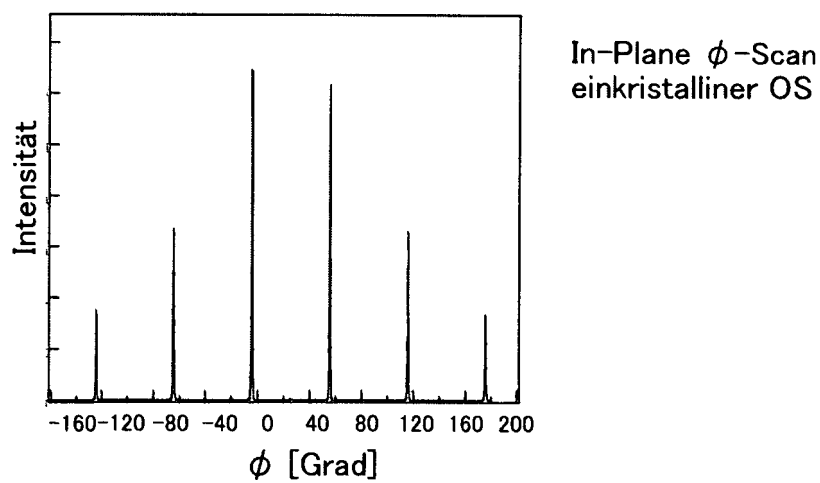


FIG. 18A

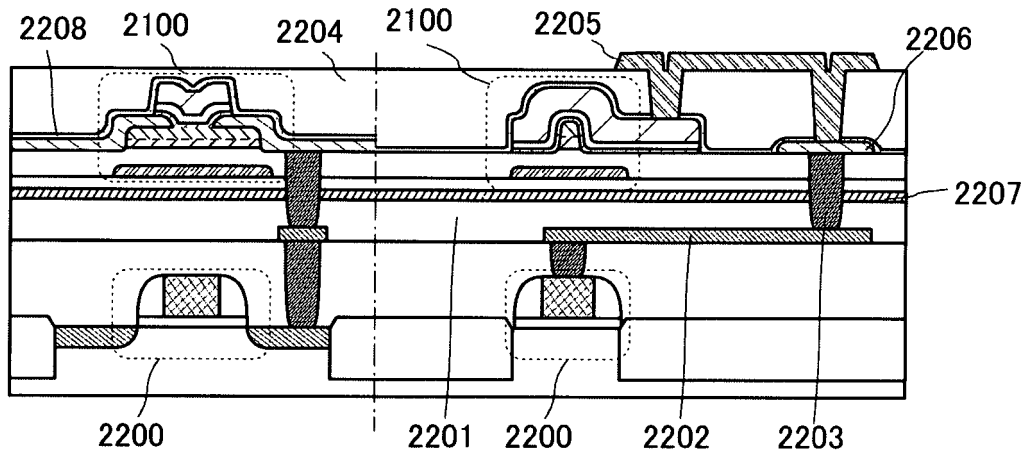


FIG. 18B

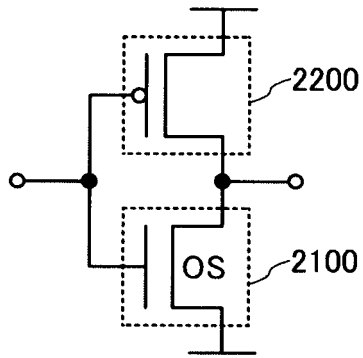


FIG. 18C

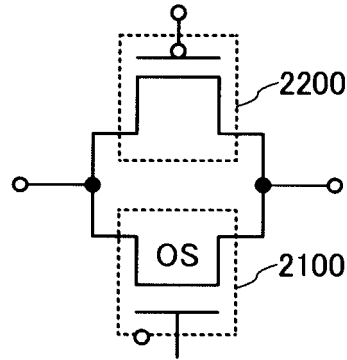


FIG. 18D

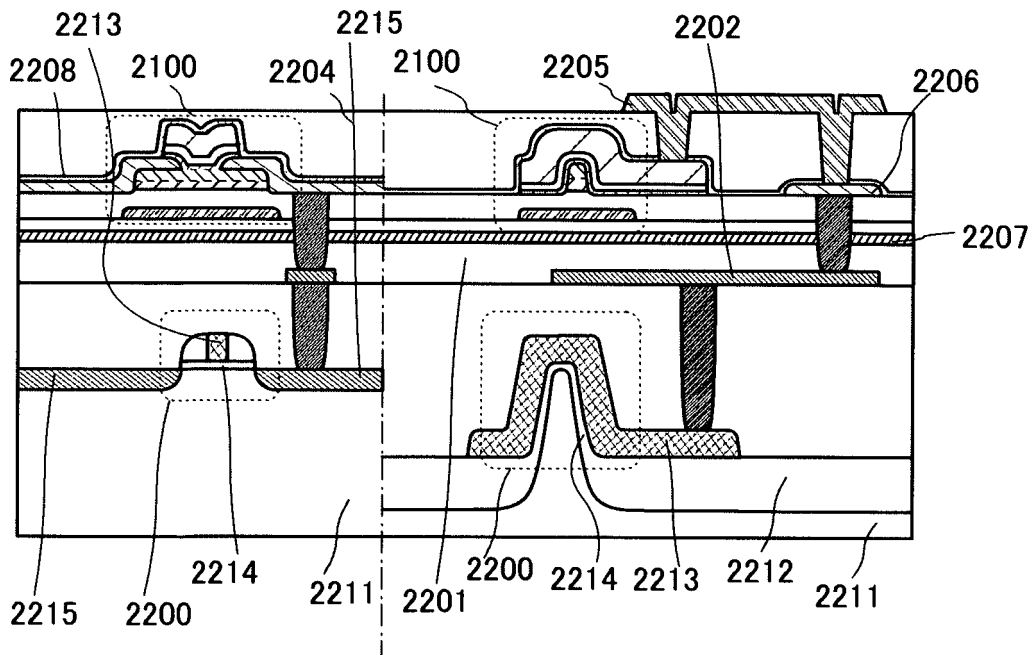


FIG. 19A

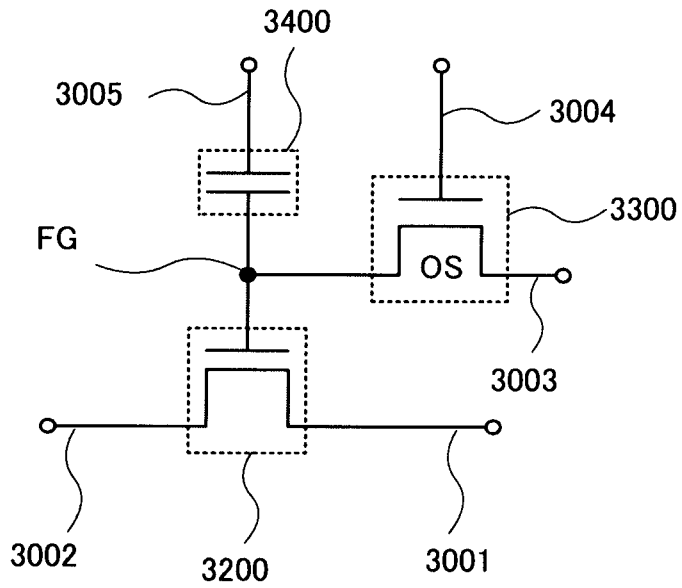


FIG. 19B

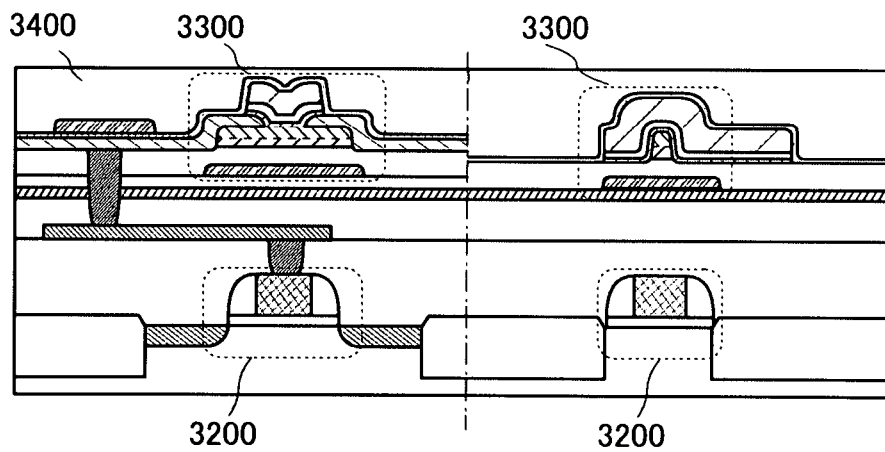


FIG. 19C

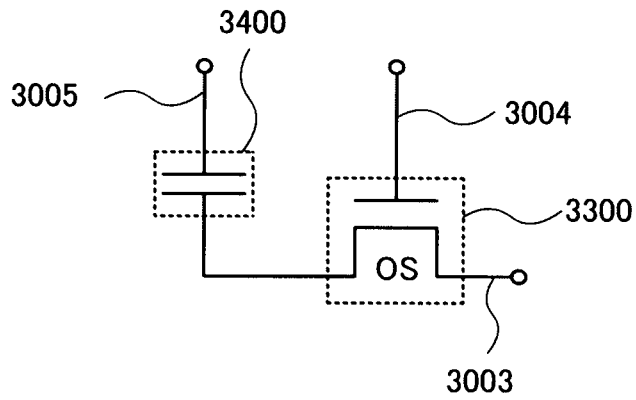


FIG. 20

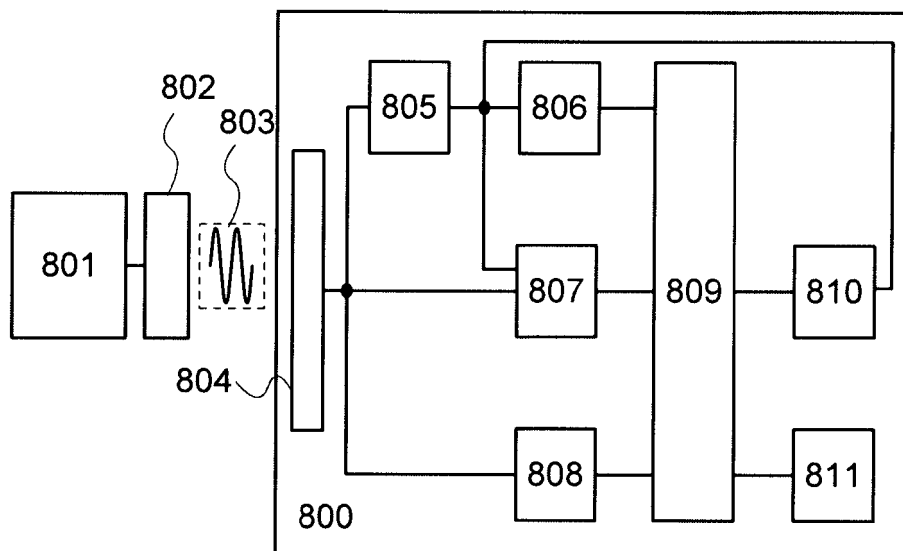


FIG. 21

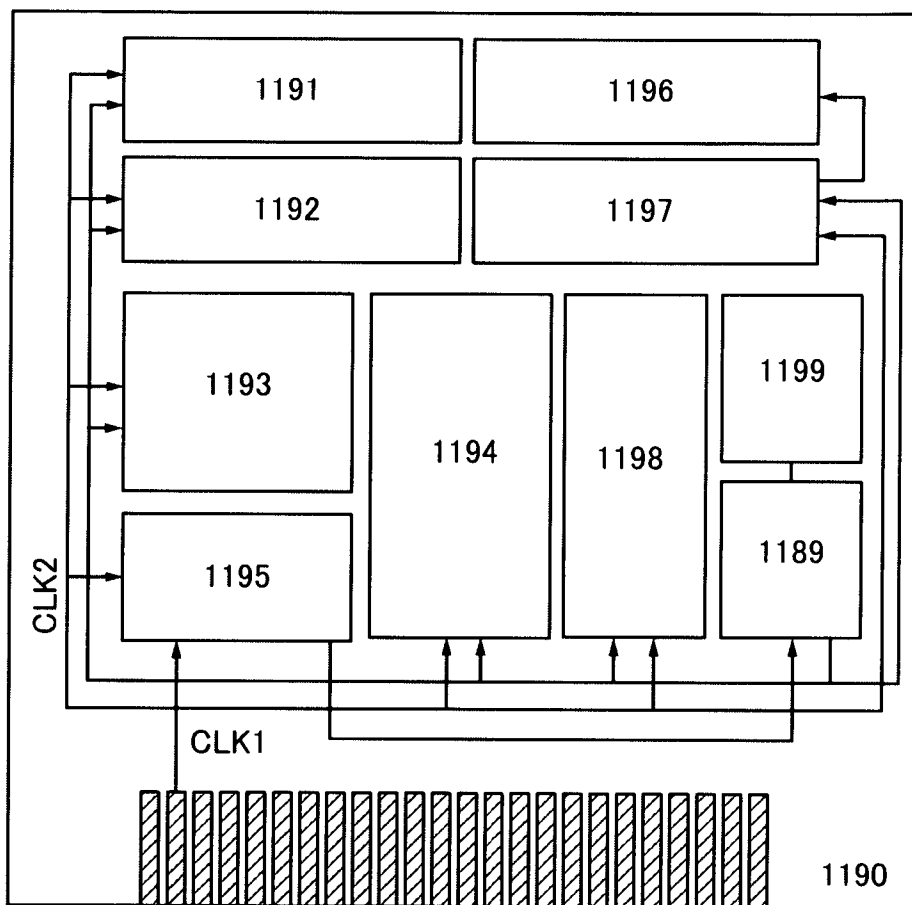


FIG. 22

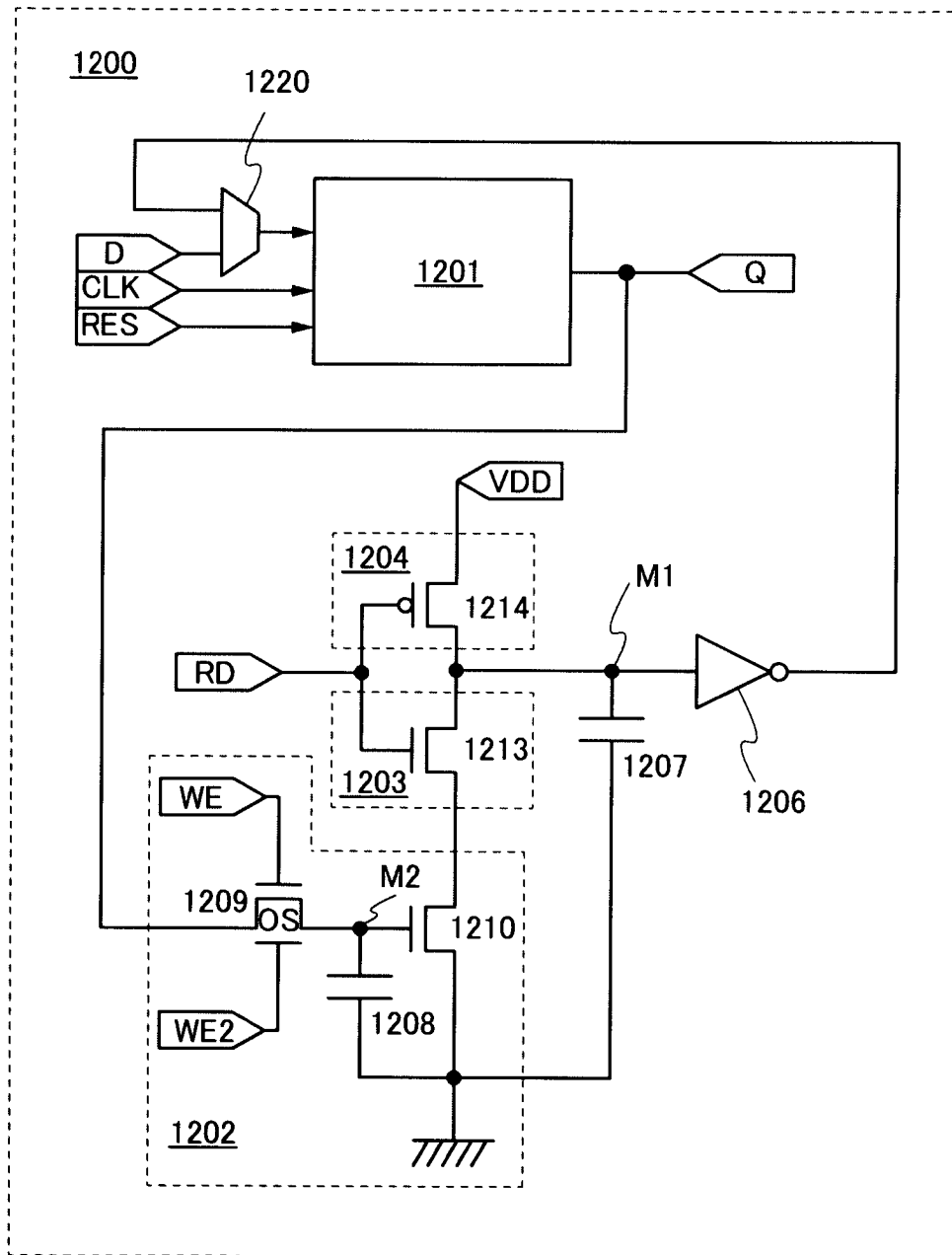


FIG. 23A

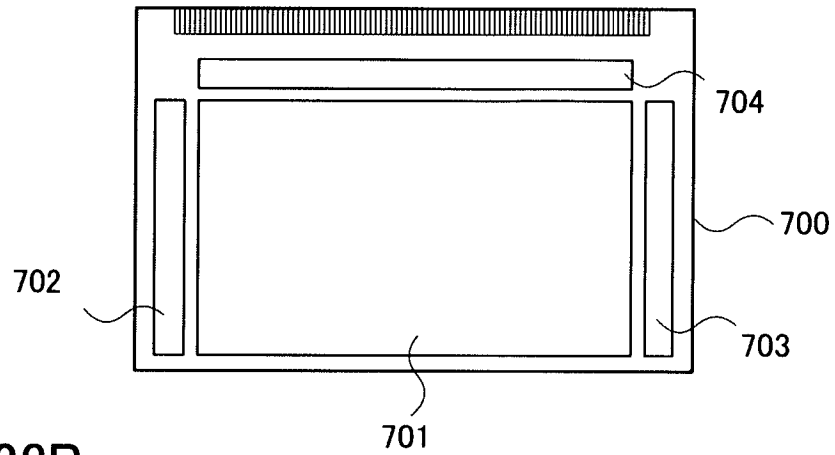


FIG. 23B

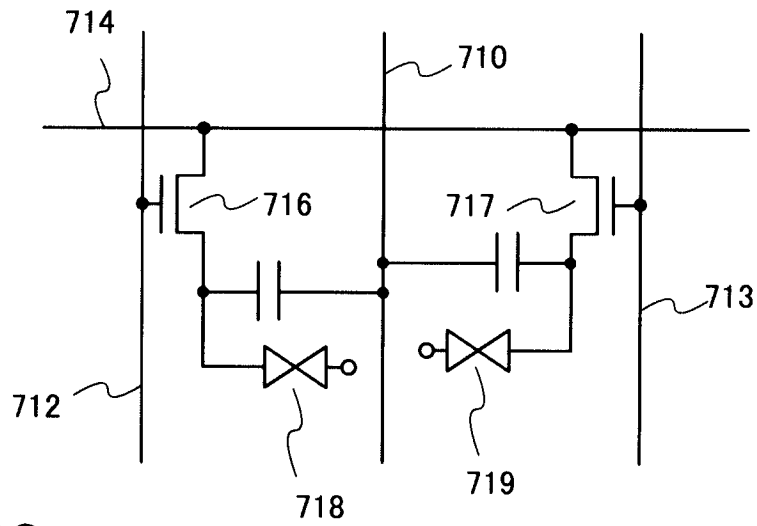


FIG. 23C

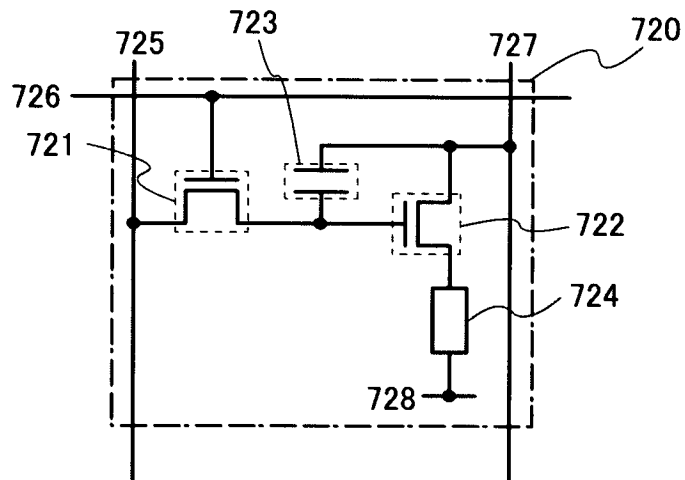


FIG. 24

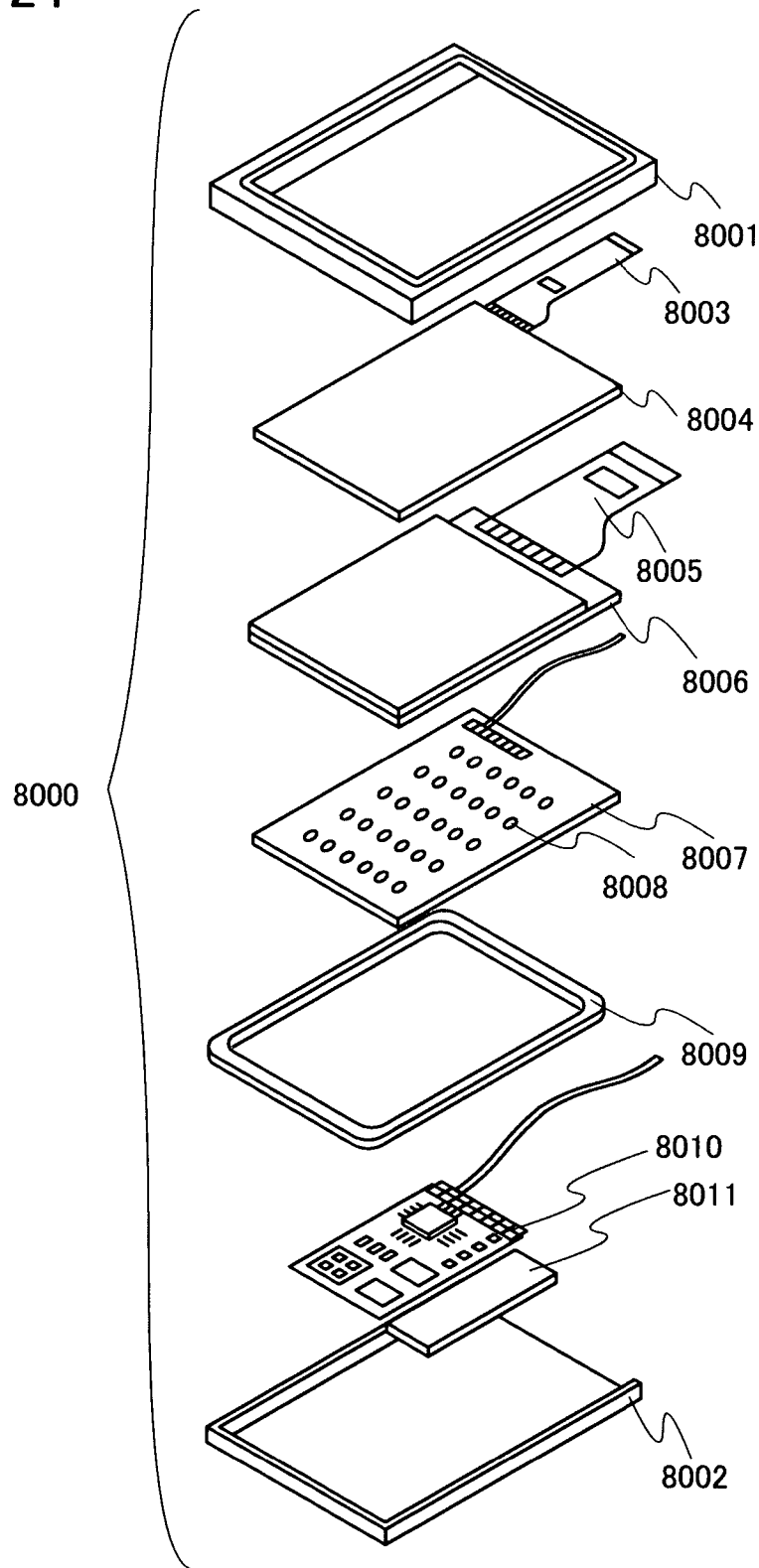


FIG. 25A

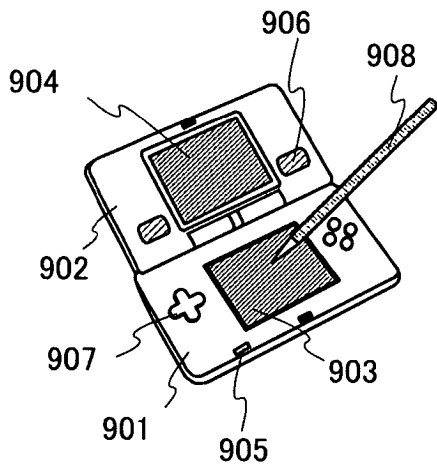


FIG. 25B

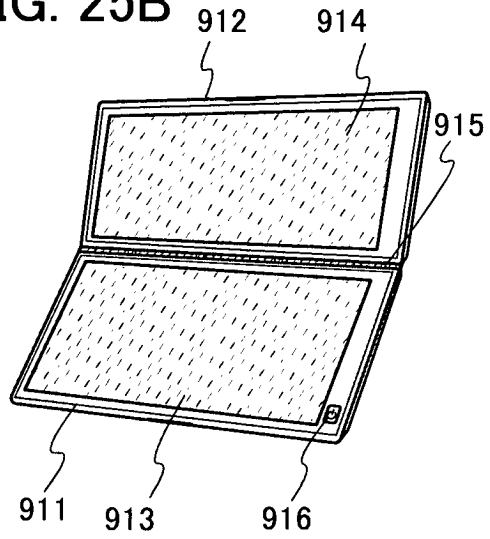


FIG. 25C

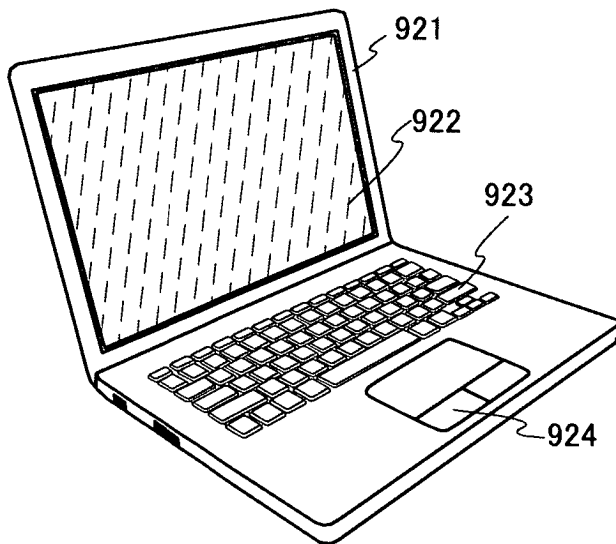


FIG. 25D

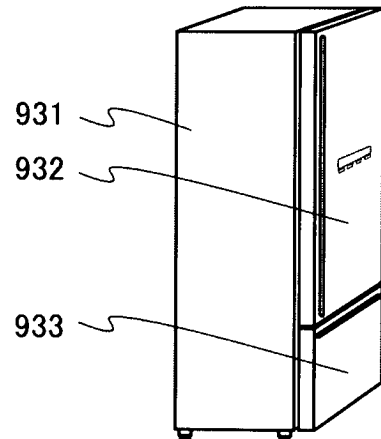


FIG. 25E

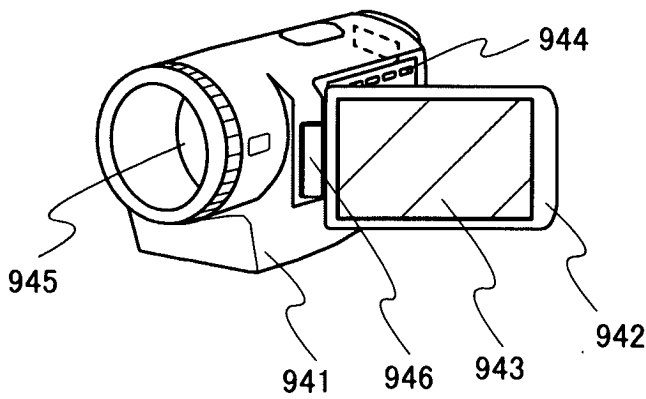


FIG. 25F

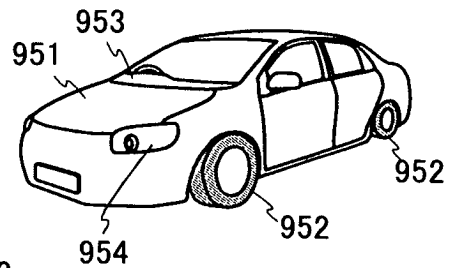


FIG. 26A

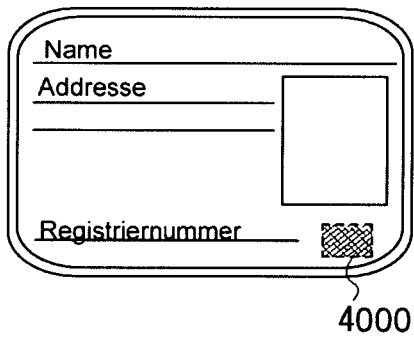


FIG. 26B

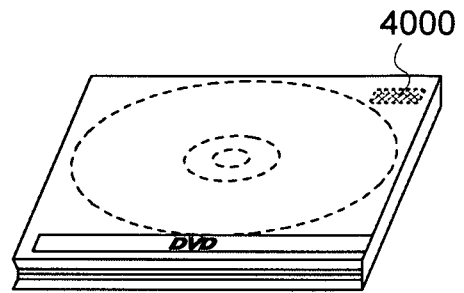


FIG. 26C

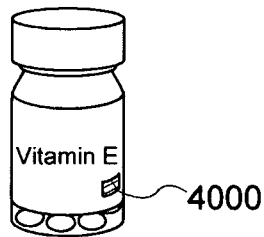


FIG. 26D

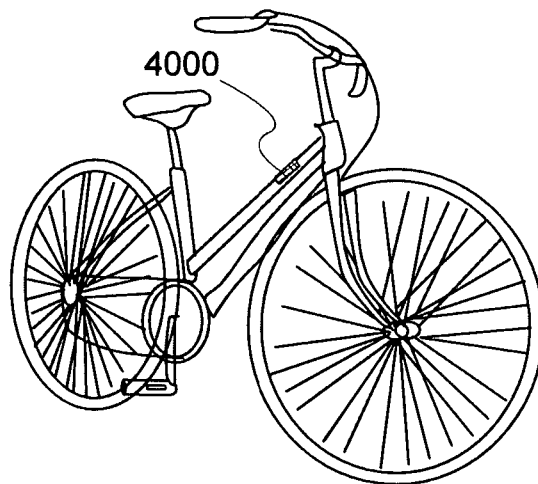


FIG. 26E

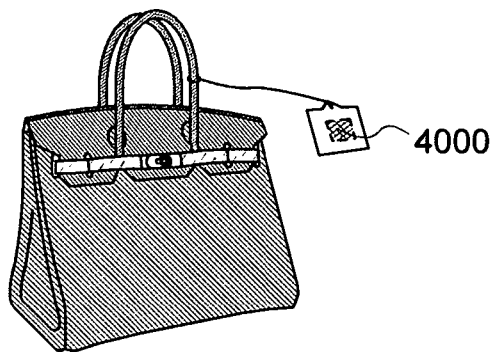


FIG. 26F

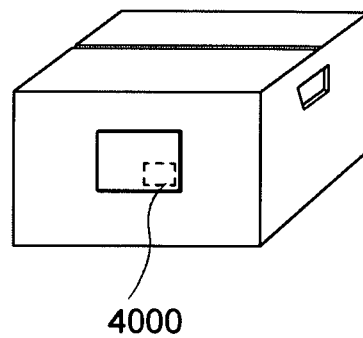


FIG. 27A

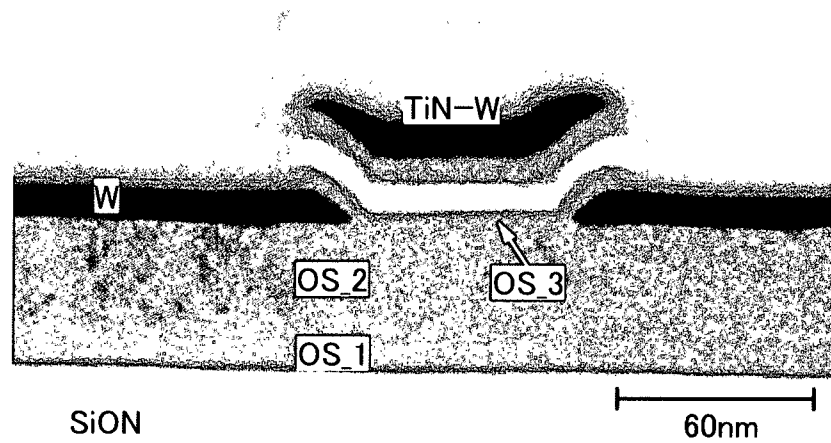


FIG. 27B

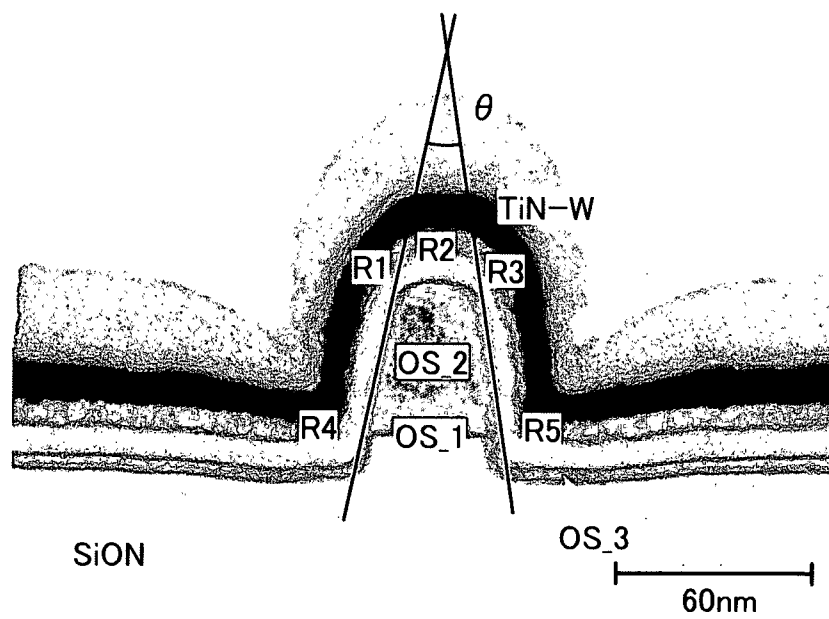


FIG. 28

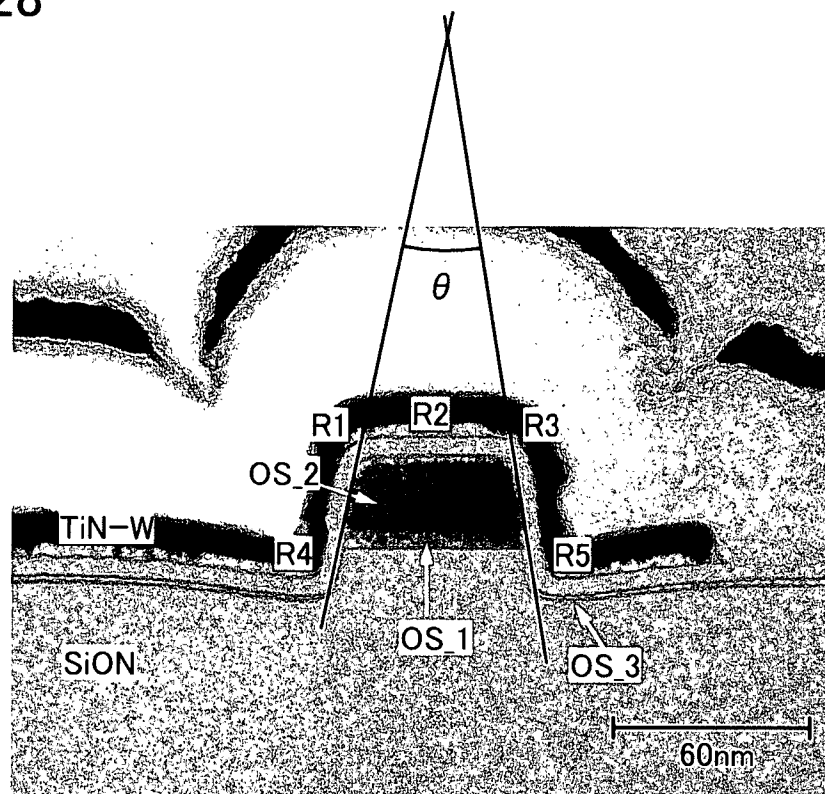


FIG. 29

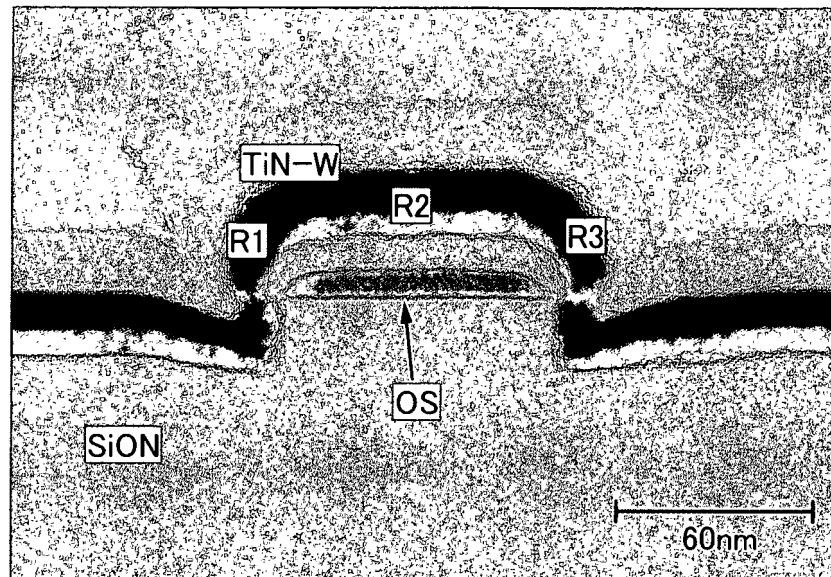


FIG. 30A

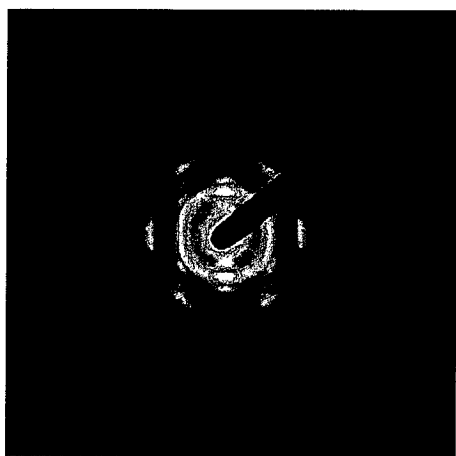


FIG. 30B

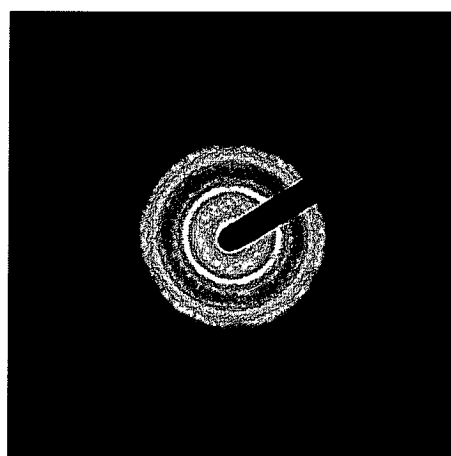


FIG. 31

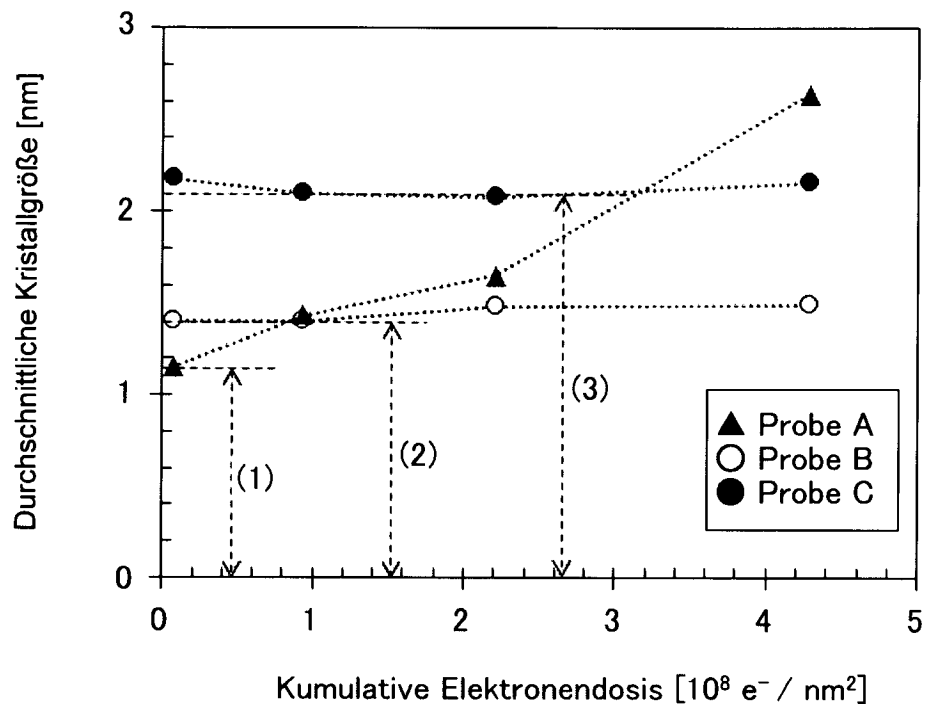


FIG. 32A

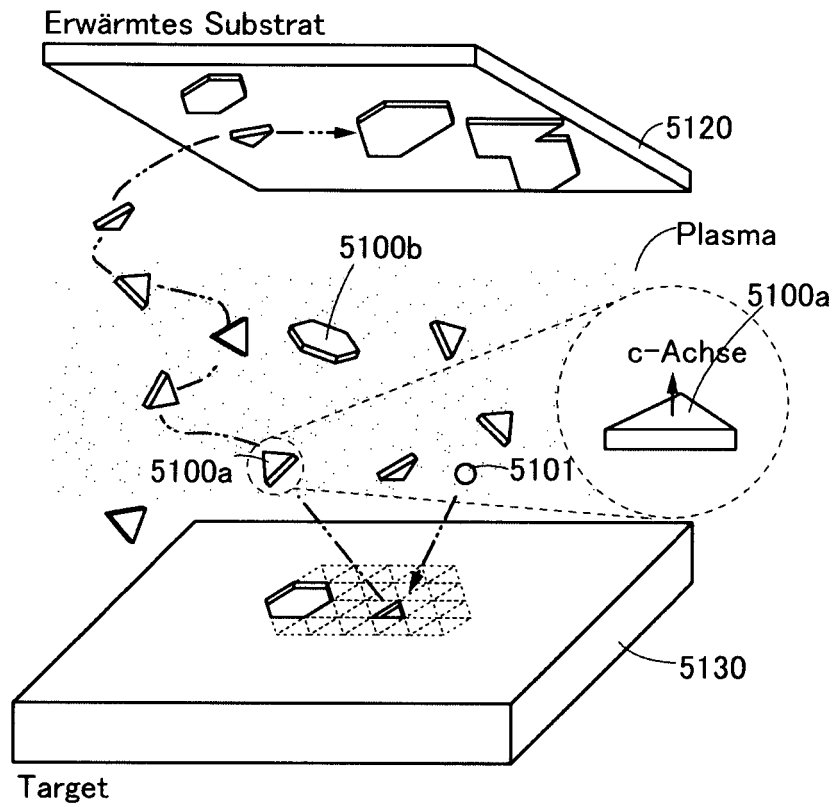


FIG. 32B

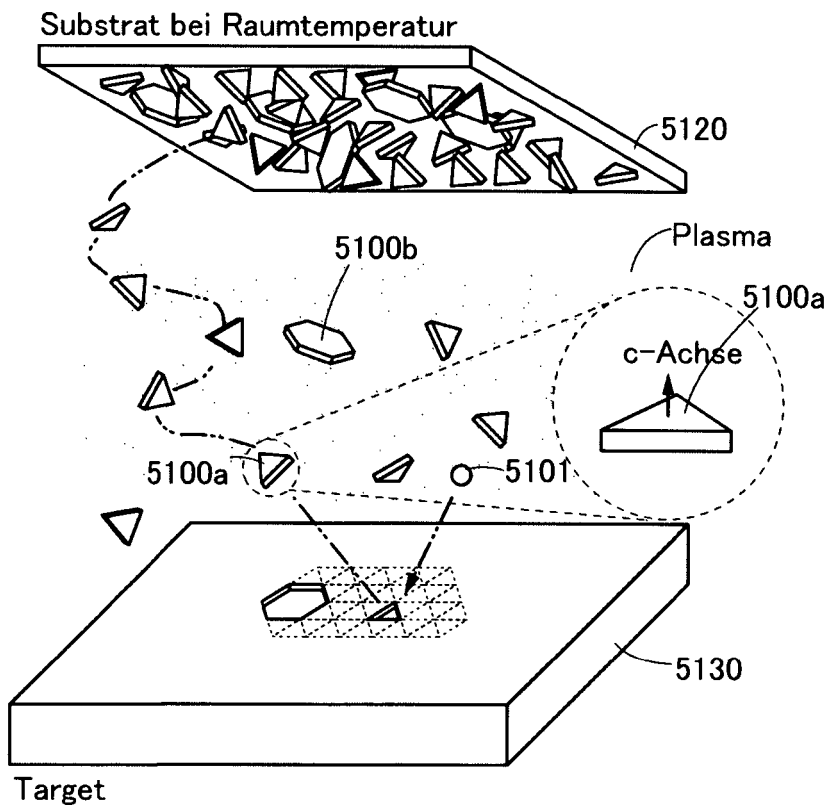


FIG. 33A

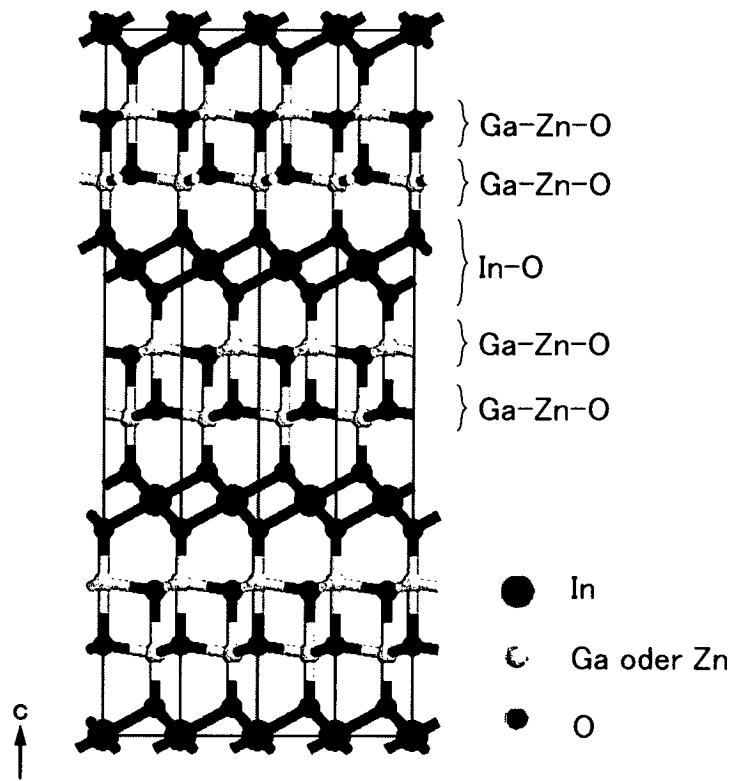


FIG. 33B

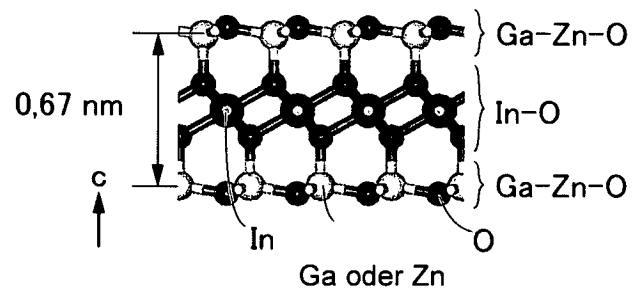


FIG. 33C

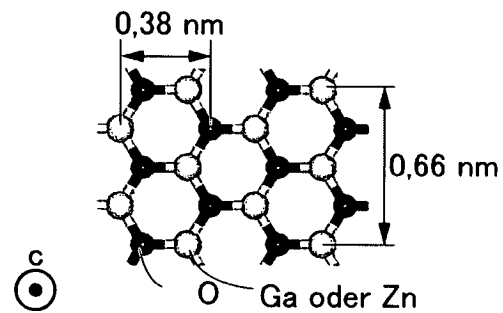


FIG. 34A

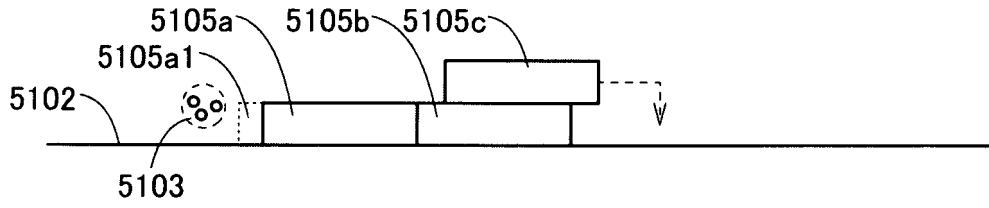


FIG. 34B

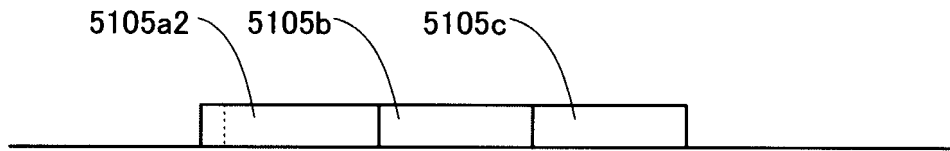


FIG. 34C

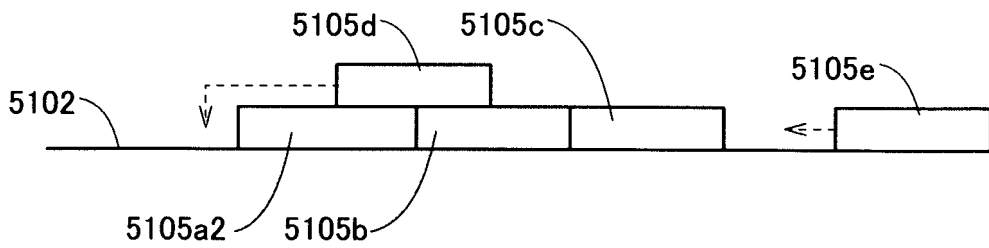


FIG. 34D

