



República Federativa do Brasil  
Ministério da Economia  
Instituto Nacional da Propriedade Industrial

**(11) PI 0918916-5 B1**



**(22) Data do Depósito: 01/09/2009**

**(45) Data de Concessão: 21/07/2020**

**(54) Título:** DISPOSITIVO DE MEMÓRIA PARA APLICATIVOS DE MEMÓRIA BASEADOS EM RESISTÊNCIA

**(51) Int.Cl.:** G11C 7/06; G11C 7/10; G11C 7/12; G11C 7/14; G11C 11/16.

**(30) Prioridade Unionista:** 09/09/2008 US 12/206,933.

**(73) Titular(es):** QUALCOMM INCORPORATED.

**(72) Inventor(es):** ANOSH B. DAVIERWALLA; CHENG ZHONG; DONGKYU PARK; MOHAMED HASSAN ABU-RAHMA; MEHDI HAMIDI SANI; SEI SEUNG YOON.

**(86) Pedido PCT:** PCT US2009055617 de 01/09/2009

**(87) Publicação PCT:** WO 2010/030531 de 18/03/2010

**(85) Data do Início da Fase Nacional:** 04/03/2011

**(57) Resumo:** DISPOSITIVO DE MEMÓRIA PARA APLICATIVOS DE MEMÓRIA BASEADOS EM RESISTÊNCIA Em uma modalidade particular, um dispositivo de memória é divulgado incluindo uma célula de memória incluindo um elemento de memória baseado em resistência acoplado a um transistor de acesso. O transistor de acesso tem uma primeira espessura de óxido para permitir o funcionamento da célula de memória a uma tensão de funcionamento. O dispositivo de memória também inclui um primeiro amplificador configurado para acoplar a célula de memória a uma tensão de alimentação (V<sub>amp</sub>) que é superior a um limite de tensão para gerar um sinal de dados com base em uma corrente através da célula de memória. O amplificador inclui um primeiro transistor grampeador que tem uma segunda espessura de óxido que é maior do que a primeira espessura de óxido. O transistor grampeador é configurado para evitar que a tensão de funcionamento na célula de memória exceda o limite de tensão.

“DISPOSITIVO DE MEMÓRIA PARA APLICATIVOS DE MEMÓRIA  
BASEADOS EM RESISTÊNCIA”

I. CAMPO DA DIVULGAÇÃO

[001] A presente divulgação é geralmente direcionada a um dispositivo de memória, incluindo um amplificador e uma célula de memória incluindo um elemento de memória baseado em resistência.

II. Fundamentos

[002] Os avanços na tecnologia de memória não volátil incluem tecnologias de memória baseadas em resistência, tais como Memória de Acesso Aleatório Magnética (MRAM). Tecnologia MRAM é uma tecnologia de memória não-volátil emergente que emprega junções de túnel magnéticas com base em ferromagnética (MTJs) como os elementos básicos de memória. Uma arquitetura de matriz de uso geral para MRAM é a arquitetura de um transistor, um MTJ (1T1MTJ). Como o nome sugere, cada célula de bit nesta arquitetura consiste em um MTJ ligado em série com um transistor de acesso NMOS. A fim de alavancar o aumento da densidade e vantagens de redução de área associadas com redução das tecnologias MOS, é desejável a utilização de transistores de núcleo dentro da célula de bit MRAM. No entanto, enquanto reduz tecnologia MOS em regime de submicron profundo ao mesmo tempo provê benefícios de área e densidade par as células de bit MRAM, utilizando estes dispositivos de submicron profundo no amplificador de detecção MRAM degrada o desempenho de leitura (o balanço de saída) do amplificador de detecção de MRAM devido à operação de limitações de tensão destes dispositivos de submicron profundo.

[003] Projetos convencionais de amplificadores de detecção de MRAM para a arquitetura

1T1MTJ usam transistores de núcleo. No entanto, devido a considerações de discriminação e de confiabilidade, a tensão de alimentação para os transistores de núcleo é normalmente limitada a cerca de 1 volt (V) para as tecnologias de ponta de submícron profundo. Os seguintes dispositivos são empilhados entre a linha de alimentação em projetos convencionais de amplificador de detecção de MRAM para a arquitetura 1T1MTJ: a célula de bits compreendendo um transistor de acesso e um dispositivo MTJ, um transistor mux, um transistor grampeador, e um transistor de carga PMOS. Os transistores de acesso e mux devem ser operados como interruptores (na região linear), enquanto os transistores de carga PMOS e de fixação devem permanecer na saturação do amplificador de detecção exibir o ganho razoável. No entanto, a exigência de baixa tensão de alimentação que vem da utilização de dispositivos de núcleo no amplificador de detecção acoplado à tensão de limite do transistor sendo uma fração significativa desta tensão de alimentação pode tornar difícil manter os transistores de PMOS de carga e fixação em saturação, que por sua vez, degrada o ganho do amplificador e resulta em um balanço de sinais subideais na saída do amplificador de detecção.

### III. Sumário

[004] Em uma modalidade particular, um dispositivo de memória é revelado incluindo uma célula de memória, incluindo um elemento de memória baseado em resistência acoplado a um transistor de acesso. O transistor de acesso tem uma primeira espessura de camada de óxido para permitir o funcionamento da célula de memória a uma tensão de funcionamento. O dispositivo de memória também inclui um primeiro amplificador configurado para acoplar a célula de memória a uma tensão de alimentação que

é maior do que um limite de tensão para gerar um sinal de dados com base em uma corrente através da célula de memória. O primeiro amplificador inclui um transistor grampeador que tem uma segunda espessura de camada de óxido que é maior do que a primeira espessura de óxido. O transistor grampeador é configurado para evitar que a tensão de funcionamento na célula de memória, exceda o limite de tensão.

[005] Em outra modalidade, um dispositivo de memória é divulgado incluindo um percurso de leitura de dados, incluindo um dispositivo de carga acoplado a uma primeira célula de armazenamento de dados através de um primeiro transistor grampeador. O primeiro dispositivo de carga tem uma primeira configuração de dispositivo para funcionar com uma primeira tensão de alimentação. A célula de armazenamento de dados inclui um transistor de acesso com uma segunda configuração de dispositivo para funcionar em uma tensão que não deve exceder um limite de tensão que é menor que a primeira tensão de alimentação. Um terminal de controle do transistor grampeador é inclinado para evitar que a tensão na célula de armazenamento de dados exceda o limite de tensão.

[006] Em outra modalidade, um método é divulgado incluindo acoplar um primeiro estágio de amplificador a uma matriz de memória. O primeiro estágio de amplificador inclui transistores tendo tolerância de tensão de alimentação de entrada e saída (I/O). A matriz de memória, incluindo transistores tendo uma tolerância de tensão de alimentação de núcleo que é menor que a tolerância de tensão de alimentação de I/O. O método inclui a aplicação de uma tensão de controle em um transistor grampeador acoplado à matriz de memória para definir uma tensão de matriz de memória, de modo que a tensão de matriz

de memória é menor que a tolerância de tensão de alimentação de núcleo.

[007] Uma vantagem especial provida pelas modalidades divulgadas é uma melhora no desempenho de leitura do amplificador de detecção de MRAM porque a maior tensão de alimentação permite um melhor balanço de saída para distinguir valores lógicos durante operações de leitura.

[008] Outros aspectos, vantagens e características da presente divulgação irão se tornar aparentes após a revisão de todo o pedido, incluindo as seguintes seções: Breve descrição dos desenhos, descrição detalhada, e reivindicações.

#### IV. Breve Descrição dos Desenhos

[009] A figura 1 é um diagrama de uma modalidade ilustrativa específica de um dispositivo de memória com um amplificador usando um primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo;

[0010] A figura 2 é um diagrama de uma segunda modalidade ilustrativa de um dispositivo de memória com um amplificador usando um primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo;

[0011] A figura 3 é um diagrama de uma terceira modalidade ilustrativa de um dispositivo de memória com um amplificador usando um primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo, e

[0012] A figura 4 é um fluxograma de uma modalidade ilustrativa específica de um método de operação de um dispositivo de memória com um amplificador usando um

primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo.

#### V. Descrição Detalhada

[0013] Referindo-se à figura 1, um diagrama de uma modalidade ilustrativa específica de um dispositivo de memória com um amplificador usando um primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo é descrito e geralmente designado 100. O dispositivo de memória 100 pode incluir uma matriz de memória 102 usando dispositivos de núcleo. Em uma modalidade particular, os dispositivos de núcleo podem funcionar em tensões de alimentação núcleo Vcore de até cerca de 1 volt (V). A matriz de memória 102 pode ser acoplada por linhas de bits 104 a um circuito de lógica de linha de bit 106. A matriz de memória 102 pode ser acoplada por linhas de palavra 108 a um circuito lógico de linha de palavra 110. O circuito de lógica de linha de palavra 106 e o circuito de lógica de linha palavra 110 podem ser acoplados a uma tensão de alimentação de núcleo Vcore, conforme indicado em 114, e à terra, conforme indicado em 116. A matriz de memória 102 também pode ser acoplada a um amplificador 112, que utiliza dispositivos fora do núcleo. Em uma modalidade particular, os dispositivos fora do núcleo podem funcionar tensões de alimentação de entrada e saída (I/O) Vamp de até cerca de 1,8V. O amplificador 112 pode ser acoplado a uma tensão de alimentação de I/O Vamp, como indicado em 118. O amplificador 112 pode incluir uma fixação 120 acoplada à matriz de memória 102 para manter uma tensão de funcionamento Vop provida à matriz de memória 102 pelo amplificador 112 abaixo de um limite de tensão Vlimit.

[0014] Empregando uma tensão de alimentação V<sub>amp</sub> maior e dispositivos de entrada e saída (I/O) de tolerância de alta tensão a transistores no amplificador de detecção 112, enquanto continua a utilizar dispositivos de núcleo de área eficiente na matriz de memória 102, por exemplo, para Transistores de célula de bit de MRAM, tais como transistores de acesso e transistores MUX, o desempenho de leitura pode ser melhorado, enquanto mantém uma densidade de matriz elevada. Uma vez que os dispositivos de I/O tolerantes a alta tensão usam camada de óxido de porta (gate) mais espessa, a sua dimensão mínima é também superior à dos dispositivos de núcleo, o que implica em um impacto de área maior. Conforme ilustrado, o sistema 100 provê uma melhoria no desempenho de leitura (o balanço de saída) de um amplificador de detecção de MRAM 112 sem muita penalidade de área para o dispositivo de memória completa 100 porque (1) a tensão de alimentação mais elevada resulta em um balanço de saída melhor, assim, melhorando consideravelmente o desempenho de leitura, e (2) dispositivos de I/O tolerantes a alta tensão podem ser utilizados no amplificador de detecção 112, enquanto as células de bit de MRAM, que constituem uma parcela muito maior da área do dispositivo de memória 100 usam dispositivos de núcleo de alta densidade. Uma vez que o número de amplificadores de detecção 112 em um chip de memória é muito menor que o número de células de bit, a penalidade de área que vem do uso de dispositivos de I/O tolerantes a alta tensão para transistores PMOS de fixação e de carga no amplificador de detecção 112 pode ser menor comparada com o desempenho de leitura significativamente melhorado que está associado com o uso da tensão de alimentação maior.

[0015] Referindo-se a FIG. 2, um diagrama de uma segunda modalidade ilustrativa de um dispositivo de memória com um amplificador usando um primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo é descrito e geralmente designado 200. Em uma modalidade particular, o dispositivo de memória 200 opera substancialmente de forma semelhante ao dispositivo de memória 100 ilustrado na FIG. 1. O dispositivo de memória 200 pode incluir uma memória (ou armazenamento de dados) de células 226, que pode incluir um elemento de memória baseado em resistência 228 acoplado a um transistor de acesso 230. O transistor de acesso 230 pode ter uma primeira espessura de camada de óxido para permitir o funcionamento da célula de memória 226 em uma tensão de operação  $V_{op}$ . Em uma modalidade particular, a célula de memória 226 pode ser uma célula de memória de acesso aleatória magnetorresistiva de torque de transferência de spin (STT-MRAM). A célula de memória 226 pode ser incluída em uma matriz de memória 204. O dispositivo de memória 200 também pode incluir um primeiro amplificador 202 configurado para acoplar a célula de memória 226 a uma tensão de alimentação  $V_{amp}$  em um terminal de alimentação 206, onde a tensão de alimentação  $V_{amp}$  é maior do que um limite de tensão  $V_{limit}$ , para gerar um sinal de dados com base em um corrente através da célula de memória 226. O primeiro amplificador 202 pode incluir um primeiro transistor grampeador 218 que tem uma segunda espessura de camada de óxido que é maior do que a primeira espessura de camada de óxido do transistor de acesso 230. O transistor grampeador 218 pode ser configurado para evitar que a tensão de funcionamento  $V_{op}$  na célula de memória 226 exceda o limite de tensão  $V_{limit}$ . Ao prover uma tensão de controle de grampeamento (clamp) adequado  $V_{clamp}$  em um terminal de

controle 208 para proteger a matriz de memória 204 de tensões superiores  $V_{limit}$ , a matriz de memória 204 pode usar dispositivos menores para densidade elevadas e tamanhos menores. Além disso, o primeiro amplificador 202 pode usar dispositivos mais robustos para melhorar a operação com uma tensão de alimentação  $V_{amp}$ .

[0016] Em uma modalidade particular, o transistor de acesso 230 pode ter uma configuração de dispositivo com núcleo e o primeiro transistor grampeador 218 pode ter uma configuração de dispositivo de entrada e saída (IO). Nessas modalidades, nomeadamente, o primeiro transistor grampeador 218 pode ser configurado para funcionar em uma tensão de alimentação de entrada e saída (IO)  $V_{amp}$ , e o transistor de acesso 230 pode ser configurado para funcionar com uma tensão de núcleo,  $V_{core}$ . Nessas modalidades, nomeadamente, a tensão de alimentação de núcleo  $V_{core}$  pode ser de aproximadamente 1V, e a tensão de alimentação de I/O  $V_{amp}$  pode ser de aproximadamente 1.8V. Em uma modalidade particular, o transistor de acesso 230 pode ter a configuração de dispositivo central com a primeira espessura de camada de óxido de uma faixa de cerca de 1nm a cerca de 3nm. Nessas modalidades, nomeadamente, o primeiro transistor grampeador (clamp) 218 pode ter a configuração de dispositivo de entrada e saída (IO) com a segunda espessura de camada de óxido em uma faixa de cerca de 3,5nm 10nm.

[0017] Um percurso de leitura de dados 210 pode incluir um primeiro dispositivo de carga 212, que pode incluir um primeiro transistor de carga 214. Em uma modalidade particular, o primeiro transistor de carga 214 pode ser um transistor de carga PMOS. O primeiro dispositivo de carga 212 pode ser acoplado a um primeiro dispositivo grampeador 216, que pode incluir o primeiro

transistor grampeador 218, onde o primeiro transistor de carga 214 pode ser acoplado ao primeiro transistor grampeador 218. O primeiro transistor grampeador 218 pode ser acoplado ao terminal de controle 208 que pode ser polarizado com a tensão de grampeamento  $V_{clamp}$ . O primeiro dispositivo grampeador 216 pode ser acoplado por meio de um primeiro nó 220 a um primeiro dispositivo de comutação de seleção 222 que pode incluir um primeiro transistor MUX 224, onde o primeiro transistor grampeador 218 pode ser acoplado ao primeiro transistor MUX 224. O primeiro dispositivo de comutação de seleção 222 pode ser incluído na matriz de memória 204. O primeiro dispositivo de comutação de seleção 222 pode ser acoplado à célula de memória 226, onde o primeiro transistor MUX 224 pode ser acoplado ao transistor de acesso 230, através do elemento de memória baseado em resistência  $R_d$  228 com uma resistência. Em uma modalidade particular, o elemento de memória baseado em resistência 228 pode incluir uma junção de túnel magnético (MTJ) que pode incluir uma camada de referência 232, uma camada de tunelamento 234, e uma camada gratuito 236. O transistor de acesso 230 pode ser acoplado ao chão.

[0018] Um primeiro percurso de referência 240 pode incluir um segundo dispositivo de carga 242 que pode incluir um segundo transistor de carga 244. Em uma modalidade particular, o segundo transistor de carga 244 pode ser um transistor de carga PMOS. O segundo dispositivo de carga 242 pode ser acoplado a um segundo dispositivo grampeador 246 que pode incluir um segundo transistor grampeador 248, onde o segundo transistor de carga 244 pode ser acoplado ao segundo transistor grampeador 248. O segundo transistor grampeador 248 pode ser acoplado ao terminal de controle 208 que pode ser polarizado com a

tensão de grampeamento  $V_{clamp}$ . O segundo dispositivo grampeador 246 pode ser acoplado por um segundo nó 250 a um segundo dispositivo de comutação de seleção 252, que pode incluir um segundo transistor MUX 254, onde o segundo transistor grampeador 248 pode ser acoplado ao segundo transistor MUX 254. O segundo dispositivo de comutação de seleção 252 pode ser incluído na matriz de memória 204. O segundo dispositivo de comutação de seleção 252 pode ser acoplado a uma primeira célula de referência 256, onde o segundo transistor MUX 254 pode ser acoplado a um primeiro transistor de acesso de referência 260 através de um primeiro elemento de referência baseado em resistência 258 tendo uma resistência  $R_1$ . Em uma modalidade particular, o elemento de memória baseado em resistência 258 pode incluir uma junção de túnel magnético (MTJ). O primeiro transistor de acesso de referência 260 pode ser acoplado ao chão.

[0019] Um segundo percurso de referência 270 pode incluir um terceiro dispositivo de carga 272 que pode incluir um terceiro transistor de carga 274. Em uma modalidade particular, o terceiro transistor de carga 274 pode ser um transistor de carga PMOS. O terceiro dispositivo de carga 272 pode ser acoplado a um terceiro dispositivo grampeador 276 que pode incluir um terceiro transistor grampeador 278, onde o terceiro transistor de carga 274 pode ser acoplado ao terceiro transistor grampeador 278. O terceiro transistor grampeador 278 pode ser acoplado ao terminal de controle 208 que pode ser polarizado com a tensão de grampeamento  $V_{clamp}$ . O terceiro dispositivo grampeador 276 pode ser acoplado através de um segundo nó 280 a um terceiro dispositivo de comutação de seleção 282 que pode incluir um terceiro transistor MUX 284, onde o terceiro transistor grampeador 278 pode ser acoplado ao terceiro transistor MUX 284. O terceiro

dispositivo de comutação de seleção 282 pode ser incluído na matriz de memória 204. O terceiro dispositivo de comutação de seleção 282 pode ser acoplado a uma segunda célula de referência 286, onde o terceiro transistor MUX 284 pode ser acoplado a um segundo transistor de acesso de referência 290 através de um segundo elemento de referência baseado em resistência 228 tendo uma resistência  $R_0$ . Em uma modalidade particular, o elemento de memória baseado em resistência 288 pode incluir uma junção de túnel magnético (MTJ). O segundo transistor de acesso de referência 290 pode ser acoplado ao chão.

[0020] O primeiro amplificador 202 pode incluir o primeiro transistor de carga 214 acoplado ao primeiro transistor grampeador 218 para gerar o sinal de dados. O primeiro amplificador 202 pode incluir o segundo transistor de carga 244 acoplado ao segundo transistor grampeador 248 e o terceiro transistor de carga 274 acoplado ao terceiro transistor grampeador 278. O segundo transistor grampeador 248 e o terceiro transistor grampeador 278 pode ser configurado para acoplar à primeira célula de referência 256 e à segunda célula de referência 286, respectivamente, para gerar um sinal de referência. O primeiro transistor grampeador 218, o segundo transistor grampeador 248, o terceiro transistor grampeador 278, o primeiro transistor de carga 214, o segundo transistor de carga 244 e o terceiro transistor de carga 274 podem ter uma configuração de dispositivo de entrada e saída (IO). Pelo menos um transistor 230, 260, 290 das células de memória 226, a primeira célula de referência 256, e a segunda célula de referência 286 podem ter uma configuração de dispositivo principal. Em uma modalidade particular, o primeiro transistor MUX 224, o segundo transistor MUX 254 e

o terceiro transistor MUX 284 podem ter a configuração de dispositivo principal.

[0021] Como descrito acima, o percurso de leitura de dados 210 pode incluir o primeiro dispositivo de carga acoplado 212 à célula de armazenamento de dados 226 através do primeiro transistor grampeador 218. O primeiro dispositivo de carga 212 pode ter uma primeira configuração de dispositivo para funcionar com uma primeira tensão de alimentação  $V_{amp}$  fornecida no terminal de alimentação 206. Em uma modalidade particular, a primeira configuração de dispositivo pode ser uma configuração de dispositivo não principal. Nessas modalidades, nomeadamente, a primeira configuração de dispositivo pode ser uma configuração de dispositivo de entrada e saída (IO). A célula de armazenamento de dados 226 pode incluir transistor de acesso 230 que pode ter uma segunda configuração de dispositivo para funcionar a uma tensão de funcionamento  $V_{op}$ , no nó 220 que não pode exceder um limite de tensão  $V_{limit}$ , que é menor do que a primeira tensão de alimentação  $V_{amp}$ . Em uma modalidade particular, a segunda configuração de dispositivo pode ser uma configuração de dispositivo principal. Nessas modalidades, nomeadamente, a configuração de dispositivo principal pode ter menor dimensão física do que a configuração não principal. O terminal de controle 208 do primeiro transistor grampeador 218 pode ser inclinado para evitar que a tensão  $V_{op}$  na célula de armazenamento de dados 226, exceda o limite de tensão  $V_{limit}$ . Em uma modalidade particular, o Limite de tensão  $V_{limit}$  pode ser de aproximadamente 1V.

[0022] Como descrito acima, o primeiro percurso de referência 240 pode incluir o dispositivo de carga 242 acoplado à primeira célula de referência 256 e o segundo percurso de referência 270 pode incluir o terceiro

dispositivo de carga acoplado 272 à segunda célula de referência 286. O segundo dispositivo de carga 242 e o terceiro dispositivo de carga 272 podem ter a primeira configuração de dispositivo. A primeira célula de referência 256 e a segunda célula de referência 286 podem incluir pelo menos um transistor 260, 290 que pode ter a segunda configuração de dispositivo. O segundo transistor grampeador 248 pode evitar que uma segunda tensão na primeira célula de referência 256 exceda o limite de tensão  $V_{limit}$ . O terceiro transistor grampeador 278 pode evitar que uma terceira tensão na segunda célula de referência 286, exceda o limite de tensão  $V_{limit}$ . O primeiro dispositivo de comutação de seleção 222 no percurso de leitura de dados 210 pode seletivamente acoplar a célula de armazenamento de dados 226 ao primeiro transistor grampeador 218. O segundo dispositivo de comutação de seleção 252 no primeiro percurso de referência 240 pode seletivamente acoplar a primeira célula de referência 256 ao segundo transistor grampeador 248. O terceiro dispositivo de comutação de seleção 282 no segundo percurso de referência 270, pode seletivamente acoplar a segunda célula de referência 286 ao terceiro transistor grampeador 278. Cada um dentre o primeiro dispositivo de comutação de seleção 222, o segundo dispositivo de comutação de seleção 252, e o terceiro dispositivo de comutação de seleção 282 pode ter a segunda configuração de dispositivo.

[0023] Referindo-se a FIG. 3, um diagrama de uma terceira modalidade ilustrativa de um dispositivo de memória com um amplificador usando um primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo é descrito e geralmente designado em 300. Em uma modalidade particular, o dispositivo de memória 300 opera substancialmente de forma semelhante ao dispositivo

de memória 100 ilustrado na FIG. 1 e ao dispositivo de memória 200 ilustrado na FIG. 2. O dispositivo de memória 300 pode incluir uma pluralidade de células de memória (ou armazenamento de dados) 326, que pode cada uma incluir um elemento de memória baseado em resistência 328 acoplado a um transistor de acesso 330. O transistor de acesso 330 pode ter uma primeira espessura de camada de óxido para permitir o funcionamento das células de memória 326, uma tensão de operação VOP. Em uma modalidade particular, as células de memória 326 podem ser células de memória de acesso aleatório magnetorresistivas de torque de transferência de spin. As células de memória 326 podem ser incluídas em uma matriz de memória 304. O dispositivo de memória 300 também pode incluir um primeiro estágio de amplificador 302 configurado para acoplar células de memória 326 a uma alta tensão Vamp, onde a tensão de alimentação Vamp é maior do que um Limite de tensão Vlimit, para gerar um sinal de dados com base em uma corrente através de uma das células de memória 326. O primeiro estágio de amplificador 302 pode incluir um primeiro transistor grampeador 318 que tem uma segunda espessura de camada de óxido que é maior do que a primeira espessura de camada de óxido do transistor de acesso 330. O primeiro transistor grampeador 318 pode ser configurado para evitar que a tensão de funcionamento Vop nas células de memória 326, exceda o limite de tensão Vlimit. Em uma modalidade particular, o primeiro transistor grampeador 318 pode ser um transistor NMOS com uma configuração de dispositivos fora do núcleo.

[0024] Em uma modalidade particular, o transistor de acesso 330 pode ter uma configuração de dispositivo com núcleo e o primeiro transistor grampeador 318 pode ter uma configuração de dispositivo de entrada e

saída (IO). Nessas modalidades, nomeadamente, o primeiro transistor grampeador 318 pode ser configurado para funcionar em uma tensão de alimentação de entrada e saída (IO),  $V_{amp}$ , e o transistor de acesso 330 pode ser configurado para funcionar com uma tensão de núcleo,  $V_{core}$ . Nessas modalidades, nomeadamente, o tensão de alimentação de núcleo  $V_{core}$  pode estar dentro de uma faixa de cerca de 0,9V a cerca de 1,2 V, tal como aproximadamente 1V, e a tensão de alimentação de I/O  $V_{amp}$  pode estar dentro de uma faixa de cerca de 1,5 V a cerca de 2,0V, tal como cerca de 1.8V.

[0025] O primeiro estágio de amplificador 302 pode ainda ser configurado para acoplar pelo menos uma célula de referência 356, 386 a tensão de alimentação  $V_{amp}$  para gerar um sinal de referência. O dispositivo de memória 300 pode incluir um segundo estágio de amplificador 312 acoplado ao primeiro estágio de amplificador 302. O segundo estágio de amplificador 312 pode ser configurado para fornecer um sinal de saída  $V_{out}$  no terminal 316 com base em uma diferença entre o sinal de dados e o sinal de referência. O segundo estágio de amplificador 312 pode incluir pelo menos um transistor que tem a primeira espessura de camada de óxido dos transistores de acesso 330 e que é acoplado a uma segunda tensão de alimentação  $V_2$  que não excede o limite de tensão  $V_{limit}$ .

[0026] A matriz de memória 304 pode incluir uma pluralidade de transistores MUX 324,  $M_0, M_1, \dots, M_i$ , correspondente à pluralidade de células de memória 326 na respectiva pluralidade de linhas de bits 104 (FIG. 1). Em uma modalidade particular, os transistores MUX 324 podem ser transistores NMOS com uma configuração de dispositivo principal. Cada um da pluralidade de transistores MUX 324,  $M_0, M_1, \dots, M_i$ , pode acoplar um transistor correspondente

da pluralidade de células de memória 326 ao primeiro transistor grampeador 318, provendo percurso dentre uma pluralidade de percursos de leitura de dados 310.

[0027] Cada um dos percursos de leitura de dados 310 pode incluir um primeiro transistor de carga 314. Em uma modalidade particular, o primeiro transistor de carga 314 pode ser um transistor de carga PMOS. O primeiro transistor de carga 314 pode ser acoplado ao primeiro transistor grampeador 318. O primeiro transistor grampeador 318 pode ser acoplado a um terminal de controle 308 que pode ser polarizado com uma tensão de grampeamento  $V_{clamp}$ . O primeiro transistor grampeador 318 pode ser acoplado aos transistores MUX 324. Os transistores MUX 324 podem ser acoplados ao transistor de acesso 330, através dos elementos de memória baseados em resistência 328 das células de memória correspondentes 326. Os elementos de memória baseados em resistência 328 podem cada um incluir uma junção de túnel magnético (MTJ) ilustrada como uma resistência Rbit, que pode incluir um valor de resistência de lógica "0" ou de lógica "1". Os transistores de acesso 330 podem ser acoplados ao chão. As portas dos transistores de acesso 330 podem ser acopladas a uma pluralidade de linhas de palavras 108 (FIG. 1). Em uma modalidade particular, os transistores de acesso 330 podem ser transistores NMOS com uma configuração de dispositivo principal.

[0028] Um primeiro percurso de referência 340 pode incluir um segundo transistor de carga 344. Em uma modalidade particular, o segundo transistor de carga 344 pode ser um transistor de carga PMOS conectado a diodos. O segundo transistor de carga 344 pode ser acoplado a um segundo transistor grampeador 348. O segundo transistor grampeador 348 pode ser acoplado ao terminal de controle

308 que pode ser polarizado com a tensão de grampeamento  $V_{clamp}$ . Em uma modalidade particular, o segundo transistor grampeador 348 pode ser um transistor NMOS com uma configuração de dispositivos fora do núcleo. O segundo transistor grampeador 348 pode ser acoplado a um transistor MUX 354. O transistor MUX 354 pode ser incluído na matriz de memória 304. Em uma modalidade particular, o transistor MUX 354 pode ser um transistor NMOS com uma configuração de dispositivo principal. A porta do transistor MUX 354 pode ser acoplada a uma alimentação de tensão tendo uma Tensão  $V_{ddcx}$  que é menor do que um limite de tensão de dispositivo central. O transistor MUX 354 pode ser acoplado a uma primeira célula de referência 356, onde o transistor MUX 354 pode ser acoplado a um primeiro transistor de acesso de referência 360 através de um primeiro elemento de referência baseado em resistência 358 tendo uma resistência  $R_0$ . Em uma modalidade particular, o elemento de memória baseado em resistência 358 pode incluir uma junção de túnel magnético (MTJ). O primeiro transistor de acesso de referência 360 pode ser acoplado ao chão. A porta do primeiro transistor de acesso de referência 360 pode ser acoplada a uma linha de palavras 322, tal como uma dentre a pluralidade de linhas de palavra 108 representadas na FIG. 1. Em uma modalidade particular, o primeiro transistor de acesso de referência 360 pode ser um transistor NMOS com uma configuração de dispositivo principal.

[0029] Um segundo percurso de referência 370 pode incluir um terceiro transistor de carga 374. Em uma modalidade particular, o terceiro transistor de carga 374 pode ser um transistor de carga PMOS. O terceiro transistor de carga 274 pode ser acoplado a um terceiro transistor grampeador 278. O terceiro transistor grampeador 278 pode ser acoplado ao terminal de controle 208 que pode ser

polarizado com a tensão de grampeamento  $V_{\text{clamp}}$ . Em uma modalidade particular, o terceiro transistor grampeador 378 pode ser um transistor NMOS com uma configuração de dispositivos fora do núcleo. O terceiro transistor grampeador 278 pode ser acoplado a um transistor MUX 384. O transistor MUX 384 pode ser incluído na matriz de memória 304. Em uma modalidade particular, o transistor MUX 384 pode ser um transistor NMOS com uma configuração de dispositivo principal. A porta do transistor MUX 384 pode ser acoplada à porta do transistor MUX 354 e também pode ser acoplada a uma alimentação de tensão com uma tensão  $V_{\text{ddcx}}$ . O transistor MUX 384 pode ser acoplado a uma segunda célula de referência 386, onde o transistor MUX 384 pode ser acoplado a um segundo transistor de acesso de referência 390 através de um segundo elemento de referência baseado em resistência 388 tendo uma resistência  $R_1$ . Em uma modalidade particular, o elemento de memória baseado em resistência 358 pode incluir uma junção de túnel magnético (MTJ). O segundo transistor de acesso de referência 390 pode ser acoplado ao chão. A porta do segundo transistor de acesso de referência 390 pode ser acoplada a uma dentre a pluralidade de linhas de palavras 108 (FIG. 1). Em uma modalidade particular, o segundo transistor de acesso de referência 390 pode ser um transistor NMOS com uma configuração de dispositivo principal.

[0030] O primeiro estágio de amplificador 302 pode incluir o primeiro transistor de carga 314 acoplado ao primeiro transistor grampeador 318 para gerar o sinal de dados. O primeiro estágio de amplificador 302 pode incluir o segundo transistor de carga 344 acoplado ao segundo transistor grampeador 348 e o terceiro transistor de carga 374 acoplado ao terceiro transistor grampeador 378. O segundo transistor grampeador 348 e o terceiro transistor

grampeador 378 podem ser configurados para acoplar à primeira célula de referência 356 e à segunda célula de referência 386, respectivamente, para gerar o sinal de referência. O segundo estágio de amplificador 312 pode ser acoplado a cada um dos percursos de leitura de dados 310, o primeiro percurso de referência 340, e o segundo percurso de referência 370. O segundo estágio de amplificador 312 pode ser configurado para fornecer um sinal de saída Vout no terminal 316 com base em uma diferença entre o sinal de dados e o sinal de referência. O primeiro transistor grampeador 318, o segundo transistor grampeador 348, o terceiro transistor grampeador 378, o primeiro transistor de carga 314, o segundo transistor de carga 344 e o terceiro transistor de carga 374 podem ter uma configuração de dispositivo de entrada e saída (IO). Pelo menos um dos transistores 330, 360, 390 das células de memória 326, primeira célula de referência 356, e segunda referência de célula 386 pode ter uma configuração de dispositivo principal. Em uma modalidade particular, os transistores MUX 324, transistor MUX 354, e transistor MUX 384 podem ter a configuração de dispositivo principal. O segundo estágio de amplificador 312 pode incluir pelo menos um transistor que tem a configuração de dispositivo principal, e que é acoplado a segunda tensão de alimentação V2 que não excede o limite de tensão Vlimit.

[0031] Como descrito acima, cada um dos percursos de leitura de dados 310 pode incluir o primeiro transistor de carga 314 acoplado a células de memória 326 através do primeiro transistor grampeador 318. O primeiro transistor de carga 314 pode ter uma primeira configuração de dispositivo para funcionar em uma primeira tensão de alimentação Vamp. Em uma modalidade particular, a primeira configuração de dispositivo pode ser uma configuração de

dispositivo não principal. Nessas modalidades, nomeadamente, a primeira configuração de dispositivo pode ser uma configuração de dispositivo de entrada e saída (IO). As células de memória 326 podem incluir os transistores de acesso 330 que podem ter uma segunda configuração de dispositivo para funcionar em uma tensão de funcionamento  $V_{op}$  que não pode exceder um limite de tensão  $V_{limit}$  que é menor do que a primeira tensão de alimentação  $V_{amp}$ . Em uma modalidade particular, a segunda configuração de dispositivo pode ser uma configuração de dispositivo principal. Nessas modalidades, nomeadamente, a configuração de dispositivo principal pode ter uma menor dimensão física do que a configuração não principal. O terminal de controle 308 do primeiro transistor grampeador 318 pode ser inclinado para evitar que a tensão  $V_{op}$  nas células de memória 326, exceda o limite de tensão  $V_{limit}$ . Em uma modalidade particular, o Limite de tensão  $V_{limit}$  pode ser de aproximadamente 1V.

[0032] Como descrito acima, o primeiro percurso de referência 340 pode incluir o segundo transistor de carga 344 acoplado a primeira célula de referência 356, o segundo percurso de referência 370 pode incluir o terceiro transistor de carga 374 acoplado à segunda célula de referência 386. O segundo transistor de carga 344 e o terceiro transistor de carga 374 podem ter a primeira configuração de dispositivo. A primeira célula de referência 356, a segunda célula de referência 386 pode cada uma incluir pelo menos um transistor 360, 390 que pode ter a segunda configuração de dispositivo. O segundo transistor grampeador 348 pode evitar que uma segunda tensão na primeira célula de referência 356, exceda o limite de tensão  $V_{limit}$ . O terceiro transistor grampeador 378 pode evitar que uma terceira tensão na segunda célula

de referência 386, exceda o limite de tensão  $V_{limit}$ . Os transistores MUX 324 no percurso de leitura de dados 310 pode, seletivamente, acoplar as células de memória 326 ao primeiro transistor grampeador 318. O transistor MUX 354 no primeiro percurso de referência 340 pode ser polarizado para acoplar a primeira célula de referência 356 do segundo transistor grampeador 348. O transistor MUX 384 no segundo percurso de referência 370 pode ser polarizado para acoplar da segunda célula de referência 386 ao terceiro transistor grampeador 378. Cada um dos transistores MUX 324, 354, 384 podem ter a segunda configuração de dispositivo.

[0033] Referindo-se a FIG. 4, um fluxograma de uma modalidade ilustrativa específica de um método de operação de um dispositivo de memória com um amplificador usando um primeiro tipo de dispositivo e uma matriz de memória usando um segundo tipo de dispositivo é descrito e geralmente designado em 400. Em 402, um primeiro estágio de amplificador pode ser acoplado a uma matriz de memória. O primeiro estágio de amplificador pode incluir transistores tendo tolerância de tensão de alimentação de entrada e saída (IO). A matriz de memória pode incluir transistores tendo uma tolerância de tensão de alimentação de núcleo que é menor que a tolerância de tensão de alimentação de I/O. Em uma modalidade particular, o primeiro amplificador pode ser o amplificador 112 e a matriz de memória pode ser a matriz de memória 102 da FIG. 1. Em outra modalidade particular, o primeiro amplificador pode ser o primeiro amplificador 202 e a matriz de memória pode ser a matriz de memória 204 da FIG. 2. Em outra modalidade particular, o primeiro amplificador pode ser o primeiro estágio de amplificação 302 e a matriz de memória pode ser a matriz de memória 304 da FIG. 3.

[0034] Continuando em 404, uma tensão de controle pode ser aplicada a um transistor grampeador acoplado à matriz de memória para definir uma tensão de matriz de memória, de modo que a tensão de matriz de memória é menor do que a tolerância de tensão de alimentação de núcleo. Por exemplo, o controle de tensão  $V_{clamp}$  pode ser aplicado aos transistores de fixação 218, 248 e 278 acoplados à matriz de memória 204 para definir a tensão 220 nos nós, 250, e 280 tal que a tensão de matriz de memória é menor do que a tolerância de tensão de alimentação de núcleo, como ilustrado na FIG. 2. Em uma modalidade particular, a tensão de controle  $V_{clamp}$  pode ser aplicada a um transistor grampeador 318, 348, 378 acoplado à matriz de memória 304 para definir uma tensão de matriz de memória  $V_{op}$  (FIG. 1), tal que a tensão de matriz de memória  $V_{op}$  é menor que tolerância de tensão de alimentação de núcleo  $V_{limit}$ , como ilustrado na FIG. 3. Uma das consequências de não controlar  $V_{clamp}$  é que a tensão de matriz de memória pode exceder a tolerância de tensão de alimentação de núcleo fazendo com que os dispositivos de núcleo na matriz de memória falhem.

[0035] Movendo-se para 406, uma operação de leitura de dados pode ser realizada em uma célula de armazenamento de dados da matriz de memória para gerar um sinal de dados no primeiro amplificador. Em uma modalidade particular, a operação de leitura de dados pode ser realizada em uma célula de armazenamento de dados 226 da matriz de memória 204 para gerar um sinal de dados no primeiro amplificador 202 usando o percurso de leitura de dados 210, como ilustrado na FIG. 2. Em uma modalidade particular, a operação de leitura de dados pode ser realizada em uma das células de memória 326 da matriz de memória 304 para gerar um sinal de dados no primeiro

estágio de amplificador 302 usando um dos percursos de leitura de dados 310, como ilustrado na FIG. 3.

[0036] Avançando para 408, o sinal de dados proveniente do primeiro estágio de amplificação pode ser comparado a um sinal de referência para gerar um sinal de saída em um segundo estágio de amplificador. O segundo estágio de amplificador pode incluir dispositivos que tenham a tolerância de tensão de alimentação de núcleo. Em uma modalidade particular, o sinal de dados proveniente do primeiro estágio de amplificador 302 pode ser comparado a um sinal de referência para gerar um sinal de saída Vout no segundo estágio de amplificador 312, o sinal de referência sendo gerado usando o primeiro percurso de referência 340 e o segundo percurso de referência 370, tal como ilustrado na FIG. 3. Em uma modalidade particular, o segundo estágio de amplificador 312 pode incluir dispositivos que tenham a tolerância de tensão de alimentação de núcleo, como ilustrado na FIG. 3.

[0037] Em uma modalidade particular, a célula de armazenamento de dados pode ser acoplada ao primeiro transistor grampeador através de um transistor de seleção para permitir um fluxo de corrente a partir de uma alimentação de tensão do primeiro amplificador através da célula de armazenamento de dados. Por exemplo, a célula de armazenamento de dados 226 pode ser acoplada primeiro transistor grampeador 218 através de um transistor de seleção, tal como o primeiro transistor MUX 224 para permitir um fluxo de corrente a partir da alimentação de tensão 206 do primeiro amplificador 202 através do armazenamento de células de dados 226, tal como ilustrado na FIG. 2. Como outro exemplo, uma das células de memória 326 pode ser acoplada ao primeiro transistor grampeador 318 através de um primeiro de seleção, tal como um dos

respectivos transistores MUX 324 para permitir um fluxo de corrente a partir da alimentação de tensão do primeiro estágio de amplificação 302 através de uma das correspondentes células de memória 326, tal como ilustrado na FIG. 3. Nessas modalidades, nomeadamente, o transistor de seleção, tal como o primeiro transistor MUX 224 e/ou os transistores MUX 324 podem ter a tolerância de tensão de alimentação de núcleo  $V_{limit}$ . Nessas modalidades particulares, nomeadamente, aumentar a alimentação de tensão  $V_{amp}$  do primeiro amplificador 202 e/ou do primeiro estágio de amplificador 302 aumenta a margem de leitura da operação de leitura de dados.

[0038] Aqueles versados na técnica irão adicionalmente apreciar que os diversos blocos lógicos ilustrativos, configurações, módulos, circuitos e etapas de algoritmo descritos em conexão com as modalidades divulgadas aqui podem ser implementados como equipamentos eletrônicos, software de computador, ou combinações de ambos. Os versados na técnica podem implementar a funcionalidade descrita de várias maneiras para cada aplicação específica, mas tais decisões de implementação não devem ser interpretadas como causa de afastamento do escopo da presente divulgação.

[0039] As etapas de um método ou algoritmo descritas em conexão com as modalidades divulgadas aqui podem ser incorporadas diretamente em hardware, em um módulo de software executado por um processador ou em uma combinação dos dois. Um módulo de software pode residir na memória de acesso aleatório (RAM), memória flash, memória somente de leitura (ROM), memória somente de leitura programável (PROM), memória somente de leitura programável apagável (EPROM), memória somente de leitura programável eletricamente apagável (EEPROM), registradores, disco

rígido, um disco removível, uma memória somente de leitura de disco compacto (CD-ROM), ou qualquer outra forma de mídia de armazenamento conhecida na técnica. Um meio de armazenamento exemplar é acoplado ao processador de tal forma que o processador pode ler informações de e gravar informações no meio de armazenamento. Em alternativa, o meio de armazenamento pode ser integral ao processador. O processador e o meio de armazenamento podem residir em um circuito integrado de aplicação específica (ASIC). O ASIC pode residir em um dispositivo de computação ou um terminal de usuário. Em alternativa, o processador e o meio de armazenamento podem residir como componentes discretos em um dispositivo de computação ou terminal de usuário.

[0040] A descrição anterior das modalidades divulgadas é provida para permitir que qualquer pessoa versada na técnica faça ou use as modalidades divulgadas. As várias modificações a essas modalidades serão imediatamente aparentes para aqueles versados na técnica, e os princípios gerais definidos neste documento podem ser aplicados a outras modalidades, sem se afastar do escopo da divulgação. Assim, a presente divulgação não pretende ser limitada às modalidades aqui apresentadas, mas deve ser dado o mais amplo escopo possível, consistente com os princípios e características inovadoras, tal como definido pelas seguintes reivindicações.

REIVINDICAÇÕES

1. Dispositivo de memória (100, 200, 300), compreendendo:

uma célula de memória (226, 326), incluindo um elemento de memória baseado em resistência (228, 328, 358, 388) acoplado a um transistor de acesso (230, 330), o transistor de acesso (230, 330) tendo uma primeira espessura de camada de óxido de porta para permitir o funcionamento da célula de memória (226, 326) a uma tensão de funcionamento; e

um primeiro amplificador configurado para acoplar a célula de memória (226, 326) a uma tensão de alimentação que é maior do que um limite de tensão para gerar um sinal de dados com base em uma corrente através da célula de memória (226, 326),

o dispositivo caracterizado pelo fato de que o primeiro amplificador (112, 202, 302) inclui um transistor grampeador (120, 218, 318) que tem uma segunda espessura de camada de óxido de porta que é maior do que a primeira espessura de camada de óxido de porta, e

em que o transistor grampeador (120, 218, 318) é configurado para evitar que a tensão de funcionamento na célula de memória (226, 326), exceda o limite de tensão.

2. Dispositivo de memória (100, 200, 300), de acordo com a reivindicação 1, caracterizado pelo fato de que o transistor grampeador (120, 218, 318) é configurado para operar em uma tensão de alimentação de entrada e saída (I/O), e em que o transistor de acesso (230, 330) é configurado para operar em uma tensão de alimentação do núcleo.

3. Dispositivo de memória (100, 200, 300), de acordo com a reivindicação 2, caracterizado pelo fato de que a tensão de alimentação do núcleo é de cerca de 1 volt,

e em que a tensão de alimentação de I/O é de cerca de 1,8 volts.

4. Dispositivo de memória (100, 200, 300), de acordo com a reivindicação 1, caracterizado pelo fato de que a célula de memória (226, 326) é uma célula de memória de acesso aleatório magnetorresistiva de torque de transferência de spin (STT-MRAM).

5. Dispositivo de memória (100, 200, 300), de acordo com a reivindicação 1, caracterizado pelo fato de que o primeiro amplificador (112, 202, 302) é adicionalmente configurado para acoplar pelo menos uma célula de referência (256, 286, 356, 386) a tensão de alimentação para gerar um sinal de referência, e adicionalmente compreende:

um segundo amplificador (312) acoplado ao primeiro amplificador (112, 202, 302) e configurado para fornecer um sinal de saída com base em uma diferença entre o sinal de dados e o sinal de referência, o segundo amplificador (312), incluindo pelo menos um transistor que tem a primeira espessura de camada de óxido de porta e que é acoplado a uma segunda tensão de alimentação que não exceda o limite de tensão.

6. Dispositivo de memória (100, 200, 300), de acordo com a reivindicação 1, caracterizado pelo fato de que o primeiro amplificador (112, 202, 302) adicionalmente compreende:

um primeiro transistor de carga (214, 314) acoplado ao transistor grampeador (120, 218, 318) para gerar o sinal de dados;

um segundo transistor de carga (244, 344) acoplado a um segundo transistor grampeador (248, 348); e

um terceiro transistor de carga (274, 374) acoplado a um terceiro transistor grampeador (278, 378), em

que o segundo transistor grampeador e o terceiro transistor grampeador são configurados para acoplar a uma primeira célula de referência (256, 286, 356, 386) e uma segunda célula de referência (256, 286, 356, 386) para gerar um sinal de referência.

7. Método caracterizado pelo fato de que compreende:

acoplar um primeiro estágio de amplificador (112, 202, 302) a uma matriz de memória (102, 304), o primeiro estágio de amplificador (112, 202, 302) incluindo transistores tendo uma tolerância de tensão de entrada e saída (I/O) (120, 218, 318) e um transistor grampeador (120, 218, 318), a matriz de memória (102, 304) incluindo transistores tendo uma tolerância de tensão de alimentação do núcleo que é menor do que a tolerância de tensão de alimentação de I/O e elementos de memória baseados em resistência (228, 328, 358, 388); e

aplicar uma tensão de controle no transistor grampeador (12, 218, 318) acoplado à matriz de memória para definir uma tensão de matriz de memória, de modo que a tensão de matriz de memória é menor que a tolerância de tensão de alimentação do núcleo.

8. Método, de acordo com a reivindicação 7, caracterizado pelo fato de que adicionalmente compreende:

realizar uma operação de leitura de dados em uma célula de armazenamento de dados (226, 326) da matriz de memória (102, 304) para gerar um sinal de dados no primeiro estágio de amplificador; e

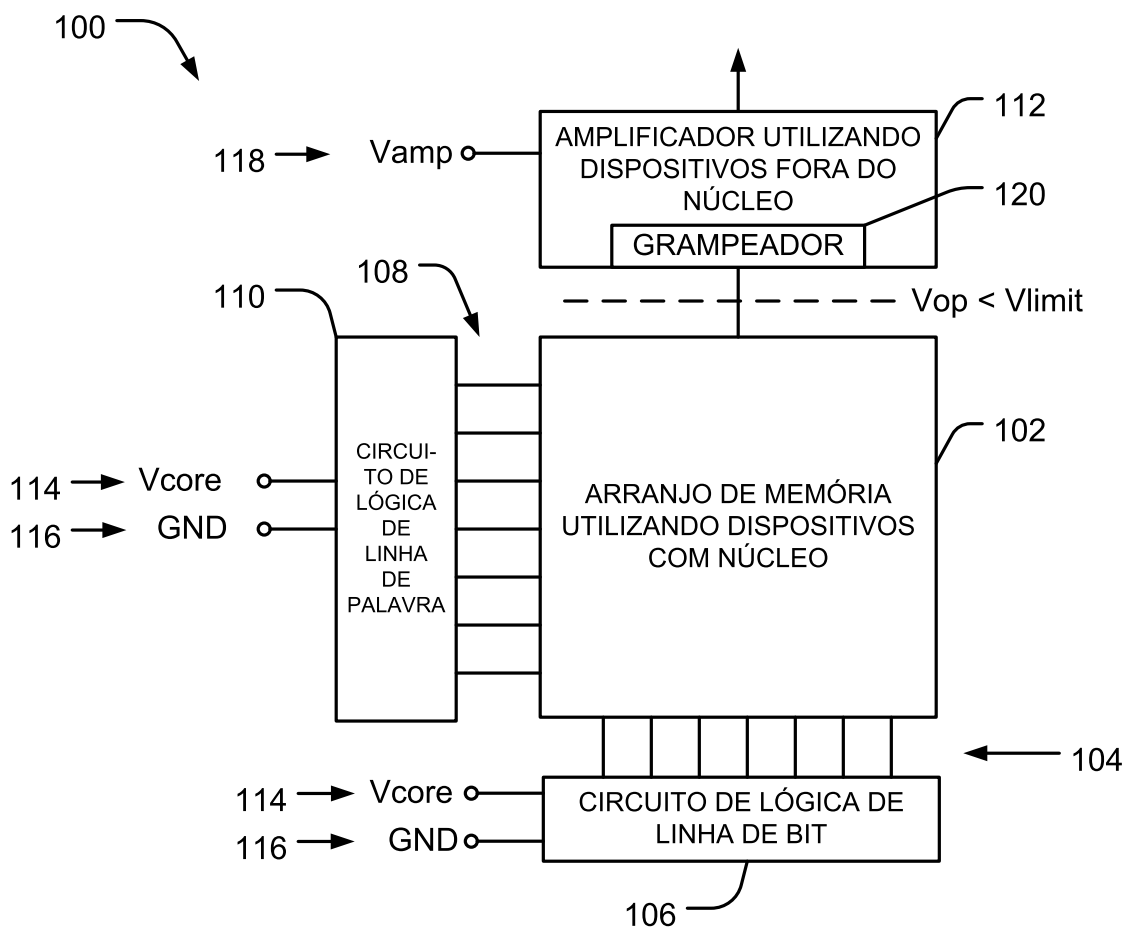
comparar o sinal de dados proveniente do primeiro estágio de amplificador (112, 202, 302) a um sinal de referência para gerar um sinal de saída em um segundo estágio de amplificador (312), o segundo estágio de

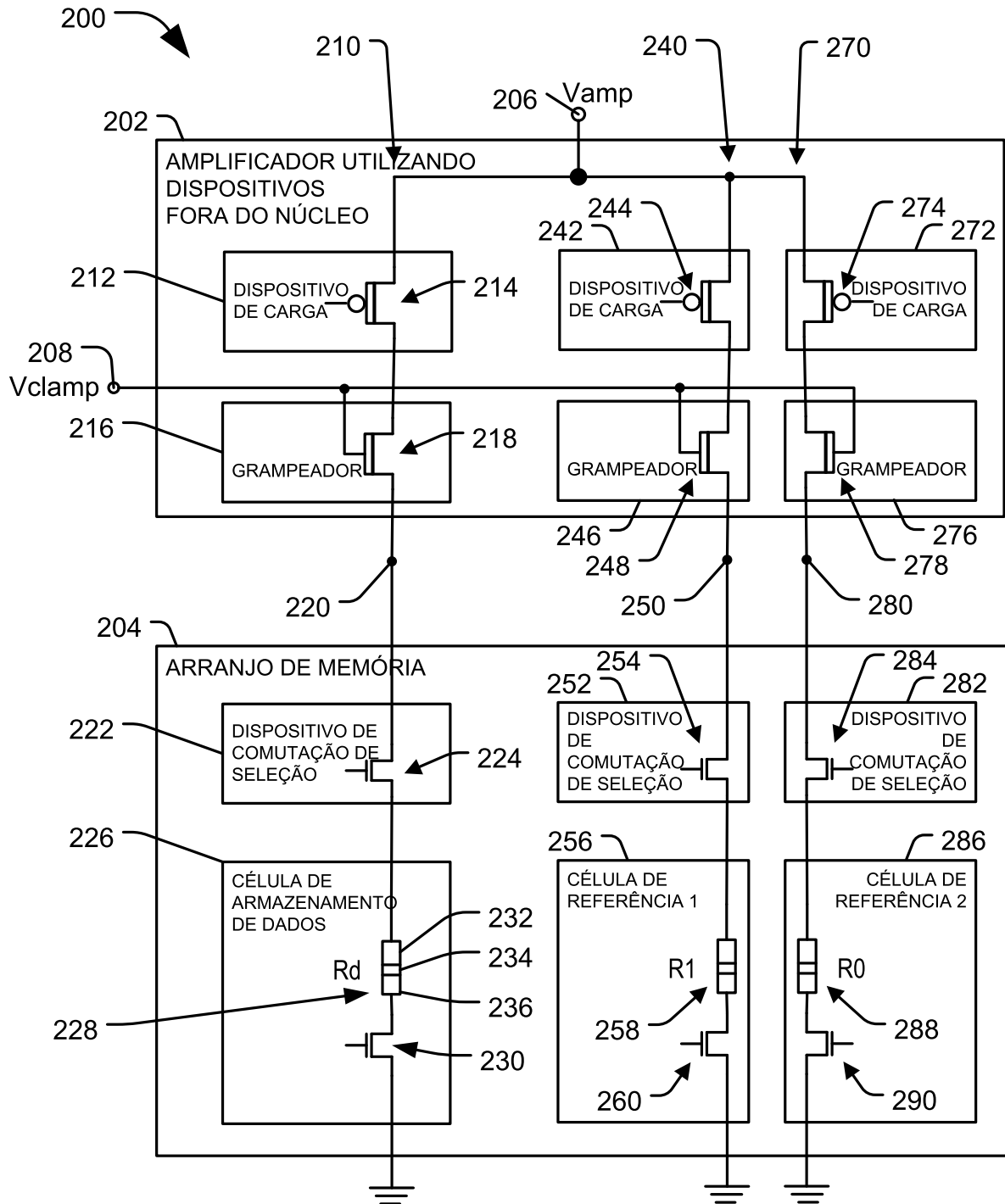
amplificador (312) incluindo dispositivos tendo a tolerância de tensão de alimentação do núcleo.

9. Método, de acordo com a reivindicação 8, caracterizado pelo fato de que adicionalmente compreende acoplar a célula de armazenamento de dados (226, 326) ao transistor grampeador (120, 218, 318) através de um transistor de seleção para permitir um fluxo de corrente proveniente de uma alimentação de tensão do primeiro estágio de amplificador (112, 202, 302) através da célula de armazenamento de dados (226, 326).

10. Método, de acordo com a reivindicação 9, caracterizado pelo fato de que o transistor de seleção tem a tolerância de tensão de alimentação do núcleo.

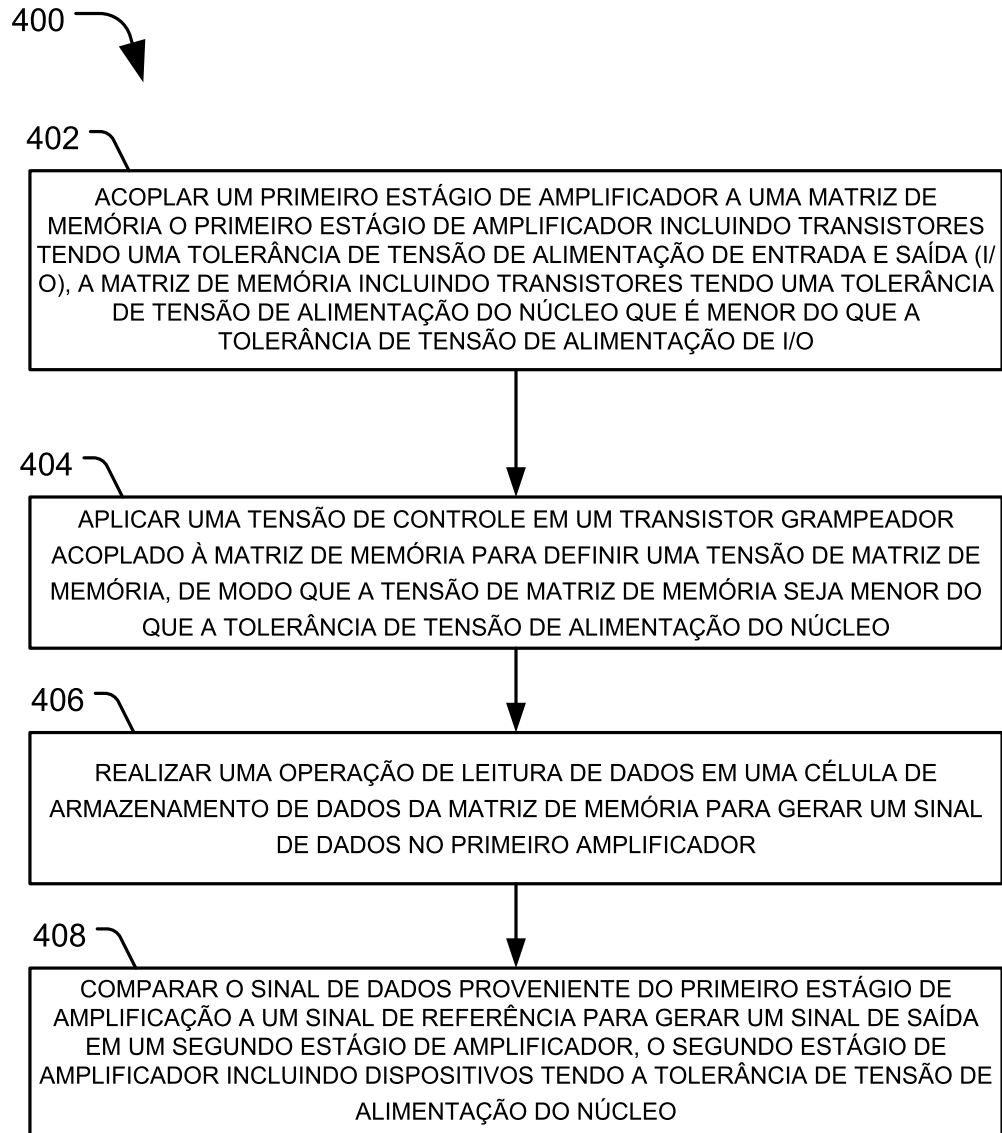
11. Método, de acordo com a reivindicação 9, caracterizado pelo fato de que o aumento da alimentação de tensão do primeiro estágio de amplificador aumenta a margem de leitura da operação de leitura de dados.

**FIG. 1**



**FIG. 2**



**FIG. 4**