



MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

スペックの変更が容易な集積回路のハードウェア記述を生成する設計方法、設計プログラム及び設計装置を提供する。ソフトウェア言語で動作が記述されたソースコードから回路のハードウェア記述を生成する高位合成処理を有する設計方法において、所定の高位合成制約に基づいて、ソースコードから、複数のステージと各ステージ間に設けられるステージ間レジスタとを有する回路を記述するハードウェア記述と高位合成レポート情報を生成し、ステージ間レジスタのバイパスに関する制約条件を有するバイパス制約情報と、高位合成レポート情報とに基づいて、バイパス候補のステージ間レジスタのステージのうちバイパス設定されるステージ間レジスタのステージの組合せを有するパターンを複数有するバイパスステージ選択パターンを決定し、バイパスステージ選択パターンに基づいて、所定の優先条件に応じた前記バイパス設定されるステージ間レジスタの組合せ情報を有するバイパスレポート情報を生成する、設計方法。

明 細 書

発明の名称：設計方法、設計プログラム及び設計装置

技術分野

[0001] 本発明は、設計方法、設計プログラム及び設計装置に関する。

背景技術

[0002] 集積回路設計は、ハードウェア記述言語（HD: Hardware Description Language）を用いたRTL(Register Transfer Level)設計が主流である。RTL設計は、ゲートレベル設計に比べて設計抽象度が高いため、開発速度を速めることができる。

[0003] 一方、RTL設計は、年々増加する集積回路の回路規模に対応できなくなりつつあり、RTL設計よりもさらに抽象度の高い高位設計が利用され始めている。高位設計では、C/C++言語や、ハードウェア記述向けクラスライブラリを実装したSystemCなどにより集積回路の動作記述を生成し、高位合成（High Level Synthesis）（または動作合成（Behavioral Synthesis）、機能合成（Functional Synthesis）とも呼ばれる。）ツールが、C言語等の動作記述をRTL記述である機能記述に変換する。そして、その後はRTL設計と同様に、論理合成ツールが、RTLの機能記述をゲート記述（またはネットリスト）である論理記述に変換し、さらに自動配線ツールがネットリストに基づいてレイアウト設計を行い、SoC（System On Chip）用のマスクデータを生成する。または、FPGA用の論理合成ツールが、RTLの機能記述からFPGA（Field Programmable Gate Array）用のコンフィグレーションデータを生成する。

[0004] このように、高位設計では、C言語などによる動作記述をHDLによる機能記述に変換する高位合成ツールが用いられる。この高位合成ツールは、高位合成の制約に基づいて、抽象度の高いソフトウェア言語で記述したソースコードから様々な回路構成を持ったHDLによるハードウェア記述を生成する。高位合成の制約は、例えば、動作速度（クロック周波数）、レイテンシ（入力から出力までのクロック数）、演算回路やメモリの数、回路規模や回路面積な

どが含まれる。

先行技術文献

特許文献

[0005] 特許文献1：特開 2 0 1 4 － 6 6 5 0 号公報

特許文献2：特開平 1 0 － 6 3 7 1 3 号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、高位設計では、C言語等による動作記述からHDLによる機能記述に一旦変換した後は、HDLによる機能記述の回路を変更することは容易ではない。一般にHDLは可読性が乏しく人為的に変更することは困難である。そのため、回路構成を変更するためには、再度、高位合成の制約を変更して高位合成を行う必要がある。

[0007] また、一旦集積回路を製造し実装した後に、一時的に集積回路の速度（クロック周波数）やレイテンシ（入力してから出力されるまでのクロック数）を落として消費電力を下げたいというシーンや、逆に、速度を高くしてレイテンシを長くしてスループットを向上したいというシーンが存在する。しかし、製造された集積回路の回路構成を変更することは高いコストを要求される。そのため、クロック周波数を高くしてレイテンシを長くするハイスpekの高位合成制約で生成した回路を動作させる場合は、必要以上のスループットで動作し、また余分なエネルギーを消費することになる。逆に、クロック周波数を低くしてレイテンシを短くするロースpekの高位合成制約で生成した回路を動作させる場合は、低消費電力ではあるが、クロック周波数を高くしてレイテンシを短くすることはできない。

[0008] そこで、開示の第1の側面の目的は、spekの変更が容易な集積回路のハードウェア記述を生成する設計方法、設計プログラム及び設計装置を提供することにある。

課題を解決するための手段

[0009] 開示の第1の側面は、ソフトウェア言語で動作が記述されたソースコードから回路のハードウェア記述を生成する高位合成処理を有する設計方法において、

所定の高位合成制約に基づいて、前記ソースコードから、複数のステージと各ステージ間に設けられるステージ間レジスタとを有する回路を記述するハードウェア記述と高位合成レポート情報を生成し、

前記ステージ間レジスタのバイパスに関する制約条件を有するバイパス制約情報と、前記高位合成レポート情報とに基づいて、バイパス候補のステージ間レジスタのステージのうちバイパス設定されるステージ間レジスタのステージの組合せを有するパターンを複数有するバイパスステージ選択パターンを決定し、

前記バイパスステージ選択パターンに基づいて、所定の優先条件に応じた前記バイパス設定されるステージ間レジスタの組合せ情報を有するバイパスレポート情報を生成する、設計方法である。

発明の効果

[0010] 第1の側面によれば、集積回路のスペックの変更が容易になる。

図面の簡単な説明

[0011] [図1]高位合成を含む集積回路の設計工程を示すフローチャート図である。

[図2]高位合成工程のフローチャート図である。

[図3]ソースコードを高位合成した場合の回路の元となるデータフローグラフDFGの一例を示す図である。

[図4]ソースコードを高位合成した場合の回路の元となるデータフローグラフDFGの一例を示す図である。

[図5]高位合成制約をクロック周波数200MHzに設定した場合に生成される回路例を示す図である。

[図6]高位合成制約をクロック周波数100MHzに設定した場合に生成される回路例を示す図である。

[図7]高位合成制約をクロック周波数100MHzに設定した場合に生成される回路

例を示す図である。

[図8]高位合成制約をクロック周波数100MHzに設定した場合に生成される回路例を示す図である。

[図9]本実施の形態における高位合成プログラムST10のフローチャート図である。

[図10]ステージ間レジスタとバイパス設定可能なステージ間レジスタの例を示す図である。

[図11]本実施の形態における高位合成で生成される回路の一例を示す図である。

[図12]バイパス制約情報の一例を示す図である。

[図13]バイパスステージ抽出工程の概略を説明する図である。

[図14]バイパスステージ抽出工程ST21のフローチャート図である。

[図15]バイパスレポートの詳細版の例を示す図である。

[図16]要約版バイパスレポートの一例を示す図である。

[図17]バイパス設定回路生成工程ST22のフローチャート図である。

[図18]バイパスステージ情報とデコード表とバイパス設定回路の例を示す図である。

[図19]バイパス設定回路接続工程ST23のフローチャート図である。

[図20]バイパス設定回路を接続した後の新たな回路を示す図である。

[図21]第2の実施の形態の概略を説明する図である。

[図22]第2の実施の形態の概略を説明する図である。

[図23]第2の実施の形態における高位合成プログラムのフローチャート図である。

[図24]第2の実施の形態におけるバイパス設定回路接続工程ST23のフローチャート図である。

[図25]第2の実施の形態における詳細版バイパスレポートの一例を示す図である。

[図26]バイパスステージ情報とデコード表とバイパス設定回路を示す図であ

る。

[図27]第2の実施の形態におけるバイパス設定回路の接続工程ST23のフローチャート図である。

[図28]第2の実施の形態でのバイパス設定回路が接続された新たなHDLによる回路を示す図である。

[図29]第3の実施の形態におけるHDL記述の集積回路の構成を示す図である。

発明を実施するための形態

[0012] [用語の定義]

以下は、本明細書で使用する用語の定義集である。

[0013] 高位合成：High Level Synthesis (HLS)、動作合成または機能合成とも呼ばれる。C言語などで回路の動作を記述したソースコードから、RLTなどのハードウェア記述言語（HDL）で回路の論理を記述したハードウェア記述を生成する処理。高位合成プログラム（または高位合成ツール）により処理される。

[0014] 高位合成制約：クロック周波数、回路面積、回路規模、消費電力、演算器の数などの回路の制約であり、高位合成において設定される。

[0015] 高位合成ライブラリ：テクノロジーライブラリとも呼ばれ、回路の製造ラインに対応したパラメータであり、ゲートなどの回路要素の速度、回路要素の消費電力、回路要素の面積、電源電圧などが含まれる。これらのパラメータに基づいて、高位合成ツールは、回路のタイミングや面積、消費電力などを見積る。

[0016] 高位合成レポート：高位合成ツールが生成するレポートであり、ハードウェア記述の回路における各ステージの遅延時間、各ステージの出力側のステージ間レジスタの数を有する。

[0017] バイパス制約：ステージ間レジスタをバイパス設定可能なレジスタ（バイパス候補のステージ間レジスタ）に変換する場合の制約であり、例えば、バイパス設定を許可する（バイパス設定可能な）ステージ間レジスタのステージ数、バイパス設定を許可する特定のステージ間レジスタ、バイパスを禁止

する（バイパス設定不可能な）特定のステージ間レジスタ、バイパスを禁止するステージ間レジスタの連続数の最小値などの制約のいずれか、または任意の組合せ。

[0018] バイパスレポート：バイパスステージ選択パターンを優先条件に従って順位付けしたレポート。

[0019] バイパスステージ：回路のステージの出力側に設けられた全てのステージ間レジスタがバイパスされたステージ。または、ステージの出力側に設けられバイパス設定された全てのステージ間レジスタを総称する場合にも「バイパスステージ」と称される。

[0020] 回路のステージ：入力側と出力側のステージ間レジスタで挟まれた組み合わせ回路。

[0021] ステージ間レジスタ：回路のステージの間に設けられたレジスタ。

[0022] バイパス候補のステージ間レジスタ：バイパス設定可能レジスタ。

[0023] バイパス設定されるステージ間レジスタ：バイパス設定レジスタ。

[0024] バイパスステージ選択パターン：バイパス設定可能レジスタ（バイパス候補レジスタ）のステージのうちバイパス設定レジスタのステージの組合せを有するパターン。

[0025] バイパスステージ情報：バイパスステージ選択パターンを全て有する情報。

[0026] バイパス設定回路：バイパス設定可能レジスタをバイパス設定する回路であり、バイパス設定されるレジスタの組合せに対応するモード設定値に応じて、バイパス設定とバイパス非設定のバイパス制御信号を生成し、各バイパス設定可能レジスタに出力する回路。

[0027] SRC：高級言語で記述されたソースコードであり、C言語、C++言語、System C言語など。

[0028] FF：フリップフロップであり、ステージ間レジスタのこと。

[0029] EDA：Electric Design Automationの略であり、半導体などの設計作業を自動化する手法の総称。

[0030] CFG : Control Flow Graphの略であり、回路の制御の流れを表現した図。

[0031] DFG : Data Flow Graphの略であり、回路のデータの流れを表現した図。

[0032] CDFG : Control Data Flow Graphの略であり、CFGとDFGをあわせた図であり、高位合成時に内部で生成される。

[0033] FSM : Finite State Machineの略であり、制御用の有限状態機械。

[0034] [高位合成]

まず、高位合成について簡単に説明する。図1は、高位合成を含む集積回路の設計工程を示すフローチャート図である。集積回路の設計工程は、集積回路の仕様に基づいてC言語などで回路動作を記述したソースコード10から、高位合成制約12と高位合成ライブラリ14とに基づいて、HDLで回路の機能を記述したハードウェア記述16を生成する高位合成工程ST1を有する。高位合成制約12と高位合成ライブラリ14については、前述の定義集で説明したとおりである。

[0035] さらに、設計工程は、HDLの記述16をゲートを記述したネットリスト18に変換する論理合成工程ST2と、ネットリストに基づいて回路要素とそれを接続する配線をレイアウトするレイアウト工程ST3とを有する。レイアウト工程により生成されたレイアウトデータからマスクを生成するマスク生成工程ST4と半導体基板に集積回路を形成する製造工程ST5とにより、システム・オン・チップSoCなどの集積回路が製造される。

[0036] また、図示しないが、FPGA用の論理合成ツールが、HDL記述をFPGAのコンフィグレーションデータを生成する。そして、コンフィグレーションデータをFPGAにダウンロードしフィールドプログラマブルゲートアレイFPGAに設定し、HDL記述の機能を有する回路構成を有する集積回路に変換する。

[0037] 図2は、高位合成工程のフローチャート図である。高位合成工程ST1は、ソースコードを解釈し、演算間のデータ依存関係や制御依存関係を示すコントロール・データ・フロー図CDFGを作成するCDFG作成工程ST11と、その最適化工程ST12と、指定されたテクノロジーのライブラリを高位合成ライブラリ14から抽出するライブラリ処理工程ST13とを有する。

- [0038] さらに、高位合成工程ST1は、演算器の種類や数などを決定するアロケーション工程ST14と、CDFG内の演算を高位合成制約12に基づいて並列化し、実行サイクルを決定するスケジューリング工程ST15とを有する。スケジューリングには、演算資源を制約にして回路のレイテンシ（入力から出力までのクロック数）の最小化を目的とする資源制約スケジューリングや、逆にレイテンシを制約にして回路の資源数の最小化を目的とする時間制約スケジューリングなどがある。
- [0039] また、高位合成工程ST1は、CDFG内の演算子を演算器に、変数や配列をレジスタやメモリにマッピングするバインディング工程ST16を有し、このスケジューリング工程とバインディング工程により各ステージの組み合わせ回路とステージ間レジスタとを有する回路構成が決定される。そして、最後に、HDL生成工程ST17が、決定した回路構成を実現する回路ブロックを記述するRTL記述16を生成する。
- [0040] RTL記述は、一般に可読性が低く人が修正をすることは困難である。したがって、高位合成されたRTL記述の回路において、クロック周波数や回路構成を変更するためには、高位合成制約を変更して再度高位合成を行い、ソースコードからRTL記述を生成する必要がある。さらに、RTL記述から製造された集積回路であるSoCのクロック周波数や回路構成を変更することは困難であり、高位合成から始まる回路設計工程を再度行うことが必要である。
- [0041] 高位合成は、逐次動作のアルゴリズムを記述したソースコードから、演算器やメモリポート数などの資源制約や、実行サイクル数や各ステージの遅延時間などの時間制約に基づいて、高速だが規模が大きい回路や、低速だが規模が小さく消費電力が少ない回路など様々な回路を合成する。
- [0042] 図3、図4は、ソースコードを高位合成した場合の回路の元となるデータフローグラフDFGの一例を示す図である。図3、図4のソースコード10は、8個のデータ $i[0] \sim i[7]$ の累積値sumを算出して出力する動作を記述する。
- [0043] 高位合成ツールは、このようなソースコード10を高位合成する過程で、図3または図4に示されるデータフローグラフDFGを生成する。図3のデータ

フローグラフDFGは、ソースコードの加算順と同じように加算演算を逐次実行するのに対して、図4のデータフローグラフDFGは、加算の実行順序を変更し4個の加算器を利用して加算演算を3サイクルで完了する。この場合、図3のデータフローグラフの場合は、1個の加算器を繰り返し動作させる回路構成にすることができ回路規模（回路面積）を小さくすることができるのに対して、図4のデータフローグラフの場合は、4個の加算器を有するので回路規模は大きいが演算サイクル数（レイテンシ）を3に少なくすることができる。このようなデータフローグラフは、最適化工程ST12により生成される。

[0044] 図3，図4の例で分かるとおり、高位合成ツールにより生成されるHDL記述された回路は、様々な構成を有することが可能である。

[0045] 図5は、高位合成制約をクロック周波数200MHzに設定した場合に生成される回路例を示す図である。図5の回路の元になるデータフローグラフは、図4のデータフローグラフである。図4のデータフローグラフにスケジューリングとバインディングを行うことで、図5のような各加算演算器の間にステージ間レジスタFFを有する回路を生成する。

[0046] 図5の回路例は、入力ステージS1と3段の加算ステージS2，S3，S4と出力ステージそれぞれの間にステージ間レジスタであるフリップフロップFFがマッピングされている。そして、3段の加算ステージの遅延時間は5nsと200MHzのクロックの周期5nsと同じである。そして、入力から出力までのレイテンシは4クロック（サイクル）であり、入力ステージS1と3つの加算ステージS2～S4それぞれの出力側のステージ間レジスタFFの数は、8個、4個、2個、1個で合計15個である。

[0047] 図5の回路は、最大クロック周波数200MHzで動作させることができるとともに、速度を要求しない時はクロック周波数100MHzで動作させることもできる。但し、レジスタであるFFの数は常時7個であり、省電力化は限定的である。

[0048] 図6，図7は、高位合成制約をクロック周波数100MHzに設定した場合に生成される回路例を示す図である。図6の回路例は、入力ステージS1と初段の

加算ステージS2と3段目の加算ステージS4にフリップフロップFFがマッピングされ、2段目の加算ステージにはフリップフロップはマッピングされていない。その結果、加算ステージは2段になっていて、それらの遅延時間は10nsとクロックの周期と同じである。そして、入力から出力までのレイテンシは3クロックである。また、2段目の2個の加算器の出力側にはフリップフロップが配置されていないので、各ステージのFFの数は、8個、4個、1個で合計13個である。

[0049] 一方、図7の回路例は、入力ステージS1と2段目の加算ステージS3と3段目の加算ステージS4にフリップフロップFFがマッピングされ、初段の加算ステージにはフリップフロップはマッピングされていない。その結果、加算ステージは2段になっていて、それらの遅延時間は10nsとクロックの周期と同じである。そして、入力から出力までのレイテンシは3クロックである。また、初段の4個の加算器の出力側にはフリップフロップが配置されていないので、各ステージのFFの数は、8個、2個、1個で合計11個である。

[0050] 図6, 7の回路は、最大クロック周波数200MHzで動作させることはできないが、回路規模が小さくなり省電力化することができる。

[0051] このように、高位合成では、高位合成制約条件を変更することで、様々な構成の回路の記述を生成することができる。図5の回路は、高速のクロック周波数100MHzで動作させることができ、単位時間当たりのデータ処理量であるパフォーマンスを高くすることができる。一方、図6, 7の回路は、高速クロック周波数での動作はできないが、回路規模が小さく、消費電力を低減することができる。さらに、レイテンシのクロック数（クロックサイクル数）を小さくできる。

[0052] しかしながら、高位合成によりHDL記述を生成した後では、図5の回路の記述を図6, 7の回路の記述に変更すること、またはその逆方向の図6, 7の回路の記述から図5の回路の記述に変更することは、前述のとおりHDL記述の可読性の低さなどから困難である。さらに、集積回路を製造した後では、両回路間の変更はほとんど不可能である。

[0053] [本実施の形態の高位合成]

図8は、高位合成制約をクロック周波数100MHzに設定した場合に生成される回路例を示す図である。設計装置20は、コンピュータに高位合成プログラムST1, ST20をインストールした高位合成専用コンピュータである。設計装置20は、CPUなどのプロセッサ21と、メモリ22と、高位合成プログラムST1, ST20と様々なデータを格納するストレージ（図示せず）と、それらを接続するバスBUSを有する。さらに、図示されていないが、ディスプレイやキーボードなどの入出力装置と、ネットワークに接続されるネットワークインターフェースなども有する。

[0054] 本実施の形態の高位合成プログラムST10は、図2で説明した高位合成プログラムST1と、本実施の形態による新規機能を拡張するためのプログラムST20とを有する。この新規機能拡張プログラムST20は、バイパスステージ抽出モジュールST21と、バイパス設定回路生成モジュールST22と、バイパス設定回路接続モジュールST23とを有する。これらのモジュールの機能については後で詳述する。

[0055] データ類は、高位合成プログラムST20が参照する高位合成ライブラリ14と、高位合成制約12と、高位合成プログラムST20が入力するC言語などによるビヘイビア（動作）記述10と、高位合成プログラムST20が出力するHDLによる回路記述16とを有する。さらに、高位合成プログラムST20が生成する高位合成レポート情報30を有する。

[0056] さらに、データ類は、新規機能拡張プログラムST20が参照するバイパス制約情報31と、新規機能拡張プログラムST20が生成するバイパスレポート32と、バイパスステージ情報33と、バイパス設定回路のHDL記述34とを有する。また、データ類は、HDLによる回路記述16にバイパス設定回路のHDL記述34を合体した新しい回路記述17を有する。この合体処理は、新規機能拡張プログラムST20のバイパス設定回路接続モジュールST23が、回路記述16内のバイパス設定可能レジスタにバイパス設定回路のバイパス制御信号を接続した回路記述17を生成する処理である。

[0057] 図9は、本実施の形態における高位合成プログラムST10のフローチャート図である。前述のとおり、本実施の形態における高位合成プログラムST10は、一般的な高位合成工程ST1と、本実施の形態で追加される新規機能拡張工程ST20とを有する。

[0058] 本実施の形態における高位合成の概略は次のとおりである。

[0059] まず、高位合成プログラムST10は、高位合成制約を設定してソースコード10の動作を実現するHDLの回路記述16を生成する。本実施の形態では、高位合成制約を、想定される集積回路の動作状態のうち最大のクロック周波数に設定して、高位合成を行う。その結果、高位合成プログラムST10は、例えば図5に示したように、最大クロック周波数の周期に対応した間隔でレジスタFFが挿入されたHDLの回路記述16を生成する。図5の回路例では、入力ステージと3つの加算ステージの4つのステージの間にステージ間レジスタFFが設けられる。

[0060] そして、新たに追加した新規機能拡張プログラムST20は、第1に、高位合成レポート情報30とバイパス制約情報31とに基づいて、バイパスステージ情報33とバイパスレポート32とを生成するバイパスステージ抽出モジュール（または工程）ST21を有する。このバイパスステージ抽出工程ST21では、バイパス制約情報31のバイパス制約条件に基づいて、HDLの回路記述16内のステージ間レジスタのどのステージの出力側レジスタFFをバイパス設定可能なレジスタにするかの抽出処理を行う。さらに、抽出したバイパス設定可能なレジスタのうち、バイパス制約条件に基づいて、バイパス設定するレジスタの組合せパターンを好ましくは全て抽出する。この結果、バイパス設定可能なレジスタの複数のステージの中からバイパス設定するレジスタのステージの組合せパターンを、好ましくは、全て有するバイパスステージ情報33が生成される。

[0061] なお、バイパスステージとは、前述の用語の定義で説明したとおり、回路のステージの出力側のステージ間レジスタがバイパスされたステージであり、そのステージの出力側の全てのステージ間レジスタがバイパス設定される

。

[0062] 図10は、ステージ間レジスタとバイパス設定可能なステージ間レジスタの例を示す図である。ステージ間レジスタFFは、一般的なD型フリップフロップであり、データ入力端子Dに入力される入力をクロックCLKの立ち上がりエッジ（または立ち下がりエッジ）のタイミングでラッチし、出力Qからラッチデータを出力する。また、リセット端子RSTBにLレベルのリセット信号RSTが入力されるとラッチデータは0にリセットされる。

[0063] 一方、バイパス設定可能なステージ間レジスタFF_bpは、D型フリップフロップFFに、入力端子Dに接続されたバイパスルートBPと、バイパスルートBPまたはフリップフロップFFのいずれかを選択するセクタSELを有する。そして、バイパス制御信号S#がS#=1であれば、セクタSELがバイパスルートBPを選択し、S#=0であれば、フリップフロップFFを選択する。これにより、バイパス設定可能なステージ間レジスタFF_bpは、バイパス制御信号S#を「1」に設定することでバイパス設定され、入力INは、クロックCKのタイミングに制約されずバイパスされる。

[0064] さらに、バイパス設定可能なステージ間レジスタFF_bpは、クロックCKをバイパス制御信号S#の反転論理に応じてクロック端子CLKに供給するクロックゲートCGを有する。このクロックゲートCGにより、バイパス制御信号S#がS#=1になると、クロックゲートCGはクロック信号CKの通過を禁止してフリップフロップFFのクロックに同期したラッチ動作を停止する。

[0065] したがって、ステージ間レジスタが、S#=1によりバイパス設定されると、クロックゲートCGはクロックCKの通過を禁止し、フリップフロップはラッチ動作を停止し、省電力状態になる。逆にS#=0によりバイパス設定が解除されると、クロックゲートはクロックCKの通過を許可し、フリップフロップはラッチ動作を行う。

[0066] 図11は、本実施の形態における高位合成で生成される回路の一例を示す図である。図11の回路は、図5の回路のステージ間レジスタであるフリップフロップFFを、バイパス設定可能なステージ間レジスタFF_bpに置き換えた

回路である。そして、バイパス制御信号S1-S4をS1=0, S2=0, S3=1, S4=0に設定することで、4つのステージのステージ間レジスタのうち3段目のステージのステージ間レジスタFF_bpがバイパス設定されている。その結果、3段目のステージ間レジスタFF_bpが削除され、図6の回路と同じになり、入力から出力までは3クロックのレイテンシになる。

[0067] しかも、バイパス設定可能なステージ間レジスタFF_bpは、図10で説明したとおり、バイパス設定されるとクロックゲートCGがクロックCKの通過を禁止してフリップフロップのラッチ動作を停止する。その結果、図11の回路は、動作クロック周波数を100MHzに低速にするとともに、ステージ間レジスタ2個分の消費電力が削減される。

[0068] 同様に、図11において、バイパス制御信号S1-S4をS1=0, S2=1, S3=0, S4=0に設定することで、4つのステージ間レジスタのうち2段目のステージ間レジスタFF_bpがバイパス設定され、さらに4個のステージ間レジスタの消費電力が削減され、実質的に図7の回路と同じになる。

[0069] 後述するとおり、バイパス設定可能なステージ間レジスタFF_bpをバイパス設定またはバイパス非設定するバイパス制御信号S1-S4を生成するバイパス設定回路を設け、バイパス設定回路が出力するバイパス制御信号の組合せを、外部から設定するモード信号により変更可能にすることで、高位合成された回路の構成を変更することができる。製造済みの集積回路の段階でも同様に、モード信号により回路の構成を変更できる。

[0070] 図9に戻り、第1に、新規機能拡張プログラムST20は、高位合成レポート情報30とバイパス制約情報31とに基づいて、バイパスステージ情報33とバイパスレポート32とを生成するバイパスステージ抽出モジュール（または工程）ST21を有する。

[0071] 高位合成レポート情報30は、高位合成プログラムST1が高位合成過程で生成する情報であり、各ステージの遅延時間などのタイミング情報、回路規模など回路が形成されるエリアの大きさを有するエリア情報、各ステージのバイパス設定可能レジスタのステージ数の情報などを有する。バイパス制約情

報 3 1 は、どのステージのステージ間レジスタをバイパス設定可能レジスタにするか、またどのステージ間レジスタをバイパス設定禁止にするか、などを有する。

[0072] したがって、バイパスステージ抽出工程ST21では、高位合成工程ST1により生成された図 5 のような回路のステージ間レジスタFFについて、バイパス制約情報 3 1 に基づいて、ステージ間レジスタFFのうちバイパス設定可能なステージ間レジスタFF_bpに置換するレジスタを抽出する。さらに、バイパス設定可能なステージ間レジスタFF_bpを持つ複数のステージうち、バイパス設定されるステージ間レジスタのステージの組合せのパターンを全て抽出する。具体例は後述する。

[0073] さらに、バイパスステージ抽出工程ST21では、高位合成レポート 3 0 に基づいて、バイパス設定されるステージ間レジスタを有するステージの組合せのパターンそれぞれについて、ステージの遅延時間や削減されるステージ間レジスタの数などを算出し、バイパスレポート 3 2 を生成する。バイパスレポート 3 2 は、クロック周波数（つまりタイミング）を優先した場合にバイパス制御信号S#をどのように設定すべきか、削減されるステージ間レジスタの数（つまり消費電力）を優先した場合にバイパス制御信号S#をどのように設定すべきかなどの情報を有する。

[0074] 集積回路のユーザは、このバイパスレポートを参照して、バイパス設定可能なステージ間レジスタの状態を設定し、所望の動作の回路に変更可能である。具体例は後述する。

[0075] 第 2 に、新規機能拡張プログラムST20は、バイパスステージ情報 3 3 に基づいて、バイパス設定回路の記述 3 4 を生成するバイパス設定回路生成モジュール（または工程）ST22を有する。バイパス設定回路 3 4 は、外部からモード信号を設定することで、設定したモード信号に対応するバイパス設定されるステージ間レジスタのステージの組合せをバイパス設定する。

[0076] 第 3 に、新規機能拡張プログラムST20は、新たなHDLによる回路 1 7 を生成するバイパス設定回路接続モジュール（または工程）ST23を有する。バイパ

ス設定回路接続工程ST23では、高位合成プログラムST1が生成したHDLによる回路記述 1 6 の回路内のステージ間レジスタをバイパス設定可能なステージ間レジスタに置換し、そのバイパス設定可能なステージ間レジスタとバイパス設定回路 3 4 とを接続して新たなHDLによる回路記述 1 7 を生成する。具体例は後述する。

[0077] 以下、新規機能拡張プログラムST20について、具体例を交えて詳細に説明する。

[0078] 図 1 2 は、バイパス制約情報の一例を示す図である。図 1 2 には、一例として 5 項目のバイパス制約条件が示されている。項目 1 は、バイパスステージ数（または数の範囲）である。例えば、バイパスステージ数を 1 - 2 と設定すると、同時にバイパス設定されるレジスタのステージ数は、1 ステージまたは 2 ステージに制約される。ここで、バイパスステージとは、図 1 1 の回路における 4 つのステージ（入力ステージ、3 つの加算ステージ）のうち、各ステージの出力側のレジスタがバイパス設定されたステージを意味する。したがって、バイパスステージ数が 1 - 2 に設定されると、図 1 1 の 4 つのステージの出力側のバイパス設定可能レジスタ群のうち、同時に 1 ステージまたは 2 ステージがバイパス設定される。設定値は、最小数、最大数、固定数、数の範囲などが可能である。

[0079] 項目 2 は、入力の初段ステージのバイパス禁止であり、設定値は真か偽かである。真に設定すると、入力の初段ステージのレジスタはバイパスが禁止され、したがって、図 1 1 の入力の初段ステージS1のレジスタは、バイパス設定可能なレジスタFF_bpに置換されず、通常のレジスタFFのままになる。一般的な回路の場合、入力端子に接続されるレジスタFFのラッチ機能が必須の場合があり、そのような回路の場合は設定値は真にされる。

[0080] 項目 3 は、出力の最終ステージのバイパス禁止であり、設定値は真か偽である。真に設定すると、出力の最終ステージのレジスタはバイパスが禁止され、したがって、図 1 1 の集団ステージS4のレジスタは、バイパス設定可能なレジスタFF_bpに置換されず、通常のレジスタFFのままになる。一般的な回

路の場合、出力端子に接続されるレジスタFFのラッチ機能が必須の場合があり、そのような回路の場合は設定値は真にされる。

[0081] 項目4は、バイパスを禁止する特定のステージであり、設定値はステージ番号である。Stage_5N（Nは整数）と設定すると、5の倍数のステージのレジスタは、バイパスを禁止される。したがって、5の倍数のステージのレジスタFFは、バイパス設定可能なレジスタFF_bpに置換されない。

[0082] 項目5は、バイパスを禁止する連続ステージであり、設定値「0」は偽であり、連続ステージのバイパス設定を禁止しない（いかなる数の連続ステージをバイパスしてよい）ことに設定される。設定値「2」は、バイパスを禁止する連続ステージの最小数が2であることを意味する。そして、2以上の連続ステージ、すなわち全ての連続ステージのバイパス設定は禁止される。設定値「3」は、同様の最小値が3であることを意味し、2つの連続ステージのバイパス設定は許可されるが、3つ以上の連続ステージのバイパス設定は禁止される。

[0083] 図12のバイパス制約情報の例では、後述するバイパスステージ抽出工程S T21で、項目2, 3, 4でバイパス設定が禁止されているステージ以外のステージのレジスタFFが、バイパス設定可能レジスタFF_bpに特定される。そして、項目1, 5の制約条件に基づいて、バイパス設定可能レジスタFF_bpをバイパス設定するステージの全組合せパターンが抽出される。

[0084] 図13は、バイパスステージ抽出工程の概略を説明する図である。図13には、図11と同様の入力端子SIと出力端子SOとの間に4ステージS1-S4のバイパス設定可能なレジスタFF_bpが設けられた回路が示されている。高位合成レポート情報30は、図示されるとおり、各ステージS1-S4のレジスタFF_bpの数と、レジスタ間の遅延時間（各回路ステージの遅延時間）を有する。数と遅延時間は、図示されるとおりである。

[0085] ここで、バイパス制約情報31が、項目1のバイパスステージ数「1」を有する場合について説明する。ステージS2のバイパス設定可能レジスタFF_bpをバイパス設定してステージS2をバイパスステージにすると、ステージS2の

4 個のレジスタはバイパスされ、4 個のレジスタが削除されその消費電力が削減される。さらに、データパスはS1からS3となり、その遅延時間は $2.65\text{ns} + 2.51\text{ns} = 5.16\text{ns}$ となる。

[0086] 同様に、ステージS3のバイパス設定可能レジスタFF_bpをバイパス設定してステージS3をバイパスステージにすると、ステージS3の2 個のレジスタはバイパスされ、2 個のレジスタが削除されその消費電力が削減される。さらに、データパスはS2からS4となり、その遅延時間は $2.51\text{ns} + 2.23\text{ns} = 4.74\text{ns}$ となる。

[0087] また、ステージS1またはS4のレジスタをバイパス設定した場合の遅延時間は、図示されるとおりである。

[0088] 図 1 3 に示すとおり、バイパスステージ抽出工程では、バイパス制約情報に基づいて、バイパス設定されるレジスタのステージ（バイパスステージ）を抽出し、バイパスステージ選択パターン及びバイパスステージ選択パターンを集めたバイパスステージ情報を生成する。さらに、バイパスステージ抽出工程では、バイパスステージ選択パターン毎に、バイパス設定されたことによる遅延時間の変化や削減されるレジスタ数を算出し、バイパスレポートを作成する。

[0089] [バイパスステージ抽出工程ST21]

図 1 4 は、バイパスステージ抽出工程ST21のフローチャート図である。また、図 1 5 は、バイパスレポートの詳細版の例を示す図である。バイパスステージ抽出工程について、バイパスレポートの詳細版を参照しながら説明する。なお、バイパスレポート詳細版にはバイパスステージ選択パターンが含まれている。

[0090] バイパスステージ抽出工程ST21は、バイパス制約情報を読み込み（ST31）、高位合成レポート情報を読み込み（ST32）、バイパスレポートを作成する（ST33）。そして、バイパスレポート作成工程ST33で生成された結果を集計して、バイパスレポートの詳細版と要約版を生成し（ST34）、さらに、バイパスレポートの作成工程ST33で生成されたバイパスステージ選択パターンを

集めてバイパスステージ情報を生成する（S35）。

[0091] 次に、上記のバイパスレポートの作成工程ST33について説明する。ここで、バイパス制約は、バイパスが禁止されるステージなし（設定値2，3は偽、設定値4はなし）、設定値5のバイパスを禁止する連続ステージの最小値は「3」（連続バイパスステージ数は2まで許可）、設定値1のバイパスステージ数が1－2（1から2）の場合とする。その結果、図11に示す回路のように、全てのステージS1-S4にバイパス設定可能なステージ間レジスタFF_bpが挿入される。

[0092] バイパスレポートの作成工程ST33は、バイパスステージ数毎に繰り返され、全バイパスステージ数を処理すると終了する（ST40）。前述のバイパス制約は、バイパスステージ数が1－2であるので、バイパスステージ数は1と2である。

[0093] まず、バイパスレポートの作成工程は、バイパスステージ数を選択する（ST41）。例えば、バイパス制約で設定されたバイパスステージ数1，2のうちバイパスステージ数1を選択する。そして、バイパスレポートの作成工程は、図11の4つのステージS1-S4をそれぞれバイパス設定する4つのパターンがバイパスステージ選択パターンとして生成される（ST42）。すなわち、図15の「バイパスステージ数が1個の場合の遅延情報のレポートR1_1」のバイパスステージ選択パターンが生成される。レポートR2_1も同様である。このバイパスステージ選択パターンは、各ステージS1-S4がそれぞれバイパス設定（図中bypass）された4つのパターンを有する。

[0094] 同様に、バイパスステージ数2を選択した場合は、図15の「バイパスステージ数が2個の場合の遅延情報のレポートR1_2」のバイパスステージ選択パターンが生成される。レポートR2_2も同様である。つまり、このバイパスステージ選択パターンは、4つのステージS1-S4のうち同時に2つのステージがバイパス設定（図中bypass）された6つのパターンを有する。

[0095] 上記のとおり、バイパスステージ選択パターンは、バイパス設定可能な複数のステージのうちバイパス設定に選択された（バイパス設定された）ステ

ージの組合せパターンである。

[0096] 次に、バイパスレポートの作成工程は、生成した複数のバイパスステージ選択パターン毎に工程ST44-ST47を繰り返す（ST43）。まず、バイパスステージ選択パターンを選択する（ST44）。例えば、図15のレポートR1_1、R2_1の先頭のバイパスステージ選択パターン（モード設定M1S1のパターン）を選択するとする。先頭のバイパスステージ選択パターンは、最初のステージS1の出力側レジスタがバイパス設定され、残りのステージS2, S3, S4はバイパス設定されないパターンである。バイパスレポートの作成工程は、選択したバイパスステージ選択パターンにモード設定の名前（ID）を割り当てる（ST45）。レポートR1_1、R2_1の例では、先頭のパターンのモード設定のIDは、「M1S1」である。

[0097] そして、バイパス設定されたステージを考慮して、各パスの遅延時間（各レジスタ間の遅延時間）を算出し、その中から最大パス遅延時間を計算する（ST46）。レポートR1_1の例では、先頭のパターンM1S1はステージS1がバイパス設定されるので、それにより遅延時間が6.65nsと他のパス遅延時間より長くなり、最大パス遅延時間は6.6nsとなる。

[0098] さらに、各ステージのレジスタ数を計算する（ST47）。この計算では、各ステージのレジスタFFの数を集計して、レジスタ数の合計とバイパス設定により削減されたレジスタ数を算出する。レポートR2_1の例では、先頭のパターンM1S1はステージS1のレジスタFF数が0になり、レジスタFF数の合計が7，削減されたレジスタFF数が8になる。

[0099] レポートR1_1、R2_1の4つのバイパスステージ選択パターン全てについて、上記の工程ST44-ST47が完了すると（ST43のYES）、4つのパターンを最大パス遅延でランク付けし（ST48）、レジスタFF数またはレジスタFFの削減数でランク付けする（ST49）。ランク付けにしたがい、モード設定順位付けをレポートに追加する。その結果、図15のレポートR1_1、R2_1が生成される。

[0100] すなわち、最大遅延時間が短いパターンほどタイミング優先（周波数優先

）に基づく順位が上位になる。例えば、レポートR1_1では、モード設定M1S3が順位付けTM1L1と最上位になっている。レポートR1_2では、モード設定M2S24が順位付けTM2L1と最上位である。

[0101] また、削減されるレジスタFF数が多いパターンほど消費電力優先に基づく順位が上位になる。例えば、レポートR2_1では、モード設定M1S1が順位付けPM1L1と最上位になっている。レポートR2_2では、モード設定M2S12が順位付けPM2L1と最上位になっている。

[0102] レポートR1_2, R2_2も同様にしてパス遅延時間の計算（ST46）とレジスタ数とバイパス設定されて削減されたレジスタ数の計算（ST47）とランク付け（ST48, ST49）により、図15に示されたレポートが作成される。

[0103] バイパスステージ抽出工程ST21では、上記のバイパスレポート作成工程ST3の計算結果に基づいて、詳細版と要約版のバイパスレポートを生成する（ST34）。詳細版のバイパスレポートは、図15に一例として示したように、例えば、バイパスステージ数別に遅延情報レポートR1_1, R1_2（バイパスステージ数1）と、レジスタFF数情報レポートR2_1, R2_2（バイパスステージ数2）とを有する。遅延情報、レジスタ数情報以外にユーザによる回路の変更の指標になるような別の優先条件がある場合は、その優先条件毎にレポートが生成されることが望ましい。別の優先条件としては、例えば遅延時間の均一性、最大遅延時間と削減レジスタ数のバランス順（両指標の合計評価が高い順など）などが考えられる。

[0104] 図16は、要約版バイパスレポートの一例を示す図である。図16中、レポートSR1は、バイパスステージ数別に、タイミング優先（遅延時間優先）で最上位の順位付けIDとそのモード設定IDと、消費電力優先（削減FF数優先）で最上位の順位付けIDとそのモード設定IDをまとめたものである。レポートSR1は、入力の初段ステージS1のバイパス禁止が偽（False）の場合であるので、図15の詳細版バイパスレポートと最上位が同じになっている。

[0105] レポートSR2は、レポートSR1と同様に、バイパスステージ数別に、タイミ

ング優先と消費電力優先それぞれで最上位の順位付けIDとそのモード設定IDを示す。但し、入力の初段ステージS1のバイパス禁止が真（True）の場合であるので、詳細版バイパスレポートから初段ステージS1をバイパスしているバイパスレジスタ選択パターンを除外した場合の最上位が示されている。

[0106] レポートSR3は、レポートSR2においてタイミング優先についてそれぞれの最大遅延時間を追加している。レポートSR4は、レポートSR2において消費電力優先についてそれぞれのレジスタFFの削減数を追加している。

[0107] 要約版バイパスレポートは、高位合成の後において、特に製造された後において、ユーザが回路構成を変更するときに参照するレポートであり、そのような目的に応じて詳細版バイパスレポートを編集したレポートであることが好ましい。図16に示した要約版バイパスレポートは一例であり、上記以外の編集をしたレポートでもよい。たとえば、バイパスステージ数別のタイミング優先の順位でソートしたモード設定IDと最大遅延時間（または周波数）の表や、消費電力優先の順位でソートしたモード設定IDとレジスタFFの削減数の表。または、バイパスステージ数にかかわらず、単純にタイミング優先の順にソートしたモード設定IDと最大遅延時間（または周波数）の表や、消費電力優先の順位でソートしたモード設定IDとレジスタの削減数の表、などである。

[0108] 次に、上記のバイパスステージ情報生成工程ST35について説明する。バイパスステージ情報生成工程では、バイパスレポート作成工程ST33で生成したバイパスステージ選択パターンとそれに割り当てたモード設定IDを全て集める。つまり、バイパスステージ情報は、図15のレポートR1_1, R1_2またはR2_1, R2_2のバイパスステージ選択パターンとモード設定IDの集合である。その結果、図18に示されるバイパスステージ情報33が生成される。

[0109] [バイパス設定回路生成工程ST22]

図17は、バイパス設定回路生成工程ST22のフローチャート図である。図9に示したとおり、バイパス設定回路生成工程は、バイパスステージ抽出工程ST21で生成したバイパスステージ情報33から、バイパス設定回路の記述

を生成する。

[0110] 図 18 は、バイパスステージ情報とデコード表とバイパス設定回路の例を示す図である。図 18 を参照して、図 17 のフローチャート図を説明する。図 17 に示されるとおり、バイパス設定回路の生成工程は、まずバイパスステージ情報 33 を読み込む (ST50)。バイパスステージ情報は、モード設定 ID に対応して各ステージのうちどのステージのレジスタ (ステージの出力側のレジスタ) をバイパス設定するかを示す表である。そこで、バイパスステージ選択パターンを 2 進数と見なして、モード設定 ID とモードコード MODE とバイパスステージ選択パターンとの関係を示すデコード表 33D を生成する (ST51)。最後に、デコード表 33D に従ってモードコード MODE を設定するとバイパスステージ選択パターンに示されるようなバイパス制御信号 S1-S4 を生成するバイパス設定回路 34 の記述を生成する (ST52)。

[0111] [バイパス設定回路接続工程 ST23]

図 19 は、バイパス設定回路接続工程 ST23 のフローチャート図である。図 20 は、バイパス設定回路を接続した後の新たな回路を示す図である。

[0112] バイパス設定回路の接続工程では、バイパス設定回路の記述 34 と HDL による回路記述 16 をそれぞれ読み込み (ST60, ST61)、HDL の回路記述 16 内の各ステージのステージ間レジスタ FF のうち、バイパスステージ情報 33 内のバイパス設定可能なステージのステージ間レジスタ FF を、バイパス設定可能なレジスタ FF_bp に置換する (ST62)。

[0113] さらに、接続工程では、バイパス設定回路のバイパス制御信号 S1-S4 を、各ステージのバイパス設定可能レジスタ FF_bp のバイパス設定端子に接続するように、回路記述を変更する (SST63)。その結果、HDL による回路記述 16 の回路にバイパス設定回路 34 を接続した新たな HDL による回路記述 17 が生成される (ST64)。

[0114] なお、図 20 に示したバイパス設定回路 34 は、図 18 のモードレジスタ MODE_REG を内蔵する。

[0115] [第 2 の実施の形態]

第1の実施の形態では、高位合成工程ST1で生成したHDLによる回路内の全てのステージ間レジスタFFをバイパス設定可能レジスタFF_bpに置換した。第2の実施の形態では、バイパス制約情報にバイパスを禁止するステージの制約（項目2，3，4等）が含まれている場合に、バイパス設定が許可されるステージ間レジスタFFだけをバイパス設定可能レジスタFF_bpに置換する。これにより、バイパス設定回路を小さくできる。

[0116] 図21、図22は、第2の実施の形態の概略を説明する図である。図21の例は、図11と同様に、全てのステージ間レジスタがバイパス設定可能レジスタFF_bpに置換された例である。それに対して、図22は、バイパス制約情報に初段ステージと最終段ステージのレジスタのバイパス設定を禁止する制約が含まれている場合の回路構成を示す。図22の例では、初段ステージS1に属するレジスタと最終段ステージS4に属するレジスタは、バイパス設定することは禁止されているので、通常のレジスタFFのままである。それ以外のステージS2, S3のレジスタがバイパス設定可能レジスタFF_bpに置換されている。

[0117] 図22の回路の場合、バイパス設定の可能性のあるステージS2, S3のみバイパス制御信号を供給すれば良いことになるので、バイパス設定回路の規模と、バイパス制御信号の数を小さくすることができ、回路面積、消費電力を抑制できる。

[0118] 図23は、第2の実施の形態における高位合成プログラムのフローチャート図である。第1の実施の形態の図9と異なる処理は、バイパス設定回路接続工程ST23で、バイパスステージ情報33を参照して、バイパスステージ情報内のバイパスステージ選択パターンに含まれるバイパス設定可能なステージに対応するレジスタだけを、バイパス設定可能レジスタFF_bpに置換する処理である。それ以外は、図9と同じである。

[0119] 図24は、第2の実施の形態におけるバイパス設定回路接続工程ST23のフローチャート図である。第1の実施の形態の図14と異なる処理は、バイパス禁止ステージをバイパス選択パターンから削除する処理工程ST42_1であり

、それ以外は図 1 4 と同じである。すなわち、工程ST42で生成されたパターンステージ選択パターンは、バイパス制約のバイパス禁止ステージにかかわらず、全てのステージ間レジスタがバイパス候補でありバイパス設定可能レジスタに置換されるものと過程して生成される。しかし、第 2 の実施の形態では、工程ST42_1で、バイパス制約で規定されているバイパス禁止ステージをバイパス候補から削除し、同様にバイパス禁止ステージをバイパスステージ選択パターンから削除する。例えば、バイパス制約が初段ステージS1と最終段ステージS4とをバイパス禁止ステージに特定しているならば、図 1 5 の詳細版バイパスレポート内のバイパスステージ選択パターンから、ステージS1, S4をバイパス設定しているパターンが削除される。

[0120] 図 2 5 は、第 2 の実施の形態における詳細版バイパスレポートの一例を示す図である。第 2 の実施の形態では、図 1 5 の詳細版バイパスレポート内のバイパスステージ選択パターンからバイパス禁止ステージを含むパターンを削除する。その結果、図 2 5 のバイパスレポートから、網掛けしたバイパスステージ選択パターンが削除され、パターン数がバイパスステージ数が 1 個の場合は 2 つ、2 個の場合は 1 つ、合計 3 つに削減される。

[0121] 図 2 6 は、バイパスステージ情報とデコード表とバイパス設定回路を示す図である。図 1 8 と比較すると、図 2 6 のバイパスステージ情報 3 3 は、バイパスステージ選択パターンのステージ数がS2, S3と 2 つに減り、モード設定IDが、全レジスタがバイパス設定されない回路モードM0と、3 つのモード設定ID、M1S2, M1S3, M2S23に減っている。それに伴いデコード表 3 3 Dも小さくなり、よって、バイパス設定回路 3 4 の入力ビットは 2 ビットとなり、出力されるバイパス制御信号S2, S3も 2 本と少なくなり、その結果、バイパス設定回路の規模も小さく省電力化される。

[0122] 図 2 7 は、第 2 の実施の形態におけるバイパス設定回路の接続工程ST23のフローチャート図である。図 1 9 のHDLによる回路記述の回路の各ステージのレジスタをバイパス設定可能なレジスタFF_bpに置換する処理ST62が、図 2 7 では、バイパスステージ情報 3 3 内のバイパスステージ選択パターンに記載

されたステージのレジスタFFをバイパス設定可能レジスタFF_bpに置換する処理ST62_1に変更されている。つまり、バイパスステージ情報33内のバイパスステージ選択パターンは、既にバイパス制約でバイパスを禁止されているステージを含んでいないので、工程ST62_1では、バイパス制約でバイパスを禁止されたステージのレジスタFFはバイパス設定可能レジスタFF_bpに置換されない。

[0123] 図28は、第2の実施の形態でのバイパス設定回路が接続された新たなHDLによる回路を示す図である。前述のとおり、バイパス設定回路34は、2つのバイパス制御信号S2, S3のみを出力し、2つのバイパス制御信号はHDLによる回路16内のバイパス設定可能レジスタFF_bpに接続される。

[0124] [第3の実施の形態]

第1、第2の実施の形態では、1つのソースコードSRCから1つのHDLによる回路記述を生成した。それに対して、第3の実施の形態では、複数のソースコードからそれぞれの回路記述を生成し、それらの回路記述の回路を有する集積回路を生成する。

[0125] 図29は、第3の実施の形態におけるHDL記述の集積回路の構成を示す図である。図29の集積回路LSIは、6個のHDL記述の回路16_1~16_6それぞれに、HDL記述のバイパス設定回路34_1~34_6を接続したHDL記述の回路17_1~17_6を搭載する。そして、モードレジスタMODE_REGの設定値に対応して各バイパス設定回路がバイパス制御信号S#を回路16_1~16_6に供給して、所定の組合せのステージのレジスタにバイパス設定を行う。

[0126] 以上のとおり、本実施の形態における高位合成を含む設計方法によれば、回路のステージ間レジスタをバイパス設定可能なレジスタに置換した回路のHDL記述と、バイパス制約にしたがう複数のバイパスステージ選択パターンからタイミング優先（ステージ内遅延時間優先）や消費電力優先（バイパス設定で削減されるレジスタ数優先）などの優先条件に応じたバイパスステージ選択パターンの順位などを有するバイパスレポート情報を生成する。したがって、ユーザは、HDL記述に基づいて生成した集積回路内の回路を、バイパス

レポート情報に基づいて所望の動作モードに容易に変更することができる。

符号の説明

- [0127] 1 0 : 動作記述 (C言語等で回路動作 (ビヘイビア) を記述した記述)
- ST10, ST1, ST20 : 高位合成プログラム
- 1 2 : 高位合成制約
- 1 4 : 高位合成ライブラリ
- 1 6 : 回路のハードウェア記述 (HDLで回路の論理を記述した記述)
- 2 0 : 設計装置
- 3 1 : バイパス制約
- 3 0 : 高位合成レポート
- 3 2 : バイパスレポート
- 3 3 : バイパスステージ情報 (バイパスステージ選択パターンを全て有する情報)
- 3 4 : バイパス設定回路 (バイパス設定可能レジスタをバイパス設定する回路)
- FF_bp : バイパス候補のステージ間レジスタ (バイパス設定可能レジスタ)
- FF_bp : バイパス設定されるステージ間レジスタ (バイパス設定レジスタ)
- S1-S4 : バイパスステージ (出力側レジスタがバイパスされるステージ)

請求の範囲

- [請求項1] ソフトウェア言語で動作が記述されたソースコードから回路のハードウェア記述を生成する高位合成処理を有する設計方法において、
- 所定の高位合成制約に基づいて、前記ソースコードから、複数のステージと各ステージ間に設けられるステージ間レジスタとを有する回路を記述するハードウェア記述と高位合成レポート情報を生成し、
- 前記ステージ間レジスタのバイパスに関する制約条件を有するバイパス制約情報と、前記高位合成レポート情報とに基づいて、バイパス候補のステージ間レジスタのステージのうちバイパス設定されるステージ間レジスタのステージの組合せを有するパターンを複数有するバイパスステージ選択パターンを決定し、
- 前記バイパスステージ選択パターンに基づいて、所定の優先条件に応じた前記バイパス設定されるステージ間レジスタの組合せ情報を有するバイパスレポート情報を生成する、設計方法。
- [請求項2] 前記ハードウェア記述を生成する工程において、前記高位合成制約は要求される最速のクロック周波数で動作可能な制約を有し、前記ハードウェア記述にしたがう回路の前記複数のステージの遅延時間が前記最速のクロック周波数の周期以下である、請求項1に記載の設計方法。
- [請求項3] 前記バイパス制約情報は、バイパス設定可能なステージ間レジスタのステージ数、バイパス設定可能な特定のステージ間レジスタのステージ、バイパス設定を禁止する特定のステージ間レジスタのステージ、バイパス設定を禁止するステージ間レジスタのステージの連続数の最小値のうちのいずれか、または任意の組合せを有する制約条件を有し、
- 前記バイパスステージ選択パターンは、前記バイパス制約情報に含まれる制約条件を満たすバイパス設定されるステージ間レジスタのステージの複数の組合せを有する、請求項2に記載の設計方法。

[請求項4] 前記高位合成レポート情報は、前記複数のステージそれぞれの遅延時間と、各ステージが有するステージ間レジスタの数とを有し、

前記所定の優先条件は、前記複数の組合せのうち各組合せにおける最大ステージ遅延時間が短いことを優先する第1の優先条件と、前記複数の組合せの内各組合せにおけるバイパス設定されるステージ間レジスタの総数が多いことを優先する第2の優先条件のいずれかを有し、

前記バイパスレポート情報は、前記第1の優先条件の場合は前記最大ステージ遅延時間が短いまたは長い順位を有し、前記第2の優先条件の場合は前記バイパス設定されるステージ間レジスタの総数が多いまたは少ない順位を有する、請求項3に記載の設計方法。

[請求項5] 前記バイパス候補のステージ間レジスタは、前記ステージの出力信号を保持するラッチ回路と、前記ラッチ回路をバイパスするバイパス配線と、前記ラッチ回路またはバイパス配線のいずれかをバイパス制御信号に基づいて選択するセレクタと、前記バイパス制御信号に基づいてクロックを通過または非通過するクロックゲートとを有し、

前記バイパス制御信号により前記バイパス候補のステージ間レジスタがバイパス設定される、請求項1に記載の設計方法。

[請求項6] さらに、前記バイパスステージ選択パターン内の各パターンに対応するモード設定値に対応して、前記各パターン内の前記バイパス設定されるステージ間レジスタのステージの組合せに対応するバイパス設定またはバイパス非設定の前記バイパス制御信号を生成し、前記バイパス制御信号を前記バイパス候補のステージ間レジスタに供給するバイパス設定回路の記述を、前記ハードウェア記述に追加する工程を有する、請求項5に記載の設計方法。

[請求項7] 前記バイパスステージ選択パターンを決定する工程は、

前記ハードウェア記述にしたがう回路に含まれる前記ステージ間レジスタから、前記制約条件で特定された前記バイパスを禁止する特定

のステージのステージ間レジスタを除いて、前記バイパス候補のステージ間レジスタを選択する、請求項5に記載の設計方法。

[請求項8]

ソフトウェア言語で動作が記述されたソースコードから回路のハードウェア記述を生成する高位合成処理をコンピュータに実行させるコンピュータ読み取り可能な設計プログラムにおいて、前記高位合成処理は、

所定の高位合成制約に基づいて、前記ソースコードから、複数のステージと各ステージ間に設けられるステージ間レジスタとを有する回路を記述するハードウェア記述と高位合成レポート情報を生成することと、

前記ステージ間レジスタのバイパスに関する制約条件を有するバイパス制約情報と、前記高位合成レポート情報とに基づいて、バイパス候補のステージ間レジスタのステージのうちバイパス設定されるステージ間レジスタのステージの組合せを有するパターンを複数有するバイパスステージ選択パターンを決定することと、

前記バイパスステージ選択パターンに基づいて、所定の優先条件に応じた前記バイパス設定されるステージ間レジスタの組合せ情報を有するバイパスレポート情報を生成すること、とを有する設計プログラム。

[請求項9]

前記ハードウェア記述を生成する工程において、前記高位合成制約は要求される最速のクロック周波数で動作可能な制約を有し、前記ハードウェア記述にしたがう回路の前記複数のステージの遅延時間が前記最速のクロック周波数の周期以下である、請求項8に記載の設計プログラム。

[請求項10]

前記バイパス制約情報は、バイパス設定可能なステージ間レジスタのステージ数、バイパス設定可能な特定のステージ間レジスタのステージ、バイパス設定を禁止する特定のステージ間レジスタのステージ、バイパス設定を禁止するステージ間レジスタのステージの連続数の

最小値のうちのいずれか、または任意の組合せを有する制約条件を有し、

前記バイパスステージ選択パターンは、前記バイパス制約情報に含まれる制約条件を満たすバイパス設定されるステージ間レジスタのステージの複数の組合せを有する、請求項 9 に記載の設計プログラム。

[請求項11]

ソフトウェア言語で動作が記述されたソースコードから回路のハードウェア記述を生成する高位合成処理部を有する設計装置において、
プロセッサと、

前記プロセッサにより実行される高位合成処理プログラムを記憶する記憶媒体とを有し、

前記高位合成処理プログラムは、

所定の高位合成制約に基づいて、前記ソースコードから、複数のステージと各ステージ間に設けられるステージ間レジスタとを有する回路を記述するハードウェア記述と高位合成レポート情報を生成することと、

前記ステージ間レジスタのバイパスに関する制約条件を有するバイパス制約情報と、前記高位合成レポート情報とに基づいて、バイパス候補のステージ間レジスタのステージのうちバイパス設定されるステージ間レジスタのステージの組合せを有するパターンを複数有するバイパスステージ選択パターンを決定することと、

前記バイパスステージ選択パターンに基づいて、所定の優先条件に応じた前記バイパス設定されるステージ間レジスタの組合せ情報を有するバイパスレポート情報を生成すること、とを有する設計装置。

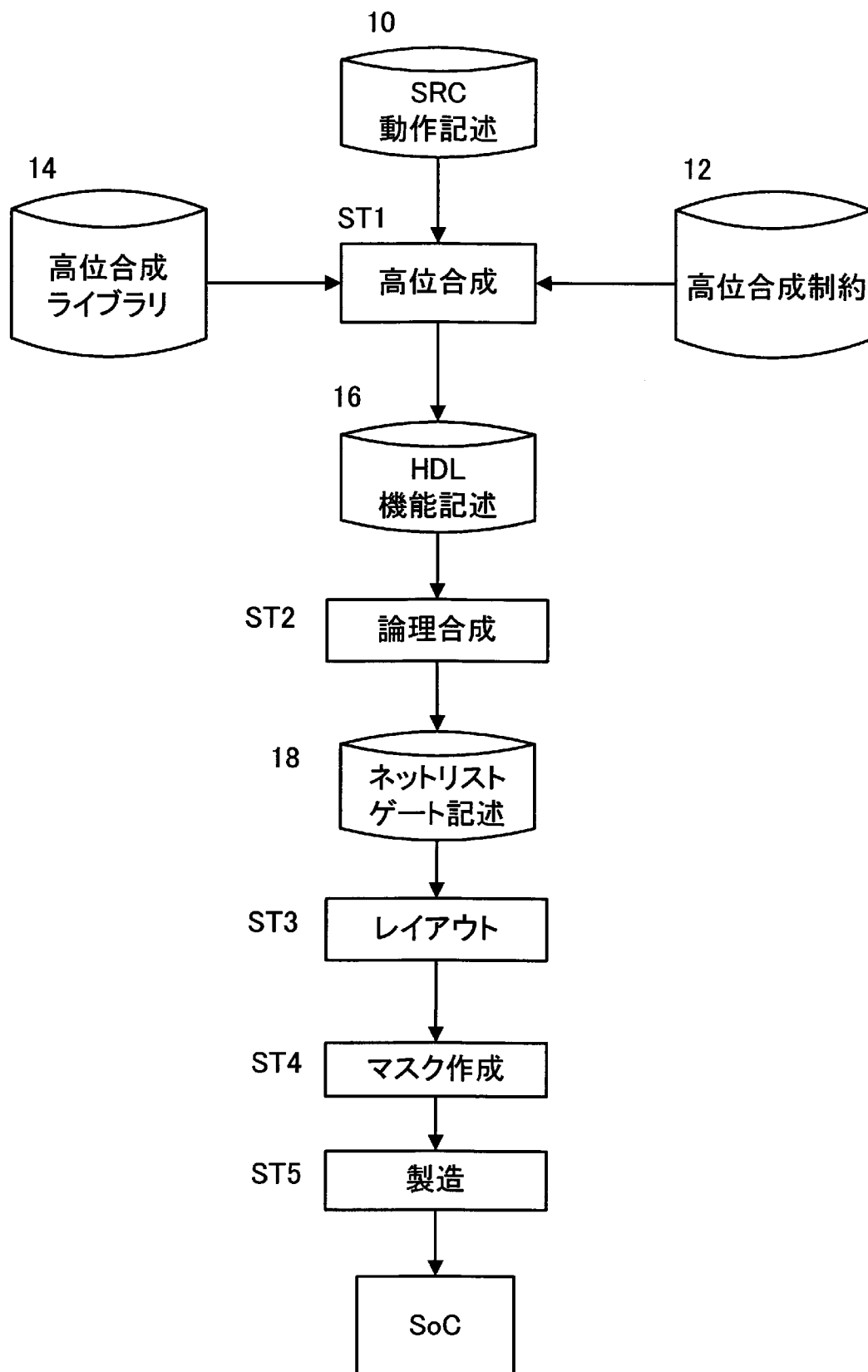
[請求項12]

前記ハードウェア記述を生成することにおいて、前記高位合成制約は要求される最速のクロック周波数で動作可能な制約を有し、前記ハードウェア記述にしたがう回路の前記複数のステージの遅延時間が前記最速のクロック周波数の周期以下である、請求項 11 に記載の設計装置。

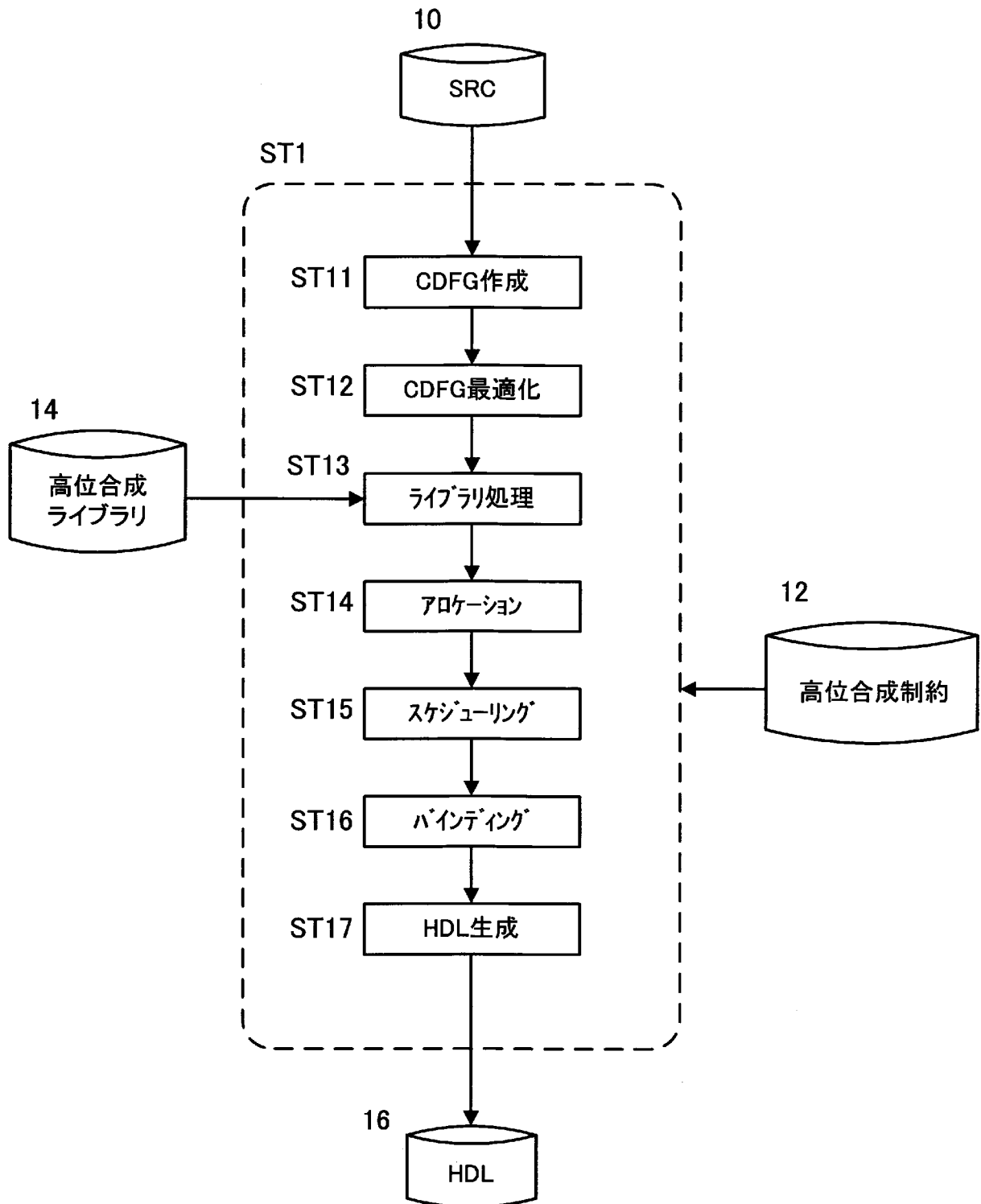
[請求項13] 前記バイパス制約情報は、バイパス設定可能なステージ間レジスタのステージ数、バイパス設定可能な特定のステージ間レジスタのステージ、バイパス設定を禁止する特定のステージ間レジスタのステージ、バイパス設定を禁止するステージ間レジスタのステージの連続数の最小値のうちのいずれか、または任意の組合せを有する制約条件を有し、

前記バイパスステージ選択パターンは、前記バイパス制約情報に含まれる制約条件を満たすバイパス設定されるステージ間レジスタのステージの複数の組合せを有する、請求項12に記載の設計装置。

[図1]



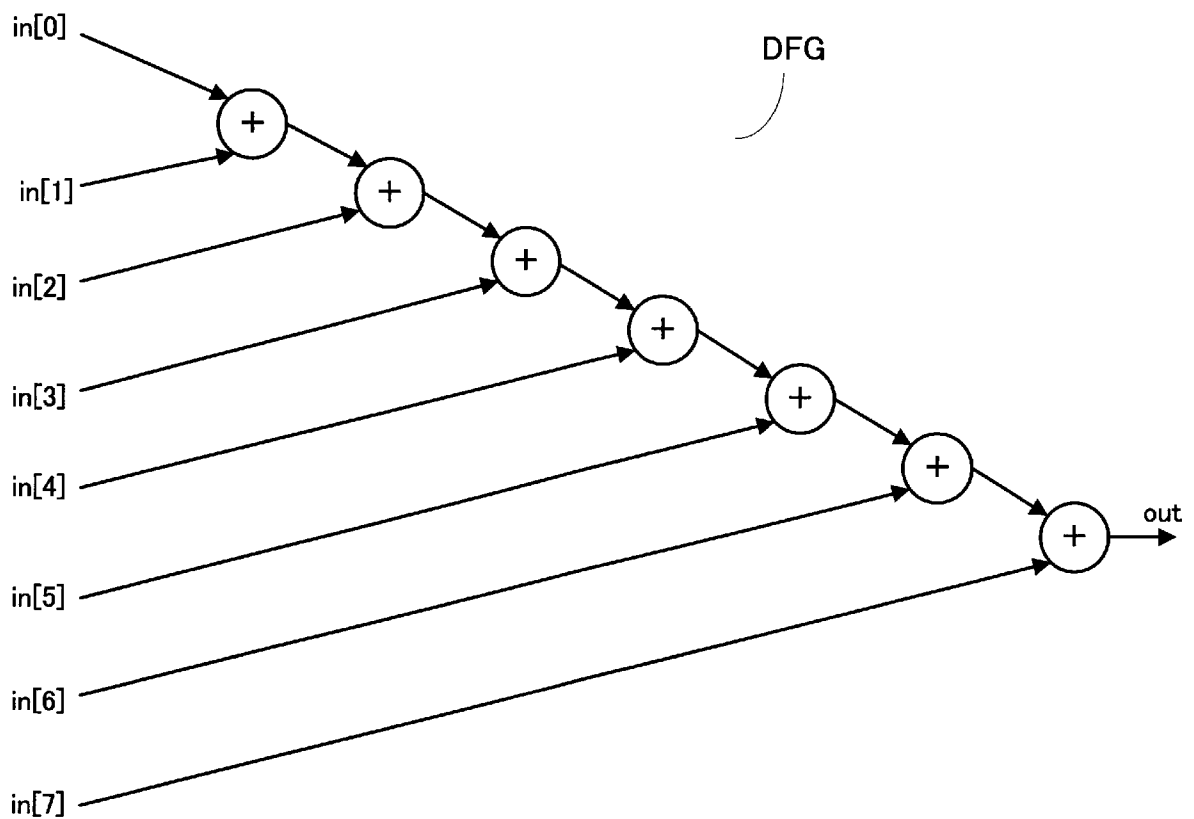
[図2]



[図3]

10

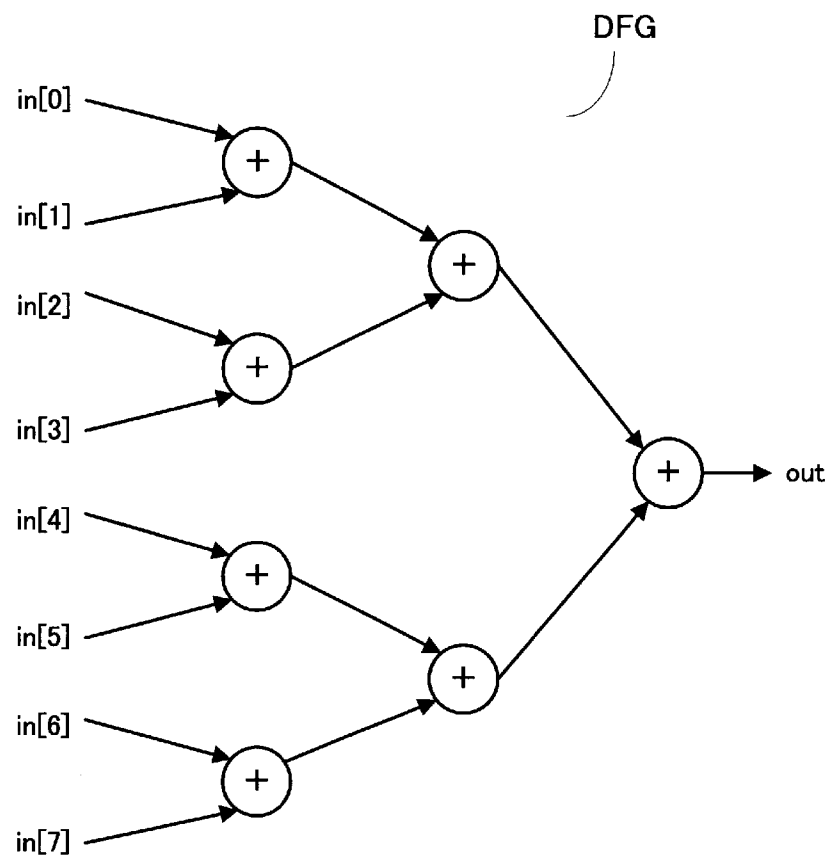
```
// ソースコード  
void mac(const int in[8], int *out)  
{  
    int sum = 0;  
    for (int i = 0; i < 8; i++) {  
        sum += in[i];  
    }  
    *out = sum;  
}
```



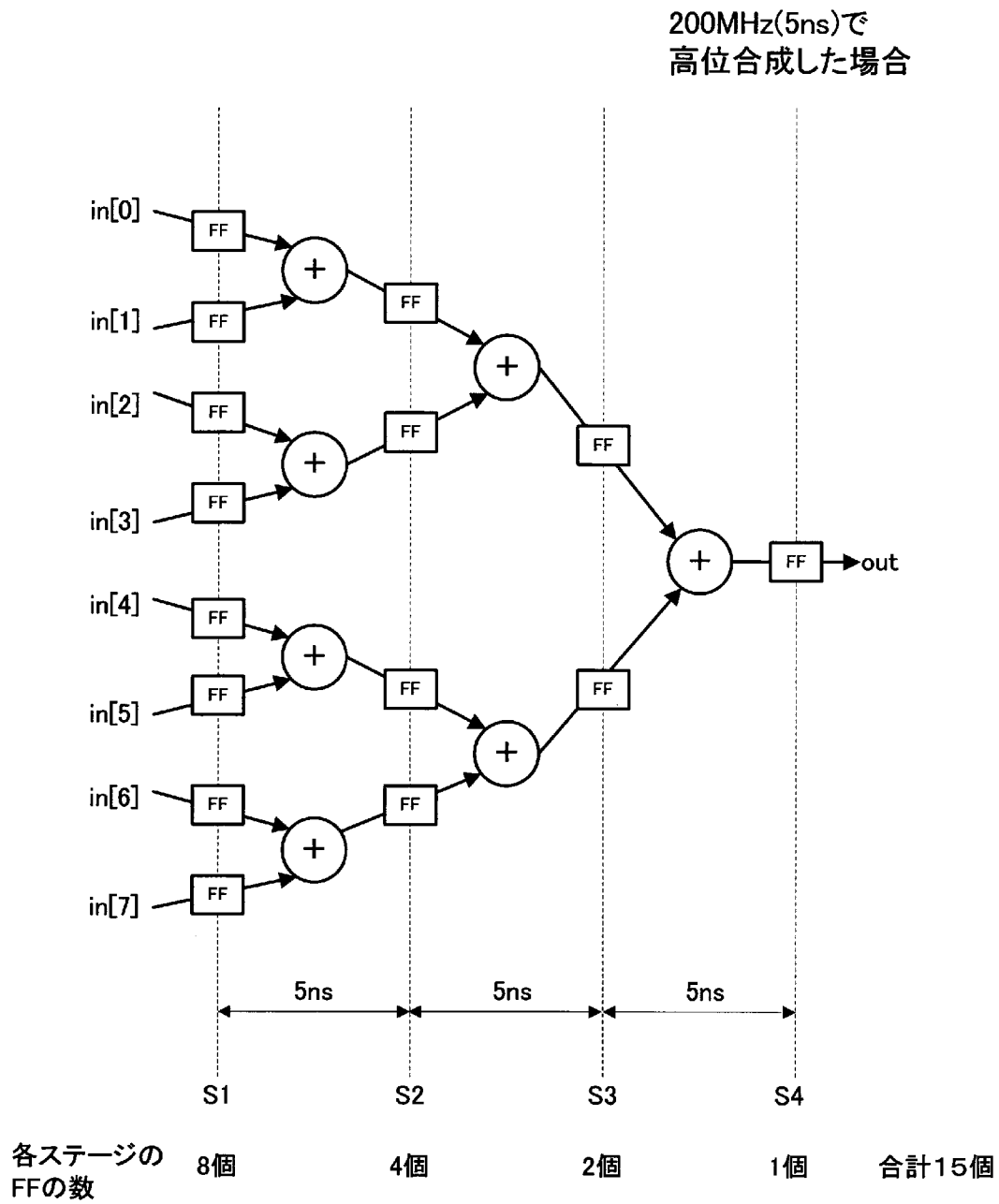
[図4]

10

```
// ソースコード
void mac(const int in[8], int *out)
{
    int sum = 0;
    for (int i = 0; i < 8; i++) {
        sum += in[i];
    }
    *out = sum;
}
```

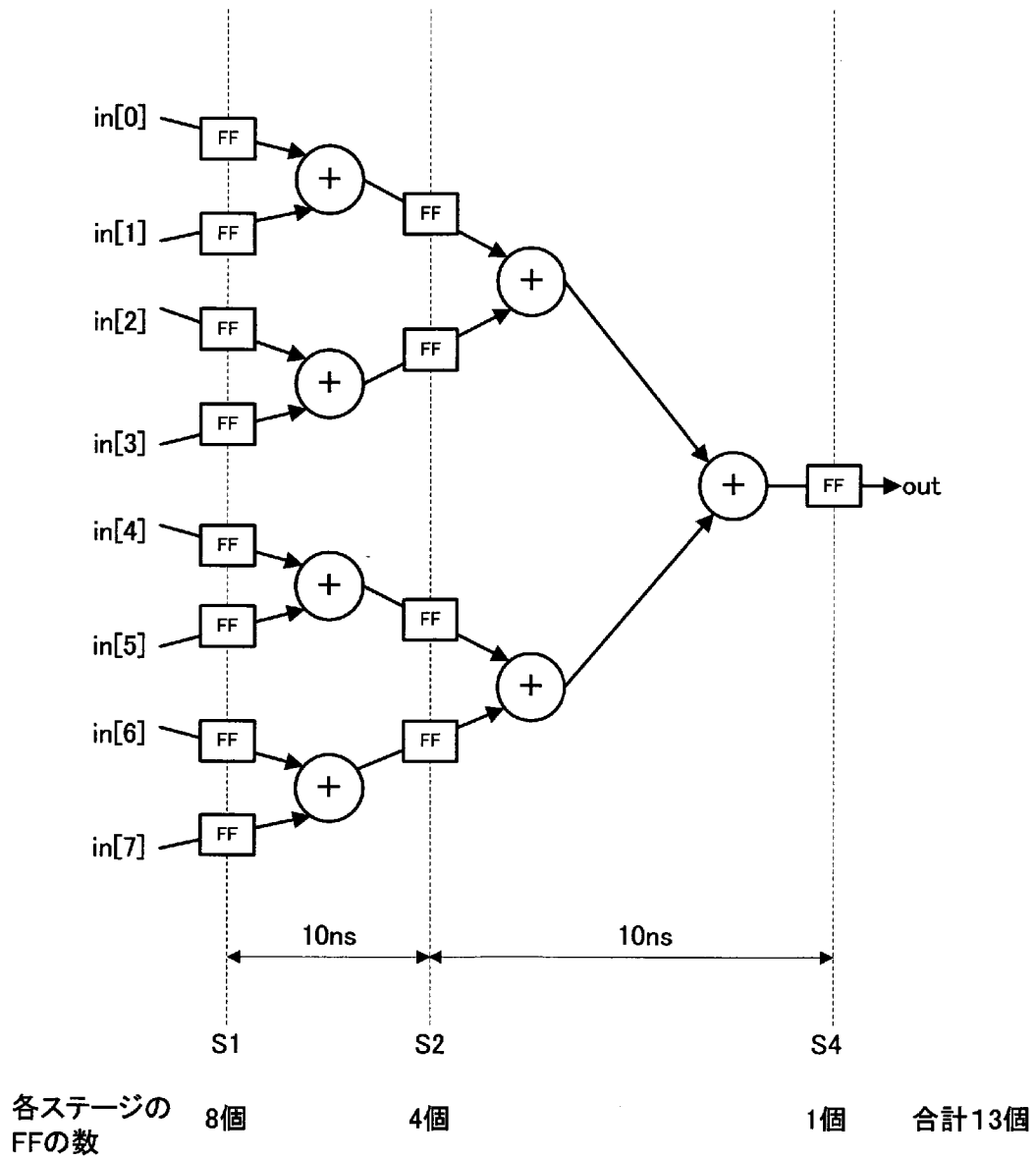


[図5]

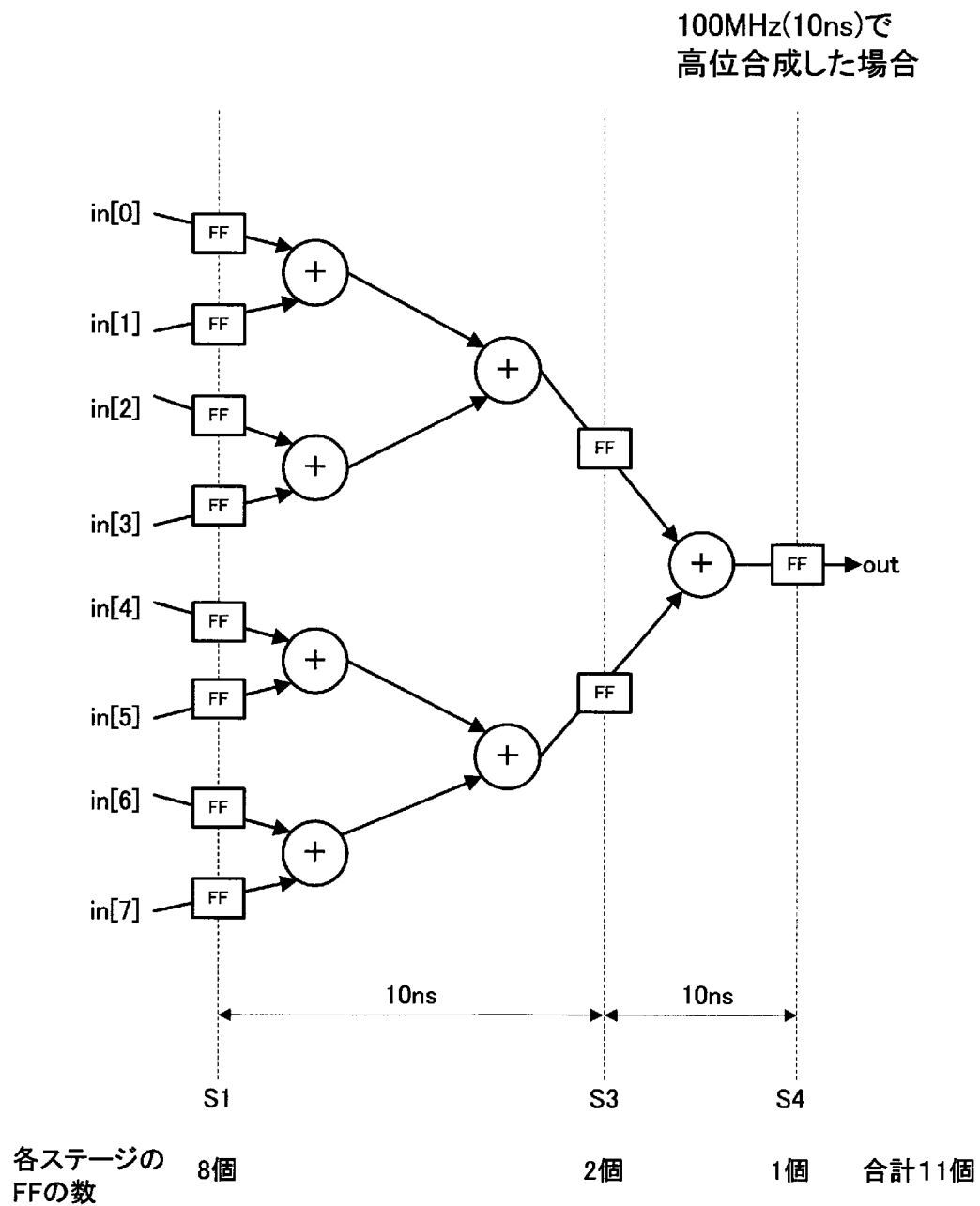


[図6]

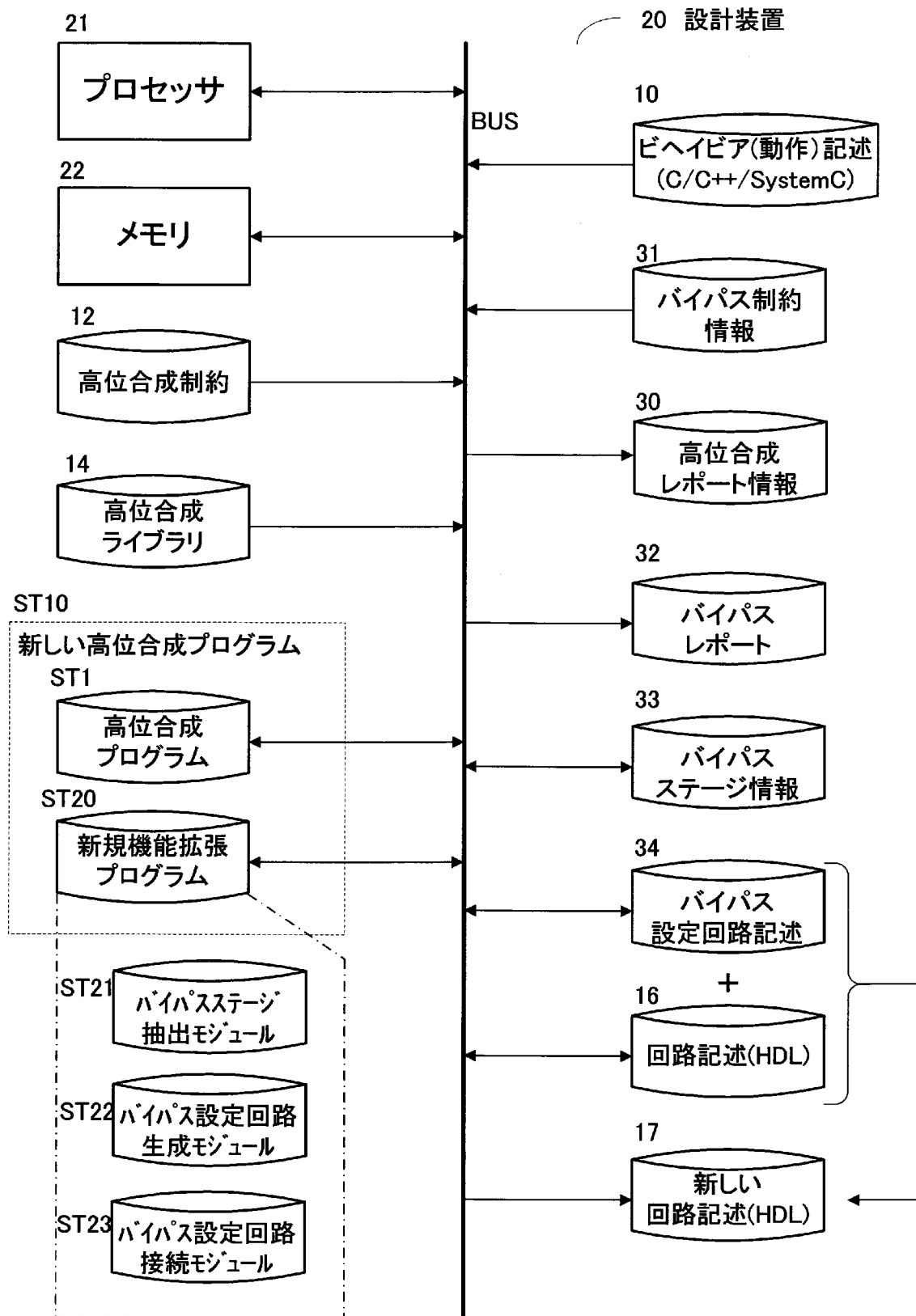
100MHz(10ns)で
高位合成した場合



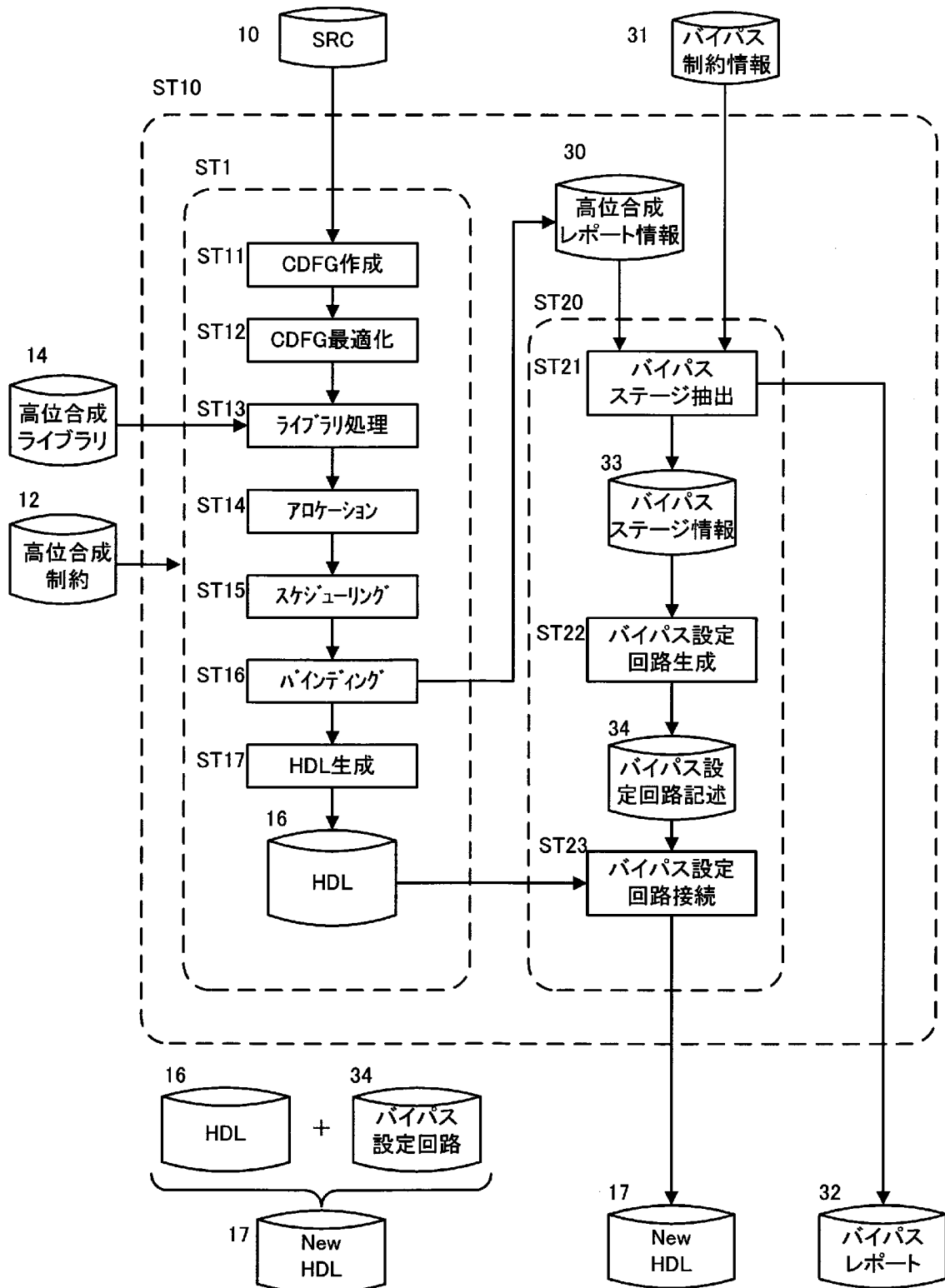
[図7]



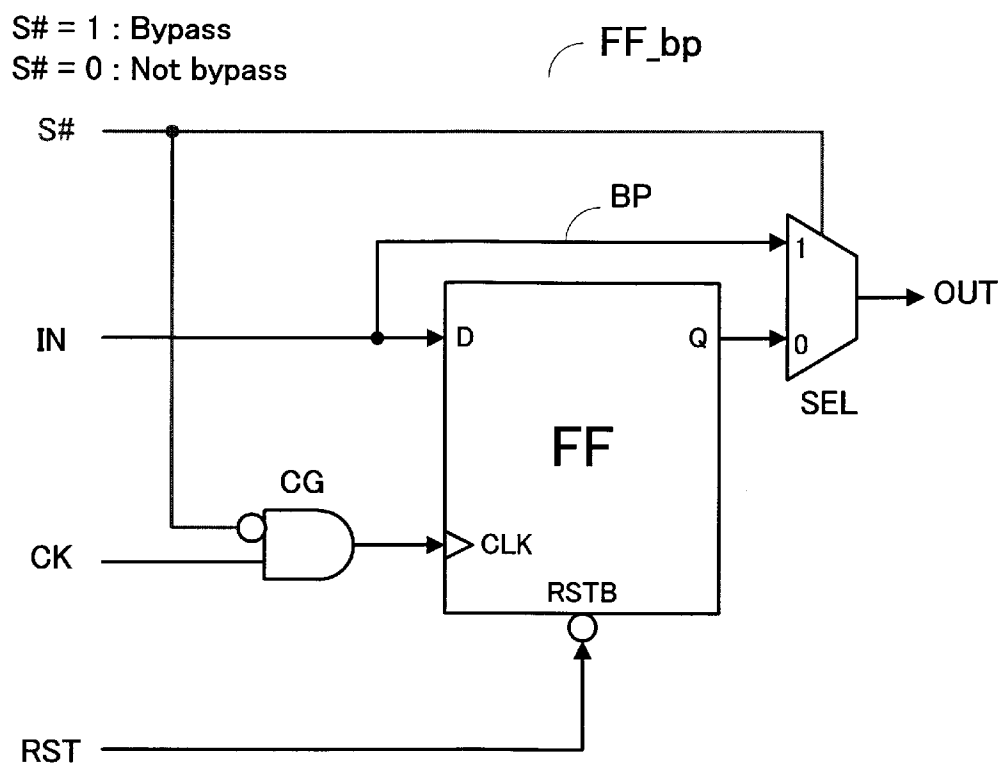
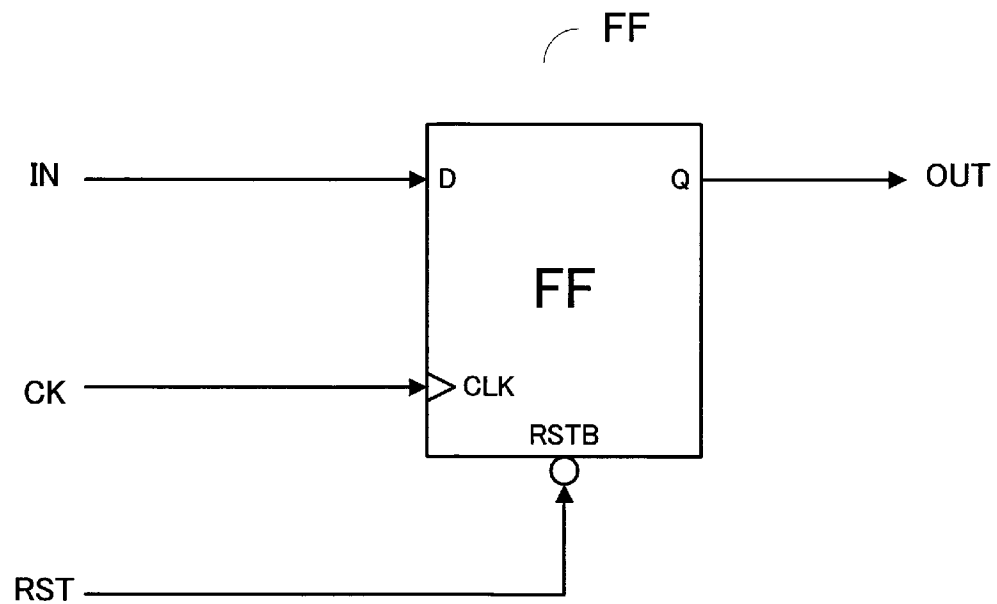
[図8]



[図9]

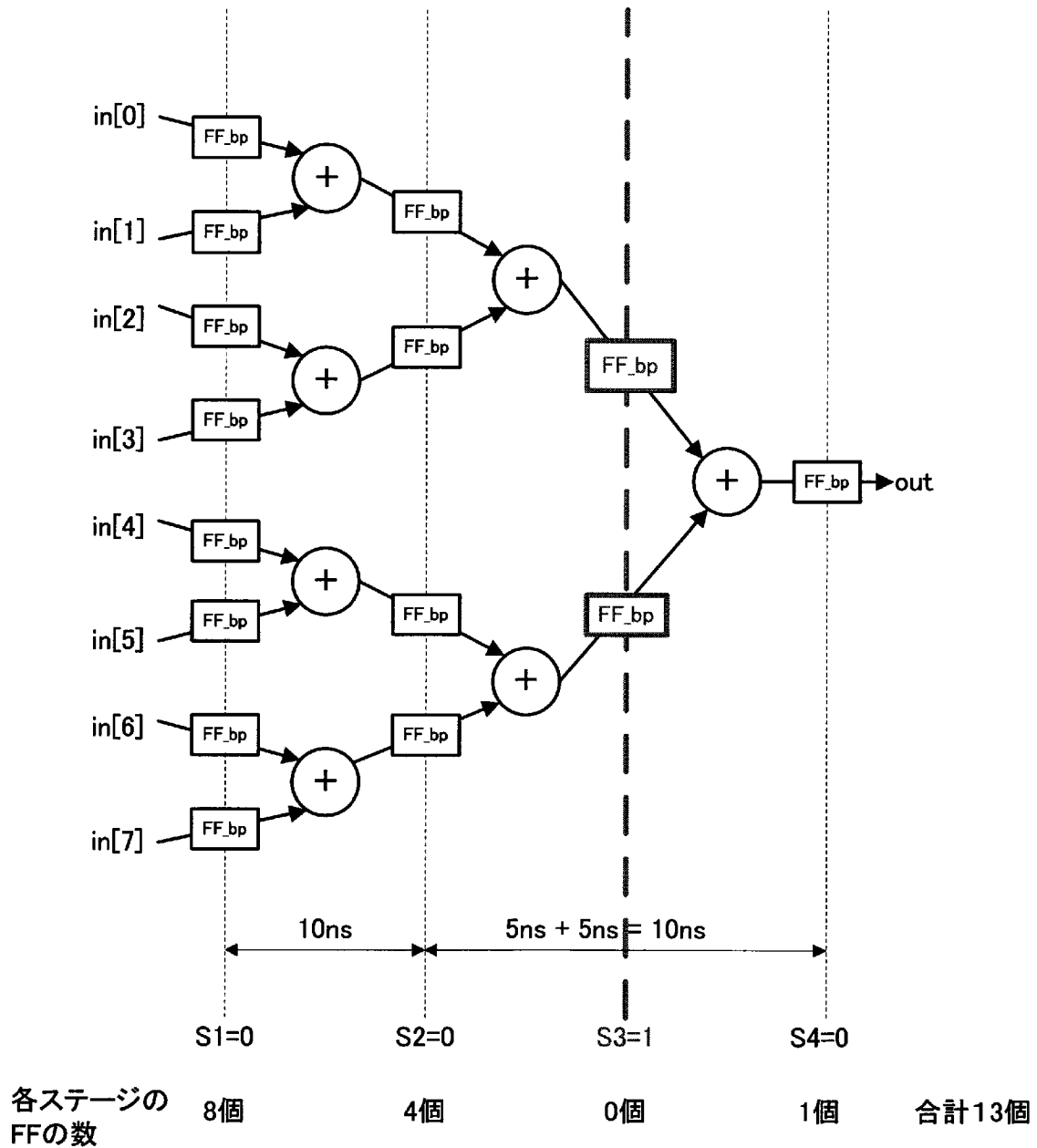


[図10]



[図11]

200MHz(5ns)で
高位合成した場合
100MHz(10ns)で動作

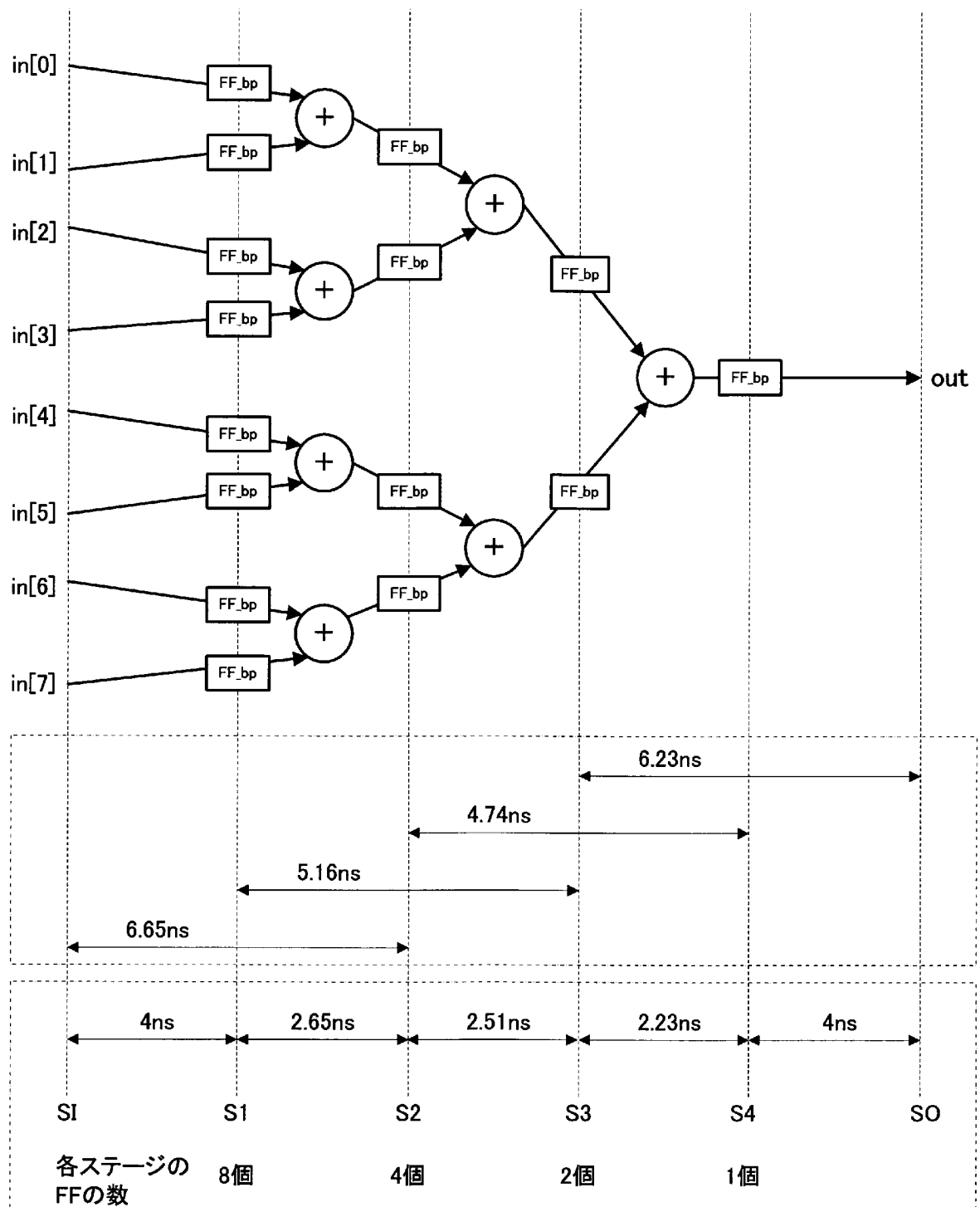


[図12]

バイパス制約情報の例

項目 No.	設定項目	内容	設定例
1	バイパスステージ(バイパス設定可能なレジスタのステージ)の数(または数の範囲)	1-2	1, 2, 4-5
2	入力の初段ステージのバイパス禁止	true	true or false
3	出力の最終ステージのバイパス禁止	false	true or false
4	バイパスを禁止する特定ステージ	Stage_番号	Stage_5N
5	バイパスを禁止する連続ステージの最小数	0	2, 3, etc.

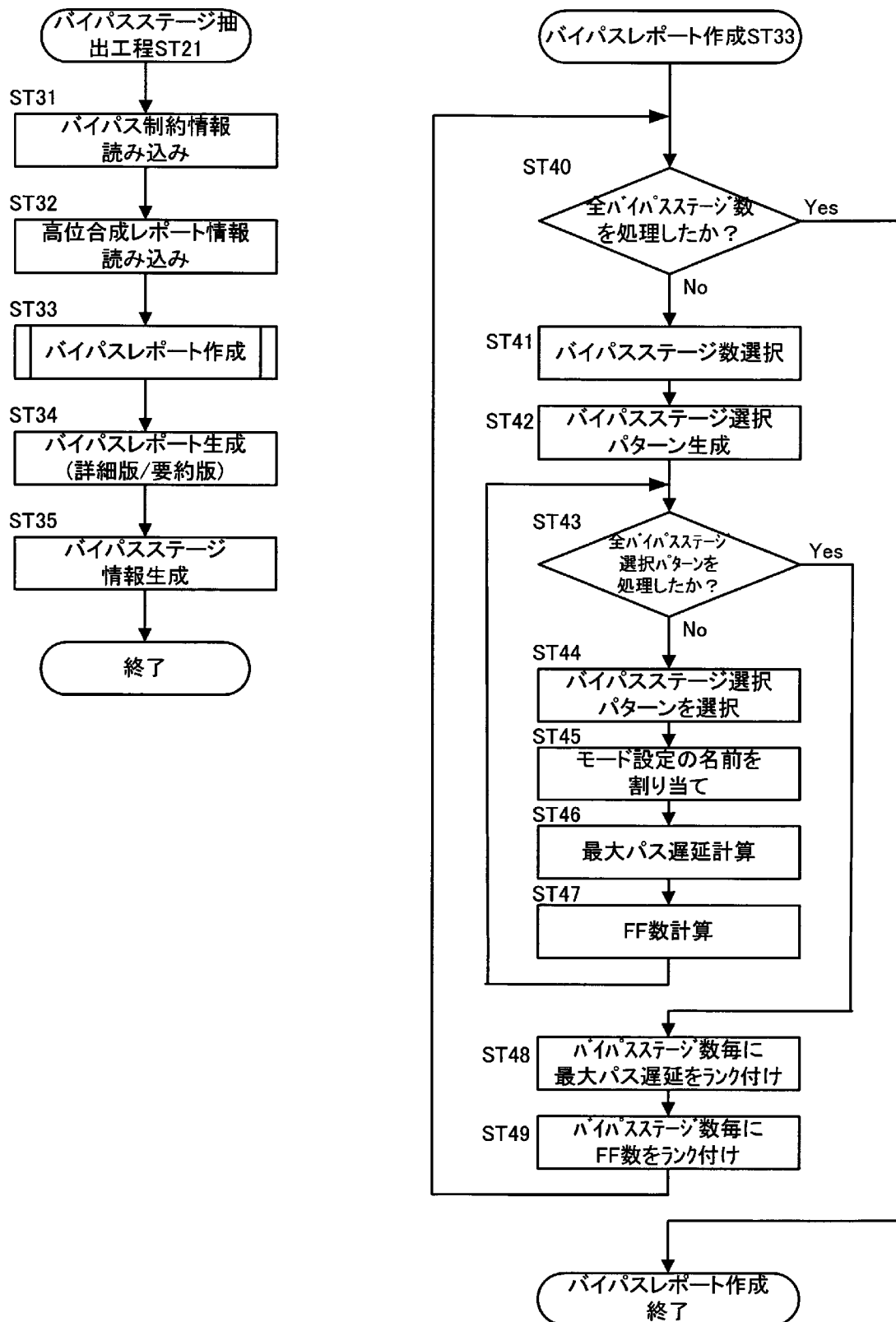
[図13]



30

高位合成
レポート情報

[図14]



[図15]

バイパスレポート(詳細版)

バイパスステージ数が1個の場合の遅延情報 R1_1

モード設定	バイパスステージ選択パターン				パス遅延					最大 パス遅延	モード設定 順位付け
	S1	S2	S3	S4	SI→S1	S1→S2	S2→S3	S3→S4	S4→SO		
M1S1	bypass				6.65ns		2.51ns	2.23ns	4ns	6.65ns	TM1L3
M1S2		bypass			4ns	5.16ns		2.23ns	4ns	5.16ns	TM1L2
M1S3			bypass		4ns	2.65ns	4.74ns		4ns	4.74ns	TM1L1
M1S4				bypass	4ns	2.65ns	2.51ns	6.23ns		6.23ns	TM1L4

バイパスステージ数が2個の場合の遅延情報 R1_2

モード設定	バイパスステージ選択パターン				パス遅延					最大 パス遅延	モード設定 順位付け
	S1	S2	S3	S4	SI→S1	S1→S2	S2→S3	S3→S4	S4→SO		
M2S13	bypass		bypass		6.65ns		4.74ns		4ns	6.65ns	TM2L2
M2S24		bypass		bypass	4ns	5.16ns		6.23ns		6.23ns	TM2L1
M2S12	bypass	bypass			9.16ns			2.23ns	4ns	9.16ns	TM2L6
M2S34			bypass	bypass	4ns	2.65ns	8.74ns			8.74ns	TM2L5
M2S14	bypass			bypass	6.65ns		2.51ns	6.23ns		6.65ns	TM2L3
M2S23		bypass	bypass		4ns	7.39ns			4ns	7.39ns	TM2L4

●
●
●

バイパスステージ数が1個の場合のFF数情報 R2_1

モード設定	バイパスステージ選択パターン				各ステージのFF数				回路のFF数		モード設定 順位付け
	S1	S2	S3	S4	S1	S2	S3	S4	合計	削減数	
M1S1	bypass				0	4	2	1	7	8	PM1L1
M1S2		bypass			8	0	2	1	11	4	PM1L2
M1S3			bypass		8	4	0	1	13	2	PM1L3
M1S4				bypass	8	4	2	0	14	1	PM1L4

バイパスステージ数が2個の場合のFF数情報 R2_2

モード設定	バイパスステージ選択パターン				各ステージのFF数				回路のFF数		モード設定 順位付け
	S1	S2	S3	S4	S1	S2	S3	S4	合計	削減数	
M2S13	bypass		bypass		0	4	0	1	5	10	PM2L2
M2S24		bypass		bypass	8	0	2	0	10	5	PM2L5
M2S12	bypass	bypass			0	0	2	1	3	12	PM2L1
M2S34			bypass	bypass	8	4	0	0	12	3	PM2L6
M2S14	bypass			bypass	0	4	2	0	6	9	PM2L3
M2S23		bypass	bypass		8	0	0	1	1	6	PM2L4

●
●
●

[図16]

バイパスレポート(要約版)

バイパスレポート・サマリ:モード設定 SR1

バイパス ステージ数	タイミング優先		消費電力優先	
0	TM0	M0	PM0	M0
1	TM1L1	M1S3	PM1L1	M1S1
2	TM2L1	M2S24	PM2L1	M2S12
...	...	...	...	...

入力の初段ステージ
をバイパスしない:False

バイパスレポート・サマリ:モード設定 SR2

バイパス ステージ数	タイミング優先		消費電力優先	
0	TM0	M0	PM0	M0
1	TM1L1	M1S3	PM1L2	M1S2
2	TM2L1	M2S24	PM2L4	M2S23
...	...	...	...	...

入力の初段ステージ
をバイパスしない:True

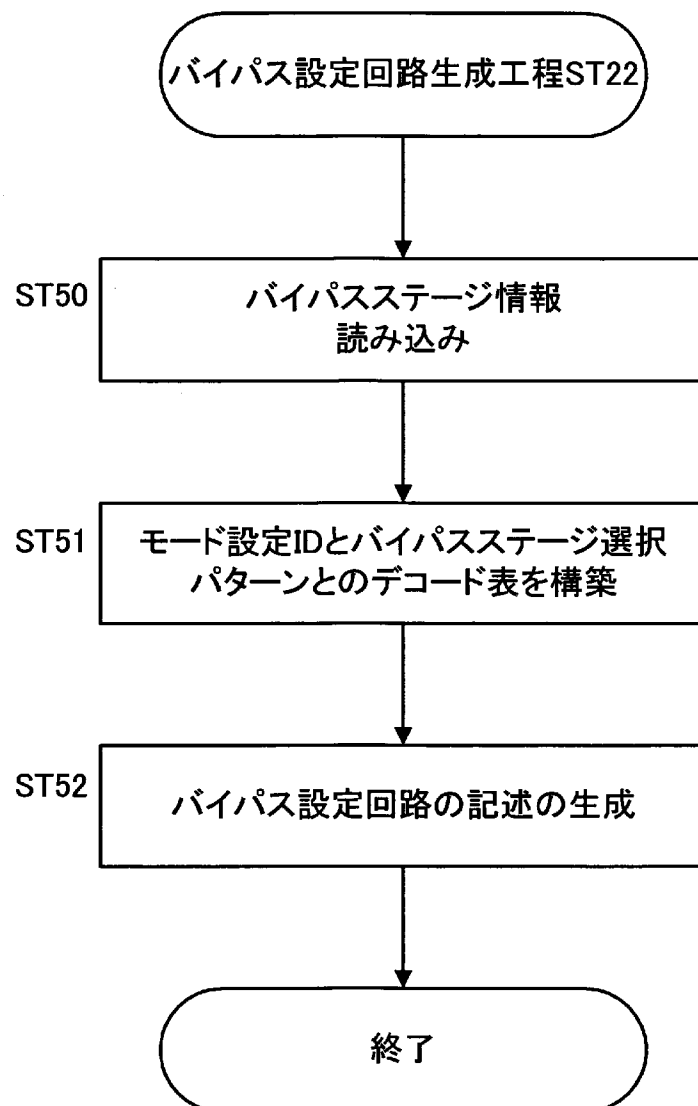
バイパスレポート・サマリ:タイミング優先 SR3

モード設定順位	モード設定	バイパスステージ	最大遅延	FF削減数
TM0	M0	-	4.0ns	0
TM1L1	M1S3	S3	4.74ns	2
TM2L1	M2S24	S2,S4	6.23ns	5
...	...	...	...	...

バイパスレポート・サマリ:消費電力優先 SR4

モード設定順位	モード設定	バイパスステージ	最大遅延	FF削減数
PM0	M0	-	4.0ns	0
PM1L2	M1S2	S2	5.16ns	4
PM2L4	M2S23	S2,S3	7.39ns	6
...	...	...	...	...

[図17]



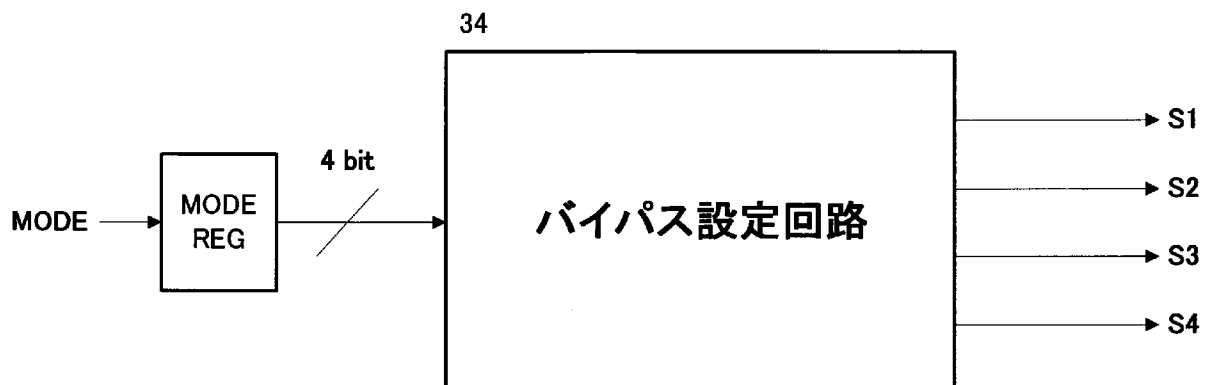
[図18]

バイパスステージ情報 33

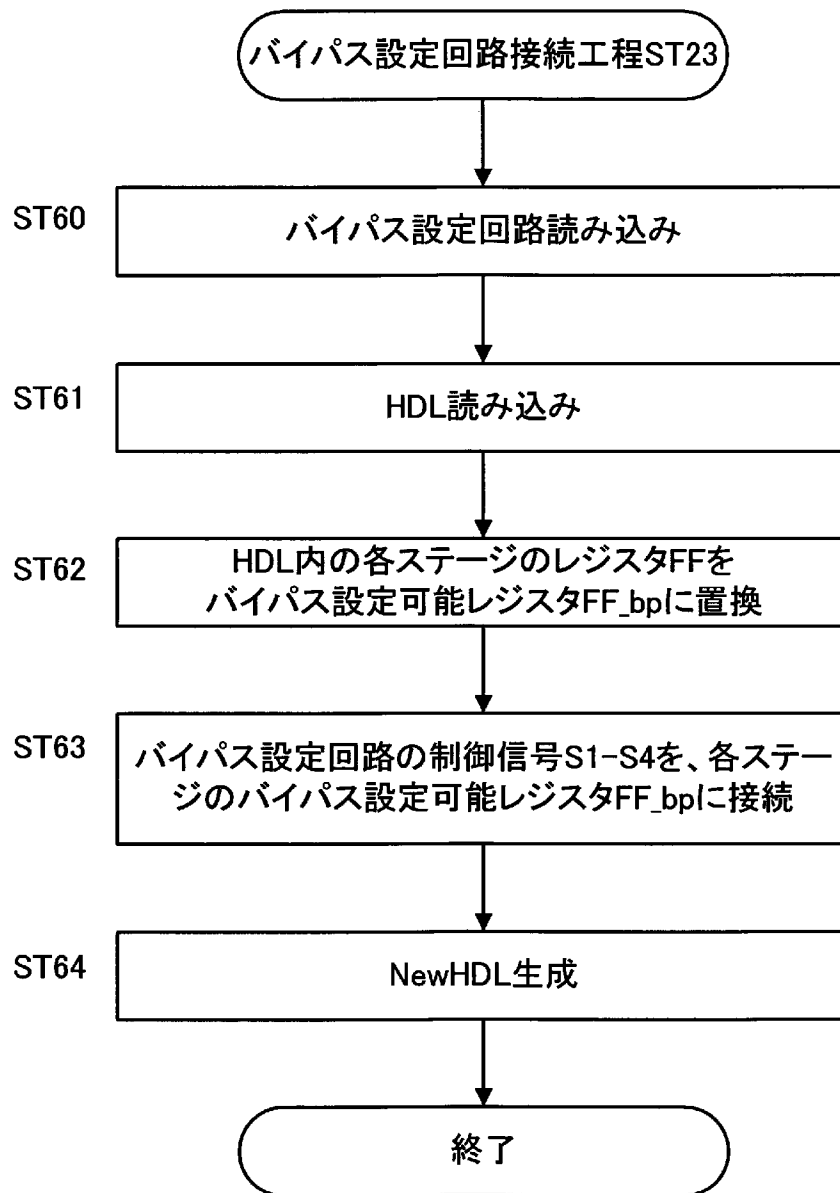
モード設定	バイパスステージ選択パターン			
	S1	S2	S3	S4
M0				
M1S1	bypass			
M1S2		bypass		
M1S3			bypass	
M1S4				bypass
M2S13	bypass		bypass	
M2S24		bypass		bypass
M2S12	bypass	bypass		
M2S34			bypass	bypass
M2S14	bypass			bypass
M2S23		bypass	bypass	

デコード表 33D

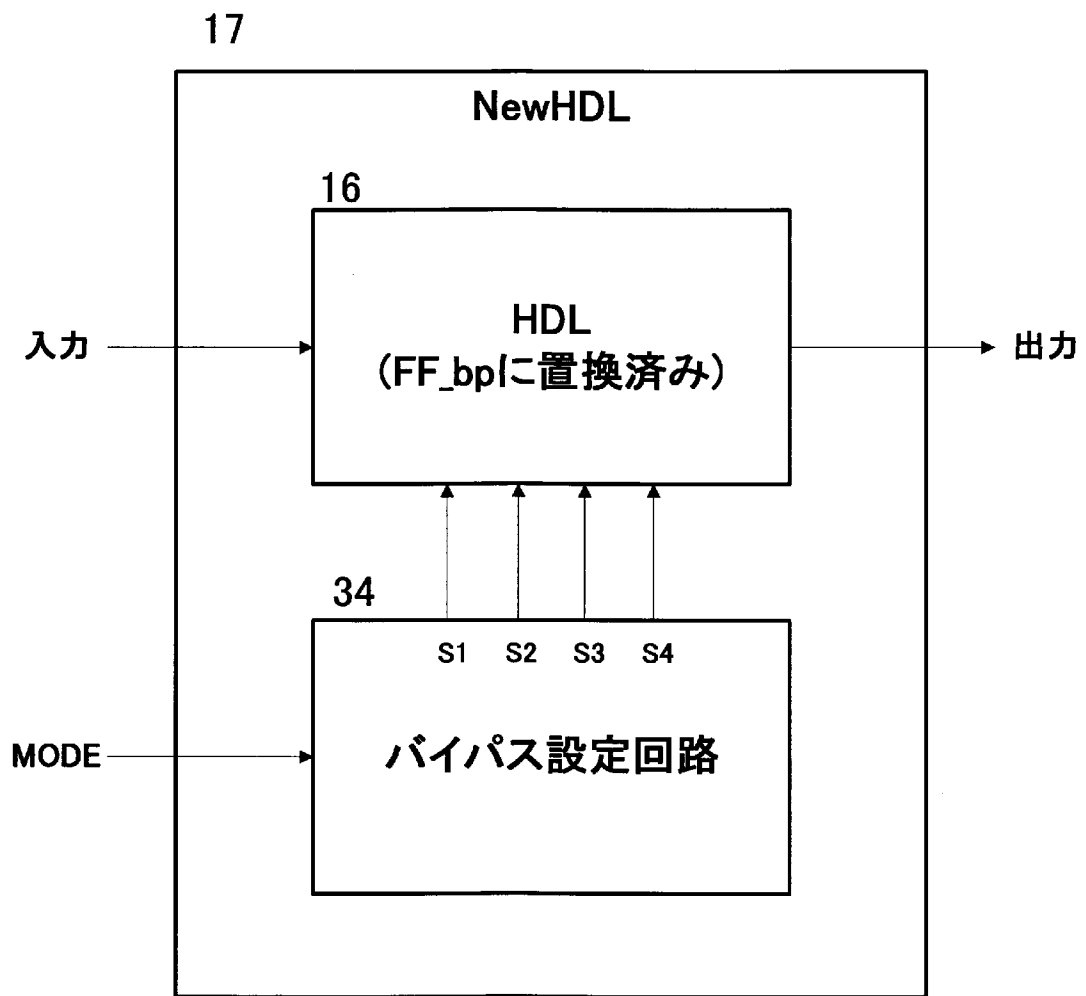
モード設定		バイパスステージ選択パターン			
名前	MODE	S1	S2	S3	S4
M0	下記以外の値	0	0	0	0
M1S1	4'b0001	1	0	0	0
M1S2	4'b0010	0	1	0	0
M1S3	4'b0011	0	0	1	0
M1S4	4'b0100	0	0	0	1
M2S13	4'b1001	1	0	1	0
M2S24	4'b1010	0	1	0	1
M2S12	4'b1011	1	1	0	0
M2S34	4'b1100	0	0	1	1
M2S14	4'b1101	1	0	0	1
M2S23	4'b1110	0	1	1	0



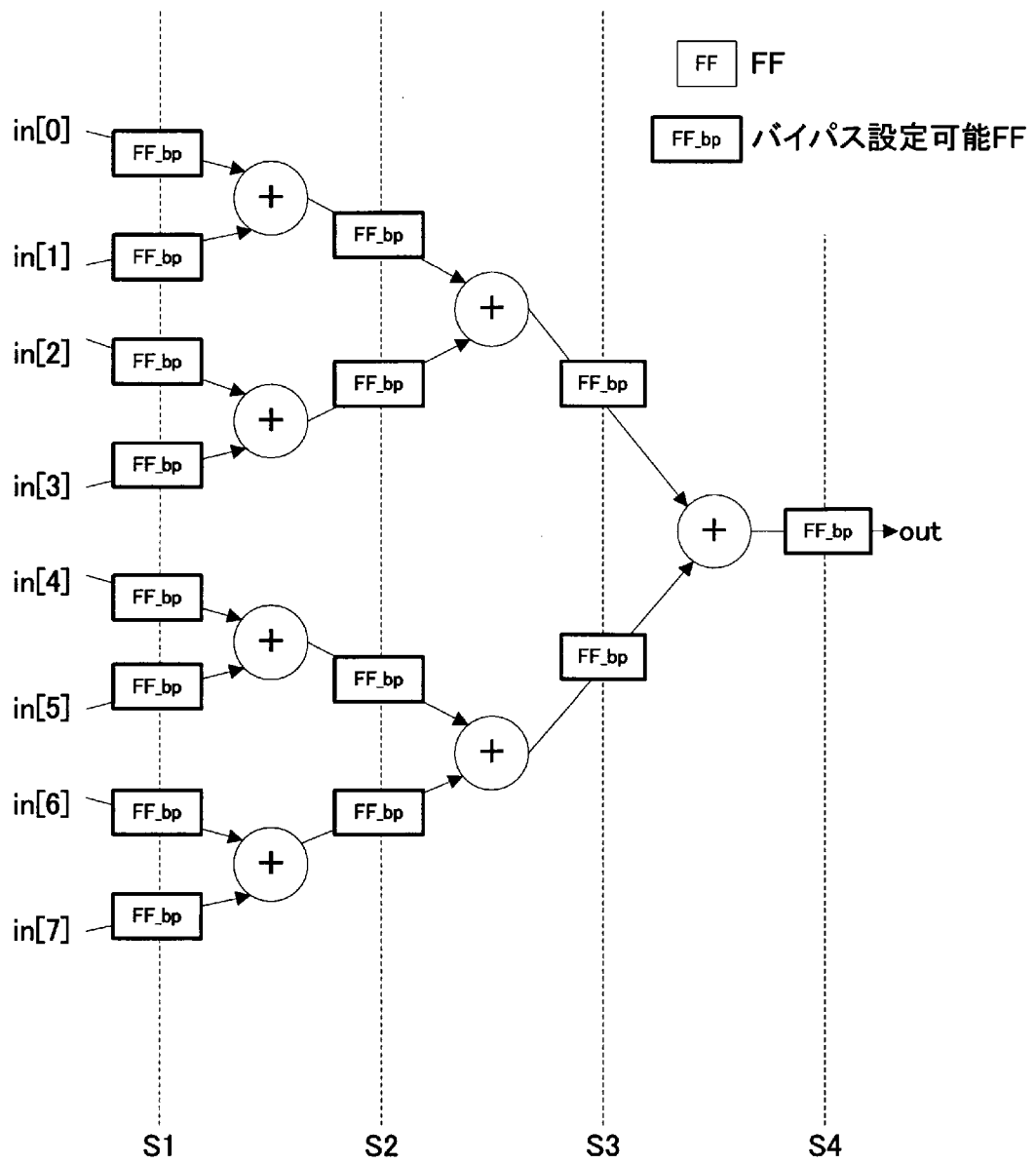
[図19]



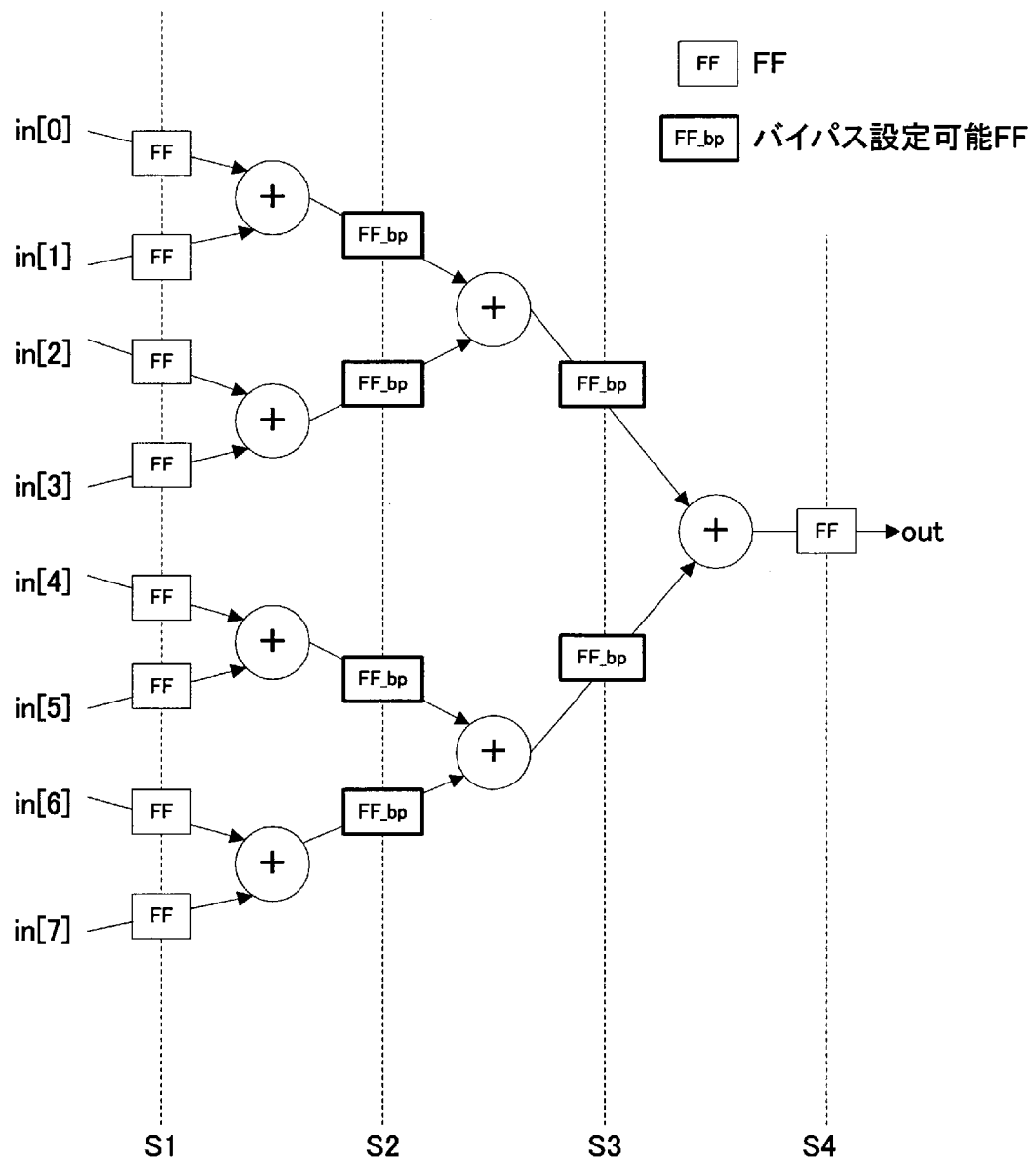
[図20]



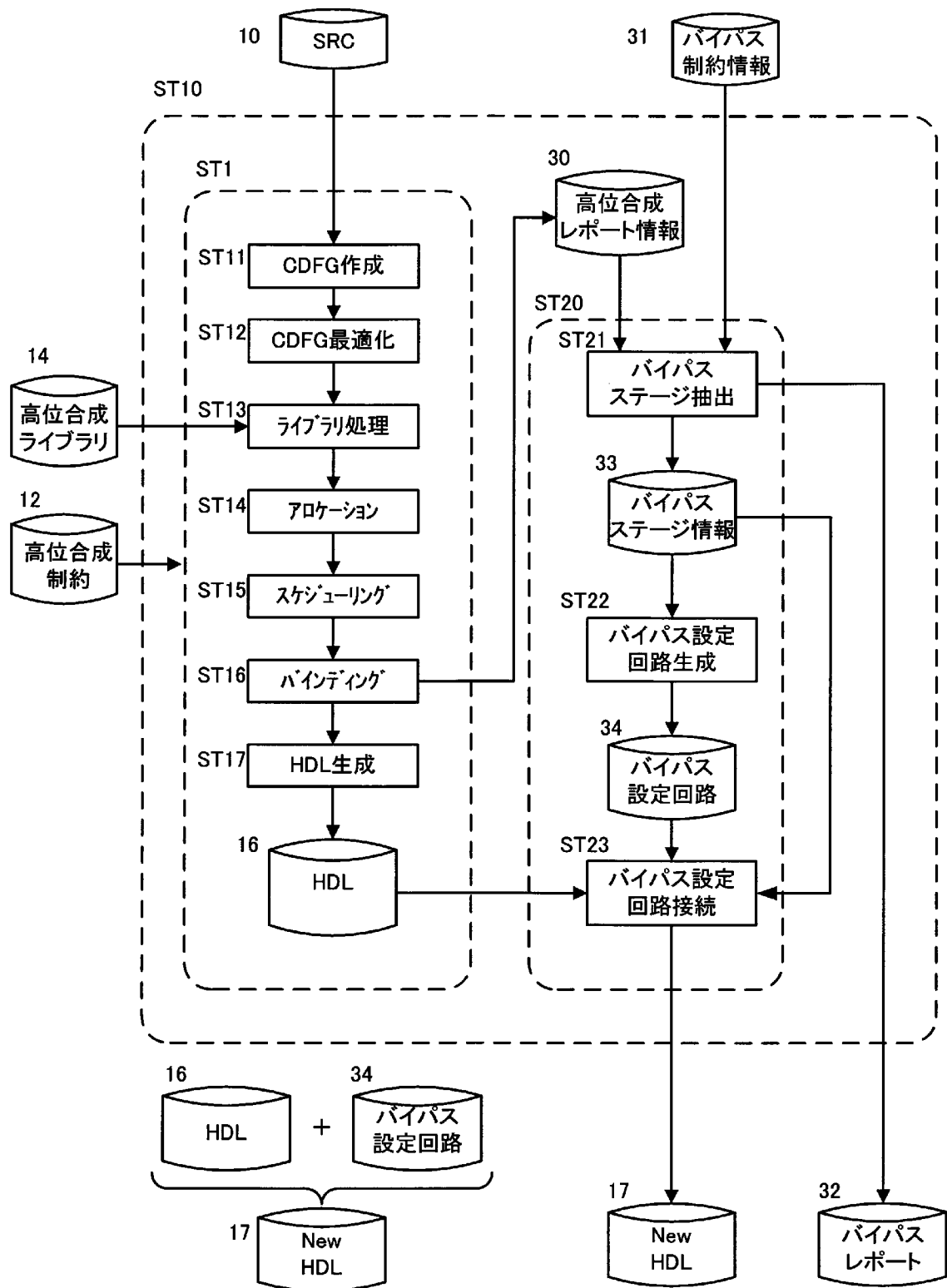
[図21]



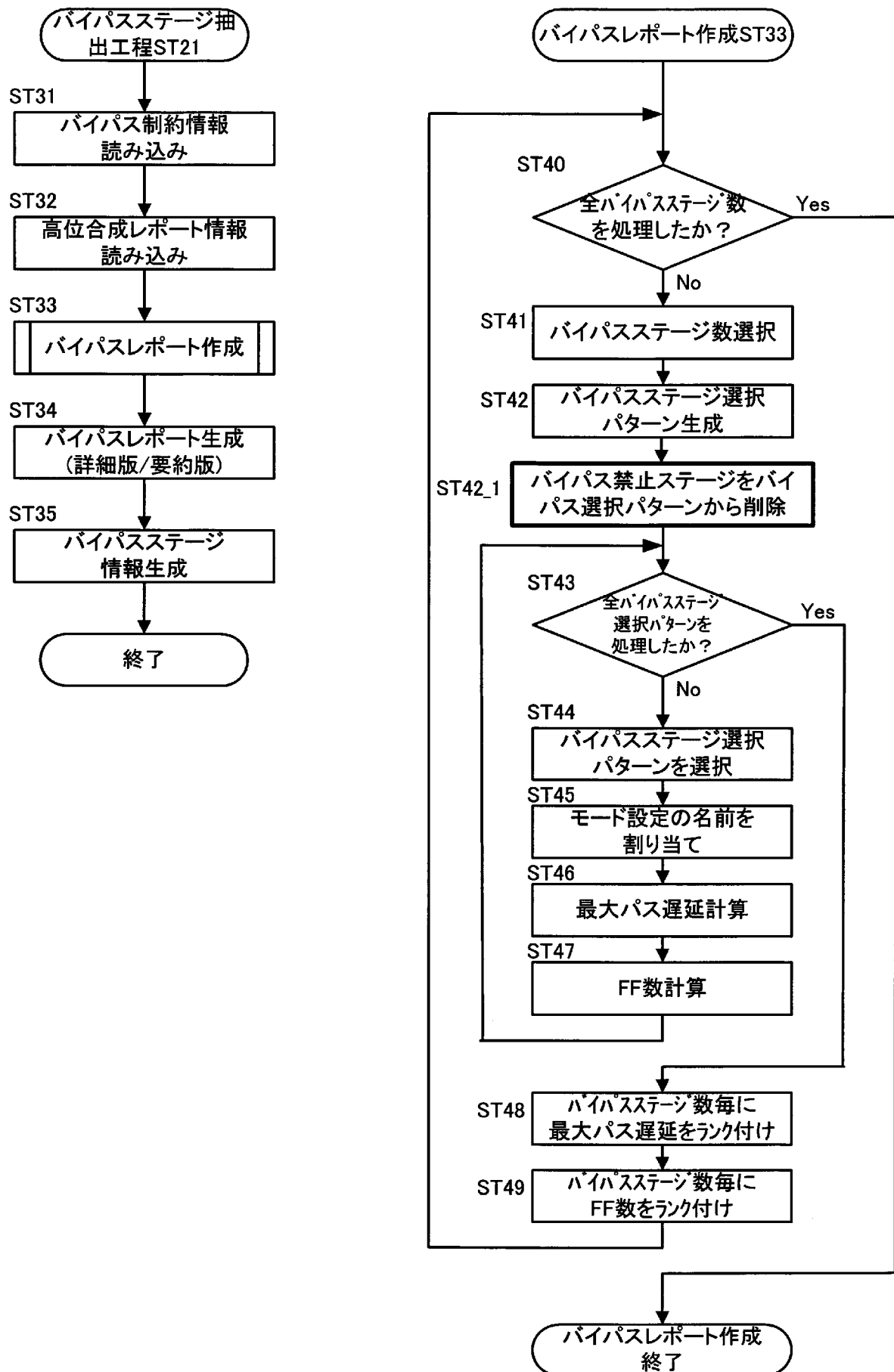
[図22]



[図23]



[図24]



[図25]

実施例2のバイパスレポート(詳細版)

バイパスステージ数が1個の場合の遅延情報 R1_1

モード設定	バイパスステージ選択パターン				パス遅延					最大 パス遅延	モード設定 順位付け
	S1	S2	S3	S4	S1→S1	S1→S2	S2→S3	S3→S4	S4→S0		
M1S1	bypass				6.65ns		2.51ns	2.23ns	4ns	6.65ns	TM1L2
M1S2		bypass			4ns	5.16ns		2.23ns	4ns	5.16ns	TM1L2
M1S3			bypass		4ns	2.65ns	4.74ns		4ns	4.74ns	TM1L1
M1S4				bypass	4ns	2.65ns	2.51ns	6.23ns		6.23ns	TM1L4

バイパスステージ数が2個の場合の遅延情報 R1_2

モード設定	バイパスステージ選択パターン				パス遅延					最大 パス遅延	モード設定 順位付け
	S1	S2	S3	S4	S1→S1	S1→S2	S2→S3	S3→S4	S4→S0		
M2S13	bypass		bypass		6.65ns		4.74ns		4ns	6.65ns	TM2L2
M2S24		bypass		bypass	4ns	5.16ns		6.23ns		6.23ns	TM2L1
M2S12	bypass	bypass				9.16ns		2.23ns	4ns	9.16ns	TM2L6
M2S34			bypass	bypass	4ns	2.65ns		8.74ns		8.74ns	TM2L5
M2S14	bypass			bypass	6.65ns		2.51ns	6.23ns		6.65ns	TM2L3
M2S23		bypass	bypass		4ns		7.39ns		4ns	7.39ns	TM2L4

●
●
●

バイパスステージ数が1個の場合のFF数情報 R2_1

モード設定	バイパスステージ選択パターン				各ステージのFF数				回路のFF数		モード設定 順位付け
	S1	S2	S3	S4	S1	S2	S3	S4	合計	削減数	
M1S1	bypass				0	4	2	1	7	8	PM1L1
M1S2		bypass			8	0	2	1	11	4	PM1L2
M1S3			bypass		8	4	0	1	13	2	PM1L3
M1S4				bypass	8	4	2	0	14	1	PM1L4

バイパスステージ数が2個の場合のFF数情報 R2_2

モード設定	バイパスステージ選択パターン				各ステージのFF数				回路のFF数		モード設定 順位付け
	S1	S2	S3	S4	S1	S2	S3	S4	合計	削減数	
M2S13	bypass		bypass		0	4	0	1	5	10	PM2L2
M2S24		bypass		bypass	8	0	2	0	10	5	PM2L5
M2S12	bypass	bypass			0	0	2	1	3	12	PM2L1
M2S34			bypass	bypass	8	4	0	0	12	3	PM2L6
M2S14	bypass			bypass	0	4	2	0	6	9	PM2L3
M2S23		bypass	bypass		8	0	0	1	1	6	PM2L4

●
●
●

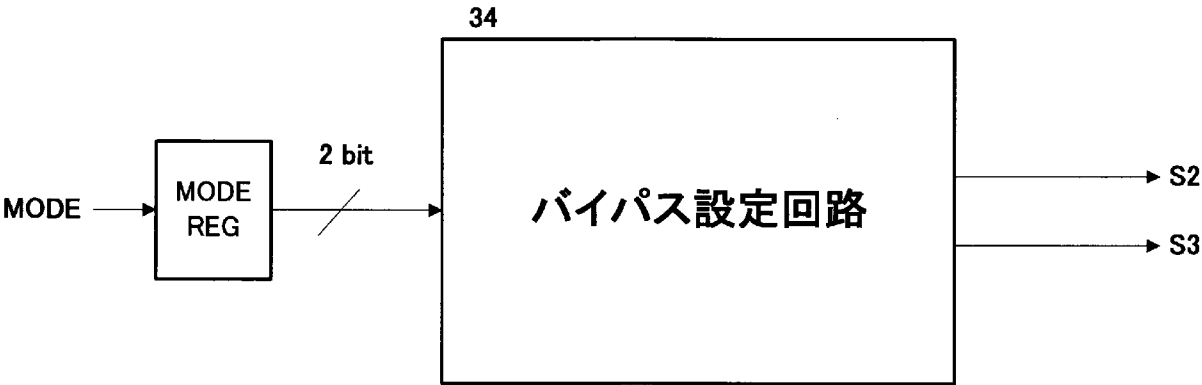
[図26]

バイパスステージ情報 33

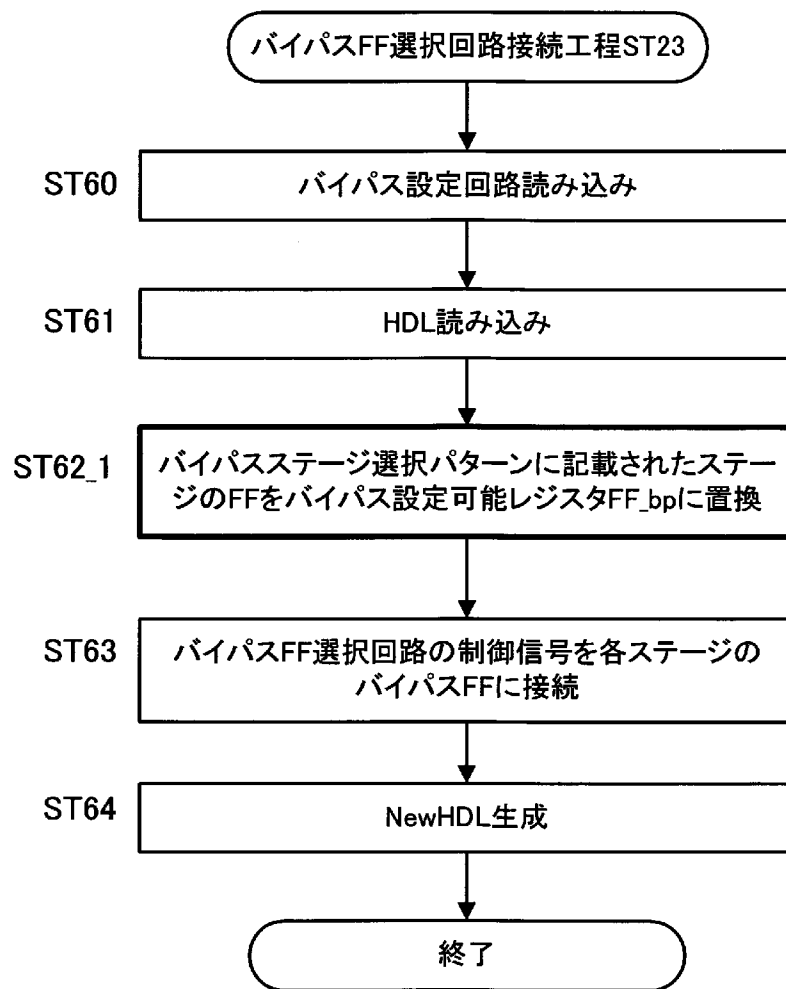
モード設定	バイパスステージ選択 パターン	
	S2	S3
M0		
M1S2	bypass	
M1S3		bypass
M2S23	bypass	bypass

デコード表 33D

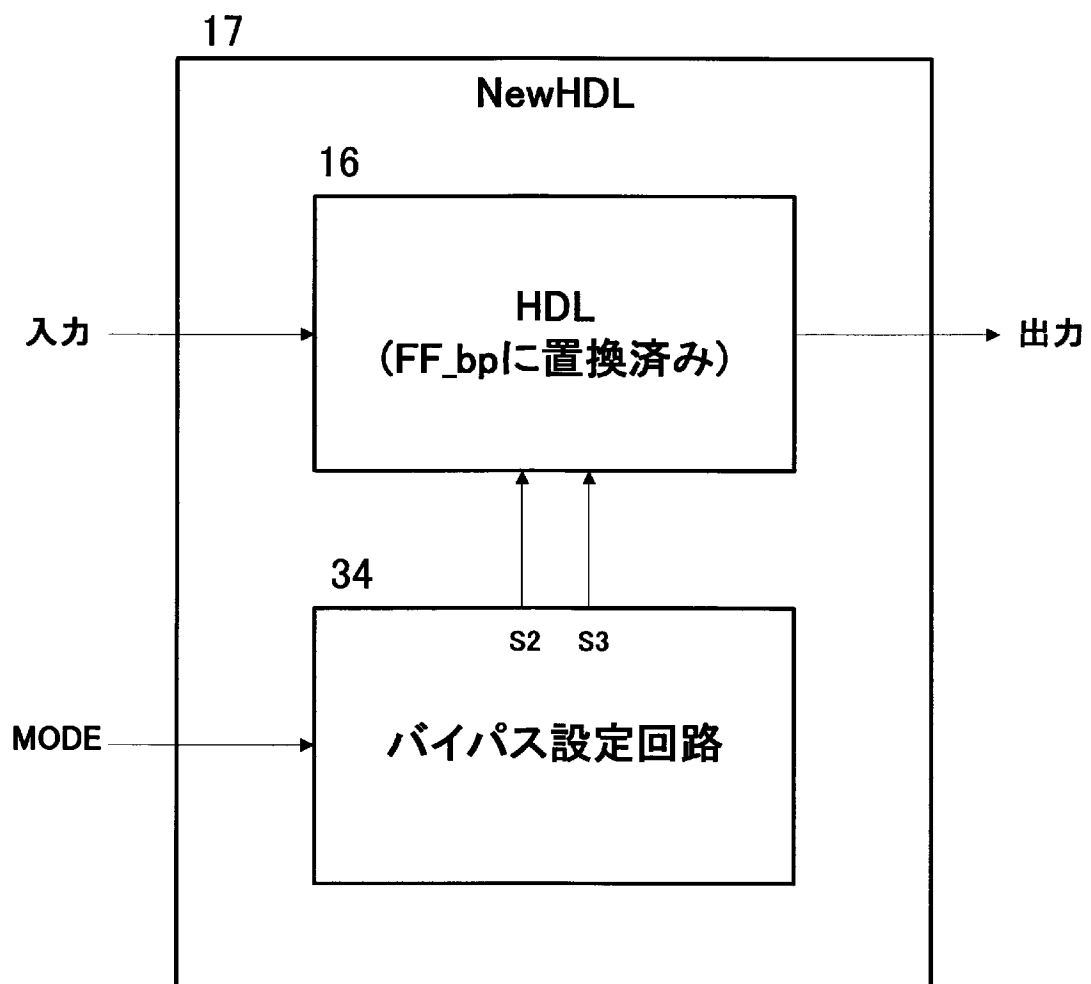
モード設定		バイパスステージ選択 パターン	
名前	MODE	S2	S3
M0	2'b00	0	0
M1S2	2'b10	1	0
M1S3	2'b01	0	1
M2S23	2'b11	1	1



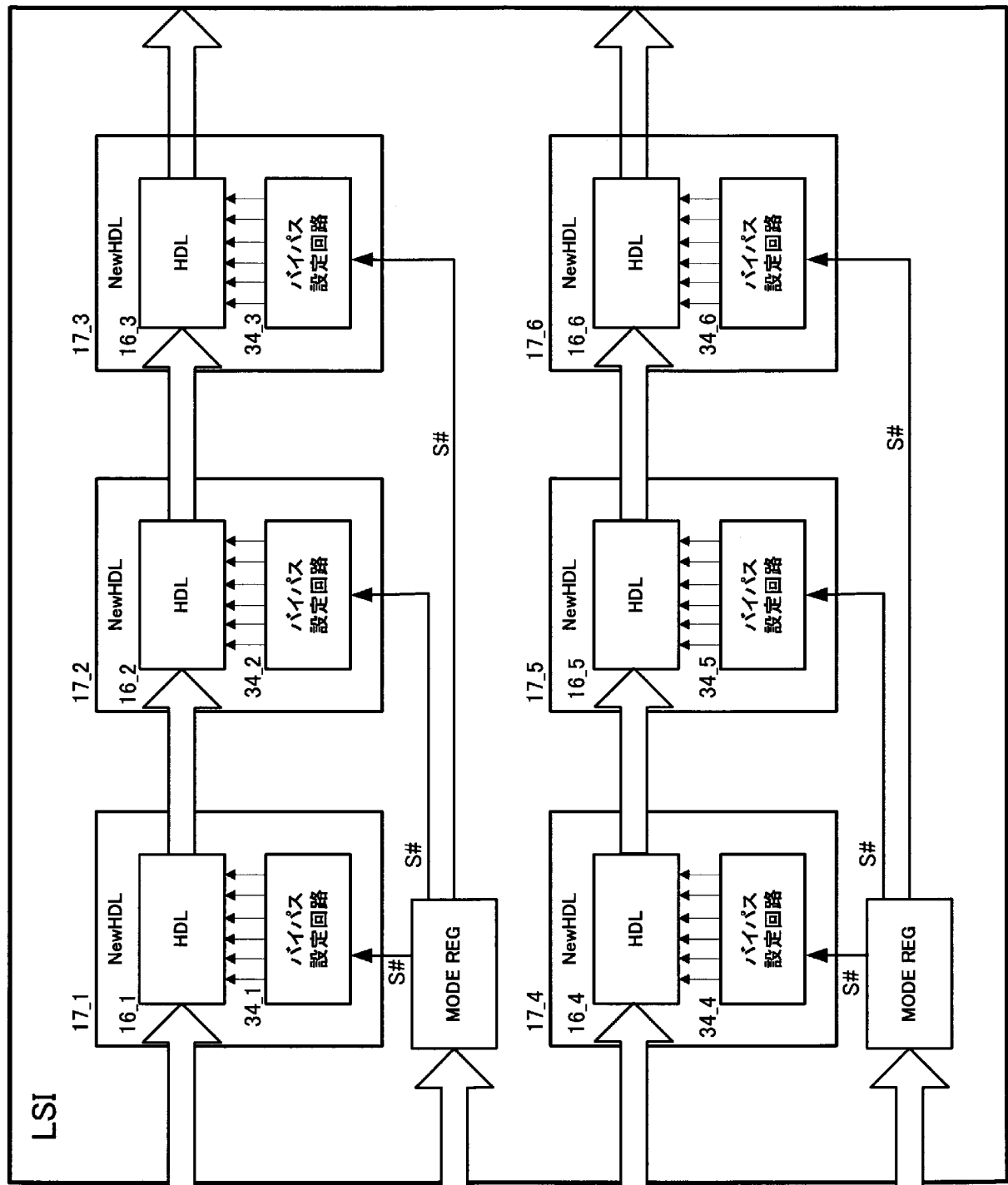
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/063340

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, CiNii, JSTPlus(JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-6650 A (Renesas Electronics Corp.), 16 January 2014 (16.01.2014), paragraphs [0088] to [0089]; fig. 13A & US 2013/0346929 A1 paragraphs [0115] to [0116]; fig. 13A	1-13
A	JP 2000-194739 A (Fuji Electric Co., Ltd.), 14 July 2000 (14.07.2000), paragraphs [0011] to [0020], [0045] to [0047]; fig. 2 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 July 2016 (05.07.16)

Date of mailing of the international search report
12 July 2016 (12.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F17/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore, CiNii, JSTPlus (JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-6650 A (ルネサスエレクトロニクス株式会社) 2014.01.16, 段落【0088】 - 【0089】, 第13A図 & US 2013/0346929 A1, 段落【0115】 - 【0116】, 図13A	1-13
A	JP 2000-194739 A (富士電機株式会社) 2000.07.14, 段落【0011】 - 【0020】, 【0045】 - 【0047】, 第2図 (ファミリーなし)	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.07.2016

国際調査報告の発送日

12.07.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

合田 幸裕

5M

4689

電話番号 03-3581-1101 内線 3599