

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5932242号  
(P5932242)

(45) 発行日 平成28年6月8日 (2016.6.8)

(24) 登録日 平成28年5月13日 (2016.5.13)

(51) Int.Cl.

F I

G O 6 F 15/173 (2006.01)

G O 6 F 13/38 (2006.01)

G O 6 F 15/173 6 8 3 B

G O 6 F 13/38 3 1 O B

請求項の数 11 (全 24 頁)

(21) 出願番号	特願2011-114111 (P2011-114111)	(73) 特許権者	000001007
(22) 出願日	平成23年5月20日 (2011.5.20)		キヤノン株式会社
(65) 公開番号	特開2012-243162 (P2012-243162A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成24年12月10日 (2012.12.10)	(74) 代理人	100076428
審査請求日	平成26年5月16日 (2014.5.16)		弁理士 大塚 康德
前置審査		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 情報処理装置、通信方法、及びプログラム

(57) 【特許請求の範囲】

【請求項 1】

リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々是对応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置であって、

前記複数の通信手段の少なくとも1つは、

受信したデータについて、前記予め定めた順序において自通信手段に対応する処理手段よりも後段で処理を実行するべき処理手段の少なくとも1つにおいて処理が保留されたことを示す情報を検知する検知手段と、

対応する処理手段が処理を実行した後のデータを最後に送信してから前記所定の送信間隔以上の間隔を置いて、前記対応する処理手段が処理を実行した後のデータを送信する送信手段と、

前記検知手段によって前記受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長するように制御する制御手段と、を有し、

前記制御手段は、前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔を延長し、

前記制御手段は、

ロードした値から0に向けてカウントダウンするタイマと、

前記タイマが示す値に応じて出力が有効であることを示す出力有効信号を出力する出力有効信号出力手段と、を有し、

前記送信手段は、前記出力有効信号が有効な信号を示す場合に、対応する処理手段が処理を実行した後のデータを送信する、ことを特徴とする情報処理装置。

【請求項 2】

前記制御手段は、前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した場合、予め設定された設定値よりも大きい値を前記送信間隔として設定し、さらに、設定した当該送信間隔によってデータが送信される前に前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した場合には、予め保持している被加算値に基づいて前記送信間隔をさらに延長する、ことを特徴とする請求項 1 に記載の情報処理装置。

10

【請求項 3】

前記複数の通信手段の少なくとも 1 つは、さらに、前記受信したデータが当該通信手段によって出力されたデータであるか否かを判定する判定手段を有し、

前記制御手段は、当該判定手段により前記受信したデータが当該通信手段に対応する処理手段によって処理され出力されたデータであると判定され、かつ前記検知手段によって当該受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長する、ことを特徴とする請求項 1 または 2 に記載の画像処置装置。

【請求項 4】

リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々に対応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置であって、

20

前記複数の通信手段の少なくとも 1 つは、

受信したデータについて、前記予め定めた順序において自通信手段に対応する処理手段よりも後段で処理を実行するべき処理手段の少なくとも 1 つにおいて処理が保留されたことを示す情報を検知する検知手段と、

前記受信したデータが当該通信手段によって出力されたデータであるか否かを判定する判定手段と、

30

対応する処理手段が処理を実行した後のデータを最後に送信してから前記所定の送信間隔以上の間隔を置いて、前記対応する処理手段が処理を実行した後のデータを送信する送信手段と、

前記判定手段により前記受信したデータが当該通信手段に対応する処理手段によって処理され出力されたデータであると判定され、かつ前記検知手段によって前記受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長するように制御する制御手段と、

を有し、

前記制御手段は、前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔を延長し、

40

前記判定手段は、さらに、前記受信したデータが、前記複数の通信手段の当該少なくとも 1 つに対応する処理手段で処理され出力されたデータに対して、当該通信手段に対応する処理手段よりも前記予め定められた順序において次のさらに次以降の処理手段によるさらなる処理が行われたデータであるか否かを判定し、

前記制御手段は、さらに、当該判定手段により、前記受信したデータが、当該通信手段に対応する処理手段によって処理され出力されたデータにさらなる処理が行われたデータであると判定され、かつ前記検知手段によって当該受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長する、ことを特徴とする画像処理装置。

【請求項 5】

50

リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々是对応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置であって、

前記複数の通信手段の少なくとも1つは、

受信したデータについて、前記予め定めた順序において自通信手段よりも後段で処理を実行すべき処理手段において処理が保留されたことを示す情報を検知する検知手段と、

前記検知手段によって前記受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長するように制御する制御手段と、を有し、

前記制御手段は、前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔を延長し、延長した前記送信間隔が所定値以下となるように、前記送信間隔を制限することを特徴とする情報処理装置。

#### 【請求項6】

前記所定値は、信号が前記リング状のバスを1周する期間である、ことを特徴とする請求項5に記載の情報処理装置。

#### 【請求項7】

リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々是对応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置であって、

前記複数の通信手段の少なくとも1つは、

受信したデータについて、前記予め定めた順序において自通信手段よりも後段で処理を実行すべき処理手段において処理が保留されたことを示す情報を検知する検知手段と、前記検知手段によって前記受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長するように制御する制御手段と、を有し、

前記制御手段は、前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔を延長し、さらに、前記受信したデータに対して処理を実行すべき処理手段が、前記順序において早い順序の処理を実行する処理手段であるほど、より長く前記送信間隔を延長する、ことを特徴とする情報処理装置。

#### 【請求項8】

リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々是对応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置であって、

前記複数の通信手段の少なくとも1つは、

受信したデータについて、前記予め定めた順序において自通信手段よりも後段で処理を実行すべき処理手段において処理が保留されたことを示す情報を検知する検知手段と、前記検知手段によって前記受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長するように制御する制御手段と、

前記所定の送信間隔において、前記処理手段が処理を実行した後のデータを送信できたか否かを判定する出力判定手段と、を有し、

前記制御手段は、前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔を延長し、

前記出力判定手段が前記データの送信ができなかったと判定した場合、その後に設定される前記送信間隔によらず、当該データを送信する、ことを特徴とする情報処理装置。

10

20

30

40

50

## 【請求項 9】

リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々は対応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置における通信方法であって、

前記複数の通信手段の少なくとも1つは、

検知手段が、受信したデータについて、前記予め定めた順序において自通信手段に対応する処理手段よりも後段で処理を実行するべき処理手段の少なくとも1つにおいて処理が保留されたことを示す情報を検知するステップと、

送信手段が、対応する処理手段が処理を実行した後のデータを最後に送信してから前記所定の送信間隔以上の間隔を置いて、前記対応する処理手段が処理を実行した後のデータを送信するステップと、

制御手段が、前記検知するステップにおいて、前記受信したデータに対する処理が保留されたことを示す情報が検知された場合、前記送信間隔を延長するように制御するステップと、を有し、

前記制御するステップでは、前記検知するステップにおいて、前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔が延長され、

前記制御するステップでは、

ロードした値から0に向けてカウントダウンするタイマが示す値に応じて出力が有効であるかを示す出力有効信号が出力され、

前記送信するステップでは、前記出力有効信号が有効な信号を示す場合に、対応する処理手段が処理を実行した後のデータが送信される、ことを特徴とする通信方法。

## 【請求項 10】

リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々は対応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置における通信方法であって、

前記複数の通信手段の少なくとも1つは、

検知手段が、受信したデータについて、前記予め定めた順序において自通信手段に対応する処理手段よりも後段で処理を実行するべき処理手段の少なくとも1つにおいて処理が保留されたことを示す情報を検知するステップと、

判定手段が、前記受信したデータが当該通信手段によって出力されたデータであるか否かを判定するステップと、

送信手段が、対応する処理手段が処理を実行した後のデータを最後に送信してから前記所定の送信間隔以上の間隔を置いて、前記対応する処理手段が処理を実行した後のデータを送信するステップと、

制御手段が、前記判定するステップにおいて前記受信したデータが当該通信手段に対応する処理手段によって処理され出力されたデータであると判定され、かつ前記検知するステップにおいて、前記受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長するように制御するステップと、を有し、

前記制御するステップでは、前記検知するステップにおいて、前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔が延長され、

前記判定するステップでは、前記受信したデータが、前記複数の通信手段の当該少なくとも1つに対応する処理手段で処理され出力されたデータに対して、当該通信手段に対応する処理手段よりも前記予め定められた順序において次のさらに次以降の処理手段によるさらなる処理が行われたデータであるか否かが判定され、

10

20

30

40

50

前記制御するステップでは、さらに、当該判定するステップにより、前記受信したデータが、当該通信手段に対応する処理手段によって処理され出力されたデータにさらなる処理が行われたデータであると判定され、かつ前記検知手段によって当該受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長する、ことを特徴とする通信方法。

【請求項 11】

請求項 9 又は 10 に記載の通信方法の各ステップをコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、リング状のバスを用いてデータの受け渡し及び処理を行う情報処理装置、通信方法及びプログラムに関する。

【背景技術】

【0002】

従来、複数のモジュールが通信可能に接続され、並列処理をするデータバス制御システムにおいて、効率的なパケットの転送を行う方法として、優先度に応じてパケットの転送を行う方法が提案されている。

【0003】

特許文献 1 には、1 段以上のバッファやメモリを備える複数のモジュールをリング状に接続し、リングバスにモジュール数と同じ数のパケットを存在させ、モジュール間のパケットの転送を並列に行いながらデータ処理をするデータ転送方法が記載されている。特許文献 1 の構成では優先度を集中管理によって判定することで優先度に応じた転送を実現している。

20

【0004】

特許文献 2 には、各モジュールに分散した優先度によるパケット転送の方法が記載されている。具体的には、データ転送バスと応答転送バスの 2 つのリング状バスによってモジュール間を接続する。そして、モジュールは、他のモジュールからリングバスを介して転送されてきたパケットと、モジュールが生成したパケットとの優先度を比較し、生成したいパケットの方が優先度が高い場合には、転送されてきたパケットを破棄する。そして、モジュールはモジュールが生成したパケットをリングバスへ送出する。モジュールは、転送されていたパケットを破棄したことを、応答転送バスを利用して、当該転送されてきたパケットの送信元のモジュールへ通知する。破棄されたことを知ったモジュールは、その破棄されたパケットを再送する。これにより、優先度に基づいてパケットが転送される。

30

【0005】

特許文献 1 の方法のように、集中管理によって優先度に応じたデータの転送を実現する場合、モジュール数の増加に応じて制御回路が複雑化し回路規模も増大するという課題があった。また、特許文献 2 の方法では、全てのモジュールは、送信したパケットが他のモジュールによって破棄されていないことが判断できるまで、送信したパケットを全てコピーし、自モジュールで保持する必要がある。このため、モジュール数の増加に比例して送信したパケットのコピーを保持するバッファの容量が著しく増加するという課題があった。

40

【0006】

これに対し、特許文献 3 には、リングバスで各モジュールを接続し、各モジュールで処理したデータパケットを次段のモジュールに転送して一連の処理を実行させる方法が記載されている。特許文献 3 の構成では、あるモジュールにおいて処理が終了した後、そのモジュールを識別する識別子を含めた信号をリングバス上に送出する。次の処理を行うモジュールは、直前の処理を実行するモジュールの識別子を予め記憶しておき、信号にその識別子が含まれている場合に処理を実行する。また、特許文献 3 では、モジュールが処理を保留した場合に、当該モジュールは処理を保留した旨を示す情報を信号に含めて転送する

50

。モジュールは、自らが送信した信号で、後段のモジュールが処理を保留した旨の情報が含まれる信号を受信した場合、その直後の処理を実行するモジュールにこれ以上の情報を送信しても処理できないと判定し、情報送信を一時停止する。これにより、分散制御において、少ない記憶容量で効率的なパケットの転送を実現している。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平11-167560号公報

【特許文献2】特開2007-316699号公報

【特許文献3】特開2010-217959号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献3の方法では、あるモジュールは、自らの処理の直後に処理を実行するモジュールにおいて保留が発生したか否かを検出する。このため、さらに後段の処理を実行するモジュールにおいて処理が保留された場合、上段の処理を担当するモジュールでは、処理が実行され続けてしまうおそれがあった。また、この結果、保留パケットが増大し、デッドロックが発生するおそれがあるという課題があった。

【0009】

本発明は、上述の課題に鑑みてなされたものであり、リングバスで接続された通信装置において、その通信装置に接続された処理装置の処理状況に基づいて適切な送信間隔制御を行う情報処理装置、情報処理方法、及びプログラムを提供することを目的とする。

20

【課題を解決するための手段】

【0010】

上記目的を達成するため、本発明による情報処理装置は、リング状にバス接続されている複数の通信手段を備え、前記通信手段の各々はそれぞれ所定の処理を実行する処理手段と対応し、前記通信手段の各々是对応する前記処理手段が処理を実行した後のデータを、続く処理を実行する処理手段に対応する他の通信手段へ前記バスを介して所定の送信間隔で送信し、予め定めた順序で前記処理手段の間のデータの受け渡し及び処理を実行する情報処理装置であって、前記複数の通信手段の少なくとも1つは、受信したデータについて、前記予め定めた順序において自通信手段に対応する処理手段よりも後段で処理を実行すべき処理手段の少なくとも1つにおいて処理が保留されたことを示す情報を検知する検知手段と、対応する処理手段が処理を実行した後のデータを最後に送信してから前記所定の送信間隔以上の間隔を置いて、前記対応する処理手段が処理を実行した後のデータを送信する送信手段と、前記検知手段によって前記受信したデータに対する処理が保留されたことを示す情報が検知された場合に、前記送信間隔を延長するように制御する制御手段と、を有し、前記制御手段は、前記検知手段が前記受信したデータに対する処理が保留されたことを示す情報を検知した頻度に応じた延長時間によって、前記送信間隔を延長し、前記制御手段は、ロードした値から0に向けてカウントダウンするタイマと、前記タイマが示す値に応じて出力が有効であることを示す出力有効信号を出力する出力有効信号出力手段と、を有し、前記送信手段は、前記出力有効信号が有効な信号を示す場合に、対応する処理手段が処理を実行した後のデータを送信することを特徴とする。

30

40

【発明の効果】

【0011】

本発明によれば、リングバスでデータ転送を行う情報処理装置において、リングバス上で処理が行われずに滞留するデータの数を抑え、通信効率を向上させることができる。

【図面の簡単な説明】

【0012】

【図1】データバス制御システムの構成を示す図。

【図2】モジュールの機能構成を示す図。

50

【図 3】リングバス上に送出されるパケットの構成例を示す図。

【図 4】送信制御部の構成例を示す図。

【図 5】第 1 の実施形態の送信間隔制御部の構成を示す図。

【図 6】第 1 の実施形態の送信間隔制御部の動作を示す図。

【図 7】第 2 の実施形態の送信間隔制御部の構成を示す図。

【図 8】第 2 の実施形態の送信間隔制御部の動作を示す図。

【発明を実施するための形態】

【0013】

以下、添付図面を参照して本発明の実施の形態を詳細に説明する。

【0014】

<<実施形態 1>>

(システム構成)

図 1 を参照して、本発明の第 1 の実施形態に係るデータバス制御システムについて説明する。本実施形態に係るデータバス制御システムは、図 1 に示すように、複数のモジュール 101 と、各モジュールを接続するリングバス 102 により構成される。モジュール 101 は、リングバス 102 を介して受信したデータを処理するものであり、通信部 120 と、通信部 120 に対応するデータ処理部 103 とを備える。なお、本実施形態では、モジュール 101 - 1 は、対応するデータ処理部 103 の代わりに入出力部 140 を備える。リングバス 102 は、複数のモジュール 101 をリング状に接続するバスである。本実施形態においては、モジュール 101 の通信部 120 がリング状にバス接続され、入出力部 140 が入力するデータを一方向へ転送する。このデータバス制御システムは、データ処理部 103 間でデータを受け渡し、複数のデータ処理部 103 が順次処理を実行することによりシステム全体として情報処理装置として機能する。

【0015】

(モジュールの機能構成)

図 2 には、図 1 におけるモジュール 101 の機能構成を表すブロック図を示す。ここで、モジュール 101 の通信部 120 は、ノード ID レジスタ 104、パケット生成部 105、パケット受信部 106、待ち受け ID レジスタ 107、受信制御部 108、送信制御部 109、パケット送信部 110、ID 判定部 111 を備える。各部は不図示の CPU 等により制御される。

【0016】

データ処理部 103 は、モジュール 101 ごとに割り当てられた所定のデータ処理を行う。ノード ID レジスタ 104 は、モジュール 101 が生成したパケットに付加するための、モジュール 101 が接続されるノードの ID (ノードの識別情報) を設定する。パケット生成部 105 は、データ処理部 103 で処理されたデータから、リングバス 102 により転送するためのパケットを生成する。パケット受信部 106 は、リングバス 102 を介して他のモジュールからパケットを受信する。待ち受け ID レジスタ 107 は、データ処理部 103 で処理すべきデータに付される ID を記憶する。この ID は、例えば、複数のモジュールで処理を実行する順序が定まっている場合、直前の処理を実行したモジュールが付加するノード ID である。

【0017】

受信制御部 108 は、パケット受信部 106 が受信したパケットに含まれるデータが、自モジュールで処理すべきであり、かつ処理の実行が可能な場合は、当該データをデータ処理部 103 に入力する。また、受信制御部 108 は、パケット受信部 106 が受信したパケットに含まれるデータが、自モジュールで処理すべきでない場合、又は処理不能である場合には、当該パケットをそのまま送信制御部 109 に受け渡す。送信制御部 109 は、データ処理部 103 で処理されたデータを含むパケットと、受信制御部 108 から受け渡されたパケットとを、リングバス 102 に送信するための制御を行う。パケット送信部 110 は、リングバス 102 へパケットを送信する。

【0018】

10

20

30

40

50

ＩＤ判定部１１１は、パケット受信部１０６で受信したパケットに含まれるＩＤと、ノードＩＤレジスタ１０４と待ち受けＩＤレジスタ１０７のそれぞれに記憶されているＩＤとを比較し、一致判定をする。またＩＤ判定部１１１は、各ＩＤ値から受信制御部１０８及び送信制御部１０９の制御情報を生成する。例えば、パケットに含まれるＩＤが待ち受けＩＤレジスタ１０７で記憶されたＩＤである場合、パケットに含まれるデータを自モジュールで処理すべきである。このため、ＩＤ判定部１１１は、受信制御部１０８に、そのデータを処理部へ受け渡すように指示する制御信号を生成する。また、例えば、パケットに含まれるＩＤが、ノードＩＤレジスタ１０４に記憶されたＩＤである場合、そのパケットは自モジュールで生成し、リングバス１０２を１周して戻ってきたと考えられる。このため、その旨を示す制御情報を送信制御部１０９へ送信し、適切に送信間隔制御を実行するようにする。

10

#### 【００１９】

本実施形態におけるデータバス制御システムは、モジュール１０１がリング状にバス接続され、リング型のネットワークポロジになっている。また、リングバス１０２に接続されるモジュール１０１の個数に制限はない。各モジュール１０１は、モジュール１０１間で共通のサイクルごとに次のモジュール１０１へと１つのパケットを転送することで、それぞれのモジュール１０１は並列にデータ転送を行う。また、待ち受けＩＤレジスタ１０７とノードＩＤレジスタ１０４の設定を適切に行うことで、データ処理のバスを構成し、入力データを複数の処理モジュールが要求する順番で処理させることができる。

#### 【００２０】

20

##### （パケット構成）

続いて、図３を参照して、本実施形態に係るモジュール１０１間のデータ転送に用いるパケットについて説明する。パケットは、Validフラグ２０１、ノードＩＤ２０２、データ２０３、及びStallフラグ２０４を備える。Validフラグ２０１は、パケットが有効か否かを示すフラグである。Validフラグ２０１が有効でないパケットは、例えば空パケットである。このため、モジュール１０１は、Validフラグ２０１が有効でない場合は、そのタイミングでパケットを送出できる。一方で、Validフラグが有効である場合、そのパケットは処理、又は転送をする必要がある。このため、例えば、あるタイミングにおいて転送すべきパケットが存在する場合、そのパケットと同時に他のパケットを送ることはできない。

30

#### 【００２１】

ノードＩＤ２０２は、パケットの送信元が付加する、接続ノードを示す識別子である。ノードＩＤ２０２には、パケットを送信するモジュールとパケットを受信するモジュールとの接続状態を識別可能な値（ノードＩＤ）が割り当てられている。本実施形態においては、例えば、各モジュール１０１は、自らの直前に処理を実行するモジュールが付加するノードＩＤを待ち受け、待ち受けＩＤレジスタ１０７に記憶しておく。そして、そのノードＩＤを含むパケットを受信すると、そのパケットに含まれるデータを処理する。データ２０３は、パケットが保持するデータである。Stallフラグ２０４は、パケットの保持するデータについて、処理を本来実行するはずのモジュールが、例えば他のデータを処理中であるなどの理由により処理を保留したことを示す。

40

#### 【００２２】

##### （モジュールの動作）

続いて、データバス制御システムのモジュール間でのパケットの転送動作について説明する。まず、パケットの受信動作について説明する。ＩＤ判定部１１１は、パケット受信部１０６で受信したパケットに、自モジュール１０１のデータ処理部１０３において処理されるべきデータが含まれているか否かを判定する。あるいはパケットに含まれるデータが、他のモジュールにより処理されるべきか否かを判定する。判定は、受信パケットのノードＩＤ２０２と、待ち受けＩＤレジスタ１０７のＩＤ値とを比較することにより行う。例えば、待ち受けＩＤレジスタに処理すべき受信パケットのＩＤ値を格納し、ＩＤが一致する場合に、データ処理部１０３で処理を行う。

50



## 【 0 0 2 3 】

I D 判定部 1 1 1 は、判定結果に基づいて、受信制御部 1 0 8 を制御する。受信制御部 1 0 8 は、対応するデータ処理部 1 0 3 で処理されるべきパケットについては、当該パケットに含まれるデータをデータ処理部 1 0 3 へ出力する。そして、それ以外のパケットについては、送信制御部 1 0 9 へ出力する。ただし、パケットが、データ処理部 1 0 3 において処理されるべきデータを含む場合であっても、例えば、すでに他のデータの処理中であり、さらなる処理を実行できないなど、データ処理部 1 0 3 において処理できない場合がある。受信制御部 1 0 8 は、この状態を検知すると、処理を保留したことを示す S t a l l フラグ 2 0 4 を「 1 」として、送信制御部 1 0 9 へとパケットを受け渡す。

## 【 0 0 2 4 】

次に、データ処理部 1 0 3 によって処理されたデータが、図 3 に示したパケットにより、次に処理されるべきモジュールへと送信される動作について説明する。パケット生成部 1 0 5 は、パケットを生成する。パケット生成部 1 0 5 は、パケットのデータ 2 0 3 にデータ処理部 1 0 3 で処理されたデータを格納し、ノード I D 2 0 2 のフィールドにノード I D レジスタ 1 0 4 の I D 値を格納する。パケット生成部 1 0 5 は、さらに、パケットの V a l i d フラグ 2 0 1 を有効にする。送信制御部 1 0 9 は、パケット生成部 1 0 5 が生成したパケット、及び受信制御部 1 0 8 から直接入力されたパケットを、バッファを通してリングバス 1 0 2 へ送信するタイミングを制御する。

## 【 0 0 2 5 】

( 送信制御部の構成例 )

次に、図 4 を参照して、本実施形態に係る送信制御部 1 0 9 の構成例について説明する。本例における送信制御部 1 0 9 は、第一バッファ 3 0 1、第二バッファ 3 0 2、送信間隔制御部 3 0 3、セクタ 3 0 4、及びタイミング調整用の F F ( フリップフロップ ) 3 0 5 を備える。第一バッファ 3 0 1 は、受信制御部 1 0 8 からのパケットを保持する。より詳細には、第一バッファ 3 0 1 は、受信制御部 1 0 8 でスルーされたパケット、又は自ノードで処理されるデータを保持したパケットであったがデータ処理部 1 0 3 で処理できなかったパケットを格納する。第二バッファ 3 0 2 は、パケット生成部 1 0 5 で生成された、データ処理部 1 0 3 で処理されたデータを含むパケットを保持する。

## 【 0 0 2 6 】

送信間隔制御部 3 0 3 は、第二バッファ 3 0 2 からのパケットの送信間隔を制御する。セクタ 3 0 4 は、送信するパケットを選択する。第一バッファ 3 0 1、及び第二バッファ 3 0 2 に格納されたパケットのうち、どちらを送信するかは、セクタ 3 0 4 が選択する。このとき、送信間隔制御部 3 0 3 は、第二バッファ 3 0 2 に格納されたパケットが送信可能か否かを決定する。送信間隔制御部 3 0 3 は内部にタイマを持ち、タイマはパケットが送信される度に所定の値に設定され、最小のパケット送信間隔を維持する。この送信間隔はレジスタ等により設定可能であり、後段の処理を実行するモジュール 1 0 1 における処理能力に応じた値を設定する。なお、F F 3 0 5 は、後述する出力有効信号 4 1 0 を第一バッファ 3 0 1 及び第二バッファ 3 0 2 の出力タイミングに合わせて 1 サイクル遅延させる。そして、セクタ 3 0 4 は F F 3 0 5 の出力により制御される。

## 【 0 0 2 7 】

本実施形態では、受信したパケットの送信元のモジュールと自モジュールとの処理順序関係をノード I D 2 0 2 により判定する。また、この判定結果と、受信したパケットの S t a l l フラグ 2 0 4 を調べることにより、どのモジュールが処理保留状態であるかを検出する。この検出結果に応じて、第二バッファ 3 0 2 からの送信間隔を送信間隔制御部 3 0 3 により動的に制御し変更することで、パケットの転送効率を向上させることができる。具体的には、例えば、モジュール 1 0 1 は、自らより後段の処理を実行するモジュール 1 0 1 が処理保留状態であることを検出した場合、第二バッファ 3 0 2 に格納されたパケットの送出を一時停止する。そして、この一時停止する期間について、処理保留中のパケットの数に応じて変動させる。これにより、処理保留状態の有効なパケットでリングバス 1 0 2 が埋め尽くされることを防ぐと共に、少数の処理保留状態のパケットには、少しの

10

20

30

40

50

待ち時間を与えることで、システム全体のスループットを向上させることができるようになる。

#### 【 0 0 2 8 】

( 送信間隔制御部の機能構成 )

以下、図 5 を用いて、送信間隔制御部 3 0 3 の構成例について説明する。本例における送信間隔制御部 3 0 3 は、タイマ 4 0 3、ロード制御部 4 0 4、送信間隔選択部 4 0 5、第一レジスタ 4 0 6、第二レジスタ 4 0 7、加算器 4 0 8、リミッタ 4 0 9 を備える。

#### 【 0 0 2 9 】

タイマ 4 0 3 は送信間隔を制御する。本実施形態では、例えば、ロードされた値から 0 に向けてカウントダウンするロード機能付きのダウンカウンタである。ロード制御部 4 0 4 はタイマ 4 0 3 への送信間隔のロードを制御する。ロード制御部 4 0 4 は、ID 判定信号 4 0 1、S t a l l フラグ 4 0 2、タイマ値 4 1 1 を入力とし、出力有効信号 4 1 0、ロード信号 4 1 2 を出力する。

#### 【 0 0 3 0 】

ここで、ID 判定信号 4 0 1 は、受信したパケットの ID がノード ID レジスタ 1 0 4 の値と等しい場合、値は「 1 」となる。受信したパケットの ID がノード ID レジスタ 1 0 4 の値と等しい場合とは、すなわち、受信パケットが過去に自モジュールで生成して送信したパケットである場合である。受信したパケットの ID がノード ID レジスタ 1 0 4 の値と等しくない場合、及び、受信したパケットの ID がノード ID レジスタ 1 0 4 の値と等しくても V a l i d フラグ 2 0 1 が無効を示す場合は、ID 判定信号 4 0 1 の値は「 0 」となる。ID 判定信号 4 0 1 は、ID 判定部 1 1 1 から入力される。

#### 【 0 0 3 1 】

S t a l l フラグ 4 0 2 は受信制御部 1 0 8 から入力される。S t a l l フラグ 4 0 2 は、例えば、「 1 」の時、受信したパケットの処理を保留したことを示し、「 0 」の時、処理を保留していないことを示す。すなわち、ID 判定信号が「 1 」かつ S t a l l フラグが「 1 」である場合は、自モジュールのデータ処理部 1 0 3 において処理した後のデータを含む信号を送信したが、他のモジュールで直後の処理が保留され、信号が戻ってきたことを示す。タイマ値 4 1 1 は、タイマ 4 0 3 の値を示す。

#### 【 0 0 3 2 】

出力有効信号 4 1 0 は、送信間隔制御部 3 0 3 が第二バッファ 3 0 2 の出力間隔を制御するための信号である。出力有効信号 4 1 0 は、タイマ値 4 1 1 が「 0 」で、かつ、ID 判定信号 4 0 1 と S t a l l フラグ 4 0 2 が共に「 1 」でない場合、有効を示す値「 1 」となり、その他の場合は「 0 」となる。第二バッファ 3 0 2 とセクタ 3 0 4 は、「 1 」を示す出力有効信号 4 1 0 を受け取ると、第二バッファに格納された信号をリングバス 1 0 2 上へ送出するようにする。ただし、セクタ 3 0 4 には出力有効信号 4 1 0 が F F 3 0 5 を介して伝搬されるため、1 サイクル遅れて、第二バッファ 3 0 2 の出力が選択される。ロード信号 4 1 2 は、ロード制御部 4 0 4 が、タイマ 4 0 3 における出力間隔のロードのタイミングを制御する信号である。ロード信号 4 1 2 は、タイマ値 4 1 1 が「 0 」の時、又は ID 判定信号 4 0 1 が「 1 」かつ S t a l l フラグ 4 0 2 が「 1 」の時、有効値「 1 」となり、それ以外の場合は「 0 」となる。すなわち、タイマ 4 0 3 が満了した時と、自モジュールのデータ処理部 1 0 3 で処理した後のデータが他モジュールで処理を保留されて戻ってきた場合に、タイマ 4 0 3 に送信間隔をロードさせる。

#### 【 0 0 3 3 】

送信間隔選択部 4 0 5 はタイマ 4 0 3 へロードする送信間隔を選択する。送信間隔選択部 4 0 5 は、ID 判定信号 4 0 1 が「 1 」かつ S t a l l フラグ 4 0 2 が「 1 」の時、後述するリミッタ 4 0 9 の出力を選択する。それ以外の場合は後述する第一レジスタ 4 0 6 の値を選択する。タイマ 4 0 3 は、ロード信号 4 1 2 が「 1 」の場合、送信間隔選択部 4 0 5 で選択された値をロードし、カウントダウンを実行する。

#### 【 0 0 3 4 】

第一レジスタ 4 0 6 は最小のパケット送信間隔を確保する所定の設定値を格納する。第

10

20

30

40

50

二レジスタ407は動的に送信間隔を制御するための被加算値を格納する。加算器408はタイマ値411と第二レジスタ407の被加算値を加算する。リミッタ409は加算器408の出力値を、所定値以下に制限する。ここで、所定値は、例えばリングバス102の一周分に相当する期間である。

#### 【0035】

Stallフラグ402が「1」、かつID判定信号401が「1」である場合、そのパケットは、そのパケットを受信したモジュール101が送出し、続いて処理を実行する他のモジュール101で処理を保留されて戻ってきたことを示す。このため、そのような状態を検知すると、ロード制御部404は、第二バッファ302からのデータ送出を遅らせるように、タイマを制御する。具体的には、第一レジスタ406の値より大きいリミッタ409の値をタイマ403にロードする。さらに、ID判定信号401とStallフラグ402が共に「1」であるパケットを多数検知すると、それに応じてカウンタにロードする値を加算器408により、増加させる。ID判定信号401とStallフラグ402が共に「1」であるパケットの数に応じて適切な待ち時間を設定することが可能となる。さらに、リミッタ409を用いることにより、待ち時間を一定の時間以内に抑えることができる。これにより、モジュールが、他のモジュールにおける処理保留状態が解消された後であっても待ち続けることを防ぎ、システム全体のスループットの低下を防ぐことができる。

#### 【0036】

(送信間隔制御部の動作)

次に、図6を用いて、送信間隔制御部303の動作を説明する。本実施形態では、図1のモジュール数が $n = 16$ の場合に関して説明する。また、リミッタ409は加算器408の出力値をリングバス102の一周分に相当する16以下に制限する。

#### 【0037】

ここでは説明を簡単にするため、リングバス102の状態は考慮しない。すなわち、リングバス102が有効パケットで埋め尽くされているなどの事情はないものとし、タイマ403が「0」の時に第二バッファ302からパケットを送信することができるものとする。なお、下記では説明しないが、リングバス102上の送信スロットが空でない場合、すなわち、受信パケットのValidフラグ201が有効であり、その受信パケットを転送する必要がある場合は、第二バッファ302からパケットの送信ができない。これに限らず、パケットの送信ができない場合は、タイマ403は第一レジスタ406の値のロードを保留し、タイマ403は「0」を維持する。ただし、Stallフラグ402が「1」かつID判定信号401が「1」の場合は、タイマ403が上記のように「0」を維持する状態であっても、送信間隔選択部405により、リミッタ409の値がロードされる。

#### 【0038】

まず初期設定として、不図示のCPU等から、第一レジスタ406と第二レジスタ407の値が設定される。本実施形態では、一例として、第一レジスタ406に「1」を、第二レジスタ407に「3」を設定する。また、サイクル0におけるID判定信号401、Stallフラグ402、タイマ値411の値をそれぞれ「0」、「0」、「1」とする。また、ID判定信号401、及びStallフラグ402は、図6に示すように推移するものとする。

#### 【0039】

サイクル0ではID判定信号401及びStallフラグ402が共に「0」である。すなわち、受信したパケットは、自モジュールから送信したものでなく、また、処理が保留されてもいない。ここで、タイマ値411が「1」であるため、タイマのロードは不要であり、ロード信号412は「0」となる。このため、タイマ403は、送信間隔選択部405が選択した値をロードすることなく、ダウンカウントし、次のサイクル1で「0」となる。また、出力有効信号410は、タイマ値411が「0」でないため、無効を示す「0」となる。なお、加算器408の出力はタイマ値411(「1」と第二レジスタ4

10

20

30

40

50

07(「3」)を加算した「4」となる。リミッタ409の出力はリミット値16に達していないため、加算器408の値がそのまま出力され「4」となる。送信間隔選択部405は、ID判定信号401とStallフラグ402が共に「1」でないため、第一レジスタ406に格納された値「1」を選択する。つまり、このサイクルでは、モジュール101が自ら送信したパケットが他のモジュールで保留されて戻ってきたものでなく、かつ、タイマ値が「0」でないため、タイマへの値のロードや、第二バッファ302からのパケットの出力は行わない。

#### 【0040】

サイクル1では、ID判定信号401が「1」、Stallフラグ402が「0」である。すなわち、モジュール101が自ら送信したパケットを受信した状態であるが、他のモジュールにより処理の保留はされていないことを示す。この場合は、自ら送信したパケットが必要のないものであるため、パケットを消去し空パケットにする。なお、タイマ値411は「0」であるため、ID判定信号401、Stallフラグ402の値によらず、ロード信号412は「1」となり、送信間隔選択部405で選択された値が、次のサイクルでタイマ403にロードされる。送信間隔選択部405は、ID判定信号は「1」であるが、Stallフラグ402が「1」でないため、第一レジスタ406に格納された値「1」を選択する。なお、加算器408の出力はタイマ値411(「0」)に第二レジスタ407(「3」)の値を加えた3となる。リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「3」となる。また、出力有効信号410はタイマ値411が「0」であるため「1」となる。つまり、このサイクルでは、タイマ値が「0」で、かつ、ID判定信号401とStallフラグ402が共に「1」でないため、第一レジスタ406に格納された所定の設定値をタイマにロードし、第二バッファ302からのパケットの出力を行う。

#### 【0041】

サイクル2ではサイクル0と同様、ID判定信号401及びStallフラグ402が共に「0」である。このため、ロード信号412、出力有効信号410、加算器408の出力、リミッタ409の出力、送信間隔選択部405の出力はそれぞれ、「0」、「0」、「4」、「4」、「1」となる。またタイマ403は1からダウンカウントして次のサイクル3で「0」となる。

#### 【0042】

サイクル3ではID判定信号401が「0」であり、Stallフラグ402が「0」である。しかし、タイマ値411が「0」のため、ロード信号412は「1」となり、次のサイクル4でタイマ403に値がロードされる。また、出力有効信号410は、タイマ値411が「0」で、かつ、ID判定信号401とStallフラグが共に「1」でないため、「1」となる。なお、加算器408の出力はタイマ値411(「0」)に第二レジスタ407(「3」)の値を加えた3となり、リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「3」となる。送信間隔選択部405は、Stallフラグ402、ID判定信号401共に「0」であるため、第一レジスタ406の値を選択し「1」を出力する。

#### 【0043】

サイクル4ではサイクル0と同様、ID判定信号401及びStallフラグ402が共に「0」である。このため、ロード信号412、出力有効信号410、加算器408の出力、リミッタ409の出力、送信間隔選択部405の出力はそれぞれ、「0」、「0」、「4」、「4」、「1」となる。またタイマ403は1からダウンカウントして次のサイクル5で「0」となる。

#### 【0044】

サイクル5ではID判定信号401が「1」、Stallフラグ402が「1」である。すなわち、モジュール101が出力したパケットが、続いて処理を実行すべき他のモジュール101により処理を保留され、戻ってきた状態である。このため、ロード信号412は「1」となり、次のサイクル6でタイマ403に送信間隔選択部405で選択した値

をロードする。なお、加算器 408 の出力はタイマ値 411 (「0」) に第二レジスタ 407 (「3」) の値を加えた 3 となる。リミッタ 409 の出力はリミット値 16 に達していないため加算器 408 の値がそのまま出力され「3」となる。送信間隔選択部 405 は、ID 判定信号 401 が「1」かつ St a l l フラグ 402 が「1」であるため、リミッタ 409 の値を選択し「3」を出力する。また、出力有効信号 410 はタイマ値 411 が「0」であるが、ID 判定信号 401 と St a l l フラグ 402 が共に「1」であるため「0」となる。つまり、このサイクルでは、受信パケットが自モジュール出力のもので、続いて処理を実行すべきモジュールにて保留されたことを検知したため、第一レジスタ 406 の値より長い値「3」を次のサイクル 6 でタイマにロードし、送信間隔を延長する。なお、カウンタ値が「0」であるが、受信した保留パケットは有効であり転送する必要があるため、第二バッファ 302 からのパケットの出力は行われない。

10

## 【0045】

サイクル 6 ~ 8 ではサイクル 0 と同様、ID 判定信号 401 及び St a l l フラグ 402 が共に「0」である。このため、ロード信号 412、出力有効信号 410、加算器 408 の出力、リミッタ 409 の出力、送信間隔選択部 405 の出力はそれぞれ、「0」、「0」、「6」~「4」、「6」~「4」、「1」となる。またタイマ 403 は「3」からダウンカウントしていき、次のサイクル 9 で「0」となる。

## 【0046】

サイクル 9 ではサイクル 3 と同様に、ID 判定信号 401 と、St a l l フラグ 402 が共に「0」であり、タイマ値 411 が「0」である。このため、ロード信号 412 は「1」となり、次のサイクル 10 でタイマ 403 に値がロードされる。また、出力有効信号 410 は「1」となる。なお、加算器 408 の出力はタイマ値 411 (「0」) に第二レジスタ 407 (「3」) の値を加え、3 となる。リミッタ 409 の出力はリミット値 16 に達していないため加算器 408 の値がそのまま出力され「3」となる。送信間隔選択部 405 は、St a l l フラグ 402 が「1」でないため、第一レジスタ 406 を選択し「1」を出力する。つまり本サイクルでは、受信されたパケットが保留されたものでない。ただし、タイマ値 411 が「0」のため、第一レジスタ 406 に格納された所定の設定値をタイマにロードし、第二バッファ 302 からのパケットの出力を行う。

20

## 【0047】

サイクル 10 ではサイクル 0 と同様、ID 判定信号 401 及び St a l l フラグ 402 が共に「0」である。このため、ロード信号 412、出力有効信号 410、加算器 408 の出力、リミッタ 409 の出力、送信間隔選択部 405 の出力はそれぞれ、「0」、「0」、「4」、「4」、「1」となる。またタイマ 403 は 1 からダウンカウントして次のサイクル 11 で「0」となる。

30

## 【0048】

サイクル 11 ではサイクル 5 と同様、ID 判定信号 401 が「1」、St a l l フラグ 402 が「1」である。このため、ロード信号 412、出力有効信号 410、加算器 408 の出力、リミッタ 409 の出力、送信間隔選択部 405 の出力はそれぞれ、「1」、「0」、「3」、「3」、「3」となる。また、次のサイクル 12 でタイマ 403 に「3」がロードされる。

40

## 【0049】

サイクル 12 ではサイクル 0 と同様、ID 判定信号 401 及び St a l l フラグ 402 が共に「0」である。このため、ロード信号 412、出力有効信号 410、加算器 408 の出力、リミッタ 409 の出力、送信間隔選択部 405 の出力はそれぞれ、「0」、「0」、「6」、「6」、「1」となる。またタイマ 403 は 3 からダウンカウントして次のサイクル 13 で「2」となる。

## 【0050】

サイクル 13 では ID 判定信号 401 が「1」、St a l l フラグ 402 が「1」であるため、ロード信号 412 は「1」となり、次のサイクル 14 でタイマ 403 に値がロードされる。なお、加算器 408 の出力はタイマ値 411 (「2」) に第二レジスタ 407

50

(「3」)の値を加えた5となる。リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「5」となる。送信間隔選択部405は、ID判定信号401が「1」かつStallフラグ402が「1」であるため、リミッタ409を選択し「5」を出力する。また、出力有効信号410はタイマ値411が「0」でないため、「0」となる。つまり、このサイクルでは、サイクル11に引き続き、モジュール101は、自ら出力したパケットが続いて処理すべきモジュールにて保留され、戻ってきたものを受信している。ID判定信号401とStallフラグ402が共に「1」のパケットを短期的に複数受信するということは、続いて処理すべきモジュールにおいて、多くの処理が滞っていると考えられる。このため、タイマ403に、より長い時間をロードして、処理の保留を解消すべきである。このため、第二レジスタ407に格納された動的に送信間隔を制御するための被加算値とタイマ値との加算結果「5」を次のサイクル14でタイマにロードし、送信間隔をさらに伸ばす。

10

**【0051】**

サイクル14～16はサイクル13と同様であり、順次送信間隔を延長する。ロード信号412、出力有効信号410の出力はそれぞれ、「1」、「0」であり、加算器408の出力、リミッタ409の出力、送信間隔選択部405はそれぞれ「8」「11」「14」と変化する。またタイマ403には、サイクルごとにリミッタ409の出力がロードされ、「5」、「8」、「11」と第二レジスタ407の値「3」ずつロードされる間隔が加算されていき、サイクル17で「14」となる。つまり、これらのサイクルでは、モジュール101が送信したパケットが、続いて処理すべき他のモジュール101において複数保留され、保留パケットの発生頻度が高い状態である。よって、第二レジスタ407に格納された被加算値とタイマ値との加算結果をタイマにロードし、送信間隔を段階的に延長する。

20

**【0052】**

サイクル17ではサイクル13と同様であるが、加算器408の出力が「16」より大きい「17」であるため、リミッタ409は、値を「16」に制限する。すなわち、ロード信号412、出力有効信号410、加算器408の出力、リミッタ409の出力、送信間隔選択部405の出力はそれぞれ、「1」、「0」、「17」、「16」、「16」となる。また、次のサイクル18でタイマ403に「16」がロードされる。

**【0053】**

30

サイクル18～33ではサイクル0とサイクル0と同様、ID判定信号401及びStallフラグ402が共に「0」である。このため、ロード信号412、出力有効信号410、送信間隔選択部405の出力はそれぞれ「0」、「0」、「1」である。また、加算器408の出力は「19」～「4」となり、リミッタ409の出力は、加算器408の出力が16以上の場合は「16」であり、その他の場合は加算器408の出力と同一値となる。またタイマ403は「16」からダウンカウントしていき、サイクル34で「0」となる。つまり、これらのサイクルでは、モジュール101が出力したパケットが、続いて処理すべき他のモジュール101で処理を保留されて戻ってきていないため、タイマ値411が「0」になるまでダウンカウントする。これにより、モジュール101は、タイマ値411が「0」となるまで第二バッファ302からのパケットの出力を停止し、続いて処理を実行する他のモジュール101における処理の保留が解消するのを待つことになる。これにより、処理を保留された有効なパケットがリングバス102を埋め尽くすことによるデッドロック、及び効率の低下を回避することが可能となる。

40

**【0054】**

サイクル34ではサイクル3と同条件であり、ロード信号412、出力有効信号410、加算器408の出力、リミッタ409の出力、送信間隔選択部405の出力はそれぞれ、「1」、「1」、「3」、「3」、「1」となる。また、次のサイクル35でタイマ403に「1」がロードされる。

**【0055】**

以上説明したように、モジュール101が、自らが出力したパケットが、続いて処理す

50

べき他のモジュール 101 で処理を保留されて戻ってきたことを検知すると、その頻度によって、動的に第二バッファ 302 からのパケットの送信間隔を制御する。また、それ以外のパケットについては、タイマ 403 が「0」になる度に最小のパケット送信間隔の所定の値をロードし、最小のパケット出力間隔を保証する。これらの制御により、続いて処理を実行する他のモジュール 101 がパケットを受け付け可能な間隔でのパケット出力が可能となる。また、これにより、続いて処理を実行する他のモジュール 101 からの保留パケットの発生を抑制し、パケットの転送効率を向上させることが可能となる。

#### 【0056】

##### <<実施形態2>>

次に、本発明の第2の実施形態に係るデータバス制御システムについて説明する。図1から4に係る構成は第1の実施形態と同様のため、説明を省略する。以下、図7を用いて、本実施形態に係る送信間隔制御部 303 の構成について説明する。なお、図7において、図5と同一の機能を有するブロックは同一の番号を付し、説明を省略する。

#### 【0057】

##### (送信間隔制御部の第二の構成例)

ID判定信号 501 は、図5の例と同様、ID判定部 111 から入力される。受信したパケットのノード ID 202 がノード ID レジスタ 104 の値と等しい、すなわち、自モジュールが出力したことを示す場合、値を「01」とする。なお、「\*\*」は2ビットの値\*\*を示す。また、受信したパケットのノード ID 202 が自モジュールより後に処理されたことを示す場合は「10」となる。それ以外の場合は値「00」である。なお、ここでは処理の上流側より昇順にノード ID を付すこととし、自モジュールより後段に位置するか否かの判定はパケットのノード ID 202 とノード ID レジスタ 104 に記憶された値との大小比較によって行う。すなわち、受信パケットのノード ID 202 が自モジュールのノード ID レジスタ 104 の値よりも大きい場合、後段のモジュールで処理された後に送信されたパケットと判断する。また、ノード ID 202 の値によらず、Valid フラグ 201 が無効を示す場合は「00」を出力する。

#### 【0058】

504 はタイマ 403 へ送信間隔のロードを制御するためのロード制御部であり、ID判定信号 501、Stall フラグ 402、タイマ値 411 が入力され、出力有効信号 510、ロード信号 512 を出力する。ここでは説明を簡単にするため、タイマ 403 が「0」の時に、第二バッファ 302 からパケットの送信ができるものとする。

#### 【0059】

送信間隔選択部 505 は、ID判定信号 501 が「01」かつ Stall フラグ 402 が「1」の時、リミッタ 409 の出力をタイマ 403 へロードする送信間隔として選択する。また、送信間隔選択部 505 は、ID判定信号 501 が「10」かつ Stall フラグ 402 が「1」の時、後述する第二リミッタ 509 の出力を選択する。それ以外の場合は第一レジスタ 406 の値を選択する。すなわち、実施形態1と異なり、モジュール 101 は、自らの処理より後に処理を実行する他のモジュール 101 において処理が保留された場合にも、第二バッファ 302 からのパケットの送信間隔を延長する。すなわち、モジュール 101 の直後の処理を実行する他のモジュール 101 のみでなく、そのさらに後に処理を実行する他のモジュールにおける処理の保留が解消するまで、送信を待つこととなる。これにより、デッドロックとなる確率をさらに低減し、システム全体のスループットを向上させることができる。

#### 【0060】

第三レジスタ 507 は自モジュールより後に処理されるモジュールからの保留パケットを検知した時、動的に送信間隔を制御するための被加算値を設定するレジスタである。ここで、第二レジスタ 407 には第一の所定値を、第三レジスタ 507 には、第一の所定値と異なる第二の所定値を格納しておく。なお、第一の所定値は、自モジュールの直後の処理を実行するモジュールで処理が保留されているので、第二の所定値より大きい値であることが望ましい。逆に第二の所定値は、自モジュールの直後の処理よりさらに後の処理を

10

20

30

40

50

実行するモジュールにおいて処理が保留されたことを検知した場合にパケットの送信間隔を延長するものである。したがって、上流のモジュールでは、第二の所定値を用いて送信間隔を延長する頻度が下流のモジュールに比べて高くなる。このため、個々のモジュールで延長する送信間隔の量は大きくなくても良く、小さい値でよい。第二加算器508は、加算器408と同様に、タイマ値411と第三レジスタ507の値を加算する。第二リミッタ509は、リミッタ409と同様に、第二加算器508の出力値を所定値以下に制限する。所定値は、例えばリングバス102の一周分に相当する期間である。出力有効信号510は、ロード制御部504から第二バッファ302へ出力間隔を制御するために出力される信号である。出力有効信号510は、タイマ値411が「0」の場合で、ID判定信号501が「01」又は「10」でStallフラグ402が「1」である場合以外の時、有効を示す値「1」であり、そのほかの場合は「0」である。すなわち、タイマ値411が「0」であり、かつ、Stallフラグ402が1であってもID判定信号501が「00」であるような場合は、出力有効信号510は「1」となる。一方、タイマ値411が「0」であっても、Stallフラグ402が1でID判定信号501が「01」や「10」であるような場合は、出力有効信号510は「0」となる。ロード信号512は、ロード制御部504からタイマ403へ、出力間隔をロードするタイミングを制御する信号である。ロード信号512は、タイマ値411が「0」、又はStallフラグ402が「1」、かつID判定信号501が「01」若しくは「10」の時、有効値「1」となる。それ以外の場合は「0」となる。

10

#### 【0061】

20

(送信間隔制御部の第二の動作例)

次に図8を用いて、本実施形態に係る送信間隔制御部303の動作を説明する。本実施形態では、実施形態1と同様に、図1のモジュール数nが16である場合に関して説明する。よって、リミッタ409及び509は、加算器408及び508の出力値をリングバス一周分に相当する16により制限する。

#### 【0062】

まず初期設定として、図示していないCPU等から第一レジスタ406、407及び507の値が設定される。本実施形態では一例として、第一レジスタ406に「1」を、第二レジスタ407に「3」、第三レジスタ507に「1」を設定する。また、サイクル0におけるID判定信号501、Stallフラグ402、タイマ403の値をそれぞれ、

30

#### 【0063】

サイクル0ではID判定信号501は「00」及びStallフラグ402が「0」であるため、ロード信号512は「0」であり、タイマ403は1からダウンカウントして次のサイクル1で「0」となる。また、出力有効信号510はタイマ値411が「0」でないため、「0」となる。なお、加算器408の出力はタイマ値411「1」に第二レジスタ407の値「3」を加え、「4」となる。リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「4」となる。また、第二加算器508の出力は、タイマ値411「1」に第三レジスタ507の値「1」を加え「2」となる。第二リミッタ509の出力はリミット値「16」に達していないため第二加算器508の値がそのまま出力され「2」となる。送信間隔選択部505は、ID判定信号501が「01」又は「10」でなく、また、Stallフラグ402が「1」でないため、第一レジスタ406を選択し「1」を出力する。つまり本サイクルでは、受信パケットが保留されたものでもなくかつ、タイマ値が「0」でないため、タイマへの値のロードや、第二バッファ302からのパケットの出力は行わない。

40

#### 【0064】

サイクル1ではID判定信号501が「01」、Stallフラグ402が「0」である。すなわち、モジュール101は、自らが出力したパケットを受信しているが、処理は保留されていない。一方、タイマ値411は「0」である。このため、ロード信号512は「1」となり、次のサイクル2でタイマ403に値がロードされる。また、出力有効信

50



号510はタイマ値411が「0」であって、かつ、Stallフラグ402が「1」及びID判定信号501が「01」又は「10」の場合に該当しないため、「1」となる。なお、加算器408の出力はタイマ値411「0」に第二レジスタ407の値「3」を加え「3」となる。リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「3」となる。また、第二加算器508の出力はタイマ値411「0」に第三レジスタ507の値「1」を加え「1」となる。第二リミッタ509の出力はリミット値16に達していないため第二加算器508の値がそのまま出力され「1」となる。送信間隔選択部505は、Stallフラグ402が「1」でないため、第一レジスタ406の値「1」を選択する。つまり、このサイクルでは、受信パケットが保留されたものでないが、タイマ値が「0」のため、第一レジスタ406に格納された所定の設定値をタイマ403にロードし、第二バッファ302からのパケットの出力を行う。

10

## 【0065】

サイクル2ではID判定信号501が「10」である以外は、サイクル0と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「0」、「0」、「4」、「4」、「2」、「2」、「1」となる。またタイマ403は1からダウンカウントして次のサイクル3で「0」となる。

## 【0066】

サイクル3ではID判定信号501が「00」、Stallフラグ402が「0」である。しかし、タイマ値411が「0」であるため、ロード信号512は「1」となり、次のサイクル4でタイマ403に値がロードされる。また、出力有効信号510はタイマ値411が「0」であって、かつ、Stallフラグ402が「1」及びID判定信号501が「01」又は「10」の場合に該当しないため、「1」となる。なお、加算器408の出力はタイマ値411「0」に第二レジスタ407の値「3」を加え「3」となる。リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「3」となる。また、第二加算器508の出力はタイマ値411「0」に第三レジスタ507の値「1」を加え1となる。第二リミッタ509の出力はリミット値16に達していないため加算器408の値がそのまま出力され「1」となる。送信間隔選択部505は、Stallフラグ402が「1」であるがID判定信号501が「00」であるため、第一レジスタ406の値「1」を選択する。つまり、このサイクルでは、受信パケットが保留されたものであるが、自モジュール以降の処理パス上のモジュールが出力したパケットが保留されたわけではない。ただし、タイマ403が「0」のため、第一レジスタ406に格納された最小のパケット送信間隔を保証する所定の設定値をタイマにロードし、第二バッファ302からのパケットの出力を行う。

20

30

## 【0067】

サイクル4はサイクル0と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「0」、「0」、「4」、「4」、「2」、「2」、「1」となる。またタイマ403は1からダウンカウントして次のサイクル5で「0」となる。

40

## 【0068】

サイクル5ではID判定信号401が「01」、Stallフラグ402が「1」である。また、タイマ値411が「0」であるため、ロード信号512は「1」となり、次のサイクル6でタイマ403に値がロードされる。また、出力有効信号510はタイマ値411が「0」であるが、かつ、Stallフラグ402が「1」及びID判定信号501が「01」又は「10」の場合に該当するため、「0」となる。なお、加算器408の出力はタイマ値411「0」に第二レジスタ407の値「3」を加え「3」となる。リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「3」となる。また、第二加算器508の出力はタイマ値411「0」に第三レジスタ507の値「1」を加え「1」となり、第二リミッタ509の出力はリミット値16に達

50

していないため第二加算器508の値がそのまま出力され「1」となる。送信間隔選択部505は、ID判定信号501が「01」かつStallフラグ402が「1」であるため、リミッタ409を選択し「3」を出力する。つまり、このサイクルでは、モジュール101が、自ら送信したパケットが、続いて処理を実行すべきモジュール101にて保留され戻ってきている。よって、第二レジスタ407に格納された被加算値とタイマ値との加算結果「3」を次のサイクル6でタイマにロードし、送信間隔を伸ばす。なお、タイマ値411が「0」であるが上記保留パケットがリングバス102上にあるため第二バッファ302からのパケットの出力は行われない。

【0069】

サイクル6～8はサイクル0と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力はそれぞれ、「0」、「0」、「6」～「4」、「6」～「4」である。また、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「4」～「2」、「4」～「2」、「1」となる。さらにタイマ403は「3」からダウンカウントしていき、次のサイクル9で「0」となる。

【0070】

サイクル9はサイクル3と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力はそれぞれ、「1」、「1」、「3」、「3」である。また、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力は、それぞれ「1」、「1」、「1」となる。また次のサイクル10で第一レジスタ406の設定値をタイマにロードし、第二バッファ302からのパケットの出力を行う。

【0071】

サイクル10はサイクル0と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「0」、「0」、「4」、「4」、「2」、「2」、「1」となる。またタイマ403は1からダウンカウントして次のサイクル11で「0」となる。

【0072】

サイクル11ではID判定信号401が「10」、Stallフラグ402が「1」である。さらに、タイマ値411が「0」であるため、ロード信号512は「1」となり、次のサイクル12でタイマ403に値がロードされる。また、出力有効信号510はタイマ値411が「0」であるが、かつ、Stallフラグ402が「1」及びID判定信号501が「10」の場合であるため、「0」となる。なお、加算器408の出力はタイマ値411「0」に第二レジスタ407の値「3」を加え「3」となる。リミッタ409の出力はリミット値16に達していないため加算器408の値がそのまま出力され「3」となる。また、第二加算器508の出力はタイマ値411「0」に第三レジスタ507「1」を加え「1」となり、第二リミッタ509の出力はリミット値16に達していないため第二加算器508の値がそのまま出力され「1」となる。送信間隔選択部505は、ID判定信号501が「10」かつStallフラグ402が「1」であるため、第二リミッタ509の値を選択し「1」を出力する。つまり本サイクルでは、モジュール101は、自らより後に処理を実行する他のモジュール101において処理を保留したパケットを受信している。よって、第三レジスタ507に格納された被加算値とタイマ値との加算結果「1」を次のサイクル12でタイマにロードし、送信間隔を動的に伸ばす。なお、タイマ値411が「0」であるが、保留パケットがリングバス102上にあるため、第二バッファ302からのパケットの出力は行われない。

【0073】

サイクル12はサイクル0と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「0」、「0」、「4」、「4」、

10

20

30

40

50

「2」、「2」、「1」となる。またタイマ403は1からダウンカウントして次のサイクル13で「0」となる。

【0074】

サイクル13はサイクル3と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「1」、「1」、「3」、「3」、「1」、「1」、「1」となる。また次のサイクル14で第一レジスタ406の設定値をタイマにロードし、第二バッファ302からのパケットの出力を行う。

【0075】

サイクル14～15はサイクル5と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力はそれぞれ、「1」、「0」、「4」～「7」、「4」～「7」である。また、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「2」～「5」、「2」～「5」、「4」～「7」となる。さらにタイマ403は毎サイクル、リミッタ409の出力がロードされ、「1」から「4」、「4」から「7」へと、第二レジスタ407の値「3」ずつ送信間隔が伸びる。つまりこれらのサイクルでは、モジュール101が出力し、次の処理を実行すべきモジュール101で保留され戻ってきたパケットを受信している。このため、第二レジスタ407に格納された被加算値とタイマ値との加算結果をタイマにロードし、送信間隔を動的に延長する。

【0076】

サイクル16～17はサイクル11と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力はそれぞれ、「1」、「0」、「10」～「11」、「10」～「11」となる。また、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505「8」～「9」、「8」～「9」、「8」～「9」となる。さらに、タイマ403は毎サイクル、第二リミッタ509の出力がロードされ、「7」から「8」、「8」から「9」へと第三レジスタ507の値「1」ずつ送信間隔が延長される。つまり、これらのサイクルでは、モジュール101より後に処理を実行する他のモジュール101が出力し、保留されたパケットを受信している。よって、第三レジスタ507に格納された被加算値とタイマ値との加算結果をタイマにロードし、送信間隔を動的に延長する。

【0077】

サイクル18～19はサイクル5と同様である。ロード信号512、出力有効信号510、加算器408の出力、リミッタ409の出力はそれぞれ、「1」、「0」、「12」～「15」、「12」～「15」となる。また、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「10」～「13」、「10」～「13」、「12」～「15」となる。さらに、毎サイクル、タイマ403にリミッタ409の出力がロードされ、「9」から「12」、「12」から「15」へと第二レジスタ407の値「3」ずつ送信間隔が延長される。

【0078】

サイクル20ではサイクル5と同条件であるが、加算器408の出力が「16」より大きいいためリミッタ409で「16」に制限されて出力される。すなわち、加算器408の出力、リミッタ409の出力、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「18」、「16」、「16」、「16」、「16」となる。なお、ロード信号512、出力有効信号510は「1」、「0」である。また、次のサイクル21でタイマ403に「16」がロードされる。

【0079】

サイクル21はサイクル11と同様であるが、第二加算器508の出力が「16」より大きいいため第二リミッタ509で「16」に制限されて出力される。すなわち、加算器408の出力、リミッタ409の出力、第二加算器508の出力、第二リミッタ509の出力、送信間隔選択部505の出力はそれぞれ、「19」、「16」、「17」、「16」

、「１６」となる。ロード信号５１２、出力有効信号５１０は「１」、「０」となる。また、次のサイクル２２でタイマ４０３に「１６」がロードされる。

【００８０】

サイクル２２～３７はサイクル０と同様である。ロード信号５１２、出力有効信号５１０、加算器４０８の出力、リミッタ４０９の出力はそれぞれ、「０」、「０」、「１９」～「４」、「１６」～「４」となる。また、第二加算器５０８の出力、第二リミッタ５０９の出力、送信間隔選択部５０５の出力はそれぞれ、「１７」～「２」、「１６」～「２」、「１」となる。さらに、タイマ４０３は「１６」からダウンカウントしていき、サイクル３８で「０」となる。つまりこれらのサイクルでは、他のモジュールで処理を保留されたパケットを受信していないため、タイマをダウンカウントしていき、「０」になるまで第二バッファ３０２からのパケットの出力を停止する。

10

【００８１】

サイクル３８はサイクル３と同条件である。ロード信号５１２、出力有効信号５１０、加算器４０８の出力、リミッタ４０９の出力、第二加算器５０８の出力、第二リミッタ５０９の出力、送信間隔選択部５０５の出力はそれぞれ、「１」、「１」、「３」、「３」、「１」、「１」、「１」となる。また、次のサイクル３９でタイマ４０３に「１」がロードされる。

【００８２】

以上説明したように、モジュール１０１は、自らが出力し、直後の処理を実行すべきモジュール１０１において処理を保留され戻ってきたパケットを受信した場合、その頻度によって大きさが変動する送信間隔の値をタイマ４０３にロードする。また、モジュール１０１は、自らの直後のみならず、その後に処理を実行すべき他のモジュール１０１で処理が保留されたパケットを受信した場合においても、その頻度によって大きさが変わる送信間隔の値をタイマ４０３にロードする。さらに、上記以外のパケットを受信した場合は、パケットを出力する度に最小のパケット送信間隔の所定の値をロードし、最小のパケット出力間隔とする。これらの制御により、自モジュールより後に処理を実行する他のモジュール１０１からの保留パケットの発生を検出し、出力間隔を動的に増加させる。これにより、処理が保留されたモジュール１０１より前に処理を実行する複数のモジュール１０１において、送信間隔を延長することとなり、パケットの転送効率をさらに向上させることが可能となる。特に、上流の処理を実行するモジュール１０１であるほど、出力間隔が延長される頻度が高くなるので、リングバス１０２の安定性が向上する。つまり、上流側のモジュール１０１において、下流側で処理が保留されていることを検知し、処理の対象となるパケットの送信を限定することにより、処理が保留されたパケットの発生を抑え、全体としてパケットの転送効率を向上させる。特に、処理が保留されたパケットの受信頻度に応じて動的にパケット転送量が制御されるため、モジュールのデータ処理能力が一定でなく動的に変わる場合であっても対応できる。

20

30

【００８３】

なお、本実施形態に係る制御システムを有効に動作させるには、上述の第二レジスタ４０７に格納される第一の所定値を第三レジスタ５０７に格納される第二の所定値より大きくすることが望ましい。第二の所定値は、処理を保留しているモジュール１０１より上流で処理を実行したモジュール１０１の各々において出力間隔として加算されるため、小さい値であっても、処理の保留を解消するのに十分となることが多いからである。また、パケットの出力時にタイマにロードする値は、次段のモジュールのパケット入力間隔に合わせることが望ましい。また、上記出力間隔の増分のリミット値は、リングバス１０２の一周分とするのが望ましい。これは、リングバス１０２の一周に相当する期間だけ待てば、保留状態が解除されたかどうかを判定することができるからである。このように上限値を設けることで、保留状態が解除されてからの応答を速くし、入力待ち状態となっている時間を最小化する効果がある。

40

【００８４】

また、上記説明ではパケット出力有効信号はタイマの値で判定していたが、次段のモジ

50

ジュールの入力バッファが2パケット分以上ある場合、タイマは、値を「0」で維持せず、送信間隔選択部505で選択した値をロードしてもよい。この場合、タイマの値が「0」のサイクルにおいてパケットを出力できなかったか否かの出力判定を実行し、出力できなかったと判定された場合、その旨を示す情報として、出力保留フラグを設け、当該出力保留フラグを「1」にセットする。そして、タイマは送信間隔選択部505で選択した値をロードする。そして、ロード制御部504は、タイマの値が「0」であるか、出力保留フラグが「1」である場合、出力有効信号510を、有効を示す「1」としてもよい。この場合、局所的な最小出力間隔は保証されないが、次段のモジュールでは保留とはならないため、さらに効率的なパケット転送が可能となる。また、上述の実施形態では、タイマとしてダウンカウンタを有する構成について説明したが、ダウンカウンタの代わりにアップカウンタを配置して、設定されている送信間隔を計測する構成としてもよい。

10

**【0085】**

<<その他の実施形態>>

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア（プログラム）を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ（またはCPUやMPU等）がプログラムを読み出して実行する処理である。

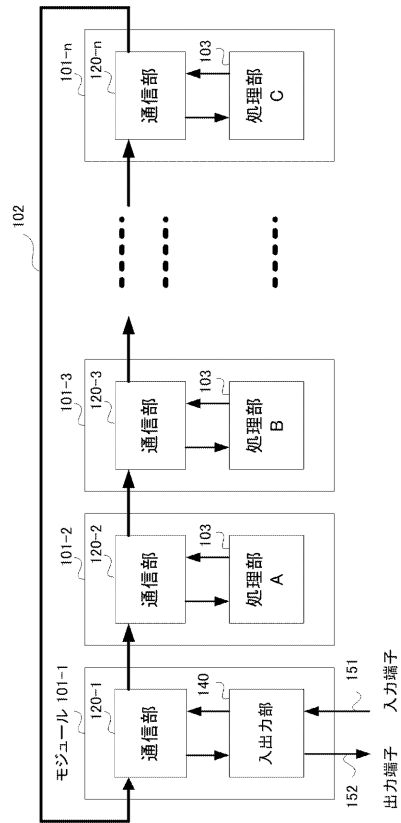
**【符号の説明】****【0086】**

- 101 モジュール
- 102 リングバス
- 103 処理部
- 104 ノードIDレジスタ
- 105 パケット生成部
- 106 パケット受信部
- 107 待ち受けIDレジスタ
- 108 受信制御部
- 109 送信制御部
- 110 パケット送信部
- 111 ID判定部

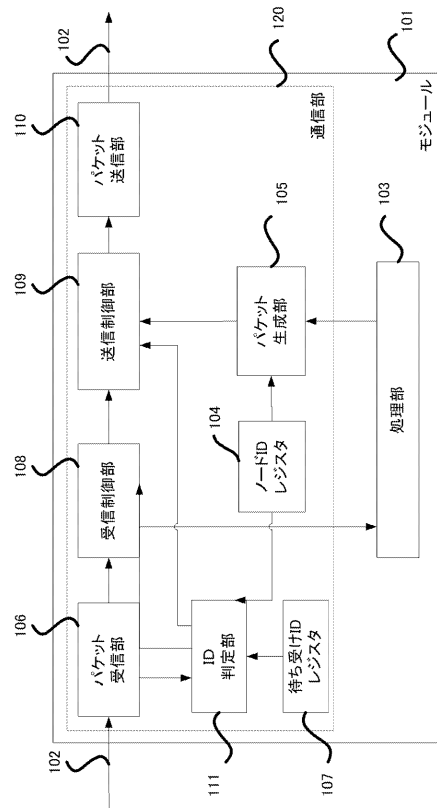
20

30

【図 1】



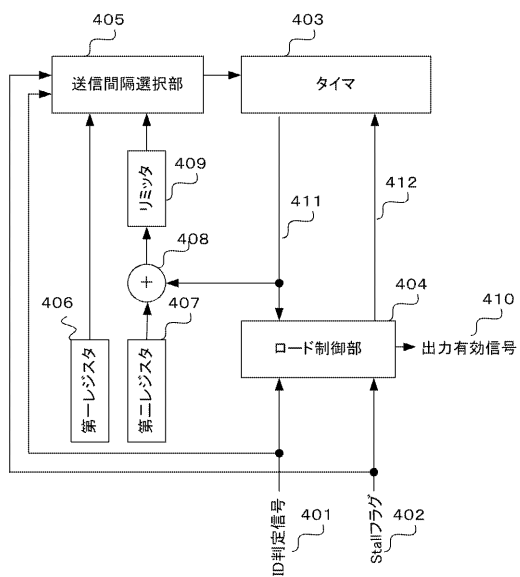
【図 2】



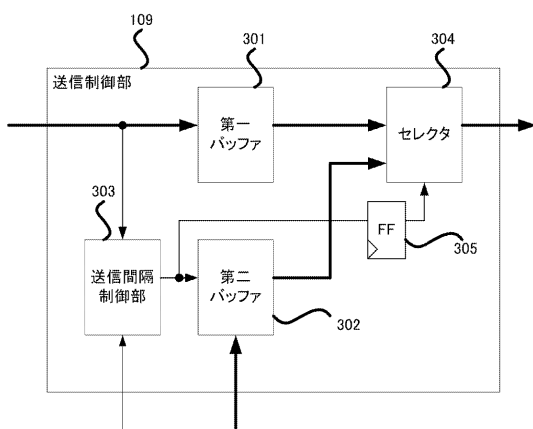
【図 3】



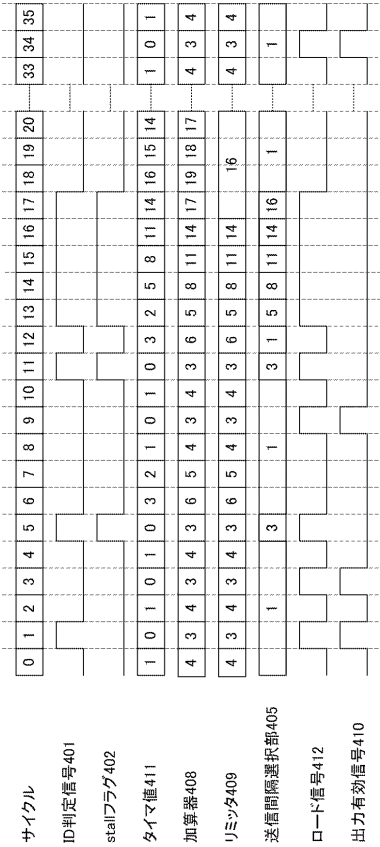
【図 5】



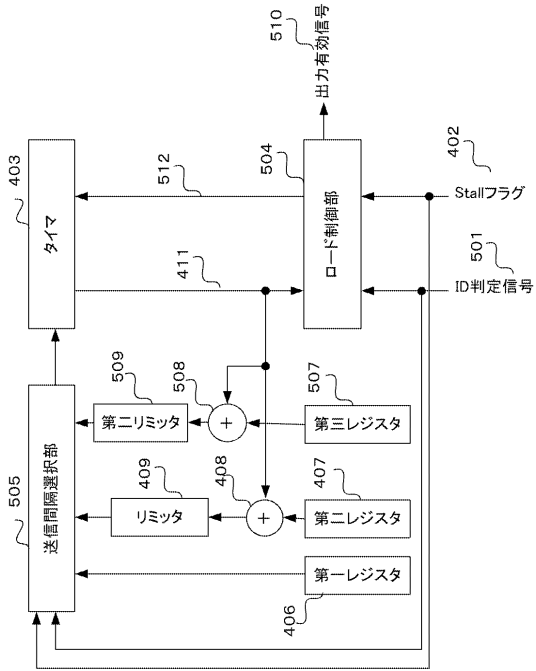
【図 4】



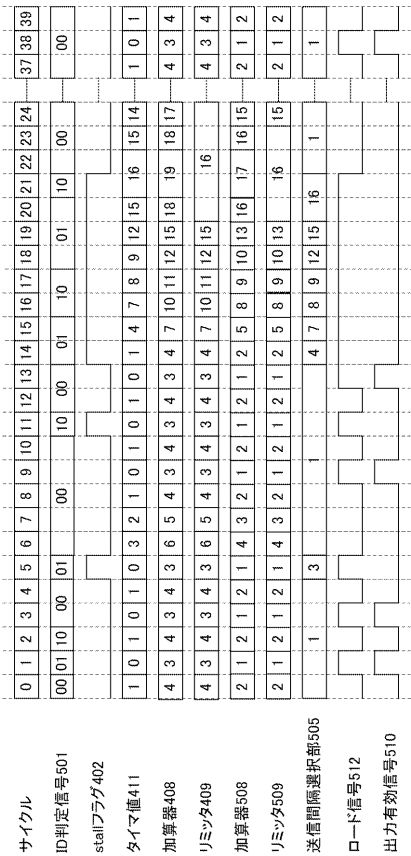
【図 6】



【図 7】



【図 8】



---

フロントページの続き

- (72)発明者 原 裕司  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
(72)発明者 石川 尚  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 三坂 敏夫

- (56)参考文献 特開2010-217959(JP,A)  
特開平10-228445(JP,A)  
特開昭62-081844(JP,A)  
特開2011-128989(JP,A)  
米国特許出願公開第2010/0235609(US,A1)

- (58)調査した分野(Int.Cl., DB名)  
G06F 15/173  
G06F 13/38