

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7526180号
(P7526180)

(45)発行日 令和6年7月31日(2024.7.31)

(24)登録日 令和6年7月23日(2024.7.23)

(51)国際特許分類	F I
H 1 0 B 43/27 (2023.01)	H 1 0 B 43/27
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78 3 7 1
H 0 1 L 29/788(2006.01)	H 0 1 L 21/302 1 0 5 A
H 0 1 L 29/792(2006.01)	
H 0 1 L 21/3065(2006.01)	

請求項の数 16 (全30頁)

(21)出願番号	特願2021-531502(P2021-531502)	(73)特許権者	518109985 サンライズ メモリー コーポレイション アメリカ合衆国カリフォルニア州 9 5 1 3 1 ・ サンノゼ ・ チャーコット アベニ ュー 2 2 5
(86)(22)出願日	令和1年12月4日(2019.12.4)	(74)代理人	110001379 弁理士法人大島特許事務所
(65)公表番号	特表2022-510370(P2022-510370 A)	(72)発明者	ヘルナー、スコット ブラッド アメリカ合衆国コロラド州 8 0 0 2 6 ・ ラファイエット ・ カスケード クリーク ドライブ 2 8 4 9
(43)公表日	令和4年1月26日(2022.1.26)	(72)発明者	チエン、ウー - イー ・ ヘンリー アメリカ合衆国カリフォルニア州 9 5 1 2 0 ・ サンホゼ ・ エルドリッジ ドライブ 6 8 4 4
(86)国際出願番号	PCT/US2019/064538		
(87)国際公開番号	WO2020/117978		
(87)国際公開日	令和2年6月11日(2020.6.11)		
審査請求日	令和4年11月8日(2022.11.8)		
(31)優先権主張番号	62/775,310		
(32)優先日	平成30年12月4日(2018.12.4)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 多層水平NOR型薄膜メモリストリングの形成方法

(57)【特許請求の範囲】

【請求項1】

基板の平面上に形成されるメモリ構造のための高アスペクト比のエッチング方法であつて、

前記平面上に、前記平面に実質的に直交する第1の方向に沿って互いに積層された、第1の導電性材料のそれぞれ第1の層および第2の層を含む複数の材料多層を準備するステップと、

前記材料多層を介して前記第1の方向に沿って延在する複数の誘電体ピラーを提供するステップと、

前記誘電体ピラーが提供された後に、前記材料多層を1つのグループをなす多層スタックに分割する1つのセットのトレンチを作製するように、前記第1の方向に沿って前記材料多層をマスクを用いてパターンニングおよびエッチングするステップであつて、各トレンチが、前記基板の前記平面に実質的に平行な第2の方向に沿って延在し、かつ、前記誘電体ピラーが、2つの隣接する多層スタックに接するように、前記1つのセットのトレンチを作製する、該ステップと含む方法。

【請求項2】

前記第1の導電性材料は、ドーパされた半導体材料を含むことを特徴とする、請求項1に記載の方法。

【請求項3】

前記トレンチを誘電体材料で充填し、かつ、各前記トレンチ内の前記誘電体材料の一部

を、前記第 1 の方向に沿って延在する複数の導電性カラムで置き換えるステップをさらに含む、請求項 1 に記載の方法。

【請求項 4】

各前記トレンチ内の前記誘電体材料の一部を置き換えるステップは、
前記トレンチ内の前記誘電体材料をエッチングして、前記第 1 の方向に沿って延在する複数のシャフトを提供するステップと、
データ蓄積材料を各前記シャフトにコンフォーマルに堆積させるステップと、
前記導電性カラムを形成するために各前記シャフトに第 2 の導電性材料を充填するステップとを含む、請求項 3 に記載の方法。

【請求項 5】

前記材料多層を準備する前に、半導体基板の前記平面の上に、前記第 1 の方向および前記第 2 の方向のそれぞれに実質的に直交する第 3 の方向に沿って延在する複数の導体を設けるステップをさらに含む、請求項 4 に記載の方法。

【請求項 6】

各前記導体がドーパされた半導体または金属を含む、請求項 5 に記載の方法。

【請求項 7】

各前記導電性カラムの前記導体の 1 つへの電気的な接続を可能にする導電路を提供するステップをさらに含む、請求項 5 に記載の方法。

【請求項 8】

前記多層スタックの上に、前記第 1 の方向および前記第 2 の方向のそれぞれに実質的に直交する第 3 の方向に沿って延在する複数の導体を設けるステップをさらに含む、請求項 4 に記載の方法。

【請求項 9】

各前記導電性カラムの導電体の 1 つへの電気的な接続を可能にする導電路を提供するステップをさらに含む、請求項 8 に記載の方法。

【請求項 10】

前記基板に回路素子を提供するステップと、
対応する前記回路素子の上に実質的に位置する前記導電性カラムのうち選択されたものを対応する前記回路素子に電気的に接続するステップとをさらに含む、請求項 8 に記載の方法。

【請求項 11】

前記回路素子と前記導電性カラムの間に絶縁層を設けるステップをさらに含み、
前記導電性カラムのうち選択されたものを対応する前記回路素子に電気的に接続するステップは、前記絶縁層を貫通して導電路を形成するステップを含む、請求項 10 に記載の方法。

【請求項 12】

各前記多層スタックの 1 つ以上の端部に、前記第 2 の方向に沿って前記多層スタックの層を連続的に拡張する階段構造を作成するステップをさらに含む、請求項 1 に記載の方法。

【請求項 13】

前記階段構造の上に電気絶縁材料を提供するステップと、
前記階段構造の段の露出した半導体層、または導電層に電気的に接続するために、前記第 1 の方向に沿ったバイア接続を提供するステップとをさらに含む、請求項 12 に記載の方法。

【請求項 14】

各前記材料多層は、前記第 1 の導電性材料の前記第 1 の層および前記第 2 の層の間に犠牲層をさらに含み、前記犠牲層の一部を前記第 1 の導電性材料の第 3 の層で置き換えるステップをさらに含む、請求項 1 に記載の方法。

【請求項 15】

各前記材料多層が、前記第 1 の導電性材料の前記第 1 の層に隣接する犠牲層をさらに含み、前記犠牲層の一部を第 3 の導電性材料で置き換えるステップをさらに含む、請求項 1

10

20

30

40

50

に記載の方法。

【請求項 16】

第3の導電性材料が金属を含む、請求項14に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本願は、(i)2018年12月4日出願された「Methods for Forming Multilayer Horizontal NOR-type Thin-film Memory Strings」と題された米国仮出願(「仮出願I」)第62/775,310号明細書に関連し、その優先権を主張するものである。

10

【0002】

また、本発明は、(i)2018年7月12日出願に出願された「Fabrication Method for a 3-Dimensional NOR Memory Array」と題された米国仮出願(「仮出願II」)第62/697,085号明細書、(ii)2018年10月29日出願された「3-Dimensional NOR Memory Array with Very Fine Pitch: Device and Method」と題された米国仮出願(「仮出願III」)第62/752,092号明細書、および(iii)2018年11月27日出願された「Staircase Structures for Electrically Connecting Multiple Horizontal Conductive Layers of a 3-Dimensional Memory Device」と題された米国仮特許出願(「仮出願IV」)第62/771,922号明細書に関連するものである。

20

【0003】

また、本願は、2018年6月19日出願された「3-Dimensional NOR Memory Array Architecture and Methods for Fabrication Thereof」と題された米国非仮特許出願(以下、「非仮出願」)、第16/012,731号に関連する。

【0004】

仮出願I、II、III、IV、および非仮出願の開示内容は、参照によりその全体が本明細書に組み込まれる。

30

【0005】

(技術分野)

本発明は、3次元メモリ構造の形成に関するものである。特に、本発明は、NOR型薄膜メモリストリングの3次元メモリ構造を、半導体基板の表面に、実質的に平行に形成することに関するものである。

【背景技術】

【0006】

水平NOR型(以下、HNOR)の薄膜メモリストリングを形成する方法は、これまでも説明されてきた。

40

【0007】

例えば、上記の参照により組み込まれた仮出願IIに開示されている3次元の水平NOR型メモリストリングを参照されたい。本明細書では、「活性ストリップ(いくつかの場合では、「NINストリップ」または「ビット線ストリップ」とも称する)」という語は、半導体やその他の材料のさまざまな層を含む薄くて細長いストリップを指し、活性ストリップは、その長さに沿って薄膜トランジスタのチャンネル、ソース、ドレイン領域が形成またはそれを容易に形成できるようにする。

【0008】

これらの薄膜トランジスタは、共通のソース領域と共通のドレイン領域を共有することで、NOR型メモリストリングとして構成することができる。ある実施形態では、共通ド

50

レイン領域は、NOR型メモリストリングのビット線として機能し、ソース領域は、NOR型メモリストリング内の1つまたは複数のトランジスタを介してアクセスされる場合を除いて、電氣的に浮遊している。

【0009】

活性ストリップ内の材料層の集合を、「活性層」と呼ぶ。仮出願IIに記載されているプロセスフローでは、まず複数の活性層を成膜し、続いて複数の活性層を通過してパターニングとエッチングを行うことで、活性ストリップのスタック（「活性スタック」）を形成する。その結果、各スタックの活性ストリップは互いに平行に走り、隣り合う活性スタックは深いトレンチによって互いに分離される。これらの活性スタックは、水平方向に配列されたNOR型メモリストリングの3次元アレイ（「HNORメモリアレイ」）を表すブロックに整理することができる。

10

【0010】

仮出願IIのプロセスでは、高アスペクト比のエッチングを行う必要がある狭い活性ストリップと背の高い活性スタックの形成能力を向上させることで、大規模かつ低コストのHNORメモリアレイを実現している。そのため、非仮特許出願では、構造的または機械的な安定性を高めるために、各活性スタックの長さに沿って適切な間隔でブレースまたはストラットを使用することを開示している。構造的な不安定さは、隣接する活性ストリップ間の傾斜、蛇行、ねじれ、反り、リボン化、短絡を引き起こす可能性がある。これらの現象は、活性層の数が多く高さのあるスタックにより悪化する。この構造的な不安定さは、各活性ストリップをより短い活性ストリップに分割したり、より多くのブレースをより短い間隔で配置したり、より広い活性ストリップを形成したり、スタックの高さを低くすることで緩和することができる。これらのアプローチはいずれも構造的な剛性の向上に貢献するが、1ビットあたりのシリコン面積が大きくなるため、1ビットあたりのコストが高くなる。

20

【発明の概要】

【課題を解決するための手段】

【0011】

本発明の第1実施形態による方法は、難易度の高い高アスペクト比の単一のエッチングステップを、難易度の低いアスペクト比の2つ以上のエッチングステップに置き換えることで、上述の制限を実質的に克服するとともに、優れたスケールングを実現している。

30

【0012】

本発明の第2実施形態による方法は、誘電体ピラーを使用して、メモリ構造を支持し、高アスペクト比のエッチングステップおよびその後の処理ステップ中に構造安定性を維持する。

【0013】

本発明の第3の実施形態による方法は、複数のマスクングステップを使用して、難易度の低いアスペクト比の2つ以上のエッチングステップを提供する。これは、より広く、より機械的に安定した活性ストリップを含む。

【0014】

本発明は、添付の図面と併せて、以下の詳細な開示を考慮することにより、よりよく理解される。

40

【図面の簡単な説明】

【0015】

【図1】本発明の第1実施形態において、HNORメモリアレイの活性スタックを2以上のエッチングステップで形成する様子を示した図である。

【図2】本発明の第1実施形態において、HNORメモリアレイの活性スタックを2以上のエッチングステップで形成する様子を示した図である。

【図3】本発明の第1実施形態において、HNORメモリアレイの活性スタックを2以上のエッチングステップで形成する様子を示した図である。

【図4】本発明の第1実施形態において、HNORメモリアレイの活性スタックを2以上

50

エッチングステップで形成する様子を示す図である。

【図 4 9】本発明の第 3 実施形態による、HNOR メモリアレイの活性スタックを 2 つのエッチングステップで形成する様子を示す図である。

【図 5 0】本発明の第 3 実施形態による、HNOR メモリアレイの活性スタックを 2 つのエッチングステップで形成する様子を示す図である。

【図 5 1 A】リボン化現象を示す図である。

【図 5 1 B】リボン化現象を示す図である。

【0016】

以下の詳細な説明と図との間の要素の相互参照を容易にするために、同様の要素には同様の参照番号が割り当てられる。

【発明を実施するための形態】

【0017】

詳細な説明では、本発明の様々な実施形態によるプロセスフローを示している。このとき、製造可能性の理由から 1 つ以上の実施形態が好まれる場合があるが、他の理由から他の実施形態が好まれる場合もある。この詳細な説明で示されるように、必要に応じて、いくつかの実施形態で特定の機能を採用することは、リボン化の防止、構造的な不安定さや層間のずれの防止など、製造上の考慮事項に基づいてトレードオフになることがある。

【0018】

たとえば、図 1 ~ 2 4 による実施形態では、複数のエッチングステップで活性スタックを形成することにより、リボン化を回避する。活性スタックを 2 以上のエッチングステップで形成することにより、各エッチングで達成する必要のあるアスペクト比が減少し、形成される活性ストリップの構造的安定性も向上する。しかしながら、2 以上のエッチングステップで活性スタックをエッチングすることにより、同じステップでエッチングされていない活性ストリップ間のアライメントが損なわれる可能性がある。

【0019】

(図 5 1 A と図 5 1 B は、微細な長方形の地形の応力による変形であるリボン化の現象を示している。図 5 1 A は、幅 X_1 、長さ Y_1 、高さ Z_1 を意図して作られた微細な長方形の地形 (例えば、マスキング材料を現像して作られた特徴) を示している。製造プロセスによっては、アスペクト比 Z_1 / X_1 が 10 を超えると、長方形の地形にかかる応力により、長さ Y_1 に沿って変形が生じ、結果として、意図した直線から、図 5 1 B に示すような一連の接続された S 字カーブになるような「リボン化」が生じることがある。リボン化は、幅が小さいほど顕著で、特に幅 X_1 が約 45 nm 以下になると顕著になる。)

【0020】

以下の詳細な説明において、文脈で指示しない限り、または本明細書で特に明記しない限り、本明細書で論じられる異なるプロセスステップは、任意の順序でまたは同時に実行されてもよい。さらに、文脈が指示しない限り、または本明細書で特に明記しない限り、1 または複数の追加のステップは、本明細書で論じられる任意のプロセスステップの前または後に、または本明細書で論じられる任意の 2 つのプロセスステップ間で実行されてもよい。例えば、ある実施形態では、1 つ以上の金属層に、他の実施形態では説明していない保護半導体膜バリア層を外装するステップを記載しているが、このような外装ステップは、他の各実施形態と組み合わせて使用されてもよい。

【0021】

図 1 ~ 2 4 は、本発明の第 1 の実施形態による、HNOR メモリアレイの活性スタックを 2 つのエッチングステップで形成する様子を示している。図 1 に示されるように、メモリ構造 10 は、ハードマスク層 30 とエッチング停止層 40 との間に異なる材料の 8 つの連続して堆積された活性層 (例えば、活性層 20) を含む。(図 1 は 8 つの活性層を示しているが、活性層のこの数は、説明のみを目的として提供されている。1、2、4、6、16、32、またはそれ以上の活性層など、任意の適切な数の活性層を提供されてもよい。各活性層 (例えば、活性層 20) は、(i) 第 1 の半導体層 (「ソース層」) 50、(i i) 第 1 の犠牲層 (「SAC1」) 層 60、(i i i) 第 2 の半導体層 (「ドレイン層

10

20

30

40

50

」) 70、(iv) 第2の犠牲層(「SAC4」) 80、および(v) 層間誘電体層(「ILD層」) 90を含んでいてもよい。ソース層50およびドレイン層70は、任意の適切な半導体材料(例えば、シリコン、シリコンゲルマニウム、p型半導体ではホウ素やインジウム、n型半導体ではヒ素やリン、アンチモンなどの1つ以上の適切なドーパントでn型またはp型になるようにドーピングされたもの)を含んでいてもよい)。

【0022】

ハードマスク層30、エッチング停止層40、SAC1層60、SAC4層80、およびILD層90は、任意の適切な材料、例えば、 SiO_2 、 SiN 、 SiON 、 SiC 、シリコンゲルマニウム、または SiCOH を含んでいてもよい。例えば、一実装形態では、SAC1層60は SiO_2 を含んでいてもよく、SAC4層80は SiN を含んでいてもよく、ILD層90は SiCOH であってもよい。活性層20の各材料層は、低压化学気相蒸着法(LPCVD)、プラズマCVD(PECVD)、原子層堆積(ALD)、別の形態のCVD)、スパッタリング、または蒸着などの任意の適切な技術を用いて堆積させてもよく、好ましくはPECVDによって堆積させる。

10

【0023】

マスク層100は、メモリ構造10の上に堆積されてもよい。マスク層100は、例えば、炭素系層とフォトレジスト層の両方を含んでいてもよい。図2は、マスク層100がパターン化された後の、図1のメモリ構造10を示している。図2に示すように、マスク層100は、それぞれが幅 L_2 を有し、それぞれが幅 L_1 のトレンチによって隣接構造から分離されたマスク構造115にパターン化され、幅 L_2 は好ましくは所望の幅 L_1 の2倍以上である。幅 L_1 は、形成される活性ストリップ間のトレンチの望ましい幅を画定している。

20

【0024】

図3は、メモリ構造10にトレンチ110を作成するエッチングステップを示している。図3のエッチングステップに続いて、図4に示されるように、マスク層100が除去される。

【0025】

その後、トレンチ110に露出する各活性層のSAC1層60を選択的にエッチングして、他の層を実質的にエッチングすることなく、所定の深さ(例えば、5~10ナノメートルの間)の凹型キャビティを形成する。選択的エッチングは、任意の適切な技術、例えば、腐食性ガス、湿式化学酸または塩基、好ましくは腐食性ガスによって達成されてもよい。図4は、SAC1層60のごく一部が、トレンチ110の反対側にあるSAC1層の露出面した表面のそれぞれから選択的エッチングによって除去されることを示している。

30

【0026】

次に、図5を参照すると、トレンチ110は、LPCVDまたはALDのような任意の適切な技術を使用して、任意の適切な材料(例えば、p型またはn型のシリコンまたはシリコンゲルマニウムで、その場でドーピングされてもよい)を含むような半導体層120によって充填される。半導体層120は、トレンチ110が完全に充填できず、狭いトレンチ135を残すような厚さにコンフォーマルに堆積されてもよい。

【0027】

図6は、異方性エッチングと部分的な横方向のエッチングの後、半導体層120がSAC1層60の凹型キャビティを除いてトレンチ110から除去された状態を示している。凹型キャビティに残っている半導体層120は、最終的に、形成される薄膜NORトランジスタのためのp型またはn型チャネル領域として機能する。

40

【0028】

図7を参照すると、トレンチ110は、次に、ボイドを形成しないように注意しながら、LPCVD、PECVD、またはALDなどの任意の適切な技術を用いて、1つまたは複数の誘電体材料(例えば、 SiO_2 、 SiN 、 SiON 、 SiC 、多孔質 SiO_2 、または SiCOH)で充填される。メモリ構造10の上部に堆積された誘電体材料は、制御されたエッチングまたはCMP(化学機械研磨)によって除去されてもよい。一実施形態

50

では、トレンチ 110 は、以下 2 つの層の誘電体材料によって充填されてもよい。(i) コンフォーマルな極薄の壁保護層 130 (例えば、SiN) と、(ii) 壁保護層 130 の上に堆積される厚めの層 140 (例えば、SiO₂) である。誘電体層 130 および 140 は、トレンチ 110 を完全に充填する。

【0029】

図 8 に示すように、既に形成されたトレンチ 110 と平行している 1 つのセットの第 2 のトレンチをエッチングする際に使用するハードマスク構造 155 を形成するために、ハードマスク層が堆積され、パターニングされる。図 2 のマスキング構造 115 のように、ハードマスク構造 155 は、それぞれが幅 L_2 を有し、それぞれが幅 L_1 のトレンチによって隣接構造から分離されている。ハードマスク構造 155 は、トレンチ 110 を完全に保護するように、マスキング構造 115 の位置に対してそれぞれずれている。また、ハードマスク構造 155 はそれぞれ、各スタックが幅 L_1 (すなわち、各活性ストリップの所望の幅) 以上重なるように、その直下のトレンチの両側にある活性スタックの上に延びている。実際には、既存のリソグラフィ装置の制限により、多少のずれが生じ、各ハードマスク構造 155 の下にある左右のスタックに対する重なりが正確には等しくならないことがある。

10

【0030】

たとえば、ターゲット幅 L_1 が 50 ナノメートルで、最悪の場合のずれが ± 5 ナノメートルの場合、左側の重なりは 55 ナノメートルの幅になり、右側の重なりは 45 ナノメートルの幅になる。このような製造上のばらつきは、チップ設計の中で吸収することができる。例えば、各スタックの左側と右側の薄膜トランジスタを 2 つの別々のグループとして扱い、各グループには、それぞれのグループ内で構成された専用の基準トランジスタまたは基準メモリストリングが提供される。

20

【0031】

図 9 は、1 つのセットの第 2 のトレンチ 160 を提供するためにエッチングされて、活性スタック 170 を形成するメモリ構造 10 を示している。各活性スタックは、マスキング構造 155 の幅 L_2 よりもかなり小さい公称幅 L_1 を有する。マスキング構造 155 の比較的広い幅 L_2 は、リボン化を防ぐ。

【0032】

図 10 を参照すると、SAC4 層 80 は、トレンチ 160 の露出した側壁から開始される選択的エッチングステップによって除去される(以前に SAC4 層 80 によって占められていた各活性ストリップのスペースは、図 10 において参照数字 80' で示されている)。このようなエッチングは、任意の適切な技術(例えば、腐食性ガス、湿式化学酸または塩基によるエッチング)を用いて成し遂げることができる。例えば、SAC4 層 80 を実装するのに適した SiN 層を、180 ° に加熱したリン酸でウェットエッチングして除去してもよい。SAC4 層 80 がトレンチ 110 内の充填材料 130 および 140 まで完全にエッチングされると、エッチングは停止する。誘電体材料層 130 および 140 がエッチングされないため、それらの支持により、各活性ストリップの構成 SAC4 層 80 が除去され、それにより活性スタック 170 にキャビティまたは不連続性が生じても、活性スタック 170 が意図された構造形態(すなわち、全長に沿ってそれぞれ細長く、高さがある)を維持することができる。既存の最先端技術の下で狭い活性スタック 170 を支持するために、適切な間隔で配置されたブレースは必要ないことに留意されたい。ただし、将来、大規模な 3 次元 H₂NOR メモリアレイでは、幅 L_2 がさらに狭くなったり、または活性スタックが非常に高くなったりする場合(たとえば、活性ストリップの数が非常に多い場合)、非常に長い活性スタックを適切な間隔で支持することが賢明になるため、このようなブレースが必要になる可能性がある。

30

40

【0033】

図 11 は、トレンチ 160 の側壁と活性ストリップにおいて選択的にエッチングされたキャビティの両方が金属で充填され、選択的エッチングによって除去された SAC4 層 80 が金属層 175 に置き換えられている状態を示す(トレンチ 160 は完全に充填されて

50

いないことが好ましいことに留意されたい)。金属層 175 は、任意の適切な材料（例えば、TiN、Ta₂N、Ta、W、Mo、またはそれらの任意の組み合わせ）を含んでいてもよい。例えば、図 11 は、金属層 175 が薄い TiN 層と比較的厚いタングステン（W）の組み合わせであることを示している。

【0034】

次に、金属層 175 は、適切なエッチングによってトレンチ 160 の側壁から除去され、図 12 に示されるように、金属層 175 は、活性ストリップにのみ残される。ある実施形態では、金属層 175 は、当業者に知られているように、そこに配置される酸化物キャップ層またはシリコンバリアキャップ層を収容するように、トレンチ 160 の側壁から約 6 ナノメートルまでを選択的にエッチングすることによって、さらに凹んでいる。酸化物キャップ層またはシリコンバリアキャップ層は、金属層 175 を、まだ形成されていない電荷トラップ層に直接接触しないように分離する。同様の金属交換スキームは、非仮出願に開示されている。

10

【0035】

トレンチ 160 に露出した活性ストリップの側壁は、SAC1 層 60 の表面を含むことに留意されたい。図 13 は、SAC1 層 60 の 2 回目の選択的エッチングの後、SAC1 層 60 の凹部分が、図 4 と併せて前述したトレンチ 110 に面する SAC1 層 60 の凹部分と同様に、各活性ストリップに形成される様子を示す。

【0036】

次に、図 14 を参照すると、半導体層 180 は、トレンチ 160 および SAC1 層 60 の凹部を埋めるように堆積される。半導体層 180 は、トレンチ 160 を部分的に充填するだけでよい。図 15 は、半導体層 180 のエッチング後、半導体層 180 が、活性ストリップの SAC1 層 60 の凹部分と、金属層 175 の任意の凹部分にのみ残されることを示している。

20

【0037】

その後、図 16 に示されるように、トレンチ 110 の充填に関して上述した方法で、ボイドを形成しないように注意しながら、トレンチ 160 に誘電体材料 130 および 140 を充填する。

【0038】

この段階で、8 つの活性層は、狭い活性ストリップのスタックに形成され、各活性ストリップは、ソース層、置換された金属層（すなわちビット線）と接触するドレイン、およびソース層とドレイン層の間の活性ストリップの反対側にあり、ソース層とドレイン層と接触する凹型の半導体ストリップを有する。これらの層は、活性ストリップの両側縁に形成されるトランジスタの共通ソース領域、共通ドレイン領域、チャンネル領域をそれぞれ形成するために設けられている（もちろん、片側だけに凹型チャンネルを持つ活性ストリップを形成することで、上述のプロセスフローを簡略化してもよい。このような活性ストリップでは、活性ストリップに沿って形成されるトランジスタの数が半分にしかない）。

30

【0039】

3次元HNORメモリアレイを完成させるために、次のプロセスステップは、電荷トラップ層、制御ゲートとして機能するローカルワード線、およびメモリ構造 10 の上下のグローバルワード線を提供して、ローカルワード線を半導体基板の回路に接続する。さらに、HNORメモリアレイ内のメモリストリングのビット線を半導体基板内のCMOSロジックデバイス（たとえば、センスアンプ、デコーダ、制御および入力または出力ロジック装置）と相互接続するための導体には、階段構造が形成される。次に、これらのプロセスステップについて説明する。

40

【0040】

図 17 は、トレンチ 160 内の誘電体層 130 および 140 の部分がパターン化およびエッチングされて（例えば、マスキング層（図示せず）を使用して）、メモリ構造 10 の底部まで延在する 1 つのセットの第 1 のシャフト（図 17 において、参照番号 190 で示している）を形成する状態を示す。誘電体層 140 は、例えば、高出力バイアスプラズマ

50

を用いた腐食性ガス異方性エッチング、または別の適切なエッチングを使用して除去されるような SiO_2 を含んでいてもよい。誘電体層130は、例えば、 SiN を含んでいてもよく、これは、高出力バイアスプラズマエッチングの間、露出部半導体層（すなわち、ソース層50、ドレイン層70、および堆積した半導体層120および180）を損傷から保護する。続いて、誘電体層130は、半導体層に損傷を与えない湿式化学エッチング（例えば、高温リン酸）を使用して除去されてもよい。別の実施形態では、1つのセットの第2のシャフト190（図17には示されていない）は、トレンチ110の誘電体層130および140にも同時に形成される。

【0041】

次に、図18の挿入図を参照すると、トンネル酸化物層200、電荷蓄積層210、およびブロッキング誘電体層220が、トレンチ160のシャフト190に連続的かつコンフォーマルに堆積されている。トンネル酸化物層200は SiO_2 を含んでいてよく、電荷蓄積層210は SiN またはシリコンリッチ SiN を含んでいてもよく、ブロッキング誘電体層220は SiO_2 、 Al_2O_3 、 HfCl 、別の誘電体材料またはこれらの誘電体材料の2つ以上の任意の組み合わせを含んでいてもよい。層200、210、および220は、任意の適切な方法（例えば、CVDまたはALD）を使用して堆積させてもよい。ある実施形態では、これらの層で良好な材料品質を確保するために、それらの堆積後にアニーリングステップを実行してもよい。

【0042】

その後、異方性エッチングにより、トレンチ160内の各シャフトの底部にあるトンネル酸化物層200、電荷蓄積層210およびブロッキング誘電体層、ならびにメモリ構造10の底部とグローバルワード線230（挿入図に示す）または他のランディングパッド（図示せず）との間の絶縁層を貫通するバイアを打ち抜き、メモリ構造10の下方（例えば、半導体基板内）にある回路に接続するように開く。バイアエッチング中に保護するために、まずブロッキング誘電体層220の側壁上にシリコンの薄層（図示せず）を堆積させてもよい。

【0043】

次に、ゲート層240が堆積されて各シャフトを充填し、「ローカルワード線」を形成する。各ローカルワード線は、半導体基板の表面に垂直な方向に沿って延在している。図18の左の挿入図に示されるように、各ローカルワード線は、メモリ構造10の活性層の堆積の前に形成されたグローバルワード線230の1つと接触する。グローバルワード線230は、ローカルワード線を半導体基板または他の位置の回路に接続する。ゲート層240は、(i) n型またはp型の高濃度にドーパされたシリコン、シリコンゲルマニウムまたは別の半導体、または(ii) 金属（例えば、 TiN 、 TaN 、 Ti 、 Ta 、 Mo または W 、または2つ以上のそのような金属の任意の組み合わせ）、好ましくは、CVDまたはALDなどの任意の適切な技術を使用して堆積された、高い金属加工機能を有する金属のような、任意の適切な導電性材料を含んでいてもよい。トンネル層200、電荷蓄積層210、ブロッキング誘電体層220、およびゲート層240の上面は、平坦化技術（例えば、CMPまたはエッチングバック）を使用して平坦化されて、基礎となる半導体基板（図示せず）の平面に実質的に平行な表面250を提供してもよい。

【0044】

トレンチ160の誘電体層130、140にシャフト190をパターンニングしてエッチングし、層200、210、220を堆積させ、ゲート層240によって残りのシャフトを埋めてローカルワード線を形成し、ローカルワード線をグローバルワード線230に接続する図17、18のステップを繰り返して、トレンチ160に1つのセットの第2のローカルワード線を形成する（別の実施形態では、同様のシャフトは、トレンチ110およびトレンチ160の両方で同時にエッチングされる。さらに、トレンチ110および160のシャフトは、互いに対してずらされてもよい。）。

【0045】

その後、図17～19のステップもまた、トレンチ110内で繰り返されて、別の1つ

10

20

30

40

50

のセットのローカルワード線 270 を形成する。一実施形態では、トレンチ 160 内のローカルワード線は、トレンチ 110 内のローカルワード線に対して互い違いに配置されて、隣接する列のローカルワード線間の追加の空間的分離を提供する。一実施形態では、トレンチ 110 内のこの1つのセットの第2のローカルワード線 270 は、グローバルワード線 230 に接続させない（例えば、シャフトの底部でバイアオープンステップをスキップすることによる）。代わりに、1つのセットのローカルワード線 270 は、形成されるグローバルワード線の別の組み合わせに接続される。図 20 は、メモリ構造 10 の上に形成されたグローバルワード線 280 を示しており、これらは、半導体基板および他の場所の回路を接続してローカルワード線 270 を設定するために提供される。

【0046】

非常に細かいピッチでの H N O R メモリアレイのローカルワード線の形成も、上記の参照により組み込まれた仮出願 I I I に開示されている。

【0047】

いくつかの実施形態では、ダイサイズを考慮して、グローバルワード線 230 またはグローバルワード線 280 を介して電氣的に接続されている一部の回路（例えば、デコード回路、および一部の読み出し、書き込み、および消去の供給電圧源）を、メモリ構造 10 の直下にある半導体基板の一部に配置することが有利な場合がある（これらのデコード回路と電圧源は図 20 には示されていない）。

【0048】

グローバルワード線 230 と半導体基板内のこれらの回路との間の電氣的接続は容易に行うことができる。半導体基板内のこれらの回路をメモリ構造 10 上のグローバルワード線 280 に電氣的に接続するには、メモリ構造 10 の1つまたは複数の側面に提供される垂直コネクタと、グローバルワード線 230 と半導体基板内の回路との間に配置される水平コネクタの提供を必要とする場合がある。一実施形態では、グローバルワード線 280 を、高密度に配置されたメモリ構造 10 および高密度に配置されたグローバルワード線 230 を介して直接半導体基板内の回路に接続する垂直導体を設けることにより、このような遠回りの経路を回避することができる。これらの垂直導体は、半導体基板内の回路に接続するための導体としても機能するように、ローカルワード線 270（図 19）の1つを選択することによって実装することができる。これらの垂直導体を用いて電気経路を確立するためには、半導体基板上の回路の真上または真下の位置に、それぞれの軸の下部にあるバイアホールをパンチスルーするための追加のマスクとエッチングステップが必要になる場合がある。

【0049】

ある実施形態では、ローカルワード線 240 がすべてメモリ構造 10 の上に形成されたグローバルワード線 280 に接続されている場合、メモリ構造 10 の下にあるグローバルワード線 230 を形成する必要はない。そのような配置は、シャフト 190 の底部にバイアを形成するために必要とされるパンチスルーマスクングおよびエッチングステップを不要にする。逆に、ローカルワード線 240 はすべて、パンチスルーバイアを介して、メモリ構造 10 の底部にあるグローバルワード線 230 に接触することができる。いずれの場合も、2つのセットのグローバルワード線のうちの1つを省略することができるが、グローバルワード線がグローバルワード線 230 またはグローバルワード線 280 の約 1/2 のピッチを有することが条件となり、二重露光またはより高度なリソグラフィが必要となる場合がある。

【0050】

ビット線への接続は「階段」方式で行われる。階段構造では、活性スタック内の活性ストリップが連続的に大きく切断され、垂直方向の導体が段差で連続する活性ストリップのドレイン層に接触できるようにしている。そのような方法の例は、例えば、上記の参照により組み込まれた仮出願 I V に開示されている。

【0051】

図 21 は、堆積およびパターン化されたマスクング層 300 がメモリ構造 10 上に提供

10

20

30

40

50

され、その長さに沿って一端または両端で活性層の一部（参照番号 3 1 0 によって示される）が除去された状態を示す（図 2 1 はまた、活性スタック 1 7 0 の上部の活性ストリップを切断することによって形成される段差を示す。図 2 1 のメモリ構造 1 0 は、図 2 0 から 9 0 ° 回転させて見ており、活性ストリップの長さに沿った端部のみを示すことに留意されたい。）。例えば、仮出願 I V に記載されているフォトレジストリセス技術を用いて、マスキング層 3 0 0 の一端または両端を追加のフォトリソグラフィ工程なしに凹ませ、後続のエッチング工程のために活性層 3 1 0 および 3 2 0 の一部を露出させる。

【 0 0 5 2 】

エッチングステップで得られた構造を図 2 2 に示す。フォトレジストのリセッシングおよびエッチングのステップは、最も低い活性層を除くすべての活性層がエッチングされて階段構造を形成するまで繰り返されてもよい。繰り返されたステップから得られた構造を図 2 3 に示す。階段構造は、連続する各活性層のソース層 6 0 またはドレイン層 7 0 を露出させる。次に、誘電体材料が階段構造上に堆積され、CMP によって平坦化される。

10

【 0 0 5 3 】

図 2 4 は、結果として得られた誘電体材料がパターニングされ、バイア開口部のためにエッチングされ、次にそのバイア開口部に導電性材料（例えば、タングステンなどの耐火性金属）4 0 0 が充填され、階段構造によって露出した各活性層内のソース層 6 0 またはドレイン層 7 0（すなわち、ビット線）の端部に接点を設ける様子を示している。このようにして、各ビット線は、半導体基板内の選択回路（例えば、デコーダおよびセンスアンブ）、または別個のコンパニオン集積回路上に接続される。このような集積回路は、当技術分野で知られているフリップウェハー技術（例えば、接続されたウェハー間の多数の小型銅スタッドを介して）を用いて、半導体基板内の回路に接続することができる。

20

【 0 0 5 4 】

本発明の第 2 の実施形態によれば、図 2 5 ~ 3 6 に示されるように、単一のエッチングステップを使用して、不整合を回避するために、HNOR メモリアレイの活性スタックに活性層をエッチングする。機械的サポートを提供するために、活性層をエッチングして活性スタックを作成する前に、誘電体ピラーが形成される。これらのピラーは、構造的安定性を維持することにより、その後形成される活性スタックをサポートする。フィーチャのアスペクト比を適切に選択することで、高アスペクト比のエッチングステップ中にリボン化が発生するのを防ぐ。

30

【 0 0 5 5 】

図 2 5 は、図 1 のように、ハードマスク層 3 0 とエッチング停止層 4 0 との間に 8 つの活性層（例えば、活性層 2 0）を含むメモリ構造 1 0 を示している。各活性層の構成層は、図 1 を参照して論じられたそれらの活性層と同じでよい。マスキング構造 5 0 0 は、メモリ構造 1 0 がパターニングされ、エッチングされてエッチング停止層 4 0 になり、1 つのセットのバイア 5 0 5（図示せず）を提供することを可能にする。マスキング構造 5 0 0 が除去された後、バイア 5 0 5 は誘電体材料で充填され、したがって、図 2 6 に示される誘電体ピラー 5 1 0 を形成する。誘電体ピラー 5 1 0 は、任意の適切な誘電体材料（例えば、 SiO_2 、 SiN 、 $SiON$ 、 $SiCOH$ ）を含んでもよく、これらは、LPCVD、ALD、または高密度プラズマ CVD（「HDP CVD」）などの任意の適切な方法を用いて堆積されてもよい。堆積後、メモリ構造 1 0 の上面 5 2 0 上の誘電体材料は、CMP またはエッチングバックなどの任意の適切な平坦化技術を使用して除去することができる。

40

【 0 0 5 6 】

その後、図 2 7 に示されるように、メモリ構造 1 0 は、活性スタック 5 3 0 にパターニングおよびエッチングされ、活性ステップ間のトレンチ 5 4 0 を切断する。エッチングステップは、誘電体ピラー 5 1 0 をそのまま残し、これらのピラーが形成中の活性スタック 5 3 0 に構造的完全性と機械的強度を提供できるようにする。次に、上記のトレンチ 1 1 0 および 1 6 0 内の誘電体層 1 3 0 および 1 4 0 のような誘電体層 5 5 0 および 5 6 0 を、トレンチ 5 4 0 に堆積させて、トレンチ 5 4 0 を充填させてもよい。次に、マスキング

50

層（図示せず）が適用され、パターンニングされて、活性スタック 530 および充填されたトレンチ 540 の半分が保護される。次に、トレンチ 540 の露出されたものがエッチングされて、誘電体層 550 および 560 が除去されるが、誘電体ピラー 510 はエッチングされない。この結果の構造は図 29 に示されている。

【0057】

図 29 を参照すると、活性スタック 530 の各活性層内の SAC 4 層 80 は、その後、選択的エッチングによって除去されてもよい。図 30 に示すように、金属層 570 は、掘削されたトレンチ 540 を部分的に充填し、そして除去された SAC 4 層 80 の代わりに堆積される。次に、図 31 を参照すると、金属層 570 の一部は、トレンチ 540 からの選択的異方性エッチングによって除去され、各活性ストリップの SAC 4 層 80 を置き換えた金属層 570 の一部が残る。

10

【0058】

その後、残りの誘電体層 550 および 560 は、図 32 に示されるように、選択的エッチングによってあらゆる部分が充填されたトレンチ 540 から除去され、活性スタック 530 および誘電体ピラー 510 が残る。次に、図 33 を参照すると、各活性ストリップの SAC 1 層 60 の一部は、選択的エッチングによって凹まされている。この選択的エッチングはマスキング層を必要としない。さらに、図 34 に示すように、各活性層の金属層 570 の一部もまた、マスキング層なしで選択的エッチングによって凹ませ、各活性ストリップの金属層 570 を、トレンチ 540 に凹んだ面を有する細長い金属ストリップに成形する。

20

【0059】

次に、半導体層 580 が堆積される。図 35 に示すように、半導体層 580 は、トレンチ 540 を部分的に充填し、凹型キャビティ 580 A および 580 B を充填し、ここで、各活性ストリップの SAC 1 層 60 の一部および金属層 570 の部分がそれぞれ除去されている。次に、半導体層 580 の一部は、図 36 に示されるように、選択的異方性エッチングによって除去される。半導体層 580 A は、形成される薄膜トランジスタのチャネル領域を形成し、半導体層 580 B は、金属層 570 を被覆し、メモリ構造 10 から形成される H N O R メモリアレイのためのビット線を形成する。半導体層 580 B は、後続の構造の金属汚染を最小限に抑え、金属層 570 と形成される電荷トラップ層との間の直接接触を排除する。

30

【0060】

図 36 のメモリ構造 10 の製造の残りの部分は、誘電体ピラー 510 を無傷で、上記の図 17 から図 24 によって示されるのと同じ方法で進めてもよい。

【0061】

本発明の第 3 の実施形態によれば、図 37 ~ 50 に示されるように、2 つのエッチングステップで H N O R メモリアレイの活性スタックを形成する方法が提供されるが、これは、リボン化の可能性を最小限にし、構造安定性を維持する。この第 3 の実施形態による方法は、異なる特性の 3 つのマスキング層を使用して、活性ストリップを形成する。(i) すべての活性ストリップを同時に確定することで、活性ストリップ間の不整合を回避する第 1 のマスキング層。(i i) 第 1 のマスキング層の上に配置され、活性ストリップの前半部分を画定する第 2 のマスキング層。(i i i) 第 1 および第 2 のマスキング層が除去された後に提供される、活性ストリップの残りの半部分を画定する第 3 のマスキング層。

40

【0062】

図 37 に示されるように、メモリ構造 10 は、ハードマスキング層 30 とエッチング停止層 40 との間の 8 つの活性層（例えば、活性層 20）から始まる。図 37 では、第 1 のマスキング層が堆積され、活性スタック内の各活性ストリップの所望の幅を表す幅 L_1 のマスキング構造 600 をそれぞれ有するようにパターンニングされている（例えば、上述の図 9 を参照）。その後、図 38 に示されるように、マスキング構造 610 を有する第 2 のマスキング層が堆積され、マスキング構造 600 と重なるようにパターンニングされ、層間のずれを考慮して、マスキング構造 610 がマスキング構造 600 を隔てる 1 つおきの空間を

50

占有して保護するようになる。第1および第2のマスキング層は、異なるエッチング特性を有し、異なる材料を含んでいてもよい。

【0063】

次に、図39を参照すると、メモリ構造10を通るトレンチ620がエッチングされている。図40を参照すると、トレンチ620に露出した各活性層のSAC1層60の一部は、マスク構造600および610をそのままにして、所定の深さ（例えば、5～10ナノメートルの間）まで選択的エッチングによって凹まされる。その後、図41に示されるように、半導体層630が堆積され、トレンチ620および各活性ストリップ内のSAC1層60の一部を除去した結果から生じる凹型キャビティを、実質的に上記の図5と併せて論じた半導体層120と同じような方法で部分的に充填する。次に、図42に示されるように、トレンチ620の側壁に沿った半導体層630の一部が除去され、半導体層630の一部が凹型キャビティに残される。

10

【0064】

その後、図43に示されるように、トレンチ620は、上記の図7に関連して論じられた誘電体層130および140と実質的に同じ方法で、誘電体層640および650で充填され、続いて、第2のマスキングのマスキング構造610がエッチングにより除去される。図44は、トレンチ625がメモリ構造10にエッチングされる様子を示している。次に、図45を参照すると、SAC4層80は、トレンチ625の露出表面からの選択的エッチングによって除去され、続いて、図46に示すように、トレンチ625および各活性ストリップのSAC4層80の除去から生じるキャビティを部分的に充填する金属層660が堆積される。次に、図47を参照すると、トレンチ625の側壁上の金属層660の一部は、選択的異方性エッチングおよび横方向等方性エッチングによって除去される。

20

【0065】

図48を参照すると、次に、トレンチ625に露出された各活性層のSAC1層60の一部は、選択的エッチングによって凹まされる。その後、半導体層670が堆積され、図49に示されるように、各活性層のトレンチ625およびSAC1層60の凹型キャビティを部分的に充填する。次に、メモリ構造10の上の誘電体層620および誘電体層640の一部が、第1のマスキング層のマスキング構造600と共に除去される。次に、トレンチ625の側壁上の半導体層670の一部は、図50に示されるように、選択的異方性エッチングによって除去され、図45と併せて上記で論じたのと実質的に同じ方法で、誘電体層640および誘電体層650によって置き換えられる。メモリ構造10の製造の残りの部分は、上記の図17～24に示されているのと同じ方法で進めることができる。

30

【0066】

上記で論じたように、2つのエッチングステップで活性スタックを形成する第1の実施形態による方法は、最大約±5ナノメートルのリソグラフィのずれが発生し、隣接する活性スタックの幅に影響を与える。たとえば、このようなずれにより、代替の活性スタックの幅が異なる場合がある（たとえば、1つの活性スタックの幅が $L_1 + 5$ ナノメートルで、隣接する活性ストリップの幅が $L_1 - 5$ ナノメートルの場合がある）。高度にスケールアップされた寸法を除いて、そのようなずれはメモリチップ設計内で容易に対応することができる。他方で、各エッチングステップの幅が広いため、第2の実施形態による方法と組み合わせて使用されるもののように、面積の大きい支持ピラーを所定の間隔で配置する必要がなく、より安定性が高い。

40

【0067】

本発明によるHNORメモリアレイでは、活性ストリップの典型的な公称最小幅 L_1 は50ナノメートルであるが、隣接する活性スタックを分離するトレンチ110（図3）の公称最小幅は80ナノメートルであってもよく、8つの活性層を持つ活性スタックは、約2,000ナノメートル（2ミクロン）であってもよい。50ナノメートル幅の単独の活性スタックのアスペクト比は2000/50、つまり40:1となり、エッチング中に直立状態を維持することはもちろん、歩留まりやコストに悪影響を及ぼす連続したプロセスステップでも、非常に困難となる。しかしながら、本発明の第1または第3の実施形態に

50

よる方法を使用すると、図3の各マスクング構造115の幅 L_2 は $50 + 80 + 50 = 180$ ナノメートルであり、したがってマスクング構造115を使用するエッチングのアスペクト比は $2,000 / 180$ 、すなわち11:1である。

【0068】

第2の実施形態による方法では、活性スタックは1つのエッチングステップで形成され、それにより、活性スタック間で発生する可能性がある+5ナノメートルのずれを回避する。このような方法は、活性スタック形成の前に誘電体ピラーを形成して、その後形成される活性スタックを支持し、構造的安定性を維持する。しかし、第2実施形態の方法では、エッチング工程での高アスペクト比によるリボン化と、誘電体ピラーが占める領域による有用なメモリアレイ領域の減少の両方が発生する可能性がある。

10

【0069】

本発明の第3の実施形態による方法では、第1のマスクは、第2および第3のマスクを提供するために使用される材料と比較して第1のマスクに対して選択的である、少なくとも2つの活性スタックエッチングステップに耐えることが必要である。

【0070】

さらに、第1および第2のマスクを提供するために使用されるハードマスク材料は、特定の誘電体堆積（例えば、LPCVD SiO_2 ）と互換性がある必要がある。一部のハードマスク材料（カーボンなど）は SiO_2 堆積と互換性がなく、酸素を必要とする。このようなハードマスク材料は酸素と反応し、酸素によってエッチングされる。

【0071】

上記の詳細な説明は、本発明の特定の実施形態を説明するために提供されており、限定することを意図するものではない。本発明の範囲内の多数の変形および修正が可能である。本発明は、添付の特許請求の範囲に記載されている。

20

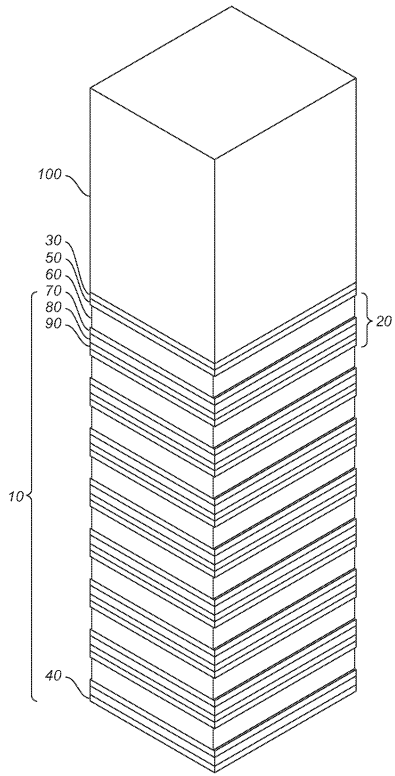
30

40

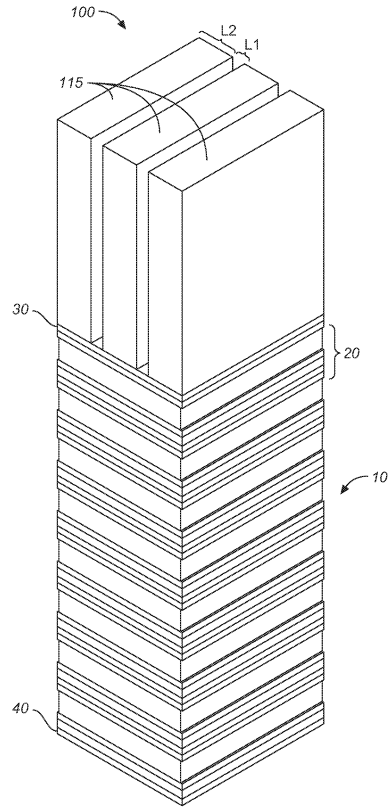
50

【図面】

【図 1】



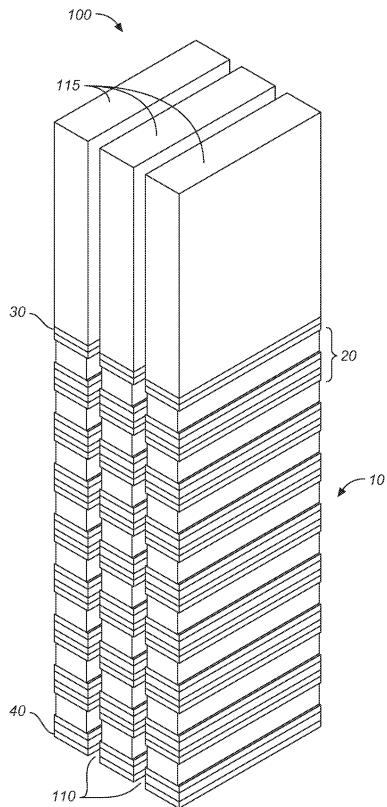
【図 2】



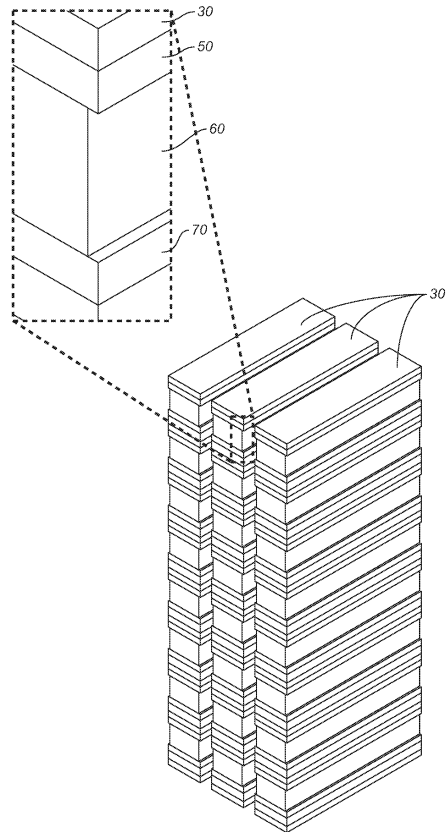
10

20

【図 3】



【図 4】

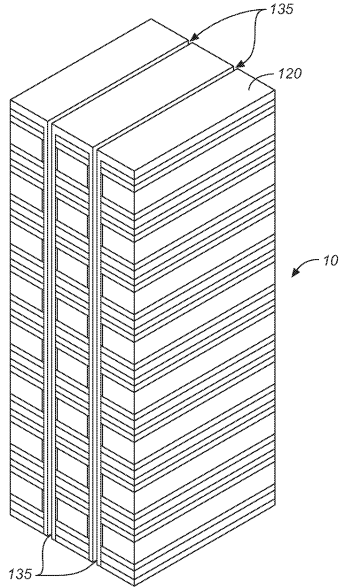


30

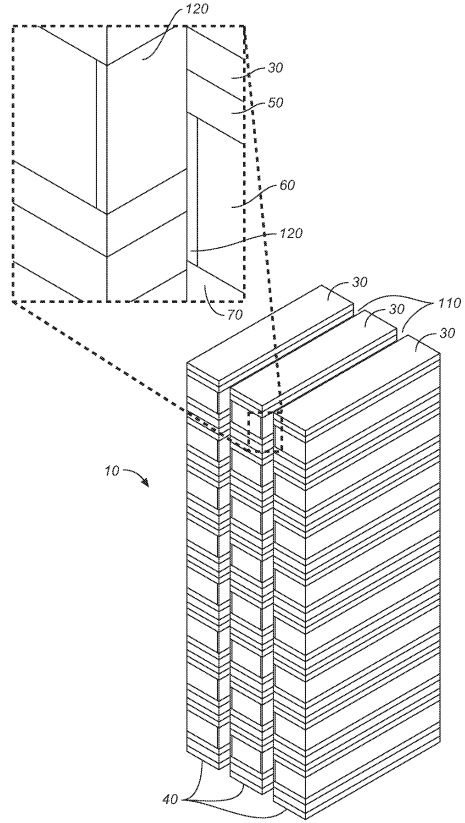
40

50

【 図 5 】



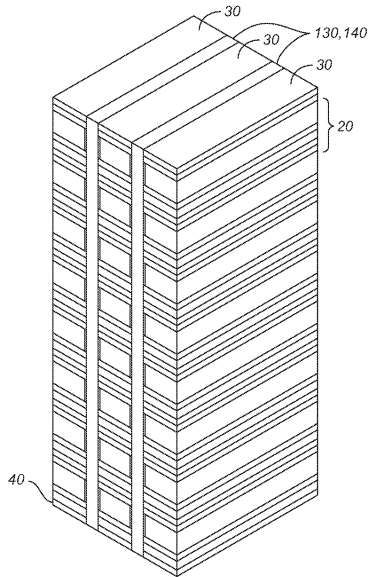
【 図 6 】



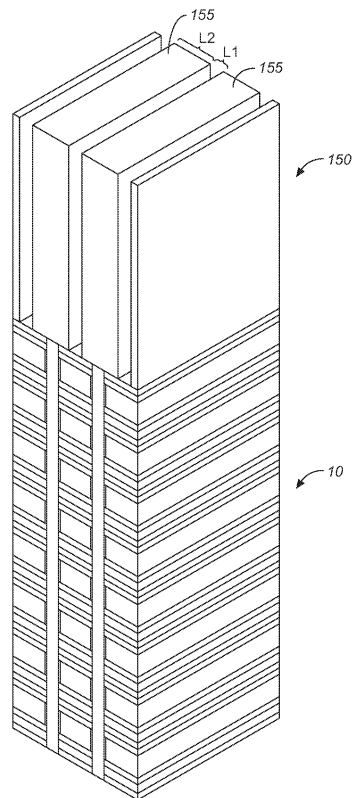
10

20

【 図 7 】



【 図 8 】

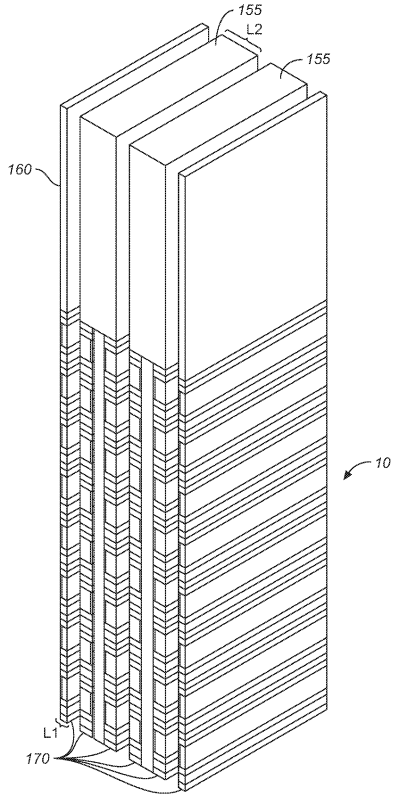


30

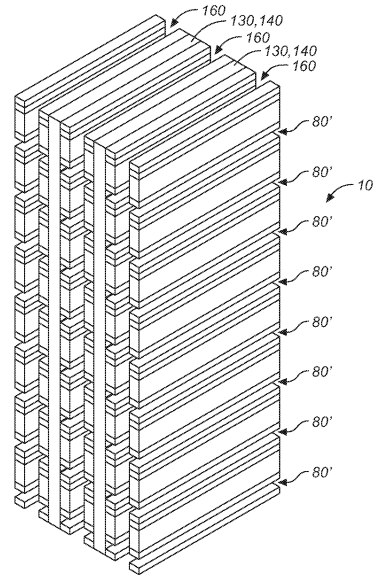
40

50

【 9 】



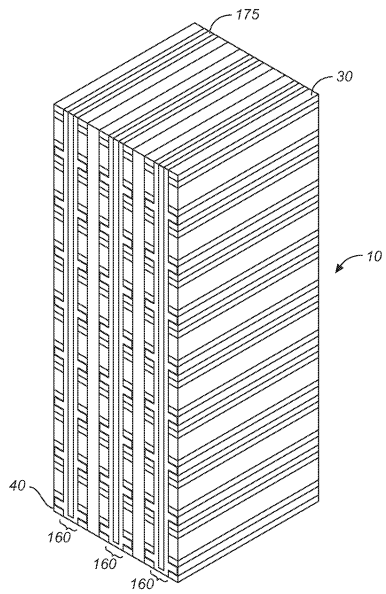
【 1 0 】



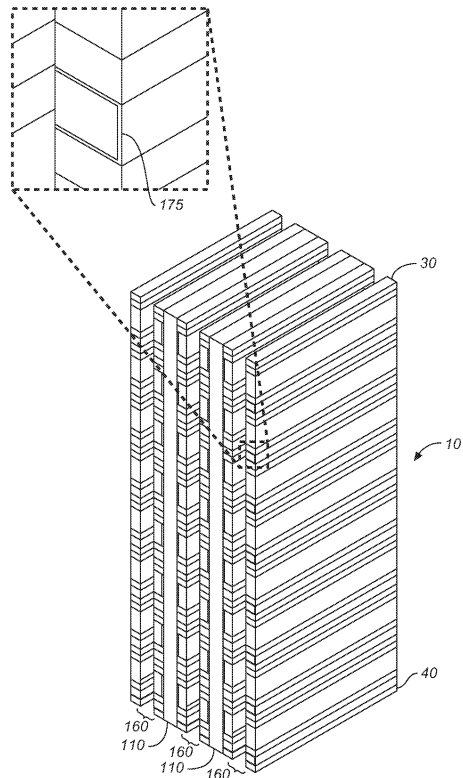
10

20

【 1 1 】



【 1 2 】

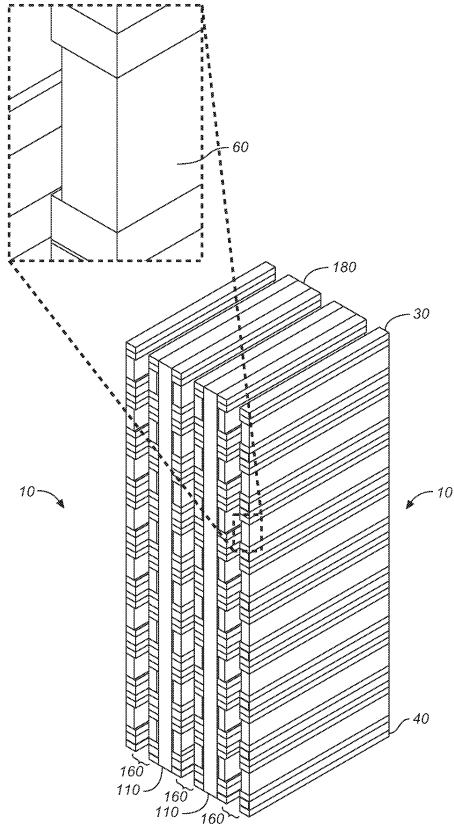


30

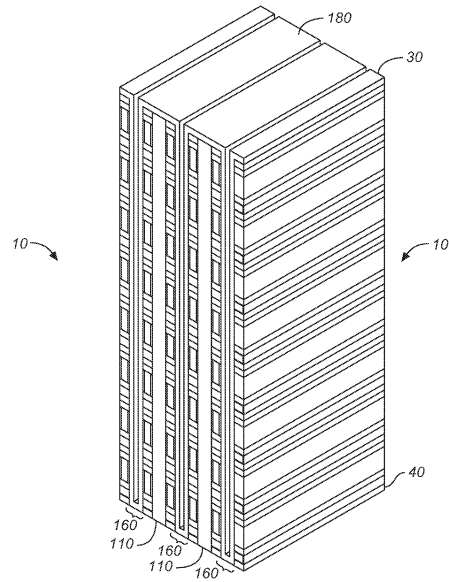
40

50

【 図 1 3 】



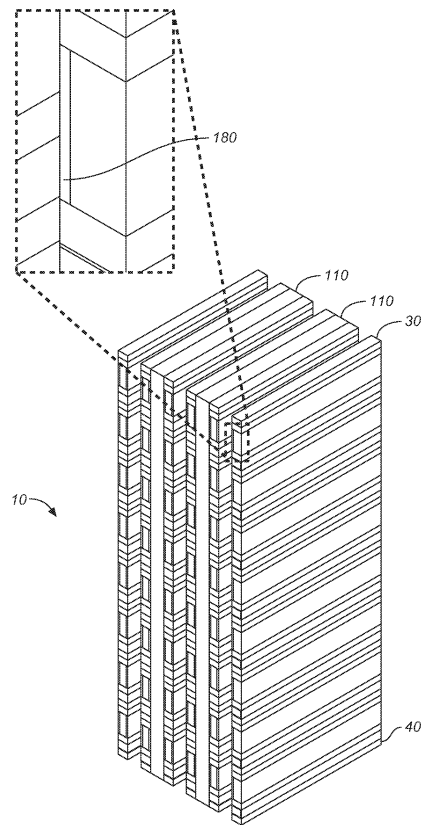
【 図 1 4 】



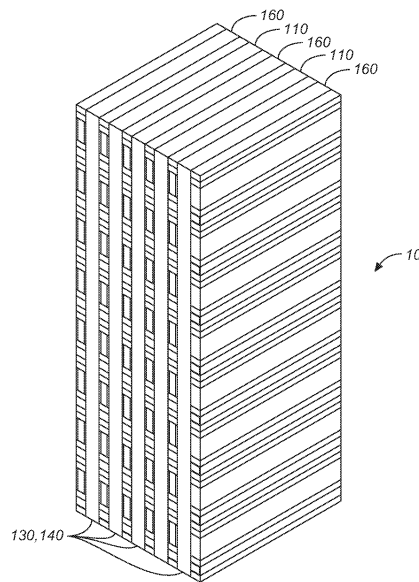
10

20

【 図 1 5 】



【 図 1 6 】

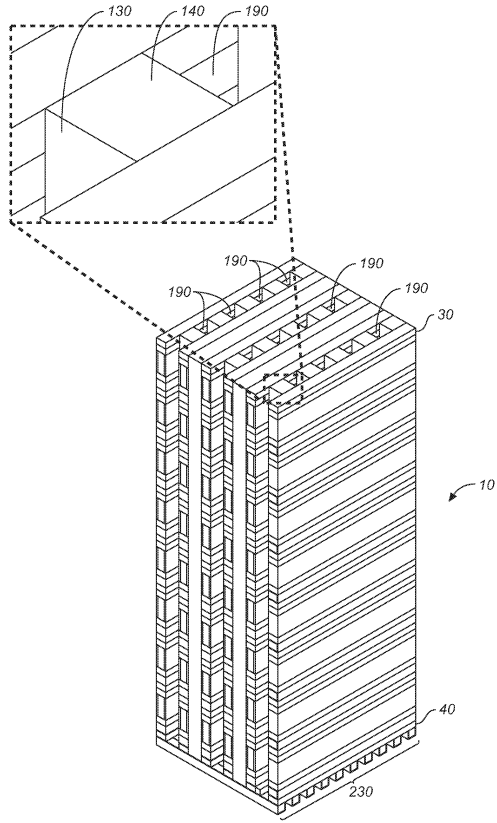


30

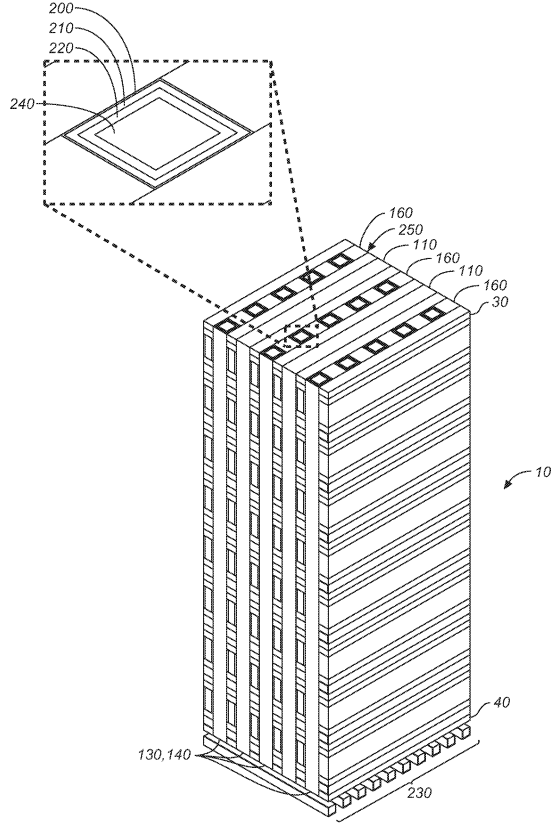
40

50

【 図 1 7 】



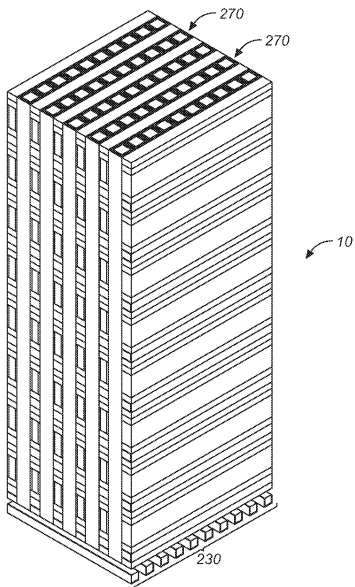
【 図 1 8 】



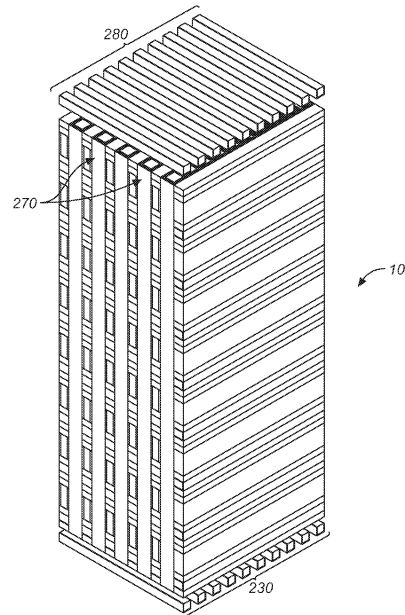
10

20

【 図 1 9 】



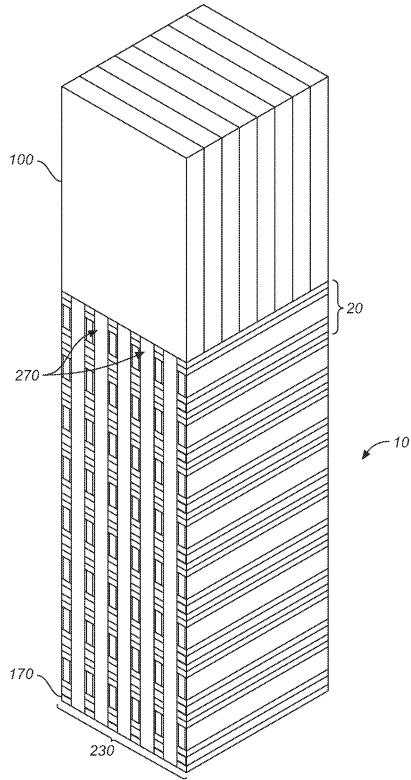
【 図 2 0 】



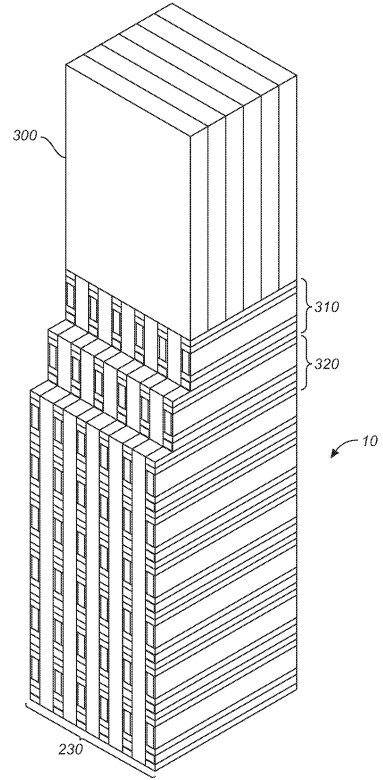
30

40

【 2 1 】



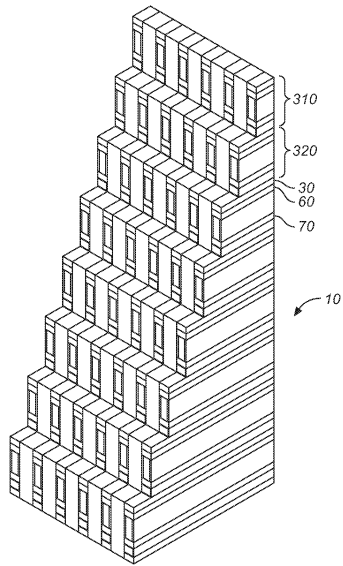
【 2 2 】



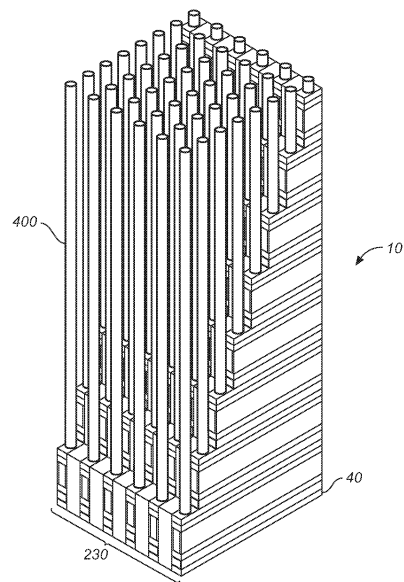
10

20

【 2 3 】



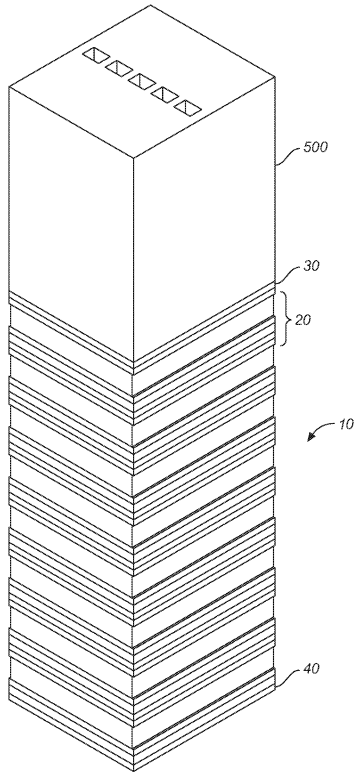
【 2 4 】



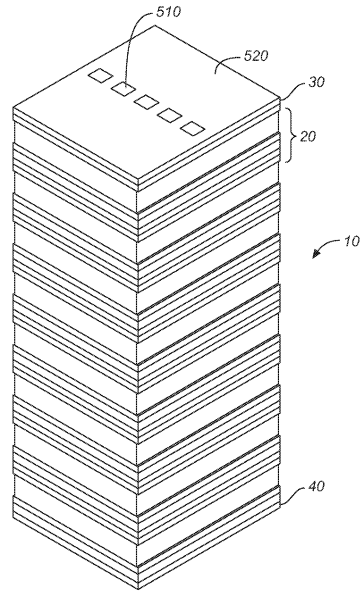
30

40

【 2 5 】



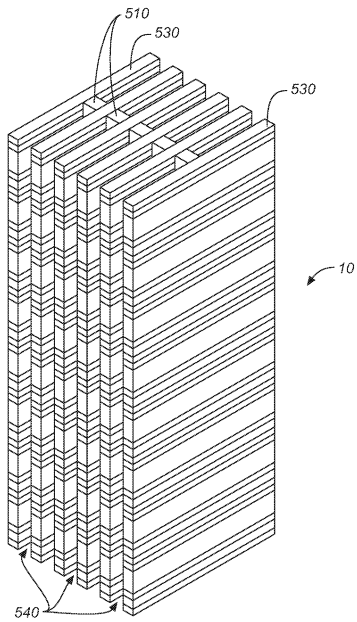
【 2 6 】



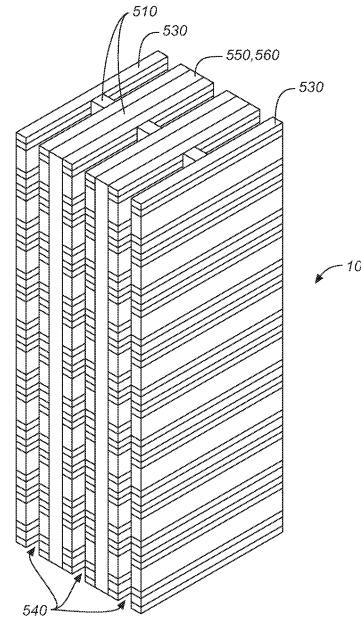
10

20

【 2 7 】



【 2 8 】

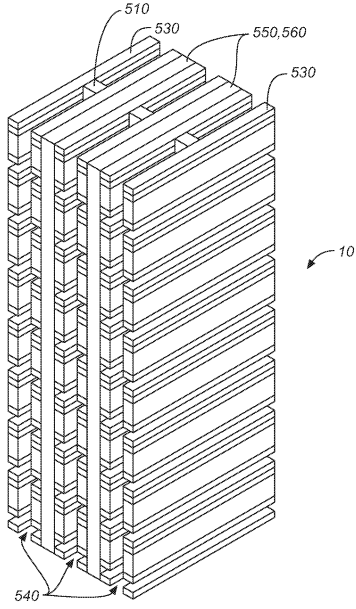


30

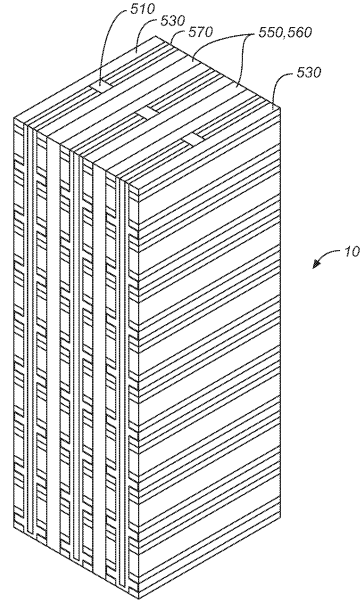
40

50

【 図 2 9 】

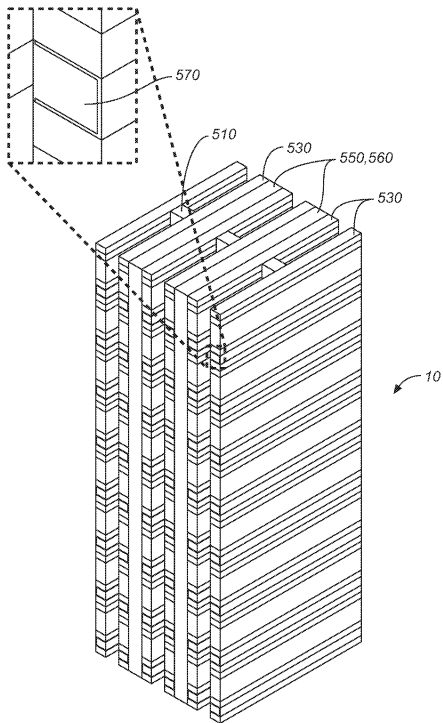


【 図 3 0 】

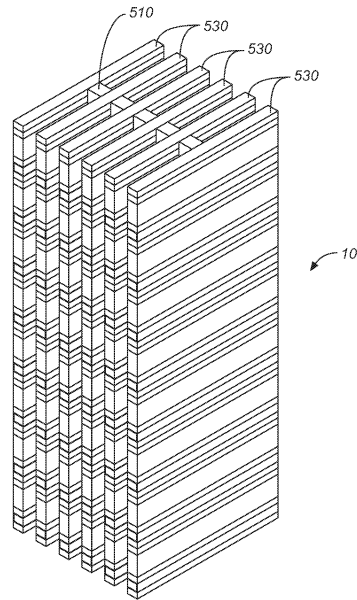


10

【 図 3 1 】



【 図 3 2 】



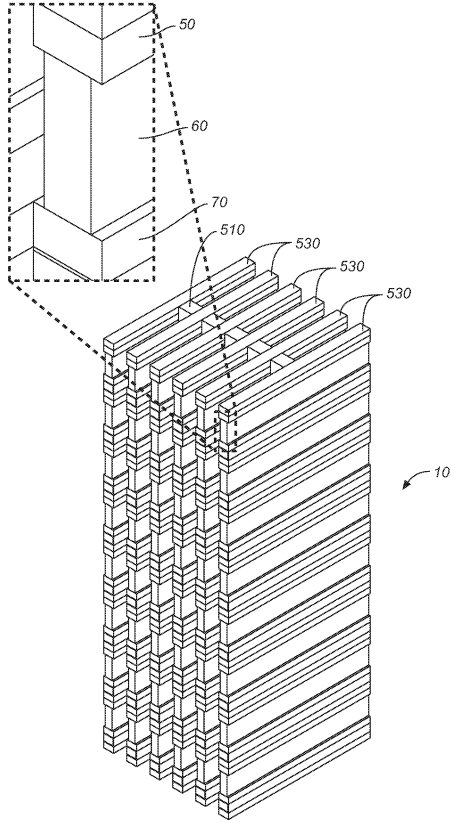
20

30

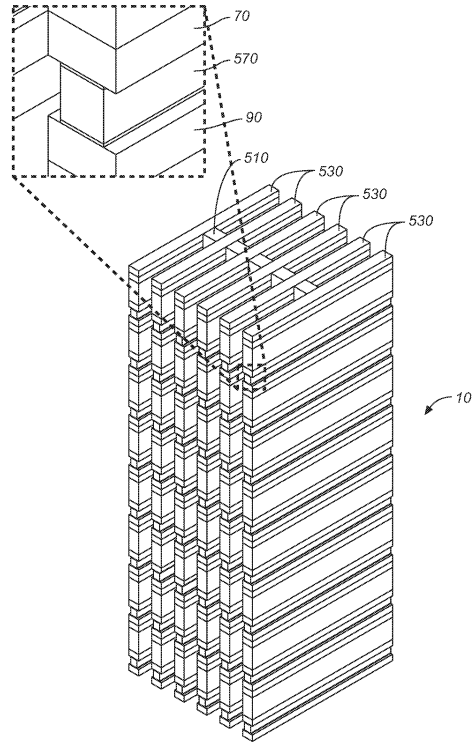
40

50

【 図 3 3 】



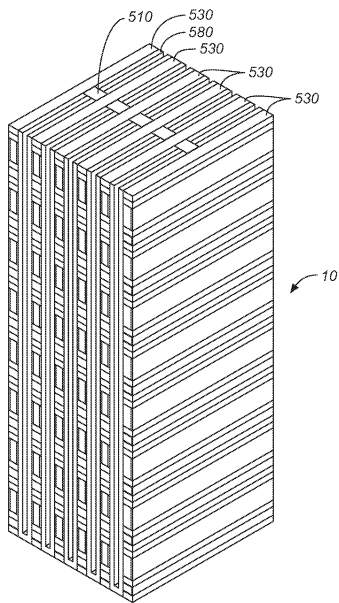
【 図 3 4 】



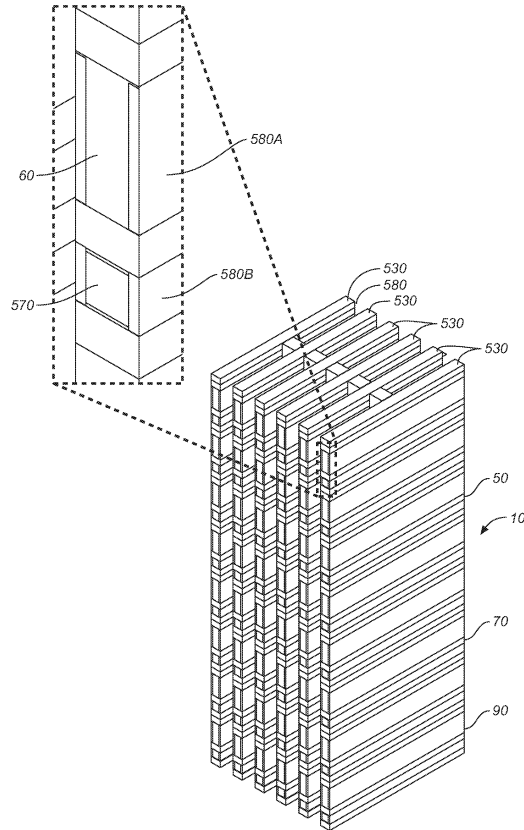
10

20

【 図 3 5 】



【 図 3 6 】

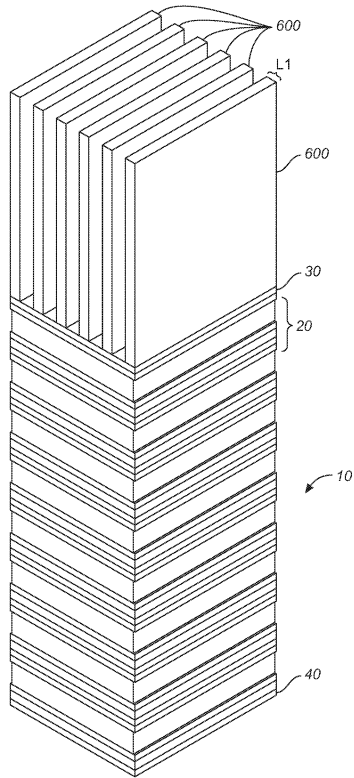


30

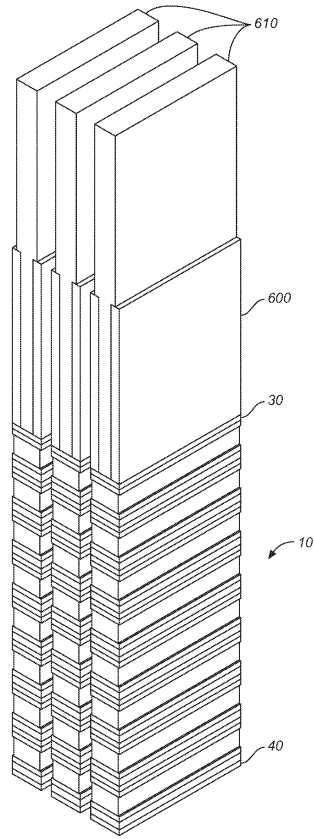
40

50

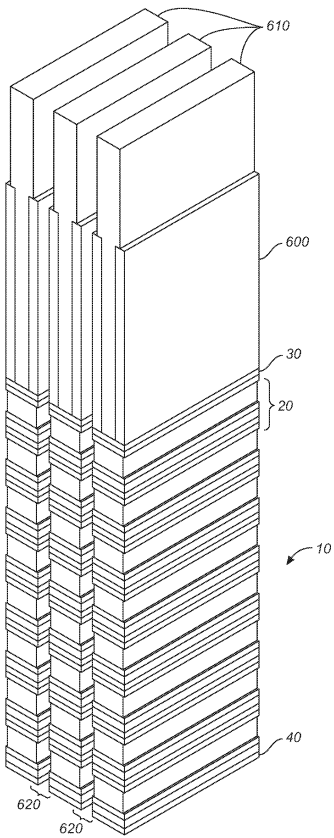
【 37 】



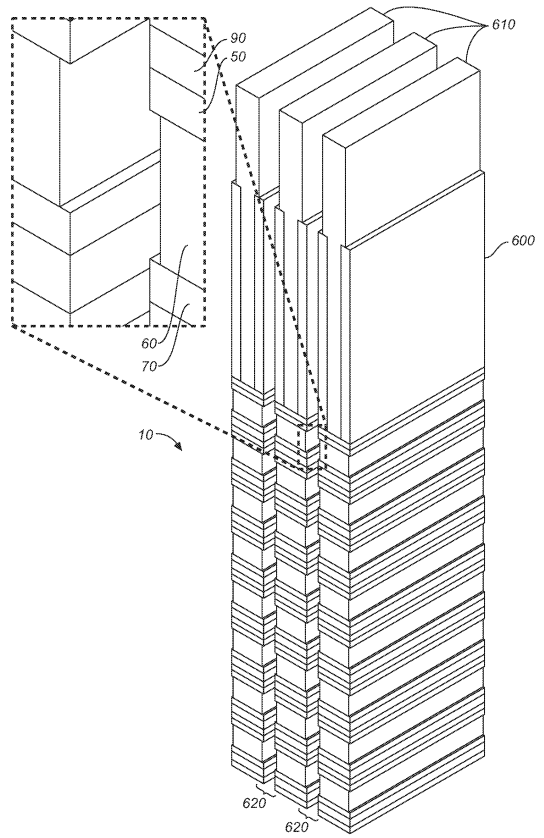
【 38 】



【 39 】



【 40 】



10

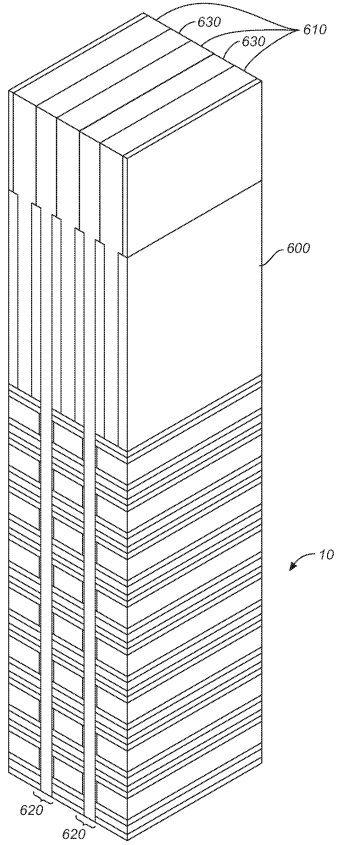
20

30

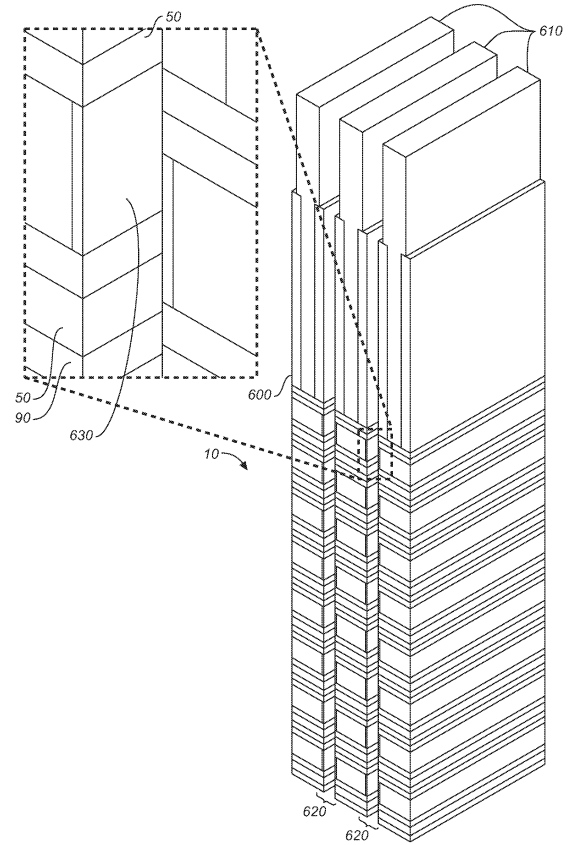
40

50

【 図 4 1 】



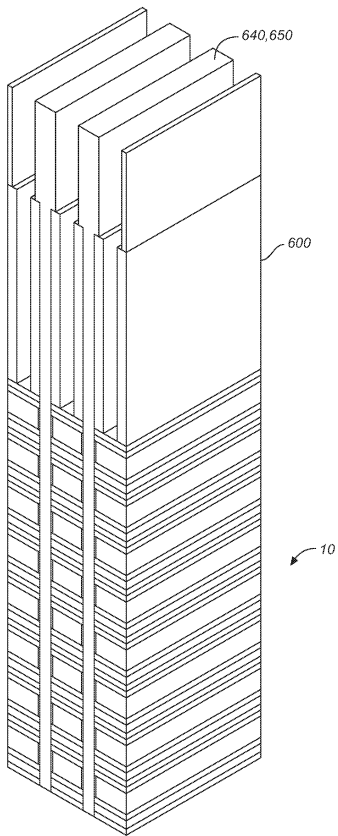
【 図 4 2 】



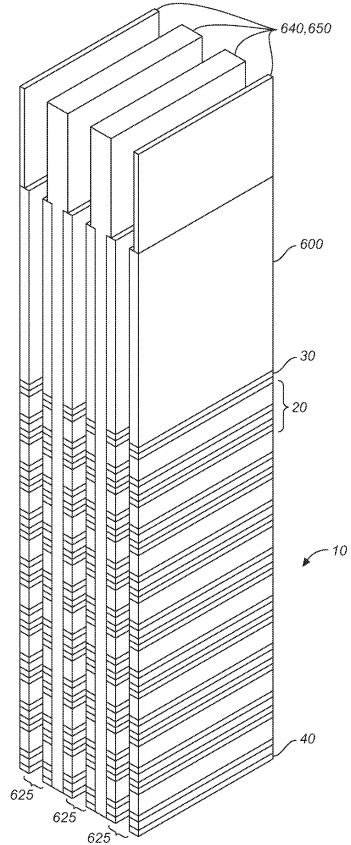
10

20

【 図 4 3 】



【 図 4 4 】

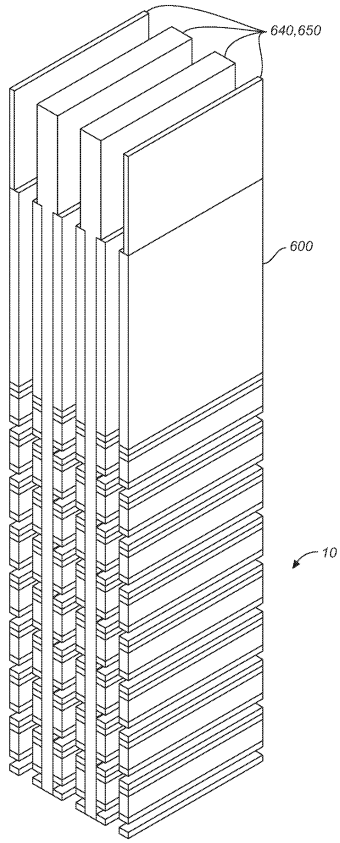


30

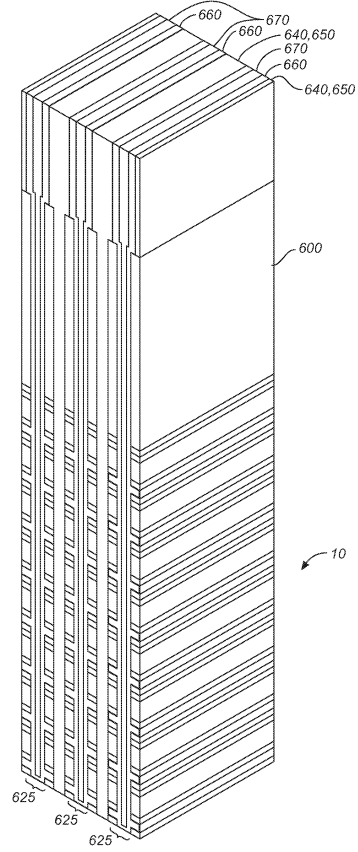
40

50

【 図 4 5 】



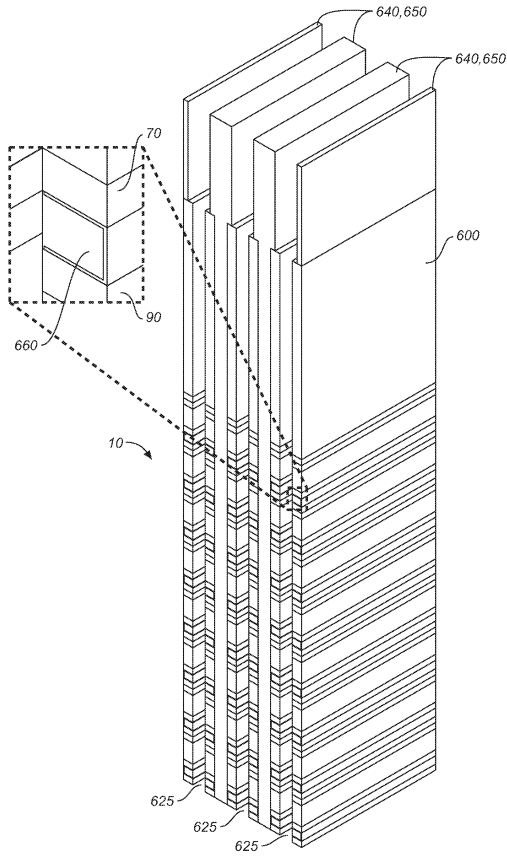
【 図 4 6 】



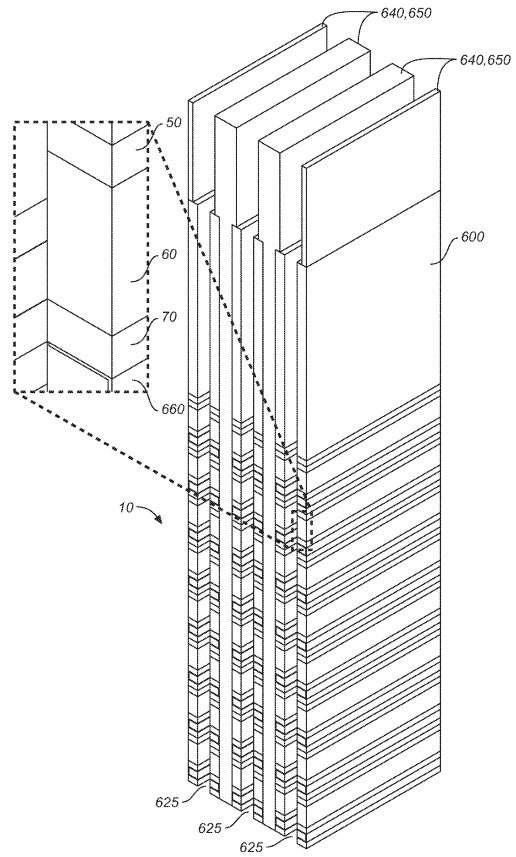
10

20

【 図 4 7 】



【 図 4 8 】

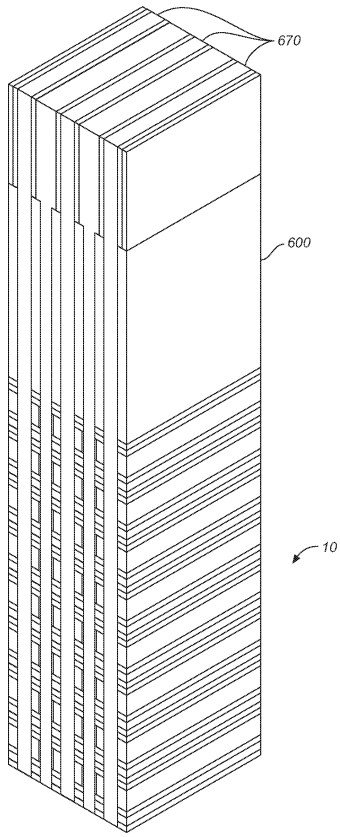


30

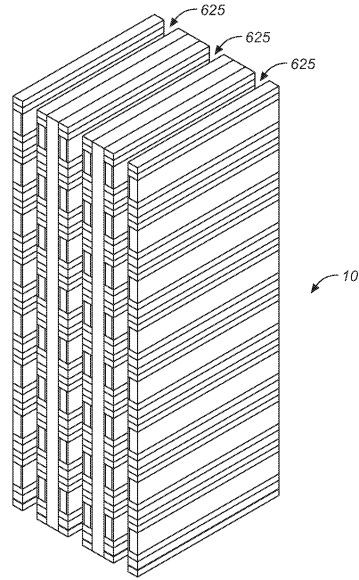
40

50

【 図 4 9 】



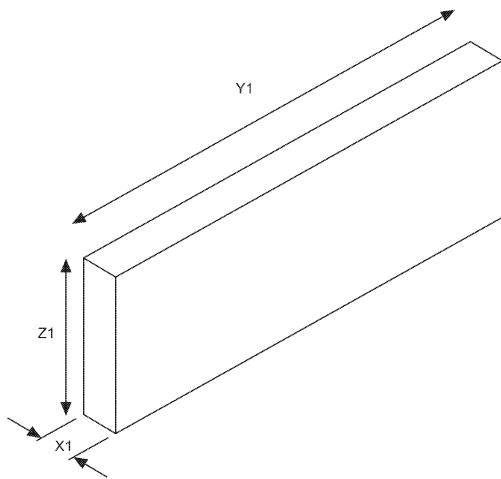
【 図 5 0 】



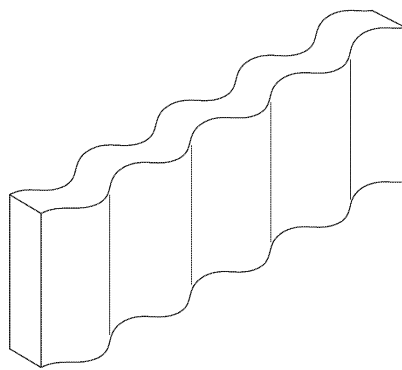
10

20

【 図 5 1 A 】



【 図 5 1 B 】



30

40

50

フロントページの続き

- (72)発明者 シュウ、ジエ
アメリカ合衆国カリフォルニア州 9 5 1 2 0 - 1 9 1 3 ・サンホゼ・ファイフウッド コート 6 5
5 8
- (72)発明者 ハラリ、エリ
アメリカ合衆国カリフォルニア州 9 5 0 7 0 ・サラトガ・ヒル アベニュー 2 0 2 3 8
- 審査官 加藤 俊哉
- (56)参考文献 国際公開第 2 0 1 8 / 0 3 9 6 5 4 (W O , A 1)
米国特許出願公開第 2 0 1 6 / 0 1 2 6 2 9 2 (U S , A 1)
特開 2 0 1 0 - 2 5 1 5 7 2 (J P , A)
- (58)調査した分野 (Int.Cl., D B 名)
- H 1 0 B 4 3 / 2 7
 - H 0 1 L 2 1 / 3 3 6
 - H 0 1 L 2 9 / 7 8 8
 - H 0 1 L 2 9 / 7 9 2
 - H 0 1 L 2 1 / 3 0 6 5