[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 21/70
H01L 21/8242

[12]发明专利申请公开说明书

[21]申请号 00105381.7

[43]公开日 2001年1月10日

[11]公开号 CN 1279509A

[22]申请日 2000.3.31 [21]申请号 00105381.7

[30]优先权

[32]1999.3.31 [33]US [31]09/282122

[71]申请人 因芬尼昂技术北美公司

地址 美国加利福尼亚州

[72]发明人 C·格赖曼 C·A·马祖雷

C·迪赛尔多夫 A·舒尔兹

[74]专利代理机构 中国专利代理(香港)有限公司

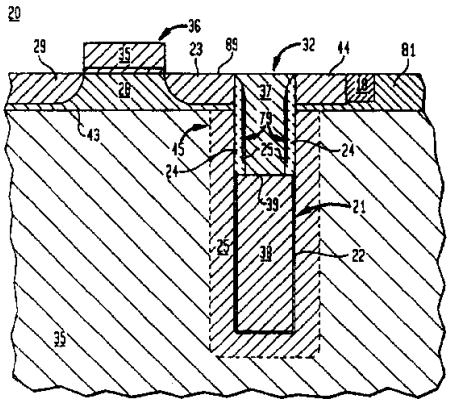
代理人 梁 永 王忠忠

权利要求书4页 说明书12页 附图页数13页

[54]发明名称 改进动态随机存取存储器工艺的氮化物衬里隔离轴环

[57]摘要

一种制造沟槽单元电容的方法，该电容用于构成DRAM单元。在一个实施例中，在半导体衬底中制造一个沟槽。给沟槽衬里一介质层，例如ONO层。然后在沟槽上部消除一氧化层来产生一个轴环。氧化层上有氮化层。然后在沟槽中填入半导体材料。例如，可用外延生长的半导体填充沟槽。



ISSN1008-4274

权　利　要　求　书

1. 一种在半导体本体中制作沟槽单元电容的方法，该方法包括:

在半导体衬底中形成一个沟槽，沟槽包括上下两部分;

用介质层给沟槽加入一个衬里;

在衬里沟槽后，通过在沟槽上部分制造一层氧化层和在氧化层上淀积一氮化层来在沟槽上部分形成一个轴环,;

往所述沟槽中填充半导体材料至基本填充沟槽。

2. 权利要求 1 的方法，还包括在形成氧化层轴环前，在沟槽的下部分填入导电材料。

3. 权利要求 2 的方法，其中向沟槽下部分填入导电材料包括用多晶硅填充沟槽下部分。

4. 权利要求 1 的方法，还包括在存在蒸汽时对氮化层进行热处理过程，使所述氮化层的暴露表面转换为第二氧化层。

5. 权利要求 1 的方法，其中所述氧化层淀积在沟槽的暴露的侧壁和主表面上，氮化层淀积在氧化层的暴露部分上。

6. 权利要求 5 的方法，还包括刻蚀掉主表面上的氮化层和氧化层的一部分，以露出一部分主表面。

7. 权利要求 6 的方法，还包括刻蚀掉氮化层的顶部和氧化层的顶部，所示氧化层的顶部位于沟槽的侧壁上，其中氧化层和氮化层随深度逐渐变薄，使得氧化层的顶部比氧化层其余部分薄且氮化层的顶部比钝化层的其余部分薄。

8. 权利要求 1 的方法，还包括在形成轴环之前:

在半导体衬底中形成沟槽后，给沟槽下部分加入一层介质层衬里，该介质层作为沟槽电容的节点介质; 和

在沟槽下部填充掺杂的半导体材料。

9. 权利要求 1 的方法，其中:

所述氧化层是淀积在沟槽上部分的暴露侧壁上及沟槽中暴露的主表面上;

覆盖在沟槽主表面上的一部分氧化层被刻蚀掉，露出主表面的一部分;

氮化层淀积在沟槽的中暴露的氧化层上和主表面的暴露部分之上; 和

淀积在主表面上的一部分氮化层被刻蚀掉，再次露出主表面的一部分。

10. 权利要求 1 的方法，其中：

所述氧化层淀积在沟槽上部的暴露侧壁上和沟槽的暴露主表面上；

所述氮化层淀积在沟槽中暴露的氧化层上；和

淀积在主表面上的氮化层和氧化层部分被刻蚀掉，露出主表面的一部分。

11. 权利要求 1 的方法，其中氮化层是化学气相淀积的 Si_3N_4 层。

12. 权利要求 1 的方法，其中沟槽电容是动态随机存储单元的一部分。

13. 权利要求 1 的方法，其中沟槽的填充包括在沟槽的上部外延生长半导体材料。

14. 一种在半导体本体中制作沟槽单元电容的方法，该方法包括：

在半导体衬底中形成一个沟槽，沟槽包括上下两部分；

在沟槽上下两部分的表面上形成一层介质层；

在沟槽下部填入导电材料；

在沟槽上部形成一个轴环，该轴环包括氧化层和氮化层；

在沟槽上部填入导电材料。

15. 权利要求 1 4 的方法，其中制作一个轴环的步骤包括：

在沟槽上部的表面上淀积氧化层；

在氧化层上淀积氮化层；和

在蒸汽中热处理氮化层，使得所述氮化层的暴露表面转变为第二氧化层。

16. 权利要求 1 4 的方法，其中制作一个轴环的步骤包括：

在沟槽上部的表面上淀积氧化层；

在氧化层上淀积氮化层；和

其中在淀积氮化层前去掉一部分氧化层，所述氧化层位于沟槽下部的导电材料上。

17. 权利要求 1 4 的方法，其中制作一个轴环的步骤包括：

在沟槽上部的表面上淀积氧化层；

在氧化层上淀积氮化层；

其中在淀积氮化层后去掉一部分氧化层，所述氧化层位于沟槽下部

的导电材料上。

18. 权利要求14的方法，其中填充沟槽上下两部分的步骤都包括用掺杂半导体材料填充沟槽。

19. 权利要求14的方法，其中用导电材料填充沟槽上部的步骤包括在沟槽的上部中外延生长半导体材料.

20. 一种形成沟槽电容的方法，该方法包括:

在半导体区中制造一个沟槽，沟槽包括上下两部分;

用介质材料衬里沟槽上下两部分;

在沟槽下部填入导电材料;

在半导体区上、沟槽上部的介质层表面上和沟槽下部的导电材料的裸露部分上形成一层氧化层;

采用各向异性刻蚀方法刻蚀氧化层，以去除半导体区上和沟槽下部导电材料上的一部分氧化层;

在半导体区上、沟槽上部的氧化层上和沟槽下部的导电材料上暴露部分上淀积一层氮化层;

采用各向异性刻蚀方法刻蚀氮化层，以去除半导体区上和沟槽下部导电材料上的一部分氮化层；和

用导电材料填充沟槽。

21. 权利要求20的方法，其中给沟槽上部填入导电材料的步骤包括在沟槽的上部外延生长半导体材料。

22. 权利要求20的方法，还包含在采用各向异性刻蚀方法刻蚀氮化层前，在氮化层上形成第二氧化层的步骤。

23. 权利要求22的方法，其中通过形成第二氧化层。

24. 权利要求20的方法，还包括在蒸汽中热处理氮化层使氮化层的裸露部分转化为第二氧化层。

25. 权利要求20的方法，其中：沟槽下部的填充包括用掺杂半导体材料填充沟槽的下部；和

沟槽上部的填充包括用掺杂半导体材料填充沟槽的上部。

26. 制造沟槽单元电容的工艺，所述电容包括穿过半导体中的掺杂埋层的沟槽，所述掺杂埋层构成电容的第一极板，所述沟槽下部填充的掺杂半导体材料构成电容的第二极板的一部分，以及隔开第一电容极板和所述部分形成的电容极板的周围介质层，对此的改进包括以下的步

骤:

在所述沟槽上部形成绝缘轴环，所述绝缘轴环包括淀积在氧化层上的氮化层;

用导电材料填充被所述绝缘之后包围的区域中所述沟槽的上部.

27. 权利要求 2 6 的工艺，其中填充所述沟槽的上部包括外延生长半导体材料以完全形成所述电容的第二极板。

28. 一种在硅衬底中制造沟槽单元电容的工艺，包括以下步骤:

在所述硅衬底中形成掺杂埋层，作为所述电容的第一极板;

在所述硅衬底上形成深度穿过埋层的沟槽;

在沟槽周围淀积介质层;

在沟槽下部填充掺杂多晶硅，构成电容的第二极板的一部分，其中所述介质层隔开电容的两极板;

在所述沟槽上部周围地形成绝缘轴环，所述绝缘轴环包括淀积在氧化层上的氮化层; 和

在绝缘轴环中形成硅材料，所述多晶硅使所述电容第二极板完整。

29. 权利要求 2 8 的工艺，其中在所述绝缘轴环中形成多晶硅包括在所述绝缘轴环中外延生长硅。

说　明　书

改进动态随机存取存储器工艺的氮化物衬里隔离轴环

该发明总地涉及一种沟槽电容，更具体地涉及一种改进的沟槽单元电容，该电容使用一种氮化物衬里作为隔离轴环。

在现代 DRAM（64 兆位或更高）存储器技术中，埋层单元结构在提高存储器性能方面是最有前途的概念之一。众所周知，一个 DRAM 单元是由一个晶体管和一个电容组成。在一个埋层单元中，在 DRAM 上表面之下的衬底中，用掺杂的半导体材料产生了一个埋层。该埋层实际上构成了存储单元一个电容器板，另一电容板是由邻近埋层的沟槽单元所构成。沟槽单元中充满了类似多晶硅这样的掺杂的半导体材料作为电容的第二极板。沟槽由绝缘层所包围，因而沟槽中的物质与埋层是电绝缘的。

一个埋层沟槽结构的已有技术的 DRAM 单元示于图一。P 型场效应晶体管 15 有 N+漏区 11，N+源区 12 和 P-沟道区 13，沟道区上是栅区 14。埋层 16，图示为 N+掺杂，位于晶体管 15 下的 P-衬底 17 内。沟槽 31 内充满了 N+掺杂的多晶硅 54，56，该沟槽穿入埋层 16。一般是氧化层的一层薄绝缘层 19 围绕着沟槽 31 使填充沟槽中的 N+物质与埋层 16 实现电绝缘。如此，产生了沟槽电容 27，其中沟槽 31 中的 N+多晶硅是电容 27 的一个极板。注意：埋层 16 有一部分与沟槽 31 相邻。沟道区 13 也有一部分与沟槽 31 相邻。这些埋层 16 和沟道 13 相邻的部分构成了沟槽电容 27 的另一极板。绝缘层 19 隔开了沟槽电容 27 的两极板。漏区 11 通过沟槽电极 41 与沟槽单元 31 电连接。逻辑电平电压通过晶体管 15 传输到沟槽电容 27，因此电压数据存储在电容 27 中。

根据图一所示结构，可以看出在埋层 16 与漏区 11 之间产生了一个垂直寄生晶体管 18. N+埋层 16 是源区，P-区 13 是沟道区，N+阱 11 是寄生晶体管 18 的漏区．掺杂多晶硅 56 是栅，绝缘轴环 51 是寄生晶体管 18 的栅和沟道间的绝缘层。当沟槽电极 41 是逻辑高电压时，寄生晶体管 18 必须是关断状态。我们可以将绝缘轴环 51 做成厚氧化层，并使其沿沟槽 31 向下延伸完全隔开沟槽 31 与掺杂多晶硅 56 的相邻部分，来方便地达到这个目的。

在典型的沟槽工艺中，沟槽 31 首先填充掺杂的半导体材料 54，直

到在绝缘轴环 51 底部附近达到预定的高度。该高度如图一的剖面深度线 29 所示。填充之后，产生绝缘轴环 51，其可以是一种原硅酸四乙酯（TEOS）的厚氧化层。然后在沟槽 31 中从线 29 到上表面填入相同的掺杂半导体材料的另一“栓塞”56。因此，为利用厚绝缘轴环的好处，需要在沟槽 31 中填入两段 N+多晶硅或相似材料“栓塞”。

在 1985 年 12 月 27 日授予 P. PELLEY III 的美国专利 No. 4794434，名为“DRAM 中的沟槽单元”，提出了另一个已有技术的含有绝缘轴环结构的 DRAM 沟槽单元的例子。这篇专利描写了其中填入 N+或 P+多晶硅的沟槽单元，并提出了一种可以提高埋层上的电位以减小绝缘层上所产生的最大电压的技术。

氧化绝缘轴环技术，虽然能够提供一些优点，但是也带来一些影响随后工艺的缺点。其中之一是随后的高温工艺将使氧离子扩散穿过顶层，并最终可能穿过轴环。这将引起沟槽侧壁的硅氧化和形成多晶氧化，即“沟槽多晶填充”。氧扩散将引起体积膨胀，这有将产生应力引起堆栈层错缺陷和位错。

另一个问题是由 TEOS 轴环中扩散出来的杂质将产生沟槽中两个半导体填充层之间的界面问题。这将严重影响沟槽电极的接触问题。另外，杂质从高掺杂的沟槽多晶硅填充物扩散穿过轴环有可能使绝缘轴环破裂或损坏。

因此，本发明的目的是提出一种经过改进的 DRAM 沟槽单元电容，解决已有技术的问题。

本发明的另一目的是提出了改进的 DRAM 沟槽电容的绝缘轴环，其具有一层氮化物衬里，以避免已有技术的绝缘轴环的问题。

本发明的又一个优点提出了一种在 DRAM 沟槽单元中形成绝缘轴环的改进的工艺流程。

以上所有的目的和优点提供在下文中对例示性实施方案的详细描述，使本领域普通技术人员能获得清晰的了解。

本发明提出了一种改进的在半导体本体中的沟槽单元电容，适用于 64KB 及以上的 DRAM 存储单元或类似的存储单元。该改进的沟槽单元电容包括一个内有掺杂的半导体材料的沟槽单元，一个围绕着掺杂半导体材料的预定厚度的氧化绝缘层轴环，在氧化绝缘层轴环和掺杂半导体材料间有一层氮化物。氮化物层的厚度小于绝缘轴环层的预定厚度。

在绝缘轴环和掺杂材料之间加入这层氮化物解决了已有技术的带有绝缘轴环的沟槽单元电容中伴随的一些工艺问题.

任选地，在改进的沟槽单元电容器中，还可以在氮化物层和掺杂半导体材料间加入第二层氧化层.

电容的沟槽单元可以有第一区和第二区，两区中都有掺杂的半导体材料，绝缘轴环和氮化物层在第一区中. 用一层小于绝缘轴环层的预定厚度的电绝缘材料环绕在第二区中的掺杂半导体材料，同时构成沟槽单元的底部. 该沟槽电容优选具有一个紧挨着沟槽单元的掺杂半导体材料埋层，其基本形成沟槽电容的一个极板，同时位于第一和第二区中的掺杂半导体材料构成电容的第二极板，用电绝缘材料隔开电容的两个极板.

本发明提供了一种在半导体本体中形成改进的沟槽电容的方法. 该方法包括以下几个步骤: 在半导体衬底中形成一个沟槽; 在裸露的沟槽壁上和暴露的沟槽主表面上淀积预定厚度的氧化层; 在氧化层的裸露部分上淀积一层比上述预定厚度薄的氮化物; 刻蚀掉覆盖主表面的氮化层部分和氧化层部分，以暴露部分主表面; 往沟槽中填入掺杂的半导体材料至基本填满沟槽.

这种方法还可以包含如下步骤: 在半导体衬底上形成沟槽后给沟槽加上给定厚度的电绝缘层，给定的厚度要小于上述预定厚度; 向沟槽中填入掺杂的半导体材料到预定高度以基本形成预定高度的主表面，因此沟槽的主表面包含裸露的掺杂半导体材料.

该发明还提出了一种在半导体本体中制造沟槽单元电容的方法，包括如下步骤: 在半导体本体中形成沟槽; 在沟槽的暴露的侧壁上和暴露的主表面上淀积预定厚度的氧化层; 刻蚀掉覆盖主表面的氧化层部分以暴露一部分主表面; 在主表面的裸露部分上和氧化层的暴露部分上淀积一层氮化物; 刻蚀覆盖主表面的氮化物，再次露出一部分主表面; 用掺杂的半导体材料填充沟槽到基本填满沟槽.

为更好地理解本发明，可参考以下的示例实施方案的描述并结合附图，附图为:

图 1 是已有技术 DRAM 存储单元沟槽电容的剖面图.

图 2 是基于本发明的一个沟槽电容的剖面示意图.

图 3,4 显示了在本发明中制造一个存储单元的工艺步骤.

图 5,6,7,8 是根据本发明制造存储单元的另一种工艺步骤.

图 9 是根据本发明在半导体衬底上形成改进的沟槽电容的初始工艺步骤.

图 10A 和图 10B 是在图 9 的半导体衬底中形成的沟槽的剖面和平面图.

图 11 是图 10A 和图 10B 的沟槽周围形成的薄绝缘层的剖面图.

图 12 显示了在图 11 的沟槽中淀积第一多晶硅填充栓塞.

图 13A 和图 13B 显示了在图 12 的沟槽中形成绝缘轴环.

图 14 显示在图 13B 的沟槽中外延生长第二多晶硅填充栓塞.

图 15 表示在图 14 的沟槽单元电容和存储单元晶体管的阱区之间形成的电极.

基于本发明的一种改进的DRAM示于图2. DRAM20包括一个晶体管36和与之偶合的存储数据的沟槽电容32. 沟槽电容32包括一个沟槽单元21, 在沟槽单元的上半部的周围环绕着一层厚氧化层轴环24. 在氧化层轴环的内侧壁上淀积了一层薄氮化物衬里25. 如后所示, 该氮化物衬里25在本发明中是极为重要的特征.

正向本领域所熟知的, DRAM20可能是在掺杂半导体衬底33上用生长外延层形成的. 在衬底 33 中的埋层26, 一般是高掺杂的, 可以用选择性离子注入或外延生长来形成. 在半导体衬底中形成掩埋层是本领域已知的技术. 例如, 埋层26的下半部可以在衬底33中形成, 而上半部在外延层中形成(未显示). 无论如何, 深度线43指明了埋层26和晶体管36的沟道区28的分界. 图2中也显示了漏区23, 源区29和栅35, 它们与沟道区28一起组成了晶体管36. DRAM20还包括接触区44, 掺杂区81和氧化物隔离区78. 可以看到沟道区28也延伸到源区29和漏区23之下. 沟道区28优选地是与埋层26相反的导电性. 因此, 在埋层26和源区29、漏区 23 之间有一隔离层. 掺杂的导电性例如是: 衬底33是P－导电; 埋层26是N＋导电; 沟道28是P－导电; 漏33, 源29是N＋导电; 接触区44是N＋导电; 掺杂区81是P－导电. 因而, 晶体管36是P沟道FET. 同理, 本发明也适用于N沟道FET. 在任一情况中, 垂直结构的副作用是形成了一个寄生晶体管45, 该晶体管由埋层26, 漏区23和位于区域23、26间的那部分沟道区28所构成.

在埋层26中构成电容32的沟槽单元21．沟槽单元21可以是圆柱形的，也可以是圆锥的较宽部分在上的截锥形．沟槽单元锥体向下逐渐变细到在预定深度变为给定的直径．沟槽单元21也可以有一个正方形或长方形的平台．图2的剖面图对应于圆柱状沟槽或具有正方或长方形平台的沟槽．无论沟槽单元实际是否是圆柱状的，都可以形成沟槽的底部使其在底部凹下以改善其穿通性能．

薄电介质层22淀积在沟槽底部及沿底部的侧壁周围淀积到指定高度，如深度线39所示．或者薄电介质层22一直延伸到DRAM20的上表面89而不是在线39处终止（图2未显示此种情况）．该电介质22可以是二氧化硅层SiO_2，例如热氧化层，TEOS氧化层，多层氧化氮化物层以及去氧化氮化物层．如果形成的沟槽单元21的底部带有凹出部分（未示出），那么沟槽底部的氧化层要厚于侧壁的．增加沟槽底部的氧化层厚度是有利的，因为已有技术已发现该区域更容易穿通．

沟槽21填入掺杂多晶硅的第一栓塞38，高度与薄氧化层22相同，到线39．若晶体管36是P沟道FET，如上所述，那么该栓塞38优选是N+掺杂的．若是N沟道FET方案中，该栓塞38优选是P掺杂的，而且埋层26也优选是P型的．优选与第一栓塞38相同掺杂水平的第二多晶硅栓塞37填满剩余的沟槽单元21．但是该第二栓塞37是在厚氧化层轴环24和氮化物轴环25形成后填入的，如下文所述．

多晶硅栓塞38和37构成了沟槽单元电容的一个极板．埋层26有一部分与沟槽单元21相邻．沟道区28也有一部分与沟槽单元21相邻．沟道区28和掩埋层26的这些相邻部分一起构成了电容的另一极板，绝大部分贡献来自掩埋极板邻近部分．沟道区28的上述相邻部分对电容影响极小．薄介质层22隔开电容的两极．介质层22越薄，电容越大．但是，介质层22必须足够厚以保证不会发生被介电击穿．

多晶硅第一栓塞38填入沟槽21，沿沟槽内壁从线39到电容32的上表面89，形成带有氮化物衬里25的厚氧化层轴环24．现在，产生了如下的一个寄生晶体管45：埋层26是寄生晶体管45的漏区，漏区23作为源区，多晶硅37作为栅，区23和区26之间的沟道部分28是寄生晶体管45的沟道．带氮化物衬里25的氧化层轴环24作为寄生晶体管45的栅和沟道之间的绝缘层．用于增加寄生器件的阈值电压的氧化物轴环的厚度，和低掺杂的沟道区28一起保证了寄生晶体管45不会导通．

厚氧化物轴环的另一目的是保证多晶硅 37 和区域 28 间不会发生介电击穿和穿通．否则当高电位差加在多晶硅 37 和与沟槽 21 相邻的那部分沟道 28 之间时，很有可能会引起介电击穿或穿通．

在氧化绝缘轴环 24 的内壁加入一层氮化物层或“衬里”25 的沟槽电容将比没有衬里的电容具有以下几个重要的优点．首先，在绝缘轴环 24 形成后，可以根据需要进行后继的高温处理和高温氧化．氮化物衬里 25 阻止了填充沟槽的多晶硅（栓塞 37 和 38）的过氧化．其次，氮化物衬里 25 可以阻止沟槽侧壁体材料硅的氧化，否则其在高温氧化时将发生．第三，体材料硅氧化和填充沟槽的多晶硅的过氧化通常导致产生应力诱导的缺陷，现在氮化物衬里 25 可防止这种情况发生．第四，氮化物衬里 25 可防止杂质从高掺杂区（37，38）通过绝缘轴环 24 的“弱”区向垂直寄生器件的外扩散．这种外扩散经常会引起寄生器件不期望地导通或引起其漏电．最后，氮化物衬里 25 可以阻止填充沟槽的多晶硅栓塞 37、38 间的界面沾污．这主要是因为氮化物衬里 25 阻止了例如氧的沾污物在用栓塞 37 进行沟槽多晶硅填充和相关工艺时从绝缘轴环区除气和外扩散．

注意，沟槽单元 21 也可在氮化物衬里 25 的内壁 7 9 上周围淀积另一层薄氧化物衬里，即位于氮化物衬里 2 5 和多晶硅栓塞 3 7 之间．这层薄氧化层可在蒸汽气氛下在高温（如华氏 9 0 0 度）下处理氮化物衬里 2 5 而得到．由于衬里 2 5 是氮化硅材料，在高温处理下其内壁的薄层转换为二氧化硅形成薄氧化层衬里．

形成厚氧化层轴环 2 4 和薄氮化物轴环 2 5 的一个过程示于图 3 和图 4．形成薄氧化层 2 2 和在沟槽 21 中形成或插入第一多晶硅栓塞 3 8 后，形成厚氧化层 5 5，示于图 3．形成的氧化层覆盖着线 3 9 所指的主表面，包括多晶硅栓塞 3 8 和薄介质层 2 2 的上表面．层 5 5 沿着沟槽 21 的上侧壁周围和沿着阱 2 3 和 4 4 的上表面延伸．厚氧化层 5 5 可以是由 TEOS 氧化或热氧化形成的硅氧化物．

如图所示，在沟槽 2 1 的厚氧化层 5 5 的全部暴露区域沿着侧壁和在线 39 之上淀积一薄层氮化层 57，同时还覆盖区域 23，24 之上的暴露区域．氮化物层 5 7 优选是类似 SiN_4 的硅氮化物，可由 L P C V D，C V D，P E C V D 或其它方法制成．例示的氮化层厚度为 70－180Å，氧化层的厚度最好是氮化层厚度的 3 － 5 倍．注意薄介质层 22 的厚度

与氮化层55的厚度相等，即70－180Å。

淀积在多晶硅栓塞38上表面上和氮化层56的内壁中的氮化层57和氧化层55部分（剖面图中边界53所指）被刻蚀掉。标准的光掩膜及光刻工艺或步进等离子刻蚀技术都可以使用。形成如图四的带有薄氮化层衬里25的厚氧化层24。在刻蚀工艺时要十分小心以避免淀积在氧化层55内壁上的氮化层部分57被刻蚀掉太多。光刻用于从上表面向下从周围回刻氧化层24和氮化物衬里25，以构成周围逐渐变细的区域52。这样允许以后形成或插入的第二多晶硅栓塞37（图2）能更靠近漏区23，有利于两区的电接触。通过使两区之间直接电接触，回刻技术避免了在沟槽多晶硅栓塞37与漏区23之间对附加电极的需要，或允许使用更小的电极。

根据本发明构成DRAM沟槽单元电容中带有氮化物衬里的厚氧化物轴环的另一种方法示于图5－8。图5显示了一个由形成在埋层69中的沟槽单元71构成的沟槽电容70。沟槽71的底部周围衬有一薄层电介质层75，然后填入第一高掺杂多晶硅栓塞76到预定深度线72。然后沿沟槽71上半部的内壁在由多晶硅栓塞76的上表面和薄氧化层75构成的主表面上形成例如TEOS的厚氧化层62，如深度线72所示。在漏区67和掺杂区63的上表面也覆盖着氧化层62。深度线72之上区域中的层62被刻蚀掉，只剩下厚氧化层侧壁，如图6所示。区域67，63上的厚氧化层部分62也被刻蚀掉而上部通过回刻构成周围逐渐变细的区61。

薄氮化层60然后施加在沟槽71中以完全覆盖厚氧化层，如图7所示。氮化层60的厚度例如为70－180埃。厚氧化层62厚度是氮化层60厚度的3－5倍。介质层75优选与氮化层的厚度相同。由LPCVD，CVD，PECVD或其它合适方法生成的例如为SiN_4的氮化层60首先覆盖区域67，63的上表面和多晶硅栓塞76的裸露部分，对应于深度线72。覆盖这些表面的氮化物再被间隔层刻蚀掉（spacer etched away），结果示于图8。通过间隔层刻蚀在锥形氧化层61的附近形成锥形氮化物层区域77。这使漏区67更靠近第二高掺杂多晶硅栓塞75，第二多晶硅形成或插入沟槽单元71中是该工艺的最后步骤。然后可在两区之间直接产生电接触。

图8的结构中，氮化物衬里60向下一直沿伸到深度线72处的多

晶硅栓塞 76. 这与图四的结构略有不同，图四是根据本发明描绘的第一种工艺步骤的结果. 图四中氮化物衬里２５向下延伸到比氧化层轴环２４的深度略浅的位置５８．虽然图 4 和图 5 的结构不同，但这两个不同沟槽电容的性能是基本相同的.

图 5 － 8 描绘的工艺比图 3 － 4 的工艺多出一个优点. 即，通过在分开的步骤刻蚀主多晶硅表面上的氧化层，可以更好地避免氮化物层 60 的浪费，如图 6 所示. 图 3 － 4 中的第一个方法中，淀积在氧化层５５侧壁上的氮化层部分 57，可能会被不期望地更多地刻蚀掉以便刻蚀掉栓塞３８上的氧化层. 因此氮化层上的侧壁部分更容易被消耗掉. 另一方面，图 5 － 8 的工艺包括了更多的步骤，因而沟槽电容的设计者必须对此两种工艺进行选择.

实验结果证实了本发明的改进的沟槽电容的优点. 对含有带或不带氮化物衬里的绝缘轴环的 128K DRAM 存储模块的产品进行实验. 结果表明，有氮化物衬里的存储器模块比没有氮化物衬里的存储器模块多３０％的晶片成品率.

因此公开了适用于ＤＲＡＭ存储单元中的改进的沟槽单元电容，其具有带氮化物衬里的绝缘轴环，及其制作方法. 根据本发明的电容的第一个优点是在氧化层形成之后的高温处理过程中，可以避免填充沟槽的掺杂多晶硅的过氧化. 本发明的第二个优点是在高温氧化过程中可以避免沟槽内壁的体材料硅的氧化. 本发明的第三个优点是，由于避免了不需要的氧化，因而也避免了应力诱导缺陷的产生. 第四个优点是阻止了掺杂剂从“弱”轴环区外扩散到邻近沟槽单元电容的垂直寄生器件，否则寄生器件可能导通或产生漏电流. 第五个优点是避免了在两个填充电容的沟槽单元的多晶硅栓塞之间的界面的污染. 这是由于在沟槽的多晶硅填充和氧化层轴环形成之后的工艺中，本发明通过阻止诸如氧离子的污物从绝缘轴环区外扩散和除气而防止这种污染.

下面具体描述基于本发明的制造改进的沟槽电容的工艺流程. 所描述的沟槽电容是ＤＲＡＭ存储单元的一部分. 下述部分是序列号０８／７１５，２８９（’２８９）的专利的一部分，而前述是序列号０８／７２６，４４２的专利的一部分. 以下的参考标号与’２８９专利申请相一致，而与前述讨论无关.

如图９，埋层１２形成在硅衬底１０中和被掺杂为 N+ 掺杂浓度.

埋层１２可以用本领域众所周知的方法构成，诸如：选择离子注入，外延生长或两者的结合。该埋层１２将作为沟槽单元电容的一极。在埋层１２上，分别外延生长了Ｐ－的硅１４和Ｎ＋的硅１６。采用与此相反的掺杂也是可以的。层１４和层１６分别构成了ＦＥＴ（未显示）的沟道和漏区，逻辑电平电压从该ＦＥＴ传输到沟槽电容上。在此结构的上表面先后淀积氧化层１８和氮化硅层２０，使用常规刻蚀技术刻蚀这些层以形成暴露漏区１６的上表面的开口１５。氧化层１８是ＴＥＯＳ或热氧化的二氧化硅层。用ＬＰＣＶＤ或ＰＥＣＶＤ生成 Si_3N_4 的氮化硅层２０。氧化层１８的厚度大约５０－１００纳米，氮化硅层２０的厚度是约３００纳米。１８和２０作为硬掩膜用于形成开口１５中的沟槽。氮化硅层２０作为氧化阻挡层在沟槽侧面氧化过程（下文描述）中保护着此器件的上表面。

然后，开口１５处裸露的硅在含有 SF_6，Cl_2 和 He 的混合气中通过反应离子刻蚀形成一个深的沟槽２２，示于图１０Ａ和１０Ｂ。在刻蚀工艺中也可选择其它合适的气体。通过刻蚀穿过外延层１６，１４和穿过埋层１２的绝大部分形成沟槽２２。沟槽２２深约５微米，宽０．２５－０．５微米。轴环行肩２６决定了沟槽的下部２７和上部２４，下部２７比上部２４要窄。图１０Ｂ是沟槽的平面图，沟槽可以是矩形平面，但是也可根据需要制成其它形状的几何图形。总之，形成的沟槽总是带有基本垂直的侧壁。

如图１１沿沟槽２２侧壁和底部形成一层薄介质层２８。介质层２８的厚度最好在１０－５０纳米，是由热氧化形成的二氧化硅层。介质层２８也可是氧化层／氮化层／氧化层的三层结构。层２８是隔开沟槽电容两极板的绝缘介质。众所周知，层２８越薄电容值越高。沟槽底部的层２８的厚度要大于侧面的厚度以减少沟槽底部穿通的可能性。

如图１２，用定向ＬＰＣＶＤ方法形成第一多晶硅栓塞以完全填充沟槽２２的下部２７和一部分上部２４。使用定向ＬＰＣＶＤ，其中离子束以垂直入射撞击器件结构。这样可使多晶硅基本从底部向上填入沟槽，避免了多晶硅淀积在沟槽的上侧面。该工艺使用小于７５０摄氏度的低温。定向ＬＰＣＶＤ装置的例子可参考美国专利 No. 5,290,358 题目“ＤＬＰＣＶＤ装置”。

在示例实施方案中第一栓塞３０用砷高掺杂以提供Ｎ＋杂质浓度。

掺杂第一栓塞３０可通过ＬＰＣＶＤ或在随后的步骤中通过离子注入来形成。多晶硅填充３０形成沟槽电容的第二极板，第一极板是与沟槽 22 下部相邻的埋层１２。若埋层１２是Ｐ＋掺杂的，则第一栓塞３０当然也是Ｐ＋掺杂，如掺杂硼离子。栓塞３０从沟槽底部一直向上越过肩部２６，到达硅层１６上表面下约１－２微米处，因此其垂直长度大约３－４微米。

如图１３Ａ，淀积第一多晶硅栓塞３０后，在沟槽２２的其余侧壁和多晶硅栓塞３０的上表面用ＴＥＯＳ或二氧化硅沿四周形成厚氧化层３２。氧化层３２延伸到沟槽 22 以上覆盖了氮化层２０。氧化层３２的厚度大约５０－１００纳米。在氧化层３２上用例如ＬＰＣＶＤ，ＣＶＤ或ＰＥＣＶＤ淀积了一层５－２０纳米厚的氮化硅层３３（Si_3N_4）。因此总的绝缘层轴环的厚度大约６５－１７０纳米，包括介质层２８（假定介质层 28 的厚度为１０－５０纳米）、氧化层３２和氮化硅层３３。氮化硅层３３带来不少优点。包括在随后的高温工艺过程中阻止了沟槽中掺杂多晶硅的过氧化；阻止了掺杂离子外扩散穿过弱轴环区进入与沟槽单元电容相邻的垂直寄生器件区，否则有可能引起寄生器件的导通或产生漏电流。尽管有以上优点，若希望为了减少工艺的复杂度，也可以去掉氮化硅层３３。

如图１３Ｂ，刻蚀掉沟槽中心的氧化层３２和氮化层３３的底部部分，暴露多晶硅填充栓塞３０的顶部。同时刻蚀掉氮化层２０上的层３２和３３的部分。优选采用反应离子刻蚀（RIE）等定向刻蚀技术。在此步骤中，多晶硅栓塞３０上的小凹陷３５是故意形成的，作为下述多晶硅外延生长的基础。在刻蚀时必须很小心，防止将侧壁上的氮化层３３刻蚀很多。无论是否使用了氮化层３３，对绝缘轴环底部的刻蚀常常刻蚀掉一部分侧面的绝缘轴环，形成锥状沟槽。在现有 CVD 工艺中，沟槽上半部多晶硅填充的完整性极大地依赖于沟槽的形状，因而必须很小心地控制刻蚀工艺以保持沟槽的形状在很小的偏差范围内。下文所述沟槽多晶硅的选择性外延生长与沟槽的形状几乎无关。因而在前面的绝缘轴环刻蚀步骤可有较大的工艺窗口。

刻蚀层３２和３３的底部后，在第一填充栓塞３０上用选择外延生长产生第二多晶硅填充栓塞３６，如图１４所示。外延生长的第二多晶硅栓塞是本发明一个关键。

选择性外延生长从底部向上，即第一栓塞填充 30 的凹陷到氧化层 32 的顶部，产生没有空隙的多晶硅填充物。该多晶硅填充物 3 6 由原位掺杂的选择性外延或本征选择性外延加离子注入形成为 N + 掺杂。掺杂剂优选是砷以获得上述 N+ 掺杂浓度。若第一多晶硅填充 3 0 是 P + 掺杂，则第二填充 3 6 当然也是 P + 掺杂。

选择外性延生长工艺取代了现有工艺中的 LPCVD 来第二填充栓塞 36. 用选择外性延生长工艺避免了 LPCVD 工艺的很多问题。这些问题包括 LPCVD 产生的空隙和疤痕的问题，其将导致在后面栅电极的构图过程中形成导电条和残留物。

使用气－固或异质反应系统，在沟槽中外延生长多晶硅形成填充栓塞 3 6 。异质反应系统优选使用包括 H_2, $SiCl_4$, HCl 的混合气以及包含砷的掺杂剂气体（产生 N + ）。（当是 P + 掺杂时，掺杂剂气体包含硼）。另一种方法是不使用掺杂剂气体，填充栓塞 3 6 的掺杂是在外延生长完成后，选择合适的掩模版进行选择性离子注入形成的。当然在这种后情况下，如果填充栓塞 3 0 是非掺杂的，要调整离子注入以同时掺杂第一多晶硅填充栓塞 30。

为了快速填充沟槽 2 2 ，外延生长工艺应在 9 0 0 － 1 1 0 0 摄氏度进行。因为沟槽 2 2 的借助外延生长填充的部分较深，典型值约为 1.0-2.0 微米，沟槽的快速填充是需要的。外延生长到要高于硅层 1 6 的上表面的高度水平，如图所示。在外延生长前在预烘步骤中，该器件要在高温环境下预热几分钟。这种预热增强了填充物 3 0 和 3 6 之间在 3 5 处的界面的完整性。在该界面处可以得到小的接触电阻。

后续步骤中，硬掩模层 2 0 和 1 8 被选择性刻蚀，露出一部分阱区 1 6 。如图 1 5 ，用合适的金属化来制作接触电极 3 7 ，将多晶硅填充栓塞 3 6 的上表面与阱区 1 6 的暴露表面连接在一起。接触电极的形成在本领域是公知的。

至此公开了利用选择外延生长在沟槽中形成上多晶硅层的制造沟槽单元电容的一种改进工艺。根据本发明的所述工艺制造的改进的沟槽单元电容与常规工艺利用 CVD 制造的沟槽电容相比，沟槽多晶硅的空隙和疤痕较少。本发明在后面栅电极构图时消除了残余物和导电条问题。另外。外延生长的无沟槽多晶硅的柔软和无空隙表面增强了存储器单元的可靠性，允许后面的氧化工艺有更大的工艺窗口。本发明工艺也比常规

工艺更简单，因为消除了对沟槽多晶硅和绝缘轴环退火、化学机械抛光（CMP）、清结和使沟槽填充物凹陷等步骤的需要。另外，避免了在 CMP 过程中使氧化／氮化层硬掩模减薄的危险。最后，提供了刻蚀工艺中更大的工艺窗口，因为，用外延法生长的沟槽多晶硅不依赖于沟槽的形状。

上文所述的实施例仅供说明之用，在不偏离本发明精神的情况下，任何本领域普通技术人员均可进行修改和改进。所有这些修改包括在权利要求所限定的本发明范围之内。

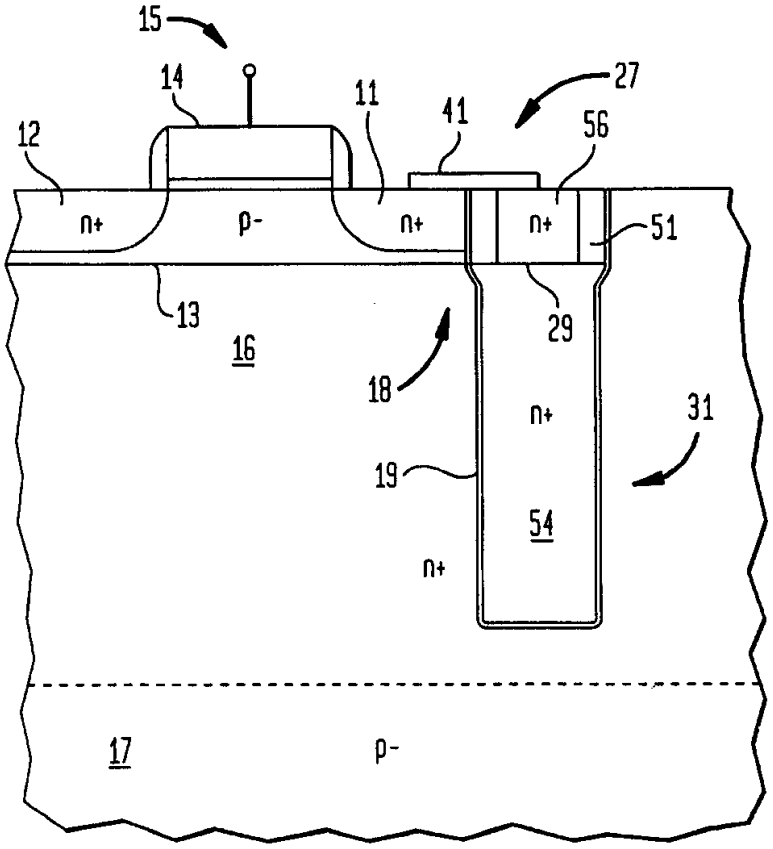


图 1

(已有技术)

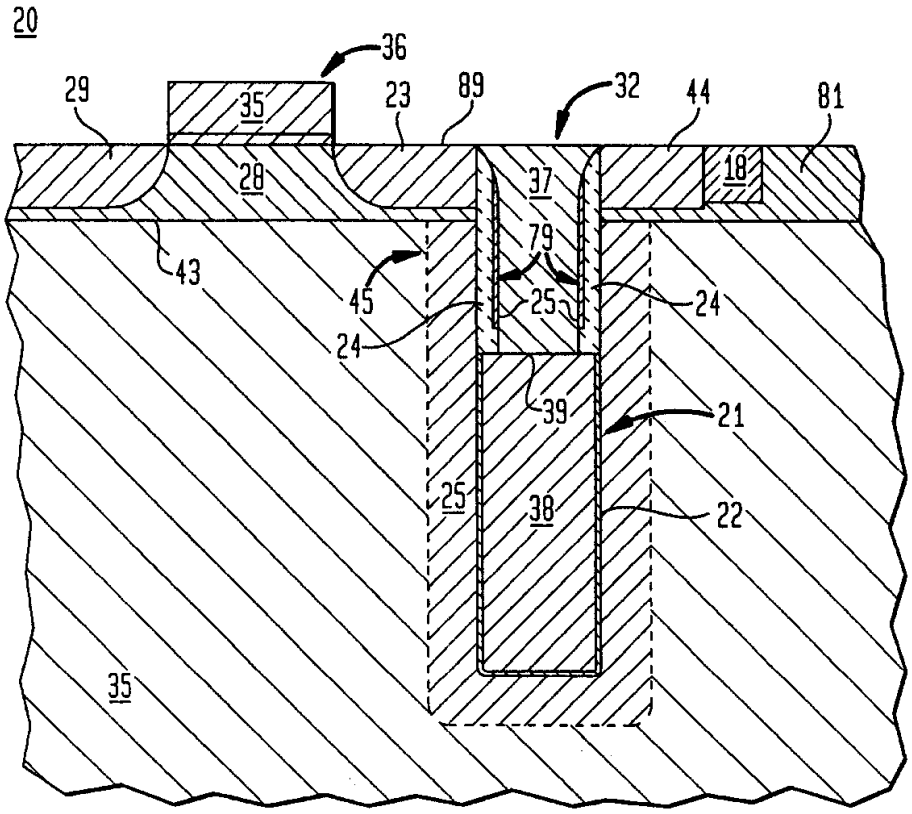


图 2

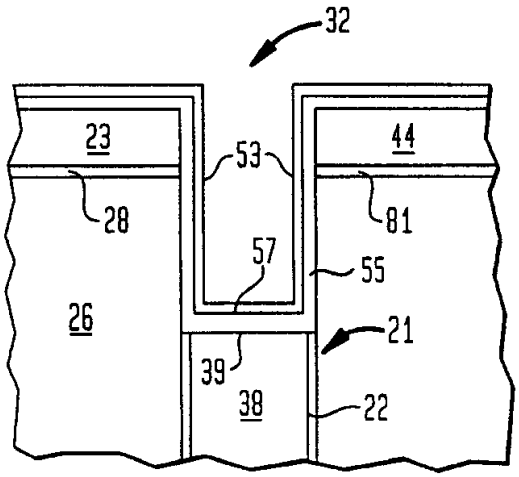

32
23
53
44
28
81
57
55
26
21
39
38
22

图 3

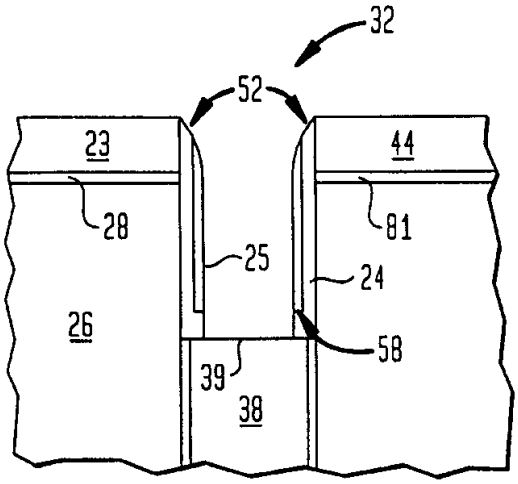

32
52
23
44
28
81
25
24
26
58
39
38

图 4

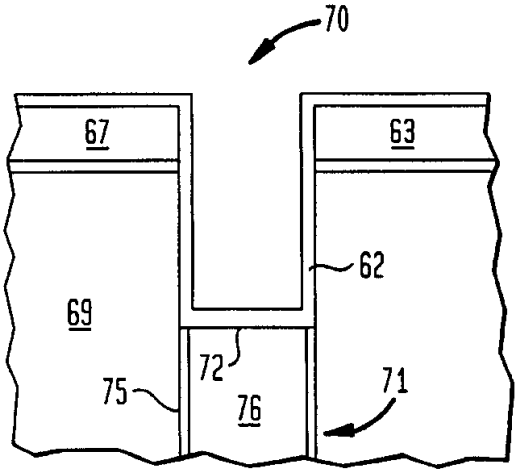


图 5

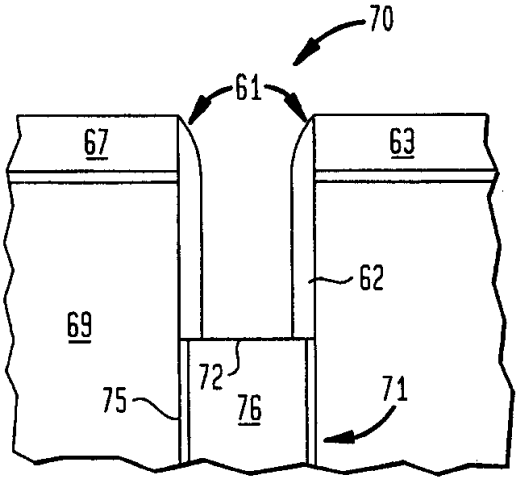


图 6

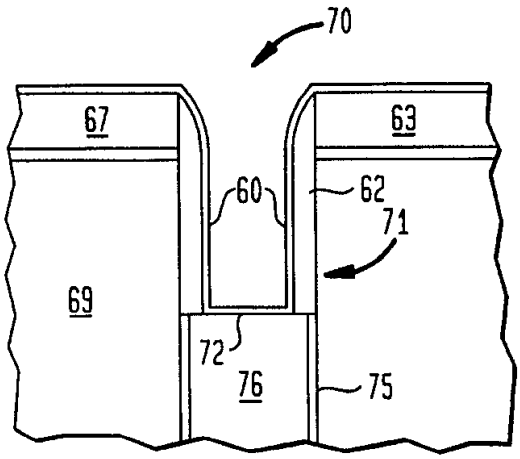


图 7

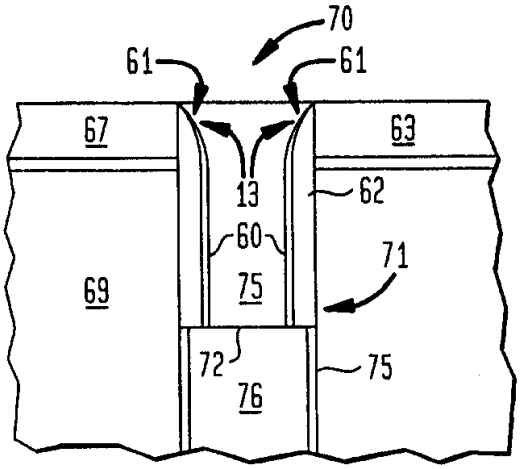


图 8

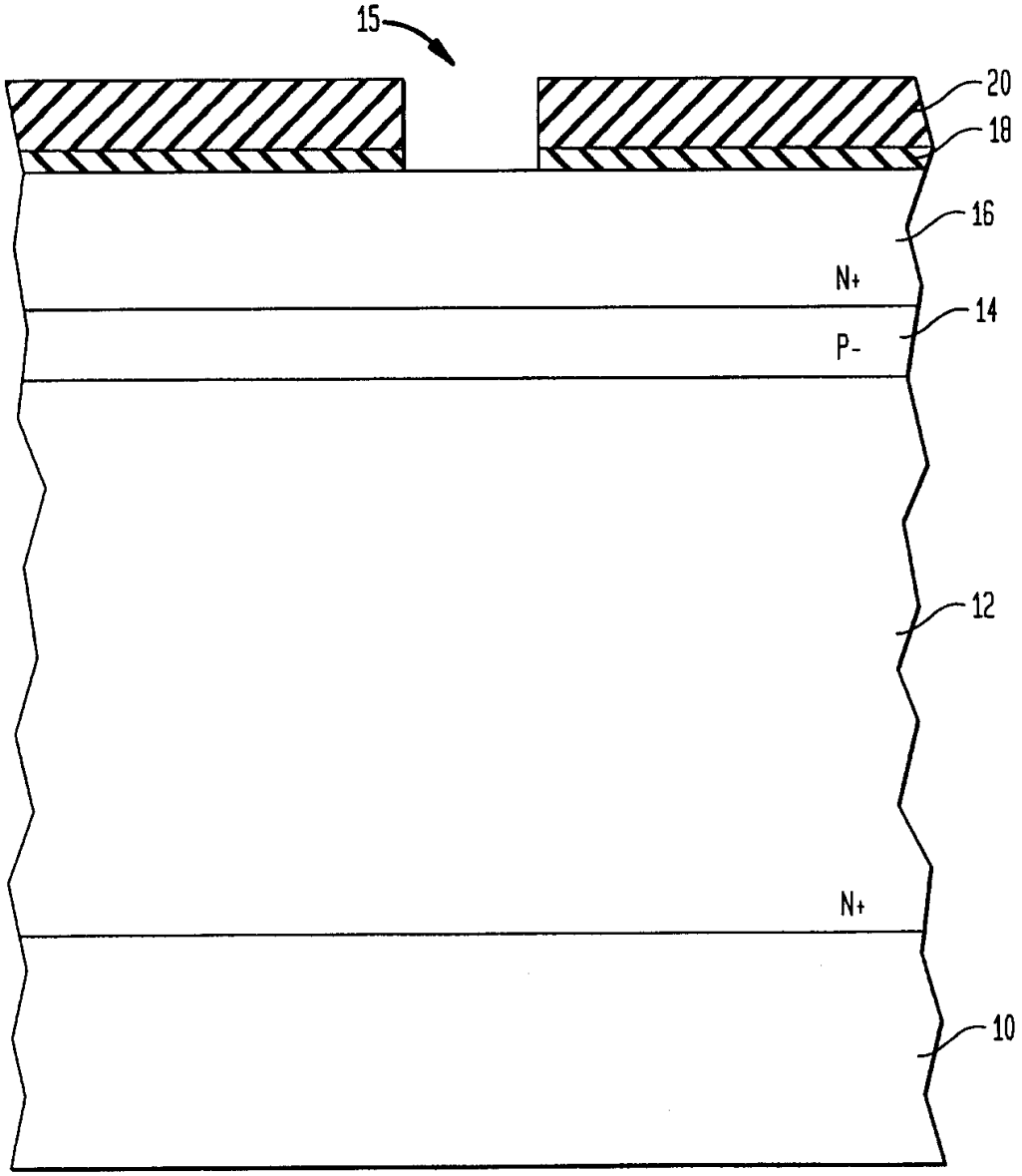


图 9

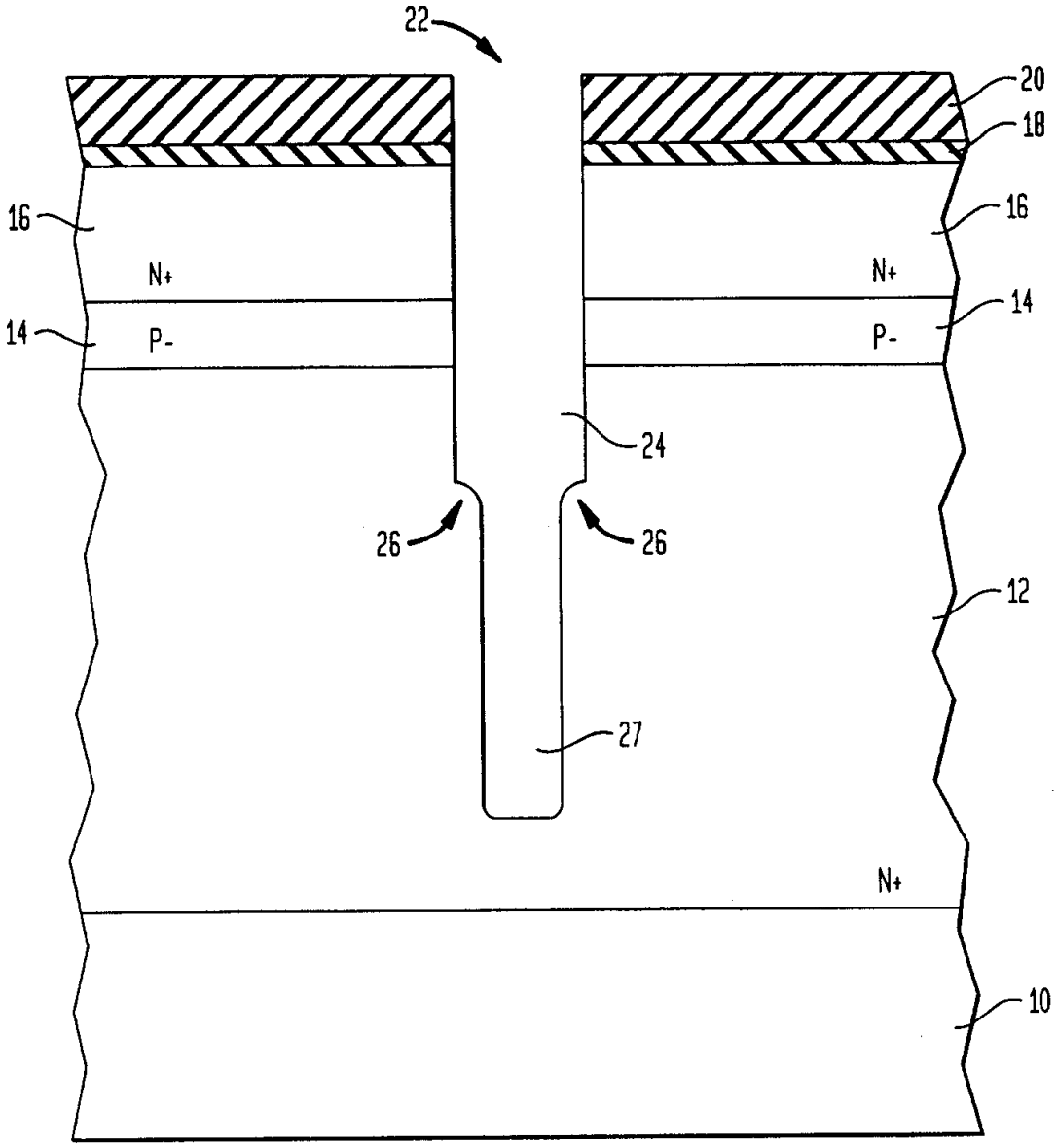


图 10A

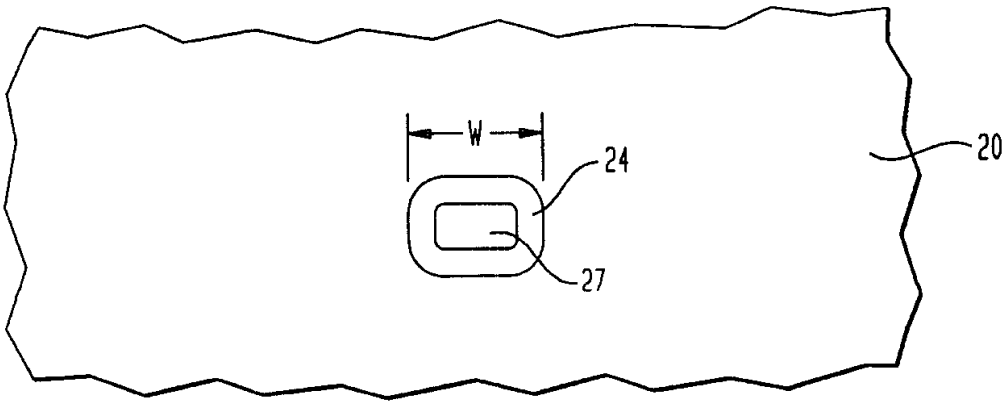


图 10B

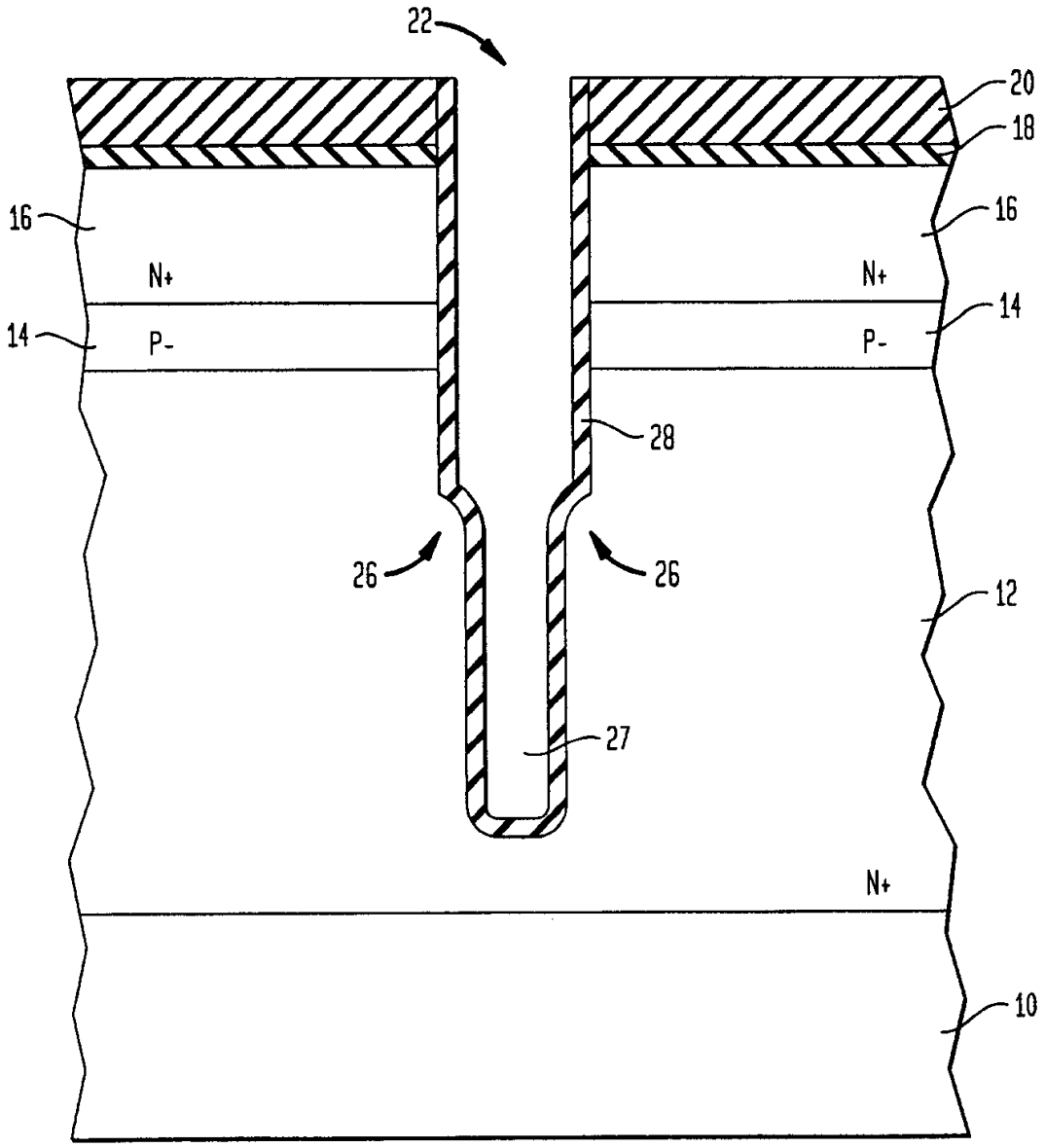


图 11

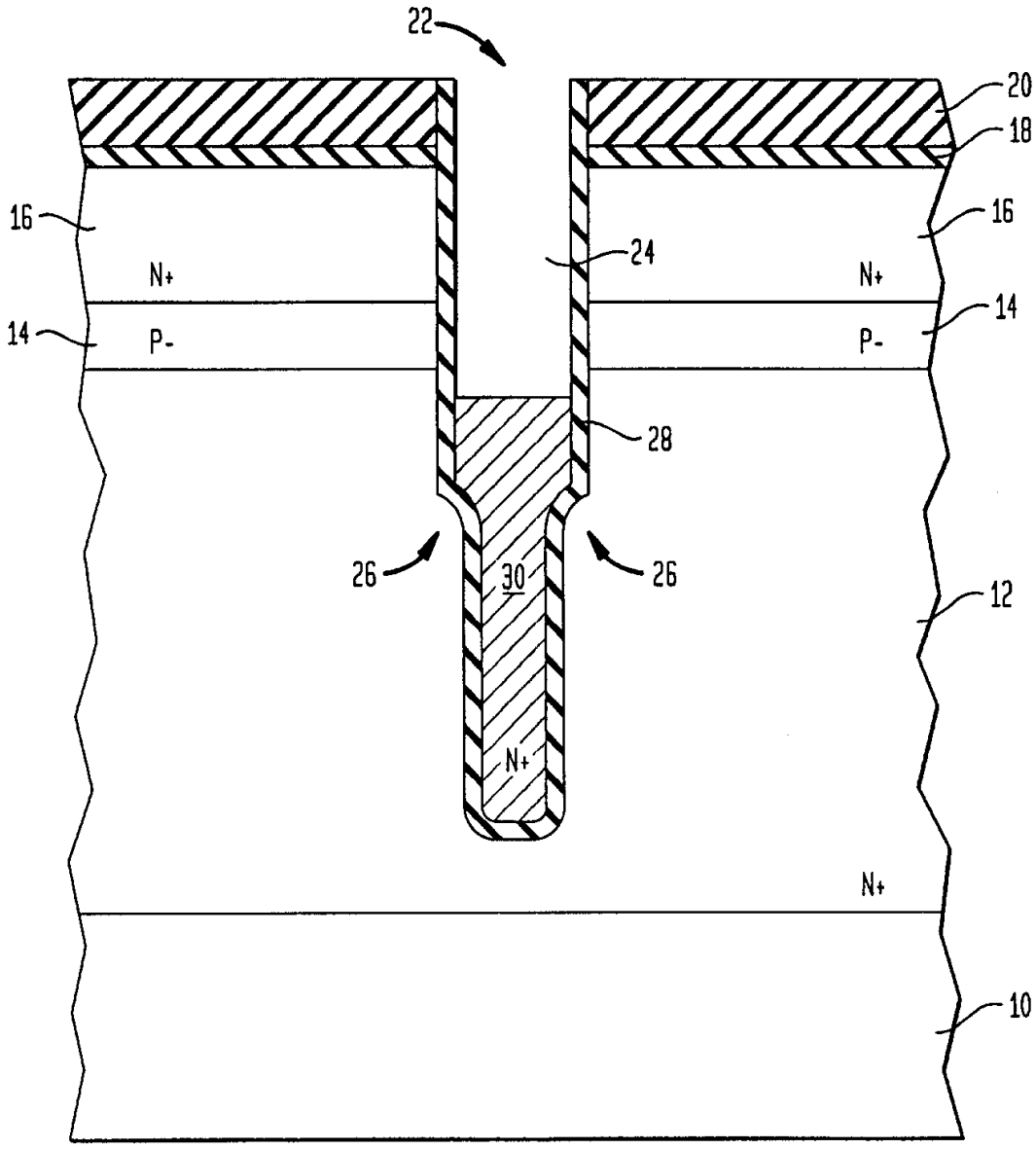


图 12

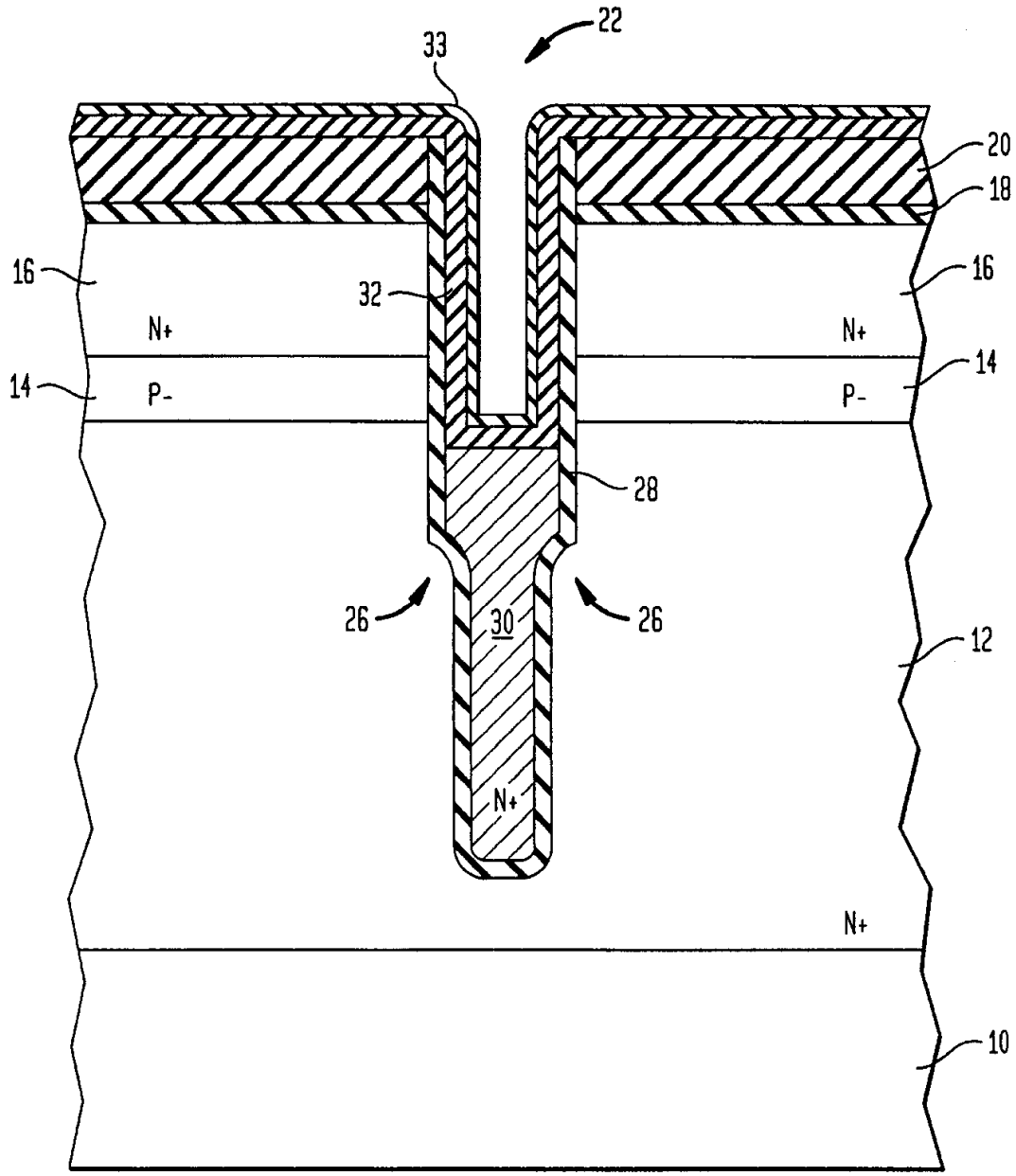


图 13A

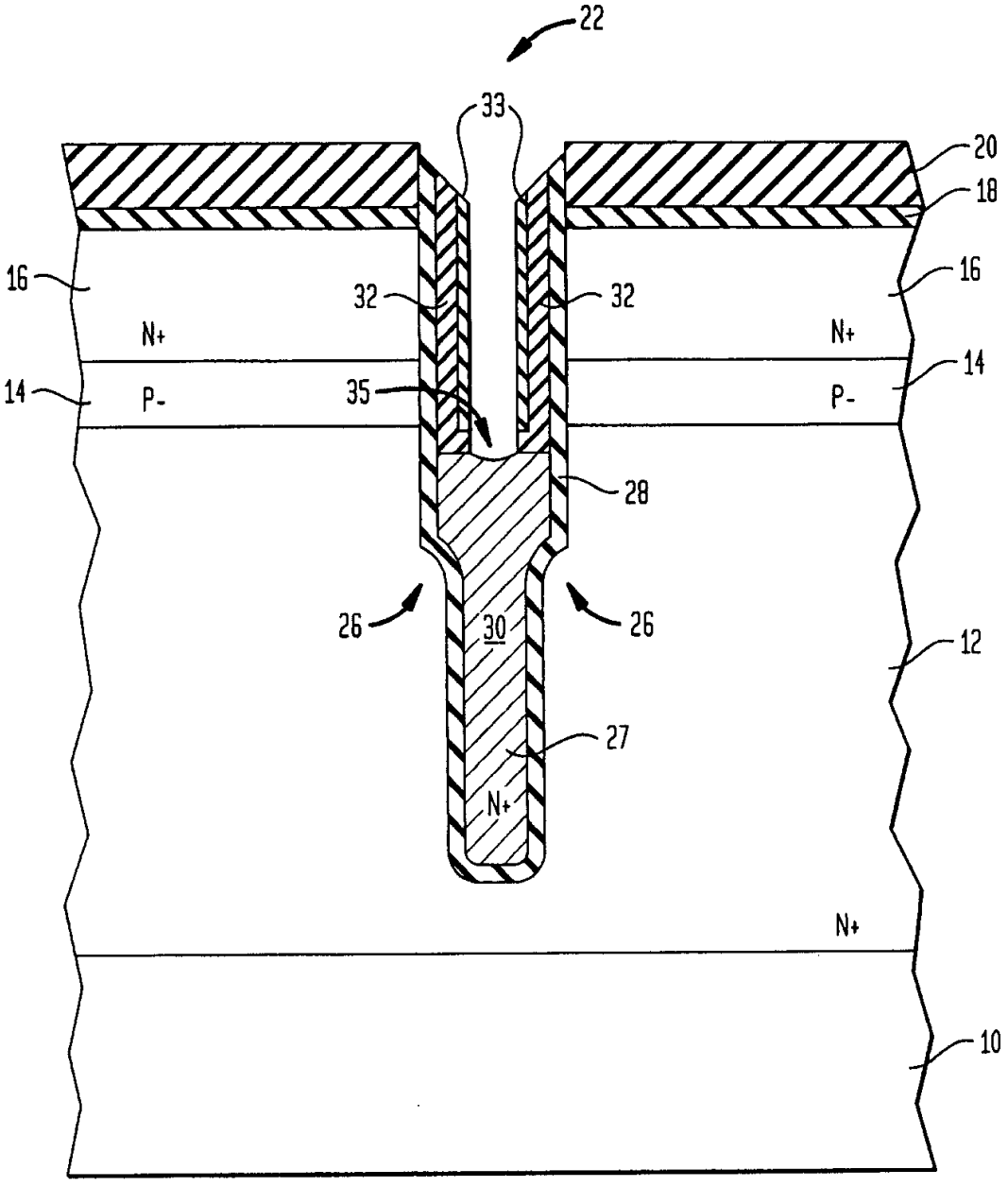


图 13B

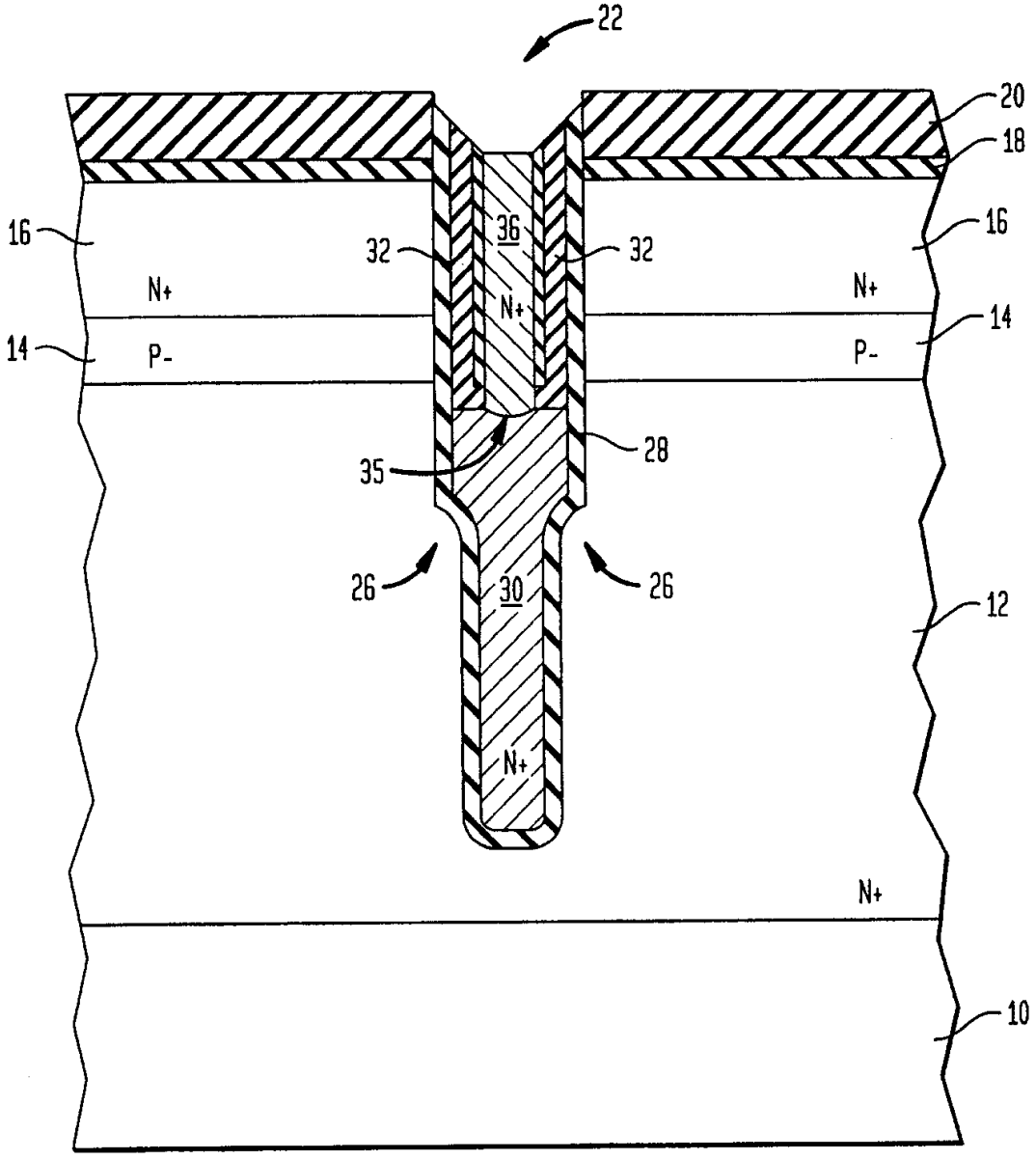


图 14

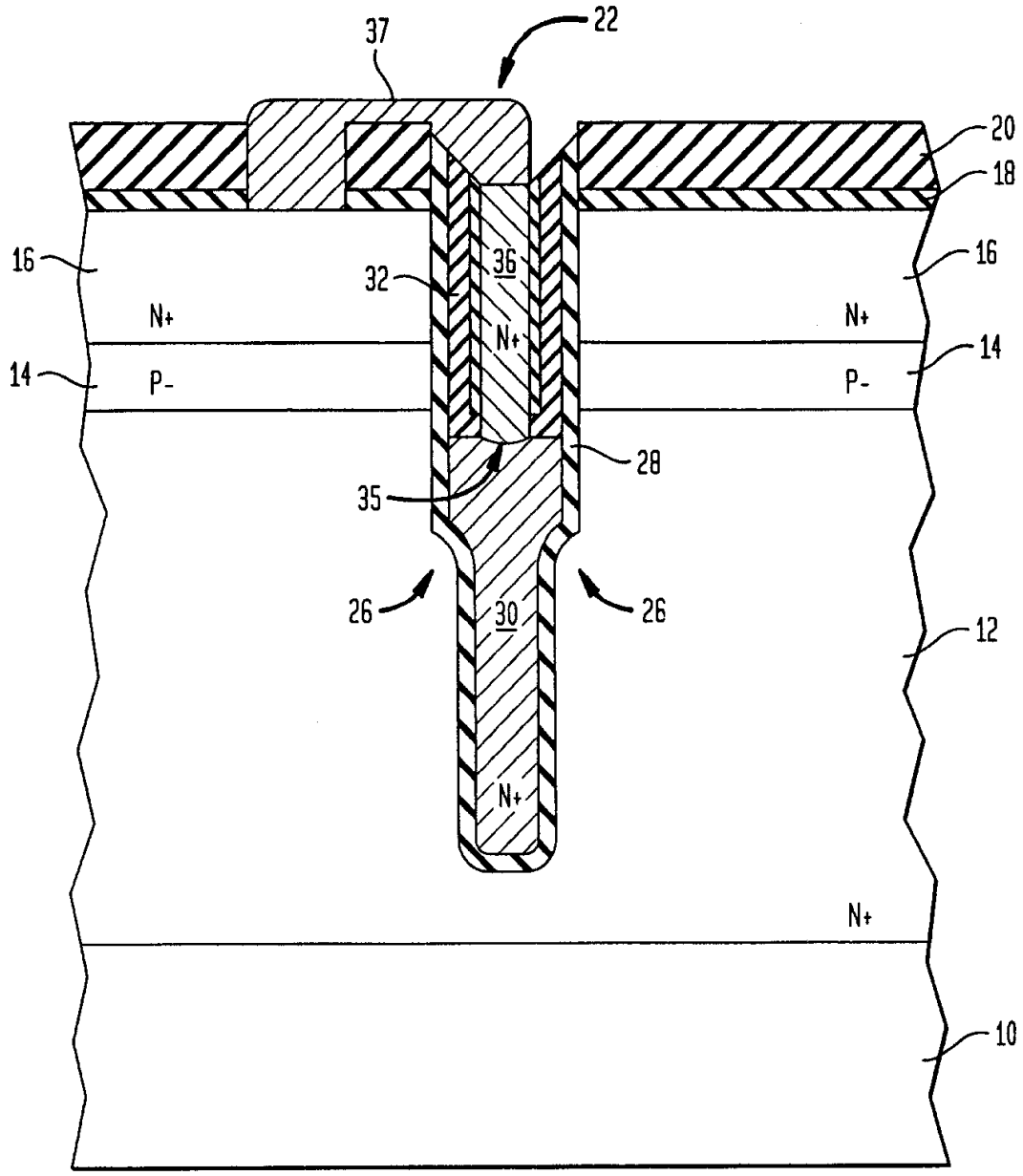


图 15