(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月3日(03.06.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/106941 A1

(51) 国際特許分類:
H02M 7/48 (2007.01)

(21) 国際出願番号： PCT/JP2020/043850

(22) 国際出願日： 2020年11月25日(25.11.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-212656 2019年11月25日(25.11.2019) JP

(71) 出願人: アイシン・エィ・ダブリュ株式会社 **(AISIN AW CO., LTD.)** [JP/JP]; 〒4441192 愛知県安城市藤井町高根１０番地 Aichi (JP).

(72) 発明者: 伊藤悦申 **(ITO Yoshinobu)**; 〒4441192 愛知県安城市藤井町高根１０番地 アイシン・エィ・ダブリュ株式会社内 Aichi (JP).

(74) 代理人: 特許業務法人Ｒ＆Ｃ **(R&C IP LAW FIRM)**; 〒5300005 大阪府大阪市北区中之島三丁目３番３号 Osaka (JP).

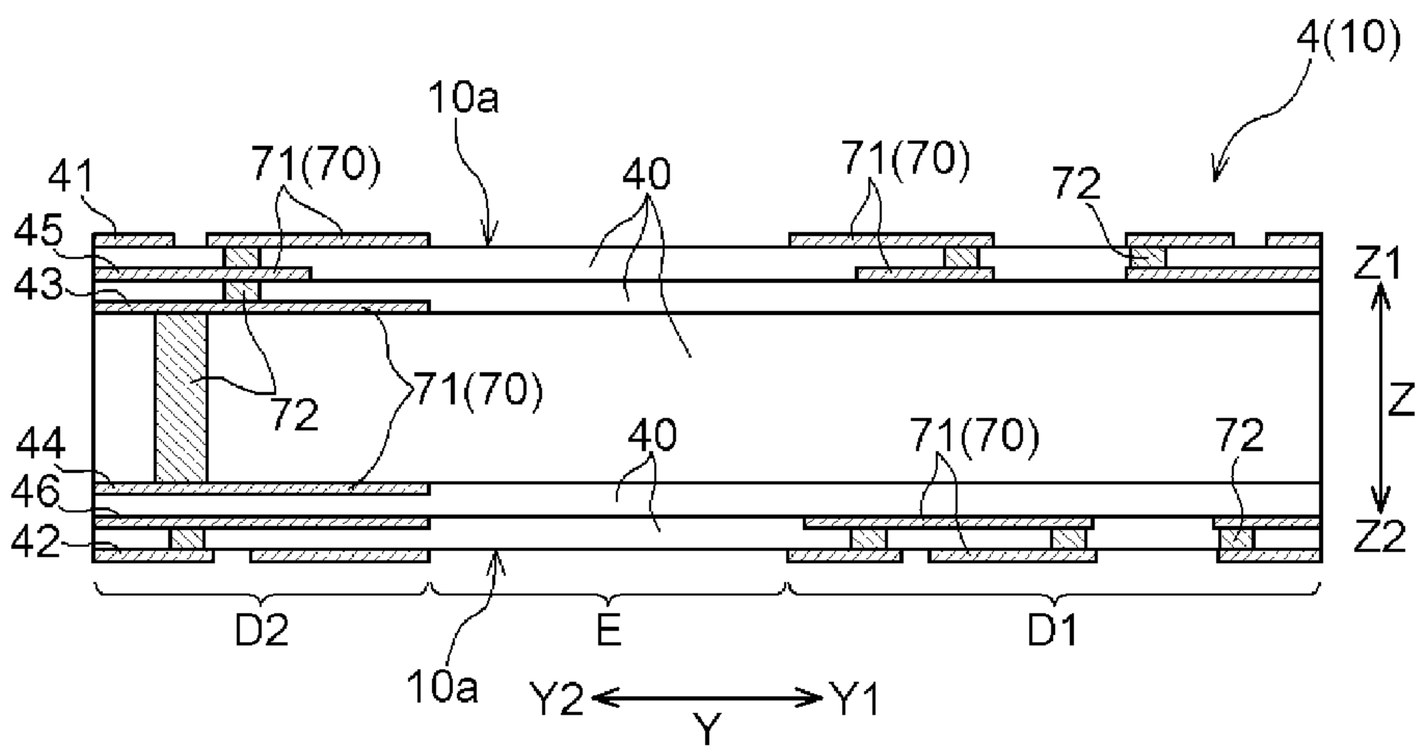
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: CONTROL SUBSTRATE

(54) 発明の名称： 制御基板

[図6]



(57) Abstract: In the present invention, a substrate part (10) comprises a multilayer structure (4) having an even number of layers, including: a first layer (41) formed in a front layer part (10a) on one side (Z1); and a second layer (42) formed in a front layer part (10a) on another side (Z2). The first layer (41) and the second layer (42) each have formed therein: a low-voltage region where a low-voltage circuit is arranged; a high-voltage region where a high-voltage circuit is arranged; and an insulation region (E) that electrically insulates the low-voltage region and the high-voltage region from each other. At least a portion of a first high-voltage circuit is arranged in a first layer high-voltage region formed in the first layer (41), and at least a portion of a second high voltage circuit is arranged in a second layer high-voltage region formed in the second layer (42).

[続葉有]

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(57) 要約：基板本体部（１０）は、一方側（Ｚ１）の表層部（１０ａ）に形成された第１層（４１）と他方側（Ｚ２）の表層部（１０ａ）に形成された第２層（４２）とを含む、偶数層の多層構造体（４）を備える。第１層（４１）及び第２層（４２）の双方に、低電圧回路が配置される低電圧領域と、高電圧回路が配置される高電圧領域と、低電圧領域と高電圧領域とを電気的に絶縁する絶縁領域（Ｅ）と、が形成されている。第１高電圧回路の少なくとも一部は、第１層（４１）に形成された第１層高電圧領域に配置され、第２高電圧回路の少なくとも一部は、第２層（４２）に形成された第２層高電圧領域に配置されている。

明　細　書

発明の名称 ： 制御基板

技術分野

[0001] 本発明は、インバータを制御対象とする制御基板に関する。

背景技術

[0002] インバータを制御対象とする制御基板の一例が、国際公開第２０１６／８８２１１号（特許文献１）に開示されている。以下、背景技術の説明において括弧内に示す符号は特許文献１のものである。特許文献１の制御基板としての基板（１１）には、制御回路（ＣＮＴ）と、制御回路（ＣＮＴ）からの制御信号を受けてスイッチング素子（Ｑ１～Ｑ６）を駆動する駆動回路（ＤＲ１～ＤＲ６）と、駆動回路（ＤＲ１～ＤＲ２）に給電する電源回路（Ｐ１～Ｐ６）と、が設けられている。基板（１１）上には、駆動回路（ＤＲ１～ＤＲ６）と電源回路（Ｐ１～Ｐ６）とが配置される強電系の駆動回路／電源回路配置配線領域（ＵＰ，ＵＮ，ＶＰ，ＶＮ，ＷＰ，ＷＮ）が、弱電系の制御回路（ＣＮＴ）との間に絶縁領域（ＡＲ１１～ＡＲ１６）を介在させてスイッチング素子（Ｑ１～Ｑ６）ごとに設けられている。

[0003] 特許文献１の段落００２７に記載されているように、特許文献１の基板（１１）は、３層の配線構造を備えている。そして、この基板（１１）では、特許文献１の段落００２７～００３１、図４Ａ～図４Ｄに記載されているように、駆動回路／電源回路配置配線領域（ＵＰ，ＵＮ，ＶＰ，ＶＮ，ＷＰ，ＷＮ）ごとに、３層全ての配線層が用いられている。この結果、特許文献１の図２に示されているように、複数の駆動回路／電源回路配置配線領域（ＵＰ，ＵＮ，ＶＰ，ＶＮ，ＷＰ，ＷＮ）は、平面視で互いに異なる領域に分かれて配置されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第２０１６／８８２１１号

発明の概要

発明が解決しようとする課題

[0005] 上記のように、特許文献１の制御基板では、スイッチング素子に接続される高電圧回路を配置するための高電圧領域（特許文献１での駆動回路／電源回路配置配線領域）が、スイッチング素子ごとに設けられ、高電圧領域ごとに全ての層の配線層が用いられている。よって、各層の配線層における平面視で１つの高電圧領域と重なる領域には、当該高電圧領域に配置される高電圧回路以外の回路や素子を配置することが難しかった。このように、特許文献１の制御基板では、部品や配線の配置自由度が低くなりやすく、制御基板が平面視で大型化しやすかった。

[0006] そこで、部品や配線の配置自由度を高く確保して、制御基板の平面視での小型化を図ることが可能な技術の実現が望まれる。

課題を解決するための手段

[0007] 本開示に係る制御基板は、第１スイッチング素子及び第２スイッチング素子を備えたインバータを制御対象とする制御基板であって、前記インバータを駆動制御するための駆動制御回路が形成された板状の基板本体部を備え、前記駆動制御回路は、低電圧回路と、前記低電圧回路に比べて動作電圧が高い高電圧回路であって前記第１スイッチング素子に接続される第１高電圧回路と、前記高電圧回路であって前記第２スイッチング素子に接続される第２高電圧回路と、前記第１スイッチング素子の駆動電圧を前記低電圧回路から前記第１高電圧回路に供給する第１トランスと、前記第２スイッチング素子の駆動電圧を前記低電圧回路から前記第２高電圧回路に供給する第２トランスと、を備え、前記基板本体部は、当該基板本体部の厚さ方向の一方側の表層部に形成された第１層と、前記厚さ方向の他方側の表層部に形成された第２層とを含む、偶数層の多層構造体を備え、前記第１層及び前記第２層の双方に、前記低電圧回路が配置される低電圧領域と、前記高電圧回路が配置される高電圧領域と、前記低電圧領域と前記高電圧領域とを電気的に絶縁する絶縁領域と、が形成され、前記第１高電圧回路の少なくとも一部は、前記第

１層に形成された前記高電圧領域である第１層高電圧領域に配置され、前記第２高電圧回路の少なくとも一部は、前記第２層に形成された前記高電圧領域である第２層高電圧領域に配置されている。

[0008] この構成によれば、第１高電圧回路の少なくとも一部と第２高電圧回路の少なくとも一部とを、基板本体部における互いに反対側の表層部に形成される第１層高電圧領域と第２層高電圧領域とに分けて配置することができるため、第１高電圧回路を構成する部品や配線と第２高電圧回路を構成する部品や配線とを、平面視で近づけて配置することや平面視で重なるように配置することが容易となる。この結果、部品や配線の配置自由度を高く確保して、制御基板の平面視での小型化を図ることが可能となっている。

[0009] 制御基板の更なる特徴と利点は、図面を参照して説明する実施形態についての以下の記載から明確となる。

図面の簡単な説明

[0010] [図1]制御基板の制御対象となるインバータの構成例を示す図

[図2]電源回路の構成例を示す図

[図3]実施形態に係る制御基板の平面図

[図4]実施形態に係る制御基板の透視平面図

[図5]実施形態に係る制御基板の透視平面図

[図6]実施形態に係る基板本体部を模式的に示す断面図

[図7]実施形態に係る制御基板とスイッチング素子との接続形態を示す模式図

発明を実施するための形態

[0011] 制御基板の実施形態について、図面を参照して説明する。制御基板１は、第１スイッチング素子３１及び第２スイッチング素子３２を備えたインバータ１００を制御対象とする基板である。インバータ１００は、直流と交流との間で電力を変換して交流機１６に交流電力を供給する。制御基板１は、インバータ１００を介して交流機１６を制御する。交流機１６は、交流電力の供給を受けて動作する機器である。図１に示すように、本実施形態では、交流機１６は回転電機である。具体的には、交流機１６は、Ｕ相、Ｖ相、及び

W相からなる３相（複数相の一例）の交流電力で駆動される回転電機であり、インバータ１００は、３相の交流電力を交流機１６（ここでは、ステータコイル１６ａ）に供給する。交流機１６は、例えば、車両の車輪を駆動するための回転電機とされ、或いは、車両に設けられた補機を駆動するための回転電機とされる。補機は、車両に搭載される機器（付属機器、車載機器）であり、例えば、電動オイルポンプや、エアコンディショナ用のコンプレッサ等とされる。本明細書では、「回転電機」は、モータ（電動機）、ジェネレータ（発電機）、及び必要に応じてモータ及びジェネレータの双方の機能を果たすモータ・ジェネレータのいずれをも含む概念として用いている。

[0012] 図１に示すように、インバータ１００は、第１直流電源１１に接続されると共に交流機１６に接続されている。第１直流電源１１は、インバータ１００の直流側に直流電力を供給する。第１直流電源１１の電源電圧は、例えば２００～４００［Ｖ］とされる。交流機１６がモータとして機能する場合には、インバータ１００は、第１直流電源１１から供給される直流電力を交流電力に変換して交流機１６に供給する。また、交流機１６がジェネレータとして機能する場合には、インバータ１００は、交流機１６から供給される交流電力を直流電力に変換して第１直流電源１１に供給する。第１直流電源１１とインバータ１００との間には、インバータ１００の直流側の電圧（直流リンク電圧Ｖｄｃ）を平滑化する平滑コンデンサ１３が設けられている。第１直流電源１１とインバータ１００との間に昇圧回路が設けられ、第１直流電源１１の電圧が昇圧されてインバータ１００の直流側に供給される構成とすることもできる。

[0013] インバータ１００は、第１スイッチング素子３１と第２スイッチング素子３２とが直列接続されたアーム３３を複数備えている。すなわち、インバータ１００は、複数の第１スイッチング素子３１と複数の第２スイッチング素子３２とを備えている。図７に示すように、本実施形態では、インバータ１００が備える第１スイッチング素子３１及び第２スイッチング素子３２は、ＩＰＭ（Intelligent Power Module）等の半導体装置６０に設けられている

。図１に示すように、本実施形態では、第１スイッチング素子３１は、直流の負極側（ここでは、第１直流電源１１の負極側）に接続されるスイッチング素子３（下段側スイッチング素子）であり、第２スイッチング素子３２は、直流の正極側（ここでは、第１直流電源１１の正極側）に接続されるスイッチング素子３（上段側スイッチング素子）である。このような構成とは異なり、第１スイッチング素子３１が上段側スイッチング素子であり、第２スイッチング素子３２が下段側スイッチング素子である構成とすることもできる。

[0014] インバータ１００が備えるスイッチング素子３は、後述するスイッチング制御信号ＳＷにより個別にスイッチング制御される。スイッチング素子３として、ＩＧＢＴ（Insulated Gate Bipolar Transistor）、パワーＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）、ＳｉＣ－ＭＯＳＦＥＴ（Silicon Carbide - Metal Oxide Semiconductor FET）、ＳｉＣ－ＳＩＴ（SiC - Static Induction Transistor）、ＧａＮ－ＭＯＳＦＥＴ（Gallium Nitride - MOSFET）等のパワー半導体素子を用いると好適である。図１には、スイッチング素子３としてＩＧＢＴを用いる場合を例示している。スイッチング素子３は、例えば、矩形平板状のチップ型素子とされる。図示は省略するが、スイッチング素子３のそれぞれにはフリーホイールダイオードが並列接続されている。フリーホイールダイオードは、例えば、スイッチング素子３を構成するチップ型素子に内蔵される。

[0015] インバータ１００は、交流機１６に供給する交流電力の相数に対応する数のアーム３３を備えている。本実施形態では、インバータ１００は、交流機１６に供給する交流電力の相数に等しい数のアーム３３を備えており、具体的には、Ｕ相アーム３３Ｕ、Ｖ相アーム３３Ｖ、及びW相アーム３３Wの、３つのアーム３３を備えている。複数のアーム３３は、互いに並列接続されてブリッジ回路を構成している。各アーム３３の中間点（第１スイッチング素子３１と第２スイッチング素子３２との接続点）は、交流機１６の交流端子（ここでは、対応する相のステータコイル１６ａ）に接続されている。

[0016] 第１スイッチング素子３１及び第２スイッチング素子３２の制御信号（スイッチング制御信号ＳＷ）は、制御回路６により生成される。制御回路６は、第１スイッチング素子３１をスイッチング制御する第１スイッチング制御信号ＳＷ１、及び、第２スイッチング素子３２をスイッチング制御する第２スイッチング制御信号ＳＷ２を生成する。すなわち、制御回路６は、スイッチング制御信号ＳＷとして、第１スイッチング制御信号ＳＷ１及び第２スイッチング制御信号ＳＷ２を生成する。制御回路６は、マイクロコンピュータ等の論理回路を中核として構成される。制御回路６の各機能は、例えば、マイクロコンピュータ等のハードウェアとソフトウェア（プログラム）との協働により実現される。

[0017] 制御回路６は、スイッチング制御信号ＳＷを生成することで、インバータ１００を制御する。制御回路６は、例えば、他の制御装置（例えば、車両の全体を統合して制御する車両制御装置）からの指令に基づき、インバータ１００を制御する。制御回路６は、例えばベクトル制御法を用いた電流フィードバック制御を行って、他の制御装置から指令されたトルクを交流機１６が出力するようにインバータ１００を制御する。図１に示す例では、交流機１６の各相のステータコイル１６ａを流れる電流は電流センサ１４により検出され、交流機１６のロータの磁極位置は回転センサ１５により検出される。制御回路６は、これらの電流センサ１４及び回転センサ１５の検出結果を用いて、インバータ１００を制御する。

[0018] 制御回路６の動作電圧（例えば、５［Ｖ］，３．３［Ｖ］，２．５［Ｖ］等）は、第２直流電源１２から供給される直流電力に基づき生成される。第２直流電源１２は、第１直流電源１１よりも電源電圧の低い直流電源である。第２直流電源１２の電源電圧は、例えば１２～２４［Ｖ］とされる。第１直流電源１１と第２直流電源１２とは、互いに絶縁されており、互いにフローティングの関係にある。すなわち、第１直流電源１１のグランドである第１グランドＧ１と、第２直流電源１２のグランドである第２グランドＧ２とは、電気的にフローティングの関係にある。図示は省略するが、制御回路６

に電力（動作電力）を供給する電源回路は、例えば、第２直流電源１２に接続される電源入力回路と、第２直流電源１２から電源入力回路に入力される電圧を調整する電圧調整回路と、を備える。電源入力回路は、例えば、ノイズフィルタ、平滑コンデンサ、及びレギュレータ回路を用いて構成され、電圧調整回路は、例えば、レギュレータ素子を用いて構成される。

[0019] 制御回路６が生成したスイッチング制御信号ＳＷは、駆動回路２を介して、制御対象となるスイッチング素子３の制御端子（図１に示す例では、ＩＧＢＴのゲート端子）に入力される。すなわち、駆動回路２は、スイッチング制御信号ＳＷに基づきスイッチング素子３を駆動する。図１に示す例では、駆動回路２は、スイッチング素子３（ＩＧＢＴ）のゲート端子とエミッタ端子との２端子間の電位差を制御することで、スイッチング素子３を駆動する。図１に示すように、駆動回路２は、複数のスイッチング素子３のそれぞれに対応して設けられている。すなわち、複数の駆動回路２は、複数のスイッチング素子３のうちの対応するスイッチング素子３をそれぞれ駆動する。複数の駆動回路２には、第１スイッチング素子３１を駆動する第１駆動回路２１と、第２スイッチング素子３２を駆動する第２駆動回路２２とが含まれる。第１駆動回路２１は、第１スイッチング制御信号ＳＷ１に基づき第１スイッチング素子３１を駆動する。また、第２駆動回路２２は、第２スイッチング制御信号ＳＷ２に基づき第２スイッチング素子３２を駆動する。

[0020] 駆動回路２は、制御回路６が生成したスイッチング制御信号ＳＷの駆動能力（例えば電圧振幅又は出力電流等、後段の回路を動作させる能力）を高めて、スイッチング素子３の制御端子に供給する。駆動回路２は、例えば、２つのトランジスタが直列接続されたプッシュプル回路を用いて構成される。駆動回路２は、スイッチング制御信号ＳＷを生成する制御回路６よりも動作電圧が高い回路である。そのため、制御基板１は、フォトカプラ又は磁気カプラ等の絶縁素子（信号伝達用の絶縁素子）を備えており、この絶縁素子は、制御回路６が生成したスイッチング制御信号ＳＷを、駆動回路２に絶縁状態（電気的に絶縁された状態）で伝達する。本実施形態では、駆動回路２が

形成された素子として、駆動回路２と上記絶縁素子とが１つのパッケージに内蔵された素子を用いている。

[0021] 駆動回路２のそれぞれには、電源回路７から電力（動作電力）が供給される。図２に電源回路７の一例を示すように、電源回路７は、トランス８を用いて駆動回路２に電力を供給する。具体的には、電源回路７は、第１トランス８１を用いて第１駆動回路２１に電力を供給すると共に、第２トランス８２を用いて第２駆動回路２２に電力を供給する。電源回路７は、第１駆動回路２１に供給する下段用駆動電圧ＶＬと、第２駆動回路２２に供給する上段用駆動電圧ＶＨとを出力する。上段用駆動電圧ＶＨ及び下段用駆動電圧ＶＬのそれぞれの電位差は、例えば１５～２０［Ｖ］とされる。本実施形態では、トランス８は、駆動回路２よりも重い部品とされている。また、本実施形態では、トランス８は、駆動回路２よりも大型の部品とされている。

[0022] 本実施形態では、電源回路７は、Ｕ相上段用駆動電圧ＶＨＵ、Ｖ相上段用駆動電圧ＶＨＶ、及びW相上段用駆動電圧ＶＨWの３つの上段用駆動電圧ＶＨを出力し、Ｕ相下段用駆動電圧ＶＬＵ、Ｖ相下段用駆動電圧ＶＬＶ、及びW相下段用駆動電圧ＶＬWの３つの下段用駆動電圧ＶＬを出力する。３つの上段用駆動電圧ＶＨは、それぞれ電気的に絶縁されたフローティング電源であり、それぞれ異なる正極側電位及び負極側電位を有する。一方、３つの下段用駆動電圧ＶＬは、共通の負極側電位（具体的には、第１グランドＧ１の電位）を有し、互いに絶縁されていないが、それぞれ異なる正極側電位を有する。

[0023] Ｕ相下段用駆動電圧ＶＬＵは、Ｕ相アーム３３Ｕが備える第１スイッチング素子３１（Ｕ相の第１スイッチング素子３１）を駆動する第１駆動回路２１に供給され、Ｕ相上段用駆動電圧ＶＨＵは、Ｕ相アーム３３Ｕが備える第２スイッチング素子３２（Ｕ相の第２スイッチング素子３２）を駆動する第２駆動回路２２に供給される。Ｖ相下段用駆動電圧ＶＬＶは、Ｖ相アーム３３Ｖが備える第１スイッチング素子３１（Ｖ相の第１スイッチング素子３１）を駆動する第１駆動回路２１に供給され、Ｖ相上段用駆動電圧ＶＨＶは、

Ｖ相アーム３３Ｖが備える第２スイッチング素子３２（Ｖ相の第２スイッチング素子３２）を駆動する第２駆動回路２２に供給される。W相下段用駆動電圧ＶＬＷは、W相アーム３３Wが備える第１スイッチング素子３１（W相の第１スイッチング素子３１）を駆動する第１駆動回路２１に供給され、W相上段用駆動電圧ＶＨＷは、W相アーム３３Wが備える第２スイッチング素子３２（W相の第２スイッチング素子３２）を駆動する第２駆動回路２２に供給される。

[0024] 電源回路７は、トランス８を制御する電源制御回路９０を備えている。図２に示すように、電源制御回路９０は、トランス８の１次巻線Ｌ１（具体的には、第１トランス８１の１次巻線Ｌ１及び第２トランス８２の１次巻線Ｌ１）に接続されて１次巻線Ｌ１への電力の供給を制御する駆動用スイッチング素子９と、駆動用スイッチング素子９をスイッチング制御する制御部９５と、を備えている。図２に示す例では、電源回路７は、プッシュプル方式のスイッチング電源回路であり、１次巻線Ｌ１には、第１駆動用スイッチング素子９１及び第２駆動用スイッチング素子９２の２つの駆動用スイッチング素子９が接続されている。第１駆動用スイッチング素子９１及び第２駆動用スイッチング素子９２は、制御部９５によって相補的にスイッチング制御される。

[0025] 図２には、６つのトランス８（３つの第１トランス８１及び３つの第２トランス８２）に対して共通の駆動用スイッチング素子９（ここでは、第１駆動用スイッチング素子９１及び第２駆動用スイッチング素子９２の組）が設けられる構成を例示しているが、トランス８が複数のグループ（例えば、２つのトランス８からなるグループ）に分けられ、複数のグループに対して駆動用スイッチング素子９（例えば、第１駆動用スイッチング素子９１及び第２駆動用スイッチング素子９２の組）が各別に設けられる構成としてもよい。また、ここでは、一例として、電源回路７を、プッシュプル方式のスイッチング電源回路としているが、電源回路７は、ハーフブリッジ方式、フルブリッジ方式、シングルフォワード方式、フライバック方式等の、プッシュプ

ル方式以外の方式のスイッチング電源回路であってもよい。

[0026] 第１トランス８１の１次巻線Ｌ１及び第２トランス８２の１次巻線Ｌ１に入力される入力電圧Ｖ１（１次側電圧）は、第２直流電源１２の電源電圧から電源回路（電圧レギュレータ等）によって生成される。そのため、入力電圧Ｖ１は安定しており、この電源回路７では、フィードバック制御を行うことなく、第１トランス８１の変圧比によって第１トランス８１の２次巻線Ｌ２から出力される出力電圧（２次側電圧）が決定され、第２トランス８２の変圧比によって第２トランス８２の２次巻線Ｌ２から出力される出力電圧（２次側電圧）が決定される。第１トランス８１の２次側電圧（下段用駆動電圧ＶＬ）は、第１駆動回路２１に供給され、第２トランス８２の２次側電圧（上段用駆動電圧ＶＨ）は、第２駆動回路２２に供給される。図２に示す例では、２次巻線Ｌ２に生じる交流電圧が、整流用のダイオード９４と平滑用のコンデンサ９３とを備えた整流回路９６によって直流電圧に変換されることで、２次側電圧が生成される。

[0027] 次に、制御基板１の構成について説明する。図３、図６、及び図７に示すように、制御基板１は、板状の基板本体部１０を備えている。基板本体部１０には、インバータ１００を駆動制御するための駆動制御回路５が形成されている。駆動制御回路５は、低電圧回路５３と、低電圧回路５３に比べて動作電圧が高い高電圧回路５０と、を備えている。低電圧回路５３と高電圧回路５０とは、互いに絶縁されている。高電圧回路５０には、第１スイッチング素子３１に接続される第１高電圧回路５１と、第２スイッチング素子３２に接続される第２高電圧回路５２とが含まれている。すなわち、駆動制御回路５は、高電圧回路５０であって第１スイッチング素子３１に接続される第１高電圧回路５１と、高電圧回路５０であって第２スイッチング素子３２に接続される第２高電圧回路５２と、を備えている。駆動制御回路５は、更に、第１スイッチング素子３１の駆動電圧を低電圧回路５３から第１高電圧回路５１に供給する第１トランス８１と、第２スイッチング素子３２の駆動電圧を低電圧回路５３から第２高電圧回路５２に供給する第２トランス８２と

、を備えている。すなわち、第１スイッチング素子３１の駆動電圧は、第１トランス８１を介して低電圧回路５３から第１高電圧回路５１に供給され、第２スイッチング素子３２の駆動電圧は、第２トランス８２を介して低電圧回路５３から第２高電圧回路５２に供給される。

[0028] 図３に示すように、本実施形態では、基板本体部１０は、当該基板本体部１０の厚さ方向Ｚに沿う平面視で４つの辺部を備える矩形状（正方形状や、角部が面取りされた矩形状を含む）に形成されている。４つの辺部には、互いに平行な２つの第１辺部と、互いに平行な２つの第２辺部（ここでは、第１辺部よりも短い辺部）とが含まれており、２つの第１辺部に沿う方向を第１方向Ｘとし、２つの第２辺部に沿う方向を第２方向Ｙとする。また、厚さ方向Ｚの一方側を第１側Ｚ１とし、厚さ方向Ｚの他方側を第２側Ｚ２とし、第１方向Ｘの一方側を第３側Ｘ１とし、第１方向Ｘの他方側を第４側Ｘ２とし、第２方向Ｙの一方側を第５側Ｙ１とし、第２方向Ｙの他方側を第６側Ｙ２とする。第１方向Ｘ及び第２方向Ｙは、いずれも基板本体部１０の板面に沿う方向（すなわち、厚さ方向Ｚに直交する方向）である。また、第１方向Ｘ及び第２方向Ｙは、互いに直交する方向である。

[0029] 図６に示すように、基板本体部１０は、第１層４１と第２層４２とを含む、偶数層の多層構造体４を備えている。本実施形態では、多層構造体４は、更に、第３層４３と第４層４４とを含んでいる。すなわち、基板本体部１０は、偶数層の多層基板（多層プリント基板）である。ここで、「偶数層」とは、積層される配線層（導体層）の数が偶数であることを意味する。すなわち、偶数層の多層構造体４は、偶数層の配線構造を備えている。配線層は、導体箔７０（銅箔等）を用いた配線パターン７１が形成される層であり、多層構造体４が備える偶数個の配線層は、絶縁層４０を介して厚さ方向Ｚに積層されている。第１層４１、第２層４２、第３層４３、及び第４層４４のそれぞれは、配線層である。本実施形態では、基板本体部１０は、６層の多層構造体４を備えており、多層構造体４は、第５層４５と第６層４６とを更に備えている。第５層４５及び第６層４６のそれぞれは、配線層である。絶縁

層４０は、例えば、プリプレグを用いて形成される。

[0030] 図６に示すように、第１層４１は、基板本体部１０における第１側Ｚ１の表層部１０ａに形成され、第２層４２は、基板本体部１０における第２側Ｚ２の表層部１０ａに形成されている。第３層４３及び第４層４４は、基板本体部１０における厚さ方向Ｚの中央部に最も近い２つの層である。第３層４３は、第１層４１と第４層４４との間に配置されている。そして、第５層４５は、第１層４１と第３層４３との間に配置され、第６層４６は、第２層４２と第４層４４との間に配置されている。すなわち、第１層４１、第５層４５、第３層４３、第４層４４、第６層４６、及び第２層４２が、第１側Ｚ１から記載の順に積層されている。本実施形態では、第１側Ｚ１が「厚さ方向の一方側」に相当し、第２側Ｚ２が「厚さ方向の他方側」に相当する。

[0031] 多層構造体４には、異なる配線層同士（例えば、厚さ方向Ｚに隣接する配線層同士）を電気的に接続するためのビア７２（例えば、フィルドビア）が、形成されている。ビア７２は、絶縁層４０を貫通するように形成され、ビア７２の内部には導体（銅等）が設けられている。このような多層構造体４は、例えば、ビルドアップ工法を用いて形成される。図６では省略しているが、第１層４１に対して第１側Ｚ１にはレジスト（永久レジスト、ソルダーレジスト）が積層されており、第１層４１を露出させるように当該レジストに開口部を形成することで、駆動回路２やトランス８等の部品を第１層４１に実装するためのパッドが形成されている。また、第２層４２に対して第２側Ｚ２にはレジストが積層されており、第２層４２を露出させるように当該レジストに開口部を形成することで、部品を第２層４２に実装するためのパッドが形成されている。

[0032] 図３及び図４に示すように、第１層４１及び第２層４２の双方に、低電圧回路５３が配置される低電圧領域Ａと、高電圧回路５０が配置される高電圧領域Ｂと、低電圧領域Ａと高電圧領域Ｂとを電気的に絶縁する絶縁領域Ｅと、が形成されている。ここで、第１層４１に形成された低電圧領域Ａを第１層低電圧領域Ａ１とし、第２層４２に形成された低電圧領域Ａを第２層低電

圧領域Ａ２とし、第１層４１に形成された高電圧領域Ｂを第１層高電圧領域Ｂ１とし、第２層４２に形成された高電圧領域Ｂを第２層高電圧領域Ｂ２とする。低電圧領域Ａには、第２グランドＧ２を基準電位とする回路領域が含まれ、高電圧領域Ｂには、第１グランドＧ１を基準電位とする回路領域が含まれている。第１駆動回路２１、第２駆動回路２２、第１トランス８１、及び第２トランス８２は、絶縁領域Ｅを跨いで低電圧領域Ａと高電圧領域Ｂとを接続するように配置されている。

[0033] 図３は、基板本体部１０を第１側Ｚ１から見た平面図であり、図４は、基板本体部１０を第１側Ｚ１から見た透視平面図である。図３では、基板本体部１０に対して第１側Ｚ１に配置される部品（すなわち、第１層４１に実装される部品）の一部（具体的には、第１駆動回路２１、第１トランス８１、第２トランス８２、及び後述する第１接続部５１ａ）を示すと共に、第１層低電圧領域Ａ１、第１層高電圧領域Ｂ１、第１層低電圧領域Ａ１に配置される低電圧回路５３、及び、第１層高電圧領域Ｂ１に配置される高電圧回路５０を、簡略化して模式的に示している。また、図４では、基板本体部１０に対して第２側Ｚ２に配置される部品（すなわち、第２層４２に実装される部品）の一部（具体的には、第２駆動回路２２、後述する信号伝達素子２３、及び後述する第２接続部５２ａ）を示すと共に、第２層低電圧領域Ａ２、第２層高電圧領域Ｂ２、第２層低電圧領域Ａ２に配置される低電圧回路５３、及び、第２層高電圧領域Ｂ２に配置される高電圧回路５０を、簡略化して模式的に示している。

[0034] 第１高電圧回路５１と第２高電圧回路５２とのそれぞれは、絶縁領域Ｅを跨ぐように配置されて低電圧領域Ａと高電圧領域Ｂとの間で電力を伝達するトランス８を備えている。具体的には、第１高電圧回路５１は、絶縁領域Ｅを跨ぐように配置されて低電圧領域Ａと高電圧領域Ｂとの間で電力を伝達する第１トランス８１を備え、第２高電圧回路５２は、絶縁領域Ｅを跨ぐように配置されて低電圧領域Ａと高電圧領域Ｂとの間で電力を伝達する第２トランス８２を備えている。すなわち、第１トランス８１と第２トランス８２と

のそれぞれが、絶縁領域Ｅを跨ぐように配置されて低電圧領域Ａと高電圧領域Ｂとの間で電力を伝達する。そして、本実施形態では、全てのトランス８（言い換えれば、全ての第１トランス８１及び第２トランス８２であり、ここでは、３つの第１トランス８１及び３つの第２トランス８２）が、基板本体部１０に対して厚さ方向Ｚの同じ側（具体的には、基板本体部１０に対して第１側Ｚ１）に配置されている。すなわち、全てのトランス８が、絶縁領域Ｅを跨いで第１層低電圧領域Ａ１と第１層高電圧領域Ｂ１とを接続するように配置されている。

[0035] 本実施形態では、全ての第１トランス８１及び第２トランス８２が基板本体部１０に対して第１側Ｚ１に配置されている。そのため、第１高電圧回路５１及び第２高電圧回路５２のうちの少なくとも第２高電圧回路５２を、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分けて配置する必要があるが、第２高電圧回路５２のみを第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分けて配置すると、基板本体部１０に対して第１側Ｚ１と第２側Ｚ２との間で高電圧領域Ｂの総面積に偏りが生じやすくなる。この点に関して、本実施形態では、後述するように、第２高電圧回路５２に加えて第１高電圧回路５１も、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置されているため、上記のように全ての第１トランス８１及び第２トランス８２が基板本体部１０に対して第１側Ｚ１に配置される場合であっても、基板本体部１０に対して第１側Ｚ１と第２側Ｚ２との間で高電圧領域Ｂの総面積に大きな偏りが生じることを抑制しやすい。この結果、制御基板１の平面視での小型化を図りやすくなっている。

[0036] 第１高電圧回路５１と第２高電圧回路５２とのそれぞれは、絶縁領域Ｅを跨ぐように配置されて低電圧領域Ａと高電圧領域Ｂとの間で信号（スイッチング制御信号ＳＷ等）を伝達する駆動回路２を備えている。具体的には、第１高電圧回路５１は、絶縁領域Ｅを跨ぐように配置されて低電圧領域Ａと高電圧領域Ｂとの間で信号（第１スイッチング制御信号ＳＷ１等）を伝達する第１駆動回路２１を備え、第２高電圧回路５２は、絶縁領域Ｅを跨ぐように

配置されて低電圧領域Ａと高電圧領域Ｂとの間で信号（第２スイッチング制御信号ＳＷ２等）を伝達する第２駆動回路２２を備えている。そして、本実施形態では、基板本体部１０に対して厚さ方向Ｚの両側に分かれて駆動回路２が配置されている。具体的には、全ての第１駆動回路２１（ここでは、３つの第１駆動回路２１）が、基板本体部１０に対して第１側Ｚ１に配置され、全ての第２駆動回路２２（ここでは、３つの第２駆動回路２２）が、基板本体部１０に対して第２側Ｚ２に配置されている。すなわち、全ての第１駆動回路２１が、絶縁領域Ｅを跨いで第１層低電圧領域Ａ１と第１層高電圧領域Ｂ１とを接続するように配置され、全ての第２駆動回路２２が、絶縁領域Ｅを跨いで第２層低電圧領域Ａ２と第２層高電圧領域Ｂ２とを接続するように配置されている。

[0037] 本実施形態では、低電圧領域Ａに配置される低電圧回路５３には、制御回路６と、制御回路６から駆動回路２にスイッチング制御信号ＳＷを伝達する信号伝達回路と、電源回路７が備える電源制御回路９０と、電源制御回路９０からトランス８（具体的には、１次巻線Ｌ１）に１次側電圧を伝達する電力伝達回路と、が含まれている。低電圧回路５３は、第１層低電圧領域Ａ１と第２層低電圧領域Ａ２とに分かれて配置されている。ここで、回路が２つの領域（第１領域及び第２領域）に分かれて配置されるとは、当該回路が、第１領域に配置された部分と第２領域に配置された部分とを少なくとも備えることを意味し、当該回路が、更に別の領域に配置された部分を備えていてもよい。低電圧回路５３における第１層低電圧領域Ａ１に配置される部分は、第１層４１に設けられた配線パターン７１を用いて形成され、低電圧回路５３における第２層低電圧領域Ａ２に配置される部分は、第２層４２に設けられた配線パターン７１を用いて形成される。

[0038] 本実施形態では、高電圧領域Ｂに配置される第１高電圧回路５１には、第１駆動回路２１から第１接続部５１ａに第１スイッチング制御信号ＳＷ１を伝達する信号伝達回路と、第１トランス８１（具体的には、２次巻線Ｌ２）から第１駆動回路２１に２次側電圧を伝達する電力伝達回路と、が含まれて

いる。ここで、第１接続部５１ａは、第１高電圧回路５１における第１スイッチング素子３１との接続部である。第１スイッチング制御信号ＳＷ１は、第１駆動回路２１から第１接続部５１ａを介して第１スイッチング素子３１に伝達される。本実施形態では、第１接続部５１ａは、第１層高電圧領域Ｂ１に設けられている。図７に示すように、本実施形態では、第１接続部５１ａは、可撓性を有する第１フレキシブル基板６１が接続されるコネクタを備えている。そして、第１高電圧回路５１は、第１フレキシブル基板６１を介して第１スイッチング素子３１に接続される。なお、第１接続部５１ａが、コネクタに代えて、基板本体部１０を厚さ方向Ｚに貫通する孔部を備え、第１スイッチング素子３１の接続端子が、当該孔部を貫通するように配置された状態で第１接続部５１ａに接続される構成とすることもできる。

[0039] 本実施形態では、高電圧領域Ｂに配置される第１高電圧回路５１には、更に、第１スイッチング素子３１に設けられた検出回路（電流検出回路や温度検出回路等）の検出結果を表す信号を、第１接続部５１ａから信号伝達素子２３に伝達する信号伝達回路も含まれている。信号伝達素子２３は、フォトカプラ又は磁気カプラ等の絶縁素子（信号伝達用の絶縁素子）を備えている。信号伝達素子２３は、絶縁領域Ｅを跨いで低電圧領域Ａと高電圧領域Ｂとを接続するように配置されている。上記検出結果を表す信号は、信号伝達素子２３を介して高電圧領域Ｂから低電圧領域Ａに伝達されて、制御回路６に入力される。本実施形態では、全ての信号伝達素子２３（ここでは、３つの信号伝達素子２３）が、基板本体部１０に対して第２側Ｚ２に配置されている。すなわち、全ての信号伝達素子２３が、絶縁領域Ｅを跨いで第２層低電圧領域Ａ２と第２層高電圧領域Ｂ２とを接続するように配置されている。

[0040] 第１高電圧回路５１の少なくとも一部は、第１層高電圧領域Ｂ１に配置されている。第１高電圧回路５１における第１層高電圧領域Ｂ１に配置される部分は、第１層４１に設けられた配線パターン７１を用いて形成される。本実施形態では、第１高電圧回路５１は、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置されている。第１高電圧回路５１における第２

層高電圧領域Ｂ２に配置される部分は、第２層４２に設けられた配線パターン７１を用いて形成される。１つの第１高電圧回路５１における第１層高電圧領域Ｂ１に配置された部分と第２層高電圧領域Ｂ２に配置された部分とは、平面視で重複する部分を有するように配置されている。そして、１つの第１高電圧回路５１における第１層高電圧領域Ｂ１に配置された部分と第２層高電圧領域Ｂ２に配置された部分とは、ビア７２を介して電気的に接続されている。

[0041] 本実施形態では、高電圧領域Ｂに配置される第２高電圧回路５２には、第２駆動回路２２から第２接続部５２ａに第２スイッチング制御信号ＳＷ２を伝達する信号伝達回路と、第２トランス８２（具体的には、２次巻線Ｌ２）から第２駆動回路２２に２次側電圧を伝達する電力伝達回路と、が含まれている。ここで、第２接続部５２ａは、第２高電圧回路５２における第２スイッチング素子３２との接続部である。第２スイッチング制御信号ＳＷ２は、第２駆動回路２２から第２接続部５２ａを介して第２スイッチング素子３２に伝達される。本実施形態では、第２接続部５２ａは、第２層高電圧領域Ｂ２に設けられている。図７に示すように、本実施形態では、第２接続部５２ａは、可撓性を有する第２フレキシブル基板６２が接続されるコネクタを備えている。そして、第２高電圧回路５２は、第２フレキシブル基板６２を介して第２スイッチング素子３２に接続される。なお、第２接続部５２ａが、コネクタに代えて、基板本体部１０を厚さ方向Ｚに貫通する孔部を備え、第２スイッチング素子３２の接続端子が、当該孔部を貫通するように配置された状態で第２接続部５２ａに接続される構成とすることもできる。

[0042] 第２高電圧回路５２の少なくとも一部は、第２層高電圧領域Ｂ２に配置されている。第２高電圧回路５２における第２層高電圧領域Ｂ２に配置される部分は、第２層４２に設けられた配線パターン７１を用いて形成される。本実施形態では、第２高電圧回路５２は、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置されている。第２高電圧回路５２における第１層高電圧領域Ｂ１に配置される部分は、第１層４１に設けられた配線パター

ン７１を用いて形成される。１つの第２高電圧回路５２における第１層高電圧領域Ｂ１に配置された部分と第２層高電圧領域Ｂ２に配置された部分とは、平面視で重複する部分を有するように配置されている。そして、１つの第２高電圧回路５２における第１層高電圧領域Ｂ１に配置された部分と第２層高電圧領域Ｂ２に配置された部分とは、ビア７２を介して電気的に接続されている。

[0043] なお、本実施形態では、上述したように、駆動回路２が形成された素子として、駆動回路２と絶縁素子とが１つのパッケージに内蔵された素子を用いているが、駆動回路２と絶縁素子とが別部品である構成とすることもできる。この場合、絶縁素子が、絶縁領域Ｅを跨いで低電圧領域Ａと高電圧領域Ｂとを接続するように配置され、駆動回路２は、高電圧領域Ｂに配置される。すなわち、この場合、高電圧領域Ｂに配置される高電圧回路５０には、駆動回路２も含まれる。具体的には、高電圧領域Ｂに配置される第１高電圧回路５１に第１駆動回路２１が含まれ、高電圧領域Ｂに配置される第２高電圧回路５２に第２駆動回路２２が含まれる。

[0044] 本実施形態では、インバータ１００は、Ｕ相アーム３３Ｕ、Ｖ相アーム３３Ｖ、及びW相アーム３３Wの、３つのアーム３３を備えている。すなわち、インバータ１００は、３つの第１スイッチング素子３１と３つの第２スイッチング素子３２とを備えている。よって、高電圧領域Ｂには、Ｕ相の第１スイッチング素子３１に接続される第１高電圧回路５１（Ｕ相の第１高電圧回路５１）が配置されるＵ相第１高電圧領域ＢＵ１と、Ｕ相の第２スイッチング素子３２に接続される第２高電圧回路５２（Ｕ相の第２高電圧回路５２）が配置されるＵ相第２高電圧領域ＢＵ２と、Ｖ相の第１スイッチング素子３１に接続される第１高電圧回路５１（Ｖ相の第１高電圧回路５１）が配置されるＶ相第１高電圧領域ＢＶ１と、Ｖ相の第２スイッチング素子３２に接続される第２高電圧回路５２（Ｖ相の第２高電圧回路５２）が配置されるＶ相第２高電圧領域ＢＶ２と、W相の第１スイッチング素子３１に接続される第１高電圧回路５１（W相の第１高電圧回路５１）が配置されるW相第１高

電圧領域ＢＷ１と、W相の第２スイッチング素子３２に接続される第２高電圧回路５２（W相の第２高電圧回路５２）が配置されるW相第２高電圧領域ＢＷ２と、が含まれている。

[0045] 本実施形態では、第１高電圧回路５１と第２高電圧回路５２とのそれぞれが、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置される。そのため、Ｕ相第１高電圧領域ＢＵ１、Ｕ相第２高電圧領域ＢＵ２、Ｖ相第１高電圧領域ＢＶ１、Ｖ相第２高電圧領域ＢＶ２、W相第１高電圧領域ＢＷ１、及び、W相第２高電圧領域ＢＷ２のそれぞれは、第１層４１に形成される部分と第２層４２に形成される部分とを備えている。すなわち、図３に示すように、第１層高電圧領域Ｂ１には、Ｕ相第１高電圧領域ＢＵ１の一部、Ｕ相第２高電圧領域ＢＵ２の一部、Ｖ相第１高電圧領域ＢＶ１の一部、Ｖ相第２高電圧領域ＢＶ２の一部、W相第１高電圧領域ＢＷ１の一部、及び、W相第２高電圧領域ＢＷ２の一部が含まれている。また、図４に示すように、第２層高電圧領域Ｂ２には、Ｕ相第１高電圧領域ＢＵ１の別の一部、Ｕ相第２高電圧領域ＢＵ２の別の一部、Ｖ相第１高電圧領域ＢＶ１の別の一部、Ｖ相第２高電圧領域ＢＶ２の別の一部、W相第１高電圧領域ＢＷ１の別の一部、及び、W相第２高電圧領域ＢＷ２の別の一部が含まれている。

[0046] 図３及び図４に示すように、本実施形態では、高電圧領域Ｂは、低電圧領域Ａに対して第５側Ｙ１に配置されている。具体的には、第１層高電圧領域Ｂ１は、第１層低電圧領域Ａ１に対して第５側Ｙ１に配置され、第２層高電圧領域Ｂ２は、第２層低電圧領域Ａ２に対して第５側Ｙ１に配置されている。そして、低電圧領域Ａと高電圧領域Ｂとを電気的に絶縁する絶縁領域Ｅは、低電圧領域Ａと高電圧領域Ｂとの間を第１方向Ｘに沿って延びるように形成されている。本実施形態では、第１層高電圧領域Ｂ１における絶縁領域Ｅ側の部分（ここでは、第６側Ｙ２の部分）や第２層高電圧領域Ｂ２における絶縁領域Ｅ側の部分（ここでは、第６側Ｙ２の部分）において、Ｕ相第２高電圧領域ＢＵ２、Ｕ相第１高電圧領域ＢＵ１、Ｖ相第１高電圧領域ＢＶ１、Ｖ相第２高電圧領域ＢＶ２、W相第２高電圧領域ＢＷ２、及び、W相第１高

電圧領域ＢＷ１が、第４側Ｘ２から記載の順に配置されている。

[0047] 図５に示すように、本実施形態では、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とは、厚さ方向Ｚに沿う平面視で重複する部分を有するように配置されている。なお、図５では、第１層高電圧領域Ｂ１（具体的には、Ｕ相第１高電圧領域ＢＵ１、Ｕ相第２高電圧領域ＢＵ２、Ｖ相第１高電圧領域ＢＶ１、Ｖ相第２高電圧領域ＢＶ２、W相第１高電圧領域ＢＷ１、及び、W相第２高電圧領域ＢＷ２のそれぞれにおける、第１層高電圧領域Ｂ１に含まれる部分）をハッチングで示し、第２層高電圧領域Ｂ２（具体的には、Ｕ相第１高電圧領域ＢＵ１、Ｕ相第２高電圧領域ＢＵ２、Ｖ相第１高電圧領域ＢＶ１、Ｖ相第２高電圧領域ＢＶ２、W相第１高電圧領域ＢＷ１、及び、W相第２高電圧領域ＢＷ２のそれぞれにおける、第２層高電圧領域Ｂ２に含まれる部分）を、実線の枠で囲んで示している。また、図５に示すように、本実施形態では、第１層低電圧領域Ａ１と第２層低電圧領域Ａ２とは、平面視で重複する部分を有するように配置されている。なお、図５では、第１層低電圧領域Ａ１をハッチングで示し、第２層低電圧領域Ａ２を実線の枠で囲んで示している。本実施形態では、第１層高電圧領域Ｂ１と第２層低電圧領域Ａ２とは、平面視で重複しないように配置され、第２層高電圧領域Ｂ２と第１層低電圧領域Ａ１とは、平面視で重複しないように配置されている。

[0048] このように第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とが平面視で重複する部分を有するように配置されるため、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との間の電気的絶縁性の確保が問題となり得る。特に、第１層高電圧領域Ｂ１における第１高電圧回路５１及び第２高電圧回路５２の一方が配置された部分と、第２層高電圧領域Ｂ２における第１高電圧回路５１及び第２高電圧回路５２の他方が配置された部分とが平面視で重複する領域（以下、「第１重複領域」という）や、第１層高電圧領域Ｂ１における第２高電圧回路５２が配置された部分と、第２層高電圧領域Ｂ２における別の第２高電圧回路５２が配置された部分とが平面視で重複する領域（以下、「第２重複領域」という）において、電気的絶縁性の確保が問題となり得る。

[0049] 図５に示す例では、第１重複領域として、少なくとも、Ｕ相第１高電圧領域ＢＵ１における第１層４１に形成された部分とＵ相第２高電圧領域ＢＵ２における第２層４２に形成された部分とが平面視で重複する領域と、Ｖ相第１高電圧領域ＢＶ１における第１層４１に形成された部分とＶ相第２高電圧領域ＢＶ２における第２層４２に形成された部分とが平面視で重複する領域と、Ｗ相第１高電圧領域ＢＷ１における第１層４１に形成された部分とＷ相第２高電圧領域ＢＷ２における第２層４２に形成された部分とが平面視で重複する領域とが存在する。また、図５に示す例では、第２重複領域として、少なくとも、Ｖ相第２高電圧領域ＢＶ２における第１層４１に形成された部分とＷ相第２高電圧領域ＢＷ２における第２層４２に形成された部分とが平面視で重複する領域が存在する。

[0050] この制御基板１では、以下に述べる構成を採用することで、電気的絶縁性の問題を回避している。ここで、基板本体部１０における、平面視で、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との双方に重複する領域を高圧重複領域Ｄ１とする（図６参照）。また、基板本体部１０における、平面視で、第１層低電圧領域Ａ１と第２層低電圧領域Ａ２との双方に重複する領域を低圧重複領域Ｄ２とする（図６参照）。そして、図６に示すように、低圧重複領域Ｄ２では、第１層４１、第２層４２、第３層４３、及び第４層４４のそれぞれに配線パターン７１が設けられている。本実施形態では、低圧重複領域Ｄ２では、第１層４１、第２層４２、第３層４３、第４層４４、第５層４５、及び第６層４６のそれぞれに配線パターン７１が設けられている。すなわち、低圧重複領域Ｄ２では、多層構造体４が備える全ての層（配線層）に配線パターン７１が設けられている。

[0051] 一方、高圧重複領域Ｄ１では、第１層４１及び第２層４２に配線パターン７１が設けられ、厚さ方向Ｚの中央部に最も近い第３層４３及び第４層４４には配線パターン７１が設けられていない。このように、高圧重複領域Ｄ１では配線パターン７１がない層を設けることで、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との間の電気的絶縁性を適切に確保しやすくなっている

。なお、本実施形態では、高圧重複領域Ｄ１において、第１層４１、第２層４２、第５層４５、及び第６層４６に、配線パターン７１が設けられている。本実施形態では、第３層４３と第４層４４との間に配置される絶縁層４０（例えば、コア絶縁層）の厚さ（厚さ方向Ｚの幅）が、他の絶縁層４０の厚さより大きく形成されており、これによっても、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との間の電気的絶縁性の確保が容易となっている。また、高圧重複領域Ｄ１では配線パターン７１がない層を設けることで、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との間の結合容量を小さく抑え、容量結合によるノイズを低減しやすくなっている。

[0052] 詳細は省略するが、本実施形態では、隣接する配線層に設けられた配線パターン７１同士が平面視で重なる部分において、配線パターン７１同士が平面視で直交するように各配線パターン７１を形成している。これにより、隣接する配線層の間での結合容量を小さく抑えることが可能となっている。なお、高圧重複領域Ｄ１では第３層４３及び第４層４４には配線パターン７１が設けられないため、高圧重複領域Ｄ１では、第５層４５に隣接する配線層は、第１層４１及び第６層４６であり、第６層４６に隣接する配線層は、第２層４２及び第５層４５である。

[0053] 平面視で第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との一方のみに重複する領域が存在する場合に、当該領域において、第３層４３及び第４層４４に配線パターン７１が設けられない構成とすることができる。特に、平面視で第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との一方のみに重複する領域が、平面視で高電圧領域Ｂと低電圧領域Ａとの双方に重複する領域である場合には、電気的絶縁性の確保の観点から、第３層４３及び第４層４４に配線パターン７１が設けられない構成とすると好適である。

[0054] ここで、基板本体部１０における、平面視で、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とのいずれか一方のみに重複する領域を対象領域Ｄ３とする（図５参照）。図５に示す例では、対象領域Ｄ３として、平面視で第１層高電圧領域Ｂ１のみに重複する領域と、平面視で第２層高電圧領域Ｂ２の

みに重複する領域とが存在する。そして、図示は省略するが、本実施形態では、高電圧回路５０における第１層高電圧領域Ｂ１に配置された部分と第２層高電圧領域Ｂ２に配置された部分とを接続するための配線パターン７１が、対象領域Ｄ３において第１層４１と第２層４２との間の層である中間層（本実施形態では、第３層４３、第４層４４、第５層４５、及び第６層４６の少なくともいずれかの層）に設けられている。本実施形態では、第１高電圧回路５１及び第２高電圧回路５２のそれぞれが、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置されている。そのため、第１高電圧回路５１における第１層高電圧領域Ｂ１に配置された部分と第２層高電圧領域Ｂ２に配置された部分とを接続するための配線パターン７１が、対象領域Ｄ３において中間層に設けられていると共に、第２高電圧回路５２における第１層高電圧領域Ｂ１に配置された部分と第２層高電圧領域Ｂ２に配置された部分とを接続するための配線パターン７１が、対象領域Ｄ３において中間層に設けられている。

[0055] 本実施形態では、第５層４５及び第６層４６に、電源に接続される配線パターン７１（電源パターン）とグランドに接続される配線パターン７１（グランドパターン）とが設けられている。そのため、高圧重複領域Ｄ１では、信号を伝達する配線パターン７１（信号パターン）は、主に、第１層４１及び第２層４２に設けられる。本実施形態では、第５層４５及び第６層４６にも、信号パターンが設けられている。なお、電源パターンは、例えば、第２直流電源１２の正極側に接続される配線パターン７１や、電源回路７が生成する電源（上段用駆動電圧ＶＨや下段用駆動電圧ＶＬ）の正極側に接続される配線パターン７１とされる。また、グランドパターンは、例えば、第１グランドＧ１に接続される配線パターン７１や、第２グランドＧ２に接続される配線パターン７１とされる。

[0056] 電源に接続される配線パターン７１である電源パターンや、グランドに接続される配線パターン７１であるグランドパターンは、信号を伝達する配線パターン７１である信号パターンに比べて、太く或いは広く設けられる場合

が多い。そのため、電源パターンやグランドパターンは、一般に、信号パターンに比べて高いノイズ耐性やシールド作用を有する。本実施形態では、このような性質を有する電源パターンやグランドパターンが、第１層４１と第２層４２との間に（具体的には、第５層４５及び第６層４６に）配置されるため、高圧重複領域Ｄ１における第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２との間でのノイズ伝搬を抑制しやすい。

[0057] 第１接続部５１ａが配置される高電圧領域Ｂを第１接続領域Ｃ１とし、第２接続部５２ａが配置される高電圧領域Ｂを第２接続領域Ｃ２として、本実施形態では、第１接続領域Ｃ１は、第１層高電圧領域Ｂ１に少なくとも一部が含まれ、第２接続領域Ｃ２は、第２層高電圧領域Ｂ２に少なくとも一部が含まれる。本実施形態では、第１接続部５１ａは、第１層４１に実装されるコネクタであり、第２接続部５２ａは、第２層４２に実装されるコネクタである。そのため、本実施形態では、第１接続領域Ｃ１の全体が第１層高電圧領域Ｂ１に含まれ、第２接続領域Ｃ２の全体が第２層高電圧領域Ｂ２に含まれている。

[0058] そして、本実施形態では、１つのアーム３３を構成する第１スイッチング素子３１及び第２スイッチング素子３２に接続される第１接続領域Ｃ１及び第２接続領域Ｃ２が、平面視で重複する部分を有するように配置されている。このように第１接続領域Ｃ１及び第２接続領域Ｃ２を配置することで、１つのアーム３３を構成する第１スイッチング素子３１及び第２スイッチング素子３２に接続される第１接続部５１ａと第２接続部５２ａとの組を、インバータ１００における第１スイッチング素子３１及び第２スイッチング素子３２の並び順と同じ順で並ぶように、制御基板１に配置することができる。よって、制御基板１とインバータ１００との接続が容易となる。

[0059] 具体的には、Ｕ相の第１スイッチング素子３１に接続される第１接続領域Ｃ１と、Ｕ相の第２スイッチング素子３２に接続される第２接続領域Ｃ２とが、平面視で重複する部分を有するように配置されている。ここで、Ｕ相の第１スイッチング素子３１に接続される第１接続領域Ｃ１は、Ｕ相第１高電

圧領域ＢＵ１における第１層４１に形成された部分に相当し（図３参照）、Ｕ相の第２スイッチング素子３２に接続される第２接続領域Ｃ２は、Ｕ相第２高電圧領域ＢＵ２における第２層４２に形成された部分に相当する（図４参照）。

[0060] また、Ｖ相の第１スイッチング素子３１に接続される第１接続領域Ｃ１と、Ｖ相の第２スイッチング素子３２に接続される第２接続領域Ｃ２とが、平面視で重複する部分を有するように配置されている。ここで、Ｖ相の第１スイッチング素子３１に接続される第１接続領域Ｃ１は、Ｖ相第１高電圧領域ＢＶ１における第１層４１に形成された部分に相当し（図３参照）、Ｖ相の第２スイッチング素子３２に接続される第２接続領域Ｃ２は、Ｖ相第２高電圧領域ＢＶ２における第２層４２に形成された部分に相当する（図４参照）。

[0061] また、W相の第１スイッチング素子３１に接続される第１接続領域Ｃ１と、W相の第２スイッチング素子３２に接続される第２接続領域Ｃ２とが、平面視で重複する部分を有するように配置されている。ここで、W相の第１スイッチング素子３１に接続される第１接続領域Ｃ１は、W相第１高電圧領域ＢＷ１における第１層４１に形成された部分に相当し（図３参照）、W相の第２スイッチング素子３２に接続される第２接続領域Ｃ２は、W相第２高電圧領域ＢＷ２における第２層４２に形成された部分に相当する（図４参照）。

[0062] 図３及び図４に示すように、本実施形態では、Ｕ相の第２スイッチング素子３２に接続される第２接続部５２ａ、Ｕ相の第１スイッチング素子３１に接続される第１接続部５１ａ、Ｖ相の第２スイッチング素子３２に接続される第２接続部５２ａ、Ｖ相の第１スイッチング素子３１に接続される第１接続部５１ａ、W相の第２スイッチング素子３２に接続される第２接続部５２ａ、及び、W相の第１スイッチング素子３１に接続される第１接続部５１ａが、第４側Ｘ２から記載の順に配置されている。

[0063] 〔その他の実施形態〕

次に、制御基板のその他の実施形態について説明する。

[0064] （１）上記の実施形態では、高圧重複領域Ｄ１において配線パターン７１が設けられない層が、厚さ方向Ｚの中央部に最も近い第３層４３及び第４層４４のみである構成を例として説明した。しかし、本開示はそのような構成に限定されず、高圧重複領域Ｄ１において、第３層４３及び第４層４４に加えて、第３層４３及び第４層４４に隣接する層（但し、第１層４１及び第２層４２を除く）にも配線パターン７１が設けられない構成とすることもできる。例えば、上記の実施形態の制御基板１において、高圧重複領域Ｄ１において、第３層４３、第４層４４、第５層４５、及び第６層４６に配線パターン７１が設けられない構成とすることができる。

[0065] （２）上記の実施形態では、基板本体部１０が、６層の多層構造体４を備える構成を例として説明した。しかし、本開示はそのような構成に限定されず、多層構造体４の層数は適宜変更することができる。例えば、基板本体部１０が４層の多層構造体４を備える構成（すなわち、第５層４５及び第６層４６を備えない構成）とし、或いは、基板本体部１０が８層以上の偶数層の多層構造体４を備える構成とすることもできる。後者の場合、第１層４１と第３層４３との間に、第５層４５を含む２つ以上の層が配置され、第２層４２と第４層４４との間に、第６層４６を含む２つ以上の層が配置される。

[0066] （３）上記の実施形態では、第５層４５及び第６層４６に、電源に接続される配線パターン７１とグランドに接続される配線パターン７１とが設けられる構成を例として説明した。しかし、本開示はそのような構成に限定されず、電源に接続される配線パターン７１とグランドに接続される配線パターン７１とが、第５層４５及び第６層４６に加えて或いは第５層４５及び第６層４６に代えて他の層に設けられる構成とすることもできる。

[0067] （４）上記の実施形態では、１つのアーム３３を構成する第１スイッチング素子３１及び第２スイッチング素子３２に接続される第１接続領域Ｃ１及び第２接続領域Ｃ２が、平面視で重複する部分を有するように配置される構成を例として説明した。しかし、本開示はそのような構成に限定されず、例え

ば、１つのアーム３３を構成する第１スイッチング素子３１に接続される第１接続領域Ｃ１と、別のアーム３３を構成する第２スイッチング素子３２に接続される第２接続領域Ｃ２とが、平面視で重複する部分を有するように配置される構成とすることもできる。

[0068] （５）上記の実施形態では、全てのトランス８（上記の実施形態では、６つのトランス８）が、基板本体部１０に対して第１側Ｚ１に配置される構成を例として説明した。しかし、本開示はそのような構成に限定されず、全てのトランス８が基板本体部１０に対して第２側Ｚ２に配置される構成とすることもできる。また、全てのトランス８が基板本体部１０に対して厚さ方向Ｚの同じ側に配置される構成に代えて、基板本体部１０に対して第１側Ｚ１と第２側Ｚ２とに分かれてトランス８が配置される構成とすることもできる。例えば、全ての第１トランス８１が基板本体部１０に対して第１側Ｚ１に配置され、全ての第２トランス８２が基板本体部１０に対して第２側Ｚ２に配置される構成とすることができる。

[0069] （６）上記の実施形態では、第１高電圧回路５１と第２高電圧回路５２とのそれぞれが、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置される構成を例として説明した。すなわち、上記の実施形態では、第１高電圧回路５１及び第２高電圧回路５２の双方が「対象高電圧回路」に相当する。しかし、本開示はそのような構成に限定されず、第１高電圧回路５１と第２高電圧回路５２との一方のみが、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置される構成とすることもできる。例えば、上記の実施形態において、第２高電圧回路５２のみが、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置される構成とすることができる。この場合、第２高電圧回路５２が「対象高電圧回路」に相当する。また、基板本体部１０に対して第１側Ｚ１と第２側Ｚ２とに分かれてトランス８が配置される場合（具体的には、第１トランス８１が基板本体部１０に対して第１側Ｚ１に配置され、第２トランス８２が基板本体部１０に対して第２側Ｚ２に配置される）には、第１高電圧回路５１と第２高電圧回路５２とのいずれも

が、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とに分かれて配置されない構成とすることもできる。

[0070] （７）上記の実施形態では、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とが平面視で重複する部分を有するように配置され、第１層低電圧領域Ａ１と第２層低電圧領域Ａ２とが平面視で重複する部分を有するように配置される構成を例として説明した。しかし、本開示はそのような構成に限定されず、第１層高電圧領域Ｂ１と第２層高電圧領域Ｂ２とが平面視で重複する部分を有さないように配置される構成、第１層低電圧領域Ａ１と第２層低電圧領域Ａ２とが平面視で重複する部分を有さないように配置される構成、或いはこれらを組み合わせた構成とすることもできる。

[0071] （８）なお、上述した各実施形態で開示された構成は、矛盾が生じない限り、他の実施形態で開示された構成と組み合わせて適用すること（その他の実施形態として説明した実施形態同士の組み合わせを含む）も可能である。その他の構成に関しても、本明細書において開示された実施形態は全ての点で単なる例示に過ぎない。従って、本開示の趣旨を逸脱しない範囲内で、適宜、種々の改変を行うことが可能である。

[0072] 〔本実施形態のまとめ〕

以下、上記において説明した制御基板の概要について説明する。

[0073] 第１スイッチング素子（３１）及び第２スイッチング素子（３２）を備えたインバータ（１００）を制御対象とする制御基板（１）であって、前記インバータ（１００）を駆動制御するための駆動制御回路（５）が形成された板状の基板本体部（１０）を備え、前記駆動制御回路（５）は、低電圧回路（５３）と、前記低電圧回路（５３）に比べて動作電圧が高い高電圧回路（５０）であって前記第１スイッチング素子（３１）に接続される第１高電圧回路（５１）と、前記高電圧回路（５０）であって前記第２スイッチング素子（３２）に接続される第２高電圧回路（５２）と、前記第１スイッチング素子（３１）の駆動電圧を前記低電圧回路（５３）から前記第１高電圧回路（５１）に供給する第１トランス（８１）と、前記第２スイッチング素子（

３２）の駆動電圧を前記低電圧回路（５３）から前記第２高電圧回路（５２）に供給する第２トランス（８２）と、を備え、前記基板本体部（１０）は、当該基板本体部（１０）の厚さ方向（Ｚ）の一方側（Ｚ１）の表層部（１０ａ）に形成された第１層（４１）と、前記厚さ方向（Ｚ）の他方側（Ｚ２）の表層部（１０ａ）に形成された第２層（４２）とを含む、偶数層の多層構造体（４）を備え、前記第１層（４１）及び前記第２層（４２）の双方に、前記低電圧回路（５３）が配置される低電圧領域（Ａ）と、前記高電圧回路（５０）が配置される高電圧領域（Ｂ）と、前記低電圧領域（Ａ）と前記高電圧領域（Ｂ）とを電気的に絶縁する絶縁領域（Ｅ）と、が形成され、前記第１高電圧回路（５１）の少なくとも一部は、前記第１層（４１）に形成された前記高電圧領域（Ｂ）である第１層高電圧領域（Ｂ１）に配置され、前記第２高電圧回路（５２）の少なくとも一部は、前記第２層（４２）に形成された前記高電圧領域（Ｂ）である第２層高電圧領域（Ｂ２）に配置されている。

[0074] この構成によれば、第１高電圧回路（５１）の少なくとも一部と第２高電圧回路（５２）の少なくとも一部とを、基板本体部（１０）における互いに反対側の表層部（１０ａ）に形成される第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）とに分けて配置することができるため、第１高電圧回路（５１）を構成する部品や配線と第２高電圧回路（５２）を構成する部品や配線とを、平面視で近づけて配置することや平面視で重なるように配置することが容易となる。この結果、部品や配線の配置自由度を高く確保して、制御基板（１）の平面視での小型化を図ることが可能となっている。

[0075] ここで、前記第１層高電圧領域（Ｂ１）と前記第２層高電圧領域（Ｂ２）とは、前記厚さ方向（Ｚ）に沿う平面視で重複する部分を有するように配置されていると好適である。

[0076] この構成によれば、部品や配線の配置自由度を高く確保することが容易となり、制御基板（１）の平面視での小型化をより一層図ることができる。

[0077] 上記のように前記第１層高電圧領域（Ｂ１）と前記第２層高電圧領域（Ｂ

２）とが前記平面視で重複する部分を有するように配置される構成において、前記多層構造体（４）は、前記厚さ方向（Ｚ）の中央部に最も近い２つの層である第３層（４３）及び第４層（４４）を含み、前記第１層（４１）に形成された前記低電圧領域（Ａ）である第１層低電圧領域（Ａ１）と、前記第２層（４２）に形成された前記低電圧領域（Ａ）である第２層低電圧領域（Ａ２）とは、前記平面視で重複する部分を有するように配置され、前記基板本体部（１０）における、前記平面視で、前記第１層高電圧領域（Ｂ１）と前記第２層高電圧領域（Ｂ２）との双方に重複する領域を高圧重複領域（Ｄ１）とし、前記第１層低電圧領域（Ａ１）と前記第２層低電圧領域（Ａ２）との双方に重複する領域を低圧重複領域（Ｄ２）として、前記低圧重複領域（Ｄ２）では、前記第１層（４１）、前記第２層（４２）、前記第３層（４３）、及び前記第４層（４４）のそれぞれに導体箔（７０）を用いた配線パターン（７１）が設けられ、前記高圧重複領域（Ｄ１）では、前記第１層（４１）及び前記第２層（４２）に前記配線パターン（７１）が設けられ、前記第３層（４３）及び前記第４層（４４）には前記配線パターン（７１）が設けられていないと好適である。

[0078] 第１層高電圧領域（Ｂ１）及び第２層高電圧領域（Ｂ２）は、低電圧回路（５３）に比べて動作電圧が高い高電圧回路（５０）が配置される高電圧領域（Ｂ）であるため、上記のように第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）とが平面視で重複する部分を有するように配置される場合、第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）との間の電気的絶縁性の確保が困難になるのが通常である。

[0079] この点に関して、本構成では、基板本体部（１０）における平面視で第１層低電圧領域（Ａ１）と第２層低電圧領域（Ａ２）との双方に重複する低圧重複領域（Ｄ２）では、第１層（４１）、第２層（４２）、第３層（４３）、及び第４層（４４）のそれぞれに配線パターン（７１）が設けられているのに対して、基板本体部（１０）における平面視で第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）との双方に重複する高圧重複領域（Ｄ１）で

は、第１層（４１）及び第２層（４２）に配線パターン（７１）が設けられ、厚さ方向（Ｚ）の中央部に最も近い第３層（４３）及び第４層（４４）には配線パターン（７１）が設けられていない。そのため、低圧重複領域（Ｄ２）では第１層（４１）、第２層（４２）、第３層（４３）、及び第４層（４４）の全てを用いて回路を形成することで、制御基板（１）の平面視での小型化を図りつつ、高圧重複領域（Ｄ１）では配線パターン（７１）がない層を設けることで、第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）との間の電気的絶縁性を適切に確保しやすくなっている。また、第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）との間の結合容量を小さく抑え、容量結合によるノイズを低減しやすくなっている。そのため、電気的絶縁性やノイズの問題を回避しつつ、第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）とを平面視で重複する部分を有するように配置することが可能となっている。

[0080] また、前記第１トランス（８１）と前記第２トランス（８２）とのそれぞれが、前記絶縁領域（Ｅ）を跨ぐように配置されて前記低電圧領域（Ａ）と前記高電圧領域（Ｂ）との間で電力を伝達し、全ての前記第１トランス（８１）及び前記第２トランス（８２）が、前記基板本体部（１０）に対して前記厚さ方向（Ｚ）の同じ側に配置されていると好適である。

[0081] この構成によれば、一般的に他の部品に比べて重い部品とされる第１トランス（８１）及び第２トランス（８２）を、全て、基板本体部（１０）に対して厚さ方向（Ｚ）の同じ側に配置することができる。よって、第１トランス（８１）及び第２トランス（８２）を基板本体部（１０）に実装する工程を、全ての第１トランス（８１）及び第２トランス（８２）が基板本体部（１０）によって下方から支持された状態で行うことができる。従って、第１トランス（８１）と第２トランス（８２）とが基板本体部（１０）に対して厚さ方向（Ｚ）の両側に分かれて配置される場合に比べて、第１トランス（８１）及び第２トランス（８２）の基板本体部（１０）への実装工程を簡素なものとすることができる。

[0082] 上記のように、全ての前記第１トランス（８１）及び前記第２トランス（８２）が、前記基板本体部（１０）に対して前記厚さ方向（Ｚ）の同じ側に配置される構成において、前記第１高電圧回路（５１）と前記第２高電圧回路（５２）との少なくとも一方である対象高電圧回路は、前記第１層高電圧領域（Ｂ１）と前記第２層高電圧領域（Ｂ２）とに分かれて配置され、前記基板本体部（１０）における、前記厚さ方向（Ｚ）に沿う平面視で、前記第１層高電圧領域（Ｂ１）と前記第２層高電圧領域（Ｂ２）とのいずれか一方のみに重複する領域を対象領域（Ｄ３）として、前記対象高電圧回路における前記第１層高電圧領域（Ｂ１）に配置された部分と前記第２層高電圧領域（Ｂ２）に配置された部分とを接続するための、導体箔（７０）を用いた配線パターン（７１）が、前記対象領域（Ｄ３）において、前記多層構造体（４）における前記第１層（４１）と前記第２層（４２）との間の層に設けられていると好適である。

[0083] 上記のように全ての第１トランス（８１）及び第２トランス（８２）が基板本体部（１０）に対して厚さ方向（Ｚ）の同じ側に配置される場合、第１高電圧回路（５１）及び第２高電圧回路（５２）の少なくとも一方である対象高電圧回路を、第１層高電圧領域（Ｂ１）と第２層高電圧領域（Ｂ２）とに分けて配置する必要がある。本構成によれば、対象高電圧回路における第１層高電圧領域（Ｂ１）に配置された部分と第２層高電圧領域（Ｂ２）に配置された部分とを、対象領域（Ｄ３）において第１層（４１）と第２層（４２）との間の層に設けられた配線パターン（７１）によって適切に接続することができる。

[0084] 本開示に係る制御基板は、上述した各効果のうち、少なくとも１つを奏することができればよい。

符号の説明

[0085] １：制御基板、４：多層構造体、５：駆動制御回路、１０：基板本体部、１０ａ：表層部、３１：第１スイッチング素子、３２：第２スイッチング素子、４１：第１層、４２：第２層、３：第３層、４４：第４層、５０：高電圧

回路、５１：第１高電圧回路、５２：第２高電圧回路、５３：低電圧回路、７０：導体箔、７１：配線パターン、８１：第１トランス、８２：第２トランス、１００：インバータ、Ａ：低電圧領域、Ａ１：第１層低電圧領域、Ａ２：第２層低電圧領域、Ｂ：高電圧領域、Ｂ１：第１層高電圧領域、Ｂ２：第２層高電圧領域、Ｄ１：高圧重複領域、Ｄ２：低圧重複領域、Ｄ３：対象領域、Ｅ：絶縁領域、Ｚ：厚さ方向、Ｚ１：第１側（厚さ方向の一方側）、Ｚ２：第２側（厚さ方向の他方側）

請求の範囲

[請求項1] 第１スイッチング素子及び第２スイッチング素子を備えたインバータを制御対象とする制御基板であって、

前記インバータを駆動制御するための駆動制御回路が形成された板状の基板本体部を備え、

前記駆動制御回路は、低電圧回路と、前記低電圧回路に比べて動作電圧が高い高電圧回路であって前記第１スイッチング素子に接続される第１高電圧回路と、前記高電圧回路であって前記第２スイッチング素子に接続される第２高電圧回路と、前記第１スイッチング素子の駆動電圧を前記低電圧回路から前記第１高電圧回路に供給する第１トランスと、前記第２スイッチング素子の駆動電圧を前記低電圧回路から前記第２高電圧回路に供給する第２トランスと、を備え、

前記基板本体部は、当該基板本体部の厚さ方向の一方側の表層部に形成された第１層と、前記厚さ方向の他方側の表層部に形成された第２層とを含む、偶数層の多層構造体を備え、

前記第１層及び前記第２層の双方に、前記低電圧回路が配置される低電圧領域と、前記高電圧回路が配置される高電圧領域と、前記低電圧領域と前記高電圧領域とを電気的に絶縁する絶縁領域と、が形成され、

前記第１高電圧回路の少なくとも一部は、前記第１層に形成された前記高電圧領域である第１層高電圧領域に配置され、

前記第２高電圧回路の少なくとも一部は、前記第２層に形成された前記高電圧領域である第２層高電圧領域に配置されている、制御基板。

[請求項2] 前記第１層高電圧領域と前記第２層高電圧領域とは、前記厚さ方向に沿う平面視で重複する部分を有するように配置されている、請求項１に記載の制御基板。

[請求項3] 前記多層構造体は、前記厚さ方向の中央部に最も近い２つの層であ

る第３層及び第４層を含み、

前記第１層に形成された前記低電圧領域である第１層低電圧領域と、前記第２層に形成された前記低電圧領域である第２層低電圧領域とは、前記平面視で重複する部分を有するように配置され、

前記基板本体部における、前記平面視で、前記第１層高電圧領域と前記第２層高電圧領域との双方に重複する領域を高圧重複領域とし、前記第１層低電圧領域と前記第２層低電圧領域との双方に重複する領域を低圧重複領域として、

前記低圧重複領域では、前記第１層、前記第２層、前記第３層、及び前記第４層のそれぞれに導体箔を用いた配線パターンが設けられ、

前記高圧重複領域では、前記第１層及び前記第２層に前記配線パターンが設けられ、前記第３層及び前記第４層には前記配線パターンが設けられていない、請求項２に記載の制御基板。

[請求項4] 前記第１トランスと前記第２トランスとのそれぞれが、前記絶縁領域を跨ぐように配置されて前記低電圧領域と前記高電圧領域との間で電力を伝達し、

全ての前記第１トランス及び前記第２トランスが、前記基板本体部に対して前記厚さ方向の同じ側に配置されている、請求項１から３のいずれか一項に記載の制御基板。

[請求項5] 前記第１高電圧回路と前記第２高電圧回路との少なくとも一方である対象高電圧回路は、前記第１層高電圧領域と前記第２層高電圧領域とに分かれて配置され、

前記基板本体部における、前記厚さ方向に沿う平面視で、前記第１層高電圧領域と前記第２層高電圧領域とのいずれか一方のみに重複する領域を対象領域として、

前記対象高電圧回路における前記第１層高電圧領域に配置された部分と前記第２層高電圧領域に配置された部分とを接続するための、導体箔を用いた配線パターンが、前記対象領域において、前記多層構造

体における前記第１層と前記第２層との間の層に設けられている、請求項４に記載の制御基板。

[図1]

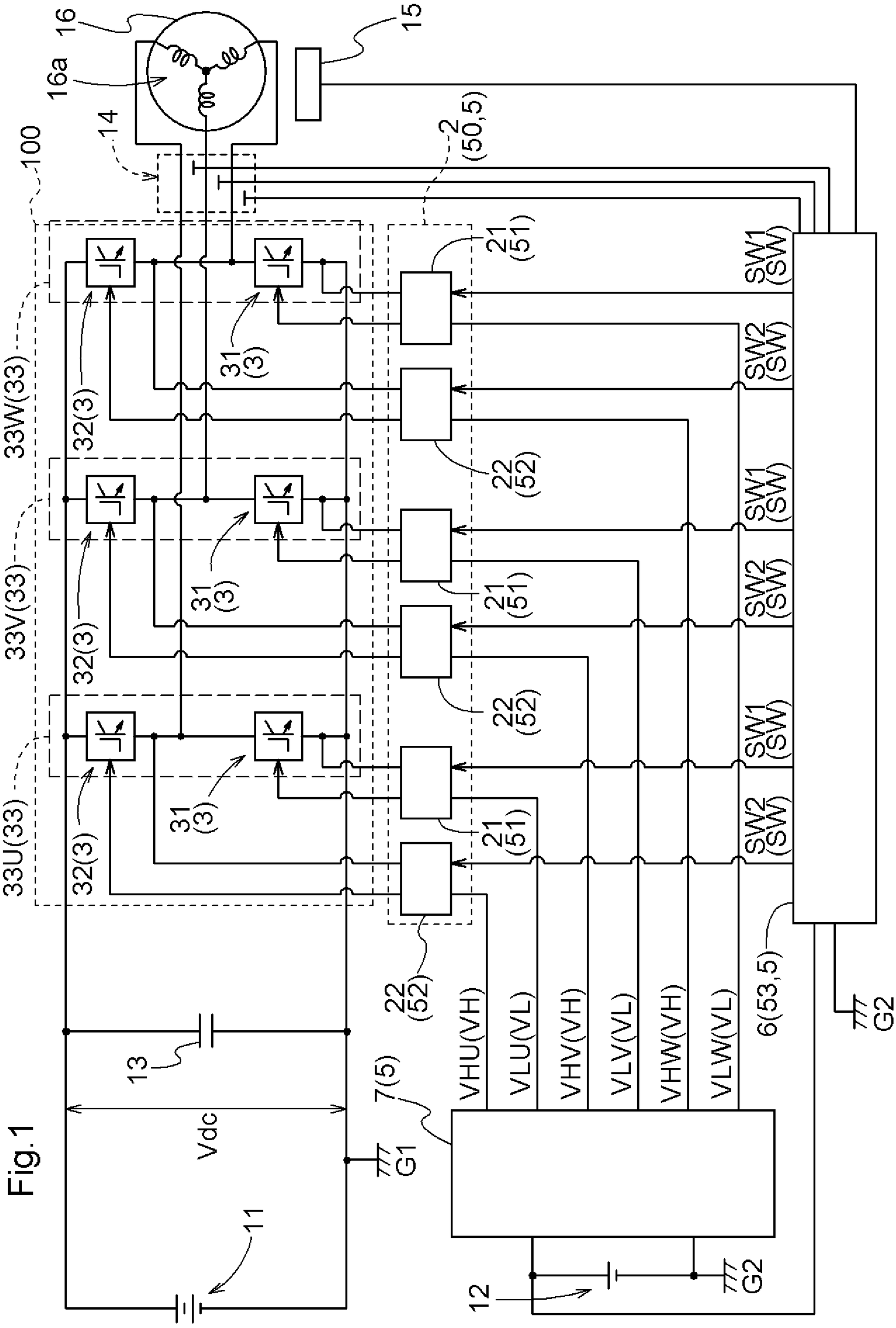
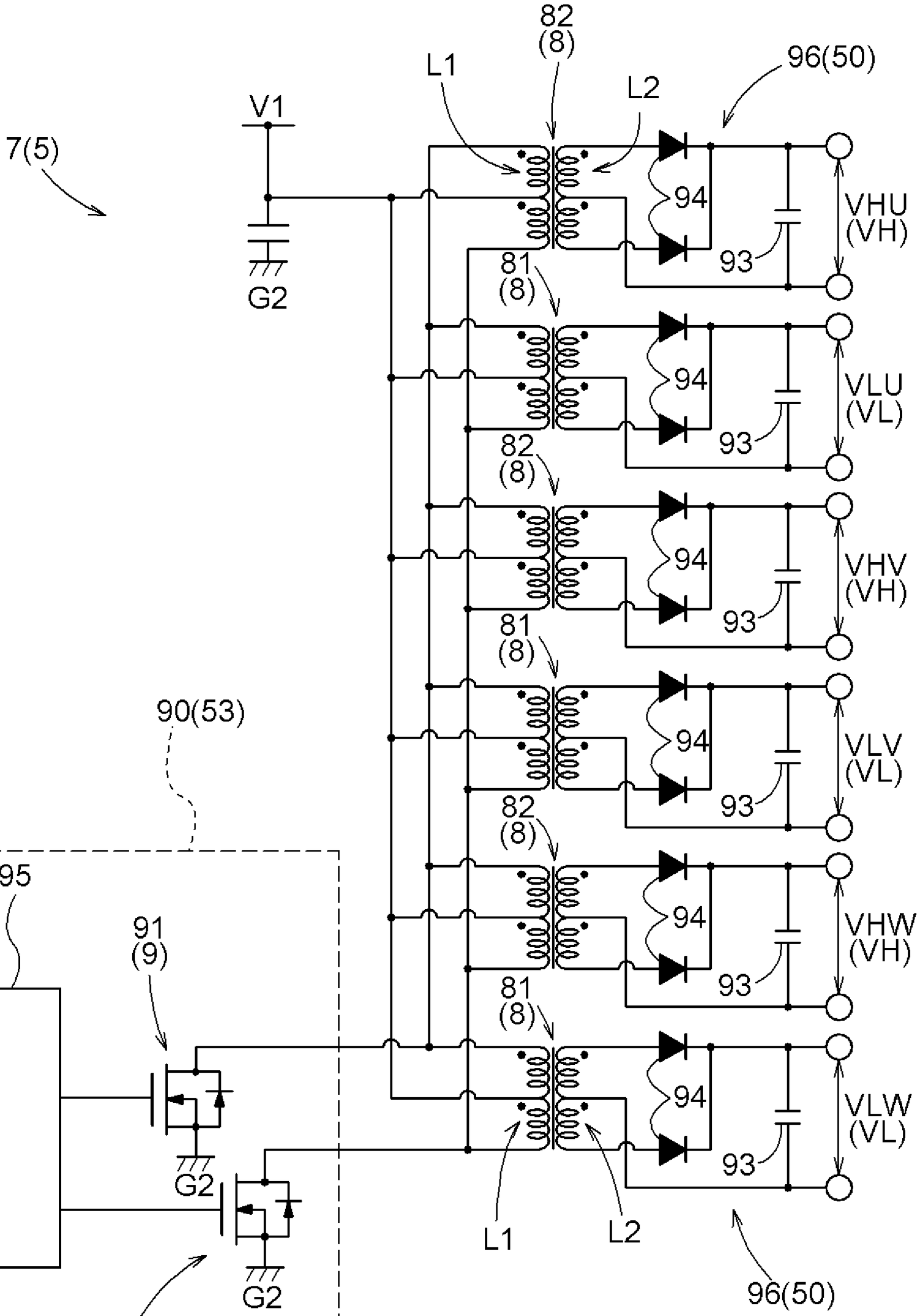

16
16a
15
14
100
2
(50,5)
21
(51)
SW1
(SW)
SW2
(SW)
31
(3)
32(3)
33W(33)
22
(52)
33V(33)
33U(33)
13
Vdc
11
7(5)
VHU(VH)
VLU(VL)
VHV(VH)
VLV(VL)
VHW(VH)
VLW(VL)
6(53,5)
G1
G2
12

Fig.1

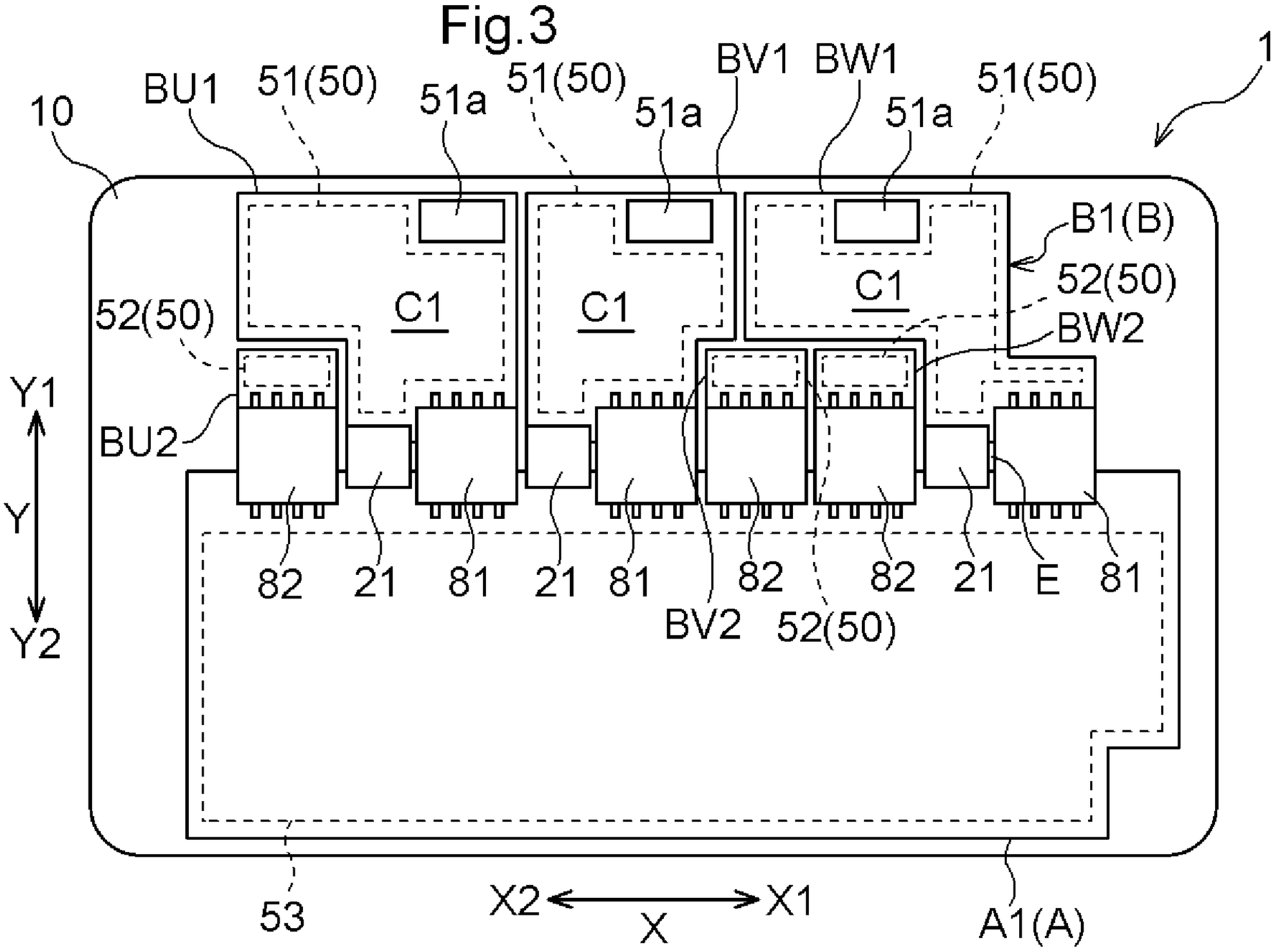
[図2]

Fig.2


7(5)
V1
G2
82
(8)
L1
L2
96(50)
94
93
VHU
(VH)
81
(8)
VLU
(VL)
VHV
(VH)
VLV
(VL)
VHW
(VH)
VLW
(VL)
90(53)
95
91
(9)
G2
G2
92
(9)
L1
L2
96(50)

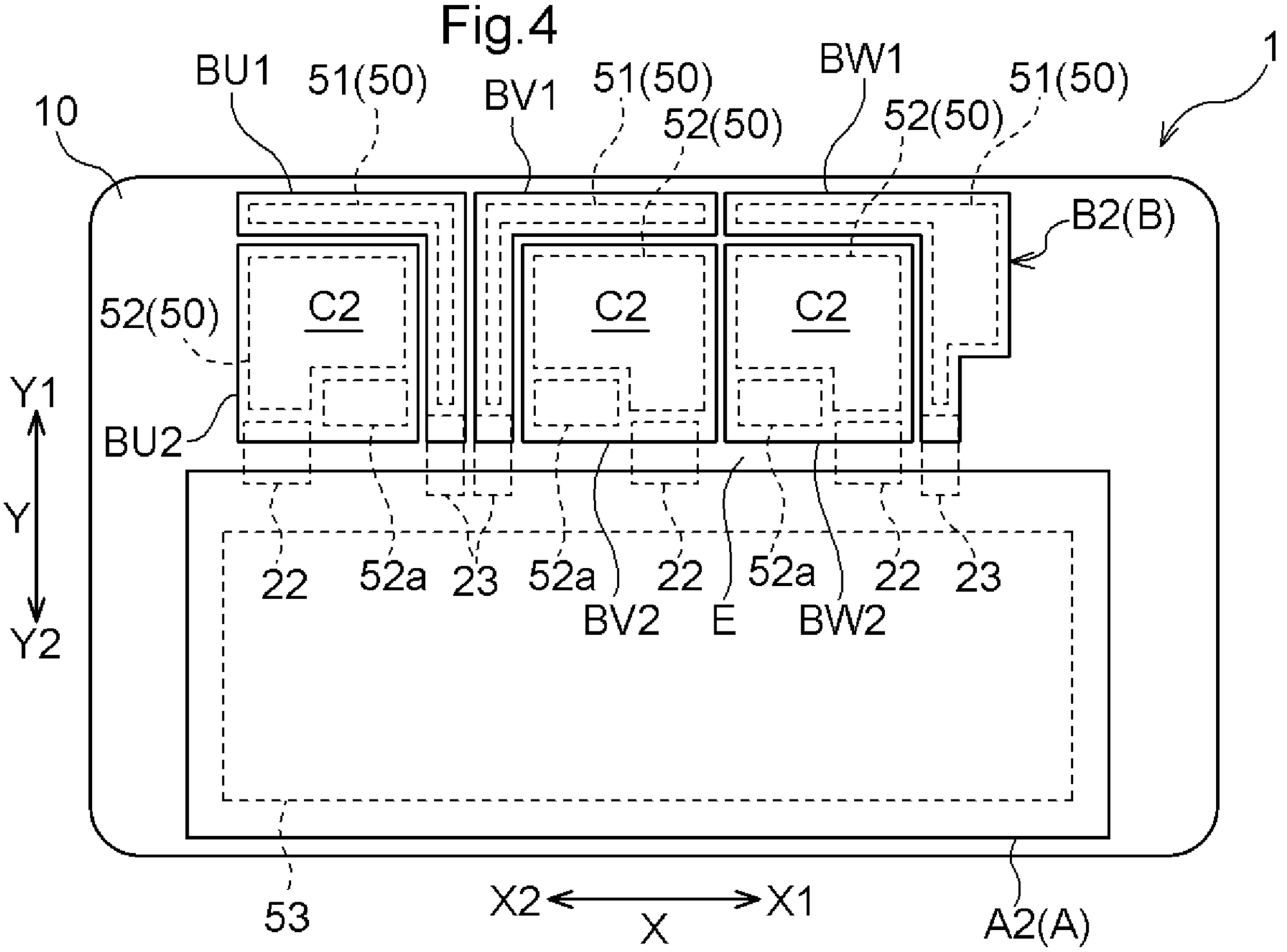
[図3]

Fig.3



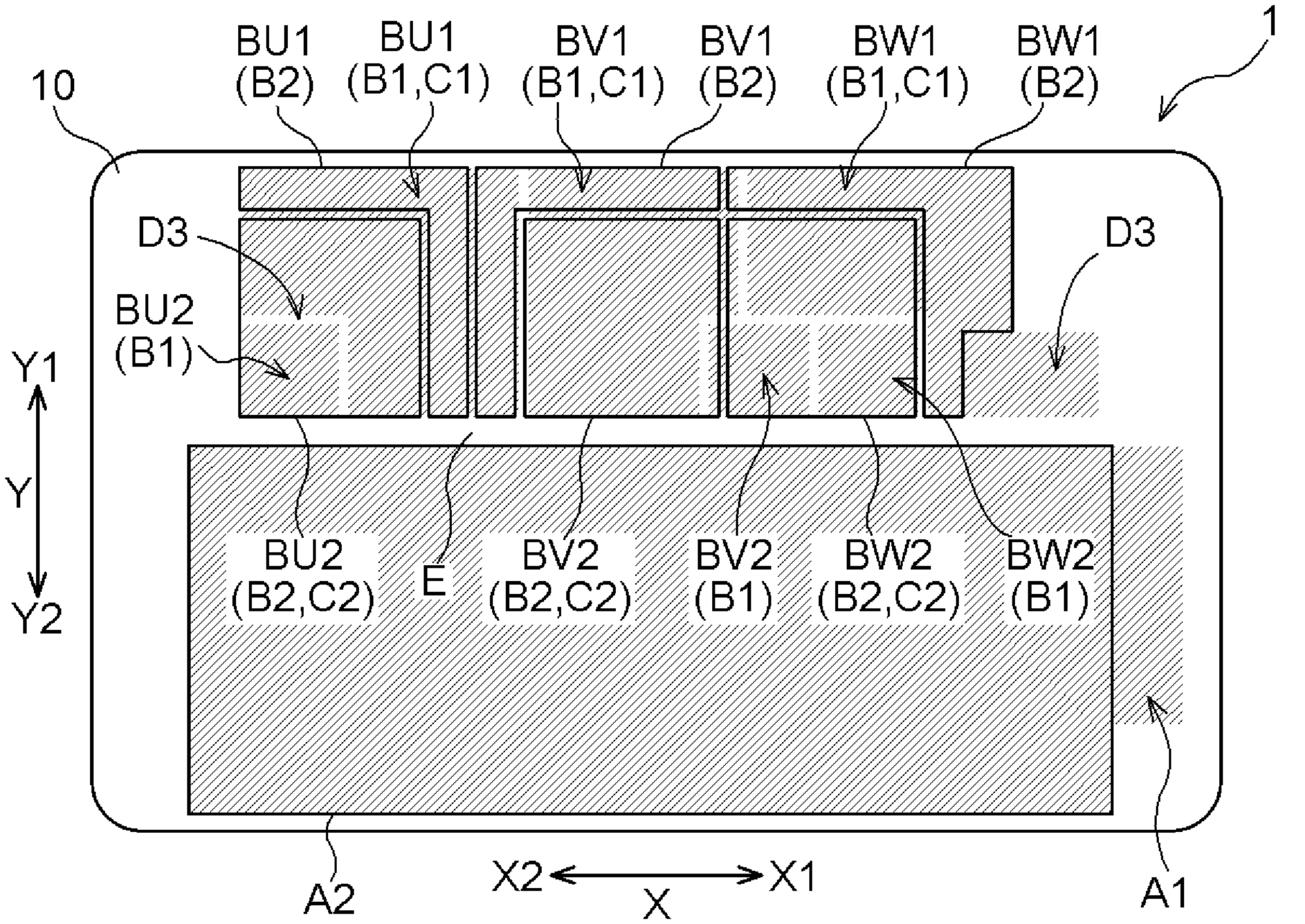
[図4]

Fig.4



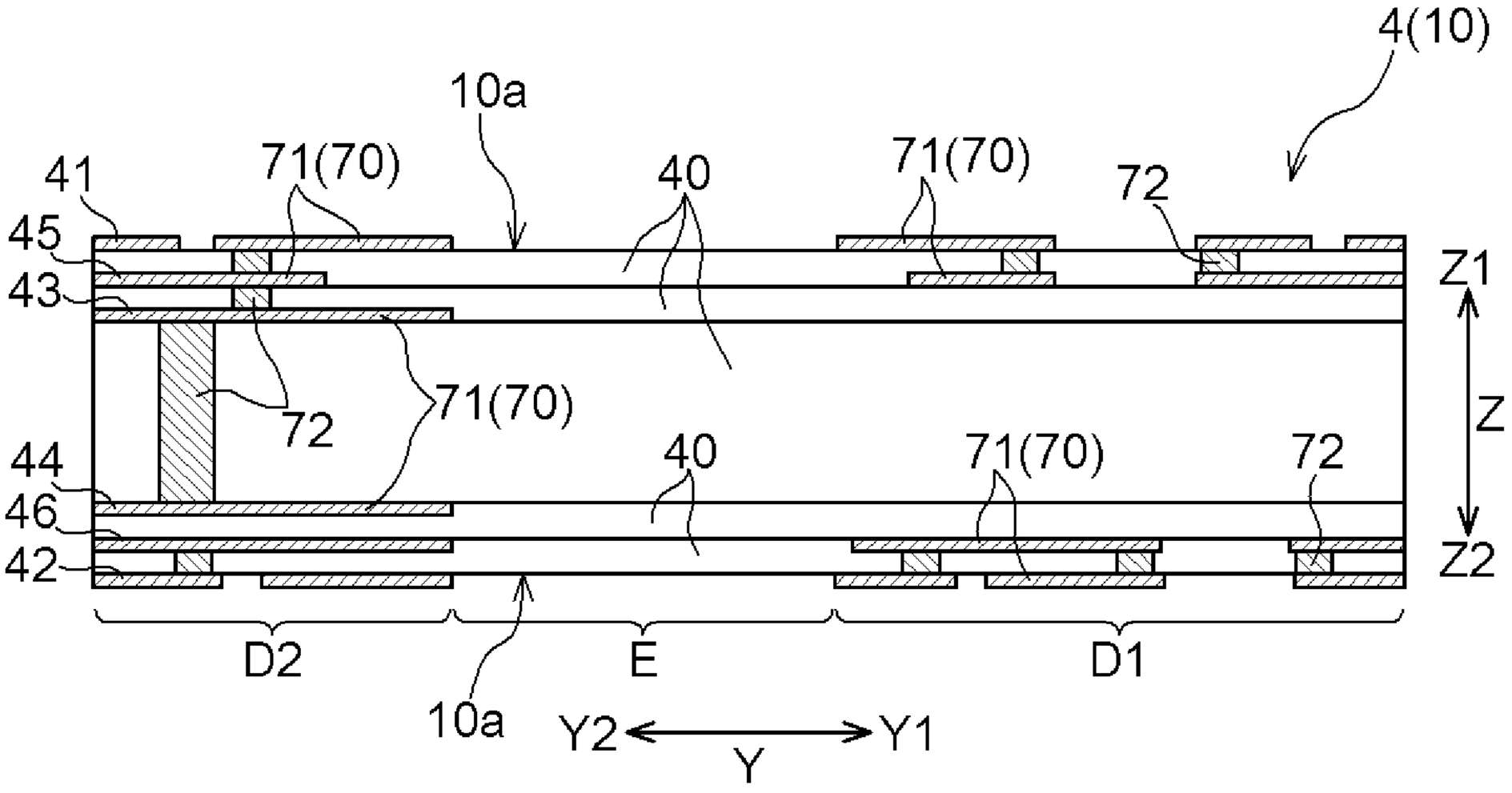
[図5]

Fig.5



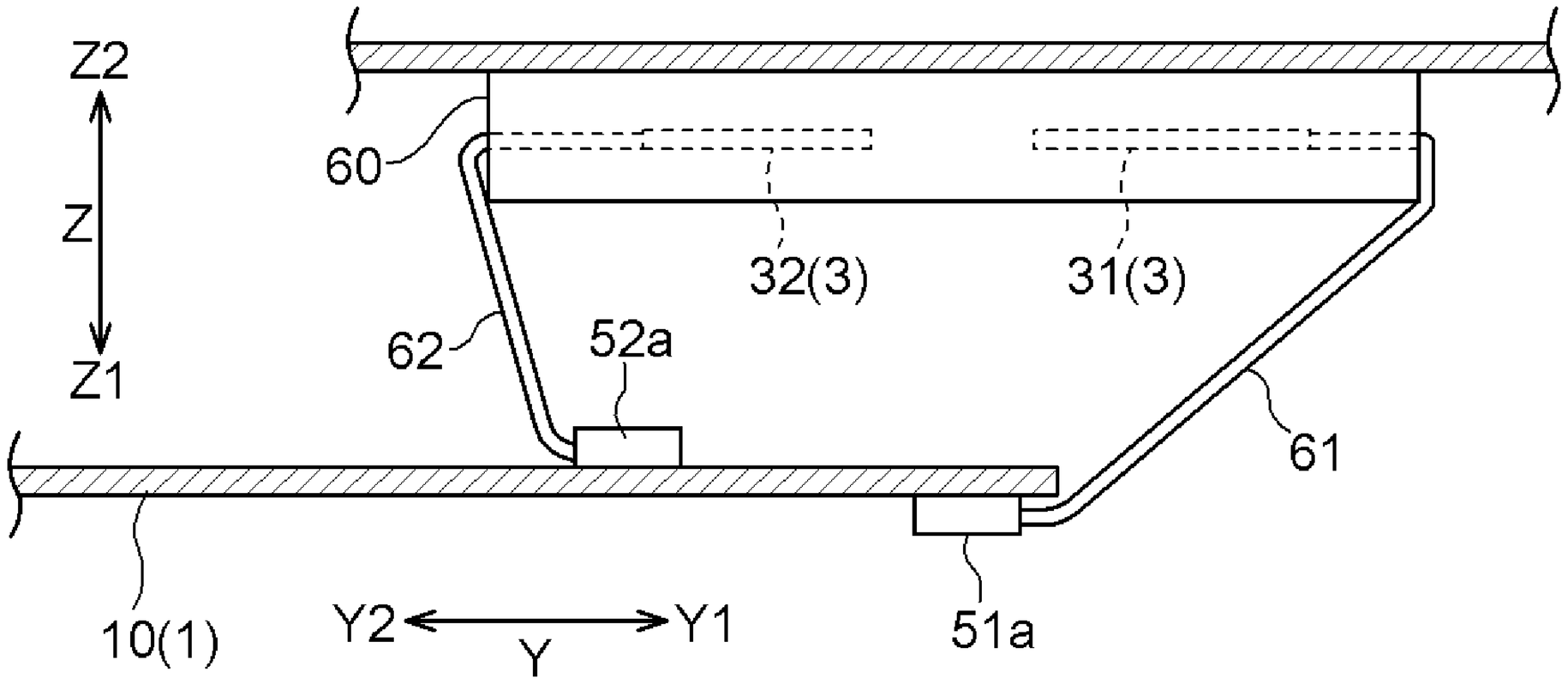
[図6]

Fig.6



[図7]

Fig.7



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/043850

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H02M7/48(2007.01)i
FI: H02M7/48Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H02M7/42-7/98

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-100432 A (MITSUBISHI ELECTRIC CORPORATION) 24 May 2012 (2012-05-24), paragraphs [0013], [0014], [0022]-[0025], fig. 4, 7, 8	1-2 3-5
Y A	WO 2016/088211 A1 (NISSAN MOTOR CO., LTD.) 09 June 2016 (2016-06-09), paragraphs [0009]-[0026], fig. 1-3	1-2 3-5
A	JP 2016-171664 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 23 September 2016 (2016-09-23), entire text, all drawings	1-5
A	JP 2016-1960 A (DENSO CORPORATION) 07 January 2016 (2016-01-07), entire text, all drawings	1-5

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 January 2021	02 February 2021
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/043850

JP 2012-100432 A	24 May 2012	(Family: none)
WO 2016/088211 A1	09 June 2016	US 2017/0353096 A1 paragraphs [0019]-[0036], fig. 1-3 EP 3229361 A1 CN 107155389 A
JP 2016-171664 A	23 September 2016	US 2018/0062556 A1 entire text, all drawings WO 2016/143534 A1 CN 107509392 A
JP 2016-1960 A	07 January 2016	US 2015/0364984 A1 entire text, all drawings

国際調査報告

国際出願番号 PCT/JP2020/043850

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 7/48(2007.01)i
FI: H02M7/48 Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M7/42-7/98

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-100432 A (三菱電機株式会社) 24.05.2012 (2012-05-24) 段落［００１３］－［００１４］，［００２２］－［００２５］，［図４］，［図７］，［図８］	1-2
A		3-5
Y	WO 2016/088211 A1 (日産自動車株式会社) 09.06.2016 (2016-06-09) 段落［０００９］－［００２６］，［図１］－［図３］	1-2
A		3-5
A	JP 2016-171664 A (日立オートモティブシステムズ株式会社) 23.09.2016 (2016-09-23) 全文，全図	1-5
A	JP 2016-1960 A (株式会社デンソー) 07.01.2016 (2016-01-07) 全文，全図	1-5

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20.01.2021	02.02.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
東　昌秋 5G 3139
電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/043850

引用文献	公表日	パテントファミリー文献	公表日
JP 2012-100432 A	24.05.2012	（ファミリーなし）	
WO 2016/088211 A1	09.06.2016	US 2017/0353096 A1 段落[0019]－[0036]，図1－3 EP 3229361 A1 CN 107155389 A	
JP 2016-171664 A	23.09.2016	US 2018/0062556 A1 全文，全図 WO 2016/143534 A1 CN 107509392 A	
JP 2016-1960 A	07.01.2016	US 2015/0364984 A1 全文，全図	