



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년04월24일  
 (11) 등록번호 10-1729597  
 (24) 등록일자 2017년04월18일

- (51) 국제특허분류(Int. Cl.)  
 HO1L 29/06 (2006.01) HO1L 21/28 (2006.01)  
 HO1L 29/417 (2006.01) HO1L 29/66 (2006.01)  
 HO1L 29/78 (2006.01) B82Y 10/00 (2017.01)  
 B82Y 30/00 (2017.01) B82Y 40/00 (2017.01)
- (52) CPC특허분류  
 HO1L 29/06 (2013.01)  
 HO1L 21/28 (2013.01)
- (21) 출원번호 10-2016-7003630
- (22) 출원일자(국제) 2014년08월12일  
 심사청구일자 2016년02월12일
- (85) 번역문제출일자 2016년02월12일
- (65) 공개번호 10-2016-0041929
- (43) 공개일자 2016년04월18일
- (86) 국제출원번호 PCT/JP2014/004175
- (87) 국제공개번호 WO 2015/022777  
 국제공개일자 2015년02월19일
- (30) 우선권주장  
 JP-P-2013-168048 2013년08월13일 일본(JP)
- (56) 선행기술조사문헌  
 KR1020120081100 A  
 US20070228491 A1  
 JP2013012723 A  
 JP1995263365 A

- (73) 특허권자  
 고쿠리츠켄큐카이하츠호진 카가쿠기쥬츠신코키코  
 일본 사이따마켄 가와구찌시 혼쵸 4쵸메 1방 8고
- (72) 발명자  
 후쿠이, 타카시  
 일본 060-0808 홋가이도 삿포로시 기따꾸 니시 5  
 쵸메 기따 8쵸 국립대학법인 홋가이도 다이가쿠  
 나이  
 토미오카, 카츠히로  
 일본 060-0808 홋가이도 삿포로시 기따꾸 니시 5  
 쵸메 기따 8쵸 국립대학법인 홋가이도 다이가쿠  
 나이
- (74) 대리인  
 특허법인필앤은지

전체 청구항 수 : 총 8 항

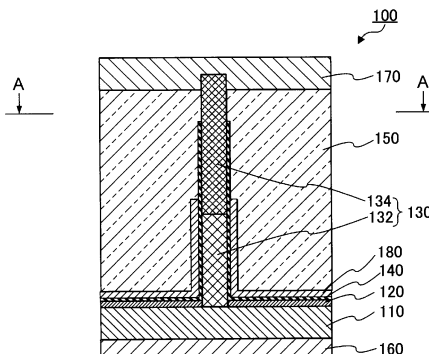
심사관 : 고재현

(54) 발명의 명칭 **터널 전계 효과 트랜지스터, 그 제조 방법 및 스위치 소자**

**(57) 요약**

터널 전계 효과 트랜지스터(TFET)는, p형을 띠는 IV족 반도체 기판의 (111)면 상에 III-V족 화합물 반도체 나노 와이어가 배치되고, 소스, 드레인 및 게이트의 각 전극이 적절히 배치되거나, 또는, n형을 띠는 IV족 반도체 기판의 (111)면 상에 III-V족 화합물 반도체 나노와이어가 배치되고, 소스, 드레인 및 게이트의 각 전극이 적절히 배치되어 구성된다. 상기 나노와이어는 제1 영역과 제2 영역에 의하여 구성되어 있다. 예를 들면, 제1 영역은 p형 도펀트로 단속적으로 도핑되고, 제2 영역은 n형 도펀트로 도핑되어 있다.

**대표도** - 도1



(52) CPC특허분류

*H01L 29/417* (2013.01)

*H01L 29/66* (2013.01)

*H01L 29/78* (2013.01)

*B82Y 10/00* (2013.01)

*B82Y 30/00* (2013.01)

*B82Y 40/00* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

IV족 반도체 기판에서 n형 및 p형 중 어느 하나인 제1 도전형을 띠는 부분의 (111)면 상으로부터, III-V족 화합물 반도체 나노와이어를 성장시키는 스텝과,

상기 IV족 반도체 기판 및 상기 III-V족 화합물 반도체 나노와이어의 계면에 작용하는, 소스 전극 및 드레인 전극 간의 캐리어의 흐름을 제어하기 위한 전계를 발생시키기 위한 게이트 전극을 형성하는 스텝과,

상기 III-V족 화합물 반도체 나노와이어와 접촉하지 않도록 상기 IV족 반도체 기판에 상기 소스 전극 및 상기 드레인 전극 중 어느 하나를 형성하는 스텝과,

상기 III-V족 화합물 반도체 나노와이어에 상기 소스 전극 및 상기 드레인 전극 중 다른 하나를 형성하는 스텝을 포함하는, 터널 전계 효과 트랜지스터의 제조 방법으로서,

상기 III-V족 화합물 반도체 나노와이어를 성장시키는 스텝은,

상기 (111)면 상에, III족 원료 및 V족 원료를 공급하면서, III-V족 화합물 반도체를 상기 제1 도전형으로 만들기 위한 제1 도전형 도펀트 및 III-V족 화합물 반도체를 n형 및 p형 중 다른 하나인 제2 도전형으로 만들기 위한 제2 도전형 도펀트 중 어느 하나 또는 둘을 단속적으로 도핑하여 제1 영역을 형성하는 스텝과,

상기 (111)면 상에 형성된 상기 제1 영역에, 상기 V족 원료 및 상기 III족 원료를 더 공급하여, 상기 제1 영역으로부터 연속하는, 상기 제2 도전형을 띠는 제2 영역을 형성하는 스텝을 포함하는, 터널 전계 효과 트랜지스터의 제조 방법.

**청구항 5**

청구항 4에 있어서,

상기 제1 영역은, III-V족 화합물 반도체를 상기 제2 도전형으로 만들기 위한 제2 도전형 도펀트를 포함하고,

상기 제1 영역을 형성하는 스텝은, 상기 제1 영역에서의 상기 제1 도전형 도펀트의 농도가  $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 가 되는 양으로, 상기 제1 도전형 도펀트를 상기 (111)면 상에 단속적으로 공급하는, 제조 방법.

**청구항 6**

청구항 4에 있어서,

상기 제1 영역을 형성하는 스텝에서, 상기 제1 도전형 도펀트를 도핑하는 시간은 0.1~5초/회이며, 상기 제1 도전형 도펀트의 도핑 인터벌은 1.0~29.5초인, 제조 방법.

**청구항 7**

청구항 4에 있어서,

상기 제2 영역을 형성하는 스텝은, 상기 (111)면 상에 형성된 상기 제1 영역에, 상기 V족 원료 및 상기 III족

원료를 공급하면서 상기 제2 도전형 도펀트를 도핑하여, 상기 제2 도전형을 띠는 상기 제2 영역을 형성하는, 제조 방법.

**청구항 8**

IV족 반도체 기관에서 n형 및 p형 중 어느 하나인 제1 도전형을 띠는 부분의 (111)면 상으로부터, III-V족 화합물 반도체 나노와이어를 성장시켜 III-V족 화합물 반도체 나노와이어를 제조하는 방법으로서,

상기 (111)면 상에, III족 원료 및 V족 원료를 공급하면서, III-V족 화합물 반도체를 상기 제1 도전형으로 만들기 위한 제1 도전형 도펀트 및 III-V족 화합물 반도체를 n형 및 p형 중 다른 하나인 제2 도전형으로 만들기 위한 제2 도전형 도펀트 중 어느 하나 또는 둘을 단속적으로 도핑하여 제1 영역을 형성하는 스텝과,

상기 (111)면 상에 형성된 상기 제1 영역에, 상기 V족 원료 및 상기 III족 원료를 더 공급하여, 상기 제1 영역으로부터 연속하는, 상기 제2 도전형을 띠는 제2 영역을 형성하는 스텝을 포함하는, 터널 전계 효과 트랜지스터의 제조 방법.

**청구항 9**

청구항 8에 있어서,

상기 제1 영역은, III-V족 화합물 반도체를 상기 제2 도전형으로 만들기 위한 제2 도전형 도펀트를 포함하고,

상기 제1 영역을 형성하는 스텝은, 상기 제1 영역에서의 상기 제1 도전형 도펀트의 농도가  $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 가 되는 양으로, 상기 제1 도전형 도펀트를 상기 (111)면 상에 단속적으로 공급하는, 제조 방법.

**청구항 10**

청구항 8에 있어서,

상기 제1 영역을 형성하는 스텝에서, 상기 제1 도전형 도펀트를 도핑하는 시간은 0.1~5초/회이며, 상기 제1 도전형 도펀트의 도핑 인터벌은 1.0~29.5초인, 제조 방법.

**청구항 11**

청구항 8에 있어서,

상기 제2 영역을 형성하는 스텝은, 상기 (111)면 상에 형성된 상기 제1 영역에, 상기 V족 원료 및 상기 III족 원료를 공급하면서 상기 제2 도전형 도펀트를 도핑하여, 상기 제2 도전형을 띠는 상기 제2 영역을 형성하는, 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, III-V족 화합물 반도체 나노와이어를 갖는 터널 전계 효과 트랜지스터, 그 제조 방법 및 이 트랜지스터를 포함하는 스위치 소자에 관한 것이다.

**배경 기술**

[0002] 터널 전계 효과 트랜지스터(TFET)는, 트랜지스터의 스위칭에 터널 전류를 이용한다. 이로 인하여, TFET는 급격한 온/오프의 절환이 실현 가능하고, 또 저전압의 동작이 가능하다. 이와 같은 TFET로는, IV족 반도체 기관과 이 기관 상에 기립하는 III-V족 화합물 반도체 나노와이어를 갖고, 이 기관과 나노와이어의 계면에서 터널 전류를 발생시키는 트랜지스터가 알려져 있다(예를 들면, 특허문헌 1, 비특허문헌 1 및 2 참조). 이 TFET는, 작은 서브스레스홀드값(60mV/dec 이하)으로 동작 가능하고, 또한 용이하게 제조할 수 있다는 점에서 우수하다. 이로 인하여, 상기 TFET는 스위치 소자에 유용하다.

**선행기술문헌**

**특허문헌**

[0003] (특허문헌 0001) 특허문헌 1: 국제공개공보 제2011/040012호

**비특허문헌**

[0004] (비특허문헌 0001) 비특허문헌 1: Katsuhiko Tomioka, Takashi Fukui, "Tunnel field-effect transistor using InAs nanowire/Si heterojunction", Appl. Phys. Lett., Vol. 98, pp. 083114-1-083114-3.

(비특허문헌 0002) 비특허문헌 2: Katsuhiko Tomioka, Masatoshi Yoshimura, Takashi Fukui, "Steep-slope tunnel field-effect transistors using III-V nanowire/Si heterojunction" IEEE VLSI Technology 2012 Symposium Proc., pp. 47-48.

**발명의 내용**

**해결하려는 과제**

[0005] 상기 TFET는, 상기 나노와이어에서 상기 계면을 구성하는 영역이 비도핑으로 형성되어 있음에도 불구하고, 상기 스위치 소자의 상승 전압이 마이너스쪽으로 시프트되어 있는 경우가 있다. 이로 인하여, 상기 TFET에 대하여 상기 상승 전압을 플러스쪽으로 시프트시키는 것이 더 요망되고 있다.

[0006] 본 발명은, 작은 서브스레스홀드값(sikiichi)(60mV/dec 이하)으로 동작 가능하고, 보다 플러스쪽 또는 보다 마이너스쪽의 상승 전압에서 동작 가능하며, 또한 용이하게 제조할 수 있는 TFET 및 그 제조 방법을 제공하는 것을 목적으로 한다.

[0007] 또, 본 발명은, 이 TFET를 포함하는 스위치 소자를 제공하는 것을 추가적인 목적으로 한다.

**과제의 해결 수단**

[0008] 본 발명자들은, III-V족 화합물 반도체 나노와이어에서, IV족 반도체 기판과 III-V족 화합물 반도체 나노와이어의 계면을 구성하는 제1 영역을, 적당한 도펀트를 적당한 간격으로 단속적으로 도핑하는 것에 의하여 제작함으로써 상기 과제를 해결할 수 있음을 발견하고, 추가로 검토를 더하여 본 발명을 완성시켰다.

[0009] 즉, 본 발명의 제1은, 이하의 터널 전계 효과 트랜지스터(TFET) 및 스위치 소자에 관한 것이다.

[0010] [1] n형 및 p형 중 어느 하나인 제1 도전형을 띠는 부분을 포함하고, 상기 부분이 (111)면을 갖는 IV족 반도체 기판과, 상기 (111)면 상에 기립하는 제1 영역, 및 n형 및 p형 중 다른 하나인 제2 도전형을 띠며, 상기 제1 영역에 연속하는 제2 영역을 포함하는 III-V족 화합물 반도체 나노와이어와, 상기 III-V족 화합물 반도체 나노와이어와 접촉하지 않고, 또한 상기 IV족 반도체 기판에 접촉된 소스 전극 및 드레인 전극 중 어느 하나와, 상기 제2 영역에 접촉된 소스 전극 및 드레인 전극 중 다른 하나와, 상기 IV족 반도체 기판과 상기 제1 영역의 계면에 작용하여 상기 소스 전극 및 상기 드레인 전극 간의 캐리어의 흐름을 제어하기 위한 전계를 발생시키도록 배치된 게이트 전극을 가지며, 상기 제1 영역은, III-V족 화합물 반도체를 상기 제1 도전형으로 만들기 위한 제1 도전형 도펀트 및 III-V족 화합물 반도체를 상기 제2 도전형으로 만들기 위한 제2 도전형 도펀트 중 어느 하나 또는 둘을 포함하고, 상기 제1 영역에서의 상기 제1 도전형 도펀트 및 상기 제2 도전형 도펀트 중 적어도 하나의 농도는  $1 \times 10^{14} \text{ cm}^{-3}$  이상이고, 또한 상기 제2 영역에서의 상기 제2 도전형 도펀트의 농도 미만인, 터널 전계 효과 트랜지스터.

[0011] [2] 적어도 상기 III-V족 화합물 반도체 나노와이어의 상기 제1 영역의 측면에 배치된 게이트 유전체막을 더 가지고, 상기 게이트 전극은 상기 게이트 유전체막 상에 배치되어 있는, [1]에 따른 터널 전계 효과 트랜지스터.

[0012] [3] [1] 또는 [2]에 따른 터널 전계 효과 트랜지스터를 포함하는 스위치 소자.

[0013] 또한, 본 발명의 제2는, 이하의 터널 전계 효과 트랜지스터(TFET)의 제조 방법에 관한 것이다.

[0014] [4] IV족 반도체 기판에서, n형 및 p형 중 어느 하나인 제1 도전형을 띠는 부분의 (111)면 상으로부터 III-V족 화합물 반도체 나노와이어를 성장시키는 스텝과, 상기 IV족 반도체 기판 및 상기 III-V족 화합물 반도체 나노와이어의 계면에 작용하는, 소스 전극 및 드레인 전극 간의 캐리어의 흐름을 제어하기 위한 전계를 발생시키기 위한 게이트 전극을 형성하는 스텝과, 상기 III-V족 화합물 반도체 나노와이어와 접촉하지 않도록 상기 IV족 반도체 기판에 상기 소스 전극 및 상기 드레인 전극 중 어느 하나를 형성하는 스텝과, 상기 III-V족 화합물 반도체 나노와이어에 상기 소스 전극 및 상기 드레인 전극 중 다른 하나를 형성하는 스텝을 포함하는, 터널 전계 효과 트랜지스터의 제조 방법으로서, 상기 III-V족 화합물 반도체 나노와이어를 성장시키는 스텝은, 상기 (111)면 상에 III족 원료 및 V족 원료를 공급하면서, III-V족 화합물 반도체를 상기 제1 도전형으로 만들기 위한 제1 도전형 도펀트 및 III-V족 화합물 반도체를 상기 제2 도전형으로 만들기 위한 제2 도전형 도펀트 중 어느 하나 또는 둘을 단속적으로 도핑하여 제1 영역을 형성하는 스텝과, 상기 (111)면 상에 형성된 상기 제1 영역에 상기 V족 원료 및 상기 III족 원료를 더 공급하여, 상기 제1 영역으로부터 연속하는, n형 및 p형 중 다른 하나인 제2 도전형을 띠는 제2 영역을 형성하는 스텝을 포함하는, 터널 전계 효과 트랜지스터의 제조 방법.

[0015] [5] 상기 제1 영역은 III-V족 화합물 반도체를 상기 제2 도전형으로 만들기 위한 제2 도전형 도펀트를 포함하고, 상기 제1 영역을 형성하는 스텝은, 상기 제1 영역에서의 상기 제1 도전형 도펀트의 농도가  $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 가 되는 양으로, 상기 제1 도전형 도펀트를 상기 (111)면 상에 단속적으로 공급하는, [4]에 따른 제조 방법.

[0016] [6] 상기 제1 영역을 형성하는 스텝에서, 상기 제1 도전형 도펀트를 도핑하는 시간은 0.1~5초/회이고, 상기 제1 도전형 도펀트의 도핑 인터벌은 1.0~29.5초인, [4] 또는 [5]에 따른 제조 방법.

[0017] [7] 상기 제2 영역을 형성하는 스텝은, 상기 (111)면 상에 형성된 상기 제1 영역에, 상기 V족 원료 및 상기 III족 원료를 공급하면서 상기 제2 도전형 도펀트를 도핑하고, 상기 제2 도전형을 띠는 상기 제2 영역을 형성하는, [4] 내지 [6] 중 어느 하나에 따른 제조 방법.

**발명의 효과**

[0018] 본 발명에 의하면, 작은 서브스레스홀드값(60mV/dec 이하)으로 동작 가능하고, 또한 보다 플러스쪽 또는 보다 마이너스쪽의 상승 전압에서 동작 가능한 TFET(스위치 소자)를 제공할 수 있다. 본 발명의 TFET는 용이하게 제조할 수 있다. 본 발명의 TFET를 이용함으로써, 반도체 마이크로프로세서 및 고집적 회로의 전력 소비량의 증대를 억제하면서, 반도체 마이크로프로세서 및 고집적 회로의 집적도 및 성능을 향상시킬 수 있다.

**도면의 간단한 설명**

[0019] 도 1은 본 실시형태의 TFET의 구성을 모식적으로 나타내는 단면도이다.

도 2에서 (A)는 본 실시형태에서의 III-V족 화합물 반도체 나노와이어를 도 1 중의 A-A선을 따라 절단했을 때의 단면도이고, (B)는 본 실시형태에서의 나노와이어를 모식적으로 나타내는 사시도이다.

도 3에서 (A)는 본 실시형태의 TFET의 제조에 있어서 실리콘 기판 상에 제조된 III-V족 화합물 반도체 나노와이어를 나타내는 도면이고, (B)는 이 TFET의 제조에 있어서 게이트 유전체막 및 게이트 전극층에 피복된 III-V족 화합물 반도체 나노와이어를 나타내는 도면이며, (C)는 절연 보호막에 매몰된 III-V족 화합물 반도체 나노와이어를 나타내는 도면이고, (D)는 부분적으로 제거된 절연 보호막으로부터 노출되는 게이트 유전체막 및 III-V족 화합물 반도체 나노와이어를 나타내는 도면이며, (E)는 절연 보호막으로부터 노출되는 III-V족 화합물 반도체 나노와이어를 나타내는 도면이고, (F)는 소스 전극 및 드레인 전극의 형성에 의하여 완성된 TFET를 나타내는 도면이다.

도 4에서 (A)는 본 실시형태의 TFET의 제조에 있어서, III-V족 화합물 반도체 나노와이어가 제조될 때까지의 실리콘 기판의 온도 와 원료 가스의 공급을 나타내는 도면이고, (B)는 (A) 중의 영역 C에서의 원료 가스의 공급 일례를 나타내는 도면이며, (C)는 (A) 중의 영역 D에서의 원료 가스의 공급 펄스 도핑의 일례를 나타내는 도면이다.

도 5에서 (A)는 본 실시형태의 TFET에서의 밴드 구조의 일례를 모식적으로 나타내는 도면이며, (B)는 다른 실시형태의 TFET에서의 밴드 구조의 일례를 모식적으로 나타내는 도면이다.

도 6에서 (A)는 종래의 TFET의 일례에서의 III-V족 화합물 반도체 나노와이어의 주사 전자 현미경 사진이며,

(B)는 본 발명의 TFET의 일례에서의 III-V족 화합물 반도체 나노와이어의 주사 전자 현미경 사진이다.

도 7은 실시예 1, 2의 TFET와 종래(비교예 1)의 TFET 각각의, 드레인 전류와 게이트 전압의 관계를 나타내는 도면이다.

도 8에서 (A)는 실시예 3, 4의 TFET의 제조시 실리콘 기판의 온도와 원료 가스의 공급을 모식적으로 나타내는 도면이며, (B)는 (A) 중의 영역 D에서의 원료 가스의 공급 펄스 도형을 모식적으로 나타내는 도면이다.

도 9는 실시예 3, 4의 TFET와 종래(비교예 2)의 TFET 각각의, 드레인 전류와 게이트 전압의 관계를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 1. 본 발명의 터널 전계 효과 트랜지스터
- [0021] 본 발명의 터널 전계 효과 트랜지스터(TFET)는, IV족 반도체 기판, III-V족 화합물 반도체 나노와이어, 소스 전극, 드레인 전극 및 게이트 전극을 갖는다. 1개의 IV족 반도체 기판 상에 복수의 TFET가 형성되어 있어도 된다. 본 발명의 TFET에서는, IV족 반도체 기판의 (111)면과 이 (111)면 상에 배치된 III-V족 화합물 반도체 나노와이어가 계면(이하, "접합계면"이라고도 함)을 형성한다. 본 발명의 TFET에서는, 이 접합계면에서 터널 현상이 발생한다. 또한, "접합계면"은, III-V족 화합물 반도체 나노와이어가 (111)면에 직접 접촉되어 있는 부분을 말한다.
- [0022] IV족 반도체 기판은, 실리콘 기판이나 게르마늄 기판 등의 IV족 반도체로 이루어지는 (111)면을 갖는 기판이다. IV족 반도체 기판은, 예를 들면 실리콘 (111)기판 또는 실리콘 (100)기판이다. IV족 반도체 기판이 실리콘 (100)기판인 경우는, (100)면과는 별도로 (111)면이 형성되어 있다.
- [0023] IV족 반도체 기판은 (111)면을 포함하는 부분을 갖는다. 이 부분은 n형 또는 p형 중 어느 하나를 띤다. 상기의 부분이 띤 도전형을 "제1 도전형"이라고도 한다. 따라서, IV족 반도체 기판의 (111)면을 포함하는 일부분만이 제1 도전형을 띤고 있어도 되고, IV족 반도체 기판의 전체가 제1 도전형을 띤고 있어도 된다. 예를 들면, IV족 반도체 기판은, 그 단면(端面)이 (111)면인 IV족 반도체층을 갖는 IV족 반도체 기판이여도 된다. 또, IV족 반도체 기판은 n형 또는 p형으로 도핑되어 있어도 된다. IV족 반도체 기판에 도핑되는 도펀트는, 이 기판을 n형 또는 p형으로 만드는 도펀트가 이용된다. 예를 들면, IV족 반도체 기판을 p형으로 만드는 도펀트의 예로는, B, Al, Ga, In 및 Tl이 포함된다. 또, IV족 반도체 기판을 n형으로 만드는 도펀트의 예로는, N, P, As, Sb 및 Bi가 포함된다.
- [0024] 또, IV족 반도체 기판의 표면에는 절연막이 형성되어 있어도 된다. 절연막의 예로는, 산화 실리콘막 및 유전율 3.9 이상의 화합물이 포함된다. 유전율 3.9 이상의 화합물 막의 예로는, 질화 실리콘 및 HfAlO가 포함된다.
- [0025] III-V족 화합물 반도체 나노와이어는, III-V족 화합물 반도체로 이루어지는, 직경 2~100nm, 길이 50nm~10 μm의 구조체이다. III-V족 화합물 반도체 나노와이어는, 예를 들면 IV족 반도체 기판의 (111)면 상에, 그 장축이 (111)면에 수직이 되도록 배치되어 있다. III-V족 화합물 반도체는 2개의 원소로 이루어지는 반도체, 3개의 원소로 이루어지는 반도체, 4개의 원소로 이루어지는 반도체, 그 이상의 원소로 이루어지는 반도체 중 어느 것이어도 된다.
- [0026] 2개의 원소로 이루어지는 III-V족 화합물 반도체의 예로는, InAs, InP, GaAs, GaN, InSb, GaSb 및 AlSb가 포함된다. 3개의 원소로 이루어지는 III-V족 화합물 반도체의 예로는, AlGaAs, InGaAs, InGaN, AlGaN, GaNAs, InAsSb, GaAsSb, InGaSb 및 AlInSb가 포함된다. 4개 이상의 원소로 이루어지는 III-V족 화합물 반도체의 예로는, InGaAlN, AlInGaP, InGaAsP, GaInAsN, InGaAlSb, InGaAsSb 및 AlInGaPSb가 포함된다.
- [0027] III-V족 화합물 반도체 나노와이어는 제1 영역과 제2 영역을 포함한다. 제1 영역은 IV족 반도체 기판의 (111)면에 접합되어 있는 부분으로, (111)면 상으로부터 기립하고 있다. 제2 영역은 제1 영역에 연속하는 부분이다. 예를 들면, 제1 영역은 III-V족 화합물 반도체 나노와이어를 그 장축 방향에 대하여 양분했을 때 기판쪽 부분이며, 제2 영역은 기판쪽과는 반대쪽의 부분이다.
- [0028] 제1 영역은, 후술하는 게이트 전압의 시프트를 발생시키도록, 제1 도전형 도펀트가 도핑되어 있다. 즉, 상기 제1 영역은 III-V족 화합물 반도체를 상기 제1 도전형으로 만들기 위한 제1 도전형 도펀트 및 III-V족 화합물 반도체를 상기 제2 도전형으로 만들기 위한 제2 도전형 도펀트 중 어느 하나 또는 둘 다를 포함한다. 예를 들면, 상기 제1 영역은 비도핑에서는 i형인 III-V족 화합물 반도체에 제1 도전형 도펀트 및 제2 도전형 도펀트 중 하

나 또는 둘 다가 도핑될 수 있다. 또, 상기 제1 영역은 비도핑에서는 p형이지만 의도하지 않은 도펀트의 존재에 의하여 n형을 띠는 III-V족 화합물 반도체에, 제1 도전형 도펀트 및 제2 도전형 도펀트 중 하나 또는 둘 다가 도핑되어 있어도 된다. 또한, 상기 제1 영역은 비도핑에서는 n형이지만 의도하지 않은 도펀트의 존재에 의하여 p형을 띠는 III-V족 화합물 반도체에, 제1 도전형 도펀트 및 제2 도전형 도펀트 중 하나 또는 둘 다가 도핑되어 있어도 된다.

[0029] 제1 영역에서의 제1 도전형 도펀트 및 제2 도전형 도펀트의 농도는, 제1 도전형 도펀트 또는 제2 도전형 도펀트가 단독으로 도핑되었을 때에 도펀트로서 유효한 농도에서부터, 제1 영역에서 어느 하나의 도펀트의 영향을 다른 하나의 도펀트로 실질적으로 상쇄할 수 있는 농도까지의 범위에서, 적절히 정할 수 있다. 예를 들면, 제1 영역에서의 제1 도전형 도펀트 및 제2 도전형 도펀트 중 적어도 어느 하나의 농도는  $1 \times 10^{14} \text{ cm}^{-3}$  이상이고, 또한 제2 영역에서의 제2 도전형 도펀트의 농도 미만이다.

[0030] 또, 제1 영역이 제1 도전형 도펀트 및 제2 도전형 도펀트의 둘 다를 포함하는 경우에, 제1 도전형 도펀트 및 제2 도전형 도펀트 중 어느 하나의 농도는 다른 하나의 농도 미만인 것이, 어느 하나의 도펀트의 영향을 다른 하나의 도펀트로 실질적으로 상쇄하는 관점에서 바람직하다. 예를 들면, 비도핑에서는 i형이지만 의도하지 않은 도펀트의 존재에 의하여 제2 도전형을 띠는 III-V족 화합물 반도체의 제1 영역에 제1 도전형 도펀트가 도핑될 경우, 제1 도전형 도펀트의 도핑에 의하여 의도하지 않은 도핑에 의한 제2 도전형을 억제하기 위해서라면, 제1 도전형 도펀트의 농도는 제2 영역에서의 제2 도전형 도펀트의 농도 미만이고, 또한 바람직하게는 제1 영역에서의 제2 도전형 도펀트의 농도 미만이다.

[0031] 제1 도전형 도펀트의 농도가 너무 낮으면 제1 영역의 도전형을 적절히 제어할 수 없는 경우가 있고, 제1 도전형 도펀트의 농도가 너무 높으면 실질적인 접촉 계면이 제1 영역과 제2 영역의 계면으로 되어버려 바람직하지 않다. 제1 도전형 도펀트의 농도 및 제2 도전형 도펀트의 농도는, 어느 경우든 비도핑의 상기 InAs 나노와이어를 n형, p형 또는 i형의 실리콘 기판에 제작하여 세로형 FET 구조를 제작하고, 당해 나노와이어의 문턱 전압으로부터 산출함으로써 구할 수 있다. 이와 같은 제1 영역은, 예를 들면 후술하는 제1 도전형 도펀트의 단속적인 도핑에 의하여 형성하는 것이 가능하다. 제1 영역에서의 상기 제1 도전형 도펀트의 농도는, 상기의 관점에서,  $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 가 되는 것이 보다 바람직하다.

[0032] 제1 도전형 도펀트의 종류는, 1종이어도 되고 그 이상이어도 된다. 제1 영역을 p형으로 만들기 위한 제1 도전형 도펀트의 예로는, Zn, Cd, Hg, Te 및 C가 포함된다. 제1 영역을 n형으로 만들기 위한 제1 도전형 도펀트의 예로는, C, Si, Ge, Sn, O, S, Se 및 Po가 포함된다.

[0033] 제1 도전형 도펀트는, 제1 도전형 도펀트가 도핑되어 있지 않은 III-V족 화합물 반도체가 띠는 도전형과는 반대의 도전형을 부여하기 위한 도펀트인 것이, 제1 영역의 도전형을 적절히 조정하는 관점에서 바람직하다. 즉, n형을 띠는 III-V족 화합물 반도체에는 p형의 제1 도전형 도펀트가 바람직하고, p형을 띠는 III-V족 화합물 반도체에는 n형의 제1 도전형 도펀트가 바람직하다. 여기에서, "제1 도전형 도펀트가 도핑되어 있지 않은 III-V족 화합물 반도체"란, 의도하지 않은 도펀트의 도핑(혼입) 때문에 특정한 도전형을 띠는 III-V족 화합물 반도체를 포함한다. 이와 같은 제1 도전형 도펀트는, 예를 들면 제1 도전형 도펀트를 도핑하지 않고 제1 영역을 형성하고 이 제1 영역의 도전형을 측정함으로써 정할 수 있다.

[0034] 제2 영역은, n형 및 p형 중 제1 도전형과는 상이한 도전형을 나타낸다. 제2 영역이 나타내는 도전형을 "제2 도전형"이라고도 한다. 제2 도전형을 띠는 제2 영역은 제2 도전형 도펀트의 도핑에 의하여 형성할 수 있다. 제2 도전형 도펀트의 종류는, 1종이어도 되고 그 이상이어도 된다. 제2 도전형 도펀트는, 예를 들면 제1 도전형 도펀트로서 예시된 도펀트로부터 선택된다.

[0035] 소스 전극은 본 발명의 TFET의 소스 영역에 접속되고, 드레인 전극은 본 발명의 TFET의 드레인 영역에 접속된다. 소스 전극 및 드레인 전극은, 예를 들면 Ti/Au 합금막이나 Ti/Al/Ti/Au 합금막, Ge/Au/Ni/Au 합금막 등이다.

[0036] 소스 전극 및 드레인 전극의 위치는 본 발명의 TFET의 구조에 따라 변한다. 예를 들면, IV족 반도체 기판이 소스 영역으로서 기능하고, III-V족 화합물 반도체 나노와이어의 제1 영역(IV족 반도체 기판의 (111)면과 접촉하고 있음)이 채널 영역으로서 기능하며, III-V족 화합물 반도체 나노와이어의 제2 영역(제1 영역 이외의 영역)이 드레인 영역으로서 기능하는 경우, 소스 전극은 IV족 반도체 기판에 접속되고, 드레인 전극은 III-V족 화합물 반도체 나노와이어의 제2 영역에 접속된다.



- [0037] 한편, IV족 반도체 기판이 드레인 영역으로서 기능하고, III-V족 화합물 반도체 나노와이어의 제1 영역(IV족 반도체 기판의 (111)면과 접합하고 있음)이 채널 영역으로서 기능하며, III-V족 화합물 반도체 나노와이어의 제2 영역(제1 영역 이외의 영역)이 소스 영역으로서 기능하는 경우는, 소스 전극은 III-V족 화합물 반도체 나노와이어의 제2 영역에 접속되고, 드레인 전극은 IV족 반도체 기판에 접속된다.
- [0038] 게이트 전극은 상기 접합면에 전계를 작용시킬 수 있다. 통상, 채널 영역(IV족 반도체 기판 및 III-V족 화합물 반도체 나노와이어 중 어느 하나 또는 둘 다) 상에 게이트 유전체막이 배치되고, 게이트 전극은 상기 게이트 유전체막 상에 배치된다.
- [0039] 본 발명의 TFET는, 본 발명의 효과가 얻어지는 범위에 있어서, 상술한 구성 요소 이외의 다른 구성 요소를 더 포함하고 있어도 된다. 이와 같은 다른 구성 요소의 예로는 절연 보호막이 포함된다. 절연 보호막은, 그 두께 방향이 III-V족 화합물 반도체 나노와이어의 장축 방향이 되도록 배치된다. 절연 보호막은 IV족 반도체 기판 상의 전체에 배치되어도 되고, 일부에 배치되어도 된다. 절연 보호막의 두께는, III-V족 화합물 반도체 나노와이어의 제1 영역과 제2 영역의 적어도 일부를 덮는 두께인 것이, III-V족 화합물 반도체 나노와이어, 게이트 유전체막 및 게이트 전극을 보호하는 관점에서 바람직하다. 절연 보호막은, 전기적인 절연성이 충분히 얻어지는 점, 및 나노와이어가 구부러지지 않을 정도의 낮은 점성을 갖는 용액으로 형성될 수 있다는 점에서, BCB(벤조시클로부텐)층인 것이 바람직하다.
- [0040] 본 발명의 TFET에서는 상기 접합면은 무전위(궤?z궤)이며 또한 무결함인 것이 바람직하지만, 소수의 전위 또는 결함을 포함하고 있어도 된다. 구체적으로는, 상기 접합면에서의 미스핏 전위의 주기는, 상기 IV족 반도체와 상기 III-V족 화합물 반도체의 격자 부정합으로부터 계산되는 미스핏 전위의 주기보다 크면 된다. 또, 상기 접합면에서의 관통 전위의 밀도는,  $0\sim 10^{10}$  개/cm<sup>2</sup>의 범위 내이면 된다. 후술하는 본 발명의 TFET의 제조 방법으로 본 발명의 TFET를 제조함으로써, 기본적으로 무전위이며 또한 무결함의 접합면을 갖는 본 발명의 TFET를 제조할 수 있다.
- [0041] 본 발명의 TFET에서는, 상기 접합면이 터널층으로서 기능한다. 후술하는 실시형태에 나타내는 바와 같이, 본 발명의 TFET에서는 게이트 전극에 플러스 또는 마이너스의 바이어스를 인가함으로써, 소스 영역(IV족 반도체 기판 또는 III-V족 화합물 반도체 나노와이어) 내의 캐리어가 터널 현상에 의하여 채널 영역(III-V족 화합물 반도체 나노와이어 또는 IV족 반도체 기판) 내로 이동한다(ON 상태가 된다). 이 동작은 CMOS 스위치의 n형 또는 p형 MOSFET의 스위치 동작에 상당한다(도 5의 (A), (B)).
- [0042] 본 발명의 TFET는, IV족 반도체 기판과 III-V족 화합물 반도체 나노와이어의 접합면에 발생하는 포텐셜을 이용함으로써, 서브스레스홀드값 60mV/dec 이하로 동작할 수 있다(실시에 참조). 본 발명의 TFET를 스위치 소자로서 이용함으로써 반도체 디바이스의 소비 전력을 절감할 수 있다. 그 결과, 에너지 절약 및 환경부하 저감도 실현할 수 있다.
- [0043] 또, 본 발명의 TFET에서는, III-V족 화합물 반도체 나노와이어에서 제1 영역의 도전형을 적절히 조정함으로써 문턱 전압(스레스홀드 전압)이 플러스쪽 또는 마이너스쪽으로 이동한다. 이로 인하여, 제1 영역의 도전형을 적절히 조정함으로써 ON 상태에 필요한 공급 전압(게이트 전압)의 부호 및 크기를 임의로 제어할 수 있다(도 7).
- [0044] 2. 본 발명의 TFET의 제조 방법
- [0045] 본 발명의 TFET의 제조 방법은, 나노와이어 성장 스텝과, 게이트 전극 형성 스텝과, 소스 전극 및 드레인 전극 형성 스텝을 포함한다.
- [0046] "나노와이어 성장 스텝"은, IV족 반도체 기판에서 제1 도전형을 띠는 (111)면 상으로부터 III-V족 화합물 반도체 나노와이어를 성장시키는 스텝이다. "게이트 전극 형성 스텝"은, 소스 전극 및 드레인 전극 간의 캐리어의 흐름을 제어하기 위한 전계를 발생시키기 위한 게이트 전극을 형성하는 스텝이다. 이 게이트 전극은, 상기 IV족 반도체 기판 및 상기 III-V족 화합물 반도체 나노와이어의 계면에 작용하도록 배치된다. "소스 전극 및 드레인 전극 형성 스텝"은, 상기 III-V족 화합물 반도체 나노와이어와 접촉하지 않도록 상기 IV족 반도체 기판에 상기 소스 전극 및 상기 드레인 전극 중 어느 하나를 형성하는 스텝, 및 상기 III-V족 화합물 반도체 나노와이어에 상기 소스 전극 및 상기 드레인 전극 중 다른 하나를 형성하는 스텝이다.
- [0047] 나노와이어 성장 스텝 이외의 스텝은, 종래의 기술에 근거하여, 예를 들면 특허문헌 1에 기재되어 있는 방법에 따라 행할 수 있다.
- [0048] 본 발명의 TFET의 제조 방법에서는, "나노와이어 성장 스텝"에 앞서, 필요에 따라, IV족 반도체 기판의 전처리

스텝을 행할 수 있다. 이와 같은 전처리 스텝의 예로는, 개구부를 갖는 절연막을 형성하는 스텝이 포함된다.

- [0049] 절연막이 형성되는, (111)면을 갖는 IV족 반도체 기판의 예로는, n형 실리콘 (111)기판, p형 실리콘 (111)기판, 이방성 에칭에 의하여 (111)면이 표면의 일부에 또는 전면에 노출된 실리콘 (100)기판이 포함된다. 절연막으로서의 산화 실리콘막은, 예를 들면 실리콘 기판을 열 산화하거나 스퍼터링법 등의 일반적인 박막 형성법에 의하여 형성하는 것이 가능하다. 절연막의 두께는, 특별히 한정되지 않지만, 예를 들면 20nm 정도이면 된다.
- [0050] 절연막의 개구부는, 전자빔 리소그래피나, 포토리소그래피, 나노 임프린트 리소그래피 등의 미세 패턴 가공 기술을 이용함으로써 형성될 수 있다. 개구부의 형상은 임의로 결정할 수 있고, 개구부의 형상의 예로는, 삼각형, 사각형, 육각형 및 원형이 포함된다. 개구부의 직경은 예를 들면 2~100nm 정도이면 된다. 개구부의 직경이 너무 크면, 상기 접합면에 다수의 전위 또는 결함이 형성될 우려가 있다. 1개의 IV족 반도체 기판에 복수의 개구부를 주기적으로 배열하는 경우, 개구부의 간격은 예를 들면 10nm~수 μm 정도이다.
- [0051] 또, 상기의 전처리 스텝의 예에는 고온 열처리가 포함된다. 고온 열처리는 IV족 반도체 기판의 (111)면에 형성된 자연 산화막을 제거하기 위한 처리이다. 상기 자연 산화막은 III-V족 화합물 반도체 나노와이어의 성장을 저해한다. 자연 산화막은 상기 개구부가 마련된 IV족 반도체 기판을 고온 열처리함으로써 제거된다. 자연 산화막의 제거에 의하여 IV족 반도체 기판의 표면(개구부 내의 (111)면)이 노출된다. 고온 열처리는, 예를 들면 수소 가스나 질소 가스, 아르곤 가스 등의 불활성 가스 분위기 중에서 약 900℃의 조건에서 행할 수 있다.
- [0052] 또, 상기의 전처리 스텝의 예에는 저온 열처리가 포함된다. 저온 열처리는 고온 열처리 후의 IV족 반도체 기판의 온도를, III-V족 화합물 반도체 나노와이어의 성장 시의 온도 또는 그 이하의 온도, 예를 들면 400℃ 정도까지 내리고, IV족 반도체 기판의 (111)면을 (111)1×1면으로 만드는 처리이다.
- [0053] 원래, 고온 열처리 후의 (111)면은 1×1 구조로 구성되지만, 냉각 도중에 (111)2×1면으로 변환되는 경우가 있다. 그러나, IV족 반도체 기판의 온도를 400℃ 정도까지 내림으로써, (111)2×1면을 (111)1×1면으로 다시 변환할 수 있다. 한편, "(111)2×1면"이란, 원자 배열을 구성하는 최소 단위가 2원자간격×1원자간격으로 되어 있는 면을 말한다. "(111)1×1면"이란, 원자 배열을 구성하는 최소 단위가 1원자간격×1원자간격으로 되어 있는 면을 말한다.
- [0054] 상기 저온 열처리는, 약 350~450℃(예를 들면, 약 400℃)의 온도에서 행하면 된다. 저온 열처리는, 수소 가스, 질소 가스, 아르곤 가스, 헬륨 가스 등의 불활성 가스의 분위기 하에서 행하는 것이 바람직하다.
- [0055] 또한, 본 발명의 TFET의 제조 방법에서는, "나노와이어 성장 스텝"에서, 필요에 따라 나노와이어 성장을 위한 준비 스텝을 행할 수 있다. 이와 같은 준비 스텝의 예에는, (111)면을 (111)A면 또는 (111)B면으로 변환하는 스텝이 포함된다. "(111)A면"이란 표면에 III족 원소가 배치되어 있는 (111)면을 말한다. 또, "(111)B면"이란 표면에 V족 원소가 배치되어 있는 (111)면을 말한다. III-V족 화합물 반도체의 (111)A면 또는 (111)B면은, (111)2×2면, 즉 최소 단위가 2원자간격×2원자간격의 주기로 구성된 구조이다. 따라서, IV족 반도체 기판의 표면에, 2원자간격×2원자간격보다 작은 최소 단위로 III족 원소 또는 V족 원소가 배치되어 있으면, 그 표면에 III-V족 화합물 반도체가 성장하기 쉽다.
- [0056] (111)면을 (111)A면 또는 (111)B면으로 변환하는 스텝은, III족 원료 또는 V족 원료를 IV족 반도체 기판의 (111)면에 공급함으로써 행할 수 있다. (111)면을 (111)A면 또는 (111)B면으로 변환하는 공정은, IV족 반도체 기판의 표면을 (111)1×1면으로 변환하는 공정의 후에 행해도 되지만, (111)1×1면으로 변환하는 공정과 동시에 행해도 된다. 예를 들면, IV족 반도체 기판의 (111)2×1면을 저온 열처리에 의하여 (111)1×1면으로 변환함과 함께, III족 원료 또는 V족 원료를 IV족 반도체 기판의 표면에 공급함으로써, (111)1×1면을 (111)A면 또는 (111)B면으로 변환할 수 있다(도 4의 (A), (B)).
- [0057] III족 원료는, 붕소, 알루미늄, 갈륨, 인듐 또는 타이타늄(유기 금속 화합물이어도 됨)을 포함하는 가스인 것이 바람직하다. III족 원료는, 예를 들면 트리메틸인듐 등의 유기 알킬 금속 화합물이다. V족 원료는, 질소, 인, 비소, 안티몬 또는 비스무트(유기 금속 화합물이어도 됨)를 포함하는 가스인 것이 바람직하다. V족 원료는, 예를 들면 수소화 비소(아신; AsH<sub>3</sub>)이다. III족 원료 또는 V족 원료의 공급은 400~500℃에서 행해지는 것이 바람직하다.
- [0058] 또, 상기 준비 스텝의 예에는 교호(交互) 원료 공급 변조법이 포함된다. "교호 원료 공급 변조법"이란, IV족 반도체 기판에 III족 원소를 포함하는 원료 가스와 V족 원소를 포함하는 원료 가스를 교대로 제공하여, 절연막의 개구부를 통과하여 노출된 (111)A면 또는 (111)B면에 III-V족 화합물 반도체의 박막을 형성하는 방법이다. 교호

원료 공급 변조법은, III-V족 화합물 반도체 나노와이어를 성장시키기 위하여 필요한 온도에서 행하는 것이 가능하고, 그보다 낮은 온도에서 행해지는 것이 바람직하다. 예를 들면, 교호 원료 공급 변조법은, III-V족 화합물 반도체 나노와이어의 성장 시의 온도에서 행하거나, 약 400°C에서 행하거나, 또는 400°C로부터 승온하면서 행하면 된다.

- [0059] 구체적으로는, IV족 반도체 기판에 (111)A면이 형성되어 있는 경우는, 먼저 III족 원소를 포함하는 원료 가스를 공급하고, 그 후 V족 원소를 포함하는 원료 가스를 공급한다. 또한, III족 원소를 포함하는 원료 가스와 V족 원소를 포함하는 원료 가스를 교대로 반복하여 공급한다. 한편, IV족 반도체 기판에 (111)B면이 형성되어 있는 경우는, 먼저 V족 원소를 포함하는 원료 가스를 공급하고, 그 후 III족 원소를 포함하는 원료 가스를 공급한다. 또한, V족 원소를 포함하는 원료 가스와 III족 원소를 포함하는 원료 가스를 교대로 반복하여 공급한다.
- [0060] V족 원소를 포함하는 원료 가스의 공급 시간 및 III족 원소를 포함하는 원료 가스의 공급 시간은, 각각 수 초 정도이면 된다. 또, V족 원소를 포함하는 원료 가스의 공급과 III족 원소를 포함하는 원료 가스의 공급 사이에, 수 초의 인터벌을 마련하는 것이 바람직하다. III-V족 화합물 반도체의 박막이 원하는 두께가 될 때까지, V족 원소를 포함하는 원료 가스와 III족 원소를 포함하는 원료 가스를 교대로 공급하면 된다. 수 회 반복하여 가스를 공급함으로써 III-V족 화합물 반도체의 박막이 형성된다.
- [0061] 이 교호 원료 공급 변조법은, IV족 반도체 기판의 (111)1×1면을 (111)A면 또는 (111)B면으로 변환했을 때에 변환할 수 없었던 부위가 있었다고 하더라도, (111)A면 또는 (111)B면을 재형성할 수 있다는 보상 효과도 있다. 교호 원료 공급 변조법에 의하여 IV족 원소와 III족 원소 또는 V족 원소가 결합하기 때문이다.
- [0062] 교호 원료 공급 변조법에 의하여 형성된 III-V족 화합물 반도체의 박막은, 교호 원료 공급 변조법 후, 반도체 나노와이어를 성장시키기 위하여 기판 온도를 올렸을 때에, 기판에 흡착된 III족 원소나 V족 원소가 열로 피리되는 것을 방지한다.
- [0063] 나노와이어 성장 스텝은, 상기 (111)면 상에 III족 원료 및 V족 원료를 공급하면서, 상기 제1 도전형 도펀트 및 상기 제2 도전형 도펀트 중 어느 하나 또는 둘 다를 단속적으로 도핑하여, 의사 진성을 띠는 제1 영역을 형성하는 스텝(제1 영역 형성 스텝)과, 상기 (111)면 상에 형성된 제1 영역에 III족 원료 및 V족 원료를 공급하고 필요에 따라 상기 제2 도전형 도펀트를 함께 도핑하여, 상기 제1 영역에 연속하는, n형 및 p형 중 다른 하나인 제2 도전형을 띠는 제2 영역을 형성하는 스텝(제2 영역 형성 스텝)을 포함한다. "III-V족 화합물 반도체 나노와이어"는, 제1 영역 및 제2 영역 이외에, 예를 들면 상술한 나노와이어 성장 준비 스텝에서 형성된, 당해 나노와이어 원료에 유래하는 부분을 포함해도 된다.
- [0064] 제1 영역 형성 스텝 및 제2 영역 형성 스텝 중 어느 것에 있어서도, III-V족 화합물 반도체 나노와이어의 성장은, III족 원료 및 V족 원료를 (111)면 상에 공급하는 방법, 예를 들면 유기 금속 화학 기상 에피택시법(이하 "MOVPE법"이라고도 함)이나 분자선 에피택시법(이하 "MBE법"이라고도 함) 등에 의하여 행해진다. 바람직하게는, III-V족 화합물 반도체 나노와이어의 성장은 MOVPE법에 의하여 행해진다.
- [0065] MOVPE법에 의한 반도체 나노와이어의 형성은 통상의 MOVPE 장치를 이용하여 행할 수 있다. 즉, 소정의 온도 또한 감압 조건하에서, III족 원소를 포함하는 원료 가스 및 V족 원소를 포함하는 원료 가스를 제공하면 된다. 예를 들면, InAs 나노와이어를 형성할 때는, 약 540°C에서 수소화 비소(AsH<sub>3</sub>) 및 트리메틸인듐을 포함하는 가스를 제공하면 된다. 또, GaAs 나노와이어를 형성할 때는, 약 750°C에서 수소화 비소 및 트리메틸갈륨을 포함하는 가스를 제공하면 된다. 또, InGaAs 나노와이어를 형성할 때는, 약 670°C에서 수소화 비소, 트리메틸인듐 및 트리메틸갈륨을 포함하는 가스를 제공하면 된다.
- [0066] 제1 영역 형성 스텝에서, III족 원료 및 V족 원료는 상술한 IV족 반도체 기판의 (111)면에 공급된다. 교호 원료 공급 변조법에 의해 상기의 박막이 형성된 경우에는, III족 원료 및 V족 원료는 당해 박막에 공급된다. III족 원료 및 V족 원료의 공급량은 통상 일정하다. 제1 영역 형성 스텝에서는, 필요에 따라 어느 하나의 원료 공급량을 연속해서 또는 단속적으로 변경해도 되고, 두 원료를 단속적으로 공급해도 된다.
- [0067] 제1 영역 형성 스텝에서는, III족 원료 및 V족 원료의 공급과 병행하여 제1 도전형 도펀트 및 제2 도전형 도펀트 중 어느 하나 또는 둘 다를 단속적으로 도핑하여 제1 영역을 형성한다. 형성된 제1 영역은 의사 진성을 나타낸다. "의사 진성"이란, 제1 도전형 도펀트 및 제2 도전형 도펀트의 제1 영역에서의 농도에 따라 정해지는 제1 영역의 도전형이다. 예를 들면, 의사 진성은 도펀트를 도핑하지 않아도 제1 도전형 또는 제2 도전형을 띠게 되는 제1 영역을 구성하는 반도체에, 제2 도전형 도펀트 또는 제1 도전형 도펀트를 도핑함으로써, 당해 반도체의 당초의 도전형의 일부 또는 전부가 전기적으로 상쇄되도록 조정된 도전형이다. 의사 진성은, n형이어도 되고, p

형이어도 되며, i형이어도 된다.

- [0068] 한편, 의사 진성에 있어서의 "i형"이란, 예를 들면 제1 영역의 n형 도펀트의 농도 및 p형 도펀트의 농도가 모두  $1 \times 10^{15} \text{ cm}^{-3}$  이하이고, 또한 제1 영역의 저항값이  $0.1 \Omega \cdot \text{cm}$  이상인 것을 말한다. 상기 저항값은, 예를 들면 4탐침 전압 전류 특성이나, 트랜지스터 특성의 비선형 영역의 전류의 기울기 등으로부터 구할 수 있다.
- [0069] 상기 제1 영역은 상기 제2 도전형 도펀트를 포함하는 경우가 있다. 예를 들면, III족 원료 또는 V족 원료가 미량의 유기 촉매를 함유하고 있으면, 이 유기 촉매에 기인하는 탄소 원자가 제1 영역에 도핑된다. 이 탄소 원자는 상기 III-V족 화합물 반도체 나노와이어에서 n형 도펀트로서 작용한다.
- [0070] 이 경우, 제1 영역 형성 스텝에서 제1 도전형 도펀트의 도핑량은, 비도핑에서는 제2 도전형을 띠게 되는 제1 영역에 제1 도전형의 특성을 부여하고, 게이트 전압을 시프트시킨다는(예를 들면, 마이너스에서 플러스로 시프트시키는) 관점에서, 제1 영역에서의 상기 제1 도전형 도펀트의 농도가  $1 \times 10^{14} \text{ cm}^{-3}$  이상이고 또한 제2 도전형 도펀트의 농도 미만이 되는 양인 것이 바람직하며,  $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$  가 되는 양인 것이 보다 바람직하다. 또, 제1 영역 형성 스텝에서, 1회당 상기 제1 도전형 도펀트를 도핑하는 시간은 0.1~5초이며, 상기 제1 도전형 도펀트의 도핑 인터벌은 1~29.5초인 것이, 적당한 양으로 게이트 전압을 시프트시키는 점에서 바람직하다.
- [0071] 제2 영역 형성 스텝에서, III족 원료 및 V족 원료를 공급하면서 제2 도전형 도펀트를 도핑하여 제2 도전형을 띠는 상기 제2 영역을 형성하는 것은, 적당한 제2 도전형을 띠는 제2 영역을 형성하는 관점에서 바람직하다. 제2 영역 형성 스텝에서의 제2 도전형 도펀트의 도핑은, III족 원료 및 V족 원료의 공급에 의하여 형성되는 III-V족 화합물 반도체 나노와이어의 도전형에 따라서는 생략할 수 있다.
- [0072] 이상의 순서에 의하여, 제1 영역 및 제2 영역을 포함하는 III-V족 화합물 반도체 나노와이어를, 그 장축이 (111)면에 대하여 수직이 되도록 IV족 반도체 기관의 (111)면 상에 형성할 수 있다. 이와 같이 하여 III-V족 화합물 반도체 나노와이어가 형성되었을 때의 상기 접합계면은, 기본적으로 무전위이며 또한 무결함이다.
- [0073] 게이트 전극 형성 스텝에서는 게이트 전극이 형성된다. 게이트 전극은, 예를 들면 포토리소그래피법을 이용하는 방법에 의하여 형성할 수 있다. 이와 같은 방법은, 예를 들면 전극 형성 예정 부위 이외의 영역을 레지스트막으로 마스크하고, 금이나 백금, 타이타늄, 크롬, 알루미늄, 팔라듐, 몰리브덴 등의 금속 또는 폴리실리콘 등의 반도체를 증착시키고, 레지스트막을 제거(리프트 오프)한다. 또, 타이타늄을 증착시킨 후, 추가로 금을 증착시켜 중층하여 2층 구조의 전극으로 해도 된다.
- [0074] 게이트 전극은, 상술한 바와 같이, 게이트 유전체막 상에 배치되어 있는 것이 바람직하다. 이 경우, 게이트 전극은 게이트 유전체막 상에 형성된다. 게이트 유전체막을 형성하는 방법은 특별히 한정되지 않는다. 예를 들면, ALD(원자층 퇴적(atomic layer deposition))법 등을 이용하여 산화 실리콘( $\text{SiO}_2$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 산화 하프늄( $\text{HfO}_2$ ) 또는 산화 지르코늄( $\text{ZrO}_2$ )으로 이루어지는 막을 형성하면 된다.
- [0075] 소스 전극 및 드레인 전극 형성 스텝에서는 소스 전극 및 드레인 전극이 형성된다. 소스 전극 및 드레인 전극을 형성하는 방법은, 예를 들면 게이트 전극과 동일하게 포토리소그래피법을 이용하여 형성할 수 있다.
- [0076] 소스 전극, 드레인 전극 및 게이트 전극 중 III-V족 화합물 반도체 나노와이어의 제2 영역에 형성되는 소스 전극 또는 드레인 전극은, 나노와이어 성장 스텝 후에 형성된다. 그러나, 상기 제2 영역에 형성되는 소스 전극 또는 드레인 전극 이외의 전극을 형성하는 시기는, TFET의 구성에 따라 소기의 위치에 배치 가능한 한, 특별히 한정되지 않는다.
- [0077] 이상의 순서에 의하여, 본 발명의 TFET를 제조할 수 있다.
- [0078] 상기의 TFET의 제조 방법에 의하면, 제1 영역의 도펀트 종류를 적절히 선택하고, 이 도펀트를 단속적으로 도핑함으로써, 원하는 특성을 갖는 TFET를 제조할 수 있다.
- [0079] 이하, 도면을 참조하여 본 발명의 터널 전계 효과 트랜지스터(TFET)의 실시형태를 설명한다.
- [0080] 도 1은 본 실시형태의 TFET의 구성을 나타내는 단면도이다. 도 1에 나타내는 바와 같이, 본 실시형태의 TFET(100)는, p형으로 고농도 도핑된 실리콘 기관(110), 절연막(120), III-V족 화합물 반도체 나노와이어(130), 게이트 유전체막(140), 절연 보호막(150), 소스 전극(160), 드레인 전극(170) 및 게이트 전극(180)을 갖는다.
- [0081] 실리콘 기관(110)은 p형으로 고농도 도핑된 실리콘 (111)기관이다.

- [0082] 절연막(120)은, p형 실리콘 기판(110)의 2개의 면 중 적어도 III-V족 화합물 반도체 나노와이어(130)가 배치되어 있는 면((111)면)을 피복하는 절연성의 막이다. 절연막(120)은, 예를 들면 막두께 20nm의 산화 실리콘(SiO<sub>2</sub>)막이다. p형 실리콘 기판(110)의 (111)면은, III-V족 화합물 반도체 나노와이어(130)와 직접 접촉하여 접합계면을 형성하고 있다. 이 계면에 절연막(120)은 존재하지 않는다.
- [0083] III-V족 화합물 반도체 나노와이어(130)는, 예를 들면 직경 20nm, 길이 300nm의 III-V족 화합물 반도체로 이루어지는 나노와이어이다. III-V족 화합물 반도체 나노와이어(130)는, p형 도펀트가 도핑되어 있는 제1 영역(132), 및 n형으로 고농도 도핑된 제2 영역(134)을 포함한다. III-V족 화합물 반도체 나노와이어(130)는, p형 실리콘 기판(110)의 (111)면 상에, 그 장축이 상기 (111)면에 대하여 대략 수직이 되도록 배치되어 있다. 제1 영역(132)(의사 진성 반도체)은 제2 영역(134)(n형 반도체)보다 p형 실리콘 기판(110)측(p형 반도체)에 위치한다. 제1 영역(132) 및 p형 실리콘 기판(110)의 접합계면(예를 들면, 접합부의 (111)면 등)은 기본적으로 무전위이며 또한 무결함이다. III-V족 화합물 반도체 나노와이어(130)의 형상은, 도 2의 (A) 및 (B)에 나타나는 바와 같이, 육각기둥이다.
- [0084] 게이트 유전체막(140)은, 절연막(120)의 표면 및 III-V족 화합물 반도체 나노와이어(130)의 측면(제1 영역(132)의 측면 및 제2 영역(134)의 측면 일부)을 피복하는 절연막이다. 게이트 유전체막(140)은, 예를 들면 하프늄 알루미늄에이트(HfAlO<sub>x</sub>)막 등의 고유전체막이다.
- [0085] 절연 보호막(150)은, III-V족 화합물 반도체 나노와이어(130), 게이트 유전체막(140) 및 게이트 전극(180)을 피복하는, BCB 등의 절연 수지로 이루어지는 막이다.
- [0086] 소스 전극(160)은 p형 실리콘 기판(110)의 이면(III-V족 화합물 반도체 나노와이어(130)가 배치되어 있는 면과는 반대쪽의 면)에 배치되어 있고, p형 실리콘 기판(110)(p형 반도체)에 접속되어 있다. p형 실리콘 기판(110)과 소스 전극(160)은 직접 접촉하여 계면을 형성하고 있으며, 그 계면에 절연막(120)은 존재하지 않는다. 소스 전극(160)은, 예를 들면 p형 실리콘 기판(110)의 이면에 형성된 Ti/Au 합금막이다. 소스 전극(160)은 p형 실리콘 기판(110)의 2개의 면 중 III-V족 화합물 반도체 나노와이어(130)가 배치되어 있는 면에 배치되어 있어도 된다.
- [0087] 드레인 전극(170)은 III-V족 화합물 반도체 나노와이어(130) 및 절연 보호막(150) 상에 배치되어 있고, III-V족 화합물 반도체 나노와이어(130)의 제2 영역(134)(n형 반도체)에 접속되어 있다. 드레인 전극(170)은, 예를 들면 III-V족 화합물 반도체 나노와이어(130) 및 절연 보호막(150) 상에 배치된 Ti/Au 합금막, Ti/Al/Ti/Au 합금막 또는 Ge/Au/Ni/Au 합금막이다.
- [0088] 게이트 전극(180)은 제1 영역(132)의 주위를 덮도록 게이트 유전체막(140) 상에 배치되어 있다. 게이트 전극(180)은, 예를 들면 게이트 유전체막(140) 상에 형성된 W막 또는 Ti/Au 합금막이다.
- [0089] 도 3의 (A)~(F)는 TFET(100)의 제조 방법의 일례를 개략적으로 나타내는 도면이다. 도 4의 (A)~(C)는 III-V족 화합물 반도체 나노와이어(130)의 제작 공정의 일례를 나타내는 도면이다. 이하, 이들 도면을 참조하여 TFET(100)의 제조 방법을 설명한다.
- [0090] 먼저, p형 실리콘 기판(110)을 준비한다. p형 실리콘 기판(110)의 표면에는, 산화 실리콘(SiO<sub>2</sub>)으로 이루어지는 막두께 20nm의 절연막(120)이 열산화법에 의하여 형성되어 있다. 절연막(120)에는 개구부(122)가 형성되어 있다. 개구부(122)의 직경은, 예를 들면 20nm이다. 개구부(122)는 포토리소그래피법 등에 의하여 형성된다. 한편, p형 실리콘 기판(110)의 이면에는 소스 전극(160)이 미리 배치되어 있어도 된다.
- [0091] p형 실리콘 기판(110)은, 이 기판의 온도를 900℃로 일정 시간 유지하는 고온 열처리에 처해진다. 고온 열처리는, 도 4의 (A)에서 영역 A로 나타내는 바와 같이, 예를 들면 불활성 가스의 분위기 중에 약 900℃의 조건에서 행해진다. 도 4의 (A) 중 "꺾은선"은 기판의 온도를 나타내고 있다. 이어서, 상술한 바와 같이 본 실시형태에서는 p형 실리콘 기판(110)의 온도를 약 400℃로 유지하고, (111)면을 (111)A면 또는 (111)B면으로 만들기 위하여, III족 원소 또는 V족 원소를 (111)면에 공급한다(도 4의 (A)에서 영역 B). 예를 들면, (111)면을 (111)B면으로 만들기 위하여, 도 4의 (A)에 나타내는 바와 같이, 고온 열처리에 이어서 기판 온도를 400℃로 유지하면서 V족 원소를 포함하는 원료 가스인 AsH<sub>3</sub> 가스를 (111)면에 공급한다. 도 4의 (A) 중 가로 방향으로 뻗는 "막대"는 원료 가스의 종류 및 그 공급 타이밍을 나타내고 있다.
- [0092] 다음으로, 도 3의 (A)에 나타내는 바와 같이, MOVPE법에 의하여, 개구부(122)를 통하여 노출된 p형 실리콘 기판

(110)의 (111)면으로부터 III-V족 화합물 반도체 나노와이어(130)를 성장시킨다. 이 때, III-V족 화합물 반도체 나노와이어(130)를 성장시키기 전에, 교호 원료 공급 변조법에 의하여 p형 실리콘 기판(110)의 (111)면에 III-V족 화합물 반도체의 박막을 형성하는 것이 바람직하다.

[0093] 교호 원료 공급 변조법은, 도 4의 (A)에서 영역 C에서 행해진다. 교호 원료 공급 변조법에서는, 기판의 온도를 III-V족 화합물 반도체 나노와이어(130)의 성장 시의 온도를 향하여 서서히 상승시킨다. 또, 교호 원료 공급 변조법에서는, 본 실시형태에서는 도 4의 (B)에 나타내는 바와 같이, III-V족 화합물 반도체 나노와이어(130)의 기재가 되는 III족 원소 및 V족 원소를 포함하는 원료 가스, TMI<sub>n</sub>(트리메틸인듐) 가스와 AsH<sub>3</sub> 가스를 교대로 공급한다.

[0094] 예를 들면, 각 원료 가스의 공급 시간은 2초이며, 각 원료 가스의 공급 인터벌은 1초이다. 이 인터벌에서는 수소 가스가 (111)면에 공급된다. 교호 원료 공급 변조법에서는, 도 4의 (B) 중에서 화살표로 나타내는, TMI<sub>n</sub> 가스와 AsH<sub>3</sub> 가스의 1회씩의 공급과 각 원료 가스의 공급 후의 수소 가스의 2회 공급을 1사이클로 했을 때, 이 사이클이 복수회(예를 들면 30회) 반복된다.

[0095] 다음으로, III-V족 화합물 반도체 나노와이어(130)의 제1 영역(132)의 성장이 행해진다. 제1 영역(132)의 성장은, 도 4의 (A) 중의 영역 D에서 행해진다. 제1 영역(132)의 성장에서, 기판의 온도는 일정하게(예를 들면 540℃) 유지된다. 제1 영역(132)의 성장에서는, 도 4의 (C)에 나타내는 바와 같이, 기재가 되는 AsH<sub>3</sub> 가스 및 TMI<sub>n</sub> 가스를 연속해서 공급하는 한편, p형 도펀트가 되는 Zn을 제1 영역(132)에 도핑하기 위하여, DEZn(디에틸아연) 가스를 단속적으로 공급한다.

[0096] 예를 들면, DEZn 가스는 AsH<sub>3</sub> 가스 및 TMI<sub>n</sub> 가스가 30초간 공급되는 사이에 X초간 공급된다. 즉, DEZn 가스는 X초간 공급되고, (30-X)초의 인터벌을 거쳐, 다시 X초간 공급된다. DEZn 가스의 일회당 공급 시간 X는, 제1 영역(132)에서 보상 도핑 효과가 얻어지는 범위에서 적절히 정할 수 있으며, 예를 들면 0.5~5초이다. 공급 시간 X는 영역 D에서 동일해도 되고 상이해도 된다. 제1 영역(132)의 성장에서는, 도 4의 (C) 중의 화살표로 나타내는, DEZn 가스의 1회 공급 및 1회의 인터벌을 1사이클로 했을 때에, 이 사이클이 복수회(예를 들면 30회) 반복된다.

[0097] 다음으로, III-V족 화합물 반도체 나노와이어(130)의 제2 영역(134)의 성장이 행해진다. 제2 영역(134)의 성장은 도 4의 (A) 중의 영역 E에서 행해진다. 제2 영역(134)의 성장에서도, 기판의 온도는 일정하게(예를 들면 540℃) 유지된다. 제2 영역(134)의 성장에서는, 도 4의 (A)에 나타내는 바와 같이, 기재가 되는 AsH<sub>3</sub> 가스 및 TMI<sub>n</sub> 가스와 함께, 본 실시형태에서는 n형 도펀트가 되는 Si를 제2 영역(134)에 도핑하기 위하여 SiH<sub>4</sub> 가스를 연속해서 공급한다.

[0098] 제1 영역(132) 및 제2 영역(134)이 형성되면, 도 3의 (B)에 나타내는 바와 같이, 절연막(120)의 표면 및 III-V족 화합물 반도체 나노와이어(130)의 표면을 게이트 유전체막(140)으로 덮고, 다음으로 게이트 유전체막(140)을 게이트 전극(180)으로 덮는다. 게이트 유전체막(140)은, 예를 들면 ALD법에 의하여 형성된다. 게이트 전극(180)은, 예를 들면 스퍼터링법에 의하여 형성된다.

[0099] 다음으로, 도 3의 (C)에 나타내는 바와 같이, p형 실리콘 기판(110)의 표면 상에 절연 보호막(150)을 형성한다. 절연 보호막(150)은, 예를 들면 스프인코팅법에 의하여 형성된다.

[0100] 다음으로, 도 3의 (D)에 나타내는 바와 같이, 절연 보호막(150), 게이트 전극(180) 및 게이트 유전체막(140)을 각각 부분적으로 제거하고, III-V족 화합물 반도체 나노와이어(130)의 정상부(제2 영역(134)의 단부) 및 게이트 유전체막(140)을 노출시킨다. 상기의 부분적인 제거는, 예를 들면 반응성 이온 에칭(reactive ion etching)법에 의하여 행해진다.

[0101] 다음으로, 도 3의 (E)에 나타내는 바와 같이, 다시 절연 보호막(150)을 형성한 후에 III-V족 화합물 반도체 나노와이어(130)의 정상부를 노출시킨다. 그리고, 도 3의 (F)에 나타내는 바와 같이, 절연 보호막(150)의 표면에 드레인 전극(170)을 형성하고, p형 실리콘 기판(110)의 이면에 소스 전극(160)을 형성한다. 드레인 전극(170) 및 소스 전극(160)은, 예를 들면 진공증착에 의하여 형성된다.

[0102] TFET(100)에서는, III-V족 화합물 반도체 나노와이어(130)의 제1 영역(132)과 실리콘 기판(110)의 (111)면의 접합면이 터널층으로서 기능한다. 도 5의 (A)에 나타내는 바와 같이, TFET(100)에서는, 게이트 전극(180)에 플러스의 바이어스를 인가함으로써, p형 실리콘 기판(110) 내의 캐리어가 터널 현상에 의하여 III-V족 화합물 반도체 나노와이어(130) 내로 이동한다(ON 상태가 된다). 이 동작은 CMOS 스위치의 n형 MOSFET의 스위치 동작에

상당한다.

- [0103] 또, TFET(100)는, p형으로 고농도 도핑된 실리콘 기판(110)과, p형으로 도핑된 제1 영역(132)과, n형으로 도핑된 제2 영역(134)을 포함한다. 이로 인하여, 후술하는 실시예에서 명백한 바와 같이, 비도핑의 제1 영역을 포함하는 TFET에 비하여, 게이트 전압을 플러스쪽으로 시프트시킬 수 있다.
- [0104] 또, III-V족 화합물 반도체 나노와이어에서의 제1 영역의 도전형을 적절히 조정함으로써, 문턱 전압(스레스홀드 전압)이 플러스쪽 또는 마이너스쪽으로 시프트하기 때문에, III-V족 화합물 반도체의 종류를 변경함으로써, ON 상태에 필요한 공급 전압을 임의로 제어할 수 있다.
- [0105] 또, 절연 보호막(150)으로 III-V족 화합물 반도체 나노와이어(130)의 주위를 피복하기 때문에, 복수의 TFET(100)를 집적화할 수도 있다.
- [0106] 또한, TFET(100)에서는 실리콘 기판(110)에 p형으로 고농도 도핑된 실리콘 기판을 이용했지만, 본 발명의 TFET는 n형으로 고농도 도핑된 실리콘 (111)기판을 이용하여 제작하는 것도 가능하다. 이 경우, 제1 영역(132)에는 n형 도펀트를 단속적으로 도핑하고, 제2 영역(134)에는 p형 도펀트를 연속해서 도핑한다. 이와 같이 제작된 TFET에서는, III-V족 화합물 반도체 나노와이어의 제1 영역과 n형 실리콘 기판의 (111)면의 접합면이 터널층으로서 기능한다.
- [0107] 상기의 TFET에서는, 도 5의 (B)에 나타내는 바와 같이, 게이트 전극에 마이너스의 바이어스를 인가함으로써, n형 실리콘 기판 내의 캐리어가 터널 현상에 의하여 III-V족 화합물 반도체 나노와이어 내로 이동한다(ON 상태가 된다). 이 동작은 CMOS 스위치의 p형 MOSFET의 스위치 동작에 상당한다. 또, 상기 TFET는, 비도핑의 제1 영역을 포함하는 TFET에 비하여, 게이트 전압을 마이너스쪽으로 시프트시킬 수 있다.
- [0108] 본 실시형태에 의하면, 작은 서브스레스홀드값(60mV/dec 이하)으로 동작 가능한 TFET 및 스위치 소자를 제공할 수 있다. 또, 본 실시형태에 의하면, 플러스의 게이트 전압에서 전류값이 증대하는 소자의 경우에는 보다 플러스쪽의 상승 전압에서 동작 가능하고, 마이너스의 게이트 전압에서 전류값이 증대하는 소자의 경우에는 보다 마이너스쪽의 상승 전압에서 동작 가능한 TFET 및 스위치 소자를 제공할 수 있다. 이러한 TFET 및 스위치 소자는 용이하게 제조할 수 있다.
- [0109] 실시예
- [0110] 이하, 본 발명에 대하여 실시예를 참조하여 상세하게 설명하지만, 본 발명은 이들 실시예에 의하여 한정되지 않는다.
- [0111] 먼저, 하기의 방법에 의하여 종래의 TFET(TFET-A)를 제작했다.
- [0112] [비교예 1: TFET-A의 제작]
- [0113] 1) 기판의 준비
- [0114] p형 실리콘 (111)기판(캐리어 농도:  $7 \times 10^{18} \text{ cm}^{-3}$ )을, 열산화 처리하여 표면에 막두께 20nm의 산화 실리콘막을 형성했다. 전자선 빔 리소그래피 및 웨트 케미컬 에칭에 의하여 산화 실리콘막에 주기적으로 개구부를 형성하여 실리콘 기판의 표면을 노출시켰다. 개구부의 형상은 육각형으로 하고, 개구부의 면적 원상당 직경은 100nm로 했다.
- [0115] 2) InAs 나노와이어의 제작
- [0116] 개구부를 형성한 기판을 감압 가로형 MOVPE 장치(HR2339; 다이오 닷산 가부시키가이샤)에 세팅했다. MOVPE 장치의 내부 온도를 925℃로 상승시켜 5분간 유지함으로써, 실리콘 기판의 개구부 표면에 형성된 자연 산화막을 제거했다. 이어서, 장치의 내부 온도를 925℃에서 400℃로 저하시켰다. 수소화 비소를 수소 가스(캐리어 가스)와 함께 공급했다. 수소화 비소의 분압은  $1.3 \times 10^{-4} \text{ atm}$ 으로 했다.
- [0117] 다음으로, 교호 원료 공급 변조법에 의하여 실리콘 기판의 개구부에 InAs의 박막을 형성했다. 구체적으로는, 트리메틸인듐의 공급을 2초간, 수소 가스에 의한 인터벌을 1초간, 수소화 비소의 공급을 2초간, 수소 가스에 의한 인터벌을 1초간의 조합을 1사이클로 하여, 2분 동안 20회 반복했다. 트리메틸인듐의 분압은  $9.6 \times 10^{-7} \text{ atm}$ 으로 하고, 수소화 비소의 분압은  $2.5 \times 10^{-4} \text{ atm}$ 으로 했다.
- [0118] 다음으로, 장치의 내부 온도를 상승시킨 후, MOVPE법에 의하여 길이 800nm의 InAs 나노와이어를 성장시켰다. 구

체적으로는, 장치의 내부 온도를 400℃에서 540℃로 상승시킨 후, 트리메틸인듐 및 수소화 비소를 수소 가스와 함께 공급하여, 길이 500nm의 InAs 나노와이어(제1 영역; 캐리어 농도:  $2 \times 10^{17} \text{ cm}^{-3}$ )를 성장시켰다. 계속해서, 트리메틸인듐, 수소화 비소 및 모노실레인을 수소 가스와 함께 공급하여, 길이 300nm의 n형 InAs 나노와이어(제2 영역; 캐리어 농도:  $2 \times 10^{19} \text{ cm}^{-3}$ )를 성장시켰다. 트리메틸인듐의 분압은  $4.9 \times 10^{-7} \text{ atm}$ 으로 하고, 수소화 비소의 분압은  $1.3 \times 10^{-4} \text{ atm}$ 으로 하며, 모노실레인의 분압은  $7 \times 10^{-8} \text{ atm}$ 으로 했다.

- [0119] 3) TFET의 제작
- [0120] 실리콘 기판 상 및 InAs 나노와이어의 측면에 게이트 유전체막을 형성하고, 또한 그 위에 게이트 전극을 형성했다. 구체적으로는, ALD법에 의하여 막두께 20nm의  $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}$ 막(게이트 유전체막)을 형성했다. 그 후, 고주파 스퍼터링법에 의하여 막두께 100nm의 W막(게이트 전극)을 형성했다.
- [0121] 다음으로, 유전체막을 형성한 실리콘 기판 상에 절연 수지(BCB 수지)막을 형성하고, 실리콘 기판 상의 InAs 나노와이어를 절연 수지 중에 매립했다. 다음으로, 반응성 이온 에칭에 의하여 절연 수지의 상층 일부를 제거하여, InAs 나노와이어의 선단을 노출시켰다.
- [0122] 다음으로, InAs 나노와이어가 노출된 면에 드레인 전극으로서 막두께 120nm의 Ti(20nm)/Au(100nm) 다층막을 형성했다. 또, 실리콘 기판 상에 소스 전극으로서 막두께 50nm의 Ti(20nm)/Au(30nm) 다층막을 형성했다. 이와 같이 하여 TFET-A를 제작했다.
- [0123] 다음으로, 본 발명에 따른 TFET(TFET-B 및 TFET-C)를 제작했다.
- [0124] [실시예 1: TFET-B의 제작]
- [0125] 제1 영역의 성장에서, 트리메틸인듐 및 수소화 비소의 연속 공급과 함께 디에틸아연을 단속적으로 공급한 것 이외에는, TFET-A와 동일하게 제작하여 TFET-B를 제작했다. 디에틸아연의 공급에서는, 1초간의 공급과 29초간의 인터벌을 1사이클로 하여, 이 사이클을 30회 반복했다. 디에틸아연의 분압은  $3 \times 10^{-7} \text{ atm}$ 으로 했다. TFET-B의 제1 영역에서의 도펀트(Zn) 농도는  $3 \times 10^{15} \text{ cm}^{-3}$ 였다. 한편, 상기 농도는, 비도핑의 상기 InAs 나노와이어를 n형 실리콘 기판에 제작하고, 세로형 FET 구조를 제작하여, 당해 나노와이어의 문턱 전압으로부터 산출함으로써 구했다.
- [0126] [실시예 2: TFET-C의 제작]
- [0127] 디에틸아연의 공급 사이클을, 2초간의 공급과 28초간의 인터벌을 1사이클로 한 것 이외에는, TFET-B와 동일하게 제작하여 TFET-C를 제작했다. TFET-C의 제1 영역에서의 도펀트(Zn)의 농도는  $6 \times 10^{15} \text{ cm}^{-3}$ 였다.
- [0128] 도 6의 (A)는 TFET-A의 InAs 나노와이어의 주사 전자 현미경 사진이며, 도 6의 (B)는 TFET-B의 InAs 나노와이어의 주사 전자 현미경 사진이다. 어느 쪽의 나노와이어도, 실리콘 기판의 (111)면에 대하여 수직인 방향으로 성장하고 있음을 알 수 있다.
- [0129] 상기 공정에 의하여 제작된 TFET-A, TFET-B 및 TFET-C의 게이트 전압을 인가했을 때의 드레인 전류의 관계를 측정했다. 결과를 도 7에 나타낸다.
- [0130] 도 7 중 곡선 A는 TFET-A의 전기적 특성을 나타내고 있다. 곡선 A로부터 명백한 바와 같이, TFET-A의 서브스레스홀드 특성은 21mV/dec였다. 서브스레스홀드값이 60mV/dec를 하회하는 것은, TFET-A가 터널 FET인 것을 실증하고 있다. 단, TFET-A의 상승 전압은 -0.4V였다.
- [0131] 도 7 중 곡선 B는 TFET-B의 전기적 특성을 나타내고, Zn의 펄스 도핑을 1초간, 도핑 인터벌을 29초로 했을 때의 터널 FET의 특성을 나타내고 있다. 또, 곡선 C는 TFET-C의 전기적 특성을 나타내고, Zn의 펄스 도핑을 2초간, 도핑 인터벌을 28초로 했을 때의 터널 FET의 특성을 나타내고 있다. 곡선 B로부터 명백한 바와 같이, TFET-B의 상승 전압은 0.3V이며, TFET-B의 서브스레스홀드값은 30mV/dec였다. 또, 곡선 C로부터 명백한 바와 같이, TFET-C의 상승 전압은 0.6V이며, TFET-C의 서브스레스홀드값은 30mV/dec였다.
- [0132] 이와 같이, 제1 영역에 Zn을 도핑한 TFET-B 및 TFET-C는 모두, 제1 영역에 Zn을 도핑하지 않았던 TFET-A에 비하여, 상승 전압이 플러스쪽으로 시프트하고 있다는 점, 터널 FET의 특징인 급격한 서브스레스홀드값도 유지할 수 있다는 점, 및 펄스 도핑에서의 도펀트의 공급 시간에 따라 상승 전압을 조정할 수 있다는 점을 알 수 있다.
- [0133] TFET-A의 상승 전압이 마이너스인 이유는, 원료 가스 중의 도펀트의 존재 때문이라고 생각된다. 즉, 비도핑으로



InAs 나노와이어를 제작한 경우, 유기 금속 유래의 탄소 원자가  $10^{16} \sim 10^{17} \text{ cm}^{-3}$  정도의 농도로 제1 영역 및 제2 영역에 첨가된다. 이것은 n형 도펀트로서 작용한다.

[0134] 이에 대하여, TFET-B 및 TFET-C에서는 III-V족 반도체의 p형 도펀트로서 작용하는 Zn 원자를 펄스 도핑법에 의하여 첨가했다. 즉, 비도핑층의 성장 중, 분압으로  $3 \times 10^{-7} \text{ atm}$  정도의 공급량으로, 1초 또는 2초간의 공급 및 29초 또는 28초간의 인터벌을 반복했다. 동일한 공급량으로 Zn 원자를 연속해서 첨가한 경우, 나노와이어 중의 Zn 원자의 농도는  $1 \times 10^{18} \text{ cm}^{-3}$ 가 된다.

[0135] 그러나, 펄스 도핑법에 의하여 Zn 원자를 공급함으로써,  $10^{15} \sim 10^{16} \text{ cm}^{-3}$ 의 Zn농도가 나노미터 스케일의 구조물로 실현된다. 이와 같은 적당한 p형 도펀트의 도핑에 의하여, n형 도펀트로서 작용하는 도펀트로서의 탄소 원자에 대한 보상 효과(보상 도핑 효과)가 초래된다. 이러한 보상 효과가 발생하면, 비도핑의 InAs 나노와이어가 전기적으로 보다 중성이 된다. 이로 인하여, 예를 들면 진성층과 동등한 전기적 특성을 나타내는 나노 구조물(의사 진성층)을 제작할 수 있다.

[0136] 또, 다음의 방법에 의하여 TFET를 제작했다.

[0137] [비교예 2: TFET-D의 제작]

[0138] 비교예 1과 동일하게 하여 p형 실리콘 (111)기판으로부터 자연 산화막을 제거하고, 이어서 감압 가로형 MOVPE 장치의 내부 온도를 925°C에서 670°C로 저하시켜, 수소화 비소를 수소 가스(캐리어 가스)와 함께 공급했다(도 8의 (A)에서 영역 B). 수소화 비소의 분압은  $1.3 \times 10^{-4} \text{ atm}$ 으로 했다.

[0139] 다음으로, 교호 원료 공급 변조법에 의하여 실리콘 기판의 개구부에 InGaAs의 박막을 형성했다(도 8의 (A)에서 영역 C). 구체적으로는, 트리메틸인듐 대신에 트리메틸인듐 및 트리메틸갈륨의 혼합 가스를 공급한 것 이외에는 TFET-A의 제작과 동일하게 하여, 상기 개구부에 InGaAs의 박막을 형성했다. 트리메틸인듐의 분압은  $9.7 \times 10^{-7} \text{ atm}$ 으로 하고, 트리메틸갈륨의 분압은  $5.7 \times 10^{-7} \text{ atm}$ 으로 하며, 수소화 비소의 분압은  $6.0 \times 10^{-4} \text{ atm}$ 으로 했다.

[0140] 다음으로, 장치의 내부 온도를 670°C로 유지하고, 트리메틸인듐을 상기 혼합 가스로 대체한 것 이외에는 TFET-A의 제작과 동일하게 하여, MOVPE법에 의하여 길이 800nm의 InGaAs 나노와이어를 성장시켰다. 제1 영역의 길이는 500nm이며, 제1 영역을 형성할 때의 캐리어 농도는  $6 \times 10^{16} \text{ cm}^{-3}$ 였다. 또, 제2 영역의 길이는 300nm이며, 제2 영역을 형성할 때의 캐리어 농도는  $1 \times 10^{18} \text{ cm}^{-3}$ 였다. 트리메틸인듐의 분압은  $9.7 \times 10^{-7} \text{ atm}$ 으로 하고, 트리메틸갈륨의 분압은  $5.7 \times 10^{-7} \text{ atm}$ 으로 하며, 수소화 비소의 분압은  $6.0 \times 10^{-4} \text{ atm}$ 으로 하고, 모노실레인의 분압은  $6.0 \times 10^{-8} \text{ atm}$ 으로 했다.

[0141] 다음으로, TFET-A와 동일하게, 게이트 유전체막, 게이트 전극, 절연 수지(BCB 수지)막, 드레인 전극 및 소스 전극을 형성하여, TFET-D를 제작했다. TFET-D에서 제1 영역의 도전형은 n-형이며, 제2 영역의 도전형은 n+형이다.

[0142] [실시예 3: TFET-E의 제작]

[0143] 도 8의 (A)는 실시예 3, 4의 TFET의 제조에 있어서의 실리콘 기판의 온도와 원료 가스의 공급을 모식적으로 나타내는 도면이며, (B)는 (A) 중의 영역 D에서의 원료 가스의 공급 펄스 도핑을 모식적으로 나타내는 도면이다.

[0144] 제1 영역의 성장에 있어서, 상기 혼합 가스 및 수소화 비소의 연속 공급과 함께, 디에틸아연을 단속적으로 공급한 것(도 8의 (A)에서 영역 D 및 도 8의 (B)) 이외에는 TFET-D의 제작과 동일하게 하여 TFET-E를 제작했다. 디에틸아연은 TFET-B의 제작시의 사이클과 동일한 사이클로 공급했다. 즉, 1사이클은 디에틸아연의 1초간의 공급과 29초간의 인터벌로 이루어지고, 이 사이클의 반복 회수는 30회로 했다. 디에틸아연의 분압은  $5 \times 10^{-7} \text{ atm}$ 으로 했다. TFET-E의 제1 영역에서의 도펀트(Zn)의 농도는  $2 \times 10^{15} \text{ cm}^{-3}$ 였다. TFET-E에서 제1 영역의 도전형은 i형이며, 제2 영역의 도전형은 n+형이다.

[0145] [실시예 4: TFET-F의 제작]

[0146] 디에틸아연의 공급 사이클을, 2초간의 공급과 28초간의 인터벌을 1사이클로 한 것 이외에는 TFET-E와 동일하게 하여 TFET-F를 제작했다. TFET-F의 제1 영역에서의 도펀트(Zn)의 농도는  $2 \times 10^{15} \text{ cm}^{-3}$ 였다. TFET-F에서 제1 영역

의 도전형은 i형이며, 제2 영역의 도전형은 n+형이다.

[0147] TFET-D, TFET-E 및 TFET-F의 게이트 전압을 인가했을 때의 드레인 전류의 관계를 측정했다. 결과를 도 9에 나타낸다. 도 9 중 곡선 D는 TFET-D의 전기적 특성을, 곡선 E는 TFET-E의 전기적 특성을, 그리고 곡선 F는 TFET-F의 전기적 특성을 각각 나타내고 있다.

[0148] 곡선 D로부터 명백한 바와 같이, TFET-D의 서브스레스홀드 특성(서브스레스홀드값)은 380mV/dec이며, TFET-D의 상승 전압은 -1.0V였다. 이에 대하여, 곡선 E로부터 명백한 바와 같이, TFET-E의 서브스레스홀드값은 58mV/dec이며, TFET-E의 상승 전압은 -0.05V였다. 또, 곡선 F로부터 명백한 바와 같이, TFET-F의 서브스레스홀드값은 55mV/dec이며, TFET-F의 상승 전압은 +0.2V였다.

[0149] 이상으로부터, 실시예 1 및 2와 마찬가지로, 제1 영역에 Zn을 도핑한 TFET-E 및 TFET-F는 모두, 제1 영역에 Zn을 도핑하지 않았던 TFET-D에 비하여, 상승 전압이 플러스쪽으로 시프트하고, 또한 터널 FET의 특징인 급격한 서브스레스홀드값을 갖는 것을 알 수 있다. 또, 펄스 도핑에서의 도펀트의 공급 시간에 따라 당해 상승 전압을 조정할 수 있다는 것도 알 수 있다.

[0150] 2013년 8월 13일 출원된 일본 특허출원 제2013-168048호에 포함되는 명세서, 도면 및 요약서의 개시 내용은 모두 본원에 원용된다.

[0151] 산업상 이용가능성

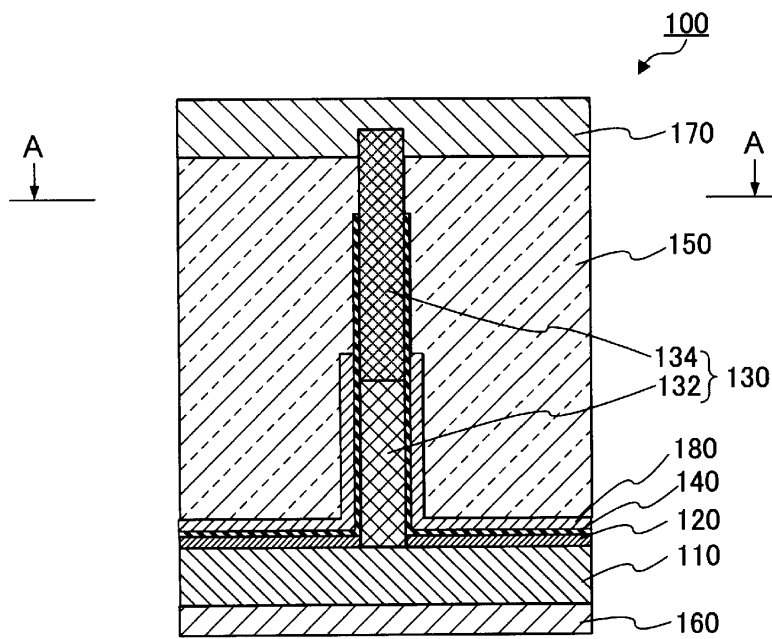
[0152] 본 발명의 TFET는, 예를 들면 반도체 마이크로프로세서 및 고집적 회로에 형성되는 스위치 소자로서 유용하다. 특히, 플러스의 게이트 전압에서 전류가 흐르는 n채널 트랜지스터의 경우에 게이트 전압을 플러스쪽으로 시프트시키는 것, 마이너스의 게이트 전압에서 전류가 흐르는 p채널 트랜지스터의 경우에 게이트 전압을 마이너스쪽으로 시프트시키는 것이 가능하다. 이로 인하여, 게이트 전압이 제로일 때의 드레인 전류를 보다 적게 하는 것이 가능해진다. 따라서, 대기시의 리크 전력을 더 억제하는 것이 가능해지고, 예를 들면 전력 절약의 관점에서 보다 효과적이다.

**부호의 설명**

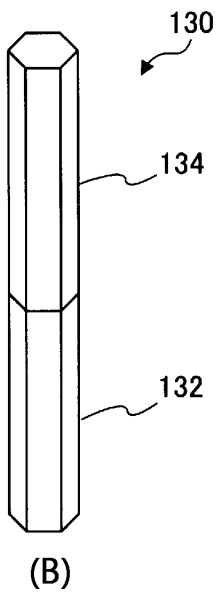
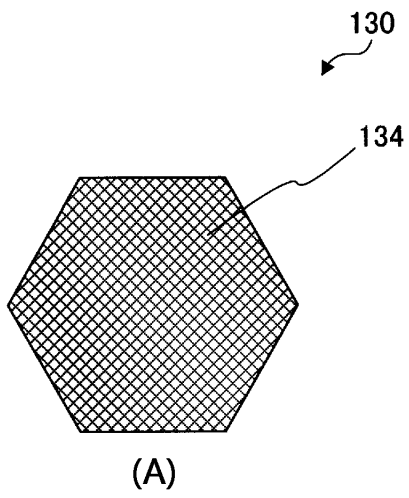
- [0153] 100 TFET
- 110 p형 실리콘 기판
- 120 절연막
- 122 개구부
- 130 III-V족 화합물 반도체 나노와이어
- 132 제1 영역
- 134 제2 영역
- 140 게이트 유전체막
- 150 절연 보호막
- 160 소스 전극
- 170 드레인 전극
- 180 게이트 전극

도면

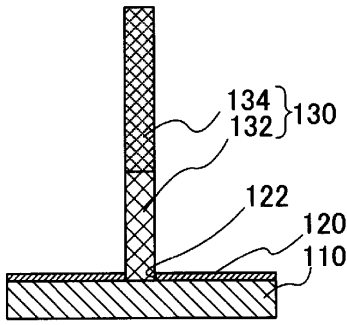
도면1



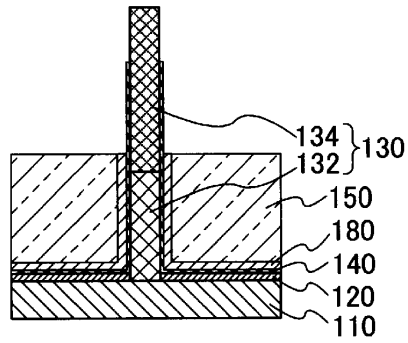
도면2



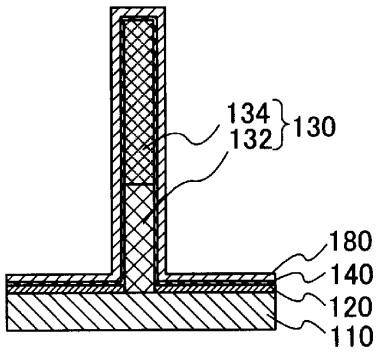
도면3



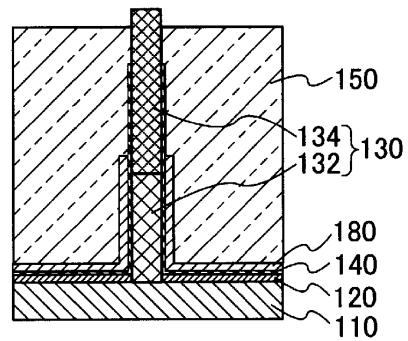
(A)



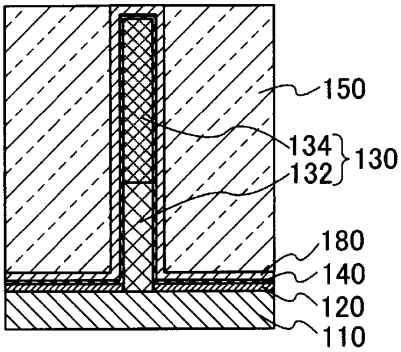
(D)



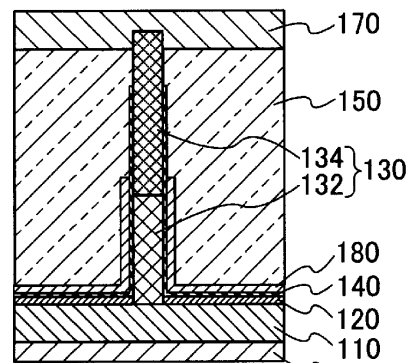
(B)



(E)

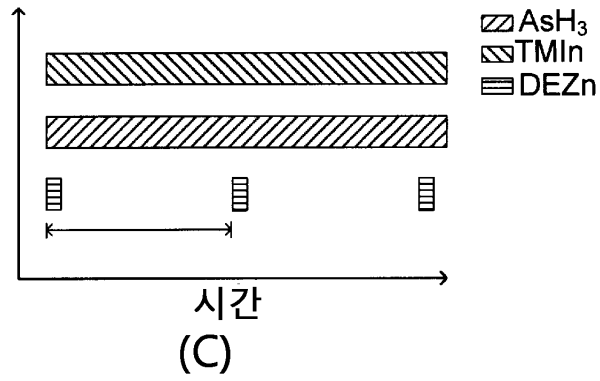
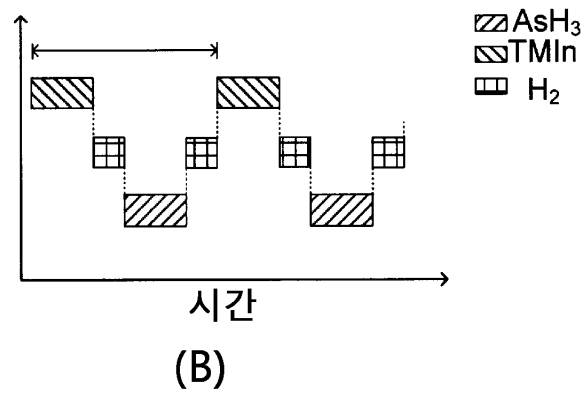
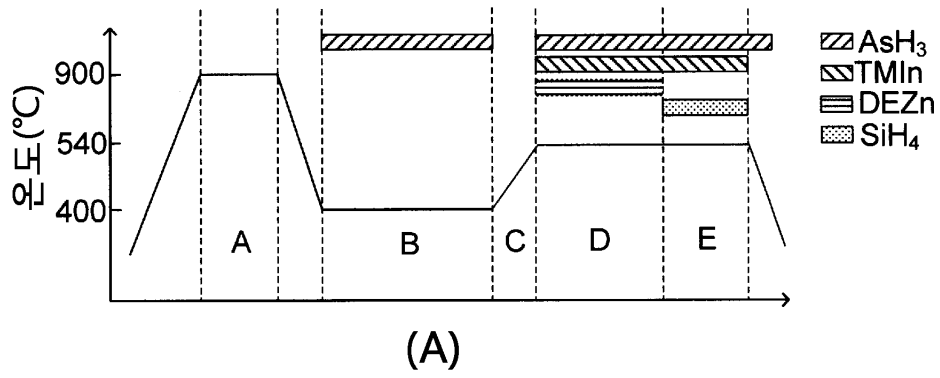


(C)

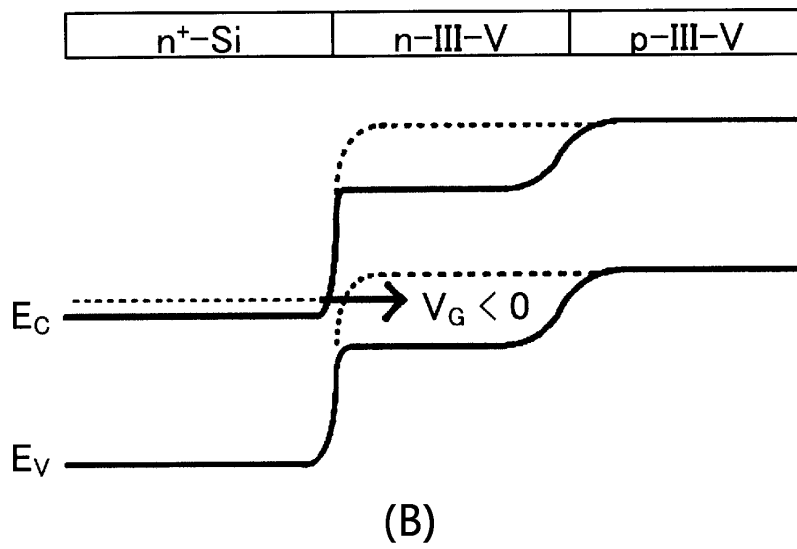
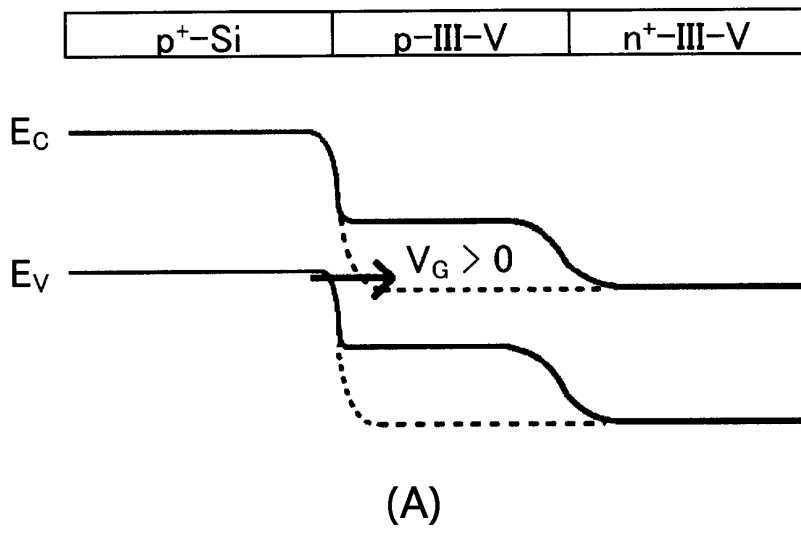


(F)

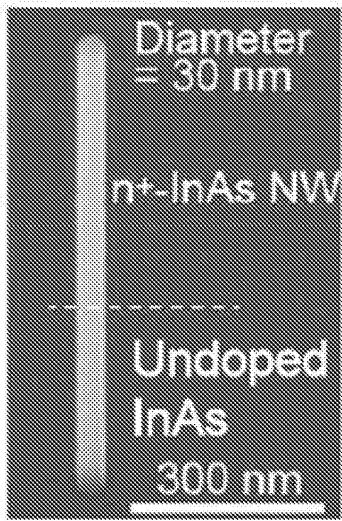
도면4



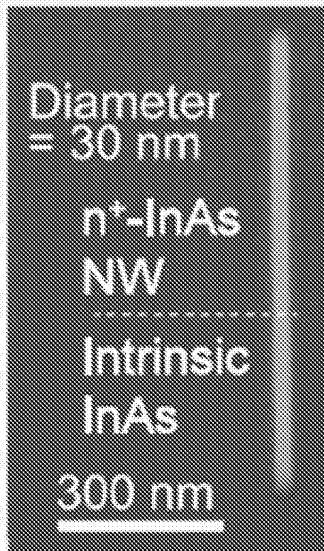
도면5



도면6



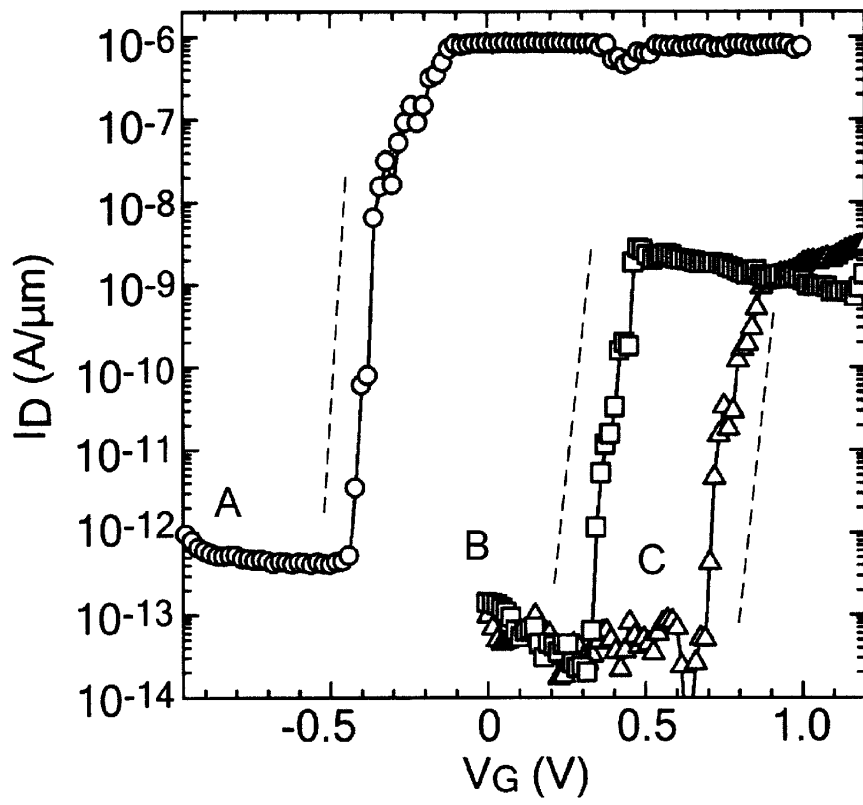
(A)



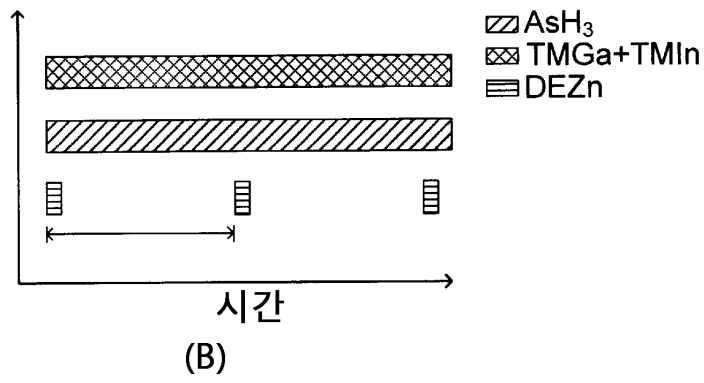
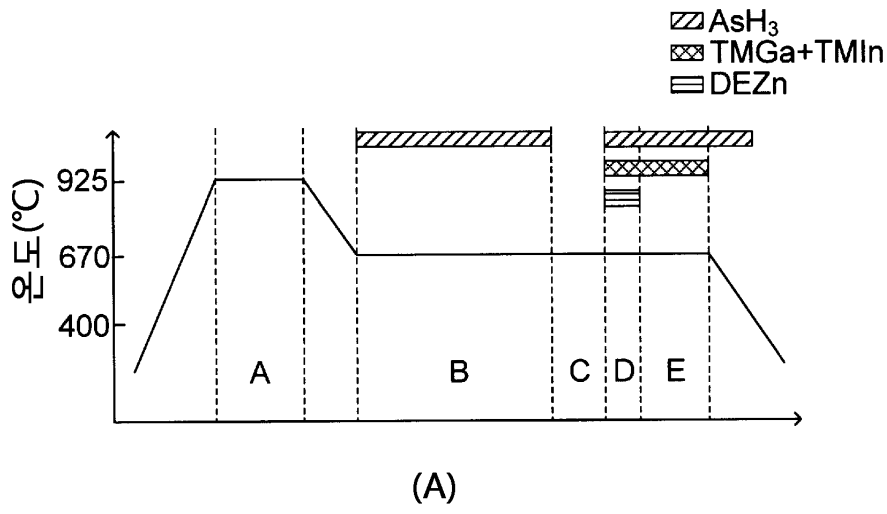
(B)



도면7



도면8



도면9

