(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-231621
(P2009-231621A)
(43)公開日　平成21年10月8日(2009.10.8)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/10	***(2006.01)***	H01L	27/10	471	5F033
H01L 21/8247	***(2006.01)***	H01L	29/78	371	5F083
H01L 29/788	***(2006.01)***	H01L	27/10	434	5F101
H01L 29/792	***(2006.01)***	H01L	21/88	A	
H01L 27/115	***(2006.01)***				

審査請求 未請求　請求項の数 5　OL　（全 18 頁）　最終頁に続く

(21)出願番号　特願2008-76576(P2008-76576)
(22)出願日　平成20年3月24日(2008.3.24)

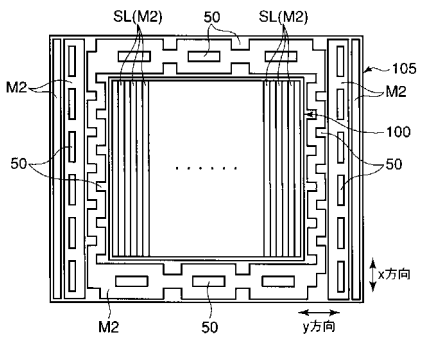
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】不揮発性半導体メモリ

(57)【要約】
【課題】信頼性の高い不揮発性半導体メモリを提供できる。
【解決手段】本発明の例に関わる不揮発性半導体メモリは、複数のメモリセルが配置されるメモリセルアレイ領域１００と、メモリセルアレイ領域１００の周囲を取り囲む周辺回路領域と、周辺回路領域とメモリセルアレイ領域１００との境界部分であるセルアレイ隣接領域１０５と、メモリセルアレイ領域１００内に層間絶縁膜を介して設けられる複数の第１導電線ＳＬと、セルアレイ隣接領域１０５内に層間絶縁膜を介して設けられる複数の第２導電線Ｍ２とを具備し、複数の第２導電線Ｍ２はその配線内にスリット５０が形成されていることを備える。
【選択図】　図２

図２



【特許請求の範囲】
【請求項１】
複数のメモリセルが配置されるメモリセルアレイ領域及び前記メモリセルを制御する制御回路が配置される周辺回路領域を有する半導体基板と、
第１配線幅を有し、層間絶縁膜を介して前記メモリセルアレイ領域内の前記半導体基板上に設けられる複数の第１導電線と、
前記第１配線幅より広い配線幅を有し、層間絶縁膜を介して前記メモリセルアレイ領域と前記周辺回路領域との境界部分内の前記半導体基板上に設けられる複数の第２導電線とを具備し、
前記複数の第２導電線はその配線内にスリットが形成されたことを特徴とする不揮発性半導体メモリ。
【請求項２】
前記メモリセルアレイ領域内における前記複数の第１導電線の被覆率と、前記境界部分内における前記複数の第２導電線の被覆率とが同じであることを特徴とする請求項１に記載の不揮発性半導体メモリ。
【請求項３】
複数のメモリセルが配置されるメモリセルアレイ領域及び前記メモリセルを制御する制御回路が配置される周辺回路領域を有する半導体基板と、
層間絶縁膜を介して前記メモリセルアレイ領域内の前記半導体基板上に設けられる複数の第１導電線と、
層間絶縁膜を介して前記メモリセルアレイ領域と前記周辺回路領域との境界部分内の前記半導体基板上に設けられる複数の第２導電線と、
層間絶縁膜を介して前記メモリセルアレイ領域と前記周辺回路領域との境界部分内の前記半導体基板上に設けられる複数のダミー層と、
を具備することを特徴とする不揮発性半導体メモリ。
【請求項４】
前記メモリセルアレイ領域内における前記複数の第１導電線の被覆率と、前記境界部分内における前記複数の第２導電線及び前記複数のダミー層の被覆率とが同じであることを特徴とする請求項３に記載の不揮発性半導体メモリ。
【請求項５】
前記第１導電線はソース線であり、前記第２導電線の前記半導体基板からの高さは前記第１導電線の前記半導体基板からの高さと同じであることを特徴とする請求項１乃至４のいずれか１項に記載の不揮発性半導体メモリ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、不揮発性半導体メモリに係り、特に、フラッシュメモリのメタル配線の構造に関する。
【背景技術】
【０００２】
不揮発性半導体メモリ、例えば、フラッシュメモリのメモリセルアレイ領域内には、ビット線、ソース線及びセレクトゲート線の導電線やコンタクト部がレイアウトされている。メモリセルアレイ領域内の各配線は、周期的なパターンでレイアウトされていることから、導電線の半導体基板表面に対する被覆率も実質的に一定に収められている。一方、メモリセルアレイ領域端部付近においては、周辺回路領域から周辺回路の信号線が引き出されており、これらの信号線の配線幅・配線ピッチは、配線の低抵抗化及びプロセスマージンの確保のため、ビット線やソース線の配線幅・配線ピッチよりも広く、局所的な被覆率がメモリセルアレイ領域中央部内よりも高くなっている。
【０００３】
フラッシュメモリの製造工程において、パシベーション膜や層間絶縁膜、或いは、マス

ク膜として、シリコン酸化膜やシリコン窒化膜が用いられ、それらの膜は水素を含む材料ガスを用いて形成されている。そして、製造工程において加熱処理を行った場合、それらの膜内に残留した材料ガスに起因する水素がデバイス内を等方的に拡散し、その水素がゲート絶縁膜内でトラップ準位を形成するため、メモリセルの信頼性、特に、データ保持特性に影響を与えることが知られている。

【０００４】

上述の導電線に用いられるメタル材（例えば、アルミニウム（Ａｌ）又は銅（Ｃｕ））や、コンタクト及びビアを構成するタングステン（Ｗ）、またバリアメタル層として用いられるチタン（Ｔｉ）／窒化チタン（ＴｉＮ）といった金属膜は、水素の透過を防止するブロック膜として機能する。そのため、水素に対してブロック膜として機能する金属膜の被覆率が異なっていると、メモリセルアレイ領域中央部とメモリセルアレイ領域端部とで、メモリセルの特性のばらつきや不良セルの発生率に違いが生じ、ブロック膜により透過が妨げられる結果として水素が多く残留するメモリセルアレイ領域端部に集中して、不良セルが発生することが考えられる。

【０００５】

一般に、不良セルが発生した場合、ＥＣＣ(Error Collect Code)によって、不良セルによるデータの誤りを訂正することが可能である。しかし、ＥＣＣは、不良セルがデバイス内にランダムに発生することを想定した技術であり、複数の不良セルがメモリセルアレイ内のある部分に片寄って発生すると、ＥＣＣによる誤り訂正が十分に実行できない場合がある。それゆえ、デバイスが不良となり、高い信頼性デバイスの提供ができなく、また、製造歩留まり低下の原因となってしまう。

【０００６】

尚、特許文献１及び２においては、メモリセルアレイ領域において、メモリセルの上方にＴｉ又はＡｌなどの金属膜やＴｉ又はＡｌを含む化合物膜など、水素を捕獲する層又は水素の拡散を抑制する層を設け、それらによって水素イオンに起因するメモリセルの不良を防止する技術が開示されている。

【特許文献１】特開２００３－２９７９５６号公報

【特許文献２】特開２００３－３３２４６８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

本発明の例は、信頼性の高い不揮発性半導体メモリを提供する技術を提案する。

【課題を解決するための手段】

【０００８】

本発明の例に関わる不揮発性半導体メモリは、複数のメモリセルが配置されるメモリセルアレイ領域及び前記メモリセルを制御する制御回路が配置される周辺回路領域を有する半導体基板と、第１配線幅を有し、層間絶縁膜を介して前記メモリセルアレイ領域内の前記半導体基板上に設けられる複数の第１導電線と、前記第１配線幅より広い配線幅を有し、層間絶縁膜を介して前記メモリセルアレイ領域と前記周辺回路領域との境界部分内の前記半導体基板上に設けられる複数の第２導電線とを具備し、前記複数の第２導電線はその配線内にスリットが形成されたことを備える。

【０００９】

本発明の例に関わる不揮発性半導体メモリは、複数のメモリセルが配置されるメモリセルアレイ領域及び前記メモリセルを制御する制御回路が配置される周辺回路領域を有する半導体基板と、層間絶縁膜を介して前記メモリセルアレイ領域内の前記半導体基板上に設けられる複数の第１導電線と、層間絶縁膜を介して前記メモリセルアレイ領域と前記周辺回路領域との境界部分内の前記半導体基板上に設けられる複数の第２導電線と、層間絶縁膜を介して前記メモリセルアレイ領域と前記周辺回路領域との境界部分内の前記半導体基板上に設けられる複数のダミー層と、を備える。

【発明の効果】

【００１０】
本発明の例によれば、信頼性の高い不揮発性半導体メモリを提供できる。
【発明を実施するための最良の形態】
【００１１】
以下、図面を参照しながら、本発明の例を実施するためいくつか形態について詳細に説明する。
【００１２】
１．　概要
本発明の実施形態は不揮発性半導体に係り、特に、フラッシュメモリのメタル配線層の構造に関する。本実施形態に係るフラッシュメモリにおいて、メモリセルアレイ領域と周辺回路領域との境界付近の領域（セルアレイ隣接領域と呼ぶ）内に設けられた複数のメタル配線（導電線）はスリットを有し、セルアレイ隣接領域内において半導体基板表面に対するメタル配線の被覆率が、メモリセルアレイ領域内においてのメタル配線の被覆率とほぼ同じであることを特徴とする。
【００１３】
これによって、水素の透過を阻止するメタル配線が局所的に多く設けられることを回避でき、セルアレイ隣接領域内及びメモリセルアレイ領域端部内に水素が過剰に残留するのを抑制できる。それゆえ、セルアレイ隣接領域に隣接するメモリセルアレイ領域端部内に水素に起因する不良セルが片寄って発生するのを防止できる。
【００１４】
したがって、本発明の実施形態によれば、信頼性の高い不揮発性半導体メモリを提供できる。
【００１５】
２．　実施形態
（１）　第１の実施形態
以下、図１乃至図９を参照して、本発明の第１の実施形態に係る不揮発性半導体メモリについて説明する。尚、本実施形態で述べる被覆率とは、各領域内において、半導体基板表面に対し、層間絶縁膜を介して半導体基板表面上方を覆う上層配線パターン（特に、メタル配線）の比率のことと定義する。
【００１６】
また、本実施形態においては、水素の透過を阻止する膜のことをブロック膜と呼ぶ。
【００１７】
（ａ）　構造
図１乃至図４を用いて、本発明の第１の実施形態に係る不揮発性半導体メモリの構造について説明する。本実施形態においては、不揮発性半導体メモリとして、フラッシュメモリを例に説明する。
【００１８】
図１は、フラッシュメモリのメモリセルアレイ領域の周辺のレイアウトを図示している。図１に示すように、メモリセルアレイ領域１００の周辺には周辺回路領域１０２が設けられている。周辺回路領域１０２内には、ロウデコーダ回路、センスアンプ回路、昇圧回路など、メモリセルアレイ領域１００内に設けられるビット線、ワード線及びソース線といった導電線を制御するための制御回路が設けられている。周辺回路領域１０２内の制御回路に接続される導電線は、メモリセルアレイ領域１００近傍の領域１０５まで引き出され、その領域１０５内で、メモリセルアレイ領域１００から延びる各導電線とコンタクトを介して接続される。本実施形態においては、図１の破線で囲まれた領域１０５のように、メモリセルアレイ領域１００と周辺領域１０２との境界付近の領域のことを、セルアレイ隣接領域１０５と呼ぶ。
【００１９】
図２はメモリセルアレイ領域１００とセルアレイ隣接領域１０５の配線レイアウトを模式的に表した平面図を示している。図２に示す例では、半導体基板側から層間絶縁膜を介

して第３番目のメタル配線層（以下、第３メタル配線層と呼ぶ）の導電線のレイアウトを図示している。図２に示すように、メモリセルアレイ領域１００は、その周囲をセルアレイ隣接領域１０５によって取り囲まれている。メモリセルアレイ領域１００上には、アルミニウム（Ａｌ）や銅（Ｃｕ）からなる複数の第３メタル配線層（第１導電線）が設けられる。このメモリセルアレイ領域１００内に設けられ第３メタル配線層は、例えばソース線ＳＬである。そのソース線ＳＬは、セルアレイ隣接領域１０５内に設けられた周辺回路から延在する第３メタル配線層（第２導電線）Ｍ２と適宜接続される。このセルアレイ隣接領域１０５内に設けられた第３メタル配線層（第２導電線）Ｍ２も、メモリセルアレイ領域１００内に設けられた第３メタル配線層と同じく、アルミニウム（Ａｌ）や銅（Ｃｕ）から構成される。尚、本実施形態においては、図２に示されるメモリセルアレイ領域１００内の第３メタル配線層のことをソース線ＳＬとして説明するが、それに限定されるものではない。

【００２０】

メモリセルアレイ領域１００及びセルアレイ隣接領域１０５に形成された第３メタル配線層Ｍ２と層間絶縁膜との間には、チタン（Ｔｉ）／窒化チタン（ＴｉＮ）などから構成されるバリアメタル層が設けられている。

【００２１】

図３は、メモリセルアレイ領域１００の内部構成を模式的に図示している平面図である。図３に示すように、メモリセルアレイ領域１００は、半導体基板１表面領域内に設けられる素子分離領域ＳＴＩと、素子分離領域ＳＴＩに取り囲まれることよって定義される素子領域（アクティブ領域）ＡＡから構成されている。そして、記憶素子である複数のメモリセルＭＣは素子領域ＡＡ上に設けられる。複数のメモリセルＭＣは平面内にアレイ状に配置され、ＮＡＮＤ型フラッシュメモリの場合には、図３に示すようにメモリセルＭＣがｙ方向に沿ってソース／ドレインを共有して直列接続され、この直列接続された複数のメモリセルＭＣの一端（ドレイン側）に選択ゲートトランジスタＳＧＤが直列接続され、他端（ソース側）に選択ゲートトランジスタＳＧＳが直列接続されている。以下では、直列接続された複数のメモリセルのことをＮＡＮＤストリングと呼び、ＮＡＮＤストリングとそれに接続された２つの選択ゲートトランジスタからなる１つの構成のことをＮＡＮＤセルユニットと呼ぶ。

【００２２】

ｘ方向に隣接して配置される複数個のＮＡＮＤセルユニットにおいて、ｘ方向に隣接するメモリセルはｘ方向に延びる１つのワード線ＷＬに共通に接続されている。同様に、選択ゲートトランジスタＳＧＤ，ＳＧＳもｘ方向に延びる１つの選択ゲート線ＳＧＤＬ，ＳＧＳＬにそれぞれ共通接続されている。また、ｙ方向に隣接して配置される複数のＮＡＮＤセルユニットにおいては、ドレイン側の選択ゲート線ＳＧＤＬ同士、ソース側の選択ゲート線ＳＧＳＬ同士が隣接しており、ビット線コンタクトＣＢ或いはソース線コンタクトＣＳがそれぞれ共有されている。ＮＡＮＤセルユニットのドレイン側には、ｘ方向と交差するｙ方向に延びるビット線（図示せず）がコンタクト部ＣＢを介して接続され、素子領域ＡＡ上方に設けられる。また、ソース側にはソース線（図示せず）がコンタクト部ＣＳを介して接続される。

【００２３】

このように、メモリセルアレイ領域１００内においては、配線パターン（ラインパターン）と、２つの隣接する配線パターン間のスリット（以下、スペースパターンと呼ぶ）とが周期的に配置されている、いわゆる、ラインアンドスペースのパターンで、ワード線ＷＬ・選択ゲート線ＳＧＤＬ，ＳＧＳＬ、ビット線ＢＬ及びソース線ＳＬが、半導体基板表面上及びその上方で設けられる。

【００２４】

図４は、メモリセルアレイ領域１００及びセルアレイ隣接領域１０５の断面図を示している。図４（ａ）において、メモリセルアレイ領域１００の断面構造は、説明の簡単化のため、１つのＮＡＮＤセルユニットのｙ方向（チャネル長方向）に沿う断面を図示してい

る。図４（ｂ）においては、メモリセルアレイ領域１００のｘ方向に沿う断面を図示している。尚、図４（ａ）においては、セルアレイ隣接領域１０５の断面構造も図示されている。

【００２５】

図４（ａ）及び図４（ｂ）に示すように、メモリセルアレイ領域１００内に設けられるメモリセルＭＣは積層ゲート構造のＭＩＳ（Metal-Insulator-Semiconductor）トランジスタである。具体的には、メモリセルＭＣのゲート電極は、半導体基板１表面上のゲート絶縁膜（トンネル絶縁膜）２Ａ上に、フローティングゲート電極３Ａとコントロールゲート電極５Ａとが、ゲート間絶縁膜４Ａを介して積層された構造となっている。そして、メモリセルＭＣは半導体基板１内に設けられた拡散層７Ａをソース／ドレイン領域とし、それらの拡散層７Ａをｙ方向に隣接するメモリセル間で共有することで、直列接続されている。このメモリセルＭＣにおいては、フローティングゲート電極３Ａが電荷蓄積層として機能する。コントロールゲート電極５Ａはワード線として機能し、ロウ方向に隣接するメモリセル間で共有されている。また、コントロールゲート電極５Ａは、ゲート間絶縁膜４Ａを介してフローティングゲート電極３Ａのロウ方向の側面を覆っている。これによって、メモリセルＭＣのカップリング比の向上が図られる。

【００２６】

選択ゲートトランジスタＳＧＤ，ＳＧＳはメモリセルＭＣと同時に形成されるため、そのゲート電極は積層ゲート構造となっている。但し、選択ゲートトランジスタＳＧＤ，ＳＧＳにおいては、ゲート間絶縁膜４Ｂ内に開口部が設けられ、ゲート絶縁膜２Ｂ上のゲート電極３Ｂとゲート間絶縁膜４Ｂ上のゲート電極５Ｂとがその開口部を介して、直接接触している。選択ゲートトランジスタＳＧＤ，ＳＧＳは、隣接するメモリセルＭＣと拡散層７Ａを共有することによって、直列接続されたメモリセルＭＣ（ＮＡＮＤストリング）の一端（ドレイン側）及び他端（ソース側）にそれぞれ直列接続され、拡散層７Ａ，７Ｄ，７Ｓをソース／ドレイン領域としている。また、選択ゲートトランジスタの拡散層７Ｄ，７Ｓは、後述するように、コンタクト部と接続される。

【００２７】

メモリセルＭＣ及び選択ゲートトランジスタＳＧＤ，ＳＧＳのゲート電極５Ａ，５Ｂ上には、酸化剤拡散防止膜２１Ｂを介して、層間絶縁膜２３が設けられ、ゲート電極の側面上には層間絶縁膜（スペーサー膜）２０が設けられる。

【００２８】

図４（ａ）に図示されるように、ソース線ＳＬ及びビット線ＢＬは、多層配線技術により、複数のメタル配線層に跨って形成されている。

【００２９】

ビット線コンタクト部ＣＢは、層間絶縁膜２０内に設けられ酸化剤拡散防止膜２１Ａに取り囲まれた絶縁膜２２内及び層間絶縁膜２４内に埋め込まれ、選択ゲートトランジスタＳＧＤの拡散層７Ｄに接続される。このコンタクト部ＣＢは、層間絶縁膜２４内に埋め込まれたビアＶ１Ｄを介して、ビット線ＢＬが接続される。コンタクト形成領域においては、コンタクト部ＣＢとオーミック接触を形成するため、拡散層７Ｄよりも不純物濃度の高い拡散層８が設けられている。

【００３０】

一方、選択ゲートトランジスタＳＧＳの拡散層７Ｓは、ビット線コンタクト部ＣＢと同様に、層間絶縁膜２２，２３内に埋め込まれたソース線コンタクト部ＣＳ、ビアコンタクト部Ｖ１Ｓ，Ｖ２Ｓ及び第１及び第２メタル配線層Ｍ０，Ｍ１を介して、ソース線（第１導電線）ＳＬと接続される。具体的には、拡散層７Ｓに接続されているソース線コンタクトＣＳは、第１メタル配線層Ｍ０に接続されている。第１メタル配線層Ｍ０は図４の奥行き方向（或いは手前方向）に延び、所定のシャント領域内でビアコンタクトＶ１Ｓ（図４（ａ）中の破線）を介して、ビット線ＢＬと同層に設けられる第２メタル配線層Ｍ１と接続される。さらにビアコンタクト部Ｖ２Ｓ（図４（ａ）中の破線）を介して、第２メタル配線層Ｍ１が、ソース線ＳＬとしての第３メタル配線層に接続される。このソース線ＳＬ

は、例えば、ｘ方向に沿って延びている。複数のソース線ＳＬは、図２に示されるように、周期的なパターンで設けられている。

【００３１】

尚、ソース側の選択ゲートトランジスタＳＧＳにおいても、そのコンタクト形成領域内には、コンタクト部ＣＢとオーミック接触を形成するため、拡散層７Ｄよりも不純物濃度の高い拡散層８が設けられている。

【００３２】

ビアコンタクトＶ１Ｄ，Ｖ１Ｓ，Ｖ２Ｓと、それを埋め込むためのビアホールが形成された層間絶縁膜２４，２５との間には、バリアメタル層１０，１１がそれぞれ介在している。加えて、ソース線ＳＬ及び第３メタル配線層Ｍ２と層間絶縁膜２６との間にも、バリアメタル層１０，１１がそれぞれ設けられている。このバリアメタル層１０，１１は、例えば、チタン（Ｔｉ）／窒化チタン（ＴｉＮ）、タンタル（Ｔａ）／窒化タンタル（ＴａＮ）などから構成される。尚、バリアメタル層はそれらに限定されず、チタン又はタンタルを含む他の導電性の化合物膜でもよい。また、ビット線ＢＬ，ソース線ＳＬ及び各メタル配線層Ｍ０，Ｍ１，Ｍ２は、アルミニウム（Ａｌ）又は銅（Ｃｕ）から構成される。これらのバリアメタル層やメタル配線材は、水素の透過を防止するブロック膜として機能する。また、チタンは水素に対してゲッタリング作用を有するため、チタン及び窒化チタンのようなチタン化合物は、水素を捕獲する作用も有する。

【００３３】

また、図４（ａ）には、セルアレイ隣接領域１０５の断面構造も図示され、この領域１０５内に設けられる周辺トランジスタのチャネル長方向に沿う断面を示している。尚、各周辺トランジスタの素子領域を限定するための素子分離膜は、説明の簡単化のため、図示を省略する。セルアレイ隣接領域１０５内に設けられる周辺トランジスタＴｒも、メモリセルＭＣと同時に形成されるため、周辺トランジスタＴｒのゲート電極は積層ゲート構造となっている。それゆえ、選択ゲートトランジスタＳＧＤ，ＳＧＳのゲート電極と同様に、ゲート絶縁膜２Ｃ上のゲート電極３Ｃが、ゲート間絶縁膜４Ｃ内に形成された開口部を介して、ゲート電極５Ｃと直接接触している。そして、半導体基板１内に設けられた拡散層７Ｃをソース／ドレイン領域としている。この拡散層７Ｃには、層間絶縁膜２０，２３内に設けられたコンタクト部ＣＰが接続される。コンタクト部ＣＰは、層間絶縁膜２４，２５内に設けられた第１及び第２メタル配線層Ｍ０，Ｍ１及びビア（図示せず）を介して、メモリセルアレイ領域１００内に形成されたソース線（第１導電線）ＳＬの配線幅（第１配線幅）より配線幅が広い第３メタル配線層Ｍ２に接続される。これによって、セルアレイ隣接領域１０５内の周辺トランジスタＴｒは、メモリセルＭＣ及び他の周辺トランジスタと接続される。セルアレイ隣接領域１０５内においても、ビアホール内及び第１及び第２メタル配線層Ｍ１，Ｍ２と層間絶縁膜２４，２５との間に、バリアメタル層１０，１１がそれぞれ設けられている。

【００３４】

また、メモリセルアレイ領域１００及びセルアレイ隣接領域１０５内において、アルファ線、紫外線及び大気等に起因する外部ストレスからメモリセルの特性を保護するために、パッシベーション膜としての層間絶縁膜２７が層間絶縁膜２６上に形成され、ソース線ＳＬ及び第３メタル配線層Ｍ２は層間絶縁膜（パッシベーション膜）２７によって覆われる。尚、メモリセルアレイ領域１００内に、Al_2O_3（アルミナ）膜など水素の捕獲又は水素の拡散防止作用を有する絶縁膜を設けてもよい。

【００３５】

本発明の第１の実施形態に係るフラッシュメモリは、セルアレイ領域隣接領域１０５内に設けられるメタル配線層Ｍ２がスリット５０を有し、メモリセルアレイ領域１００内におけるメタル配線層の被覆率と、セルアレイ隣接領域１０５内におけるメタル配線層の被覆率が実質的に同じであることを特徴とする。

【００３６】

上述のように、メモリセルアレイ領域１００及びセルアレイ隣接領域１０５内には、各

素子ＭＣ，ＳＧＤ，ＳＧＳ，Ｔｒ及びその上方を覆う絶縁膜２０～２７が設けられている。絶縁膜２０～２７や製造工程中に用いられるマスク材は、シリコン酸化膜又はシリコン窒化膜などから構成され、それらを形成する際には、水素を含む材料ガスが用いられている。

【００３７】

従来のセルアレイ隣接領域においては、配線の低抵抗化のために領域表面のほぼ全面を覆うように配線幅の広い導電線（第３メタル配線層）が設けられ、さらにコンタクト部、ビア、第１及び第２メタル配線層もメモリセルアレイ領域よりも多い。そのため、セルアレイ隣接領域内の導電線（メタル配線層）の被覆率がメモリセルアレイ領域内の被覆率よりも高く、その結果として、水素の透過を阻止するアルミニウムやチタンなどのブロック膜も局所的に多くなり、層間絶縁膜が含む水素の等方的な拡散がブロック膜によって阻害される。また、メモリセルアレイ領域１００は周辺領域に取り囲まれているため、メモリセルアレイ領域中央部からの水素の拡散は、セルアレイ隣接領域内のブロック膜によって遮られてしまう。よって、水素がセルアレイ隣接領域内若しくはメモリセルアレイ領域端部に片寄って多く残留してしまう。それゆえ、メモリセルアレイ領域端部のメモリセルＭＣは、セルアレイ隣接領域に残存した水素によってトンネル絶縁膜が劣化され、データ保持特性が悪化する。また、水素はトンネル絶縁膜内でトラップ準位を形成するため、メモリセルのしきい値変動の原因となる。これによって、残存した水素ガスに起因して、不良セルがメモリセルアレイ領域中央部よりもメモリセルアレイ領域端部で多く発生し、不良セルがメモリセルアレイ領域端部内に片寄って発生してしまう問題があった。

【００３８】

それに対し、本実施形態では、メモリセルアレイ領域１００内に形成されたソース線（第１導電線）ＳＬの配線幅（第１配線幅）より配線幅が広いセルアレイ隣接領域１０５内の第３メタル配線層Ｍ２にスリット５０を設けることで被覆率を下げて、メモリセルアレイ領域１００内及びセルアレイ隣接領域１０５内のブロック膜の被覆率が局所的に高くならないようにしている。これによって、等方的な拡散が妨げられることがなくなるので、水素がセルアレイ隣接領域１０５内で過剰に残存するのを抑制し、その水素に起因する不良セルがメモリセルアレイ端部で片寄って発生するのを防止できる。

【００３９】

また、フラッシュメモリでは、記憶容量の大容量化が求められているため、メモリセルの微細化や、１つのセルで２ビット以上のデータを示す多値メモリの採用が進んでいる。メモリセルの微細化により、隣接するメモリセル間の間隔は狭くなる。多値メモリにおいては、１つのメモリセルに対して複数のしきい値レベルを設定しているため、各データにそれぞれ対応するしきい値の設定範囲は狭い。それゆえ、水素によってメモリセルのトンネル絶縁膜２Ａ中にトラップ準位が形成されると、しきい値変動の原因となり、そのメモリセルは不良セルとなってしまうことがある。これらの場合、セルアレイ隣接領域のある部分に残存した水素が、その部分近傍のメモリセルアレイ領域端部に影響を及ぼす範囲、即ち、メモリセルの個数も多くなる。そのため、水素に起因する不良セルがメモリセルアレイ領域１００端部のある部分に多く発生してしまう可能性も高くなる。

【００４０】

しかし、本実施形態のフラッシュメモリは、水素がセルアレイ隣接領域１０５内で過剰に残存するのを防止できるので、このようなメモリセルの微細化・多値化によってさらに懸念されるメモリセルアレイ領域１００端部での不良セルの発生においても、メタル配線層の被覆率をそれぞれ同じにすることで、その発生を抑制できる。

【００４１】

図４に示すようにフラッシュメモリには多層配線技術が採用されており、第１乃至第３メタル配線層Ｍ０，Ｍ１，Ｍ２からなる構成されている。そのため、第３メタル配線層Ｍ２とソース線ＳＬだけではなく、ビット線ＢＬを含む第２メタル配線層Ｍ１、又は、第１メタル配線層Ｍ０など、それぞれ同層に形成されるメタル配線層の被覆率が、メモリセルアレイ領域１００とセルアレイ隣接領域１０５とでそれぞれ実質的に同じであることが好

ましく、セルアレイ隣接領域１０５内の第１メタル配線層Ｍ０及び第２メタル配線層Ｍ１にもスリットを設けてもよい。尚、本実施形態においては、３層構造の多層配線技術が採用されているが、３層構造に限定されるものではない。

【００４２】

また、メタル配線層の被覆率において、被覆率が同じであることに必ずしも限定されるものではなく、メモリセルアレイ領域内の被覆率が５０％とした場合、セルアレイ隣接領域内の被覆率は３０％以上、７０％以下の範囲内でも被覆率が同じである場合と同様の効果が得られ、その範囲内でより好ましい範囲は、３５％以上、６５％以下である。

【００４３】

以上のように、本発明の第１の実施形態に係る不揮発性半導体メモリ（フラッシュメモリ）は、不良セルの発生、特に、メモリセルアレイ領域１００端部内で片寄って不良セルが発生するのを抑制できる。それゆえ、ＥＥＣのようにランダム不良に対応する誤り訂正技術によっても、不良セルの救済を実行できる。したがって、本発明の第１の実施形態によれば、信頼性の高い不揮発性半導体メモリを提供できる。

【００４４】

（ｂ）　製造方法

図４乃至図９を参照して、本発明の第１の実施形態に係る不揮発性半導体メモリ（フラッシュメモリ）の製造方法について説明する。

【００４５】

はじめに、図５を用いて、本実施形態のフラッシュメモリの製造方法の一工程について説明する。図５（ａ）は、メモリセルアレイ領域１００内及びセルアレイ隣接領域１０５内にそれぞれ設けられるメモリセルＭＣ及び周辺トランジスタＴｒのチャネル長方向（ｙ方向）に沿う断面図を図示している。また、図５（ｂ）は、メモリセルアレイ領域１００内に設けられるメモリセルのチャネル幅方向（ｘ方向）に沿う断面図を図示している。

【００４６】

図５に示されるように、イオン注入法により、ウェル領域（図示せず）及びチャネル領域（図示せず）が半導体基板１内に形成された後、メモリセルアレイ領域１００及びセルアレイ隣接領域１０５の半導体基板１表面上に、ゲート絶縁膜２が形成される。ゲート絶縁膜２は、例えば、熱酸化法で形成された膜厚が８ｎｍ程度のシリコン酸化膜であり、メモリセルにおいてはトンネル絶縁膜として機能する。次に、フローティングゲート電極となるポリシリコン膜３がゲート絶縁膜２上に１００ｎｍ程度堆積され、マスク材として用いられるシリコン窒化膜４０がポリシリコン膜３上に、例えば、ＣＶＤ（Chemical Vapor deposition）法により形成される。シリコン窒化膜の材料ガスとしては、モノシラン（SiH_4）等の水素を含むガスが用いられている。そして、シリコン窒化膜４０に対して、フォトリソグラフィー技術及びＲＩＥ（Reactive Ion Etching）法を用いてパターニングが施され、半導体基板１内に溝Ｚが形成される。これによって、素子領域ＡＡが形成される。尚、セルアレイ隣接領域１０５においても、素子領域を定義するための溝が形成されるが、図５においては、簡単化のため図示を省略している。

【００４７】

次に、図６を用いて、図５に続く製造工程について説明する。

【００４８】

シリコン酸化膜（図示せず）が図５の溝Ｚ内及びシリコン窒化膜４０上に形成された後、シリコン窒化膜４０をストッパ膜として、シリコン酸化膜に対してＣＭＰ（Chemical Mechanical Polishing）法による平坦化処理が実行される。すると、図６に示すように、溝内にＳＴＩ構造の素子分離膜となるシリコン酸化膜９が充填される。尚、この際、セルアレイ隣接領域１０５においても素子分離膜が形成される。

【００４９】

続いて、メモリセルアレイ領域１００においては、シリコン酸化膜９に対してエッチバックが施され、ポリシリコン膜３Ａのロウ方向の側面が露出される。ポリシリコン膜３Ａ，３Ｂ，３Ｃ上のシリコン窒化膜が除去され後、ゲート間絶縁膜として、ＯＮＯ膜４Ａ，

４Ｂ，４Ｃがポリシリコン膜３Ａ，３Ｂ，３Ｃ上に形成される。さらに、コントロールゲート電極となるポリシリコン膜５Ａ，５Ｂ，５Ｃが、ＯＮＯ膜４Ａ，４Ｂ，４Ｃ上に形成される。この場合、図６（ｂ）に示すように、ポリシリコン膜（コントロールゲート電極）５Ａが、ゲート間絶縁膜を介してポリシリコン膜（フローティングゲート電極）３Ａのｘ方向の側面を覆う構造となり、メモリセルのカップリング比を向上できる。尚、選択ゲートトランジスタ形成領域及び周辺トランジスタ形成領域においては、ＯＮＯ膜４Ｂ，４Ｃ内に開口部が形成され、ポリシリコン膜３Ｂ，３Ｃとポリシリコン膜５Ｂ，５Ｃとが接触している。

【００５０】

ポリシリコン膜５Ａ，５Ｂ，５Ｃ上には、ゲート電極加工時のマスク材としてのシリコン窒化膜４１がＣＶＤ法によって形成される。このシリコン窒化膜４１に対し、フォトリソグラフィー技術を用いて、所定のサイズのチャネル長のゲート電極が形成されるようにパターニングを施し、そのパターンに基づき、ＲＩＥ法によるエッチングを実行する。それによって、メモリセル、選択ゲートトランジスタ及び周辺トランジスタのゲート電極がそれぞれ形成される。具体的には、パターニングされたシリコン窒化膜４１に基づいて、ポリシリコン膜がＲＩＥ法によってエッチングされ、メモリセルのコントロールゲート電極５Ａ、選択ゲートトランジスタ及び周辺トランジスタのゲート電極５Ｂ，５Ｃが形成される。次に、ＯＮＯ膜がエッチングされ、ゲート間絶縁膜４Ａ，４Ｂ，４Ｃが形成される。次に、素子分離絶縁膜９に対し、十分なエッチング選択比を確保できる条件で、シリコン酸化膜上のポリシリコン膜をエッチングし、メモリセルのフローティングゲート電極３Ａ、選択ゲートトランジスタ及び周辺トランジスタのゲート電極３Ｂ，３Ｃが形成される。そして、形成されたゲート電極をマスクとして、ヒ素（Ａｓ）やリン（Ｐ）などが半導体基板１内にイオン注入されて、ソース／ドレイン領域となる拡散層７Ａ，７Ｄ，７Ｓが形成される。

【００５１】

尚、ゲート間絶縁膜はＯＮＯ膜に限定されず、ＮＯＮＯＮ膜や、酸化ハフニウム膜（ＨｆＯｘ）などの高誘電体膜を用いてもよい。例えば、ＮＯＮＯＮ膜は、ＳＰＡ（Slot Plane Antenna）プラズマ生成技術により、ポリシリコン膜３Ａ，３Ｂ，３Ｃの表面を窒化した後、ＯＮＯ膜が形成され、さらに、ＯＮＯ膜の表面がＳＰＡプラズマ生成技術により窒化処理されて形成される。

【００５２】

続いて、図７を用いて、図６に続く製造工程について説明する。

【００５３】

図７に示すように、ゲート電極を覆うようにＴＥＯＳなどの絶縁膜（スペーサー膜）２０がＣＶＤ法を用いて形成され、その絶縁膜２０に対し、シリコン窒化膜４１が露出するようにエッチバックが施される。この際、ゲート間隔の狭いメモリセル間は、絶縁膜２０によって埋め込まれる。一方、隣接する選択ゲートトランジスタ間は共有コンタクトが形成されるためゲート間隔が広いので、その領域においては、絶縁膜２０はゲート電極側面上にのみ残存し、拡散層７Ｄ，７Ｓ表面が露出する構造となる。ＴＥＯＳ膜は、例えば、ＴＥＯＳガス（$Si(OC_2H_5)_4$）を材料ガスとして形成される。この後、絶縁膜２０をマスクとして、後の工程でコンタクト部が形成される領域内に、拡散層７Ｄ，７Ｓよりも不純物濃度の高い拡散層８が形成される。尚、図７において、セルアレイ隣接領域１０５に対しては、ＴＥＯＳ膜２０の上面を例えばレジストで覆い、エッチバックを施さず、ＴＥＯＳ膜２０を残存させる例を図示している。しかし、セルアレイ隣接領域１０５に対してもメモリセルアレイ領域１００と同様に、ＴＥＯＳ膜２０にエッチバックを施し、コンタクト形成領域に拡散層７Ｃよりも不純物濃度の高い拡散層を形成してもよいのはもちろんである。

【００５４】

続いて、図８を用いて、図７に続く製造工程について説明する。

【００５５】

図８に示すように、絶縁膜２０側面上に、シリコン窒化膜２１ＡがＣＶＤ法によって２０ｎｍ程度堆積される。このシリコン窒化膜２１Ａは、後の工程で形成される酸化膜（ＢＰＳＧ膜）からの不純物及び酸化剤の拡散防止のため形成される。次に、層間絶縁膜としてのＢＰＳＧ膜２２が半導体基板１上の全面に形成された後、ポリシリコン膜５Ａ，５Ｂ，５Ｃ上のシリコン窒化膜をストッパ膜として、ＣＭＰ法による平坦化処理が実行される。ＢＰＳＧ膜２２は、例えば、SiH_4ガス又はＴＥＯＳガスを主原料とした混合ガスを用いて形成される。

【００５６】

そして、ポリシリコン膜５Ａ，５Ｂ，５Ｃ上のシリコン窒化膜を除去した後、コバルト（Ｃｏ）膜が例えばスパッタリング法によってポリシリコン膜５Ａ，５Ｂ，５Ｃ上に堆積され、さらに、加熱処理が施される。これによって、ポリシリコン膜５Ａ，５Ｂ，５Ｃの上面がシリサイド化され、いわゆるポリシリコン層とシリサイド層からなるポリサイド構造のゲート電極５Ａ，５Ｂ，５Ｃとなる。これによって、コントロールゲート電極（ワード線）の低抵抗化が図られる。尚、ポリシリコン膜の全体をシリサイド化させてもよい。また、コバルトに限定されるものではなく、タングステン（Ｗ）やチタンなどを用いたシリサイド層でもよい。

【００５７】

続いて、残存したコバルト膜が除去された後、酸化剤拡散防止膜としてのシリコン窒化膜２１ＢがゲートＡ絶縁膜５Ａ，５Ｂ，５Ｃ上に形成され、さらに層間絶縁膜としてＴＥＯＳ膜２３が、例えば、プラズマＣＶＤ法によってシリコン窒化膜２１Ｂ上に形成される。そして、コンタクト形成領域上の絶縁膜２１Ｂ，２２，２３内にコンタクトホールが形成され、そのコンタクトホール内に例えばタングステンなどのプラグ材が埋め込まれる。これによって、メモリセルアレイ領域１００内にはビット線及びソース線コンタクト部ＣＢ，ＣＳ、セルアレイ隣接領域１０５内にはコンタクト部ＣＰがそれぞれ形成される。その後、ＴＥＯＳ膜２３上に、所定のパターンの第１メタル配線層Ｍ０が、コンタクト部ＣＢ，ＣＰに接続されるように形成される。

【００５８】

続いて、図９を用いて、図８に続く製造工程について説明する。

【００５９】

図９に示すように、層間絶縁膜２４が、第１メタル配線層Ｍ０及びＴＥＯＳ膜２３上に、１０～１０００ｎｍ程度堆積される。この絶縁膜２４は、例えば、シリコン酸化膜、ＢＰＳＧやＰＳＧなどのシリケイドガラス、ＨＳＱ、ＭＳＱ及びＳｉＬＫなど塗布絶縁膜（ＳＯＧ膜）のいずれかからなる。ＳＯＧ膜においても、その薬液中に水素を含んでいる。

【００６０】

そして、フォトリソグラフィー技術及びＲＩＥ法によって、層間絶縁膜２４に対し、ビアホールを形成するためのパターニングを施し、ＲＩＥ法によってエッチングが行われる。このエッチング条件はレジスト及び下層の金属膜に対して、十分なエッチング選択比を確保できる条件である。形成されたコンタクトホール内に、例えば、Ｔｉ／ＴｉＮなどのバリアメタル層１０が形成された後、プラグ材が埋め込まれ、ビア部Ｖ１Ｄが形成される。その後、層間絶縁膜２４上に、さらに層間絶縁膜としてのＴＥＯＳ膜２５が、プラズマＣＶＤ法によって、１０～３００ｎｍ程度堆積された後、異方性エッチングにより、配線層が埋め込まれる溝が形成される。そして、ダマシンプロセスを用いて、例えば、Ｃｕ又はＡｌからなるメタル配線材が溝内に埋め込まれる。メモリセルＭＣ上方（素子領域ＡＡ上方）の溝に埋め込まれたメタル配線層はビット線ＢＬとして機能する。また、後の工程で形成されるソース線への引き出し配線など、第２メタル配線層Ｍ１として機能する部分はメモリセルアレイ領域内のシャント領域に引き出され、図中の奥行き方向又は手前方向に形成されたビア部Ｖ１Ｓ（図中の破線）と接続される。また、セルアレイ隣接領域１０５においても、形成されたメタル配線材は、第２メタル配線層Ｍ１として機能し、ビア部（図示せず）を介してコンタクト部ＣＰと接続される。

【００６１】

続いて、図４を用いて、図９に続く工程について説明する。

【００６２】

図４に示すように、ビット線ＢＬ（第２メタル配線層Ｍ１）上に、シリコン酸化膜、シリコン窒化膜やＢＰＳＧなどのシリケイドガラスや、ＨＳＱやＭＳＱ、ＳｉＬＫなどのいずれかからなる層間絶縁膜２６が１０～１０００ｎｍ程度堆積される。そして、フォトリソグラフィー技術及びＲＩＥ法によって、ビアホールが層間絶縁膜２６内に形成される。ついで、レジスト除去後、チタン／窒化チタン又はタンタル／窒化タンタル等のバリアメタル層１１が、１ｎｍから１００ｎｍ程度の膜厚となるようにスパッタ法やＣＶＤ法によって、ビア部Ｖ２内及び層間絶縁膜２６上に堆積される。さらに、タングステン、アルミニウム、銅等の金属材料が、１０ｎｍ～１０００ｎｍ程度の膜厚となるようにバリアメタル層１１上に形成され、これらの金属材料がビアホール内に充填されてビア部Ｖ２になるのとともに、ソース線（第３メタル配線層）の配線材料にもなる。このように、コンタクト材と配線材とを同一材料で同時に形成することによって、製造工程の簡略化を図ることができる。尚、ビアコンタクトＶ１及びビット線ＢＬ（第２メタル配線層）の製造工程と同様に、コンタクトホール内にバリアメタルを形成し、ダマシンプロセスによって、タングステン等のプラグ材をビアホール内に埋め込んだ後、アルミ及び銅などの配線材料を形成してもよい。

【００６３】

そして、リソグラフィー技術及びＲＩＥ法によって、堆積した配線材料を所定の配線パターンに加工し、メモリセルアレイ領域１００においては、所定の配線幅（第１の配線幅）の複数のソース線（第１導電線）ＳＬが周期的に形成され、それと同時に、セルアレイ隣接領域においては、周辺回路から延在し、メモリセルアレイ領域１００のソース線の配線幅よりも配線幅が広い第３メタル配線層（第２導電線）Ｍ２が形成される。この加工の際に、セルアレイ隣接領域１０５内の第３メタル配線層Ｍ２には、スリット５０が形成される。これによって、メモリセルアレイ領域１００内におけるソース線（第１導電線）の被覆率と、セルアレイ隣接領域１０５内における第３メタル配線層（第２導電線）の被覆率がほぼ同じにされる。尚、導電線の被覆率が同じであることに必ずしも限定されるものではなく、メモリセルアレイ領域内の被覆率が５０％とした場合、セルアレイ隣接領域内の被覆率は３０％以上、７０％以下でもよく、その範囲内でより好ましい範囲は、３５％以上、６５％以下である。この範囲内であれば、被覆率が同じである場合と同様の効果が得られる。また、スリット５０の寸法は、最小加工寸法よりも大きいことが望ましい。これは、スリット５０のマスクパターンが最小加工寸法で形成された場合、メタル配線材に対するリソグラフィー時のパターニング不良又はまたはエッチング時のエッチング不良が発生することがあるためである。また、その加工不良によりダストが発生し、フラッシュメモリの製造歩留まりが低下するのを防止するためでもある。さらに、スリット５０の形状は、図２に図示されるように矩形状に限定されるものではなく、円形状又は楕円形状でもよい。尚、配線層Ｍ２にスリット５０を形成する結果として、配線幅が狭くなり、配線層の抵抗値が増加する。この問題に対しては、メタル配線層Ｍ２の膜厚を厚くすることで、抵抗値を低減すれば良いし、或いは、より抵抗率の低い配線材料を用いてもよい。

【００６４】

スリット５０の形成の後、例えば、プラズマＣＶＤ法によって、パッシベーション膜２７としてシリコン窒化膜やポリイミド等が、ソース線ＳＬ及び第３メタル配線層Ｍ２上に、例えば、０．０５μｍ～２．０μｍ程度堆積される。これによって、アルファ線、紫外線及び大気等に起因する外部ストレスが、メモリセルの特性に影響を及ばさないようにされる。尚、パッシベーション膜２７としてのシリコン窒化膜は、前述の材料ガスに加え、ヘキサクロロジシラン（ＨＣＤ）用いても良い。

【００６５】

以上の工程により、本実施形態のフラッシュメモリが完成する。

【００６６】

上述のように、本発明の第１の実施形態における不揮発性半導体メモリ（フラッシュメ

モリ）の製造方法によれば、メモリセルアレイ領域１００と周辺領域との間に位置するセルアレイ隣接領域１０５内において、その領域１０５内に設けられる複数の第３メタル配線層（第２導電線）にスリット５０が形成される。そして、メモリセルアレイ領域１００内における複数のソース線（第１導電線）の被覆率とセルアレイ隣接領域１０５における複数の第３メタル配線層（第２導電線）の被覆率が実質的に同じになるように形成される。

【００６７】

これによって、ブロック膜として機能するメタル配線層の被覆率の違いによって水素がセルアレイ隣接領域に過剰に残留することを防止でき、水素に起因する不良セルがメモリセルアレイ領域端部に片寄って発生するのを抑制できる。

【００６８】

したがって、本発明の実施形態によれば、信頼性の高い不揮発性半導体メモリを提供できる。

【００６９】

（２）　第２の実施形態

以下、図１０を参照して、本発明の第２の実施形態について、説明する。尚、図１０において、第１の実施形態に示される部材とほぼ同一の機能を有する部材に関しては同一符号を付し、詳細な説明は省略する。

【００７０】

図１及び図２に示されるセルアレイ隣接領域１０５内において、設計レイアウトによっては、配線層が設けられないことがあり、その際にはセルアレイ隣接領域１０５内の被覆率がメモリセルアレイ領域内の被覆率よりも低下してしまうことがある。この場合において、被覆率が低すぎるとパッシベーション膜からの水素の拡散が問題となり、メモリセルアレイ部１００中央部とメモリセルアレイ部１００端部とで、メモリセルの特性及び不良セルの発生率にばらつきが生じてしまう。

【００７１】

それゆえ、本発明の第２の実施形態の不揮発性半導体メモリでは、図１０に示されるように、セルアレイ隣接領域１０５内の配線層が設けられない部分に水素の透過を阻止するブロック膜からなるダミー層５５を設け、これによって、セルアレイ隣接領域１０５内における被覆率とメモリセルアレイ領域内における被覆率とが、ほぼ同一にされる。

【００７２】

このダミー層５５は、第３メタル配線層Ｍ２と同時に同じ材料で形成されるが、信号線としては機能しない。そのため、ダミー層５５はフローティング状態、又は、グランド電位に設定される。尚、第１及び第２メタル配線層Ｍ０，Ｍ１と同じ層にダミー層を設け、各層におけるメタル配線層の被覆率を、それぞれ同じにしてもよい。

【００７３】

以上のように、本発明の第２の実施形態の不揮発性半導体メモリにおいても、第１の実施形態と同様の効果が得られ、信頼性の高い不揮発性半導体メモリが提供できる。

【００７４】

尚、本実施形態においては、セルアレイ隣接領域１０５内には、周辺回路の信号線として機能する第３メタル配線層Ｍ２と、ダミー層５５とが混在して設けられているが、それに限定されず、セルアレイ隣接領域１０５内にダミー層５５のみを設け、メモリセルアレイ領域１００とセルアレイ隣接領域１０５とで被覆率を実質的に同じにしても、本発明の実施形態と同様の効果が得られるのは、もちろんである。また、本実施形態においては、第３メタル配線層Ｍ２にスリット５０が設けられているが、スリット５０を設けずともよい。

【００７５】

３．　その他

本発明の例によれば、信頼性の高い不揮発性半導体メモリを提供できる。

【００７６】

また、本発明の実施形態は、ＮＡＮＤ型フラッシュメモリを例示して説明したが、それに限定されるものではなく、ＮＯＲ型など他のフラッシュメモリに適用しても、同様の効果が得られる。また、本発明の実施形態においては、フローティングゲート電極（ポリシリコン膜）を電荷蓄積層とするメモリセルについて述べたが、それに限定されず、シリコン窒化膜などの絶縁膜を電荷蓄積層とする、いわゆる、ＭＯＮＯＳ構造のメモリセルでも本発明の実施形態の効果が得られるのはもちろんである。さらには、フラッシュメモリに限らず、他の半導体記憶装置でも同様の効果が得られる。

【００７７】

本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の構成要素の適宜な組み合せにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【００７８】

【図１】本発明の実施形態に係る不揮発性半導体メモリのレイアウトを示す平面図。

【図２】第１の実施形態のメモリセルアレイ領域及びセルアレイ隣接領域の構造を示す平面図。

【図３】メモリセルアレイ領域の内部構成を示す平面図。

【図４】メモリセルアレイ領域及びセルアレイ隣接領域の構造を示す断面図。

【図５】第１の実施形態に係る不揮発性半導体メモリの製造工程の一工程を示す断面図。

【図６】第１の実施形態に係る不揮発性半導体メモリの製造工程の一工程を示す断面図。

【図７】第１の実施形態に係る不揮発性半導体メモリの製造工程の一工程を示す断面図。

【図８】第１の実施形態に係る不揮発性半導体メモリの製造工程の一工程を示す断面図。

【図９】第１の実施形態に係る不揮発性半導体メモリの製造工程の一工程を示す断面図。

【図１０】第２の実施形態のメモリセルアレイ領域及びセルアレイ隣接領域の構造を示す平面図。

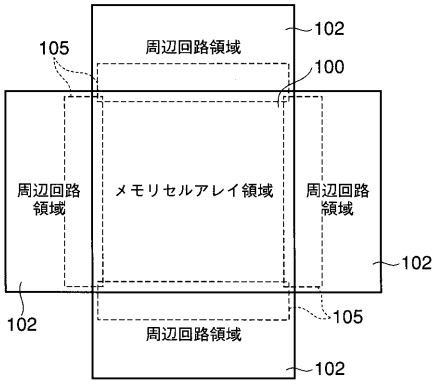
【符号の説明】

【００７９】

１：半導体基板、２Ａ：トンネル絶縁膜、２Ｂ：ゲート絶縁膜、３Ａ：フローティングゲート電極、４：ゲート間絶縁膜、５Ａ：コントロールゲート電極、３Ｂ，５Ｂ：ゲート電極、７Ａ，７Ｄ，７Ｓ，８：拡散層、９：素子分離絶縁膜、１０，１１：バリアメタル、ＭＣ：メモリセル、ＳＧＤ，ＳＧＳ：選択ゲートトランジスタ、ＢＬ：ビット線、ＳＬ：ソース線、ＷＬ：ワード線、ＳＧＬ：選択ゲート線、ＡＡ：素子領域、ＳＴＩ：素子分離領域。

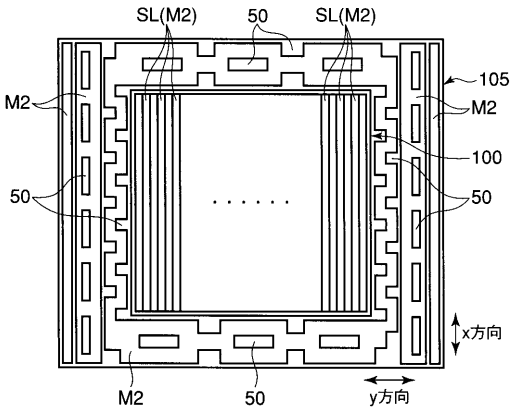
【図１】

図１



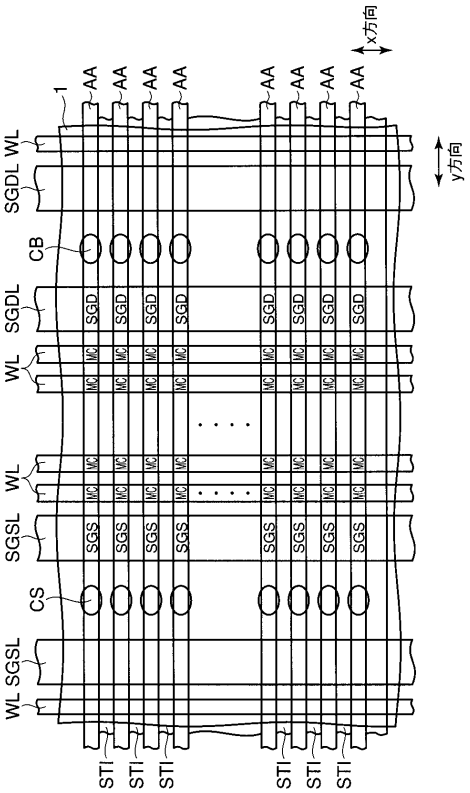
【図２】

図２



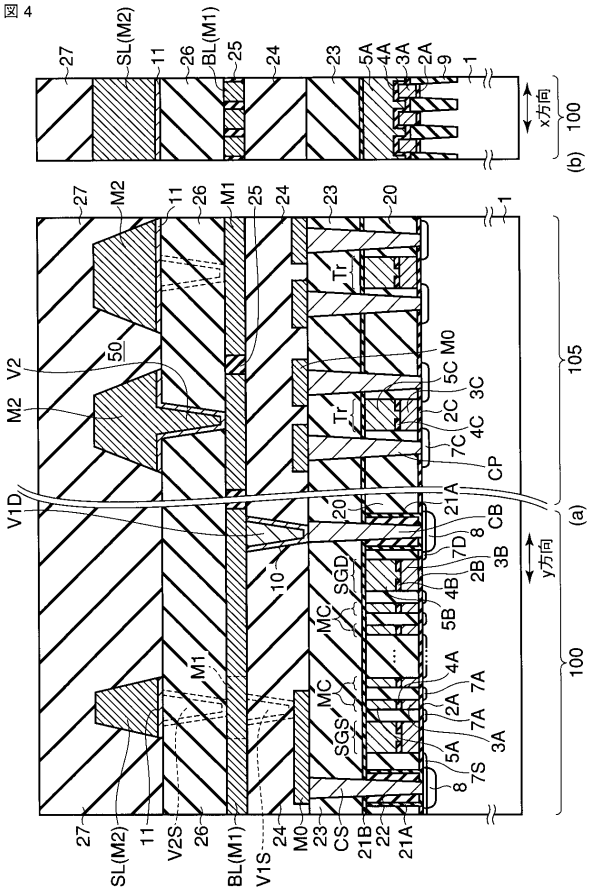
【図３】

図３



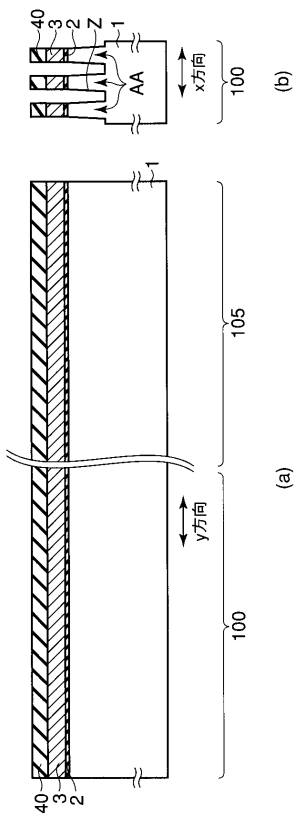
【図４】

図４



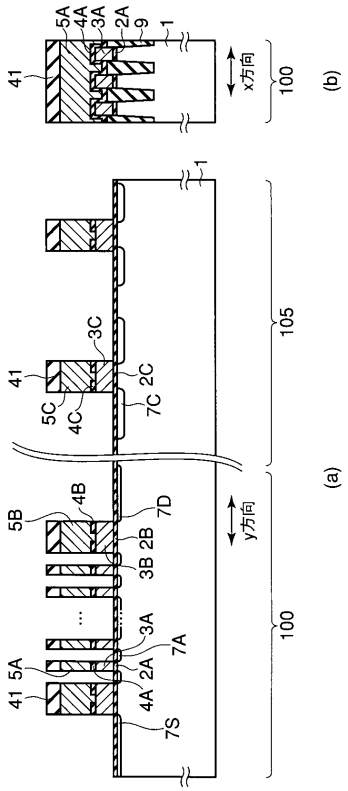
【図５】

図５



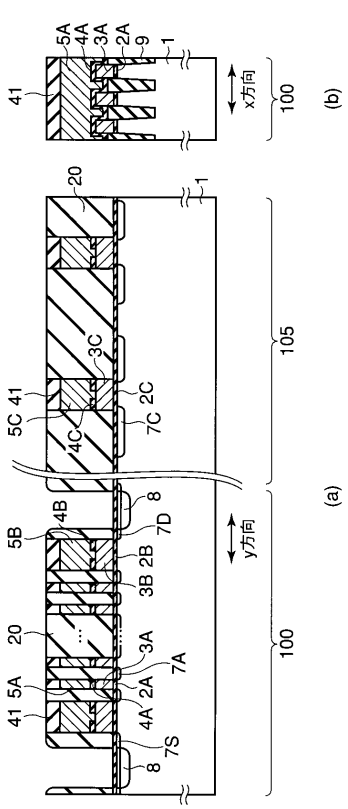
【図６】

図6



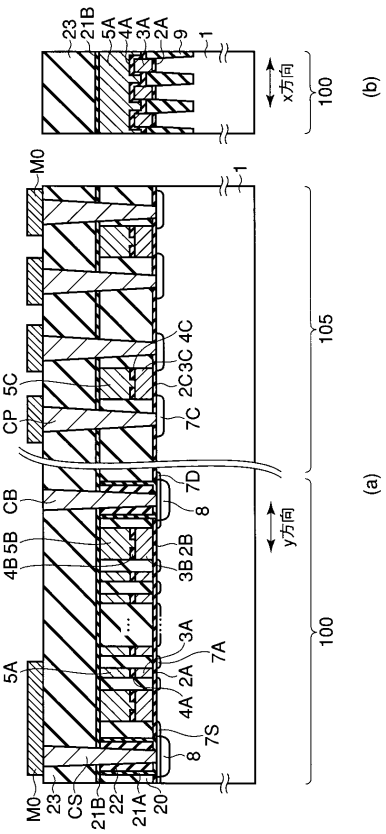
【図７】

図7



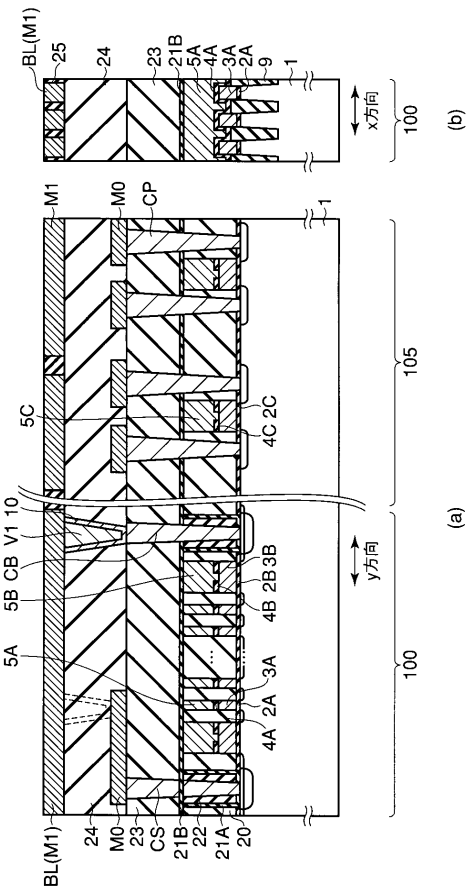
【図８】

図8



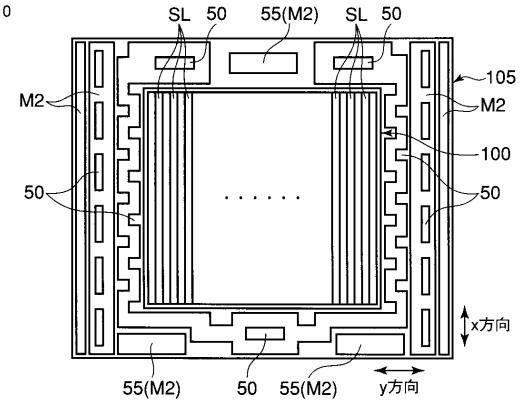
【図９】

図9



【図１０】

図 10



フロントページの続き

(51)Int.Cl. F I テーマコード（参考）
H01L 21/3205 (2006.01)
H01L 23/52 (2006.01)

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100092196
弁理士 橋本 良郎
(74)代理人 100100952
弁理士 風間 鉄也
(74)代理人 100070437
弁理士 河井 将次
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 多門 進
東京都港区芝浦一丁目１番１号 株式会社東芝内

Ｆターム(参考) 5F033 HH04 HH08 HH11 HH15 HH18 HH19 HH21 HH25 HH32 HH33
JJ18 JJ19 JJ21 JJ32 JJ33 KK08 KK11 KK21 KK32 MM01
MM05 MM13 MM15 MM22 MM29 NN06 NN07 NN40 QQ09 QQ13
QQ48 RR01 RR03 RR04 RR06 RR09 RR14 RR15 RR21 RR22
RR25 SS02 SS04 SS11 SS15 TT02 VV01 VV05 VV16
5F083 EP02 EP23 EP76 ER22 GA11 GA25 JA36 JA37 JA39 JA40
LA12 LA16 LA20 LA26 MA05 MA16 MA19 MA20 ZA21
5F101 BA01 BB05 BD34 BE07 BF05 BH23