



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2008-0098454  
 (43) 공개일자 2008년11월07일

- (51) Int. Cl.  
*G06F 11/00* (2006.01) *G06F 11/26* (2006.01)  
*G06F 11/22* (2006.01) *G01R 31/28* (2006.01)
- (21) 출원번호 10-2008-7026576(분할)
- (22) 출원일자 2008년10월30일  
 심사청구일자 2008년10월30일
- (62) 원출원 특허 10-2003-7008838  
 원출원일자 2003년06월28일  
 심사청구일자 2006년10월25일  
 번역문제출일자 2008년10월30일
- (86) 국제출원번호 PCT/US2001/046391  
 국제출원일자 2001년12월03일
- (87) 국제공개번호 WO 2002/54240  
 국제공개일자 2002년07월11일
- (30) 우선권주장  
 09/751,633 2000년12월29일 미국(US)

- (71) 출원인  
**테라다인 인코퍼레이티드**  
 미국 매사추세츠 01864 노스 리딩 엠에스  
 엔알700-2-3 리버 파크 드라이브 700
- (72) 발명자  
**파니스 마이클 씨.**  
 미국 매사추세츠 02445 브루쿠린 넘버 3 위윅 로  
 드 21  
**로빈스 브래드포드 비.**  
 미국 매사추세츠 02482 웰스리 라스롭 로드 7
- (74) 대리인  
**박중혁, 김정욱, 정삼영, 송봉식**

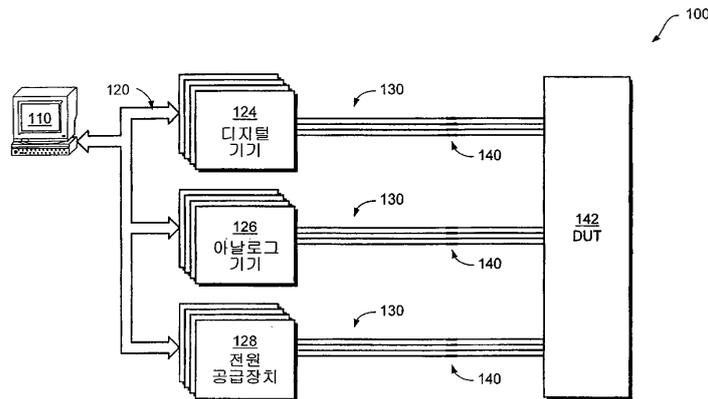
전체 청구항 수 : 총 11 항

**(54) 직렬 디바이스를 루프백 테스트하는 방법 및 장치**

**(57) 요약**

경제적으로 그러나 완전하게 직렬 포트를 테스트하는, 수신기 및 전송기를 채용하는 기기가 개시되었다. 수신기는 직렬 비트 스트림을 수신하기 위해 직렬 포트의 TX 라인에 연결될 수 있다. 수신기는 직렬 포트의 TX 라인과 RX 라인간에 루프백 연결을 수립하기 위해 전송기에 연결될 수 있다. 시간 왜곡 회로 및 선택기가 수신기와 전송기 사이에 개재된다. 시간 왜곡 회로는 직렬 포트를 테스트하기 위해 소정의 타이밍 왜곡량을 더한다. 선택기는 알고리즘 테스트 신호를 제공하는 직접 입력과 수신기 사이에서 선택한다. 알고리즘 테스트 신호는 TX 라인과 RX 라인이 독립적으로 테스트될 수 있도록 하기 위해 수신기에 의해 수신된 입력 직렬 스트림과는 상이하다.

**대표도**



## 특허청구의 범위

### 청구항 1

자동 테스트 시스템에서 직렬 포트를 테스트하기 위한 회로에 있어서,

입력부 및 출력부를 갖고, 직렬 포트의 전송 라인으로부터 테스트 신호를 수신하기 위한 수신기;

입력부 및 출력부를 갖고, 루프백 연결을 수립하기 위해 그 입력부가 수신기의 출력부에 연결되고, 직렬 포트의 수신 라인에 테스트 신호를 전송하기 위한 전송기; 및

수신기의 입력부에 연결되고, 직렬 포트의 전송 라인의 정상상태 특성을 평가하기 위한 파라미터 측정 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 2

제1 항에 있어서, 상기 파라미터 측정 회로는 전송기의 출력부에 더 연결되고, 직렬 포트의 수신 라인의 정상상태 특성을 평가하기 위한 것을 특징으로 하는 회로.

### 청구항 3

제1 항에 있어서, 수신기의 출력부에 연결되고, 수신기에 의해 수신된 테스트 신호의 타이밍 특성을 측정하기 위한 시간 측정 회로를 더 포함하는 것을 특징으로 하는 회로.

### 청구항 4

제1 항에 있어서, 수신기의 출력부와 전송기의 입력부 사이에 개재되고, 직렬 포트의 수신 라인에 제공된 테스트 신호에 소정 시간 왜곡을 도입하기 위한 시간 왜곡 회로를 더 포함하는 것을 특징으로 하는 회로.

### 청구항 5

제1 항에 있어서, 수신기의 출력부와 전송기의 입력부 사이에 개재되고 수신기의 출력과 다이렉트 입력사이에서 선택하기 위한 선택기를 더 포함하고, 상기 다이렉트 입력은 수신기에 의해 수신된 테스트 신호와 상이한 소정의 직렬 비트 스트림을 제공하는 것을 특징으로 하는 회로.

### 청구항 6

제1 항에 있어서, 상기 수신기는 제1 및 제2 프로그램가능한 임계치를 갖는 차동 비교기를 포함하는 것을 특징으로 하는 회로.

### 청구항 7

제1 항에 있어서, 상기 전송기는 제1 및 제2 프로그램가능한 레벨을 갖는 차동 구동기를 포함하는 것을 특징으로 하는 회로.

### 청구항 8

자동 테스트 시스템에서 직렬 포트를 테스트하기 위한 회로에 있어서,

입력부 및 출력부를 갖고, 직렬 포트의 전송 라인으로부터 테스트 신호를 수신하기 위한 수신기;

입력부 및 출력부를 갖고, 루프백 연결을 수립하기 위해 그 입력부가 수신기의 출력부에 연결되고, 직렬 포트의 수신 라인에 테스트 신호를 전송하기 위한 전송기; 및

수신기의 출력부와 전송기의 입력부 사이에 개재되고, 직렬 포트의 수신 라인에 제공된 테스트 신호에 소정 시간 왜곡을 도입하기 위한 시간 왜곡 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 9

제8 항에 있어서, 수신기의 출력부에 연결되고, 수신기에 의해 수신된 테스트 신호의 타이밍 특성을 측정하기

위한 시간 측정 회로를 더 포함하는 것을 특징으로 하는 회로.

**청구항 10**

자동 테스트 시스템에서 직렬 포트를 테스트하기 위한 회로에 있어서,

입력부 및 출력부를 갖고, 직렬 포트의 전송 라인으로부터 테스트 신호를 수신하기 위한 수신기; 및

입력부 및 출력부를 갖고, 루프백 연결을 수립하기 위해 그 입력부가 수신기의 출력부에 연결되고, 직렬 포트의 수신 라인에 테스트 신호를 전송하기 위한 전송기를 포함하고,

상기 수신기는 적어도 하나의 프로그램가능한 입력 임계치를 갖고 상기 전송기는 적어도 하나의 프로그램가능한 출력 레벨을 갖는 것을 특징으로 하는 회로.

**청구항 11**

제10 항에 있어서, 상기 수신기는 차동 비교기를 포함하고 상기 전송기는 차동 구동기를 포함하는 것을 특징으로 하는 회로.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 일반적으로 전자부품을 위한 자동 테스트 장비에 관한 것으로, 더욱 상세히는, 직렬 통신 포트를 포함하는 전자 디바이스를 자동으로 테스트하는 것에 관한 것이다.

**배경기술**

<2> 전자 디바이스가 점점 더 복잡해 짐에 따라, 더 많은 수의 리드가 상이한 디바이스간에 연결을 행하기 위해 요구된다. 결과적으로, 회로보드의 레이아웃 및 디자인은 점점 더 복잡하게 되어왔다. 직렬 통신 포트는, 병렬 디바이스 보다 더욱 적은 수의 라인을 사용하여 통신할 수 있게 함에 따라, 상기 복잡성에 대해 부분적으로 그 해결책을 제공한다. 직렬 통신 포트는 단지 두 라인을 통해-한 라인은 데이터 전송용 또다른 한 라인은 데이터 수신용-통신한다. 이들 라인은 싱글-엔디드(즉, 한 신호가 접지된 것으로 참조됨) 또는 차동(즉, 두 개의 보상 신호가, 그 어느것도 접지되지 않음)일 수 있다. 병렬 포트에 필적할 수 있는 전송율로 데이터를 전송하기 위해, 직렬 포트는 병렬 포트 보다 훨씬 고속으로 동작하는 경향이 있다. 현대 직렬 포트는 수 기가헤르쯔(GHz)의 데이터 전송율로 동작한다.

<3> 직렬 포트는 자동 테스트 장비(ATE;automatic test equipment)에 대한 특정 요구를 해결한다. 예를 들어, 직렬 포트는 일반적으로 데이터를 동시에 전송 및 수신할 수 있다. 완전하게 직렬 포트를 테스트하기 위해, 테스터 스스로는 데이터를 동시에 전송 및 수신할 수 있어야 한다. 직렬 포트는 데이터를 상이한 데이터 전송율로 전송 및 수신할 수 있는 데, 이는 테스터가 상이한 데이터 전송율로 동작할 수 있어야 함을 의미한다. 가장 중요하게는, 직렬 포트는 종래의 테스터에서 동작하는 핀 전자부품 보다 훨씬 고속인, 초고속으로 동작하는 경향이 있다.

<4> 개괄적으로 말하면, 직렬 포트를 테스트하기 위한 기술은 세범주인데, 전적으로 기능적 디지털 테스트, 알고리즘 테스트 및 루프백 테스트로 나뉜다. 전적으로 기능적 디지털 테스트는, 직렬 자극을 발생시키고 직렬 응답을 모니터링하기 위해 복잡한, 패턴-기반 기기를 채용한다. 이들 기기는 대부분의 직렬 포트를 테스트하기에 충분한 속도인, 고속으로 동작하고 신호의 타이밍 및 그 진폭에 대해 상당한 제어를 제공한다. 이들 기기는 응용면에서 유연하고 충분한 성능을 가질지라도, 전적으로 기능적 디지털 기기는 고가이고 오랜 개발 기간을 필요로 한다. 전적으로 기능적 디지털 기기의 예는, 미국 MA의 보스톤 소재의, Teradyne사 제품인, Gazelle™ 및 Super Speed Serial Pin™이 있다.

<5> 알고리즘 테스트는 전적으로 기능적 디지털 테스트 보다 비용이 덜 드는 경향이 있다. 알고리즘 테스트는 임의의 소정 알고리즘에 따라 직렬 비트 스트림을 발생시키고, 직렬 응답이 직렬 자극에 대한 예상 직렬 응답과 매칭 되도록하기 위해 직렬 응답을 모니터링한다. 상기 자극은, 다양한 알고리즘 패턴 예로서 의사-랜덤 패턴, 마지 패턴("0"들로 된 필드에 "1"을 삽입진행시킴), 및 기타 다수의 패턴에 따라 배열될 수 있다. 알고리즘 테스트

이 기능적 디지털 테스트링 보다 비용이 덜든다 해도, 또는 덜 완전하다. 예로서, 알고리즘 테스트링은 직렬 포트에 전송된 개별 예지의 위치를 제어할 수 없다. 제한된 수의 패턴을 이용하기 때문에, 알고리즘 테스트링은 또한 개별 디바이스의 특정 회로를 테스트할 수 없다.

<6> 루프백 테스트링은 직렬 포트를 테스트하는데 있어서 가장 간명하고 대중적인 방식이다. 루프백 테스트링은 직렬 포트의 전송라인(TX)을 그 자신의 수신라인(RX)에 연결한다. 이 디바이스는 직렬 데이터의 공지된 패턴을 전송한다. 데이터가 전송되며, 테스트는 테스트가 성공인지 실패인 지를 결정하기 위해, TX 라인과 RX라인의 올바른 동작에 좌우되는 상태를 갖는, 디바이스의 저속-핀을 모니터링한다.

### 발명의 내용

#### 해결 하고자하는 과제

<7> 루프백 테스트링은 매우 편리하다. 직렬 포트를 위한 테스트 장비는 전송라인을 수신라인에 연결하기 위해 단지 와이어만을 필요로 한다. 테스트는 직렬 데이터를 전송하거나 수신하지 않는다. 이러한 편리함은 완전성을 희생한 대가임을 알고 있다. 직렬 포트는 데이터를 전송하는 속도와 동일 속도로 수신하기 때문에, 루프백 테스트링은 직렬 포트의 전송라인이 수신라인과 상이한 속도로 동작할 수 있는 경우에 분리하여 테스트할 수 없다. 테스트는 따라서 디바이스의 동기 회로에서 내부 결함을 탐지하지 못한다. 테스트는 직렬 비트 스트림을 직접 생성하지 않기 때문에, 테스트는 입력신호를 불완전하게 하는 직렬 포트의 공차를 테스트할 수 없다. 이것들은 진폭 에러, 왜곡 및 타이밍 지터를 갖는 입력신호를 포함한다. 어느 테스트도, 직렬 포트의 출력신호가 올바른 진폭 및 타이밍 특성을 갖도록 보장하기 위해, 그 출력신호를 직접 측정하지 못한다.

<8> 루프백 테스트링의 편리성은 직렬 포트의 저비용 테스트 달성에 상당한 장점을 제공한다. 그러나, 요구되는 것은, 그 비용을 매우 증가시키지 않고도, 루프백 테스트링의 응용분야 유연성 및 테스트 범위를 향상시키는 방법이다.

#### 과제 해결수단

<9> 발명의 요약

<10> 상기 사항을 고려하여, 본 발명의 목적은 직렬 포트를 완전하게 그리고 비교적 저렴한 비용으로 테스트하는 것이다.

<11> 상기 목적, 기타 목적 및 이점을 달성하기 위해, 향상된 루프백 기술이 직렬 포트를 테스트하기 위해 채용된다. 이들 기술은 각각이 입력 및 출력을 갖는 수신기 및 전송기를 포함한다. 수신기는 직렬 포트의 TX 라인으로부터 그 입력부에서 테스트 신호를 수신한다. 전송기는 그 출력부로부터 직렬 포트의 RX 라인에 테스트 신호를 제공한다. 수신기의 출력부는 루프백 연결을 수립하기 위해 전송기의 입력부에 연결된다.

<12> 일 변형예에 따라, 수신기의 입력부는 직렬 포트의 TX 라인의 정상-상태를 평가하기 위해, 파라미터 측정회로에 연결된다. 전송기의 출력부는 직렬 포트의 RX 라인의 정상-상태를 평가하기 위해, 파라미터 측정회로에 연결된다.

<13> 또다른 변형예에 따라, 수신기의 출력부는 직렬 포트의 TX 라인에서 발생된 테스트 신호의 타이밍 특성을 측정하기 위해 시간 측정 회로에 연결된다.

<14> 또다른 변형예에 따라, 테스트 신호가 직렬 포트의 RX 라인에 제공되기 이전에 소정의 타이밍 왜곡을 테스트 신호에 제공하기 위해 시간 왜곡 회로가 수신기의 출력부와 전송기의 입력부 사이에 개재된다.

<15> 또다른 변형예에 따라, 수신기의 출력부와 다이렉트 입력부 사이에서의 선택을 위해, 선택기가 수신기의 출력부와 전송기의 입력부 사이에 개재되고, 다이렉트 입력부는 수신기에 의해 수신된 테스트 신호와 상이한 소정의 직렬 비트 스트림을 제공한다.

#### 효과

<16> 본 발명에 의하면, 직렬 포트를 완전하게 그리고 비교적 저렴한 비용으로 테스트할 수 있다.

<17> 보다 구체적으로, 직렬 포트의 저비용 테스트 달성에 상당한 장점을 제공하는 루프백 테스트링에 있어서, 그 비용을 매우 증가시키지 않고도, 루프백 테스트링의 응용분야 유연성 및 테스트 범위를 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <18> 종래의 테스터 구조
- <19> 도 1은 본 발명이 사용될 수 있는, 자동 테스트 시스템 또는 "테스터"를 위한 종래의 아키텍처(100)를 간략히 예시하는 도이다. 호스트 컴퓨터(110)는 여러 전자 하드웨어를 이용하여 테스트 대상 디바이스(DUT; device under test)(142)를 테스트하기 위한 프로그램을 실행한다. 이 하드웨어는 일반적으로 디지털 기기(124), 아날로그 기기(126) 및 전원공급장치(128)를 포함한다.
- <20> 이 전자 하드웨어는 복수의 라인(130)과 각각의 콘택트(140)를 통해 DUT(142)에 연결된다. 콘택트(140)는 테스터로부터 뺀 스프링 장착된 핀으로 구성된다. 이들 핀은 싱글-엔드 방식 또는 동축 방식으로 된 핀이다. DUT는 "DIB" 또는 디바이스 인터페이스 보드에 위치된다. DIB는 일반적으로 테스터로부터 뺀 스프링 장착된 핀의 패턴과 매칭되는 패턴으로 배열된 도전 패드를 포함한다. 이들 핀은 테스터와 DUT(142)간에 연결을 형성하기 위해 패드와 접촉한다.
- <21> 디지털 기기(124)는 통상적으로, 예를들어 클록 발생기, 직렬 테스트 기기 및 병렬 테스트 기기를 포함한다. 아날로그 기기(126)는 회로 노드의 DC 특성을 측정하기 위한 하나이상의 파라미터 측정 회로와, 회로 노드의 타이밍 특성을 측정하기 위한 하나이상의 타이머/카운터를 포함한다. 이들은 DUT(142)를 테스트하기 위해 파형을 발생 및 분석하기 위한 여러 기기를 포함할 수 있다. 제어 버스(120)를 통해, 호스트 컴퓨터(110)는 통신하고 테스트 프로그램에 따라 DUT(142)를 테스트하기 위해 전자 하드웨어를 제어한다.
- <22> 토폴로지 및 동작
- <23> 도 2는 본 발명에 따라 직렬 포트의 향상된 루프백 테스트를 수행하기 위한 루프백 계장디바이스(200)의 블록도이다. 계장디바이스(200)는 디지털 기기로서 구현되고, 기타 디지털 기기(124)와 함께 테스터(100)내에 수용된다.
- <24> 도 2에 도시된 바와 같이, 계장디바이스(200)는 수신기(258)를 포함한다. 수신기(258)는 콘택트(240)를 통해 DUT(242)의 TX 라인에 연결되도록 배열된다.
- <25> 계장디바이스(200)는 또한 전송기(272)를 포함한다. 전송기(272)는 추가 콘택트(240)를 통해 DUT(242)의 RX 라인에 연결되도록 배열된다. 아래에서 상세히 설명되는 바와 같이, 수신기(258)의 출력은 DUT(242)에 대한 루프백 테스트를 제공하기 위해 전송기(272)의 출력부에 연결될 수 있다.
- <26> 다른 실시예에서, 수신기(258)는 DUT(242)로부터 차동 신호를 수신하기 위해 구성된 차동 증폭기를 포함한다. 차동 증폭기는 TX 라인으로부터의 차동 입력을 싱글-엔디드 신호로 변환시킨다. 비교기(262 및 264)는 싱글-엔디드 신호가 임계치를 초과하는 지를 결정하기 위해 싱글-엔디드 신호와 프로그램가능 임계 전압들인  $V_{0D-H}$  및  $V_{0D-L}$ 와 각각 비교한다. 저항(254 및 256)(통상적으로 50-옴)은 차동 증폭기(260)의 입력을 각각의 터미네이션 전압들인  $V_{TERM-H}$  및  $V_{TERM-L}$ 로 종결시킨다. 터미네이션 전압은 바람직하게 프로그램가능하다.
- <27> 차동 증폭기(260)와 비교기(262)의 조합은 동 비교기, 즉 하나이상의 소정 임계치를 지나는 TX에서의 차동 입력 전압에 응답하여 스위칭하는 비교기를 산출하게 된다. 두 개의 비교기(262 및 264)를 제공함에 의해, 계장디바이스(200)는 차동 입력 신호(TX에서)가 두 개 임계치중의 하나를 넘을 때 마다 에지를 산출한다. 이러한 특징은 종래의 루프백 테스트를 사용하여서는 가능하지 않은, 디바이스의 상승시간 및 하강시간 상세규격을 검증하기 위해 이용될 수 있다. 또한 종래의 루프백 테스트를 사용하여서는 가능하지 않은, 디바이스의 출력 레벨이 상기 상세규격을 충족시키는 지를 검증하기 위해서도 이용될 수 있다. 대안으로, 단 하나의 비교기가, 이에 상응하여 기능성을 덜 가진 채, 이용될 수 있다.
- <28> 대안으로서, 추가의 비교기 셋트가, TX라인으로부터의 신호의 공통-모드 컴포넌트가 DUT의 상세규격을 충족시키도록 하기 위해, 그것을 검사할 수 있다. 이들 비교기는 흔히, "속도 신호전달" 신호로 알려진, 의도적으로 부여된 공통-모드를 검출하기 위해 사용될 수 있다. 또한, 또다른 비교기 셋트가, TX라인으로부터의 차동 신호의 각각의 측이 개별적으로 DUT의 상세규격을 충족시키도록 하기 위해, 상기 각각의 측을 개별적으로 검사하기 위해 제공될 수 있다.
- <29> 바람직한 실시예에서, 전송기(272)는 하이 및 로우 전압 레벨간에 변동하는 보상 출력 신호를 제공하는 차동 구동기이다. 각각  $V_{ID-H}$  및  $V_{ID-L}$ 로 표기된 이들 하이 및 로우 레벨은 차동 전압 레벨을 이용하여 입력 신호에 대

한 RX 라인의 공차를 테스트하기 위해 프로그램가능하다. 저항(274 및 276)은 전송기(272)에 의해 발생된 신호를 터미네이팅시킨다.

- <30> 종래의 루프백 테스트는 직렬 포트의 TX 라인의 지터를 측정하지 못한다. 이러한 제약을 극복하기 위해, 차동 비교기의 출력은, 타이머/카운터(266)와 같은, 시간 측정회로에 연결된다. 타이머/카운터(266)는 TX 라인의 지터를 측정할 수 있다. 또한 그 주파수 및 그 특성을 독립적으로 측정한다.
- <31> 차동 비교기의 출력은 시간 왜곡 회로(268)에도 연결된다. 특정 인자에 응답하여, 시간 왜곡 회로(268)는 TX 라인으로부터의 신호가 RX 라인에 루프백되기 이전에 그 신호에 타이밍 왜곡을 선대적으로 도입한다. 한 모드에서, 시간 왜곡 회로(268)는 지터를 RX 라인에 도입하는 효과를 갖는다. 지터를 RX 라인에 부가하고 디바이스의 응답을 모니터링(즉, 그것이 TX 라인에 의해 제공된 데이터를 올바르게 수신하였는 지)함으로써, 지터에 대한 RX 라인의 공차는 독립적으로 테스트될 수 있다.
- <32> 바람직한 실시예에 따라, 시간 왜곡 회로(268)는 선택기, 슬루율 제한 회로, 및 고속 비교기를 포함한다. 선택기는 슬루율 제한 회로로의 입력을 위해 비교기(262 및 264) 중의 하나의 입력을 선택하고, 슬루율 제한 회로는 선택된 입력에서의 에지를 램프로 변환시킨다. 이 램프는 고속 비교기의 제1 입력에 공급되고, 임계 신호가 제2 입력에 공급된다. 지터를 도입하기 위해, 특정된 전압 노이즈의 양은 임계 신호상에서 중첩된다. 비교기는 전압 노이즈를 타이밍 노이즈 또는 지터로 변환시킨다.
- <33> 기타 유형의 시간 왜곡도 가능하다. 예로서, 임계전압의 DC값을 변경시킴으로써, 선택된 비교기 출력으로부터의 입력 신호는 위상천이될 수 있다. 주기적 파형을 중첩시킴으로써, 입력 신호는 위상 변조될 수 있다. 안정한 임계 전압을 제공함으로써, 입력 신호는 거의 왜곡되지 않고 통과한다.
- <34> 계장디바이스(200)는 또한 선택기(270)를 포함한다. 선택기(270)는 호스트 컴퓨터(270)의 제어하에 동작한다. 그것은 그 출력에 시간 왜곡 회로(268)의 출력 또는 다이렉트 입력부(290)로부터의 신호중 하나를 전달한다. 선택기가 시간 왜곡 회로(268)의 출력을 전달하면, 루프백 구성이 수립된다. 그러나, 그것이 다이렉트 입력부(290)로부터의 신호를 전달하면, 루프백 연결은 붕괴되고, 전송기(272)는 다이렉트 입력부의 신호에 의해 구동된다.
- <35> 다이렉트 입력부(290)는 DUT(242)의 TX 라인에 의해 산출된 비트 스트림과 상이한 직렬 비트 스트림을 전달한다. 다이렉트 입력부(290)는 TX 라인에 의해 전송된 데이터와 상이한 데이터를 포함하고, TX 라인과 상이한 비트율로 동작할 수 있다. 바람직한 실시예에서, 다이렉트 입력부(290)는 다양한 클럭 속도로 발생될 수 있는, 예를들어 의사난수 패턴 또는 교대로 나타나는 "1010" 패턴등인 1 및 0들로 된 간단한 알고리즘 패턴을 제공한다. 상이한 속도로 TX 라인에 의해 발생된 데이터와 상이한 데이터를 제공함으로써, 다이렉트 입력부(290)는 직렬 포트의 RX 라인이 TX 라인과 별개로 테스트될 수 있게 하는, 루프백 테스트의 범위에서 상당한 차이를 메꾼다.
- <36> 도 2의 계장디바이스(200)는 파라미터 측정 회로(PMU;parametric measurement circuit)(282)와 같은 파라미터 측정 회로를 포함한다. PMU(282)는 DUT(242)의 TX 라인과 RX라인의 파라미터 테스트를 수행하기 위해, 상기 TX 라인과 RX라인에 연결된다. 당업자에게 공지된 바와 같이, PMU는 전압을 강화하고 전류를 강화하며, 전압을 측정하고 전류를 측정하기 위한 회로를 포함한다. 이것들은 누설전류, 임피던스, 출력전류 및 컴플라이언스 전압과 같은 디바이스의 정상상태 특성을 테스트하기 위해 이용된다. PMU의 제공은 이들 기능을 갖는 계장디바이스(200)에 통합시키고, 테스트 성능을 더욱 향상시킨다.
- <37> 계장디바이스(200)는 릴레이(250,252,278 및 280)와 같은 스위치들을 포함한다. 파라미터 테스트를 위해, 릴레이는 개방되고, PMU는 TX 라인과 RX라인을 이용한다. 계장디바이스(200)는 DUT(242)로부터 연결해제되어 있기 때문에, 계장디바이스(200)로부터의 로딩 효과는 제거된다.
- <38> 직렬 테스트를 수행하기 위해, 릴레이(250,252,278 및 280)는 폐쇄된다. 바람직한 실시예에서, PMU(282)는 인덕터(282,284,286 및 288)를 통해 TX 라인과 RX라인에 연결된다. 인덕터는 PMU를 연결 및 연결해제를 위한 별개 스위치를 제공할 필요성을 방지한다. 인덕터는 고속 직렬 비트 스트림에 대해 개방회로로 작용하고 DC 파라미터 신호에 대해 단락회로로 작용한다.
- <39> PMU(282) 및 연관된 인덕터를 제외하고, 계장디바이스(200)는 고속 신호 경로와 연결된 고속 전자 디바이스로 구성된다. 이 회로는 고속 이산 컴포넌트 또는 이들의 조합을 구비한, 하나이상의 주문형 특정용 회로(ASIC)를 사용하여 구현된다. 디바이스는 테스트 기기를 이미 포함하는 ATE 시스템에 사용되도록 정해졌기 때문에, 이들 자원이 테스트 시스템내의 어딘가에 이미 있는 경우엔 계장디바이스(200)에 중복하여 있을 필요가 없다.

예를들어, Teradyne사에 의해 제조된 테스터는 개별 타이머/카운터 및 개별 PMU를 포함한다. 이것들은 다이렉트 입력부(290)를 위한 신호원을 생성하기 위해 사용될 수 있는, 병렬 디지털 기기 및 클록 발생기도 포함한다. 이들 기기는 계장디바이스(200)에 중복됨으로써 발생될 비용을 줄이기 위해 계장디바이스(200)와 연계하여 이용될 수 있다.

- <40> 테스트 방법
- <41> 도 3은 계장디바이스(200)를 이용하여 직렬 포트에서 수행될 수 있는 테스트 프로세서를 테스트하는 것을 예시하는 흐름도이다. 이 도면에서 알 수 있는 바와 같이, 다양한 테스트가 수행될 수 있고, 그 수행 순서는 크게 중요하지는 않다.
- <42> 단계(310)에서, 호스트 컴퓨터(110)는 계장디바이스(200)가 DC 파라미터를 측정하도록 지시한다. 이 단계는, 연결해제된 계장디바이스(200)로, 릴레이(250,252,278 및 280)를 개방시키는 것과 인덕터(282,284,286 및 288)를 통하는 TX 라인과 RX라인의 테스트를 수반한다. 파라미터 테스트의 종결시(또는 최소한 직렬 테스트 시작되기 전에), 릴레이(250,252,278 및 280)는 폐로된다.
- <43> 단계(312)에서, 호스트 컴퓨터(110)는 DUT(242)가 직렬 데이터를 전송하도록 자극을 준다. 결과적으로, DUT(242)는 TX 라인상에서 직렬 비트 스트림을 발생시킨다. 직렬 비트 스트림은 차동 증폭기(260)로 전파하고, 이어서 비교기(262 및 265)로 전파한다. 단계(314)에서, 타이머/카운터(266)는 비교기(262 및 265)에 의해 산출된 신호를 측정한다. 상기한 바와 같이, 측정결과에는 지터, 주파수, 또는 TX 라인상의 신호의 기타 특성을 포함한다.
- <44> 단계(316)에서, 호스트 컴퓨터(110)는 측정된 특성이 정해진 한계치내에 있는 지를 결정하기 위해, 타이머/카운터(266)의 측정 결과를 판독한다.
- <45> 타이머/카운터(266)로 TX 라인을 측정하기 보단-또는 그 측정에 추가하여-향상된 루프백 테스트가 수행될 수 있다. 단계(318)에서, 비교기(262 및 265) 중 하나로부터의 신호는 시간 왜곡 회로(268)에 공급된다. 특정 인자에 따라, 신호는 예측가능하게 왜곡되고, 전송기(272)를 통해, RX 라인에 공급된다. 단계(324)에서, 호스트 컴퓨터(110)는 RX 라인상에서 수신된 직렬 비트 스트림이 TX 라인상에서 수신된 직렬 비트 스트림과 매칭하는 지의 여부를 확인하기 위해 DUT(242)를 폴링한다. 테스트 통과 혹은 실패는 응답에 좌우된다.
- <46> 또한, 비교기(262 및 264)의 임계 레벨은 TX 라인에 대한 DUT의 진폭 상세규격의 한계치이도록 프로그래밍된다. DUT는 이전과 같이 모니터링된다. 유효 신호만이 RX 라인에 전파되고, DUT가 TX 라인에 대한 그것의 진폭 상세규격을 충족시키면 DUT만이 통과된다.
- <47> 유사하게, 전송기(272)의 출력 레벨은 RX 라인에 대한 DUT의 진폭 상세규격의 한계치이도록 프로그래밍된다. DUT는 이전과 같이 모니터링되고, DUT가 TX 라인에 대한 그것의 진폭 상세규격을 충족시키면 유효 신호만이 통과된다. 자극을 제공하기 위해 입력(242)에 의존하기 보단 또는 그에 더하여, 별개 자극이 다이렉트 입력부(290)를 통해 제공될 수 있다. 단계(320)에서, 호스트 컴퓨터(110)는 다이렉트 입력부(290)로부터의 신호를 통과시키는 대신에, 루프백 신호를 차단하기 위해 선택기(270)를 제어한다. 알고리즘 패턴이 발생된다. 단계(322)에서, 알고리즘 패턴은 DUT의 RX 라인에 적용된다. 단계(324)에서, 호스트 컴퓨터(110)는 DUT가 적절한 데이터를 수신한다는 것을 검증하기 위해 DUT(242)를 폴링한다.
- <48> 상기한 루프백 기술은 저렴하고 융통성이 있다. 타이머/카운터 및 PMU와 같은 자원은 이미 대부분의 시스템에 포함되어 있어서, 그것들의 기능도 거의 어떠한 비용도 없이 또는 아주 약간의 비용으로 향상된 루프백 디바이스에 의해 통합될 수 있다. 직렬 포트의 TX 및 RX 라인은 진폭 여러 및 지터에 대해 독립적으로 테스트될 수 있다. 다이렉트 입력부(290)를 이용하여, 알고리즘 패턴은 TX 라인과 상이한 데이터 및 상이한 주파수로 RX 라인을 테스트하기 위해 적용될 수 있고, 따라서 TX 및 RX 라인에 대해 진정으로 독립적인 테스트를 제공한다.
- <49> 대안
- <50> 한 실시예가 설명되어지만, 다양한 대안 실시예 또는 변형예가 있을 수 있다.
- <51> 상기한 바와 같이, 타이머/카운터 및 PMU는 원격 위치한 기기이다. 하지만 그들은 근방에 위치될 수도 있다. 약간 비용이 증가하는 경우, 더욱 그 내부에 많은 기능을 갖는 기기를 제공하기 위해 계장디바이스(200)내에 통합될 수 있다.

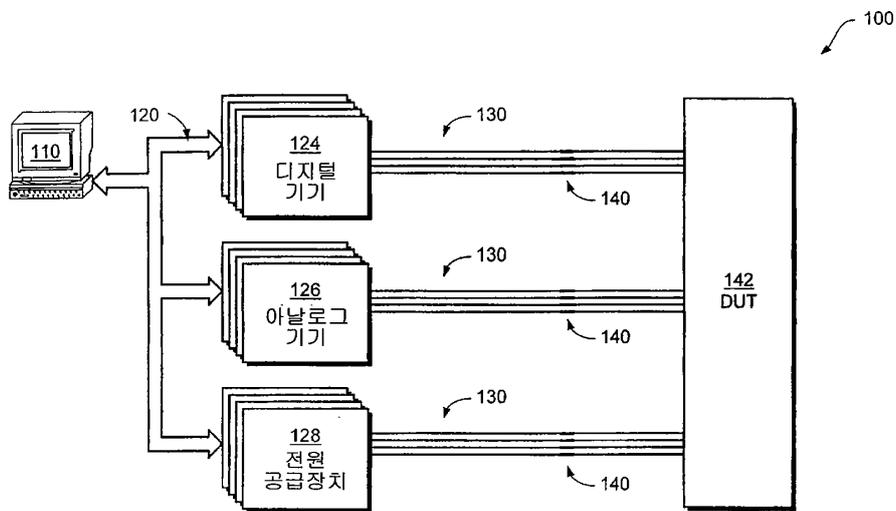
- <52> 이 향상된 루프백 계장디바이스(200)가 테스터의 하나이상의 기기내에 수용되는 것으로 상기와 같이 설명되었다. 그러나 그 위치는 변동될 수 있다. 대안으로, 상기 디바이스는 DUT 바로 다음의 디바이스 인터페이스 보드에 위치될 수 있거나, 이들 위치사이에서 분리될 수 있다. 다른 대안 실시예에 따라, 계장디바이스(200)는 예를들어 IEEE-488 버스 또는 VXI 버스와 같은 개별 버스를 통해 호스트 컴퓨터와 통신하는, 독립적 기기내부에 제공될 수 있다.
- <53> 단일, 향상된 루프백 회로(200)가 상기와 같이 설명되었다. 대안으로, 복수개 회로(200)가 복수 개 직렬 포트를 테스트하기 위해 함께 포함될 수 있다. 타이머/카운터 및 PMU는 상이한 회로간에 스위칭될 수 있고, 복수개 타이머/카운터 및 PMU가 제공될 수 있다.
- <54> 상기 회로(200)는 광범위한 테스트를 할 수 있게한다. 예를들어, 차동 비교기의 출력은 데이터 캡춰 기기(도시되지 않음) 또는 병렬 디지털 기기에도 연결될 수 있다. 이들 기기는 예를들어 DUT(242)에 의해 발생된 직렬 비트 스트림으로 인코딩된 데이터를 추출하기 위해, 추가 테스트를 위해 차동 비교기로부터의 신호를 처리한다. 추출된 데이터는 따라서 예를들어, 후속 처리를 위해 다이렉트 입력부를 통해 DUT를 초기화하는 데에 사용될 수 있다.
- <55> 상기한 바와 같이, PMU(282)는 인덕터를 통해 TX 및 RX라인을 통해 연결된다. 릴레이 또는 기타 스위치도, 고주파 직렬 비트를 적절히 봉쇄하는 경우, 사용될 수 있다.
- <56> 상기한 대안 예들은 테스트 대상 디바이스의 차동 TX 및 RX라인과 통신하기 위해 차동 수신기 및 차동 전송기를 채용한다. 싱글-엔디드 직렬 포트를 테스트하기 위해, 싱글-엔디드 수신기 및 싱글-엔디드 전송기도 사용될 수 있다. 대안으로, 상기한 차동 수신기 및 차동 전송기도 사용될 수 있는 데, 여기서 수신의 한 입력은 일정 전압으로 유지되고 전송기의 한 출력은 개방 상태로 된다.
- <57> 이들 변형예 및 대안예의 각각은 본 발명의 범위에 속하게 되는 것으로 의도되고 본 발명자에 의해 고안되었다. 상기한 예들은 단지 예시적인 것이고 본 발명은 첨부된 청구항들의 범주 및 정신에만 제한된다.

**도면의 간단한 설명**

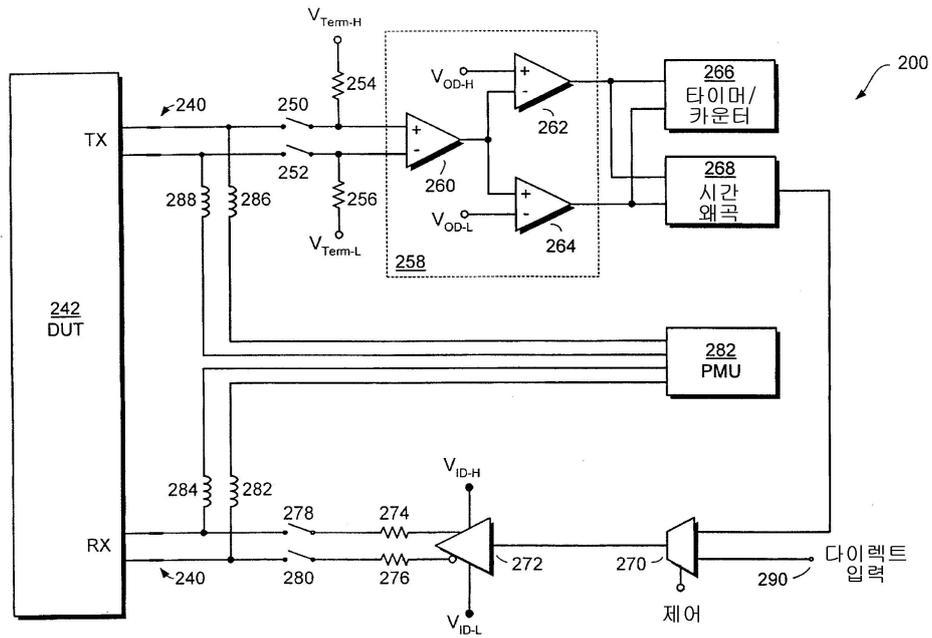
- <58> 도 1은 종래기술에 따른 통상적인 테스터 구조를 나타낸 도.
- <59> 도 2는 본 발명에 따른 직렬 통신 포트를 테스트하기 위한 향상된 루프백 디바이스를 나타낸 도.
- <60> 도 3은 도 2에 도시된 디바이스를 사용하여 직렬 통신 포트를 테스트하기 위한 흐름도.

**도면**

**도면1**



도면2



도면3

