

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 23/12 (2006.01)

H01L 25/00 (2006.01)

(11) 공개번호

10-2006-0023677

(43) 공개일자

2006년03월15일

(21) 출원번호

10-2004-0072471

(22) 출원일자

2004년09월10일

(71) 출원인

삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자

조정현
서울 성동구 성수동1가동 57 주공아파트 103-2305
이정준
서울 강남구 청담1동 60번지 삼성청담공원아파트 107-1004
김도형
서울 송파구 석촌동 177-10 201호
소병세
경기 성남시 분당구 수내동 푸른마을신성아파트 310-1102

(74) 대리인

리엔목특허법인
이해영

심사청구 : 있음

(54) 미러링 구조를 갖는 스택 BOC 패키지 및 이를 장착한양면 실장형 메모리 모듈

요약

본 발명은 미러링 구조를 갖는 스택 BOC 패키지 및 이를 장착한 DIMM 모듈에 대하여 개시된다. 본 발명의 스택 BOC 패키지는 제1 패키지, 제2 패키지, 인터포저, 그리고 솔더볼들을 포함한다. 제1 패키지는 제1 기판에 장착된 제1 반도체 칩을 포함하고, 제1 반도체 칩의 제1 접촉 패드들과 연결된 제1 전극 패드들이 제1 기판을 관통하고 금속으로 매립된 제1비아홀들과 연결된다. 제2 패키지는 제2 반도체 칩을 포함하고 제1 패키지와 동일한 구조를 갖되, 제2 반도체 칩의 배면이 제1 반도체 칩의 배면과 마주보도록 배치된다. 인터포저는 제1 패키지와 제2 패키지를 서로 전기적으로 연결시킨다. 솔더볼들은 제1 패키지의 제1 전극 패드들 또는 제2 패키지의 제2 전극 패드들에 연결되어 바텀 타입 스택 BOC 패키지와 탑 타입 스택 BOC 패키지를 구성한다. DIMM 모듈은 인쇄 회로 기판 양면으로 바텀 타입 스택 BOC 패키지와 탑 타입 스택 BOC 패키지가 서로 전기적으로 연결된다

대표도

도 2

색인어

스택 보드-온-칩 패키지, 미러링 구조, 양면 실장 메모리 모듈

명세서

도면의 간단한 설명

도 1은 종래의 스택 BOC 패키지를 설명하는 도면이다.

도 2는 본 발명의 제1 실시예에 따른 스택 BOC 패키지를 설명하는 도면이다.

도 3은 도 2의 제1 및 제2 인터포저들의 일예를 설명하는 도면이다.

도 4는 도 2의 제1 및 제2 인터포저들의 다른 예를 설명하는 도면이다.

도 5는 도 2의 스택 BOC 패키지로 구성되는 DIMM 모듈을 설명하는 도면이다.

도 6은 본 발명의 제2 실시예에 따른 멀티 스택 BOC 패키지를 설명하는 도면이다.

도 7은 본 발명의 제3 실시예에 따른 스택 BOC 패키지를 설명하는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지에 관한 것으로, 특히 미러링 구조를 갖는 스택 BOC 패키지 및 이를 장착한 양면 실장형 메모리 모듈에 관한 것이다.

최근 반도체 산업의 추세는 반도체 제품을 소형화, 박형화, 경량화하고 고집적화, 고밀도화하는 것이다. 반도체 메모리 소자를 여러개 탑재한 양면 실장형 메모리 모듈(Dual In-Line Memory Module: 이하 "DIMM"이라 칭한다)에 있어서도 이러한 추세가 반영되고 있다. 고속 DRAM 등의 패키지로써, BOC(Board On Chip) 구조에 의한 패키지가 잘 알려져 있다. 스택 BOC 패키지는 고속 및 고용량의 DIMM 구성을 위한 가장 손쉽고 적절한 방법으로 인식되고 있다.

도 1은 종래의 스택 BOC 패키지를 설명하는 도면이다. 이를 참조하면, 스택 BOC 패키지(100)는 중앙에 공동부(113)가 형성된 제1 기판(110)과 제1 반도체 칩(111)이 접착되고 제1 반도체 칩(111)의 접촉 패드들(112)이 제1 기판(110)의 전극 패드들(114)과 와이어 본딩(114)되어 연결된다. 마찬가지로, 제2 기판(120)의 전극 패드들(125)이 와이어 본딩(124)을 통하여 제2 반도체 칩(121)의 접촉 패드들(122)과 연결된다. 그리고 제1 기판(110)의 전극 패드들(114)은 범퍼들(130)에 의해 제2 기판(120) 상단부의 전극 패드들(126)과 연결된다. 제2 기판(120) 상단부의 전극 패드들(126)은 하단부의 전극 패드들(125)과 금속으로 매립된 비아홀들(127)을 통하여 서로 연결된다. 제2 기판(120) 하단부의 전극 패드들(125)은 솔더 볼들(140)에 접착 연결된다.

이러한 스택 BOC 패키지(100)는 스택 구조가 갖는 패키지 기생 성분 증가로 인하여 신호선의 부하(load)가 증가한다. 이러한 스택 BOC 패키지(100)로 DIMM 모듈을 구성하게 되면 신호선 부하로 인해 좋은 신호 충실도를 가질 수 없다. 그리고 범퍼들(230)에 의한 물리적인 높이에 의해서 DIMM 모듈 내 컴포넌트들(components)의 실장 또는 배선에 있어서 제약이 생긴다. 이에 따라 DIMM 모듈의 최적의 토폴로지(topology)를 적용하기가 쉽지 않다. 또한 범퍼들(230)에 의해 DIMM 모듈의 스텝(stub) 길이가 길어져 해당 범퍼(230)로 전달되는 신호가 반사되는 문제점이 발생된다.

게다가, 스택 BOC 패키지(100)가 DIMM 모듈 양면에 장착될 때 DIMM 모듈 양면의 핀 배치가 미러링 될 수 있도록 별도의 스택 BOC 패키지를 제작해야 한다. 이에 따라 패키지 개발에 따른 비용이 증가되는 문제점이 발생한다.

그러므로, 스택 BOC 패키지 자체에서 미러링되는 볼 패드 구조를 갖는 패키지가 필요하고, 스텝 길이를 짧게 가질 수 있는 스택 BOC 패키지가 장착된 DIMM모듈이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 미러링 구조를 갖는 스택 BOC 패키지를 제공하는 데 있다.

본 발명의 다른 목적은 스텝 길이를 최소화하고 토폴로지를 최적화하고 상기 스택 BOC 패키지를 장착하는 DIMM 모듈을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 일면에 따른 스택 BOC 패키지는 제1 기판에 장착된 제1 반도체 칩을 포함하고, 제1 반도체 칩의 제1 접촉 패드들과 연결된 제1 전극 패드들이 제1 기판을 관통하고 금속으로 매립된 제1 비아홀들과 연결되는 제1 패키지; 제2 기판에 장착된 제2 반도체 칩을 포함하고, 제2 반도체 칩의 제2 접촉 패드들과 연결된 제2 전극 패드들이 제2 기판을 관통하고 금속으로 매립된 제2 비아홀들과 연결되고, 제2 반도체 칩의 배면이 제1 반도체 칩의 배면과 마주보도록 배치되는 제2 패키지; 제1 비아홀들과 제2 비아홀들을 연결시키는 인터포저; 및 제1 패키지의 제1 전극 패드들 또는 제2 패키지의 제2 전극 패드들에 연결되는 솔더볼들을 포함한다.

상기 목적을 달성하기 위하여, 본 발명의 다른 면에 따른 스택 BOC 패키지는 제1 기판에 장착된 제1 반도체 칩을 포함하고, 제1 반도체 칩의 제1 접촉 패드들과 연결된 제1 전극 패드들이 제1 기판을 관통하고 금속으로 매립된 제1 비아홀들과 연결되는 제1 패키지; 제1 비아홀들과 연결되는 제1 도전성 플러그를 포함하는 제1 인터포저; 제2 기판에 장착된 제2 반도체 칩을 포함하고, 제2 반도체 칩의 제2 접촉 패드들과 연결된 제2 전극 패드들이 제2 기판을 관통하고 금속으로 매립된 제2 비아홀들과 연결되고, 제2 반도체 칩의 배면이 제1 반도체 칩의 배면과 마주보도록 배치되는 제2 패키지; 제2 비아홀들을 연결되는 제2 도전성 플러그를 포함하는 제2 인터포저; 제1 인터포저와 제2 인터포저 사이에 삽입되고 금속으로 매립된 제3 비아홀들을 통하여 제1 도전성 플러그와 제2 도전성 플러그를 전기적으로 연결시키고, 제1 반도체 칩과 상기 제2 반도체 칩에서 발생하는 열을 방열시키는 열 전도판; 및 제1 패키지의 제1 전극 패드들 또는 제2 패키지의 제2 전극 패드들에 연결되는 솔더볼들을 포함한다.

상기 다른 목적을 달성하기 위하여, 본 발명의 일면에 따른 DIMM 모듈은 본 발명의 스택 BOC 패키지를 장착하는 양면 실장 메모리 모듈에 있어서, 인쇄 회로 기판; 솔더볼들이 스택 BOC 패키지의 제2 전극 패드에 연결되는 바텀 타입 스택 BOC 패키지; 및 솔더볼들이 스택 BOC 패키지의 제1 전극 패드에 연결되는 탑 타입 스택 BOC 패키지를 구비하고, 인쇄 회로 기판 양면으로 바텀 타입 스택 BOC 패키지와 탑 타입 스택 BOC 패키지가 서로 전기적으로 연결된다.

따라서, 본 발명의 스택 BOC 패키지는 그 높이가 종래의 범프를 갖는 스택 BOC 패키지의 높이보다 낮기 때문에, 이를 장착하는 DIMM 모듈의 스텝 길이를 최소화하고 토폴로지를 최적화시킨다. 이에 따라 신호선의 부하가 줄어들어 좋은 신호 충실도를 갖고, DIMM 모듈 내 컴포넌트들의 실장 또는 배선을 용이하게 한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명의 제1 실시예에 따른 미리 구조를 갖는 스택 BOC 패키지를 설명하는 도면이다. 이를 참조하면, 스택 BOC 패키지(200)는 제1 패키지(210)와 제2 패키지(220)가 제1 인터포저(interposer, 230), 열 전도판(Heat Spread Plate, 230), 그리고 제2 인터포저(250)를 사이에 두고 스택되어 있다. 제1 인터포저(230)와 제2 인터포저(250)는 제1 패키지(210)와 제2 패키지(220)를 전기적으로 상호 연결시키는 구조를 갖는 데, 이 후, 도 3 및 도 4에서 상세히 설명된다.

열 전도판(230)은 제1 반도체 칩(213)과 제2 반도체 칩(223)의 방열 목적으로 열 전도층으로 구성된다. 열 전도판(230)은 니켈, 철, 알루미늄 및 화학 기상 증착법(CVD:Chemical Vapor Deposition)으로 형성된 금속막 중에서 어느 하나의 막을 선택하여 사용할 수 있으며, 이렇게 선택된 어느 하나의 막을 포함하는 복합막 또는 이러한 금속을 포함하는 합금막을 사용할 수 있다. 또한 열 전도판(230)은 열 전도 특성이 우수하며 접착력을 갖는 재질이면 어떤 물질이라도 사용이 가능하다. 본 실시예에서는 열 전도판(230)이 제1 패키지(210)와 제2 패키지(220) 사이에 삽입되는 구조에 대하여 설명하고 있으나, 이와는 달리 열 전도판(230) 없이 제1 패키지(210)와 제2 패키지(220)가 제1 및 제2 인터포저들(240, 250)을 통하여 직접 스택되는 스택 BOC 패키지도 가능하다.

제1 패키지(210)는 제1 공동(cavity)부(212)를 갖는 제1 기판(211)과 복수개의 제1 접촉 패드들(214)이 배열된 제1 패드 장착면(215)을 갖는 제1 반도체 칩(213)을 포함한다. 제1 패드 장착면(215)의 제1 접촉 패드들(214)이 제1 공동부(212) 내에 수용되도록 제1 반도체 칩(213)이 제1 기판(211)에 접촉 분당된다. 제1 접촉 패드들(214)은 와이어들(216)을 통하

여 제1 기관(211)의 제1 전극 패드들(217)과 연결된다. 제1 접촉 패드들(214)과 제1 전극 패드들(217)에 접속된 와이어들(216)을 보호하기 위하여, 에폭시 수지로 만들어진 제1 밀봉(encapsulation)층(218)이 제공된다. 제1 전극 패드들(217)은 제1 기관(211)을 관통하고 금속으로 매립된 제1 비아홀들(219)과 연결된다.

제2 패키지(220)는 제2 공동부(222)를 갖는 제2 기관(221)과 복수개의 제2 접촉 패드들(224)이 배열된 제2 패드 장착면(225)을 갖는 제2 반도체 칩(223)을 포함한다. 제2 패드 장착면(225)의 제2 접촉 패드들(224)이 제2 공동부(222) 내에 수용되도록 제2 반도체 칩(223)이 제2 기관(221)에 접촉 본딩된다. 제2 접촉 패드들(224)은 와이어들(226)을 통하여 제2 기관(221)의 제2 전극 패드들(227)과 연결된다. 와이어들(226)을 보호하기 위하여 에폭시 수지로 만들어진 제2 밀봉층(228)이 제공된다. 제2 전극 패드들(227)은 제2 기관(221)을 관통하고 금속으로 매립된 제2 비아홀들(229)과 연결된다.

제1 반도체 칩(213)의 제1 패드 장착면(215) 반대면과 제2 반도체 칩(223)의 제2 패드 장착면(225) 반대면이 열 전도판(230)에 접촉된다. 제1 패키지(210)의 제1 전극 패드들(217)과 제2 패키지(220)의 제2 전극 패드들(227)은 열 전도판(230)을 기준으로 서로 미러링(mirroring)되도록 배치된다. 제1 전극 패드들(217)과 연결되는 제1 비아홀들(219)과 제2 전극 패드들(227)과 연결되는 제2 비아홀들(229)은 제1 및 제2 인터포저들(230, 250) 내 도전성 플러그들(232, 252)과 열 전도판(240)을 관통하는 제3 비아홀들(242)을 통하여 서로 전기적으로 연결된다. 제2 전극 패드들(227)은 솔더 볼들(250)과 연결된다. 이에 따라, 솔더 볼들(250)이 스택 BOC 패키지(200)의 하단부에 형성된 구조를 이룬다. 이와는 반대로, 솔더 볼들이 제1 전극 패드들과 연결되도록 스택 BOC 패키지(200)의 상단부에 형성될 수도 있다.

한편, 솔더 볼들(250)이 연결되지 않는 제1 또는 제2 전극 패드들(217, 227)은 보호층(미도시)으로 덮여지며, 보호층으로는 포토 솔더 레지스터(PSR)가 주로 사용되어 제1 또는 제2 전극 패드들(217, 227)의 부식을 방지한다.

도 3은 도 2의 제1 또는 제2 인터포저(230, 250) 구조의 한 예를 설명하는 도면이다. 이를 참조하면, 대표적으로 제1 인터포저(230)를 예를 들면, 제1 인터포저(230)는 양면에 구리 박판(232c)이 패터닝되어 형성된 수지 재질의 베이스 소재(231)를 포함한다. 구리 박판(232c)은 비아홀의 측면에 형성된 구리 재질의 콘택부(233)를 통해 연결된다. 도면부호들(234a, 234b, 235)은 모두 절연 라미네이팅을 위한 절연 레지스트 층이다. 구리 박판(232c)은 상부 및 하부의 본딩 패터닝층(232b, 232d)과 전기적으로 연결되고, 상부 및 하부의 패드 전극들(232a, 232e)은 절연 레지스트 층(234a, 234b)의 개구를 통해 노출되며, 본딩 패터닝층(232b, 232d)에 각기 대응적으로 형성된다. 상부 패드 전극(232a)-상부 본딩 패터닝층(232b)-구리 박판(232c)-하부 본딩 패터닝층(232d)-하부 전극 패드(232e)는 제1 인터포저(230)의 도전성 플러그(232, 도 2) 역할을 한다.

도 4는 도 2의 제1 또는 제2 인터포저(230, 250) 구조의 다른 예를 설명하는 도면이다. 이를 참조하면, 대표적으로 제2 인터포저(250)를 예를 들면, 제2 인터포저(250)는 상부 및 하부 패드 전극(252a, 252c)이 형성된 절연 수지 재질의 베이스 소재(251)를 포함한다. 상부 및 하부 패드 전극(252a, 252c)은 베이스 소재(251)의 비아홀(253)에 충전된 플러그(252b)와 전기적으로 접촉된다. 상부 및 하부 절연 레지스트 층(254a, 254b)은 상부 및 하부 패드 전극(252a, 252b)을 감싸면서 베이스 소재(251)의 상부 및 하부 표면을 덮고 있다. 상부 전극 패드(252a)-플러그(252b)-하부 패드 전극(252b)은 제2 인터포저(250)의 도전성 플러그(252, 도 2) 역할을 한다.

스택 BOC 패키지(200)를 사용한 DIMM 구성을 설명하는 구조가 도 5에 도시되어 있다. 이를 참조하면, DIMM 모듈(300)은 인쇄 회로 기관(310)의 상하부면에 솔더 볼들이 하단부에 형성된 스택 BOC 패키지(200b, 이하, "바텀 타입 스택 BOC 패키지(bottom type stack BOC package)라고 칭함)와 솔더 볼들이 상단부에 형성된 스택 BOC 패키지(200t, 이하 "탑 타입 스택 BOC 패키지(top type stack BOC package)라고 칭함)가 실장되어 있다. 이에 따라, DIMM 모듈(300) 양면에 바텀 타입 스택 BOC 패키지(200b)와 탑 타입 스택 BOC 패키지(200t)를 장착하여 DIMM 모듈(300) 양면의 핀 배치가 미러링된다. 이러한 DIMM 모듈(300)은 바텀 타입 스택 BOC 패키지(200b) 또는 탑 타입 스택 BOC 패키지(200t)의 높이가 종래의 스택 BOC 패키지(100)의 높이보다 낮기 때문에, 스텝 길이를 최소화하고 DIMM 모듈의 토폴로지를 최적화시킨다. 그리하여 신호선의 부하를 줄여 좋은 신호 충실도를 갖게 하고, DIMM 모듈 내 콤포넌트들의 실장 또는 배선을 용이하게 한다.

도 6은 도 2의 스택 BOC 패키지(200)를 확장하여 3개 이상의 BOC칩들이 스택되어 있는 멀티 스택 BOC 패키지를 설명하는 도면이다. 이를 참조하면, 멀티 스택 BOC 패키지(600)는 다수개의 스택 BOC 패키지들(200)이 열 전도판들(601, 602, 603, 604)을 사이에 두고 스택되어 있으며, 최하단의 스택 BOC 패키지(200)의 전극 패드들이 솔더 볼들(610)에 연결된다. 앞서, 도 2에서 설명한 바와 같이, 열 전도판들(601, 602, 603, 604)은 멀티 스택 BOC 패키지(600)에서 옵션으로 사용될 수 있다.

도 7은 본 발명의 제2 실시예에 따른 스택 BOC 패키지를 설명하는 도면이다. 이를 참조하면, 스택 BOC 패키지(700)는 앞서 설명한 도 2의 스택 BOC 패키지(200)에 추가적으로 제1 전극 패드들(217) 사이에 개별 소자들(discrete device, 710)이 연결되는 구조를 갖는다. 개별 소자들(710)은 예컨대, 저항이나 디-커플링 커패시터 등으로 구성되는 데, 내부 반도체 칩들(213, 223)의 전기적 특성이나 스택 BOC 패키지(500)가 장착될 DIMM 모듈의 전기적 특성 개선을 위하여 사용된다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 본 발명의 스택 BOC 패키지는 그 높이가 종래의 범프를 갖는 스택 BOC 패키지의 높이보다 낮기 때문에, 이를 장착하는 DIMM 모듈의 스텝 길이를 최소화하고 토폴로지를 최적화시킨다. 이에 따라 신호선의 부하가 줄어들어 좋은 신호 충실도를 갖고, DIMM 모듈 내 컴포넌트들의 실장 또는 배선을 용이하게 한다.

(57) 청구의 범위

청구항 1.

제1 기판에 장착된 제1 반도체 칩을 포함하고, 상기 제1 반도체 칩의 제1 접촉 패드들과 연결된 제1 전극 패드들이 상기 제1 기판을 관통하고 금속으로 매립된 제1 비아홀들과 연결되는 제1 패키지;

제2 기판에 장착된 제2 반도체 칩을 포함하고, 상기 제2 반도체 칩의 제2 접촉 패드들과 연결된 제2 전극 패드들이 상기 제2 기판을 관통하고 상기 금속으로 매립된 제2 비아홀들과 연결되고, 상기 제2 반도체 칩의 배면이 상기 제1 반도체 칩의 배면과 마주보도록 배치되는 제2 패키지;

상기 제1 비아홀들과 상기 제2 비아홀들을 연결시키는 인터포저; 및

상기 제1 패키지의 제1 전극 패드들 또는 상기 제2 패키지의 제2 전극 패드들에 연결되는 솔더볼들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 2.

제1항에 있어서, 상기 제1 패키지는

제1 공동부를 갖는 상기 제1 기판;

복수개의 상기 제1 접촉 패드들이 배열된 제1 패드 장착면을 갖고, 상기 제1 패드 장착면이 상기 제1 공동부에 수용되도록 상기 제1 기판과 접촉 본딩되는 상기 제1 반도체 칩;

상기 제1 접촉 패드들과 와이어 본딩되는 상기 제1 전극 패드들; 및

상기 제1 전극 패드들과 연결되는 상기 제1 비아홀들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 3.

제1항에 있어서, 상기 제2 패키지는

제2 공동부를 갖는 상기 제2 기판;

복수개의 상기 제2 접촉 패드들이 배열된 제2 패드 장착면을 갖고, 상기 제2 패드 장착면이 상기 제2 공동부에 수용되도록 상기 제2 기판과 접촉 본딩되는 상기 제2 반도체 칩;

상기 제2 접촉 패드들과 와이어 본딩되는 상기 제2 전극 패드들; 및

상기 제2 전극 패드들과 연결되는 상기 제2비아홀들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 4.

제1항에 있어서, 상기 인터포저는

베이스 소재;

상기 베이스 소재 내 비아홀의 측면에 형성된 구리 박판;

상기 구리 박판과 접하면서 상기 비아홀들을 매립하는 제1 절연 레지스터층;

상기 베이스 소재 상부면 및 하부면에 배치되고 상기 구리 박판과 전기적으로 연결되는 상부 및 하부 본딩 패턴층들;

상기 베이스 소재 상부면 및 하부면에 상기 상부 및 하부 본딩 패턴층을 감싸는 제2 절연 레지스터층; 및

상기 제2 절연 레지스터층의 개구를 통하여 상기 상부 및 하부 본딩 패턴층과 연결되고, 상기 제1 패키지의 제1 비아홀들 및 상기 제2 패키지의 비아홀들과 연결되는 상부 및 하부 패드 전극들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 5.

제1항에 있어서, 상기 인터포저는

베이스 소재;

상기 베이스 소재의 비아홀에 충전된 플러그; 및

상기 플러그와 전기적으로 접촉하는 상부 및 하부 패드 전극들; 및

상기 상부 및 하부 패드 전극들을 감싸면서 상기 베이스 소재의 상부 및 하부 표면을 덮고 있는 상부 및 하부 절연 레지스트 층을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 6.

제1항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 제1 패키지와 상기 제2 패키지 사이에 열 전도판을 더 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 7.

제6항에 있어서, 상기 열 전도판은

니켈, 철, 알루미늄 및 화학 기상 증착법으로 형성된 금속막 중에서 어느 하나의 막을 선택하여 사용하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 8.

제9항에 있어서, 상기 열 전도판은

상기 선택된 어느 하나의 금속막을 포함하는 복합막 또는 이러한 금속을 포함하는 합금막을 사용하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 9.

제1항에 있어서, 상기 열 전도판은

열 전도 특성이 우수하며 접착력을 갖는 물질막을 사용하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 10.

제1항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 제1 반도체 칩과 상기 제2 반도체 칩이 서로 동일한 칩인 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 11.

제1항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 제1 반도체 칩과 상기 제2 반도체 칩은 서로 다른 칩인 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 12.

제1항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 솔더 볼들이 연결되지 않는 제1 또는 제2 전극 패드들이 보호층으로 감싸지는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 13.

제12항에 있어서, 상기 보호층은

포토 솔더 레지스터(PSR)로 도포되는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 14.

제1항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 솔더 볼들이 연결되지 않는 제1 또는 제2 전극 패드들 사이에 개별 소자들이 연결되는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 15.

제14항에 있어서, 상기 개별 소자들은

저항이나 디-커플링 커패시터로 구성되는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 16.

제1항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 제1 패키지 또는 상기 제2 패키지를 적어도 2개 이상 탑재하고 상기 탑재된 제1 패키지 또는 상기 제2 패키지와 연결되는 상기 인터포저를 더 구비하여 멀티 스택 보드-온-칩 패키지로 구성되는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 17.

제1 기관에 장착된 제1 반도체 칩을 포함하고, 상기 제1 반도체 칩의 제1 접촉 패드들과 연결된 제1 전극 패드들이 상기 제1 기관을 관통하고 금속으로 매립된 제1 비아홀들과 연결되는 제1 패키지;

상기 제1 비아홀들과 연결되는 제1 도전성 플러그를 포함하는 제1 인터포저;

제2 기관에 장착된 제2 반도체 칩을 포함하고, 상기 제2 반도체 칩의 제2 접촉 패드들과 연결된 제2 전극 패드들이 상기 제2 기관을 관통하고 상기 금속으로 매립된 제2 비아홀들과 연결되고, 상기 제2 반도체 칩의 배면이 상기 제1 반도체 칩의 배면과 마주보도록 배치되는 제2 패키지;

상기 제2 비아홀들을 연결되는 제2 도전성 플러그를 포함하는 제2 인터포저;

상기 제1 인터포저와 상기 제2 인터포저 사이에 삽입되고 금속으로 매립된 제3 비아홀들을 통하여 상기 제1 도전성 플러그와 상기 제2 도전성 플러그를 전기적으로 연결시키고, 상기 제1 반도체 칩과 상기 제2 반도체 칩에서 발생하는 열을 방열시키는 열 전도판; 및

상기 제1 패키지의 제1 전극 패드들 또는 상기 제2 패키지의 제2 전극 패드들에 연결되는 솔더볼들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 18.

제17항에 있어서, 상기 제1 패키지는

제1 공동부를 갖는 상기 제1 기관;

복수개의 상기 제1 접촉 패드들이 배열된 제1 패드 장착면을 갖고, 상기 제1 패드 장착면이 상기 제1 공동부에 수용되도록 상기 제1 기관과 접촉 본딩되는 상기 제1 반도체 칩;

상기 제1 접촉 패드들과 와이어 본딩되는 상기 제1 전극 패드들; 및

상기 제1 전극 패드들과 연결되는 상기 제1 비아홀들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 19.

제17항에 있어서, 상기 제2 패키지는

제2 공동부를 갖는 상기 제2 기판;

복수개의 상기 제2 접착 패드들이 배열된 제2 패드 장착면을 갖고, 상기 제2 패드 장착면이 상기 제2 공동부에 수용되도록 상기 제2 기판과 접착 본딩되는 상기 제2 반도체 칩;

상기 제2 접착 패드들과 와이어 본딩되는 상기 제2 전극 패드들; 및

상기 제2 전극 패드들과 연결되는 상기 제2 비아홀들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 20.

제17항에 있어서, 상기 제1 및 제2 인터포저 각각은

베이스 소재;

상기 베이스 소재 내 비아홀의 측면에 형성된 구리 박판;

상기 구리 박판과 접하면서 상기 비아홀들을 매립하는 제1 절연 레지스터층;

상기 베이스 소재 상부면 및 하부면에 배치되고 상기 구리 박판과 전기적으로 연결되는 상부 및 하부 본딩 패턴층들;

상기 베이스 소재 상부면 및 하부면에 상기 상부 및 하부 본딩 패턴층을 감싸는 제2 절연 레지스터층; 및

상기 제2 절연 레지스터층의 개구를 통하여 상기 상부 및 하부 본딩 패턴층과 연결되고, 상기 열 전도판의 제3 비아홀들과 연결되는 상부 및 하부 패드 전극들을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 21.

제17항에 있어서, 상기 제1 및 제2 인터포저 각각은

베이스 소재;

상기 베이스 소재의 비아홀에 충전된 플러그; 및

상기 플러그와 전기적으로 접촉하는 상부 및 하부 패드 전극들; 및

상기 상부 및 하부 패드 전극들을 감싸면서 상기 베이스 소재의 상부 및 하부 표면을 덮고 있는 상부 및 하부 절연 레지스터 층을 구비하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 22.

제17항에 있어서, 상기 열 전도판은

열 전도 특성이 우수하며 접착력을 갖는 물질막을 사용하는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 23.

제17항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 제1 반도체 칩과 상기 제2 반도체 칩이 서로 동일한 칩인 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 24.

제17항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 제1 반도체 칩과 상기 제2 반도체 칩은 서로 다른 칩인 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 25.

제17항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 솔더 볼들이 연결되지 않는 제1 또는 제2 전극 패드들이 보호층으로 감싸지는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 26.

제25항에 있어서, 상기 보호층은

포토 솔더 레지스터(PSR)로 도포되는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 27.

제17항에 있어서, 상기 스택 보드-온-칩 패키지는

상기 솔더 볼들이 연결되지 않는 제1 또는 제2 전극 패드들 사이에 개별 소자들이 연결되는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 28.

제27항에 있어서, 상기 개별 소자들은

저항이나 디-커플링 커패시터로 구성되는 것을 특징으로 하는 스택 보드-온-칩 패키지.

청구항 29.

제1항의 스택 보드-온-칩 패키지를 장착하는 양면 실장 메모리 모듈에 있어서,

인쇄 회로 기판;

상기 솔더볼들이 상기 스택 보드-온-칩 패키지의 제2 전극 패드에 연결되는 바텀 타입 스택 보드-온-칩 패키지; 및
상기 솔더볼들이 상기 스택 보드-온-칩 패키지의 제1 전극 패드에 연결되는 탑 타입 스택 보드-온-칩 패키지를 구비하고,
상기 인쇄 회로 기판 양면으로 상기 바텀 타입 스택 보드-온-칩 패키지와 상기 탑 타입 스택 보드-온-칩 패키지가 서로 전기적으로 연결되는 것을 특징으로 하는 양면 실장 메모리 모듈.

청구항 30.

제29항에 있어서, 상기 양면 실장 메모리 모듈은

상기 솔더 볼들이 연결되지 않는 상기 바텀 타입 스택 보드-온-칩 패키지의 제1 전극 패드들 및 상기 탑 타입 스택 보드-온-칩 패키지의 제2 전극 패드들이 보호층으로 감싸지는 것을 특징으로 하는 양면 실장 메모리 모듈.

청구항 31.

제30항에 있어서, 상기 보호층은

포토 솔더 레지스터(PSR)로 도포되는 것을 특징으로 하는 양면 실장 메모리 모듈.

청구항 32.

제29항에 있어서, 상기 양면 실장 메모리 모듈은

상기 솔더 볼들이 연결되지 않는 상기 바텀 타입 스택 보드-온-칩 패키지의 제1 전극 패드들 및 상기 탑 타입 스택 보드-온-칩 패키지의 제2 전극 패드들 사이에 개별 소자들이 연결되는 것을 특징으로 하는 양면 실장 메모리.

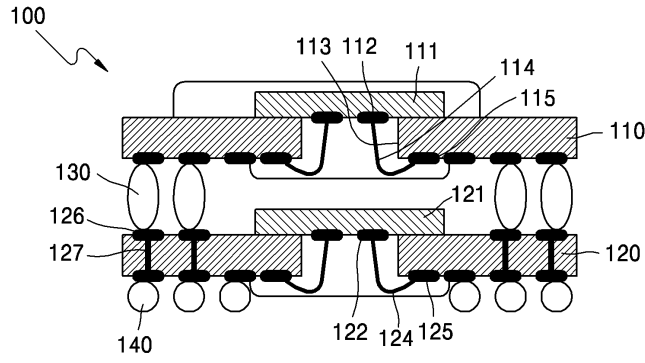
청구항 33.

제32항에 있어서, 상기 개별 소자들은

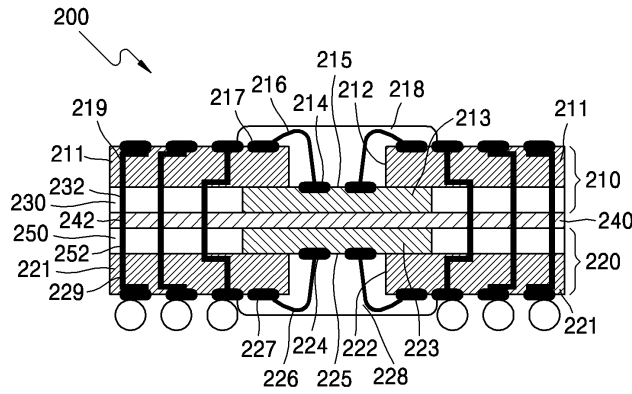
저항이나 디-커플링 커패시터로 구성되는 것을 특징으로 하는 양면 실장 메모리 모듈.

도면

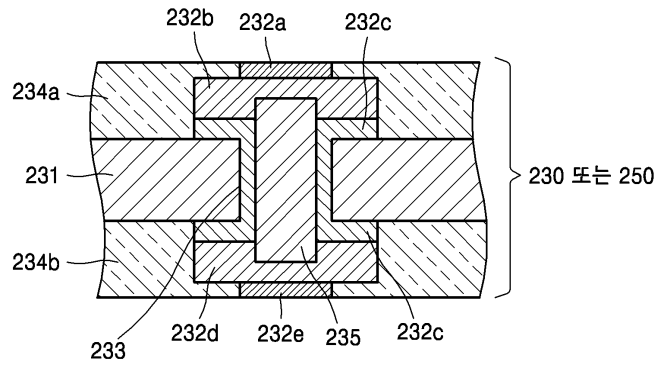
도면1



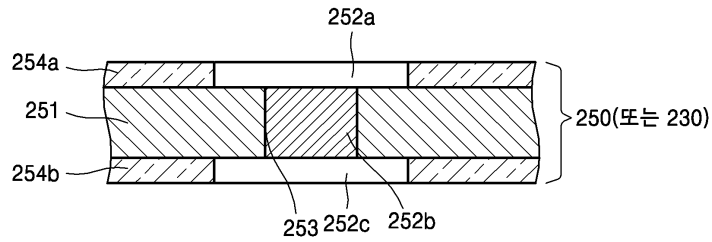
도면2



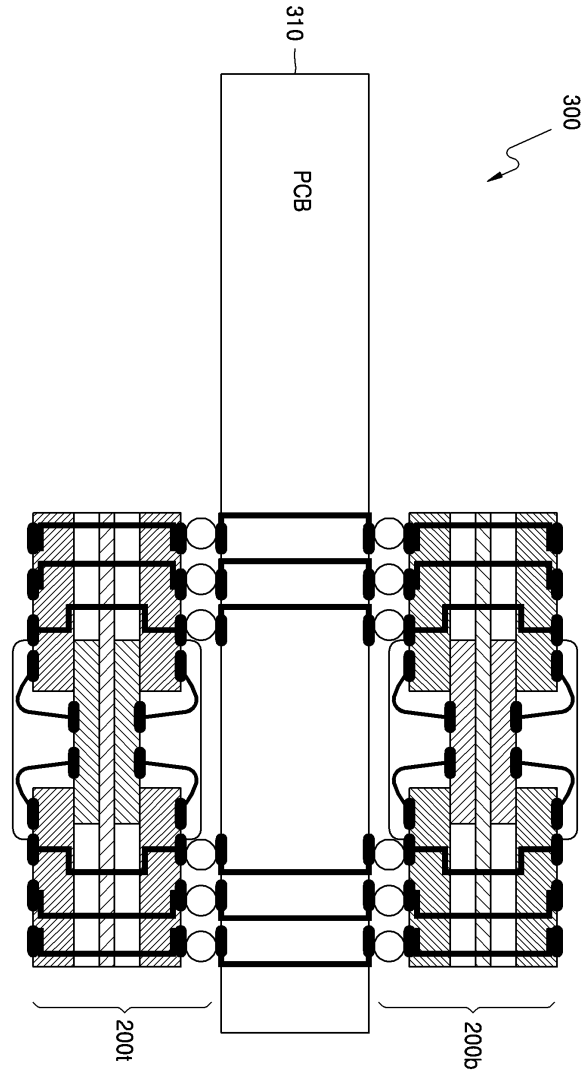
도면3



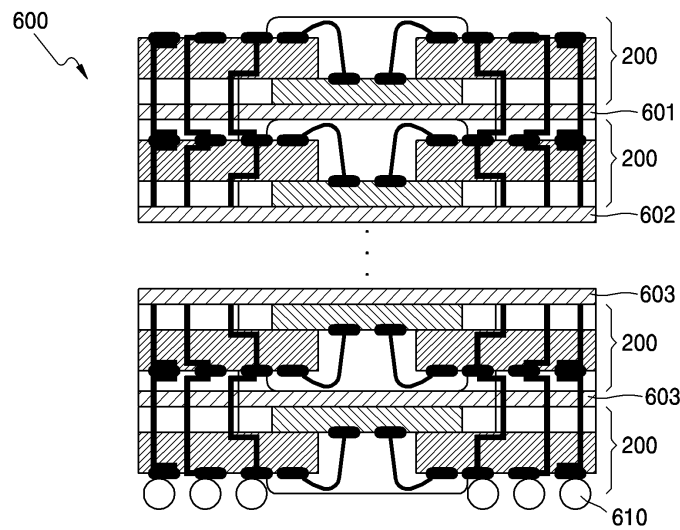
도면4



도면5



도면6



도면7

