(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-256405
(P2012-256405A)
(43)公開日　平成24年12月27日(2012.12.27)

(51)Int.Cl.		F I			テーマコード（参考）
G11C 14/00	(2006.01)	G11C	11/34	352A	5F083
H01L 27/10	(2006.01)	H01L	27/10	461	5F101
H01L 21/336	(2006.01)	H01L	29/78	371	5F110
H01L 29/788	(2006.01)	H01L	27/10	434	5M024
H01L 29/792	(2006.01)	H01L	27/10	481	

審査請求 未請求　請求項の数 11　ＯＬ　（全 69 頁）　最終頁に続く

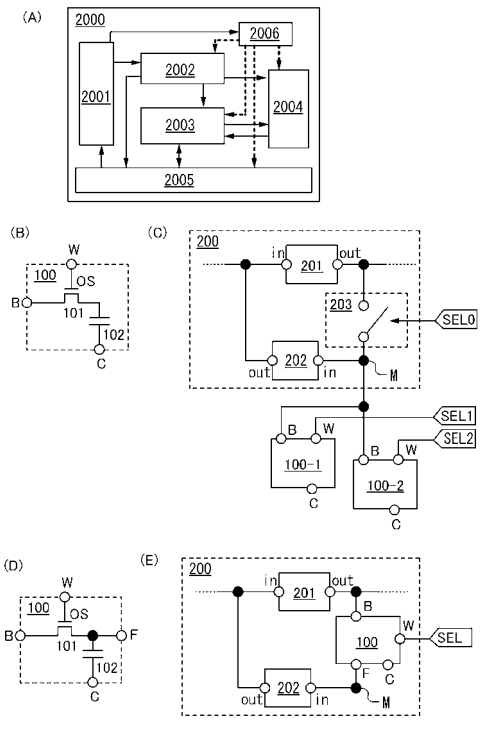
(21)出願番号　特願2012-48001(P2012-48001)
(22)出願日　平成24年3月5日(2012.3.5)
(31)優先権主張番号　特願2011-65210(P2011-65210)
(32)優先日　平成23年3月24日(2011.3.24)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2011-108886(P2011-108886)
(32)優先日　平成23年5月14日(2011.5.14)
(33)優先権主張国　日本国(JP)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　小林　英智
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　前橋　幸男
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】信号処理回路

(57)【要約】
【課題】新たな構成の不揮発性の記憶回路を用いた信号処理回路を提供する。
【解決手段】演算部と、メモリと、演算部及びメモリを制御する制御部と、を有し、制御部は、揮発性の記憶回路と揮発性の記憶回路に保持されたデータを記憶するための第１の不揮発性の記憶回路との組を複数有し、メモリは、第２の不揮発性の記憶回路を複数有し、第１の不揮発性の記憶回路及び第２の不揮発性の記憶回路は、チャネルが酸化物半導体層に形成されるトランジスタと、トランジスタがオフ状態となることによってフローティングとなるノードに一対の電極のうちの一方が電気的に接続された容量素子とを有する。
【選択図】図１



【特許請求の範囲】
【請求項１】
演算部と、メモリと、前記演算部及び前記メモリを制御する制御部と、を有し、
前記制御部は、第１の揮発性の記憶回路と、前記第１の揮発性の記憶回路に保持されたデータを記憶するための第１の不揮発性の記憶回路と、の組を有し、
前記メモリは、第２の不揮発性の記憶回路をマトリクス状に複数有し、
前記第１の不揮発性の記憶回路及び前記第２の不揮発性の記憶回路それぞれは、チャネルが酸化物半導体層に形成されるトランジスタと、前記トランジスタがオフ状態となることによってフローティングとなるノードに一対の電極のうちの一方が電気的に接続された容量素子とを有することを特徴とする信号処理回路。
【請求項２】
演算部と、メモリと、前記演算部及び前記メモリを制御する制御部と、を有し、
前記制御部は、第１の揮発性の記憶回路と、前記第１の揮発性の記憶回路に保持されたデータを記憶するための第１の不揮発性の記憶回路と、の組を有し、
前記メモリは、第２の不揮発性の記憶回路をマトリクス状に複数有し、
前記演算部は、第２の揮発性の記憶回路と前記第２の揮発性の記憶回路に保持されたデータを記憶するための第３の不揮発性の記憶回路との組を有し、
前記第１の不揮発性の記憶回路乃至前記第３の不揮発性の記憶回路それぞれは、チャネルが酸化物半導体層に形成されるトランジスタと、前記トランジスタがオフ状態となることによってフローティングとなるノードに一対の電極のうちの一方が電気的に接続された容量素子とを有することを特徴とする信号処理回路。
【請求項３】
演算部と、メモリと、前記演算部及び前記メモリを制御する制御部と、を有し、
前記制御部は、
コマンドをデコードするデコーダと、
前記演算部に入力されるデータ及び前記演算部から出力されるデータを一時的に記憶するレジスタと、
前記レジスタ及び前記演算部を制御する制御回路と、
前記演算部、前記制御回路、前記レジスタ、及び前記メモリのうちのいずれかまたは全てにおいて電源電圧の供給を制御する電源回路と、を有し、
前記メモリは、第２の不揮発性の記憶回路をマトリクス状に複数有し、
前記レジスタは、第３の揮発性の記憶回路と、前記第３の揮発性の記憶回路に保持されたデータを記憶するための第４の不揮発性の記憶回路と、の組を有し、
前記制御回路は、第４の揮発性の記憶回路と、前記第４の揮発性の記憶回路に保持されたデータを記憶するための第５の不揮発性の記憶回路と、の組を有し、
前記第２の不揮発性の記憶回路、前記第４の不揮発性の記憶回路、及び前記第５の不揮発性の記憶回路それぞれは、チャネルが酸化物半導体層に形成されるトランジスタと、前記トランジスタがオフ状態となることによってフローティングとなるノードに一対の電極のうちの一方が電気的に接続された容量素子とを有することを特徴とする信号処理回路。
【請求項４】
演算部と、メモリと、前記演算部及び前記メモリを制御する制御部と、を有し、
前記制御部は、
コマンドをデコードするデコーダと、
前記演算部に入力されるデータ及び前記演算部から出力されるデータを一時的に記憶するレジスタと、
前記レジスタ及び前記演算部を制御する制御回路と、
前記演算部、前記制御回路、前記レジスタ、及び前記メモリのうちのいずれかまたは全てにおいて電源電圧の供給を制御する電源回路と、を有し、
前記メモリは、第２の不揮発性の記憶回路をマトリクス状に複数有し、
前記演算部は、第２の揮発性の記憶回路と前記第２の揮発性の記憶回路に保持されたデ

ータを記憶するための第３の不揮発性の記憶回路との組を有し、
前記レジスタは、第３の揮発性の記憶回路と、前記第３の揮発性の記憶回路に保持されたデータを記憶するための第４の不揮発性の記憶回路と、の組を有し、
前記制御回路は、第４の揮発性の記憶回路と、前記第４の揮発性の記憶回路に保持されたデータを記憶するための第５の不揮発性の記憶回路と、の組を有し、
前記第２の不揮発性の記憶回路乃至前記第５の不揮発性の記憶回路それぞれは、チャネルが酸化物半導体層に形成されるトランジスタと、前記トランジスタがオフ状態となることによってフローティングとなるノードに一対の電極のうちの一方が電気的に接続された容量素子とを有することを特徴とする信号処理回路。
【請求項５】
請求項３において、
前記第３の揮発性の記憶回路１つに、前記第４の不揮発性の記憶回路が複数対応するように設けられていることを特徴とする信号処理回路。
【請求項６】
請求項４において、
前記第３の揮発性の記憶回路１つに、前記第４の不揮発性の記憶回路が複数対応するように設けられていることを特徴とする信号処理回路。
【請求項７】
請求項１において、
前記第１の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第２の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、は、互いに分離されることなく共通に設けられ、且つ、前記演算部、前記メモリ、及び前記制御部を構成するトランジスタを覆うように設けられていることを特徴とする信号処理回路。
【請求項８】
請求項２において、
前記第１の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第２の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第３の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、は、互いに分離されることなく共通に設けられ、且つ、前記演算部、前記メモリ、及び前記制御部を構成するトランジスタを覆うように設けられていることを特徴とする信号処理回路。
【請求項９】
請求項３または請求項５において、
前記第２の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第４の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第５の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、は、互いに分離されることなく共通に設けられ、且つ、前記演算部、前記メモリ、及び前記制御部を構成するトランジスタを覆うように設けられていることを特徴とする信号処理回路。
【請求項１０】
請求項４または請求項６において、
前記第２の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第３の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第４の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、前記第５の不揮発性の記憶回路が有する前記容量素子の一対の電極のうちの他方と、は、互いに分離されることなく共通に設けられ、且つ、前記演算部、前記メモリ、及び前記制御部を構成するトランジスタを覆うように設けられていることを特徴とする信号処理回路。
【請求項１１】
請求項１乃至請求項１０のいずれか一に記載の前記信号処理回路を用いた電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】

電源を切っても記憶している論理状態が消えない不揮発性の記憶回路を用いた信号処理回路に関する。また、当該信号処理回路を用いた電子機器に関する。

【背景技術】

【０００２】

中央演算処理装置（ＣＰＵ：Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などの信号処理回路は、その用途によって多種多様な構成を有しているが、一般的に、データやプログラムを記憶するためのメインメモリの他に、レジスタやキャッシュメモリなど、各種の記憶回路が設けられている。

【０００３】

レジスタやキャッシュメモリ等の記憶回路は、メインメモリよりも高速でデータの読み書きを行う必要がある。よって、通常は、レジスタとしてフリップフロップが、キャッシュメモリとしてＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）等が用いられる。つまり、これらのレジスタ、キャッシュメモリ等には、電源電圧の供給が途絶えるとデータを消失してしまう揮発性の記憶回路が用いられている。

【０００４】

消費電力を抑えるため、データの入出力が行われない期間において信号処理回路への電源電圧の供給を一時的に停止するという方法が提案されている。その方法では、レジスタ、キャッシュメモリ等の揮発性の記憶回路の周辺に不揮発性の記憶回路を配置し、上記データをその不揮発性の記憶回路に一時的に記憶させる。こうして、信号処理回路において電源電圧の供給を停止する間も、レジスタ、キャッシュメモリ等はデータを保持する（例えば、特許文献１参照）。

【０００５】

また、信号処理回路において長時間の電源電圧の供給停止を行う際には、電源電圧の供給停止の前に、揮発性の記憶回路内のデータをハードディスク、フラッシュメモリ等の外部記憶装置に移すことで、データの消失を防ぐこともできる。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開平１０－０７８８３６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

特許文献１に開示されたような信号処理回路では、不揮発性の記憶回路を構成する記憶素子として強誘電体が用いられている。強誘電体を用いた記憶素子では、データの書き込みを繰り返すことによって、強誘電体材料が疲労し、書き込み不良となる等の問題があり、書き換え回数が制限される。また、データの処理速度（以下、アクセススピードとも呼ぶ）、例えば、読み書きの速度が遅い。

【０００８】

また、不揮発性の記憶回路としてフラッシュメモリを用いた場合、高電圧を印加してトンネル電流により電子を注入または放出する動作を行うため、データの書き換えを繰り返すことによる各記憶素子の劣化が激しい等の問題があり、書き換え回数が制限される。また、アクセススピードが遅い。

【０００９】

また、信号処理回路において電源電圧の供給を停止する間、外部記憶装置に揮発性の記憶回路のデータを記憶させる信号処理回路では、外部記憶装置から揮発性の記憶回路にデータを戻すための時間を要する。よって、このような信号処理回路は、消費電力の低減を目的とした短時間の電源停止には適さない。

【００１０】

上述の課題に鑑み、本発明は、電源電圧の供給を停止しても記憶している論理状態が消えない、新たな構成の記憶回路を用いた信号処理回路を提供することを目的の一つとする

。
【課題を解決するための手段】
【００１１】
本発明の信号処理回路の一態様は、演算部と、メモリと、演算部及びメモリを制御する制御部と、を有する。制御部は、第１の揮発性の記憶回路と、第１の揮発性の記憶回路に保持されたデータを記憶するための第１の不揮発性の記憶回路と、の組を有し、メモリは、第２の不揮発性の記憶回路を有する構成とする。なお、メモリは第２の不揮発性の記憶回路がマトリクス状に複数設けられていてもよい。制御部において、電源電圧が供給されている間に、第１の揮発性の記憶回路に保持されたデータを第１の不揮発性の記憶回路に入力して記憶させる（以下、データ格納とも呼ぶ）。データ格納は、第１の揮発性の記憶回路が所定のデータを保持すると同時に行うこともできるし、その後に行うこともできる。そして、第１の不揮発性の記憶回路に記憶されたデータが第１の揮発性の記憶回路からの信号によって変動しないような状態とする（以下、データ待機とも呼ぶ）。具体的には、第１の不揮発性の記憶回路において、データに対応する信号電位が保持されたノードをフローティング状態とする。データ待機の後、制御部全体（またはその大部分）において、電源電圧の供給を停止する。電源電圧の供給が停止した後も、第１の揮発性の記憶回路のデータを第１の不揮発性の記憶回路によって保持することができる。そして、必要に応じて、制御部全体またはその一部において選択的に電源電圧の供給を行う。その後、制御部のうち電源電圧供給が選択された部分において、第１の不揮発性の記憶回路に保持していたデータを第１の揮発性の記憶回路に移動する（以下、データ提供とも呼ぶ）。こうして、制御部のうち電源電圧供給が選択された部分において、第１の揮発性の記憶回路によって所定の動作を行うことができる。
【００１２】
このように、必要な場合にのみ電源電圧を供給する（以下、ノーマリオフとも呼ぶ）駆動方法を採用することによって、信号処理回路の消費電力を大幅に低減することができる。また、第１の揮発性の記憶回路は、第１の不揮発性の記憶回路よりもデータ書き込み及び読み出しのスピードが速い。よって、制御部のうち電源電圧供給が選択された部分における動作速度を速くすることが可能であり、信号処理回路を高速で動作させることができる。また、メモリも、電源電圧の供給が停止した後もデータを保持し続けることができる。
【００１３】
（不揮発性の記憶回路の構成）
ここで上記不揮発性の記憶回路（第１の不揮発性の記憶回路及び第２の不揮発性の記憶回路それぞれ）は、オフ電流が著しく小さいトランジスタと、当該トランジスタがオフ状態となることによってフローティングとなるノードに一対の電極のうちの一方が電気的に接続された容量素子とを有する構成とする。当該不揮発性の記憶回路では、容量素子の一対の電極のうちの一方の電位（またはそれに対応する電荷量）をデータに応じて制御することによって、データを記憶する。例えば、容量素子に所定の電荷が充電された状態を「１」に対応させ、容量素子に電荷が充電されていない状態を「０」に対応させることによって、１ビットのデータを記憶することができる。ここで、オフ電流が極めて小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体でなる層や基板中にチャネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体として化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、オフ電流が著しく小さいトランジスタとして、チャネルが酸化物半導体層に形成されるトランジスタを用いることができる。
【００１４】
このような不揮発性の記憶回路では、オフ電流が著しく小さいトランジスタをオフ状態とすることにより、電源電圧の供給が停止した後も、容量素子の一対の電極のうちの一方の電位を長期間に渡って保持することが可能となる。そのため、上記構成の不揮発性の記憶回路を用いたメモリでは、定期的なデータの再書き込み動作（以下、リフレッシュ動作

とも呼ぶ）が不要、若しくはリフレッシュ動作を行う頻度を非常に低くすることが可能となる。

【００１５】

また、このような不揮発性の記憶回路では、データに対応する信号電位を所定のノード（容量素子の一対の電極のうちの一方）に入力し、オフ電流が非常に小さなトランジスタをオフ状態として、当該ノードをフローティング状態とすることにより、データを記憶する構成である。そのため、当該不揮発性の記憶回路において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

【００１６】

ここで、第１の不揮発性の記憶回路（制御部の不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタと、第２の不揮発性の記憶回路（メモリの不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタとは、同一工程で作製することができる。例えば、これらトランジスタのゲート電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタのソース電極及びドレイン電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタの活性層（チャネルが形成される半導体層）は、同一の半導体層をエッチング加工して形成することができる。

【００１７】

また、第１の不揮発性の記憶回路（制御部の不揮発性の記憶回路）が有する容量素子と、第２の不揮発性の記憶回路（メモリの不揮発性の記憶回路）が有する容量素子とは、同一工程で作製することができる。例えば、これら容量素子の一対の電極のうちの一方は、同一の導電膜をエッチング加工して形成することができる。また例えば、これら容量素子の誘電体層は、同一の絶縁膜をエッチング加工して形成することができる。なお、これら容量素子の誘電体層を、互いに分離することなく共通に設けることもできる。また例えば、これら容量素子の一対の電極のうちの他方は、同一の導電膜をエッチング加工して形成することができる。なお、これら容量素子の一対の電極のうちの他方を、互いに分離することなく共通に設けることもできる。この場合には、分離することなく共通に設けられた導電層を、信号処理回路の遮蔽層や遮光層として用いることができる。例えば、信号処理回路を構成するトランジスタ等の素子を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。また例えば、信号処理回路を構成するトランジスタ等の素子が形成された基板の一面（表面または裏面）を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。このように、容量素子の一対の電極のうちの他方の電極を遮蔽層や遮光層として機能させることにより、作製工程を増加させることなく、信頼性の高い信号処理回路を提供することができる。

【００１８】

（揮発性の記憶回路の構成）

第１の揮発性の記憶回路（制御部が有する揮発性の記憶回路）としては、少なくとも２つの演算回路を有し、一方の演算回路の出力が他方の演算回路に入力され、他方の演算回路の出力が一方の演算回路に入力されるような、帰還ループを有する構成とすることができる。このような構成の記憶回路としては、フリップフロップ回路や、ラッチ回路がある。

【００１９】

なお、ＣＰＵ、マイクロプロセッサ、画像処理回路、ＤＳＰ（Ｄｉｇｉｔａｌ Ｓｉｇｎａｌ Ｐｒｏｃｅｓｓｏｒ）、ＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）等のＬＳＩ（Ｌａｒｇｅ Ｓｃａｌｅ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）等が、本発明の信号処理回路の範疇に含まれる。演算部は、ＡＬＵ（Ａｒｉｔｈｍｅｔｉｃ ｌｏｇｉｃ ｕｎｉｔ）と呼ぶこともできる。メモリは、データやプログラムを記憶するメインメモリとして機能させることができる。

【００２０】

（演算部のバリエーション）
演算部は、第２の揮発性の記憶回路と、第２の揮発性の記憶回路に保持されたデータを記憶するための第３の不揮発性の記憶回路と、の組を有していてもよい。第３の不揮発性の記憶回路の構成は、上記第１の不揮発性の記憶回路及び第２の不揮発性の記憶回路と同様とすることができる。ここで、第２の揮発性の記憶回路（演算部が有する揮発性の記憶回路）としては、例えば、クロック信号に同期してデータを入出力するフリップフロップ回路を用いることができる。

【００２１】
ここで、第３の不揮発性の記憶回路（演算部の不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタと、第１の不揮発性の記憶回路（制御部の不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタと、第２の不揮発性の記憶回路（メモリの不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタとは、同一工程で作製することができる。例えば、これらトランジスタのゲート電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタのソース電極及びドレイン電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタの活性層（チャネルが形成される半導体層）は、同一の半導体層をエッチング加工して形成することができる。

【００２２】
また、第３の不揮発性の記憶回路（演算部の不揮発性の記憶回路）が有する容量素子と、第１の不揮発性の記憶回路（制御部の不揮発性の記憶回路）が有する容量素子と、第２の不揮発性の記憶回路（メモリの不揮発性の記憶回路）が有する容量素子とは、同一工程で作製することができる。例えば、これら容量素子の一対の電極のうちの一方は、同一の導電膜をエッチング加工して形成することができる。また例えば、これら容量素子の誘電体層は、同一の絶縁膜をエッチング加工して形成することができる。なお、これら容量素子の誘電体層を、互いに分離することなく共通に設けることもできる。また例えば、これら容量素子の一対の電極のうちの他方は、同一の導電膜をエッチング加工して形成することができる。なお、これら容量素子の一対の電極のうちの他方を、互いに分離されることなく共通に設けることもできる。この場合には、分離されることなく共通に設けられた導電層を、信号処理回路の遮蔽層や遮光層として用いることができる。例えば、信号処理回路を構成するトランジスタ等の素子を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。また例えば、信号処理回路を構成するトランジスタ等の素子が形成された基板の一面（表面または裏面）を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。このように、容量素子の一対の電極のうちの他方の電極を遮蔽層や遮光層として機能させることにより、作製工程を増加させることなく、信頼性の高い信号処理回路を提供することができる。

【００２３】
（制御部のバリエーション）
制御部は、デコーダと、制御回路と、レジスタと、電源回路とを有する構成とすることができる。

【００２４】
デコーダはコマンドをデコードする。また、デコーダは、メモリへの電源電圧供給停止時において、外部からの入力により電源回路や制御回路に制御信号を入力する機能を有していてもよい。また、デコーダは、カウンタ（タイマ）を有し、メモリへの電源電圧供給停止時において、カウンタ（タイマ）により電源回路や制御回路に制御信号を入力する機能を有していてもよい。制御回路は、デコードされたコマンドに基づき、レジスタや演算部やメモリを制御する。レジスタは、演算部に入力されるデータや、演算部から出力されるデータを一時的に記憶する。電源回路はデコーダによって制御され、演算部、制御回路、レジスタ、及びメモリへの電源電圧の供給を制御する。なお、演算部、制御回路、レジスタ、及びメモリのそれぞれをモジュールとも呼ぶ。ここで、電源回路は、モジュール毎

に電源電圧の供給または停止を選択することができる。つまり、電源回路は、全てのモジュール（演算部、制御回路、レジスタ、及びメモリ）において電源電圧の供給を行うことができるし、一部のモジュール（演算部、制御回路、レジスタ、メモリのうちのいずれか）において選択的に電源電圧の供給を行うこともできる。

【００２５】

レジスタは、第３の揮発性の記憶回路と、第３の揮発性の記憶回路に保持されたデータを記憶するための第４の不揮発性の記憶回路と、の組を有し、制御回路は、第４の揮発性の記憶回路と、第４の揮発性の記憶回路に保持されたデータを記憶するための第５の不揮発性の記憶回路との組を有する構成とすることができる。第３の揮発性の記憶回路及び第４の揮発性の記憶回路は、上記第１の揮発性の記憶回路（制御部が有する揮発性の記憶回路）に相当する。第４の不揮発性の記憶回路及び第５の不揮発性の記憶回路は、上記第１の不揮発性の記憶回路（制御部が有する不揮発性の記憶回路）に相当する。

【００２６】

ここで、レジスタが有する第３の揮発性の記憶回路としては、例えば、クロック信号に同期してデータを入出力するフリップフロップ回路や、ラッチ回路を用いることができる。また、制御回路が有する第４の揮発性の記憶回路としては、例えば、クロック信号に同期してデータを入出力するフリップフロップ回路を用いることができる。

【００２７】

なお、レジスタにおいて、１ビットのデータを記憶する第３の揮発性の記憶回路１つに、１ビットのデータを記憶する第４の不揮発性の記憶回路が複数対応するように設けられていてもよい。ここで、複数の第４の不揮発性の記憶回路それぞれをバンクとも呼ぶ。こうして、ノーマリオフの駆動方法を行う場合において、電源電圧の供給を選択された際に、複数の第４の不揮発性の記憶回路（複数のバンク）から１つの第４の不揮発性の記憶回路（バンク）を選択し、選択された第４の不揮発性の記憶回路（バンク）に保持された１ビットのデータを第３の揮発性の記憶回路に提供すること（データ提供）によって、レジスタの状態を複数の状態から選択することが可能となる。

【発明の効果】

【００２８】

上記した新たな構成の不揮発性の記憶回路を信号処理回路に用いることによって、電源電圧の供給を停止した後も信号処理回路はデータを長期間にわたって保持し続けることができる。よって、ノーマリオフの駆動方法を行うことができる。それ故、信号処理回路の消費電力を大幅に低減することができる。そして、電源電圧の供給を選択された際、信号処理回路は直ぐに保持されたデータを用いて所定の処理を開始することができる。そのため、信号処理回路において、電源電圧の供給を選択された後に所定の処理を開始する迄の時間を短くすることができる。また、電源電圧が供給されているモジュールにおいては、揮発性の記憶回路を用いて所定の処理を行うため、信号処理回路のアクセススピードを高速化することが可能である。更に、信号処理回路に用いる不揮発性の記憶回路として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路の耐久性、信頼性を向上させることができる。

【００２９】

特に、制御部のレジスタ及び制御回路それぞれ、または、制御部のレジスタ及び制御回路並びに演算部それぞれにおいて、上記揮発性の記憶回路と、当該揮発性の記憶回路に保持されたデータを記憶するための上記不揮発性の記憶回路と、の組を設け、またメモリにおいて上記不揮発性の記憶回路を設け、電源回路によって各モジュールへの電源電圧の供給を制御することによって、以下の効果を奏する。

【００３０】

モジュール間でのデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路（パス、スキャンパス）を設ける必要がなく、信号処理回路の回路規模を大きくすることが容易となる。

【図面の簡単な説明】
【００３１】
【図１】信号処理回路の構成を示す図。
【図２】メモリの構成を示す図。
【図３】センスアンプ回路、プリチャージ回路の構成を示す図。
【図４】信号処理回路の駆動方法を示すフローチャート。
【図５】信号処理回路の駆動方法を示すフローチャート。
【図６】信号処理回路の構成を示す断面図、及び斜視模式図。
【図７】信号処理回路の構成を示す断面図。
【図８】信号処理回路の作製工程を示す断面図。
【図９】信号処理回路の作製工程を示す断面図。
【図１０】信号処理回路の作製工程を示す断面図。
【図１１】酸化物半導体層にチャネルが形成されるトランジスタの構成を示す断面図。
【図１２】酸化物半導体層にチャネルが形成されるトランジスタの構成を示す断面図。
【図１３】携帯用の電子機器のブロック図。
【図１４】電子書籍のブロック図。
【図１５】信号処理回路の駆動方法を示すフローチャート。
【図１６】酸化物材料の結晶構造を説明する図。
【図１７】酸化物材料の結晶構造を説明する図。
【図１８】酸化物材料の結晶構造を説明する図。
【図１９】計算によって得られた移動度のゲート電圧依存性を説明する図。
【図２０】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
【図２１】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
【図２２】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
【図２３】計算に用いたトランジスタの断面構造を説明する図。
【図２４】酸化物半導体膜を用いたトランジスタの特性を示す図。
【図２５】試料１のトランジスタのＢＴ試験後のV_g－I_d特性を示す図。
【図２６】試料２のトランジスタのＢＴ試験後のV_g－I_d特性を示す図。
【図２７】試料Ａおよび試料ＢのＸＲＤスペクトルを示す図。
【図２８】トランジスタのオフ電流と測定時基板温度との関係を示す図。
【図２９】I_dおよび電界効果移動度のV_g依存性を示す図。
【図３０】基板温度としきい値電圧の関係及び基板温度と電界効果移動度の関係を示す図。
【図３１】トランジスタの構造の一例を示す図。
【図３２】トランジスタの構造の一例を示す図。
【発明を実施するための形態】
【００３２】
以下では、実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。
【００３３】
なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。
【００３４】

「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。

【００３５】

回路図上は独立している構成要素どうしが電気的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極や端子としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【００３６】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【００３７】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【００３８】

「第１」、「第２」、「第３」などの序数詞は、構成要素の混同を避けるために付すものである。

【００３９】

（実施の形態１）

信号処理回路の一態様について説明する。図１（Ａ）は、信号処理回路の構成を模式的に示すブロック図である。信号処理回路２０００は、デコーダ２００１、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５、電源回路２００６を有する。

【００４０】

デコーダ２００１は、コマンドをデコードする。制御回路２００２は、デコードされたコマンドに基づき、レジスタ２００４やＡＬＵ２００３やメモリ２００５を制御する。レジスタ２００４は、ＡＬＵ２００３に入力されるデータや、ＡＬＵ２００３から出力されるデータを一時的に記憶する。また、ＡＬＵ２００３とメモリ２００５の間においてもデータの入出力が行われる。電源回路２００６はデコーダ２００１によって制御され、ＡＬＵ２００３、制御回路２００２、レジスタ２００４、及びメモリ２００５への電源電圧の供給を制御する。ここで、電源回路２００６は、全てのモジュール（ＡＬＵ２００３、制御回路２００２、レジスタ２００４、及びメモリ２００５）において電源電圧の供給を停止することができるし、全てのモジュールにおいて電源電圧を供給することもできるし、一部のモジュール（ＡＬＵ２００３、制御回路２００２、レジスタ２００４、及びメモリ２００５のうちのいずれか）において選択的に電源電圧を供給し且つその他のモジュールにおいて電源電圧の供給を停止することもできる。

【００４１】

（不揮発性の記憶回路）

制御回路２００２、レジスタ２００４、及びメモリ２００５は、図１（Ｂ）に示す不揮発性の記憶回路１００を有する構成とすることができる。なお、ＡＬＵ２００３も、図１（Ｂ）に示す不揮発性の記憶回路１００を有する構成とすることができる。図１（Ｂ）において、不揮発性の記憶回路１００は、トランジスタ１０１と容量素子１０２とを有する。トランジスタ１０１のゲートは端子Ｗと電気的に接続され、ソース及びドレインの一方は端子Ｂと電気的に接続され、他方は容量素子１０２の一対の電極のうちの一方と電気的に接続される。容量素子１０２の一対の電極のうちの他方は端子Ｃと電気的に接続される。

【００４２】

ここで、トランジスタ１０１として、オフ電流が著しく小さいトランジスタを用いるこ

とができる。そして、トランジスタ１０１がオフ状態となることによってフローティングとなるノードに容量素子１０２の一対の電極のうちの一方が電気的に接続されている。不揮発性の記憶回路１００では、容量素子１０２の一対の電極のうちの一方の電位（またはそれに対応する電荷量）をデータに応じて制御することによって、データを記憶する。例えば、容量素子１０２に所定の電荷が充電された状態を「１」に対応させ、容量素子１０２に電荷が充電されていない状態を「０」に対応させることによって、１ビットのデータを記憶することができる。ここで、オフ電流が極めて小さいトランジスタ１０１としては、シリコンよりも広いバンドギャップを有する半導体でなる層や基板中にチャネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体として化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、チャネルが酸化物半導体層に形成されるトランジスタを用いることができる。図１（Ｂ）では、トランジスタ１０１として、チャネルが酸化物半導体層に形成されるトランジスタを用いる例を示し、ＯＳの符号を付す。

【００４３】

（不揮発性の記憶回路１００の駆動方法）

不揮発性の記憶回路１００では、端子Ｗに入力される制御信号によってトランジスタ１０１をオン状態とし、データに対応する信号電位を端子Ｂに入力する。その後、端子Ｗに入力される制御信号によってトランジスタ１０１をオフ状態とすることにより、データを保持する。不揮発性の記憶回路１００の端子Ｃには、任意の電位が与えられる構成とすることができる。例えば、接地電位が与えられる構成とすることができる。トランジスタ１０１のオフ電流は非常に小さいため、電源電圧の供給が停止した後も、容量素子１０２の一対の電極のうちの一方の電位を長期間に渡って保持することが可能となる。不揮発性の記憶回路１００からのデータの読み出しは、端子Ｗに入力される制御信号によってトランジスタ１０１をオン状態とし、容量素子１０２の一対の電極のうちの一方の電位（またはそれに対応する電荷量）を端子Ｂから検出することによって行う。このような不揮発性の記憶回路１００では、データに対応する信号電位を所定のノード（容量素子１０２の一対の電極のうちの一方）に入力し、オフ電流が非常に小さなトランジスタ１０１をオフ状態として、当該ノードをフローティング状態とすることにより、データを記憶する構成である。そのため、不揮発性の記憶回路１００において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

【００４４】

（制御回路２００２、レジスタ２００４、及びＡＬＵ２００３の構成）

ここで、制御回路２００２及びレジスタ２００４、または、制御回路２００２、レジスタ２００４及びＡＬＵ２００３は、それぞれ、揮発性の記憶回路と、図１（Ｂ）に示す不揮発性の記憶回路１００との組を有する構成とすることができる。図１（Ｃ）は、当該組の構成を示した図である。図１（Ｃ）では、１ビットのデータを記憶する揮発性の記憶回路２００に対して、図１（Ｂ）に示す不揮発性の記憶回路１００を２つ（不揮発性の記憶回路１００－１、不揮発性の記憶回路１００－２）を設けた例を示した。これに限定されず、１ビットのデータを記憶する揮発性の記憶回路２００に対して、図１（Ｂ）に示す不揮発性の記憶回路１００を１つ設けてもよいし、３つ以上設けてもよい。特に、レジスタ２００４において、１ビットのデータを記憶する揮発性の記憶回路２００に対して不揮発性の記憶回路１００を複数設けた組を有する構成を採用することができる。また、制御回路２００２、及びＡＬＵ２００３それぞれにおいて、１ビットのデータを記憶する揮発性の記憶回路２００に対して不揮発性の記憶回路１００を１つ設けた組を有する構成を採用することができる。

【００４５】

揮発性の記憶回路２００としては、少なくとも２つの演算回路を有し、一方の演算回路の出力が他方の演算回路に入力され、他方の演算回路の出力が一方の演算回路に入力されるような、帰還ループを有する構成とすることができる。図１（Ｃ）では、演算回路２０１及び演算回路２０２を有し、演算回路２０１の出力が演算回路２０２に入力され、演算

回路２０２の出力が演算回路２０１に入力されるような、帰還ループを有する。演算回路としては、例えば、インバータ回路、ＮＡＮＤ回路等が挙げられる。このような構成の揮発性の記憶回路２００としては、フリップフロップ回路や、ラッチ回路がある。

【００４６】

不揮発性の記憶回路１００－１の端子Ｂ及び不揮発性の記憶回路１００－２の端子Ｂはそれぞれ、演算回路２０２の入力端子と演算回路２０１の出力端子との間に存在するノードＭと電気的に接続される。また揮発性の記憶回路２００は、ノードＭと演算回路２０１の出力端子との電気的接続を選択するスイッチ２０３を有し、スイッチ２０３は制御信号ＳＥＬ０によって導通状態または非導通状態が選択される。なお、演算回路２０１が制御信号（例えば、クロック信号等）によって選択的に信号を出力する回路の場合には、スイッチ２０３を必ずしも設ける必要はなく、省略することも可能である。不揮発性の記憶回路１００－１の端子Ｗには制御信号ＳＥＬ１が入力され、不揮発性の記憶回路１００－２の端子Ｗには制御信号ＳＥＬ２が入力されている。なお、不揮発性の記憶回路１００－１の端子Ｃと、不揮発性の記憶回路１００－２の端子Ｃとは同じ電位が入力される構成とすることができる。

【００４７】

図１（Ｃ）に示す揮発性の記憶回路２００と不揮発性の記憶回路１００－１及び不揮発性の記憶回路１００－２との組の駆動方法について説明する。

【００４８】

（電源電圧供給時の動作）

当該組に電源電圧が供給されている間、つまり当該組が含まれるモジュールに電源電圧が供給されている間は、制御信号ＳＥＬ０によってスイッチ２０３は導通状態である。こうして、揮発性の記憶回路２００は、演算回路２０１及び演算回路２０２でなる帰還ループによってデータを保持する。つまり、図１（Ｃ）に示す組において、入力されるデータは揮発性の記憶回路２００の帰還ループによって保持され、また揮発性の記憶回路２００の帰還ループからデータが出力される。このような揮発性の記憶回路２００の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。

【００４９】

（データ格納の動作）

上記のとおり、揮発性の記憶回路２００の帰還ループによるデータの保持が行われると同時に、または当該データの保持が行われた後に、制御信号ＳＥＬ０によってスイッチ２０３を導通状態としたまま、制御信号ＳＥＬ１及び制御信号ＳＥＬ２によって、不揮発性の記憶回路１００－１のトランジスタ１０１、または不揮発性の記憶回路１００－２のトランジスタ１０１を選択的にオン状態とする。例えば、不揮発性の記憶回路１００－１のトランジスタ１０１をオン状態とし、不揮発性の記憶回路１００－２のトランジスタ１０１をオフ状態とする。こうして、揮発性の記憶回路２００のノードＭの電位を、不揮発性の記憶回路１００－１の容量素子１０２の一対の電極のうちの一方に入力して、揮発性の記憶回路２００に保持されたデータを不揮発性の記憶回路１００－１に記憶させることができる。こうしてデータの格納を行うことができる。

【００５０】

（データ待機の動作）

データ格納の後、不揮発性の記憶回路１００－１のトランジスタ１０１をオフ状態とすることによって、不揮発性の記憶回路１００－１に記憶されたデータが揮発性の記憶回路２００からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。

【００５１】

１ビットのデータを記憶する揮発性の記憶回路２００に対して、図１（Ｂ）に示す不揮発性の記憶回路１００を複数設けた構成では、互いに異なる期間において揮発性の記憶回路２００が異なるデータを保持している場合に、それら期間に対応する複数のデータそれぞれを、異なる不揮発性の記憶回路１００に記憶させることができる。特に、レジスタに

おいて、１ビットのデータを記憶する揮発性の記憶回路２００に対して不揮発性の記憶回路１００を複数設けた組を有する構成を採用する場合に、複数設けた不揮発性の記憶回路１００それぞれをバンクと呼ぶことができる。こうして、異なる期間におけるレジスタの状態それぞれを、複数のバンクに記憶させることができる。

【００５２】

なお、１ビットのデータを記憶する揮発性の記憶回路２００に対して不揮発性の記憶回路１００を１つ設けた組を有する構成を採用する場合にも、上記と同様の動作を行い、当該不揮発性の記憶回路１００に揮発性の記憶回路２００に保持されていたデータを記憶する。こうしてデータの待機を行うことができる。

【００５３】

以上のとおり、データの待機を行った後、電源電圧の供給を停止する。

【００５４】

（データ供給の動作）

当該組に電源電圧供給が選択された後、つまり当該組が含まれるモジュールに電源電圧が供給されはじめた後に、制御信号ＳＥＬ０によってスイッチ２０３を非導通状態とし、且つ制御信号ＳＥＬ１及び制御信号ＳＥＬ２によって、不揮発性の記憶回路１００－１のトランジスタ１０１、または不揮発性の記憶回路１００－２のトランジスタ１０１を選択的にオン状態とする。例えば、不揮発性の記憶回路１００－１のトランジスタ１０１をオン状態とし、不揮発性の記憶回路１００－２のトランジスタ１０１をオフ状態とする。こうして、揮発性の記憶回路２００のノードＭに、不揮発性の記憶回路１００－１の容量素子１０２の一対の電極のうちの一方の電位（またはそれに対応する電荷量）を入力する。その後、制御信号ＳＥＬ０によってスイッチ２０３を導通状態とする。こうして、不揮発性の記憶回路１００－１に保持されていたデータを、揮発性の記憶回路２００に入力し、帰還ループによって保持させることができる。このように揮発性の記憶回路２００にデータを供給することができる。ここで、揮発性の記憶回路２００は、不揮発性の記憶回路１００－１や不揮発性の記憶回路１００－２よりもデータ書き込み及び読み出しのスピードが速い。よって、電源電圧供給が選択された組における動作速度を速くすることが可能である。

【００５５】

１ビットのデータを記憶する揮発性の記憶回路２００に対して、図１（Ｂ）に示す不揮発性の記憶回路１００を複数設けた構成では、複数の不揮発性の記憶回路１００から選択し、選択された不揮発性の記憶回路１００のデータを揮発性の記憶回路２００に供給することができる。特に、レジスタにおいて、１ビットのデータを記憶する揮発性の記憶回路２００に対して不揮発性の記憶回路１００を複数設けた組を有する構成を採用する場合に、複数のバンクから選択的にデータを揮発性の記憶回路２００に供給することによって、電源電圧の供給が選択された後のレジスタの状態を複数の状態から選択することが可能となる。

【００５６】

なお、１ビットのデータを記憶する揮発性の記憶回路２００に対して不揮発性の記憶回路１００を１つ設けた組を有する構成を採用する場合にも、上記と同様の動作を行い、当該不揮発性の記憶回路１００に保持されていたデータを、揮発性の記憶回路２００に入力することができる。こうして揮発性の記憶回路２００にデータを供給することができる。

【００５７】

なお、演算回路２０１を制御信号（例えば、クロック信号等）によって選択的に信号を出力する回路として、スイッチ２０３を省略する構成を採用した場合には、上記説明においてスイッチ２０３が非導通状態となる際に、演算回路２０１の出力が無い（不定となる）ように演算回路２０１を制御する。演算回路２０１以外の駆動方法は上記と同様とすることができる。

【００５８】

以上が、図１（Ｃ）に示す揮発性の記憶回路２００と不揮発性の記憶回路１００－１及

び不揮発性の記憶回路１００－２との組の駆動方法についての説明である。
【００５９】
（揮発性の記憶回路と不揮発性の記憶回路の組のバリエーション）
揮発性の記憶回路と、揮発性の記憶回路に保持されたデータを記憶するための不揮発性の記憶回路との組の構成は、図１（Ｃ）に示した構成に限定されない。例えば、図１（Ｅ）に示す構成とすることができる。なお、図１（Ｅ）において図１（Ｃ）と同じ部分は同じ符号を用いて示し、説明は省略する。図１（Ｅ）に示す構成の組では、揮発性の記憶回路２００中に不揮発性の記憶回路１００が含まれるような構成となっている。図１（Ｅ）において、不揮発性の記憶回路１００の端子Ｆは、図１（Ｄ）に示すとおり、容量素子１０２の一対の電極のうちの一方と電気的に接続される端子である。
【００６０】
図１（Ｅ）に示した構成の組の駆動方法について説明する。
【００６１】
（電源電圧供給時の動作）
当該組に電源電圧が供給されている間、つまり当該組が含まれるモジュールに電源電圧が供給されている間は、制御信号ＳＥＬによって不揮発性の記憶回路１００のトランジスタ１０１はオン状態である。こうして、揮発性の記憶回路２００は、演算回路２０１及び演算回路２０２でなる帰還ループによってデータを保持する。つまり、図１（Ｅ）に示す組において、入力されるデータは揮発性の記憶回路２００の帰還ループによって保持され、また揮発性の記憶回路２００の帰還ループからデータが出力される。このような揮発性の記憶回路２００の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。
【００６２】
（データ格納の動作）
上記のとおり、揮発性の記憶回路２００の帰還ループによるデータの保持が行われると同時に、揮発性の記憶回路２００のノードＭの電位は、不揮発性の記憶回路１００の容量素子１０２の一対の電極のうちの一方に入力され、揮発性の記憶回路２００に保持されたデータを不揮発性の記憶回路１００に記憶させることができる。こうしてデータの格納を行うことができる。
【００６３】
（データ待機の動作）
データ格納の後、不揮発性の記憶回路１００のトランジスタ１０１をオフ状態とすることによって、不揮発性の記憶回路１００に記憶されたデータが揮発性の記憶回路２００の演算回路２０１からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。
【００６４】
以上のとおり、データの待機を行った後、電源電圧の供給を停止する。
【００６５】
（データ供給の動作）
当該組に電源電圧供給が選択された後、つまり当該組が含まれるモジュールに電源電圧が再び供給されはじめた後に、制御信号ＳＥＬによって不揮発性の記憶回路１００のトランジスタ１０１をオン状態とする。こうして、揮発性の記憶回路２００のノードＭに、不揮発性の記憶回路１００の容量素子１０２の一対の電極のうちの一方の電位（または対応する電荷）を入力する。こうして、不揮発性の記憶回路１００に保持されていたデータを、揮発性の記憶回路２００の帰還ループによって保持させることができる。このように揮発性の記憶回路２００にデータを供給することができる。ここで、揮発性の記憶回路２００は、不揮発性の記憶回路１００よりもデータ書き込み及び読み出しのスピードが速い。よって、電源電圧供給が選択された組における動作速度を速くすることが可能である。
【００６６】
なお、上記データ供給を行う際、電源電圧供給が選択された後、制御信号ＳＥＬによっ

て不揮発性の記憶回路１００のトランジスタ１０１をオン状態とするとき、演算回路２０１から信号が出力されない（演算回路２０１の出力が不定である）構成とすることが好ましい。例えば、演算回路２０１として、制御信号（例えば、クロック信号等）によって選択的に信号を出力する回路を用いることが好ましい。また例えば、演算回路２０１の出力端子と、揮発性の記憶回路１００の端子Ｂとの間にスイッチ等を設ける構成として、電源電圧供給が選択された後、制御信号ＳＥＬによって不揮発性の記憶回路１００のトランジスタ１０１をオン状態とする際に、当該スイッチを非導通状態とすることが好ましい。

【００６７】

以上が、図１（Ｅ）に示す揮発性の記憶回路２００と不揮発性の記憶回路１００の組の駆動方法についての説明である。

【００６８】

レジスタ２００４及び制御回路２００２それぞれ、または、レジスタ２００４及び制御回路２００２並びにＡＬＵ２００３それぞれにおいて、図１（Ｃ）や図１（Ｅ）に示した構成の組を設け、電源回路２００６によって各モジュールへの電源電圧の供給を制御することができる。こうして、必要な場合にのみ電源電圧を供給するノーマリオフの駆動方法を行い、信号処理回路の消費電力を大幅に低減することができる。また、モジュール間でのデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路（パス、スキャンパス）を設ける必要がなく、信号処理回路の回路規模を大きくすることが容易となる。

【００６９】

（メモリ２００５の構成）

（メモリセルアレイの構成）

メモリ２００５は、図１（Ｂ）に示した不揮発性の記憶回路１００をマトリクス状に複数有するメモリセルアレイを含んだ構成とすることができる。例えば、当該メモリセルアレイとして図２（Ｂ）に示す構成とすることができる。図２（Ｂ）に示すメモリセルアレイ４００は、ｍ×ｎ（ｍは自然数、ｎは自然数）個の不揮発性の記憶回路１００（ｉ，ｊ）（ｉはｍ以下の自然数、ｊはｎ以下の自然数）を有する。不揮発性の記憶回路１００（ｉ，ｊ）は、図１（Ｂ）に示した不揮発性の記憶回路１００とすることができる。以下、不揮発性の記憶回路１００（ｉ，ｊ）をメモリセルとも呼ぶ。

【００７０】

図２（Ｂ）において、同じ列に並んだメモリセルにおいて、端子Ｂに電気的に接続される配線（ＢＬｊ）を共有している。例えば、第１列に並んだメモリセルにおいて、端子Ｂに電気的に接続される配線（ＢＬ１）を共有している。配線（ＢＬｊ）はビット線と呼ぶことができる。

【００７１】

図２（Ｂ）において、同じ行に並んだメモリセルにおいて、端子Ｗに電気的に接続される配線（ＷＬｉ）を共有している。例えば、第１行に並んだメモリセルにおいて、端子Ｗに電気的に接続される配線（ＷＬ１）を共有している。配線（ＷＬｉ）はワード線と呼ぶこともできる。

【００７２】

しかし、これに限定されず、同じ列に並んだメモリセルにおいて、複数の配線（ＢＬｊ）を設けてもよいし、同じ行に並んだメモリセルにおいて、複数の配線（ＷＬｉ）を設けてもよい。また、ｍ×ｎ個のメモリセルにおいて、端子Ｃは同じ電極や配線と電気的に接続されていても良いし、異なる電極や配線と電気的に接続されていてもよい。

【００７３】

図２（Ｂ）に示すメモリセルアレイ４００では、配線（ＷＬｉ）に入力される信号によって指定された行のメモリセルにおいて選択的に、データの書き込み及び読み出しが行われる。具体的には、配線（ＷＬｉ）に入力される信号によって、書き込み対象のｉ行のメモリセル以外の行のトランジスタ１０１をオフ状態とし、且つ書き込み対象のｉ行のメモ

リセルのトランジスタ１０１をオン状態として、選択的にデータの書き込みを行う。また、配線（ＷＬｉ）に入力される信号によって、読み出し対象のｉ行のメモリセル以外の行のトランジスタ１０１をオフ状態とし、且つ読み出し対象のｉ行のメモリセルのトランジスタ１０１をオン状態として、選択的にデータの読み出しを行う。指定されたメモリセルにおけるデータの書き込み及び読み出しの方法は、上記で説明した不揮発性の記憶回路１００の駆動方法と同様であるため説明は省略する。

【００７４】

（メモリセルアレイ以外の構成）

メモリ２００５は、メモリセルアレイ４００に加えて、行デコーダ、列デコーダ、プリチャージ回路、センスアンプ回路、及び一時記憶回路のいずれかまたは全てを有する構成とすることができる。なお、これらの回路のうちのいくつかをまとめて１つの回路とすることもできる。例えば、センスアンプ回路は、一時記憶回路の機能を有していてもよい。

【００７５】

行デコーダ及び列デコーダは、メモリセルアレイ４００中の任意のメモリセルを選択する機能を有する。メモリ２００５は、行デコーダ及び列デコーダによって選択されたメモリセルにおいて、データの書き込みや読み出しを行う。プリチャージ回路は、メモリセルからデータを読み出す前に、メモリセルアレイ４００に含まれるビット線の電位を所定の電位にする（プリチャージする）機能を有する。プリチャージ回路によって、ビット線の電位を所定の電位とした後にメモリセルからデータを読み出すことにより、メモリセルからのデータの読み出し速度を速くすることができる。センスアンプ回路は、メモリセルに保持されたデータに対応するビット線の電位を増幅し、出力する機能を有する。センスアンプ回路によって、データをより高速且つ正確に読み出すことができる。一時記憶回路は、ページバッファやラッチ回路とも呼ばれ、メモリ２００５の外部から入力されたデータを一時的に保持する機能を有する。また、一時記憶回路は、メモリセルアレイから読み出されたデータを保持する機能を有していてもよい。

【００７６】

図２（Ａ）に、メモリ２００５の構成の一態様を模式的に示す。図２（Ａ）において、メモリ２００５は、メモリセルアレイ４００と、列デコーダ４０３と、行デコーダ４０４と、プリチャージ回路４０２と、センスアンプ回路４０１とを有する。

【００７７】

なお、図２（Ａ）において、プリチャージ回路４０２と、センスアンプ回路４０１とは、メモリセルアレイ４００の列デコーダ４０３が設けられた側に設けた構成を示したがこれに限定されない。プリチャージ回路４０２とセンスアンプ回路４０１の一方または両方は、メモリセルアレイ４００を挟んで列デコーダ４０３と対向する側に設けてもよい。また、プリチャージ回路４０２とセンスアンプ回路４０１とはまとめて１つの回路としてもよい。

【００７８】

ここで、図２（Ａ）は、メモリ２００５の構成の一態様を模式的に示したものであって、各回路の配置の仕方はこれに限定されない。例えば、実際には、メモリセルアレイ４００と重なるように、その他の回路（列デコーダ４０３、行デコーダ４０４、プリチャージ回路４０２、及びセンスアンプ回路４０１）を形成することができる。また、メモリセルアレイ４００を分割し、分割されたメモリセルアレイを互いに重ねて配置する（多層化する）こともできる。こうして、メモリセルアレイ４００の占有面積を低減しつつ、記憶容量を増大させることができる。

【００７９】

（センスアンプ回路の構成）

次いで、図２（Ａ）におけるセンスアンプ回路４０１の構成の具体的な一態様について説明する。センスアンプ回路４０１は、複数のセンスアンプを有する構成とすることができる。各センスアンプは、メモリセルアレイ４００に配置されたビット線毎に設けることができる。各センスアンプによってビット線の電位を増幅し、各センスアンプの出力端子

から検出することができる。ここで、ビット線の電位は、当該ビット線に電気的に接続され読み出しを選択されたメモリセルに保持された信号電位に応じた値となる。そのため、各センスアンプの出力端子から出力される信号は、読み出しを選択されたメモリセルに保持されたデータに対応する。こうして、センスアンプ回路４０１によって、メモリセルアレイ４００の各メモリセルに保持されたデータを検出することができる。

【００８０】

センスアンプは、インバータや、バッファを用いて構成することができる。例えば、ラッチ回路を用いた構成（ラッチ型のセンスアンプ）とすることができる。ラッチ型のセンスアンプでは、入力信号を増幅し、且つ増幅した信号を保持することができる。そのため、メモリセル（不揮発性の記憶回路１００）から情報を読み出す際に、容量素子１０２に保持された信号電位に対応する電荷が変化（読み出し破壊）しても、当該信号電位に対応する信号をラッチ型のセンスアンプによって保持し、当該メモリセル（不揮発性の記憶回路１００）に再び書き込むことができる。

【００８１】

以下、図３（Ａ）及び図３（Ｂ）を用いて、センスアンプ回路４０１のより具体的な一態様について説明する。

【００８２】

図３（Ａ）及び図３（Ｂ）に示すセンスアンプ回路４０１は、ラッチ回路４４３によって構成されるラッチ型のセンスアンプの例である。ラッチ回路４４３は、例えば、インバータ４４４とインバータ４４５によって構成することができる。センスアンプ回路４０１は、ｎ個のラッチ回路４４３を有し、ｎ個のラッチ回路４４３それぞれは、メモリセルアレイ４００に配置されたビット線（ＢＬ１乃至ＢＬｎ）毎に設けられる。ｎ個のラッチ回路４４３によって、ビット線（ＢＬ１乃至ＢＬｎ）の電位を増幅し、出力端子（ＯＵＴ１乃至ＯＵＴｎ）から出力することができる。ここで、ビット線の電位は、当該ビット線に電気的に接続され読み出しを選択されたメモリセルに保持された信号電位に応じた値となる。そのため、各ラッチ回路４４３の出力端子から出力される信号（増幅した信号）は、読み出しを選択されたメモリセルに保持されたデータに対応する。こうして、ｎ個のラッチ回路４４３を用いたセンスアンプ回路４０１によって、メモリセルアレイ４００の各メモリセルに保持されたデータを検出することができる。

【００８３】

また、ｎ個のラッチ回路４４３それぞれは、増幅した信号を保持することができる。そのため、メモリセルアレイ４００のメモリセルから情報を読み出す際に、読み出し破壊が起こっても、対応する信号をｎ個のラッチ回路４４３それぞれによって保持し、当該メモリセルに再び書き込むことができる。

【００８４】

また、図３（Ａ）及び図３（Ｂ）に示したような、ラッチ回路４４３を用いて構成したセンスアンプ回路４０１では、上述のとおり信号を保持する機能を有するため、一時記憶回路として用いることもできる。例えば、ラッチ回路４４３を用いて構成したセンスアンプ回路４０１は、メモリ２００５の外部から入力されるデータを一時的に保持する回路（ページバッファ等）としても用いることができる。

【００８５】

（プリチャージ回路の構成）

次いで、図２（Ａ）におけるプリチャージ回路４０２の構成の具体的な一態様について、図３（Ｃ）を用いて説明する。図３（Ｃ）において、プリチャージ回路４０２はプリチャージ線ＰＲと、複数のスイッチ４４６とを有する。各スイッチ４４６は、メモリセルアレイ４００に配置されたビット線（ＢＬ１乃至ＢＬｎ）毎に設けることができる。各スイッチ４４６によって各ビット線とプリチャージ線ＰＲとの電気的接続を選択し、各ビット線にプリチャージ線ＰＲの電位（プリチャージ電位）を入力することができる。スイッチ４４６としては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチ４４６として、クロック信号及びクロック信号の反転信号の一方または両方が

入力される演算回路を用いることもできる。
【００８６】
以上が、メモリ２００５の説明である。
【００８７】
上述のとおり、不揮発性の記憶回路１００を用いたメモリ２００５では、定期的なデータの再書き込み動作（以下、リフレッシュ動作とも呼ぶ）が不要、若しくはリフレッシュ動作を行う頻度を非常に低くすることが可能となる。このようなメモリ２００５を用いることによってノーマリオフの駆動方法を行うことが容易となり、信号処理回路の消費電力を低減することができる。
【００８８】
以上のとおり、本実施の形態で示した信号処理回路２０００は、電源電圧の供給を停止した後もデータを長期間にわたって保持し続けることができるため、ノーマリオフの駆動方法を行うことができる。それ故、信号処理回路２０００の消費電力を大幅に低減することができる。そして、電源電圧の供給を選択された際、信号処理回路２０００は直ぐに保持されたデータを用いて所定の処理を開始することができる。そのため、信号処理回路２０００において、電源電圧の供給を選択された後に所定の処理を開始する迄の時間を短くすることができる。また、電源電圧が供給されているモジュールにおいては、揮発性の記憶回路を用いて所定の処理を行うため、信号処理回路２０００のアクセススピードを高速化することが可能である。更に、信号処理回路２０００に用いる不揮発性の記憶回路１００として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路２０００の耐久性、信頼性を向上させることができる。
【００８９】
特に、レジスタ２００４及び制御回路２００２それぞれ、または、レジスタ２００４及び制御回路２００２並びにＡＬＵ２００３それぞれにおいて、揮発性の記憶回路２００と、揮発性の記憶回路２００に保持されたデータを記憶するための不揮発性の記憶回路１００と、の組を設け、またメモリ２００５において不揮発性の記憶回路１００を設け、電源回路２００６によって各モジュールへの電源電圧の供給を制御することによって、以下の効果を奏する。
【００９０】
また、モジュール間でのデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路（パス、スキャンパス）を設ける必要がなく、信号処理回路２０００の回路規模を大きくすることが容易となる。
【００９１】
本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。
【００９２】
（実施の形態２）
本発明の信号処理回路のノーマリオフの駆動方法の一態様について、フローチャートを用いてより詳細に説明する。図１５は、信号処理回路の全モジュールにおいて電源電圧供給を停止した状態（以下、待機モードとも呼ぶ）となる迄の動作を示すフローチャートである。図５は、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する動作を示すフローチャートである。図４は、全部または一部のモジュールにおいて電源電圧が供給された状態から、全部または一部のモジュールの電源電圧供給を停止する迄の動作を示すフローチャートである。説明では、図１の符号も参照する。
【００９３】
図１５では、信号処理回路２０００の全モジュールにおいて電源電圧供給を停止した状態（待機モード）となる迄に、デコーダ２００１、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５、電源回路２００６それぞれが行う動作を示している。
【００９４】

信号処理回路２０００の電源電圧が供給されている間に、制御回路２００２、ＡＬＵ２００３、レジスタ２００４それぞれにおいて、データ格納の動作を行う（図１５中、「電源電圧供給時にデータ格納」）。制御回路２００２、ＡＬＵ２００３、レジスタ２００４におけるデータ格納動作に関しては、実施の形態１と同様である。また、メモリ２００５においてデータの書き込みが行われる（図１５中、「データ記憶」）。

【００９５】

その後、デコーダ２００１は、全モジュールにおいて電源電圧供給を停止する指令（以下、待機指令と呼ぶ）を制御回路２００２に出力する（図１５中、「制御回路に待機指令出力」）。こうして制御回路２００２は待機指令が入力される（図１５中、「待機指令入力」）。制御回路２００２は入力された待機指令に基づき、全モジュールに対して待機指令を出力する。図１５では、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５において、電源電圧供給を停止するので、制御回路２００２は、ＡＬＵ２００３、及びレジスタ２００４に対して待機指令を出力する（図１５中、「ＡＬＵ、レジスタに待機指令出力」）とともに、制御回路２００２内の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図１５中、「データ待機」）。制御回路２００２内の当該組の構成及びデータ待機動作に関しては、実施の形態１と同様である。また、制御回路２００２からＡＬＵ２００３に待機指令が入力されると（図１５中、「待機指令入力」）、ＡＬＵ２００３は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図１５中、「データ待機」）。ＡＬＵ２００３内の当該組の構成及びデータ待機動作に関しては、実施の形態１と同様である。制御回路２００２からレジスタ２００４に待機指令が入力されると（図１５中、「待機指令入力」）、レジスタ２００４は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図１５中、「データ待機」）。レジスタ２００４内の当該組の構成及びデータ待機動作に関しては、実施の形態１と同様である。

【００９６】

こうして、制御回路２００２、ＡＬＵ２００３、レジスタ２００４において、データの待機が完了した後、デコーダ２００１は電源回路２００６に待機指令を出力する（図１５中、「電源回路に待機指令出力」）。電源回路２００６に待機指令が入力されると（図１５中、「待機指令入力」）、電源回路２００６は待機指令に基づき、モジュールへの電源電圧の供給を停止する（図１５中、「全モジュールにて電源電圧供給停止（待機モード）」）。なお、メモリ２００５は、実施の形態１において説明したとおり、電源電圧の供給が停止しても保持しているデータが消えない不揮発性の記憶回路をメモリセルとして有するため、データのバックアップ等を行うことなく電源電圧の供給を停止することができる。ここで、所定のモジュールにおいて電源電圧の供給を停止するとは、高電源電位と低電源電位の差に対応する電圧が電源電位として該モジュールに与えられている場合に、一方の電位の供給を停止する、または一方の電位を他方の電位と同じ電位にする動作に対応する。

【００９７】

以上が、信号処理回路２０００の全モジュールにおいて電源電圧供給を停止した状態（待機モード）となる迄の動作についての説明である。次いで、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する動作について説明する。

【００９８】

図５では、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する迄に、デコーダ２００１、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５、電源回路２００６それぞれが行う動作を示している。

【００９９】

まず、デコーダ２００１が電源電圧を供給するモジュールを選択（図５中、「電源供給モジュールを選択」）する。この選択は、デコーダ２００１がそれまでに受信したコマン

ドの履歴情報を用いて行うことができる。例えば、今後動作させる可能性があるモジュールを予測して、当該モジュールの電源電圧供給を選択するようにしてもよい。図５では、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５において、電源電圧供給を再開する例について説明する。しかしながら、これらモジュールのうち一部のモジュールにおいて選択的に電源電圧を供給することができる。

【０１００】

電源電圧を供給するモジュールが選択されたら、どのモジュールにおいて電源電圧を供給するかを示す情報（以下、供給情報と呼ぶ）を電源回路２００６に出力する（図５中、「電源回路に供給情報出力」）。こうして電源回路２００６に供給情報が入力されると（図５中、「供給情報入力」）、電源回路２００６は供給情報に基づき、モジュールへ電源電圧を供給する（図５中、「電源電圧の供給を選択されたモジュールにて電源電圧供給開始」）。なお、電源電圧の供給を選択されたモジュールにメモリ２００５が含まれる場合には、メモリ２００５へも電源電圧が供給される。

【０１０１】

電源電圧が供給された後、デコーダ２００１は制御回路２００２に供給情報を出力する（図５中、「制御回路に供給情報出力」）。こうして、制御回路２００２は供給情報が入力される（図５中、「供給情報入力」）。制御回路２００２は入力された供給情報に基づき、電源電圧を供給されたモジュールに対して供給情報を出力する。図５では、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５において、電源電圧を供給する例について説明するので、制御回路２００２は、ＡＬＵ２００３、及びレジスタ２００４に対して供給情報を出力する（図５中、「ＡＬＵ、レジスタに供給情報出力」）とともに、制御回路２００２内の不揮発性の記憶回路のデータを当該不揮発性の記憶回路と組をなす揮発性の記憶回路に入力する（図５中、「データ供給」）。制御回路２００２内の当該組の構成及びデータ供給動作に関しては、実施の形態１と同様である。また、制御回路２００２からＡＬＵ２００３に供給情報が入力されると（図５中、「供給情報入力」）、ＡＬＵ２００３は、その内部の不揮発性の記憶回路のデータを当該不揮発性の記憶回路と組をなす揮発性の記憶回路に入力する（図５中、「データ供給」）。ＡＬＵ２００３内の当該組の構成及びデータ供給動作に関しては、実施の形態１と同様である。制御回路２００２からレジスタ２００４に供給情報が入力されると（図５中、「供給情報入力」）、レジスタ２００４は、その内部の不揮発性の記憶回路のデータを当該不揮発性の記憶回路と組をなす揮発性の記憶回路に入力する（図５中、「データ供給」）。レジスタ２００４内の当該組の構成及びデータ供給動作に関しては、実施の形態１と同様である。なお、メモリ２００５は、実施の形態１において説明したとおり、電源電圧の供給が停止しても保持しているデータが消えない不揮発性の記憶回路をメモリセルとして有する。

【０１０２】

以上のようにして、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５において、電源電圧を供給し、これらモジュールを動作させ所定の処理を直ぐに行うことができる（図５中、「全モジュールにおいて動作状態」）。なお、図５では、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５において、電源電圧を供給する例について説明したが、これに限定されない。これらモジュールのうちの一部において、電源電圧を供給し、その他のモジュールについては電源電圧供給が停止したままの状態とすることもできる。この場合には、供給情報によって、電源電圧が供給されたモジュールにおいてのみデータ提供動作が行われ、一部モジュールにおいて動作状態となる。

【０１０３】

以上が、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する迄の動作についての説明である。

【０１０４】

図４では、全部または一部のモジュールにおいて電源電圧が供給された状態から、全部または一部のモジュールの電源電圧供給を停止する迄にデコーダ２００１、制御回路２０

０２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５、電源回路２００６それぞれが行う動作を示している。

【０１０５】

まず、デコーダ２００１が電源電圧供給を停止するモジュールを選択（図４中、「電源切断モジュールを選択」）する。この選択は、デコーダ２００１がそれまでに受信したコマンドの履歴情報及び供給情報を用いて行うことができる。例えば、特定のモジュールを動作させる必要の無いコマンドを連続して受信した等の履歴情報が存在し、且つ供給情報によって当該モジュールに電源電圧が供給されている場合に、当該モジュールが今後もしばらく動作しないことを予測して、当該モジュールの電源電圧供給停止を選択するようにしてもよい。デコーダ２００１において、一定期間毎に最新の履歴情報を取得する構成とすることができる。図４では、全モジュール（制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５）において電源電圧が供給された状態（図４中、「全モジュールにおいて動作状態」）から、これらモジュールすべてにおいて電源電圧供給を停止する例について説明する。しかしながら、これらモジュールのうち一部のモジュールにおいて選択的に電源電圧供給を停止することもできる。

【０１０６】

電源電圧供給を停止するモジュールが選択されたら、どのモジュールにおいて電源電圧供給を停止するかを示す情報（以下、切断情報と呼ぶ）を制御回路２００２に出力する（図４中、制御回路に切断情報出力））。こうして制御回路２００２は切断情報が入力される（図４中、「切断情報入力」）。制御回路２００２は入力された切断情報に基づき、電源電圧供給を停止するモジュールに対して切断情報を出力する。図４では、制御回路２００２、ＡＬＵ２００３、レジスタ２００４、メモリ２００５において、電源電圧供給を停止する例について説明するので、制御回路２００２は、ＡＬＵ２００３、及びレジスタ２００４に対して切断情報を出力する（図４中、「ＡＬＵ、レジスタに切断情報出力」）とともに、制御回路２００２内の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図４中、「データ待機」）。制御回路２００２内の当該組の構成及びデータ待機動作に関しては、実施の形態１と同様である。また、制御回路２００２からＡＬＵ２００３に切断情報が入力されると（図４中、「切断情報入力」）、ＡＬＵ２００３は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図４中、「データ待機」）。ＡＬＵ２００３内の当該組の構成及びデータ待機動作に関しては、実施の形態１と同様である。制御回路２００２からレジスタ２００４に切断情報が入力されると（図４中、「切断情報入力」）、レジスタ２００４は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図４中、「データ待機」）。レジスタ２００４内の当該組の構成及びデータ待機動作に関しては、実施の形態１と同様である。

【０１０７】

こうして、電源電圧供給を停止するモジュールのうち、制御回路２００２、ＡＬＵ２００３、レジスタ２００４において、データの待機が完了した後、デコーダ２００１は電源回路２００６に切断情報を出力する（図４中、「電源回路に切断情報出力」）。電源回路２００６に切断情報が入力されると（図４中、「切断情報入力」）、電源回路２００６は切断情報に基づき、モジュールへの電源電圧の供給を停止する（図４中、「電源切断を選択されたモジュールにて電源電圧供給停止」）。なお、電源切断を選択されたモジュールにメモリ２００５が含まれる場合には、メモリ２００５への電源電圧の供給も停止する。メモリ２００５は、実施の形態１において説明したとおり、電源電圧の供給が停止しても保持しているデータが消えない不揮発性の記憶回路をメモリセルとして有するため、データのバックアップ等を行うことなく電源電圧の供給を停止することができる。ここで、所定のモジュールにおいて電源電圧の供給を停止するとは、高電源電位と低電源電位の差に対応する電圧が電源電位として該モジュールに与えられている場合に、一方の電位の供給を停止する、または一方の電位を他方の電位と同じ電位にする動作に対応する。

【０１０８】

以上が、全部または一部のモジュールにおいて電源電圧が供給された状態から、全部または一部のモジュールの電源電圧供給を停止する迄の動作についての説明である。

【０１０９】

以上のとおり、信号処理回路２０００は、必要なときにのみ電源電圧を供給して一部または全てのモジュールを動作させる、ノーマリオフの駆動方法を行うことができる。それ故、信号処理回路２０００の消費電力を大幅に低減することができる。そして、電源電圧の供給を選択された際、信号処理回路２０００の各モジュールは直ぐに保持されたデータを用いて所定の処理を開始することができる。そのため、信号処理回路２０００において、電源電圧の供給を選択された後に所定の処理を開始する迄の時間を短くすることができる。また、電源電圧が供給されているモジュールにおいては、揮発性の記憶回路を用いて所定の処理を行うため、信号処理回路２０００のアクセススピードを高速化することが可能である。更に、信号処理回路２０００に用いる不揮発性の記憶回路１００として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路２０００の耐久性、信頼性を向上させることができる。

【０１１０】

特に、レジスタ２００４及び制御回路２００２それぞれ、または、レジスタ２００４及び制御回路２００２並びにＡＬＵ２００３それぞれにおいて、揮発性の記憶回路２００と、揮発性の記憶回路２００に保持されたデータを記憶するための不揮発性の記憶回路１００と、の組を設け、またメモリ２００５において不揮発性の記憶回路１００を設け、電源回路２００６によって各モジュールへの電源電圧の供給を制御することによって、以下の効果を奏する。

【０１１１】

また、モジュール間でのデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路（パス、スキャンパス）を設ける必要がなく、信号処理回路２０００の回路規模を大きくすることが容易となる。

【０１１２】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０１１３】

（実施の形態３）

本実施の形態では、実施に形態１において示した信号処理回路２０００のより具体的な構成について説明する。なお、説明では図１の符号も参照する。

【０１１４】

図６（Ａ）は、信号処理回路２０００の断面図である。図６（Ａ）中、左半分は、制御回路２００２、ＡＬＵ２００３、レジスタ２００４が形成された領域の断面図である。制御回路２００２、ＡＬＵ２００３、レジスタ２００４における、揮発性の記憶回路２００と不揮発性の記憶回路１００の組のうち、揮発性の記憶回路２００が有するトランジスタ１０３ａと、不揮発性の記憶回路１００の有するトランジスタ１０１ａ（図１（Ｂ）や図１（Ｄ）におけるトランジスタ１０１に相当）及び容量素子１０２ａ（図１（Ｂ）や図１（Ｄ）における容量素子１０２に相当）を代表で示す。図６（Ａ）中、右半分は、メモリ２００５が形成された領域の断面図である。メモリ２００５における、メモリセル（不揮発性の記憶回路１００）の有するトランジスタ１０１ｂ（図１（Ｂ）や図１（Ｄ）におけるトランジスタ１０１に相当）及び容量素子１０２ｂ（図１（Ｂ）や図１（Ｄ）における容量素子１０２に相当）を代表で示す。なお、メモリ２００５のメモリセルが有するトランジスタ１０１ｂの下層に、例えば重なるようにトランジスタ１０３ｂを設けることができる。図６（Ａ）において、基板７００上に、トランジスタ１０３ａ、トランジスタ１０３ｂが形成され、その上方に層間絶縁層を介してトランジスタ１０１ａ及びトランジスタ１０１ｂが形成され、更にその上方に容量素子１０２ａ及び容量素子１０２ｂが形成された構成となっている。

【０１１５】

図６（Ａ）において、トランジスタ１０３ａとトランジスタ１０３ｂは同一工程で作製することができる。トランジスタ１０１ａとトランジスタ１０１ｂは同一工程で作製することができる。ここで複数のトランジスタを同一工程で作製するとは、複数のトランジスタのゲート電極を同一の導電膜をエッチング加工して形成することを示す。複数のトランジスタのゲート絶縁膜を同一の絶縁膜を用いて（または同一の絶縁膜をエッチング加工して）形成することを示す。複数のトランジスタのソース電極及びドレイン電極を同一の導電膜をエッチング加工して形成することを示す。なお、チャネルが半導体層に形成されるトランジスタの場合には、複数のトランジスタの活性層を同一の半導体層（半導体膜）をエッチング加工して形成することを含む。

【０１１６】

図６（Ａ）において、容量素子１０２ａ及び容量素子１０２ｂは同一工程で作製することができる。ここで複数の容量素子を同一工程で作製するとは、複数の容量素子の一対の電極のうちの一方を、同一の導電膜をエッチング加工して形成することを示す。複数の容量素子の誘電体層を、同一の絶縁膜を用いて（または同一の絶縁膜をエッチング加工して）形成することを示す。複数の容量素子の一対の電極のうちの他方を、同一の導電膜を用いて（または同一の導電膜をエッチング加工して）形成することを示す。

【０１１７】

なお、図６では、容量素子１０２ａは、一対の電極のうちの一方３０１ａと、誘電体層３０２ａと、一対の電極のうちの他方３０３とを有する。容量素子１０２ｂは、一対の電極のうちの一方３０１ｂと、誘電体層３０２ａと、一対の電極のうちの他方３０３とを有する。容量素子１０２ａの誘電体層３０２ａ及び容量素子１０２ｂの誘電体層３０２ａを、互いに分離することなく共通に設けている。また、容量素子１０２ａの一対の電極のうちの他方３０３及び容量素子１０２ｂの一対の電極のうちの他方３０３を、互いに分離することなく共通に設けている。この場合には、分離することなく共通に設けられた導電層（容量素子１０２ａ及び容量素子１０２ｂの一対の電極のうちの他方３０３）を、信号処理回路２０００の遮蔽層（例えば、電界遮蔽層等）や遮光層として用いることができる。例えば、信号処理回路２０００を構成するトランジスタ等の素子（例えば、トランジスタ１０３ａ、トランジスタ１０３ｂ、トランジスタ１０１ａ、トランジスタ１０１ｂ）を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路２０００を構成する素子に与える影響を低減することができる。このように、容量素子１０２ａの一対の電極のうちの他方３０３及び容量素子１０２ｂの一対の電極のうちの他方３０３を遮蔽層や遮光層として機能させることにより、作製工程を増加させることなく、信頼性の高い信号処理回路２０００を提供することができる。

【０１１８】

図６（Ｂ）は、信号処理回路２０００の構成を模式的に示した斜視図である。信号処理回路２０００は、トランジスタ１０３ａやトランジスタ１０３ｂと同様のトランジスタを用いて基板７００上に形成される回路群１１０３と、回路群１１０３と重なるように上方に設けられ、トランジスタ１０１ａやトランジスタ１０１ｂと同様のトランジスタを用いて形成される回路群１１０１及び回路群１１１１と、回路群１１０１及び回路群１１１１と重なるように更に上方に設けられ、容量素子１０２ａや容量素子１０２ｂと同様の容量素子を複数有する領域（図６（Ｂ）では、容量素子の一対の電極のうちの他方３０３のみを代表で示す）と、を含む構成とすることができる。ここで、容量素子１０２ａ及び容量素子１０２ｂの一対の電極のうちの他方３０３は、分離することなく共通に設けられ、回路群１１０３、回路群１１０１、及び回路群１１１１を覆っている。こうして、容量素子１０２ａ及び容量素子１０２ｂの一対の電極のうちの他方３０３を、信号処理回路２０００の遮蔽層として用いる。

【０１１９】

回路群１１０３は、例えば、信号処理回路２０００を構成する回路のうち、不揮発性の記憶回路１００以外の回路とすることができる。回路群１１０３には、揮発性の記憶回路２００を構成する素子や、メモリ２００５のメモリセルアレイ４００以外（行デコーダ４

０４、列デコーダ４０３、センスアンプ回路４０１、プリチャージ回路４０２等）を構成する素子等が含まれる。回路群１１１１は、例えば、信号処理回路２０００を構成する回路のうち、揮発性の記憶回路２００と組をなす不揮発性の記憶回路１００に含まれるトランジスタ１０１でなる回路とすることができる。回路群１１０１は、例えば、信号処理回路２０００を構成する回路のうち、メモリ２００５のメモリセルアレイ４００を構成する不揮発性の記憶回路１００に含まれるトランジスタ１０１が設けられた構成とすることができる。そしてこれら回路群の上方に、信号処理回路２０００を構成する回路のうち、不揮発性の記憶回路１００に含まれる容量素子１０２を設けることができる。

【０１２０】

ここで、回路群１１０３の一部１１０１ｂには、メモリ２００５のメモリセルアレイ４００以外（行デコーダ４０４、列デコーダ４０３、センスアンプ回路４０１、プリチャージ回路４０２等）を構成する素子を設け、この領域（一部１１０１ｂ）が回路群１１０１と重なるのが好ましい。ここで、回路群１１０１にはメモリセルアレイ４００に含まれる不揮発性の記憶回路１００中のトランジスタ１０１が設けられる。そのため、データの入出力を制御する回路部分をメモリセルアレイ４００の近くに配置することができる。

【０１２１】

図６では、トランジスタ１０３ａ及びトランジスタ１０３ｂの上方に、トランジスタ１０１ａ及びトランジスタ１０１ｂを有し、更に上方に容量素子１０２ａ及び容量素子１０２ｂを有する構成を示したがこれに限定されない。トランジスタ１０３ａ及びトランジスタ１０３ｂの上方に、トランジスタ１０１ａやトランジスタ１０１ｂでなる層と、容量素子１０２ａや容量素子１０２ｂでなる層とを、多層に設けてもよい。この構成例を図７に示す。図７では、トランジスタ１０３ａ及びトランジスタ１０３ｂの上方に、トランジスタ１０１ａやトランジスタ１０１ｂでなる層と、容量素子１０２ａや容量素子１０２ｂでなる層と、トランジスタ１０１ｃやトランジスタ１０１ｄでなる層と、容量素子１０２ｃや容量素子１０２ｄでなる層と、を設けている。ここで、図６（Ｂ）と異なり、容量素子１０２ａの一対の電極のうちの他方と容量素子１０２ｂの一対の電極のうちの他方とは分離されている。これは、容量素子１０２ａ及び容量素子１０２ｂの更に上方に設けられた回路と、下層の回路との電気的接続を行うためである。図７では、容量素子１０２ｃの一対の電極のうちの他方と容量素子１０２ｄの一対の電極のうちの他方とは、分離されることなく共通に設けられ、信号処理回路２０００の遮蔽層として機能させることができる。このように、トランジスタ１０３ａ及びトランジスタ１０３ｂの上方に、トランジスタ１０１ａやトランジスタ１０１ｂでなる層と、容量素子１０２ａや容量素子１０２ｂでなる層とを、多層に設ける構成では、最上層に設けられる容量素子１０２ｃの一対の電極のうちの他方と容量素子１０２ｄの一対の電極のうちの他方を、分離されることなく共通に設けて遮蔽層とすることができる。

【０１２２】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０１２３】

（実施の形態４）

図１（Ａ）に示した信号処理回路２０００の作製方法について説明する。本実施の形態では、信号処理回路２０００に含まれる不揮発性の記憶回路１００以外の回路を構成する素子のうち、トランジスタ１０３と、信号処理回路２０００に含まれる不揮発性の記憶回路１００を構成する素子のうち、チャネルが酸化物半導体層に形成されるトランジスタ１０１及び容量素子１０２を例に挙げて、信号処理回路２０００の作製方法について説明する。ここで、トランジスタ１０３は、チャネルがシリコン膜で形成されるトランジスタである場合を例に挙げる。

【０１２４】

まず、図８（Ａ）に示すように、基板７００上に絶縁膜７０１と、単結晶の半導体基板から分離された半導体膜７０２とを形成する。

【０１２５】

基板７００として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板７００には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が７３０℃以上のものを用いると良い。

【０１２６】

また、本実施の形態では、半導体膜７０２が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ１０３の作製方法について説明する。なお、具体的な単結晶の半導体膜７０２の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜７０１が形成された基板７００とを、間に当該絶縁膜７０１が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板７００とを重ね合わせた後、ボンド基板と基板７００の一部に、１Ｎ／ｃｍ^{2}以上５００Ｎ／ｃｍ^{2}以下、好ましくは１１Ｎ／ｃｍ^{2}以上２０Ｎ／ｃｍ^{2}以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜７０１とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板７００の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、半導体膜７０２を形成することができる。

【０１２７】

半導体膜７０２には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどのｐ型の導電性を付与する不純物元素、若しくはリン、砒素などのｎ型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、所定の形状にエッチング加工する前の半導体膜に対して行っても良いし、所定の形状にエッチング加工した後の半導体膜７０２に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、所定の形状にエッチング加工する前の半導体膜に対して、又は所定の形状にエッチング加工した後の半導体膜７０２に対しても行っても良い。

【０１２８】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、絶縁膜７０１上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせて用いることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプ加熱結晶化法、触媒元素を用いる結晶化法、９５０℃程度の高温加熱法を組み合わせた結晶化法を用いても良い。

【０１２９】

次に、図８（Ｂ）に示すように、半導体膜７０２を所定の形状に加工し、半導体層７０４を形成する。そして、半導体層７０４上にゲート絶縁膜７０３を形成する。

【０１３０】

ゲート絶縁膜７０３は、例えば、プラズマＣＶＤ法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート（$HfSi_xO_y$（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムシリケート（$HfSi_xO_yN_z$（ｘ＞０、

ｙ＞０、ｚ＞０））、窒素が添加されたハフニウムアルミネート（$HfAl_xO_yN_z$（ｘ＞０、ｙ＞０、ｚ＞０））等を含む膜を、単層で、又は積層させることで、形成することができる。

【０１３１】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【０１３２】

ゲート絶縁膜７０３の厚さは、例えば、１ｎｍ以上１００ｎｍ以下、好ましくは１０ｎｍ以上５０ｎｍ以下とすることができる。本実施の形態では、プラズマＣＶＤ法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜７０３として用いる。

【０１３３】

次いで、図８（Ｃ）に示すように、ゲート電極７０７を形成する。

【０１３４】

ゲート電極７０７は、導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。上記導電膜の形成にはＣＶＤ法、スパッタリング法、蒸着法、スピンコート法等を用いることができる。また、導電膜は、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、クロム（Ｃｒ）、ニオブ（Ｎｂ）等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【０１３５】

なお、本実施の形態ではゲート電極７０７を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極７０７は積層された複数の導電膜で形成されていても良い。

【０１３６】

２つの導電膜の組み合わせとして、１層目に窒化タンタル又はタンタルを、２層目にタングステンを用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、２層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、２層の導電膜の組み合わせとして、例えば、ｎ型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、ｎ型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

【０１３７】

３つの導電膜を積層する３層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【０１３８】

また、ゲート電極７０７に酸化インジウム、酸化インジウムスズ、酸化インジウム亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【０１３９】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極７０７を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【０１４０】

また、ゲート電極７０７は、導電膜を形成後、ＩＣＰ（Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ：誘導結合型プラズマ）エッチング法を用い、エッチング条件（コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等）を適宜調節することにより、所望のテーパー形状を有するようにエッチング

することができる。また、テーパー形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

【０１４１】

次に、図８（Ｄ）に示すように、ゲート電極７０７をマスクとして一導電性を付与する不純物元素を半導体層７０４に添加することで、ゲート電極７０７と重なるチャネル形成領域７１０と、チャネル形成領域７１０を間に挟む一対の不純物領域７０９とが、半導体層７０４に形成される。

【０１４２】

本実施の形態では、半導体層７０４にｐ型を付与する不純物元素（例えばボロン）を添加する場合を例に挙げる。

【０１４３】

次いで、図９（Ａ）に示すように、ゲート絶縁膜７０３、ゲート電極７０７を覆うように、絶縁膜７１２、絶縁膜７１３を形成する。具体的に、絶縁膜７１２、絶縁膜７１３は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜７１２、絶縁膜７１３に誘電率の低い（ｌｏｗ－ｋ）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜７１２、絶縁膜７１３に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

【０１４４】

本実施の形態では、絶縁膜７１２として酸化窒化珪素、絶縁膜７１３として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極７０７上に絶縁膜７１２、絶縁膜７１３を形成している場合を例示しているが、本発明はゲート電極７０７上に絶縁膜を１層だけ形成していても良いし、３層以上の複数の絶縁膜を積層するように形成していても良い。

【０１４５】

次いで、図９（Ｂ）に示すように、絶縁膜７１３にＣＭＰ（化学的機械研磨）処理やエッチング処理を行うことにより、絶縁膜７１３の上面を平坦化する。なお、後に形成されるトランジスタ１０１の特性を向上させるために、絶縁膜７１３の表面は可能な限り平坦にしておくことが好ましい。

【０１４６】

以上の工程により、トランジスタ１０３を形成することができる。

【０１４７】

次いで、トランジスタ１０１の作製方法について説明する。まず、図９（Ｃ）に示すように、絶縁膜７１３上に酸化物半導体層７１６を形成する。

【０１４８】

酸化物半導体層７１６は、絶縁膜７１３上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、２ｎｍ以上２００ｎｍ以下、好ましくは３ｎｍ以上５０ｎｍ以下、更に好ましくは３ｎｍ以上２０ｎｍ以下とする。酸化物半導体膜は、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【０１４９】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁膜７１３の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にＲＦ電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質す

る方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【０１５０】

用いる酸化物半導体としては、少なくともインジウム（Ｉｎ）あるいは亜鉛（Ｚｎ）を含むことが好ましい。特にＩｎとＺｎを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ｇａ）を有することが好ましい。また、スタビライザーとしてスズ（Ｓｎ）を有することが好ましい。また、スタビライザーとしてハフニウム（Ｈｆ）を有することが好ましい。また、スタビライザーとしてアルミニウム（Ａｌ）を有することが好ましい。

【０１５１】

また、他のスタビライザーとして、ランタノイドである、ランタン（Ｌａ）、セリウム（Ｃｅ）、プラセオジム（Ｐｒ）、ネオジム（Ｎｄ）、サマリウム（Ｓｍ）、ユウロピウム（Ｅｕ）、ガドリニウム（Ｇｄ）、テルビウム（Ｔｂ）、ジスプロシウム（Ｄｙ）、ホルミウム（Ｈｏ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、イッテルビウム（Ｙｂ）、ルテチウム（Ｌｕ）のいずれか一種あるいは複数種を有してもよい。

【０１５２】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物を用いることができる。また、上記酸化物半導体にＩｎとＧａとＳｎとＺｎ以外の元素、例えばSiO_2を含ませてもよい。

【０１５３】

なお、ここで、例えば、Ｉｎ－Ｇａ－Ｚｎ系酸化物とは、ＩｎとＧａとＺｎを主成分として有する酸化物という意味であり、ＩｎとＧａとＺｎの比率は問わない。また、ＩｎとＧａとＺｎ以外の金属元素が入っていてもよい。

【０１５４】

また、酸化物半導体として、$InMO_3(ZnO)_m$（ｍ＞０、且つ、ｍは整数でない）で表記される材料を用いてもよい。なお、Ｍは、Ｇａ、Ｆｅ、Ｍｎ及びＣｏから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、$In_3SnO_5(ZnO)_n$（ｎ＞０、且つ、ｎは整数）で表記される材料を用いてもよい。

【０１５５】

例えば、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１（＝１／３：１／３：１／３）あるいはＩｎ：Ｇａ：Ｚｎ＝２：２：１（＝２／５：２／５：１／５）の原子数比のＩｎ－Ｇａ－Ｚｎ系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１（＝１／３：１／３：１／３）、Ｉｎ：Ｓｎ：Ｚｎ＝２：１：３（＝１／３：１／６：１／２）あるいはＩｎ：Ｓｎ：Ｚｎ＝２：１：５（＝１／４：１／８：５／８）の原子数比のＩｎ－Ｓｎ－Ｚｎ系酸化物やその組成の近傍の酸化物を用いるとよい。

【０１５６】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【０１５７】

例えば、Ｉｎ－Ｓｎ－Ｚｎ系酸化物では比較的容易に高い移動度が得られる。しかしながら、Ｉｎ－Ｇａ－Ｚｎ系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【０１５８】

なお、例えば、Ｉｎ、Ｇａ、Ｚｎの原子数比がＩｎ：Ｇａ：Ｚｎ＝ａ：ｂ：ｃ（ａ＋ｂ＋ｃ＝１）である酸化物の組成が、原子数比がＩｎ：Ｇａ：Ｚｎ＝Ａ：Ｂ：Ｃ（Ａ＋Ｂ＋Ｃ＝１）の酸化物の組成の近傍であるとは、ａ、ｂ、ｃが、$(a-A)^2+(b-B)^2+(c-C)^2 \leqq r^2$を満たすことを言う。ｒとしては、例えば、０．０５とすればよい。他の酸化物でも同様である。

【０１５９】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【０１６０】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【０１６１】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ｒａ）が１ｎｍ以下、好ましくは０．３ｎｍ以下、より好ましくは０．１ｎｍ以下の表面上に形成するとよい。

【０１６２】

なお、Ｒａは、ＪＩＳ　Ｂ０６０１で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【０１６３】

【数１】

$$Ra = \frac{1}{S_0}\int_{y_1}^{y_2}\int_{x_1}^{x_2}|f(x,y)-Z_0|dxdy$$

【０１６４】

なお、上記において、S_0は、測定面（座標（x_1，y_1）（x_1，y_2）（x_2，y_1）（x_2，y_2）で表される４点によって囲まれる長方形の領域）の面積を指し、Z_0は測定面の平均高さを指す。Ｒａは原子間力顕微鏡（ＡＦＭ：Ａｔｏｍｉｃ　Ｆｏｒｃｅ　Ｍｉｃｒｏｓｃｏｐｅ）にて評価可能である。

【０１６５】

本実施の形態では、Ｉｎ（インジウム）、Ｇａ（ガリウム）、及びＺｎ（亜鉛）を含むターゲットを用いたスパッタ法により得られる膜厚３０ｎｍのＩｎ－Ｇａ－Ｚｎ系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、各金属の組成比がＩｎ：Ｇａ：Ｚｎ＝１：１：０．５、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、又はＩｎ：Ｇａ：Ｚｎ＝１：１：２であるターゲットを用いることができる。また、Ｉｎ、Ｇａ、及びＺｎを含むターゲットの充填率は９０％以上１００％以下、好ましくは９５％以上

１００％未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【０１６６】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を１００℃以上６００℃以下、好ましくは２００℃以上４００℃以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（H_2O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【０１６７】

成膜条件の一例としては、基板とターゲットの間との距離を１００ｍｍ、圧力０．６Ｐａ、直流（ＤＣ）電源０．５ｋＷ、酸素（酸素流量比率１００％）雰囲気下の条件が適用される。なお、パルス直流（ＤＣ）電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【０１６８】

また、スパッタリング装置の処理室のリークレートを1×10^{-10}Ｐａ・m^3／秒以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

【０１６９】

また、ターゲットの純度を、９９．９９％以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【０１７０】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜７１２及び絶縁膜７１３までが形成された基板７００を予備加熱し、基板７００に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、１００℃以上４００℃以下、好ましくは１５０℃以上３００℃以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜７２１の成膜前に、導電層７１９、導電層７２０まで形成した基板７００にも同様に行ってもよい。

【０１７１】

なお、酸化物半導体層７１６を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（Cl_2）、三塩化硼素（BCl_3）、四塩化珪素（$SiCl_4$）、四塩化炭素（CCl_4）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF_4）、六弗化硫黄（SF_6）、三弗化窒素（NF_3）、トリフルオロメタン（CHF_3）など）、臭化水素（ＨＢｒ）、酸素（O_2）、これらのガスにヘリウム（Ｈｅ）やアルゴン（Ａｒ）などの希ガスを添加したガス、などを用いることができる。

【０１７２】

ドライエッチング法としては、平行平板型ＲＩＥ（Ｒｅａｃｔｉｖｅ Ｉｏｎ Ｅｔｃｈｉｎｇ）法や、ＩＣＰ（Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【０１７３】

ウェットエッチングに用いるエッチング液として、燐酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ＩＴＯ－０７Ｎ（関東化学社製）を用いる。

【０１７４】

酸化物半導体層７１６を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【０１７５】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層７１６及び絶縁膜７１３の表面に付着しているレジスト残渣などを除去することが好ましい。

【０１７６】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体層７１６に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（ＣＲＤＳ（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が２０ｐｐｍ（露点換算で－５５℃）以下、好ましくは１ｐｐｍ以下、好ましくは１０ｐｐｂ以下の空気）雰囲気下で、加熱処理を施す。

【０１７７】

酸化物半導体層７１６に加熱処理を施すことで、酸化物半導体層７１６中の水分又は水素を脱離させることができる。具体的には、２５０℃以上７５０℃以下、好ましくは４００℃以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、５００℃、３分間以上６分間以下程度で行えばよい。加熱処理にＲＴＡ法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【０１７８】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【０１７９】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、ＧＲＴＡ（Ｇａｓ Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置、ＬＲＴＡ（Ｌａｍｐ Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置等のＲＴＡ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置を用いることができる。ＬＲＴＡ装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。ＧＲＴＡ装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【０１８０】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは７Ｎ（９９．９９９９９％）以上、（即ち不純物濃度を１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とすることが好ましい。

【０１８１】
なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、２００９年９月号、Ｖｏｌ．４４、ｐｐ．６２１－６３３．）。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちＮａは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa^{+}となる。また、Ｎａは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が$1\times10^{18}/cm^{3}$以下、より好ましくは$1\times10^{17}/cm^{3}$以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるＮａ濃度の測定値は、$5\times10^{16}/cm^{3}$以下、好ましくは$1\times10^{16}/cm^{3}$以下、更に好ましくは$1\times10^{15}/cm^{3}$以下とするとよい。同様に、Ｌｉ濃度の測定値は、$5\times10^{15}/cm^{3}$以下、好ましくは$1\times10^{15}/cm^{3}$以下とするとよい。同様に、Ｋ濃度の測定値は、$5\times10^{15}/cm^{3}$以下、好ましくは$1\times10^{15}/cm^{3}$以下とするとよい。

【０１８２】
以上の工程により、酸化物半導体層７１６中の水素の濃度を低減することができる。それにより酸化物半導体層の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体層を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減された酸化物半導体層を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体層の成膜以降であれば、いつでも行うことができる。

【０１８３】
なお、酸化物半導体層は非晶質であっても良いが、結晶性を有していても良い。結晶性を有する酸化物半導体層は、例えば、ＣＡＡＣ－ＯＳ（Ｃ Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜を用いて形成することができる。

【０１８４】
ＣＡＡＣ－ＯＳ膜は、完全な単結晶ではなく、完全な非晶質でもない。ＣＡＡＣ－ＯＳ膜は、非晶質相に結晶部および非晶質部を有する結晶－非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ Ｅｌｅｃｔｒｏｎ Ｍｉｃｒｏｓｃｏｐｅ）による観察像では、ＣＡＡＣ－ＯＳ膜に含まれる非晶質部と結晶部との境界は明確ではない。また、ＴＥＭによってＣＡＡＣ－ＯＳ膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、ＣＡＡＣ－ＯＳ膜は、粒界に起因する電子移動度の低下が抑制される。

【０１８５】
ＣＡＡＣ－ＯＳ膜に含まれる結晶部は、ｃ軸がＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつａｂ面に垂直な方向から見て三角形状または六角形状の原子配列を有し、ｃ軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれａ軸およびｂ軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、８５°以上９５°以下の範囲も含まれることとする。また、単に平行と記載する場合、－

５°以上５°以下の範囲も含まれることとする。

【０１８６】

なお、ＣＡＡＣ－ＯＳ膜において、結晶部の分布が一様でなくてもよい。例えば、ＣＡＡＣ－ＯＳ膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、ＣＡＡＣ－ＯＳ膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【０１８７】

ＣＡＡＣ－ＯＳ膜に含まれる結晶部のｃ軸は、ＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、ＣＡＡＣ－ＯＳ膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のｃ軸の方向は、ＣＡＡＣ－ＯＳ膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【０１８８】

ＣＡＡＣ－ＯＳ膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【０１８９】

ＣＡＡＣ－ＯＳ膜を構成する酸素の一部は窒素で置換されてもよい。

【０１９０】

ＣＡＡＣ－ＯＳ膜は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【０１９１】

このようなＣＡＡＣ－ＯＳ膜の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

【０１９２】

ＣＡＡＣ－ＯＳ膜に含まれる結晶構造の一例について図１６乃至図１８を用いて詳細に説明する。なお、特に断りがない限り、図１６乃至図１８は上方向をｃ軸方向とし、ｃ軸方向と直交する面をａｂ面とする。なお、単に上半分、下半分という場合、ａｂ面を境にした場合の上半分、下半分をいう。また、図１６において、丸で囲まれたＯは４配位のＯを示し、二重丸で囲まれたＯは３配位のＯを示す。

【０１９３】

図１６（Ａ）に、１個の６配位のＩｎと、Ｉｎに近接の６個の４配位の酸素原子（以下４配位のＯ）と、を有する構造を示す。ここでは、金属原子が１個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図１６（Ａ）の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図１６（Ａ）の上半分および下半分にはそれぞれ３個ずつ４配位のＯがある。図１６（Ａ）に示す小グループは電荷が０である。

【０１９４】

図１６（Ｂ）に、１個の５配位のＧａと、Ｇａに近接の３個の３配位の酸素原子（以下３配位のＯ）と、Ｇａに近接の２個の４配位のＯと、を有する構造を示す。３配位のＯは、いずれもａｂ面に存在する。図１６（Ｂ）の上半分および下半分にはそれぞれ１個ずつ４配位のＯがある。また、Ｉｎも５配位をとるため、図１６（Ｂ）に示す構造をとりうる。図１６（Ｂ）に示す小グループは電荷が０である。

【０１９５】

図１６（Ｃ）に、１個の４配位のＺｎと、Ｚｎに近接の４個の４配位のＯと、を有する構造を示す。図１６（Ｃ）の上半分には１個の４配位のＯがあり、下半分には３個の４配位のＯがある。図１６（Ｃ）に示す小グループは電荷が０である。

【０１９６】
図１６（Ｄ）に、１個の６配位のＳｎと、Ｓｎに近接の６個の４配位のＯと、を有する構造を示す。図１６（Ｄ）の上半分には３個の４配位のＯがあり、下半分には３個の４配位のＯがある。図１６（Ｄ）に示す小グループは電荷が＋１となる。
【０１９７】
図１６（Ｅ）に、２個のＺｎを含む小グループを示す。図１６（Ｅ）の上半分には１個の４配位のＯがあり、下半分には１個の４配位のＯがある。図１６（Ｅ）に示す小グループは電荷が－１となる。
【０１９８】
ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。
【０１９９】
ここで、これらの小グループ同士が結合する規則について説明する。図１６（Ａ）に示す６配位のＩｎの上半分の３個のＯは、下方向にそれぞれ３個の近接Ｉｎを有し、下半分の３個のＯは、上方向にそれぞれ３個の近接Ｉｎを有する。図１６（Ｂ）に示す５配位のＧａの上半分の１個のＯは下方向に１個の近接Ｇａを有し、下半分の１個のＯは上方向に１個の近接Ｇａを有する。図１６（Ｃ）に示す４配位のＺｎの上半分の１個のＯは下方向に１個の近接Ｚｎを有し、下半分の３個のＯは上方向にそれぞれ３個の近接Ｚｎを有する。この様に、金属原子の上方向の４配位のＯの数と、そのＯの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の４配位のＯの数と、そのＯの上方向にある近接金属原子の数は等しい。Ｏは４配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は４になる。従って、金属原子の上方向にある４配位のＯの数と、別の金属原子の下方向にある４配位のＯの数との和が４個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、６配位の金属原子（ＩｎまたはＳｎ）が下半分の４配位のＯを介して結合する場合、４配位のＯが３個であるため、５配位の金属原子（ＧａまたはＩｎ）または４配位の金属原子（Ｚｎ）のいずれかと結合することになる。
【０２００】
これらの配位数を有する金属原子は、ｃ軸方向において、４配位のＯを介して結合する。また、このほかにも、層構造の合計の電荷が０となるように複数の小グループが結合して中グループを構成する。
【０２０１】
図１７（Ａ）に、Ｉｎ－Ｓｎ－Ｚｎ系の酸化物の層構造を構成する中グループのモデル図を示す。図１７（Ｂ）に、３つの中グループで構成される大グループを示す。なお、図１７（Ｃ）は、図１７（Ｂ）の層構造をｃ軸方向から観察した場合の原子配列を示す。
【０２０２】
図１７（Ａ）においては、簡単のため、３配位のＯは省略し、４配位のＯは個数のみ示し、例えば、Ｓｎの上半分および下半分にはそれぞれ３個ずつ４配位のＯがあることを丸枠の３として示している。同様に、図１７（Ａ）において、Ｉｎの上半分および下半分にはそれぞれ１個ずつ４配位のＯがあり、丸枠の１として示している。また、同様に、図１７（Ａ）において、下半分には１個の４配位のＯがあり、上半分には３個の４配位のＯがあるＺｎと、上半分には１個の４配位のＯがあり、下半分には３個の４配位のＯがあるＺｎとを示している。
【０２０３】
図１７（Ａ）において、Ｉｎ－Ｓｎ－Ｚｎ系の酸化物の層構造を構成する中グループは、上から順に４配位のＯが３個ずつ上半分および下半分にあるＳｎが、４配位のＯが１個ずつ上半分および下半分にあるＩｎと結合し、そのＩｎが、上半分に３個の４配位のＯがあるＺｎと結合し、そのＺｎの下半分の１個の４配位のＯを介して４配位のＯが３個ずつ上半分および下半分にあるＩｎと結合し、そのＩｎが、上半分に１個の４配位のＯがあるＺｎ２個からなる小グループと結合し、この小グループの下半分の１個の４配位のＯを介

して４配位のＯが３個ずつ上半分および下半分にあるＳｎと結合している構成である。この中グループが複数結合して大グループを構成する。

【０２０４】

ここで、３配位のＯおよび４配位のＯの場合、結合１本当たりの電荷はそれぞれ－０．６６７、－０．５と考えることができる。例えば、Ｉｎ（６配位または５配位）、Ｚｎ（４配位）、Ｓｎ（５配位または６配位）の電荷は、それぞれ＋３、＋２、＋４である。従って、Ｓｎを含む小グループは電荷が＋１となる。そのため、Ｓｎを含む層構造を形成するためには、電荷＋１を打ち消す電荷－１が必要となる。電荷－１をとる構造として、図１６（Ｅ）に示すように、２個のＺｎを含む小グループが挙げられる。例えば、Ｓｎを含む小グループが１個に対し、２個のＺｎを含む小グループが１個あれば、電荷が打ち消されるため、層構造の合計の電荷を０とすることができる。

【０２０５】

具体的には、図１７（Ｂ）に示した大グループが繰り返されることで、Ｉｎ－Ｓｎ－Ｚｎ系の酸化物の結晶（$In_2SnZn_3O_8$）を得ることができる。なお、得られるＩｎ－Ｓｎ－Ｚｎ－Ｏ系の層構造は、$In_2SnZn_2O_7(ZnO)_m$（ｍは０または自然数。）とする組成式で表すことができる。

【０２０６】

また、このほかにも、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物や、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する。）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物や、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物や、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物や、Ｉｎ－Ｇａ系酸化物、一元系金属の酸化物であるＩｎ系酸化物、Ｓｎ系酸化物、Ｚｎ系酸化物などを用いた場合も同様である。

【０２０７】

例えば、図１８（Ａ）に、Ｉｎ－Ｇａ－Ｚｎ系の酸化物の層構造を構成する中グループのモデル図を示す。

【０２０８】

図１８（Ａ）において、Ｉｎ－Ｇａ－Ｚｎ系の酸化物の層構造を構成する中グループは、上から順に４配位のＯが３個ずつ上半分および下半分にあるＩｎが、４配位のＯが１個上半分にあるＺｎと結合し、そのＺｎの下半分の３個の４配位のＯを介して、４配位のＯが１個ずつ上半分および下半分にあるＧａと結合し、そのＧａの下半分の１個の４配位のＯを介して、４配位のＯが３個ずつ上半分および下半分にあるＩｎと結合している構成である。この中グループが複数結合して大グループを構成する。

【０２０９】

図１８（Ｂ）に３つの中グループで構成される大グループを示す。なお、図１８（Ｃ）は、図１８（Ｂ）の層構造をｃ軸方向から観察した場合の原子配列を示している。

【０２１０】

ここで、Ｉｎ（６配位または５配位）、Ｚｎ（４配位）、Ｇａ（５配位）の電荷は、それぞれ＋３、＋２、＋３であるため、Ｉｎ、ＺｎおよびＧａのいずれかを含む小グループは、電荷が０となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に０となる。

【０２１１】

また、Ｉｎ－Ｇａ－Ｚｎ系の酸化物の層構造を構成する中グループは、図１８（Ａ）に示した中グループに限定されず、Ｉｎ、Ｇａ、Ｚｎの配列が異なる中グループを組み合わ

せた大グループも取りうる。

【０２１２】

ＣＡＡＣ－ＯＳ膜は、非晶質の酸化物半導体膜と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体が非晶質の場合は、個々の金属原子によって金属原子に配位している酸素原子の数が異なることも有り得るが、ＣＡＡＣ－ＯＳ膜では金属原子に配位している酸素原子の数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子（水素イオンを含む）やアルカリ金属原子の脱着による電荷の移動や不安定性を減少させる効果がある。

【０２１３】

従って、ＣＡＡＣ－ＯＳ膜で構成された酸化物半導体膜を用いてトランジスタを作製することで、トランジスタへの光照射またはバイアス－熱ストレス（ＢＴ）の付加を行った後に生じる、トランジスタのしきい値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

【０２１４】

次いで、図１０（Ａ）に示すように、酸化物半導体層７１６と接する導電層７１９と、酸化物半導体層７１６と接する導電層７２０とを形成する。導電層７１９及び導電層７２０は、ソース電極又はドレイン電極として機能する。

【０２１５】

具体的に、導電層７１９及び導電層７２０は、スパッタ法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。

【０２１６】

導電層７１９及び導電層７２０となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

【０２１７】

また、導電層７１９及び導電層７２０となる導電膜は、単層構造でも、２層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する２層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する３層構造などが挙げられる。また、Ｃｕ－Ｍｇ－Ａｌ合金、Ｍｏ－Ｔｉ合金、Ｔｉ、Ｍｏ、は、酸化膜との密着性が高い。よって、下層にＣｕ－Ｍｇ－Ａｌ合金、Ｍｏ－Ｔｉ合金、Ｔｉ、或いはＭｏで構成される導電膜、上層にＣｕで構成される導電膜を積層し、上記積層された導電膜を導電層７１９及び導電層７２０に用いることで、酸化膜である絶縁膜と、導電層７１９及び導電層７２０との密着性を高めることができる。

【０２１８】

また、導電層７１９及び導電層７２０となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウムスズ、酸化インジウム亜鉛又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【０２１９】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【０２２０】

なお、導電膜のエッチングの際に、酸化物半導体層７１６がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化

物半導体層７１６の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【０２２１】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができる。具体的には、３１重量％の過酸化水素水と、２８重量％のアンモニア水と水とを、体積比５：２：２で混合したアンモニア過水を用いる。或いは、塩素（Cl_2）、塩化硼素（BCl_3）などを含むガスを用いて、導電膜をドライエッチングしても良い。

【０２２２】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【０２２３】

また、酸化物半導体層７１６と、ソース電極又はドレイン電極として機能する導電層７１９及び導電層７２０との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【０２２４】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのエッチング加工と、導電層７１９及び導電層７２０を形成するためのエッチング加工とを一括で行うようにしても良い。

【０２２５】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体層７１６と導電層７１９及び導電層７２０の間の抵抗を下げることができるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

【０２２６】

次いで、N_2O、N_2、又はＡｒなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体層の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【０２２７】

なお、プラズマ処理を行った後、図１０（Ｂ）に示すように、導電層７１９及び導電層７２０と、酸化物半導体層７１６とを覆うように、ゲート絶縁膜７２１を形成する。そして、ゲート絶縁膜７２１上において、酸化物半導体層７１６と重なる位置にゲート電極７２２を形成する。

【０２２８】

そして、ゲート電極７２２が形成された後にゲート電極７２２をマスクとして酸化物半導体層７１６にｎ型の導電性を付与するドーパントを添加し、一対の高濃度領域９０８を形成する。なお、酸化物半導体層７１６のうち、ゲート絶縁膜７２１を間に挟んでゲート電極７２２と重なる領域がチャネル形成領域となる。酸化物半導体層７１６では、一対の高濃度領域９０８の間にチャネル形成領域が設けられている。一対の高濃度領域９０８を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモン

などの５族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、高濃度領域９０８中の窒素原子の濃度は、５×１０^{19}／ｃｍ^{3}以上１×１０^{22}／ｃｍ^{3}以下であることが望ましい。ｎ型の導電性を付与するドーパントが添加されている高濃度領域９０８は、酸化物半導体層７１６中の他の領域に比べて導電性が高くなる。よって、一対の高濃度領域９０８を酸化物半導体層７１６に設けることで、ソース電極とドレイン電極（導電層７１９と導電層７２０）の間の抵抗を下げることができる。

【０２２９】

そして、ソース電極とドレイン電極（導電層７１９と導電層７２０）の間の抵抗を下げることで、トランジスタ１０１の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ１０１の微細化により、当該トランジスタを用いたメモリセルアレイの占める面積を縮小化し、メモリセルアレイにおいて単位面積あたりの記憶容量を高めることができる。

【０２３０】

また、Ｉｎ－Ｇａ－Ｚｎ系酸化物半導体を酸化物半導体層７１６に用いた場合、窒素を添加した後、３００℃以上６００℃以下で１時間程度加熱処理を施すことにより、一対の高濃度領域９０８中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。一対の高濃度領域９０８中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに一対の高濃度領域９０８の導電性を高め、ソース電極とドレイン電極（導電層７１９と導電層７２０）の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極とドレイン電極（導電層７１９と導電層７２０）の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域９０８中の窒素原子の濃度を、１×１０^{20}／ｃｍ^{3}以上７ａｔｏｍｓ％以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【０２３１】

ゲート絶縁膜７２１は、ゲート絶縁膜７０３と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜７２１は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜７２１に水素が含まれると、その水素が酸化物半導体層７１６へ侵入し、又は水素が酸化物半導体層７１６中の酸素を引き抜き、酸化物半導体層７１６が低抵抗化（ｎ型化）してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜７２１はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜７２１には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体層７１６に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電層７１９及び導電層７２０及び酸化物半導体層７１６と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体層７１６内、ゲート絶縁膜７２１内、或いは、酸化物半導体層７１６と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体層７１６に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体層７１６に接するのを防ぐことができる。

【０２３２】

本実施の形態では、スパッタ法で形成された膜厚２００ｎｍの酸化珪素膜上に、スパッタ法で形成された膜厚１００ｎｍの窒化珪素膜を積層させた構造を有する、ゲート絶縁膜７２１を形成する。成膜時の基板温度は、室温以上３００℃以下とすればよく、本実施の形態では１００℃とする。

【０２３３】

なお、ゲート絶縁膜７２１を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは２００℃以上４００℃以下、例えば２５０℃以上３５０℃以下で行う。上記ガスは、水の含有量が２０ｐｐｍ以下、好ましくは１ｐｐｍ以下、より好ましくは１０ｐｐｂ以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で２５０℃、１時間の加熱処理を行う。或いは、導電層７１９及び導電層７２０を形成する前に、水分又は水素を低減させるための酸化物半導体層に対して行った先の加熱処理と同様に、高温短時間のＲＴＡ処理を行っても良い。酸素を含むゲート絶縁膜７２１が設けられた後に、加熱処理が施されることによって、酸化物半導体層７１６に対して行った先の加熱処理により、酸化物半導体層７１６に酸素欠損が発生していたとしても、ゲート絶縁膜７２１から酸化物半導体層７１６に酸素が供与される。そして、酸化物半導体層７１６に酸素が供与されることで、酸化物半導体層７１６において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。酸化物半導体層７１６には、化学量論組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体層７１６をｉ型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜７２１の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体層７１６をｉ型に近づけることができる。

【０２３４】

また、酸素雰囲気下で酸化物半導体層７１６に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体層７１６中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば１００℃以上３５０℃未満、好ましくは１５０℃以上２５０℃未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは７Ｎ（９９．９９９９９％）以上、（即ち酸素中の不純物濃度を１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とすることが好ましい。

【０２３５】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体層７１６に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、２．４５ＧＨｚのマイクロ波でプラズマ化した酸素を酸化物半導体層７１６に添加すれば良い。

【０２３６】

また、ゲート電極７２２は、ゲート絶縁膜７２１上に導電膜を形成した後、該導電膜をエッチング加工することで形成することができる。ゲート電極７２２は、ゲート電極７０７、或いは導電層７１９及び導電層７２０と同様の材料を用いて形成することが可能である。

【０２３７】

ゲート電極７２２の膜厚は、１０ｎｍ～４００ｎｍ、好ましくは１００ｎｍ～２００ｎｍとする。本実施の形態では、タングステンターゲットを用いたスパッタ法により１５０ｎｍのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工することで、ゲート電極７２２を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【０２３８】

以上の工程により、トランジスタ１０１が形成される。

【０２３９】

トランジスタ１０１は、ソース電極及びドレイン電極（導電層７１９及び導電層７２０）と、ゲート電極７２２とが重なっていない。すなわち、ソース電極及びドレイン電極（導電層７１９及び導電層７２０）とゲート電極７２２との間には、ゲート絶縁膜７２１の膜厚よりも大きい間隔が設けられている。よって、トランジスタ１０１は、ソース電極及

びドレイン電極とゲート電極との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【０２４０】

なお、トランジスタ１０１として、チャネルが酸化物半導体層に形成されるトランジスタに限定されず、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むトランジスタを用いることもできる。このような半導体材料としては、酸化物半導体の他に、例えば、炭化シリコン、窒化ガリウムなどが挙げられる。このような半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。

【０２４１】

また、トランジスタ１０１はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電気的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【０２４２】

なお、酸化物半導体層７１６に接する絶縁膜（本実施の形態においては、ゲート絶縁膜７２１が該当する。）は、第１３族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第１３族元素を含むものが多く、第１３族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【０２４３】

第１３族元素を含む絶縁材料とは、絶縁材料に一又は複数の第１３族元素を含むことを意味する。第１３族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上のものを示す。

【０２４４】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

【０２４５】

また、酸化物半導体層７１６に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

【０２４６】

例えば、酸化物半導体層７１６に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成をGa_2O_X（$X=3+\alpha$、$0<\alpha<1$）とすることができる。

【０２４７】

また、酸化物半導体層７１６に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成をＡ

l_2O_X（X＝3＋α、0＜α＜1）とすることができる。

【0248】

また、酸化物半導体層716に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を$Ga_XAl_{2-X}O_{3+\alpha}$（0＜X＜2、0＜α＜1）とすることができる。

【0249】

酸素ドープ処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体層が接することにより、絶縁膜中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、又は酸化物半導体層と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体層をi型化又はi型に限りなく近くすることができる。

【0250】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体層716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体層716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体層716を挟む構成とすることで、上記効果をより高めることができる。

【0251】

また、酸化物半導体層716の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成がGa_2O_X（X＝3＋α、0＜α＜1）の酸化ガリウムとしても良いし、上層と下層の一方を組成がGa_2O_X（X＝3＋α、0＜α＜1）の酸化ガリウムとし、他方を組成がAl_2O_X（X＝3＋α、0＜α＜1）の酸化アルミニウムとしても良い。

【0252】

また、酸化物半導体層716に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体層716の上層に組成がGa_2O_X（X＝3＋α、0＜α＜1）の酸化ガリウムを形成し、その上に組成が$Ga_XAl_{2-X}O_{3+\alpha}$（0＜X＜2、0＜α＜1）の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、酸化物半導体層716の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体層716の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

【0253】

次に、図10（C）に示すように、ゲート絶縁膜721、ゲート電極722を覆うように、絶縁膜724を形成する。絶縁膜724は、PVD法やCVD法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜724には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁膜724の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜724を単層構造としているが、本発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

【0254】

次に、ゲート絶縁膜721、絶縁膜724に開口部を形成し、導電層720の一部を露出させる。その後、絶縁膜724上に、上記開口部において導電層720と接する配線726を形成する。

【0255】

配線７２６は、ＰＶＤ法や、ＣＶＤ法を用いて導電膜を形成した後、当該導電膜をエッチング加工することによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、又はこれらを複数組み合わせた材料を用いてもよい。

【０２５６】

より具体的には、例えば、絶縁膜７２４の開口を含む領域にＰＶＤ法によりチタン膜を薄く形成し、ＰＶＤ法によりチタン膜を薄く（５ｎｍ程度）形成した後に、開口部に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、ＰＶＤ法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは導電層７２０）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【０２５７】

次に、図１０（Ｄ）に示すように、配線７２６を覆うように絶縁膜７２７を形成する。更に絶縁膜７２７上に導電膜を形成し、当該導電膜をエッチング加工することによって導電層７３０１を形成する。その後、導電層７３０１を覆うように絶縁膜７３０２を形成し、絶縁膜７３０２上に導電膜７３０３を形成する。こうして容量素子１０２を形成することができる。容量素子１０２の一対の電極のうちの一方が導電層７３０１に対応し、容量素子１０２の一対の電極のうちの他方が導電膜７３０３に対応し、容量素子１０２の誘電体層が絶縁膜７３０２に対応する。ここで、絶縁膜７２７、導電層７３０１、絶縁膜７３０２、導電膜７３０３の材料は、その他絶縁膜や導電層と同様の材料を用いることができる。

【０２５８】

上述した一連の工程により、信号処理回路２０００を作製することができる。

【０２５９】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０２６０】

（実施の形態５）

本実施の形態では、実施の形態４とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。なお、図１０と同じ部分は同じ符号と用いて示し、説明は省略する。

【０２６１】

図１１（Ａ）に示すトランジスタ９１１は、ゲート電極７２２が酸化物半導体層７１６の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極（導電層７１９及び導電層７２０）が酸化物半導体層７１６の下に形成されているボトムコンタクト型である。

【０２６２】

また、酸化物半導体層７１６は、ゲート電極７２２が形成された後に酸化物半導体層７１６にｎ型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域９１８を有する。また、酸化物半導体層７１６のうち、ゲート絶縁膜７２１を間に挟んでゲート電極７２２と重なる領域がチャネル形成領域９１９である。酸化物半導体層７１６では、一対の高濃度領域９１８の間にチャネル形成領域９１９が設けられている。

【０２６３】

一対の高濃度領域９１８は、実施の形態４において説明した一対の高濃度領域９０８と同様に形成することができる。

【０２６４】

図１１（Ｂ）に示すトランジスタ９１１は、ゲート電極７２２が酸化物半導体層７１６の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極（

導電層７１９及び導電層７２０）が酸化物半導体層７１６の上に形成されているトップコンタクト型である。そして、ゲート電極７２２の側部に設けられた、絶縁膜で形成されたサイドウォール９３０を有する。

【０２６５】

また、酸化物半導体層７１６は、ゲート電極７２２が形成された後に酸化物半導体層７１６にｎ型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域９２８と、一対の低濃度領域９２９とを有する。また、酸化物半導体層７１６のうち、ゲート絶縁膜７２１を間に挟んでゲート電極７２２と重なる領域がチャネル形成領域９３１である。酸化物半導体層７１６では、一対の高濃度領域９２８の間に一対の低濃度領域９２９が設けられ、一対の低濃度領域９２９の間にチャネル形成領域９３１が設けられている。そして、一対の低濃度領域９２９は、酸化物半導体層７１６中の、ゲート絶縁膜７２１を間に挟んでサイドウォール９３０と重なる領域に設けられている。

【０２６６】

一対の高濃度領域９２８及び一対の低濃度領域９２９は、実施の形態４において説明した一対の高濃度領域９０８と同様に形成することができる。

【０２６７】

図１１（Ｃ）に示すトランジスタ９１１は、ゲート電極７２２が酸化物半導体層７１６の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極（導電層７１９及び導電層７２０）が酸化物半導体層７１６の下に形成されているボトムコンタクト型である。そして、ゲート電極７２２の側部に設けられた、絶縁膜で形成されたサイドウォール９５０を有する。

【０２６８】

また、酸化物半導体層７１６は、ゲート電極７２２が形成された後に酸化物半導体層７１６にｎ型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域９４８と、一対の低濃度領域９４９とを有する。また、酸化物半導体層７１６のうち、ゲート絶縁膜７２１を間に挟んでゲート電極７２２と重なる領域がチャネル形成領域９５１である。酸化物半導体層７１６では、一対の高濃度領域９４８の間に一対の低濃度領域９４９が設けられ、一対の低濃度領域９４９の間にチャネル形成領域９５１が設けられている。そして、一対の低濃度領域９４９は、酸化物半導体層７１６中の、ゲート絶縁膜７２１を間に挟んでサイドウォール９５０と重なる領域に設けられている。

【０２６９】

一対の高濃度領域９４８及び一対の低濃度領域９４９は、実施の形態４において説明した一対の高濃度領域９０８と同様に形成することができる。

【０２７０】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている（Ｓ．Ｊｅｏｎ ｅｔ ａｌ．”１８０ｎｍ Ｇａｔｅ Ｌｅｎｇｔｈ Ａｍｏｒｐｈｏｕｓ ＩｎＧａＺｎＯ Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ ｆｏｒ Ｈｉｇｈ Ｄｅｎｓｉｔｙ Ｉｍａｇｅ Ｓｅｎｓｏｒ Ａｐｐｌｉｃａｔｉｏｎｓ”, ＩＥＤＭ Ｔｅｃｈ. Ｄｉｇ., ｐ.５０４－５０７, ２０１０.）。

【０２７１】

しかしながら、上記作製方法では、ゲート絶縁膜を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜を部分的に除去する必要がある。よって、ゲート絶縁膜が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまう。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【０２７２】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

【０２７３】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を２００ｎｍ以下とする場合には、短チャネル効果を防止する上で、チャネル形成領域となる部分の酸化物半導体層の厚さは２０ｎｍ以下、好ましくは１０ｎｍ以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【０２７４】

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁膜を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

【０２７５】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０２７６】

（実施の形態６）

本実施の形態では、実施の形態４や実施の形態５とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。なお、図１０と同じ部分は同じ符号と用いて示し、説明は省略する。本実施の形態において示すトランジスタ１０１は、ゲート電極７２２が導電層７１９及び導電層７２０と重なる様に設けられている。また、実施の形態４や実施の形態５に示したトランジスタ１０１とは異なり、酸化物半導体層７１６に対して、ゲート電極７２２をマスクとした導電型を付与する不純物元素の添加が行われていない点が異なる。

【０２７７】

図１２（Ａ）に示すトランジスタ１０１は、導電層７１９及び導電層７２０の下方に酸化物半導体層７１６が設けられる例であり、図１２（Ｂ）に示すトランジスタ１０１は、導電層７１９及び導電層７２０の上方に酸化物半導体層７１６が設けられる例である。なお、図１２（Ａ）及び図１２（Ｂ）において、絶縁膜７２４の上面が平坦化されていない構成を示したがこれに限定されない。絶縁膜７２４の上面が平坦化されていてもよい。

【０２７８】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０２７９】

（実施の形態７）

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Ｌｅｖｉｎｓｏｎモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。

【０２８０】

半導体本来の移動度をμ_0、測定される電界効果移動度をμとし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、以下の式で表現できる。

【０２８１】

【数２】

$$\mu = \mu_0 \exp(-\frac{E}{kT})$$

【０２８２】

ここで、Ｅはポテンシャル障壁の高さであり、ｋがボルツマン定数、Ｔは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Ｌｅｖｉｎｓｏｎモデルでは、以下の式で表される。

【０２８３】

【数３】

$$E = \frac{e^2N^2}{8\varepsilon n} = \frac{e^3N^2t}{8\varepsilon C_{ox}V_g}$$

【０２８４】

ここで、ｅは電気素量、Ｎはチャネル内の単位面積当たりの平均欠陥密度、εは半導体の誘電率、ｎは単位面積当たりのチャネルに含まれるキャリア数、C_{ox}は単位面積当たりの容量、V_gはゲート電圧、ｔはチャネルの厚さである。なお、厚さ３０ｎｍ以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレイン電流I_dは、以下の式となる。

【０２８５】

【数４】

$$I_d = \frac{W\mu V_gV_dC_{ox}}{L}\exp(-\frac{E}{kT})$$

【０２８６】

ここで、Ｌはチャネル長、Ｗはチャネル幅であり、ここでは、Ｌ＝Ｗ＝１０μｍである。また、V_dはドレイン電圧である。上式の両辺をV_gで割り、更に両辺の対数を取ると、以下のようになる。

【０２８７】

【数５】

$$\ln(\frac{I_d}{V_g}) = \ln\left(\frac{W\mu V_dC_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_dC_{ox}}{L}\right) - \frac{e^3N^2t}{8kT\varepsilon C_{ox}V_g}$$

【０２８８】

数５の右辺はV_gの関数である。この式からわかるように、縦軸をｌｎ（I_d／V_g）、横軸を１／V_gとして実測値をプロットして得られるグラフの直線の傾きから欠陥密度Ｎが求められる。すなわち、トランジスタのI_d－V_g特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム（Ｉｎ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）の比率が、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１のものでは欠陥密度Ｎは1×10^{12}／cm^2程度である。

【０２８９】

このようにして求めた欠陥密度等をもとに数２および数３よりμ$_0$＝１２０cm^2／Ｖｓが導出される。欠陥のあるＩｎ－Ｓｎ－Ｚｎ系の酸化物で測定される移動度は４０cm^2／Ｖｓ程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度μ$_0$は１２０cm^2／Ｖｓとなると予想できる。

【０２９０】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面からｘだけ離れた場所における移動度μ$_1$は、以下の式で表される。

【０２９１】

【数６】

$$\frac{1}{\mu_1}=\frac{1}{\mu_0}+\frac{D}{B}\exp\left(-\frac{x}{G}\right)$$

【０２９２】

ここで、Ｄはゲート方向の電界、Ｂ、Ｇは定数である。ＢおよびＧは、実際の測定結果より求めることができ、上記の測定結果からは、Ｂ＝４．７５×１０^{7}ｃｍ／ｓ、Ｇ＝１０ｎｍ（界面散乱が及ぶ深さ）である。Ｄが増加する（すなわち、ゲート電圧が高くなる）と数６の第２項が増加するため、移動度μ$_{1}$は低下することがわかる。

【０２９３】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度μ$_{2}$を計算した結果を図１９に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Ｓｅｎｔａｕｒｕｓ　Ｄｅｖｉｃｅを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、２．８電子ボルト、４．７電子ボルト、１５、１５ｎｍとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【０２９４】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、５．５電子ボルト、４．６電子ボルト、４．６電子ボルトとした。また、ゲート絶縁膜の厚さは１００ｎｍ、比誘電率は４．１とした。チャネル長およびチャネル幅はともに１０μｍ、ドレイン電圧Ｖ$_{d}$は０．１Ｖである。

【０２９５】

図１９で示されるように、ゲート電圧１Ｖ強で移動度１００ｃｍ^{2}／Ｖｓ以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｆｌａｔｎｅｓｓ）が望ましい。

【０２９６】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図２０乃至図２２に示す。なお、計算に用いたトランジスタの断面構造を図２３に示す。図２３に示すトランジスタは酸化物半導体層にｎ$^{+}$の導電型を呈する半導体領域８０３ａおよび半導体領域８０３ｃを有する。半導体領域８０３ａおよび半導体領域８０３ｃの抵抗率は２×１０$^{-3}$Ωｃｍとする。

【０２９７】

図２３（Ａ）に示すトランジスタは、下地絶縁層８０１と、下地絶縁層８０１に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物８０２の上に形成される。トランジスタは半導体領域８０３ａ、半導体領域８０３ｃと、それらに挟まれ、チャネル形成領域となる真性の半導体領域８０３ｂと、ゲート８０５を有する。ゲート８０５の幅を３３ｎｍとする。

【０２９８】

ゲート８０５と半導体領域８０３ｂの間には、ゲート絶縁膜８０４を有し、また、ゲート８０５の両側面には側壁絶縁物８０６ａおよび側壁絶縁物８０６ｂ、ゲート８０５の上部には、ゲート８０５と他の配線との短絡を防止するための絶縁物８０７を有する。側壁絶縁物の幅は５ｎｍとする。また、半導体領域８０３ａおよび半導体領域８０３ｃに接して、ソース８０８ａおよびドレイン８０８ｂを有する。なお、このトランジスタにおけるチャネル幅を４０ｎｍとする。

【０２９９】

図２３（Ｂ）に示すトランジスタは、下地絶縁層８０１と、酸化アルミニウムよりなる埋め込み絶縁物８０２の上に形成され、半導体領域８０３ａ、半導体領域８０３ｃと、それらに挟まれた真性の半導体領域８０３ｂと、幅３３ｎｍのゲート８０５とゲート絶縁膜

８０４と側壁絶縁物８０６ａおよび側壁絶縁物８０６ｂと絶縁物８０７とソース８０８ａおよびドレイン８０８ｂを有する点で図２３（Ａ）に示すトランジスタと同じである。

【０３００】

図２３（Ａ）に示すトランジスタと図２３（Ｂ）に示すトランジスタの相違点は、側壁絶縁物８０６ａおよび側壁絶縁物８０６ｂの下の半導体領域の導電型である。図２３（Ａ）に示すトランジスタでは、側壁絶縁物８０６ａおよび側壁絶縁物８０６ｂの下の半導体領域はn^+の導電型を呈する半導体領域８０３ａおよび半導体領域８０３ｃであるが、図２３（Ｂ）に示すトランジスタでは、真性の半導体領域８０３ｂである。すなわち、半導体領域８０３ａ（半導体領域８０３ｃ）とゲート８０５が幅Ｌｏｆｆだけ重ならない領域ができている。この領域をオフセット領域といい、その幅Ｌｏｆｆをオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物８０６ａ（側壁絶縁物８０６ｂ）の幅と同じである。

【０３０１】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Ｓｅｎｔａｕｒｕｓ Ｄｅｖｉｃｅを使用した。図２０は、図２３（Ａ）に示される構造のトランジスタのドレイン電流（I_d、実線）および移動度（μ、点線）のゲート電圧（V_g、ゲートとソースの電位差）依存性を示す。ドレイン電流I_dは、ドレイン電圧（ドレインとソースの電位差）を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。

【０３０２】

図２０（Ａ）はゲート絶縁層の厚さを１５ｎｍとしたものであり、図２０（Ｂ）は１０ｎｍとしたものであり、図２０（Ｃ）は５ｎｍとしたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流I_d（オフ電流）が顕著に低下する。一方、移動度μのピーク値やオン状態でのドレイン電流I_d（オン電流）には目立った変化が無い。ゲート電圧１Ｖ前後で、ドレイン電流は１０μＡを超えることが示された。

【０３０３】

図２１は、図２３（Ｂ）に示される構造のトランジスタで、オフセット長Ｌｏｆｆを５ｎｍとしたもののドレイン電流I_d（実線）および移動度μ（点線）のゲート電圧V_g依存性を示す。ドレイン電流I_dは、ドレイン電圧を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。図２１（Ａ）はゲート絶縁層の厚さを１５ｎｍとしたものであり、図２１（Ｂ）は１０ｎｍとしたものであり、図２１（Ｃ）は５ｎｍとしたものである。

【０３０４】

また、図２２は、図２３（Ｂ）に示される構造のトランジスタで、オフセット長Ｌｏｆｆを１５ｎｍとしたもののドレイン電流I_d（実線）および移動度μ（点線）のゲート電圧依存性を示す。ドレイン電流I_dは、ドレイン電圧を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。図２２（Ａ）はゲート絶縁層の厚さを１５ｎｍとしたものであり、図２２（Ｂ）は１０ｎｍとしたものであり、図２２（Ｃ）は５ｎｍとしたものである。

【０３０５】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度μのピーク値やオン電流には目立った変化が無い。

【０３０６】

なお、移動度μのピークは、図２０では８０cm^2／Ｖｓ程度であるが、図２１では６０cm^2／Ｖｓ程度、図２２では４０cm^2／Ｖｓと、オフセット長Ｌｏｆｆが増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長Ｌｏｆｆの増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧１Ｖ前後で、ドレイン電流はメモリ素子等で必要とされる１０μＡを超えることが示された。

【０３０７】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０３０８】

（実施の形態８）

本発明の一態様に係る信号処理回路に用いることができる、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で５ａｔｏｍｉｃ％以上含まれる元素をいう。

【０３０９】

Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【０３１０】

例えば、図２４（Ａ）～（Ｃ）は、Ｉｎ、Ｓｎ、Ｚｎを主成分とし、チャネル長Ｌが３μｍ、チャネル幅Ｗが１０μｍである酸化物半導体膜と、厚さ１００ｎｍのゲート絶縁膜を用いたトランジスタの特性である。なお、$Ｖ_{d}$は１０Ｖとした。

【０３１１】

図２４（Ａ）は基板を意図的に加熱せずにスパッタリング法でＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は１８．８$ｃｍ^{2}$／Ｖｓが得られている。一方、基板を意図的に加熱してＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図２４（Ｂ）は基板を２００℃に加熱してＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は３２．２$ｃｍ^{2}$／Ｖｓが得られている。

【０３１２】

電界効果移動度は、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図２４（Ｃ）は、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を２００℃でスパッタリング成膜した後、６５０℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は３４．５$ｃｍ^{2}$／Ｖｓが得られている。

【０３１３】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減することができる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には１００$ｃｍ^{2}$／Ｖｓを超える電界効果移動度を実現することも可能になると推定される。

【０３１４】

Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【０３１５】

基板を意図的に加熱して成膜すること及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた

場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図２４（Ａ）と図２４（Ｂ）の対比からも確認することができる。

【０３１６】

なお、しきい値電圧はＩｎ、Ｓｎ及びＺｎの比率を変えることによっても制御することが可能であり、組成比としてＩｎ：Ｓｎ：Ｚｎ＝２：１：３とすることでトランジスタのノーマリ・オフ化することができる。また、ターゲットの組成比をＩｎ：Ｓｎ：Ｚｎ＝２：１：３とすることで結晶性の高い酸化物半導体膜を得ることができる。

【０３１７】

意図的な基板加熱温度若しくは熱処理温度は、１５０℃以上、好ましくは２００℃以上、より好ましくは４００℃以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【０３１８】

また、意図的に基板を加熱した成膜及び／又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、２ＭＶ／ｃｍ、１５０℃、１時間印加の条件において、ドリフトがそれぞれ±１．５Ｖ未満、好ましくは１．０Ｖ未満を得ることができる。

【０３１９】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料１と、６５０℃の加熱処理を行った試料２のトランジスタに対してＢＴ試験を行った。

【０３２０】

まず基板温度を２５℃とし、V_{ds}を１０Ｖとし、トランジスタのV_g－I_d特性の測定を行った。次に、基板温度を１５０℃とし、V_{ds}を０．１Ｖとした。次に、ゲート絶縁膜に印加される電界強度が２ＭＶ／ｃｍとなるようにV_gに２０Ｖを印加し、そのまま１時間保持した。次に、V_gを０Ｖとした。次に、基板温度２５℃とし、V_{ds}を１０Ｖとし、トランジスタのV_g－I_d測定を行った。これをプラスＢＴ試験と呼ぶ。

【０３２１】

同様に、まず基板温度を２５℃とし、V_{ds}を１０Ｖとし、トランジスタのV_g－I_d特性の測定を行った。次に、基板温度を１５０℃とし、V_{ds}を０．１Ｖとした。次に、ゲート絶縁膜に印加される電界強度が－２ＭＶ／ｃｍとなるようにV_gに－２０Ｖを印加し、そのまま１時間保持した。次に、V_gを０Ｖとした。次に、基板温度２５℃とし、V_{ds}を１０Ｖとし、トランジスタのV_g－I_d測定を行った。これをマイナスＢＴ試験と呼ぶ。

【０３２２】

試料１のプラスＢＴ試験の結果を図２５（Ａ）に、マイナスＢＴ試験の結果を図２５（Ｂ）に示す。また、試料２のプラスＢＴ試験の結果を図２６（Ａ）に、マイナスＢＴ試験の結果を図２６（Ｂ）に示す。

【０３２３】

試料１のプラスＢＴ試験およびマイナスＢＴ試験によるしきい値電圧の変動は、それぞれ１．８０Ｖおよび－０．４２Ｖであった。また、試料２のプラスＢＴ試験およびマイナスＢＴ試験によるしきい値電圧の変動は、それぞれ０．７９Ｖおよび０．７６Ｖであった。試料１および試料２のいずれも、ＢＴ試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【０３２４】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【０３２５】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、後に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は１×１０^{16}／ｃｍ^{3}以上２×１０^{20}／ｃｍ^{3}以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【０３２６】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）でハローパタンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば６５０℃の熱処理を行うことで、Ｘ線回折により明確な回折ピークを観測することができる。

【０３２７】

実際に、Ｉｎ－Ｓｎ－Ｚｎ系の酸化膜のＸＲＤ分析を行った。ＸＲＤ分析には、Ｂｒｕｋｅｒ　ＡＸＳ社製Ｘ線回折装置Ｄ８　ＡＤＶＡＮＣＥを用い、Ｏｕｔ－ｏｆ－Ｐｌａｎｅ法で測定した。

【０３２８】

ＸＲＤ分析を行った試料として、試料Ａおよび試料Ｂを用意した。以下に試料Ａおよび試料Ｂの作製方法を説明する。

【０３２９】

脱水素化処理済みの石英基板上にＩｎ－Ｓｎ－Ｚｎ系の酸化膜を１００ｎｍの厚さで成膜した。

【０３３０】

Ｉｎ－Ｓｎ－Ｚｎ系の酸化膜は、スパッタリング装置を用い、酸素雰囲気で電力を１００Ｗ（ＤＣ）として成膜した。ターゲットは、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１［原子数比］のＩｎ－Ｓｎ－Ｚｎ－Ｏターゲットを用いた。なお、成膜時の基板加熱温度は２００℃とした。このようにして作製した試料を試料Ａとした。

【０３３１】

次に、試料Ａと同様の方法で作製した試料に対し加熱処理を６５０℃の温度で行った。加熱処理は、はじめに窒素雰囲気で１時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに１時間の加熱処理を行っている。このようにして作製した試料を試料Ｂとした。

【０３３２】

図２７に試料Ａおよび試料ＢのＸＲＤスペクトルを示す。試料Ａでは、結晶由来のピークが観測されなかったが、試料Ｂでは、２θが３５ｄｅｇ近傍および３７ｄｅｇ～３８ｄｅｇに結晶由来のピークが観測された。

【０３３３】

このように、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び／又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【０３３４】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を１ａＡ／μｍ以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅１μｍあたりの電流値を示す。

【０３３５】

図２８に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を

示す。ここでは、簡単のため測定時の基板温度の逆数に１０００を掛けた数値（１０００／Ｔ）を横軸としている。

【０３３６】

具体的には、図２８に示すように、基板温度が１２５℃の場合には１ａＡ／μｍ（１×１０$^{-18}$Ａ／μｍ）以下、８５℃の場合には１００ｚＡ／μｍ（１×１０$^{-19}$Ａ／μｍ）以下、室温（２７℃）の場合には１ｚＡ／μｍ（１×１０$^{-21}$Ａ／μｍ）以下にすることができる。好ましくは、１２５℃において０．１ａＡ／μｍ（１×１０$^{-19}$Ａ／μｍ）以下に、８５℃において１０ｚＡ／μｍ（１×１０$^{-20}$Ａ／μｍ）以下に、室温において０．１ｚＡ／μｍ（１×１０$^{-22}$Ａ／μｍ）以下にすることができる。

【０３３７】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点－７０℃以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていていないように、高純度化されたターゲットを用いることが好ましい。Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、Ｉｎ、Ｇａ、Ｚｎを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【０３３８】

また、酸化物半導体膜成膜後に６５０℃の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【０３３９】

測定に用いたトランジスタは、チャネル長Ｌが３μｍ、チャネル幅Ｗが１０μｍ、Ｌｏｖが０μｍ、ｄＷが０μｍである。なお、V_{ds}は１０Ｖとした。なお、基板温度は－４０℃、－２５℃、２５℃、７５℃、１２５℃および１５０℃で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅をＬｏｖと呼び、酸化物半導体膜に対する一対の電極のはみ出しをｄＷと呼ぶ。

【０３４０】

図２９に、I_d（実線）および電界効果移動度（点線）のV_g依存性を示す。また、図３０（Ａ）に基板温度としきい値電圧の関係を、図３０（Ｂ）に基板温度と電界効果移動度の関係を示す。

【０３４１】

図３０（Ａ）より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は－４０℃～１５０℃で１．０９Ｖ～－０．２３Ｖであった。

【０３４２】

また、図３０（Ｂ）より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は－４０℃～１５０℃で３６ｃｍ^2／Ｖｓ～３２ｃｍ^2／Ｖｓであった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【０３４３】

上記のようなＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を１ａＡ／μｍ以下に保ちつつ、電界効果移動度を３０ｃｍ^2／Ｖｓ以上、好ましくは４０ｃｍ^2／Ｖｓ以上、より好ましくは６０ｃｍ^2／Ｖｓ以上とし、ＬＳＩで要求されるオン電流の値を満たすことができる。例えば、Ｌ／Ｗ＝３３ｎｍ／４０ｎｍのＦＥＴで、ゲート電圧２．７Ｖ、ドレイン電圧１．０Ｖのとき１２μＡ以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Ｓｉ半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【０３４４】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０３４５】
（実施の形態９）
本実施の形態では、上記実施の形態とは異なる構造を有する、酸化物半導体膜を用いたトランジスタについて説明する。酸化物半導体膜を構成する酸化物半導体は、Ｉｎ、Ｓｎ、及びＺｎを含む酸化物半導体（Ｉｎ－Ｓｎ－Ｚｎ系酸化物半導体）を用いてもよいし、他の実施の形態において説明した他の酸化物半導体を用いてもよい。
【０３４６】
図３１は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図３１（Ａ）にトランジスタの上面図を示す。また、図３１（Ｂ）に図３１（Ａ）の一点鎖線Ａ－Ｂに対応する断面Ａ－Ｂを示す。
【０３４７】
図３１（Ｂ）に示すトランジスタは、基板２１００と、基板２１００上に設けられた下地絶縁膜２１０２と、下地絶縁膜２１０２の周辺に設けられた保護絶縁膜２１０４と、下地絶縁膜２１０２および保護絶縁膜２１０４上に設けられた高抵抗領域２１０６ａおよび低抵抗領域２１０６ｂを有する酸化物半導体膜２１０６と、酸化物半導体膜２１０６上に設けられたゲート絶縁膜２１０８と、ゲート絶縁膜２１０８を介して酸化物半導体膜２１０６と重畳して設けられたゲート電極２１１０と、ゲート電極２１１０の側面と接して設けられた側壁絶縁膜２１１２と、少なくとも低抵抗領域２１０６ｂと接して設けられた一対の電極２１１４と、少なくとも酸化物半導体膜２１０６、ゲート電極２１１０および一対の電極２１１４を覆って設けられた層間絶縁膜２１１６と、層間絶縁膜２１１６に設けられた開口部を介して少なくとも一対の電極２１１４の一方と接続して設けられた配線２１１８と、を有する。
【０３４８】
なお、図示しないが、層間絶縁膜２１１６および配線２１１８を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜２１１６の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。
【０３４９】
本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。
【０３５０】
（実施の形態１０）
本実施の形態では、上記実施の形態とは異なる構造を有する、酸化物半導体膜を用いたトランジスタについて説明する。なお、本実施の形態では酸化物半導体膜を構成する酸化物半導体として、Ｉｎ、Ｓｎ、及びＺｎを含む酸化物半導体（Ｉｎ－Ｓｎ－Ｚｎ系酸化物半導体）を用いた場合について説明するが、他の実施の形態において説明した他の酸化物半導体を用いることもできる。
【０３５１】
図３２は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図３２（Ａ）はトランジスタの上面図である。また、図３２（Ｂ）は図３２（Ａ）の一点鎖線Ａ－Ｂに対応する断面図である。
【０３５２】
図３２（Ｂ）に示すトランジスタは、基板２６００と、基板２６００上に設けられた下地絶縁膜２６０２と、下地絶縁膜２６０２上に設けられた酸化物半導体膜２６０６と、酸化物半導体膜２６０６と接する一対の電極２６１４と、酸化物半導体膜２６０６および一対の電極２６１４上に設けられたゲート絶縁膜２６０８と、ゲート絶縁膜２６０８を介して酸化物半導体膜２６０６と重畳して設けられたゲート電極２６１０と、ゲート絶縁膜２６０８およびゲート電極２６１０を覆って設けられた層間絶縁膜２６１６と、層間絶縁膜２６１６に設けられた開口部を介して一対の電極２６１４と接続する配線２６１８と、層間絶縁膜２６１６および配線２６１８を覆って設けられた保護膜２６２０と、を有する。
【０３５３】

基板２６００としてはガラス基板を、下地絶縁膜２６０２としては酸化シリコン膜を、酸化物半導体膜２６０６としてはＩｎ－Ｓｎ－Ｚｎ系の酸化膜を、一対の電極２６１４としてはタングステン膜を、ゲート絶縁膜２６０８としては酸化シリコン膜を、ゲート電極２６１０としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜２６１６としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線２６１８としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜２６２０としてはポリイミド膜を、それぞれ用いた。

【０３５４】

なお、図３２（Ａ）に示す構造のトランジスタにおいて、ゲート電極２６１０と一対の電極２６１４との重畳する幅をＬｏｖと呼ぶ。同様に、酸化物半導体膜２６０６に対する一対の電極２６１４のはみ出しをｄＷと呼ぶ。

【０３５５】

（実施の形態１１）

一般に、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子（ＭＴＪ素子）が知られている。ＭＴＪ素子は、絶縁膜を介して上下に配置している膜中のスピンの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。一方、上記実施の形態で示す不揮発性の記憶回路は、チャネルが酸化物半導体層に形成されるトランジスタを利用したものであって、原理が全く異なっている。表１はＭＴＪ素子（表中、「スピントロニクス（ＭＴＪ素子）」で示す。）と、上記実施の形態で示す酸化物半導体を用いた不揮発性の記憶回路（表中、「ＯＳ／Ｓｉ」で示す。）との対比を示す。

【０３５６】

【表１】

	スピントロニクス(MTJ 素子)	酸化物半導体/Si
1) 耐熱性	キュリー温度	ﾌﾟﾛｾｽ温度約500℃ (信頼性150℃)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FET のオン／オフ
4) Si LSI	バイポーラ LSI 向き (バイポーラは高集積化には不向きなため、高集積化回路では MOS の方が好ましい。ただし、W が大きくなる。)	MOSLSI 向き
5) オーバーヘッド	大きい (ジュール熱が大きいため)	MTJ素子よりも２～３桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D 化	難(できても二層まで)	容易(何層でも可)
9) 集積化度(F^2)	$4F^2$～$15F^2$	3D 化の積層数で決まる (上層 酸化物半導体 FET 工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	酸化物半導体材料
11) ﾋﾞｯﾄｺｽﾄ	高い	低い (酸化物半導体を構成する材料によっては(In など)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

【０３５７】
ＭＴＪ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、ＭＴＪ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、ＭＴＪ素子は書き込み電流が微少とはいえメモリの大容量化によって消費電力が増大してしまうといった問題がある。

【０３５８】
原理的にＭＴＪ素子は磁界耐性に弱く強磁界にさらされるとスピンの向きが狂いやすい。また、ＭＴＪ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

【０３５９】
さらに、ＭＴＪ素子は希土類元素を使用するため、ＭＴＪ素子のプロセスを金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。ＭＴＪ素子はビット当たりの材料コストから見ても高価であると考えられる。

【０３６０】

一方、上記実施の形態で示す不揮発性の記憶回路が有する、酸化物半導体層にチャネルが形成されるトランジスタは、チャネルが形成される領域が金属酸化物でなること以外は、素子構造や動作原理がシリコンＭＯＳＦＥＴと同様である。また、酸化物半導体層にチャネルが形成されるトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【実施例１】

【０３６１】

本発明の一態様に係る信号処理回路を用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い信号処理回路をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【０３６２】

本発明の一態様に係る信号処理回路は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはＤＶＤ：Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る信号処理回路を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。

【０３６３】

本発明の一態様に係る信号処理回路を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【０３６４】

図１３は、携帯用の電子機器のブロック図である。図１３に示す携帯用の電子機器はＲＦ回路４２１、アナログベースバンド回路４２２、デジタルベースバンド回路４２３、バッテリー４２４、電源回路４２５、アプリケーションプロセッサ４２６、フラッシュメモリ４３０、ディスプレイコントローラ４３１、メモリ回路４３２、ディスプレイ４３３、タッチセンサ４３９、音声回路４３７、キーボード４３８などより構成されている。ディスプレイ４３３は表示部４３４、ソースドライバ４３５、ゲートドライバ４３６によって構成されている。アプリケーションプロセッサ４２６はＣＰＵ４２７、ＤＳＰ４２８、インターフェース４２９を有している。上記実施の形態で示した信号処理回路を、例えばＣＰＵ４２７に採用することによって、消費電力を低減することができる。

【０３６５】

図１４は電子書籍のブロック図である。電子書籍はバッテリー４５１、電源回路４５２、マイクロプロセッサ４５３、フラッシュメモリ４５４、音声回路４５５、キーボード４５６、メモリ回路４５７、タッチパネル４５８、ディスプレイ４５９、ディスプレイコントローラ４６０によって構成される。マイクロプロセッサ４５３はＣＰＵ４６１、ＤＳＰ４６２、インターフェース４６３を有している。上記実施の形態で示した信号処理回路を、例えばＣＰＵ４６１に採用することで、消費電力を低減することが可能になる。

【０３６６】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【０３６７】

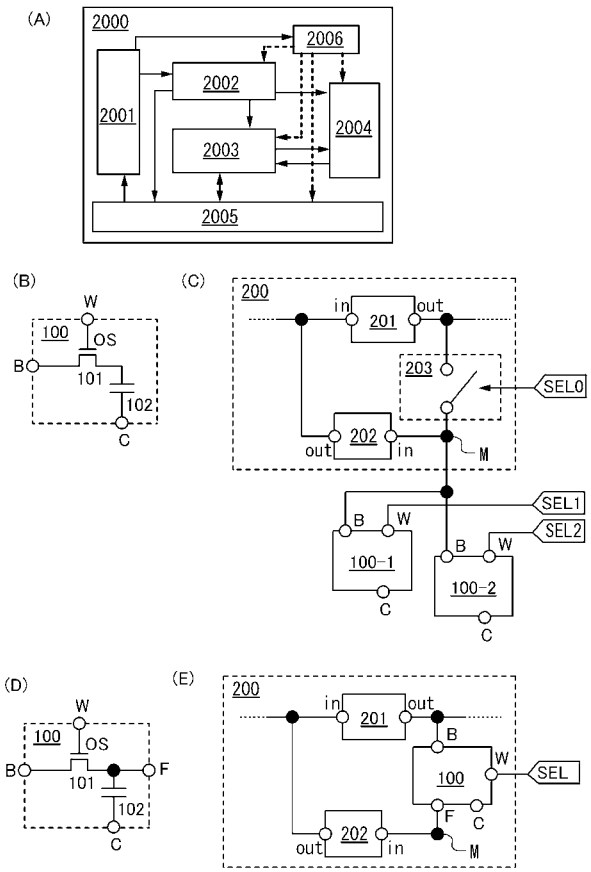
１００　記憶回路
１０１　トランジスタ
１０２　容量素子
１０３　トランジスタ
２００　記憶回路

２０１　演算回路
２０２　演算回路
２０３　スイッチ
３０３　一対の電極のうちの他方
４００　メモリセルアレイ
４０１　センスアンプ回路
４０２　プリチャージ回路
４０３　列デコーダ
４０４　行デコーダ
４２１　ＲＦ回路
４２２　アナログベースバンド回路
４２３　デジタルベースバンド回路
４２４　バッテリー
４２５　電源回路
４２６　アプリケーションプロセッサ
４２７　ＣＰＵ
４２８　ＤＳＰ
４２９　インターフェース
４３０　フラッシュメモリ
４３１　ディスプレイコントローラ
４３２　メモリ回路
４３３　ディスプレイ
４３４　表示部
４３５　ソースドライバ
４３６　ゲートドライバ
４３７　音声回路
４３８　キーボード
４３９　タッチセンサ
４４３　ラッチ回路
４４４　インバータ
４４５　インバータ
４４６　スイッチ
４５１　バッテリー
４５２　電源回路
４５３　マイクロプロセッサ
４５４　フラッシュメモリ
４５５　音声回路
４５６　キーボード
４５７　メモリ回路
４５８　タッチパネル
４５９　ディスプレイ
４６０　ディスプレイコントローラ
４６１　ＣＰＵ
４６２　ＤＳＰ
４６３　インターフェース
７００　基板
７０１　絶縁膜
７０２　半導体膜
７０３　ゲート絶縁膜
７０４　半導体層

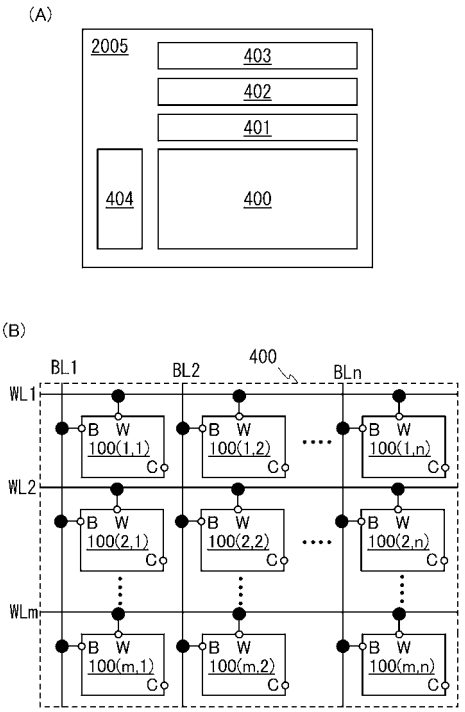
７０７　ゲート電極
７０９　不純物領域
７１０　チャネル形成領域
７１２　絶縁膜
７１３　絶縁膜
７１６　酸化物半導体層
７１９　導電層
７２０　導電層
７２１　ゲート絶縁膜
７２２　ゲート電極
７２４　絶縁膜
７２６　配線
７２７　絶縁膜
８０１　下地絶縁層
８０２　埋め込み絶縁物
８０３ａ　半導体領域
８０３ｂ　半導体領域
８０３ｃ　半導体領域
８０４　ゲート絶縁膜
８０５　ゲート
８０６ａ　側壁絶縁物
８０６ｂ　側壁絶縁物
８０７　絶縁物
８０８ａ　ソース
８０８ｂ　ドレイン
９０８　高濃度領域
９１８　高濃度領域
９１９　チャネル形成領域
９２８　高濃度領域
９２９　低濃度領域
９３０　サイドウォール
９３１　チャネル形成領域
９４８　高濃度領域
９４９　低濃度領域
９５０　サイドウォール
９５１　チャネル形成領域
１０１ａ　トランジスタ
１０１ｂ　トランジスタ
１０１ｃ　トランジスタ
１０１ｄ　トランジスタ
１０２ａ　容量素子
１０２ｂ　容量素子
１０２ｃ　容量素子
１０２ｄ　容量素子
１０３ａ　トランジスタ
１０３ｂ　トランジスタ
１１０１　回路群
１１０３　回路群
１１１１　回路群
２０００　信号処理回路

２００１　デコーダ
２００２　制御回路
２００３　ＡＬＵ
２００４　レジスタ
２００５　メモリ
２００６　電源回路
２１００　基板
２１０２　下地絶縁膜
２１０４　保護絶縁膜
２１０６　酸化物半導体膜
２１０６ａ　高抵抗領域
２１０６ｂ　低抵抗領域
２１０８　ゲート絶縁膜
２１１０　ゲート電極
２１１２　側壁絶縁膜
２１１４　電極
２１１６　層間絶縁膜
２１１８　配線
２６００　基板
２６０２　下地絶縁膜
２６０６　酸化物半導体膜
２６０８　ゲート絶縁膜
２６１０　ゲート電極
２６１４　電極
２６１６　層間絶縁膜
２６１８　配線
２６２０　保護膜
３０１ａ　一対の電極のうちの一方
３０１ｂ　一対の電極のうちの一方
３０２ａ　誘電体層
７３０１　導電層
７３０２　絶縁膜
７３０３　導電膜
１１０１ｂ　回路群の一部

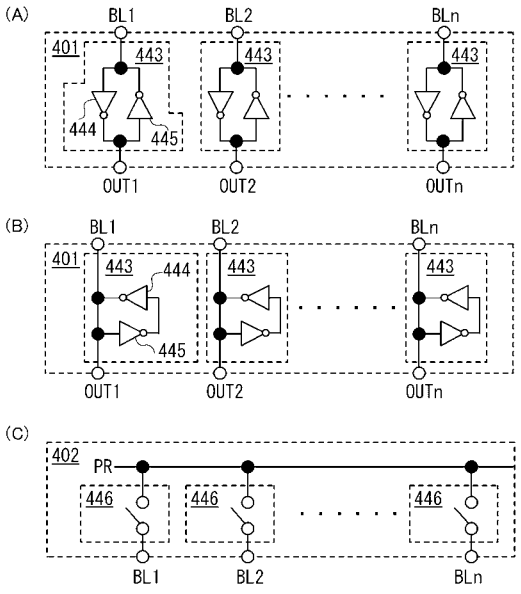
【図１】


(A)
2000
2006
2002
2001
2004
2003
2005
(B)
W
100
OS
B
101
102
C
(C)
200
in
201
out
203
SEL0
out
202
in
M
SEL1
SEL2
B
W
100-1
100-2
C
(D)
W
100
OS
B
F
101
102
C
(E)
200
in
201
out
B
W
100
SEL
F
C
out
202
in
M

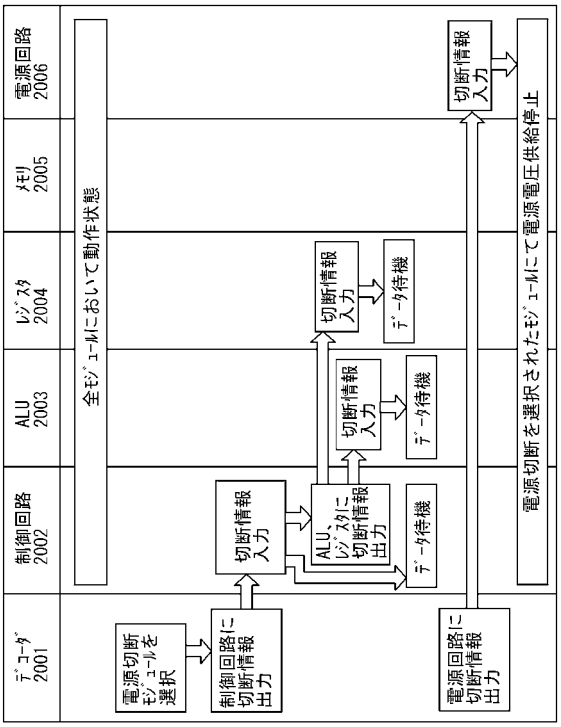
【図２】


(A)
2005
403
402
401
404
400
(B)
BL1
BL2
400
BLn
WL1
WL2
WLm
B W
100(1,1)
100(1,2)
100(1,n)
100(2,1)
100(2,2)
100(2,n)
100(m,1)
100(m,2)
100(m,n)
C

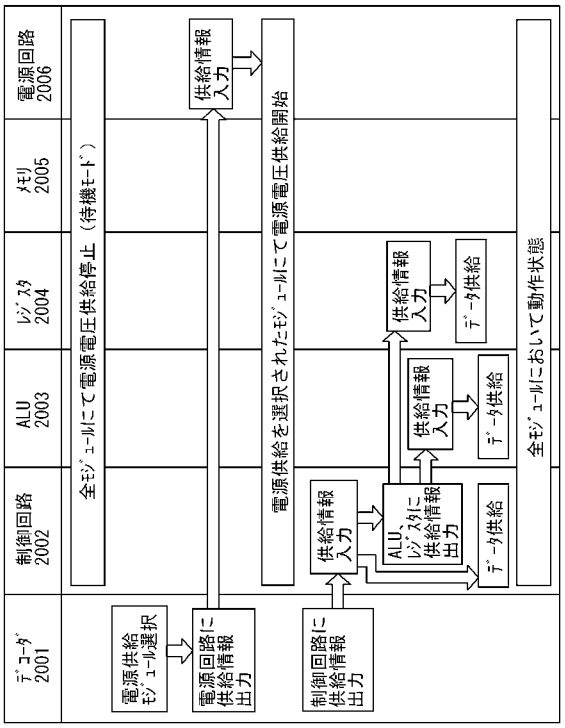
【図３】


(A)
BL1
BL2
BLn
401
443
444
445
OUT1
OUT2
OUTn
(B)
BL1
BL2
BLn
401
443
444
445
OUT1
OUT2
OUTn
(C)
402
PR
446
BL1
BL2
BLn

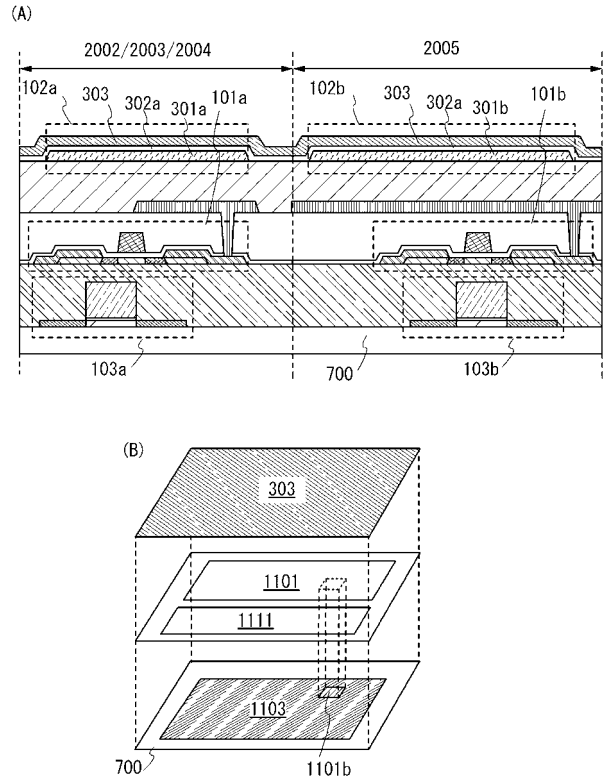
【図４】


電源回路 2006
メモリ 2005
レジスタ 2004
ALU 2003
制御回路 2002
デコーダ 2001
全モジュールにおいて動作状態
切断情報入力
データ待機
ALU,レジスタに切断情報出力
電源切断モジュールを選択
制御回路に切断情報出力
電源回路に切断情報出力
電源切断を選択されたモジュールにて電源電圧供給停止

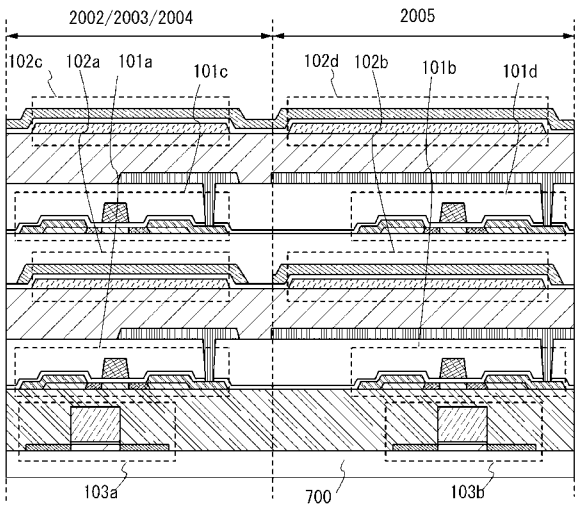
【図５】


電源回路 2006
ﾒﾓﾘ 2005
ﾚｼﾞｽﾀ 2004
ALU 2003
制御回路 2002
ﾃﾞｺｰﾀﾞ 2001
全ﾓｼﾞｭｰﾙにて電源電圧供給停止（待機ﾓｰﾄﾞ）
電源供給ﾓｼﾞｭｰﾙ選択
電源回路に供給情報出力
供給情報入力
電源供給を選択されたﾓｼﾞｭｰﾙにて電源電圧供給開始
制御回路に供給情報出力
供給情報入力
ALU,ﾚｼﾞｽﾀに供給情報出力
ﾃﾞｰﾀ供給
供給情報入力
ﾃﾞｰﾀ供給
供給情報入力
ﾃﾞｰﾀ供給
全ﾓｼﾞｭｰﾙにおいて動作状態

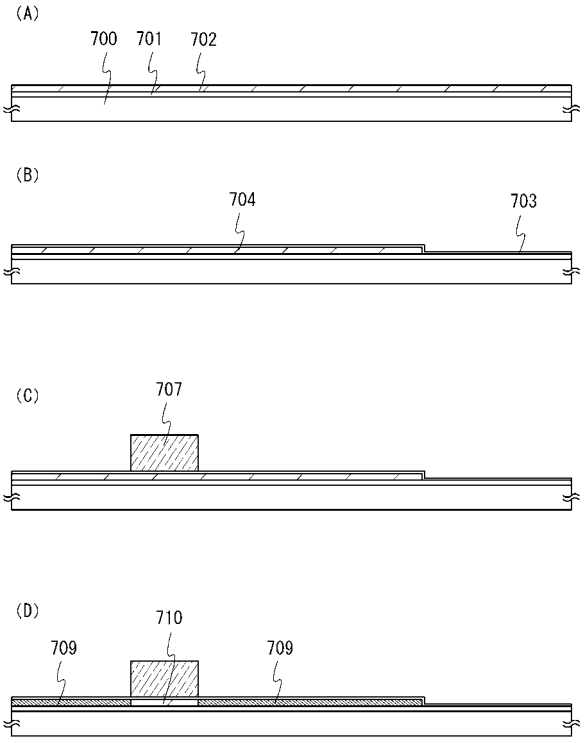
【図６】


(A)
2002/2003/2004
2005
102a
303
302a
301a
101a
102b
303
302a
301b
101b
103a
700
103b
(B)
303
1101
1111
1103
700
1101b

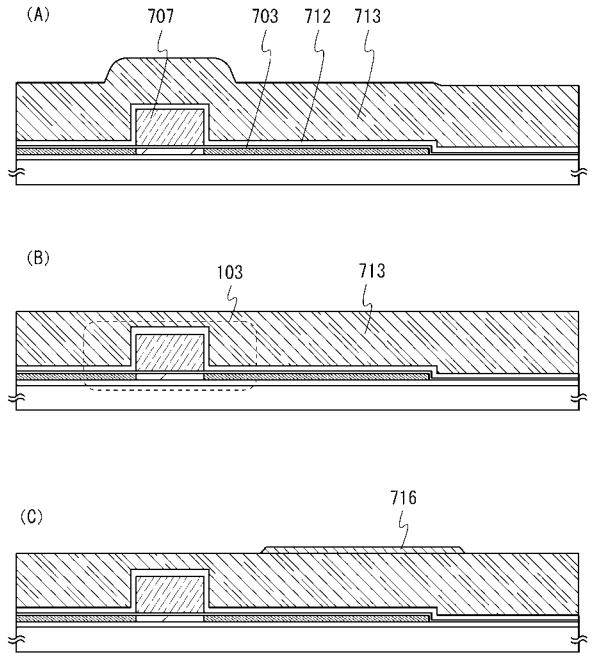
【図７】


2002/2003/2004
2005
102c
102a
101a
101c
102d
102b
101b
101d
103a
700
103b

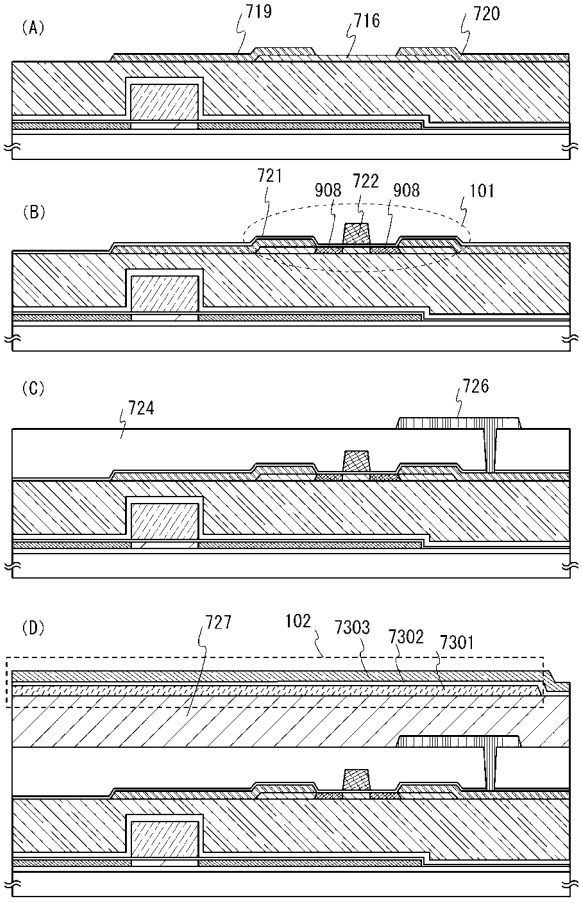
【図８】


(A)
700
701
702
(B)
704
703
(C)
707
(D)
710
709
709

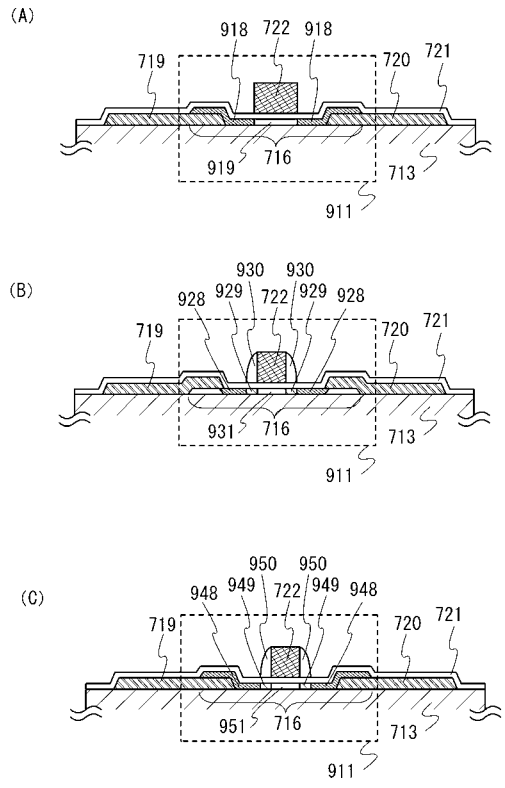
【図９】



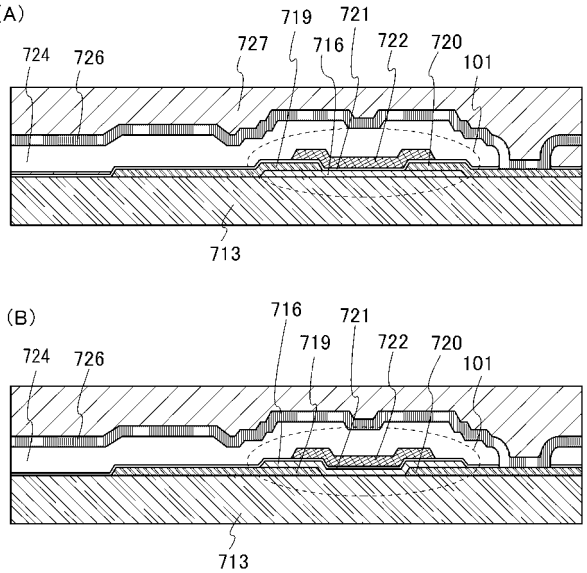
【図１０】



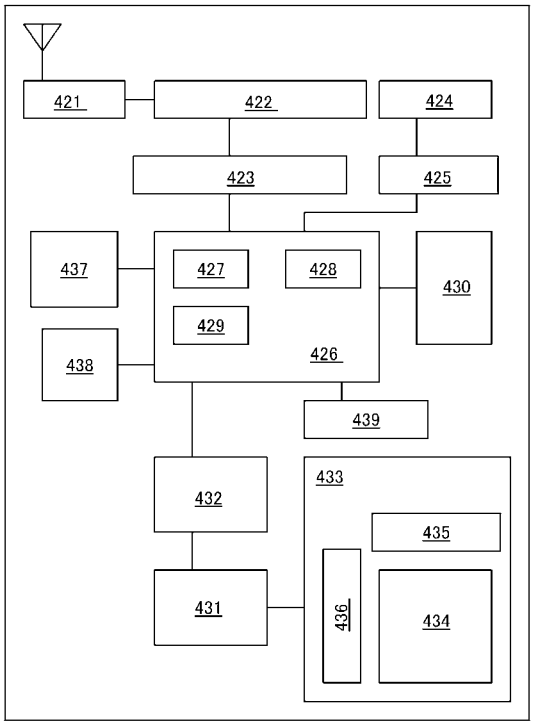
【図１１】



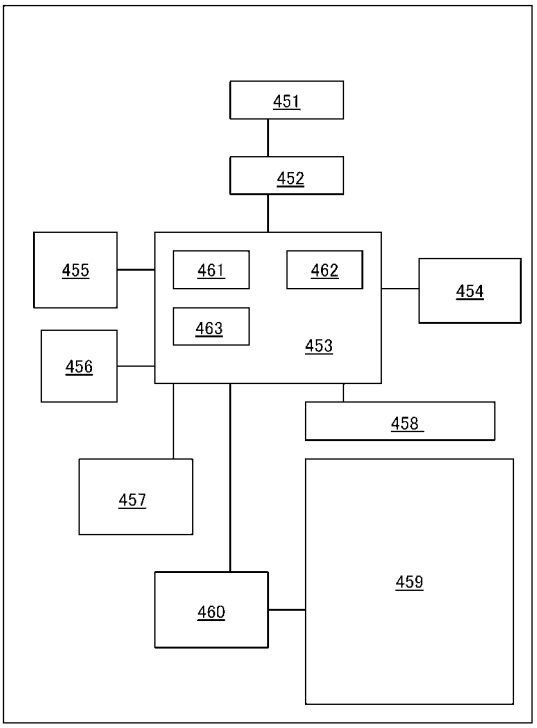
【図１２】



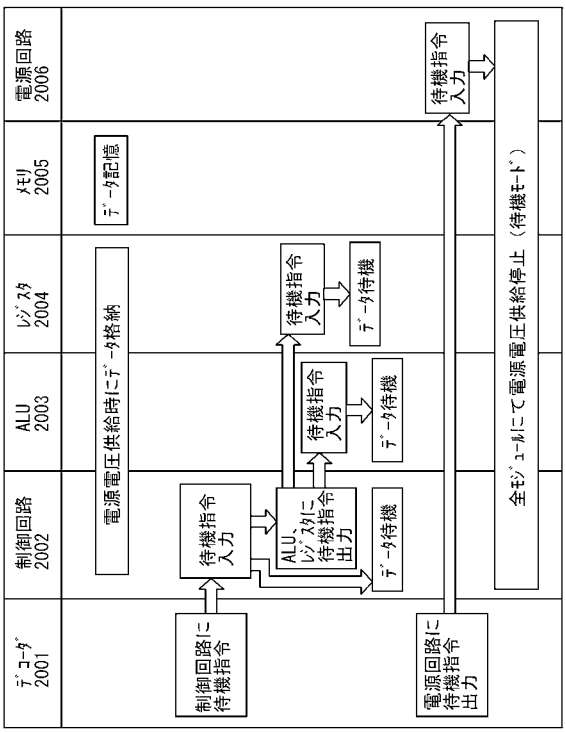
【図１３】



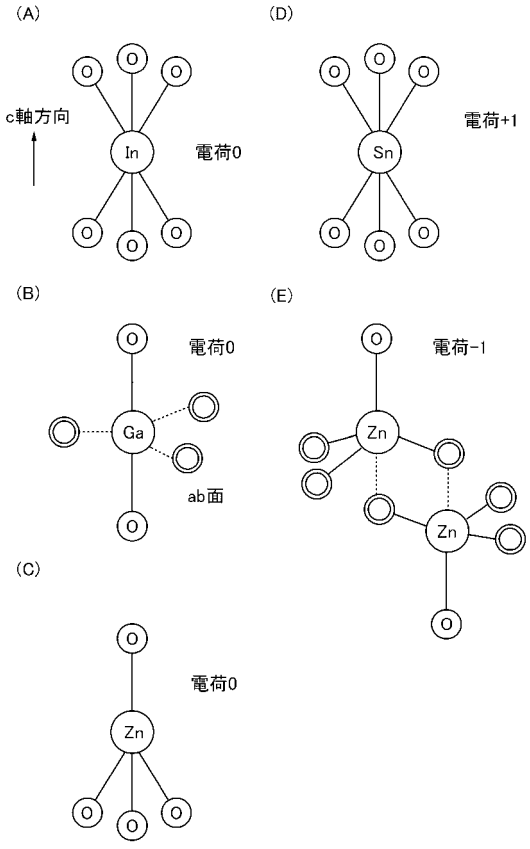
【図１４】



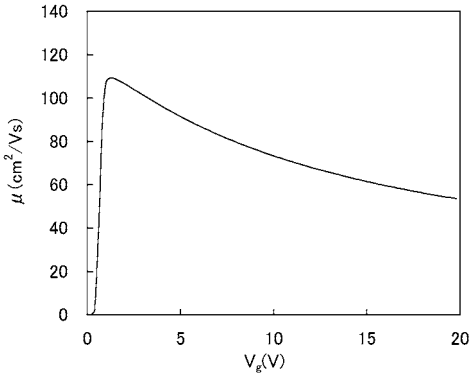
【図１５】



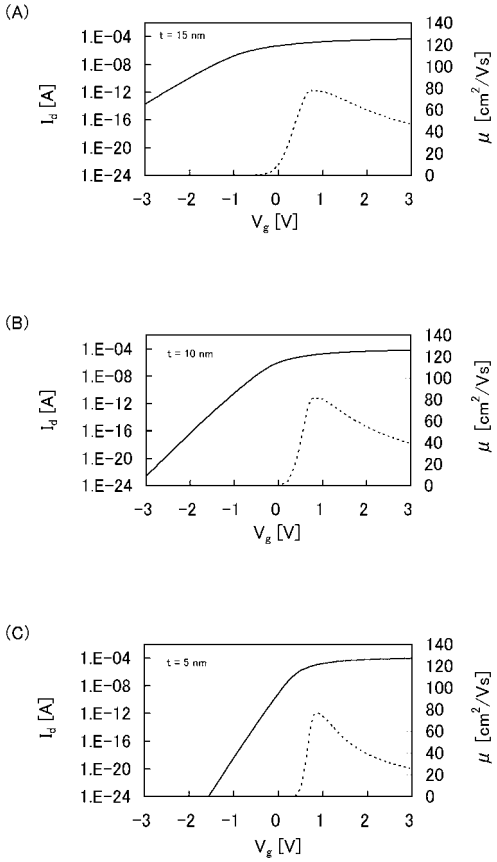
【図１６】



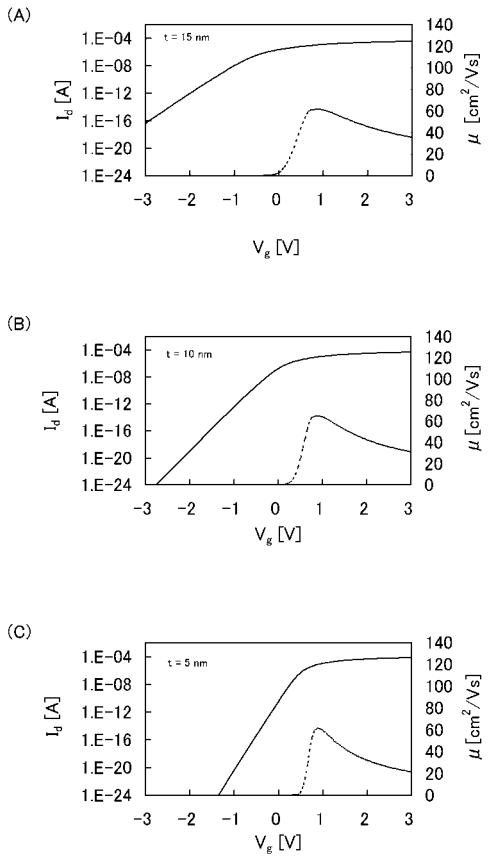
【図１９】



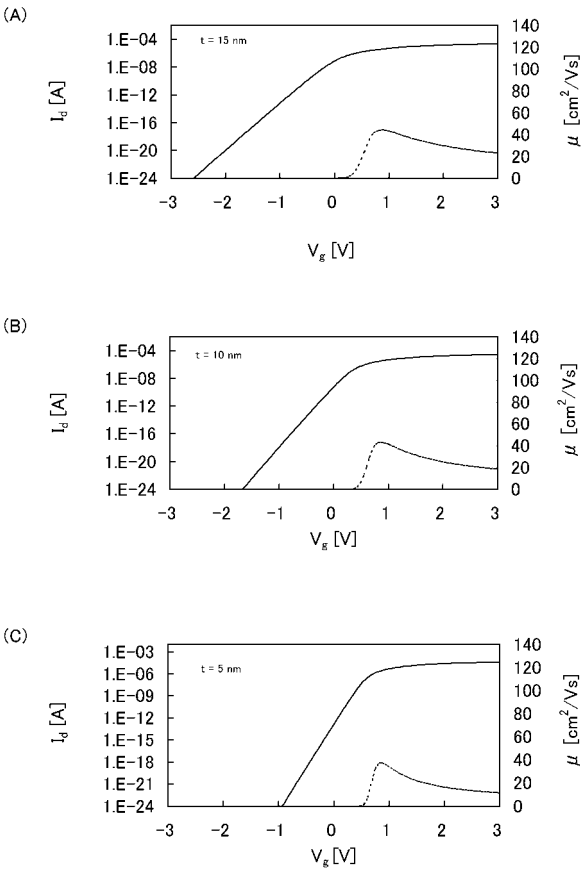
【図２０】



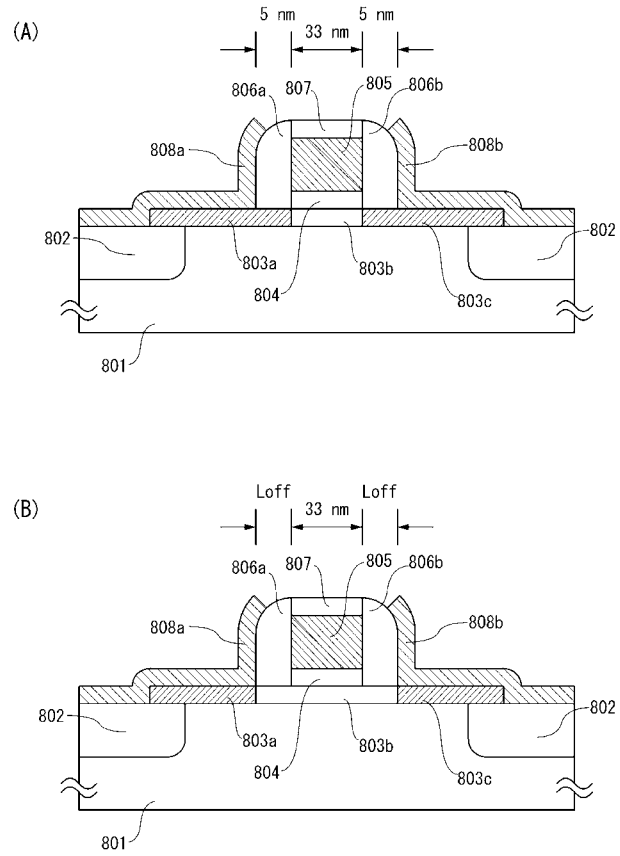
【図２１】



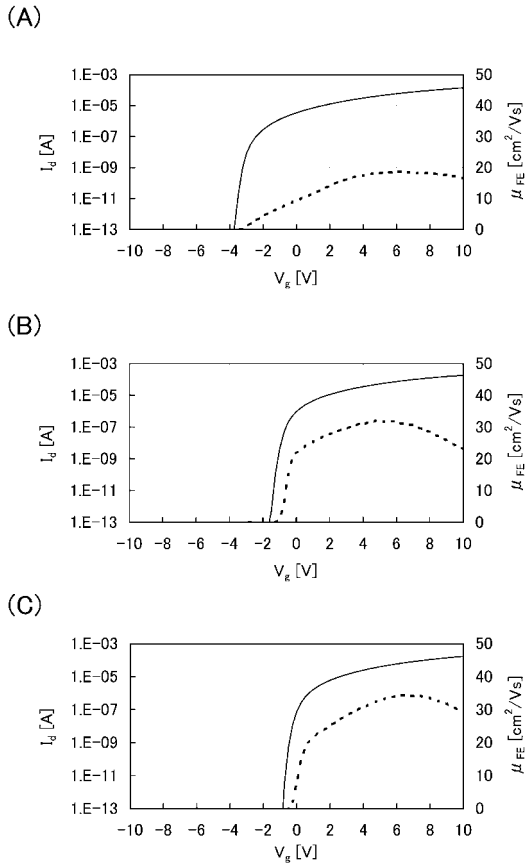
【図２２】



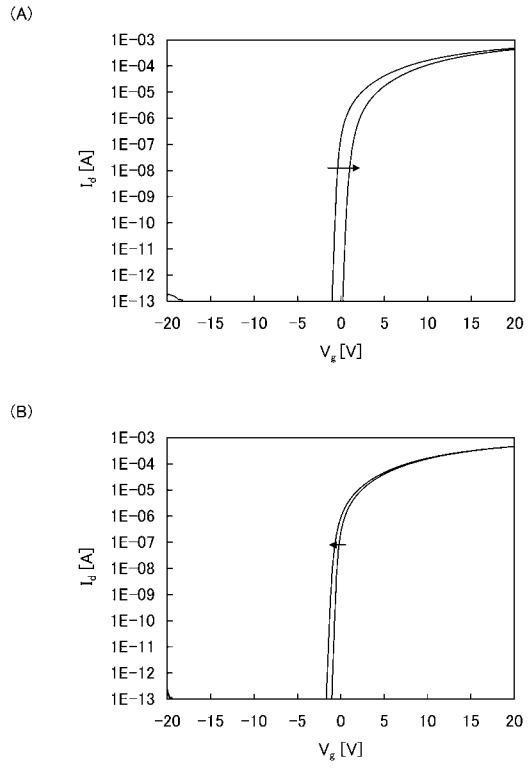
【図２３】



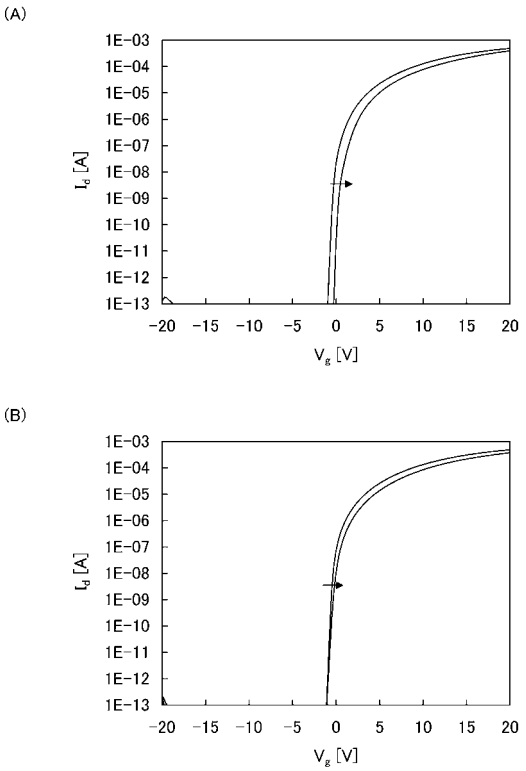
【図２４】



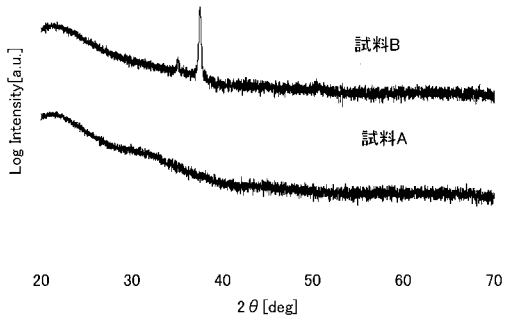
【図２５】



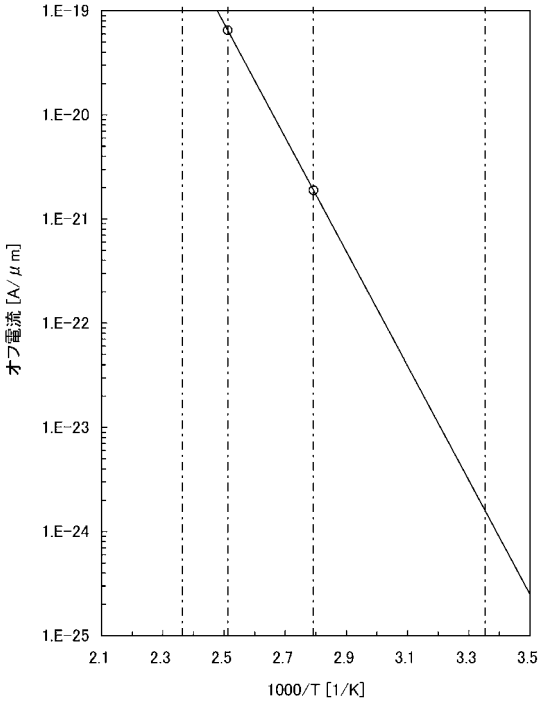
【図２６】



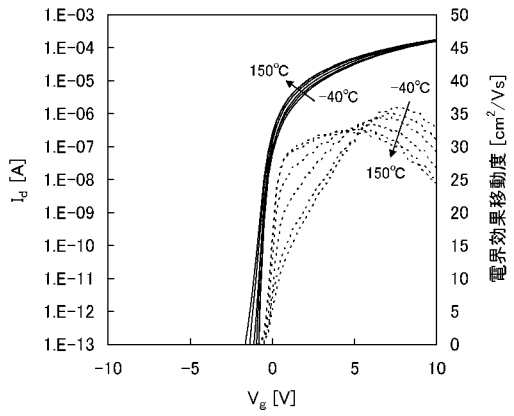
【図２７】



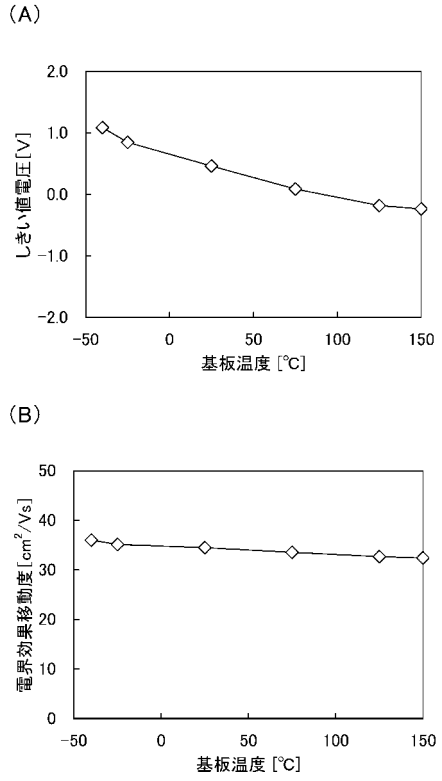
【図２８】



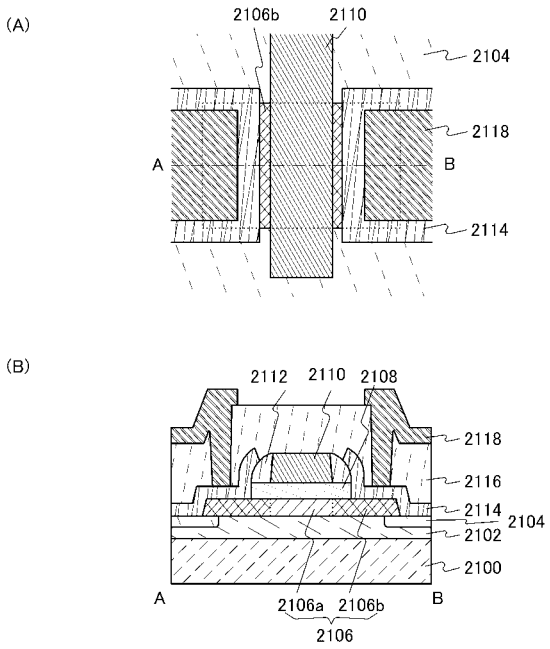
【図２９】



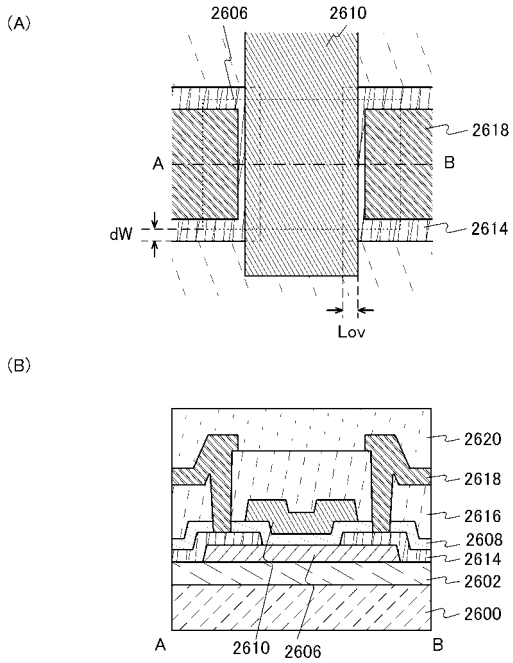
【図３０】



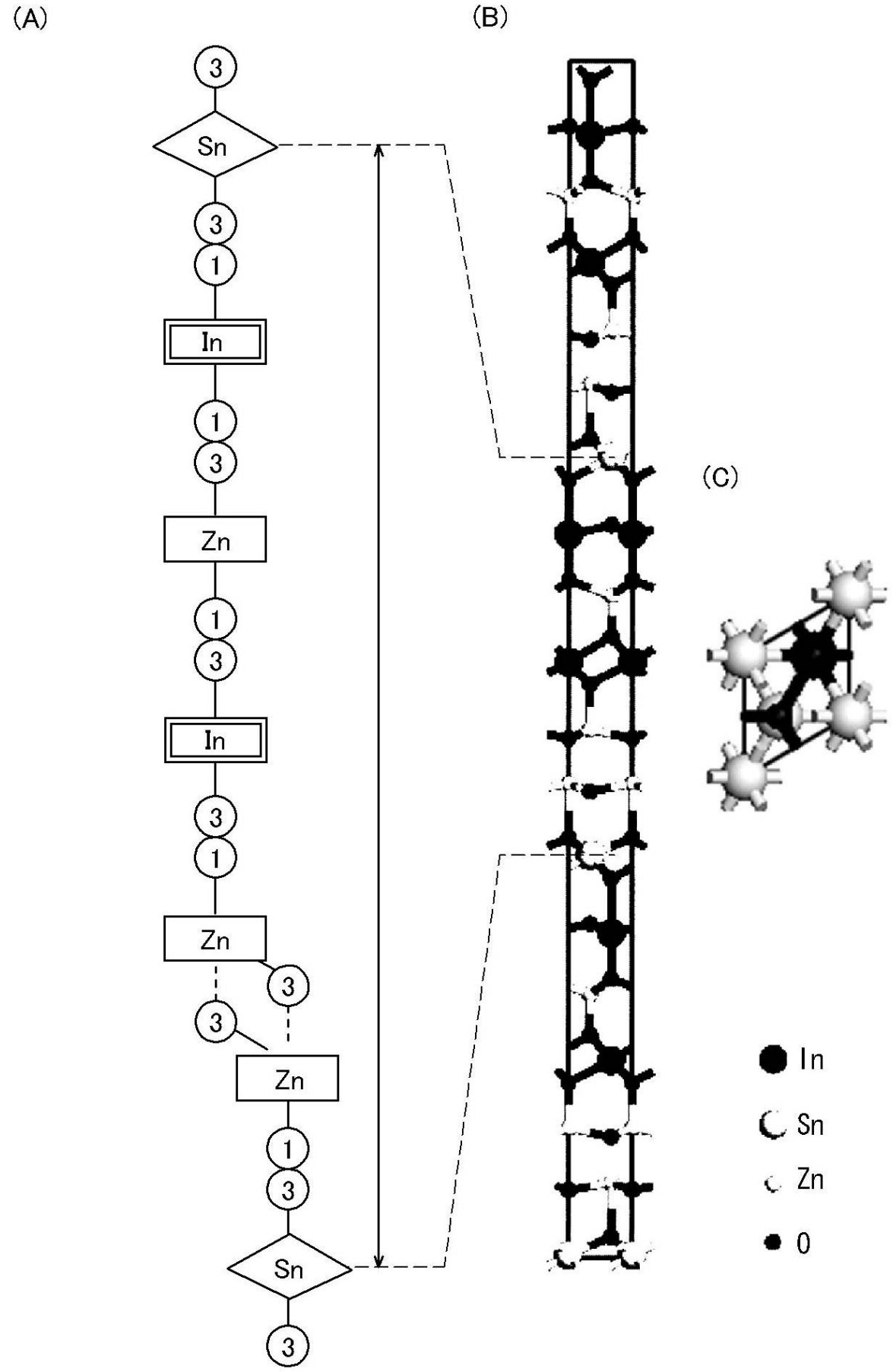
【図３１】


(A)
2106b
2110
2104
2118
A
B
2114
(B)
2112
2110
2108
2118
2116
2114
2104
2102
2100
A
B
2106a
2106b
2106

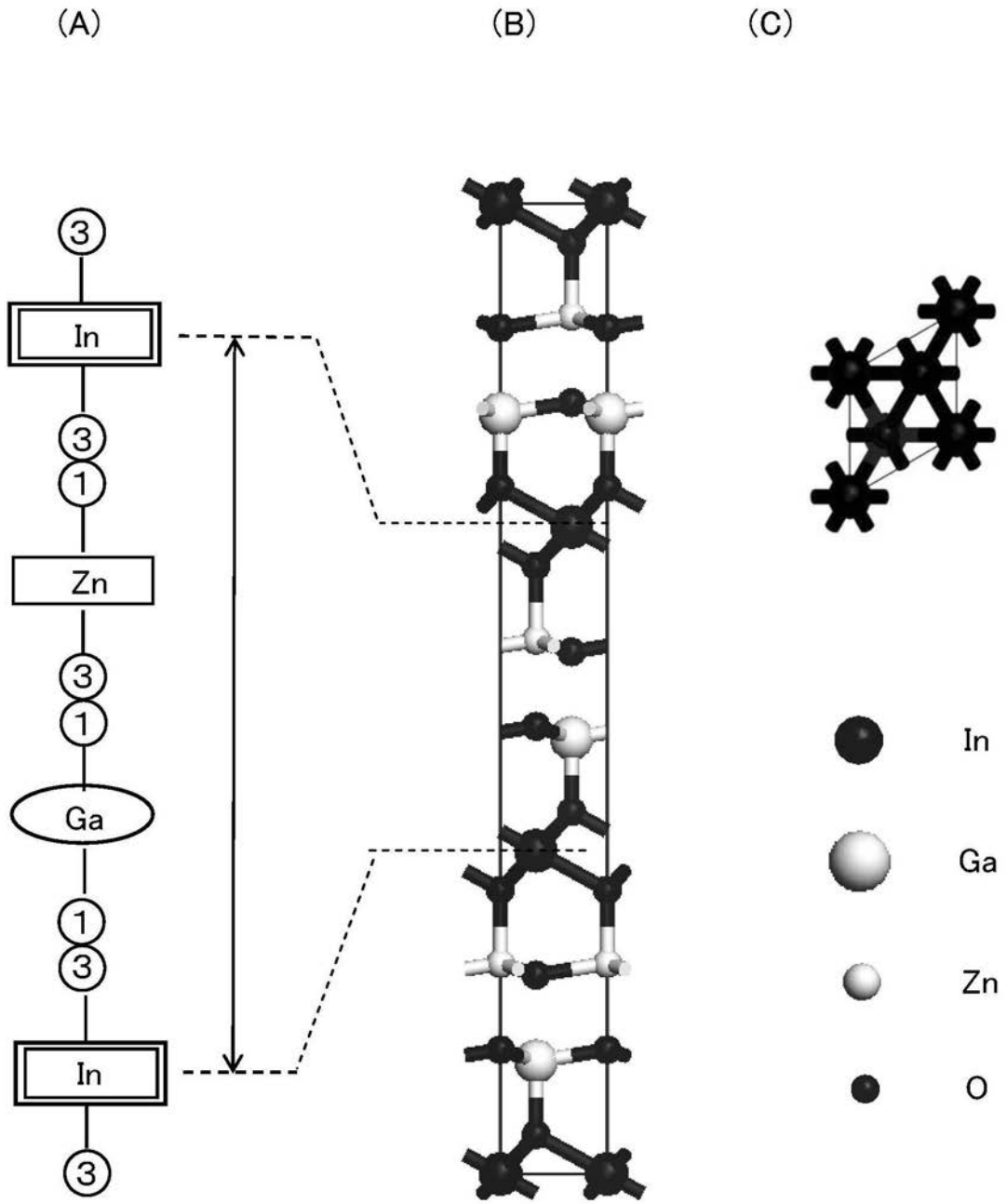
【図３２】


(A)
2606
2610
2618
A
B
dW
2614
Lov
(B)
2620
2618
2616
2608
2614
2602
2600
A
2610
2606
B

【図１７】



【図１８】



フロントページの続き

(51)Int.Cl.			F I			テーマコード（参考）
H01L	*21/8247*	*(2006.01)*	H01L	27/10	321	
H01L	*27/115*	*(2006.01)*	H01L	27/10	441	
H01L	*21/8242*	*(2006.01)*	H01L	27/10	615	
H01L	*27/108*	*(2006.01)*	H01L	27/10	671C	
H01L	*27/105*	*(2006.01)*	H01L	27/10	671Z	
H01L	*29/786*	*(2006.01)*	H01L	29/78	613B	
G11C	*11/404*	*(2006.01)*	H01L	29/78	618B	
			G11C	11/34	352C	

Fターム(参考)

5F083	AD02	AD10	AD14	AD69	EP22	EP63	EP68	EP75	ER22	GA01
	GA02	GA03	GA05	GA06	GA09	GA10	GA13	GA21	GA24	GA25
	GA27	GA28	HA02	HA06	HA08	JA05	JA06	JA12	JA19	JA35
	JA36	JA37	JA39	JA40	JA42	JA44	JA53	JA56	LA02	LA03
	LA04	LA05	LA09	LA10	LA17	MA06	MA19	PR03	PR05	PR22
	PR33	PR34	PR36	PR40	PR41	ZA01	ZA12	ZA13	ZA14	ZA15
	ZA19	ZA20								
5F101	BA17	BD07	BD30	BD33	BD39	BE02	BE05	BE07	BF01	BF02
	BF03	BF08	BF09	BG09	BH09	BH14	BH15	BH16	BH21	BH26
5F110	AA01	AA09	AA14	BB08	BB11	CC01	CC02	CC05	CC06	DD02
	DD03	DD13	DD14	DD15	DD17	EE03	EE04	EE05	EE06	EE07
	EE09	EE14	EE15	EE23	EE27	EE31	EE43	EE44	EE45	EE48
	FF02	FF03	FF04	FF09	FF28	FF30	FF36	GG02	GG04	GG06
	GG12	GG13	GG14	GG15	GG17	GG22	GG25	GG28	GG29	GG32
	GG33	GG35	GG43	GG51	GG52	GG57	GG58	HJ01	HJ04	HJ13
	HJ18	HK03	HK04	HK06	HK07	HK21	HK22	HK32	HK33	HK41
	HL03	HL04	HL06	HL12	HL22	HL24	HM15	NN03	NN22	NN23
	NN24	NN33	NN35	NN40	NN72	NN78	PP02	PP03	PP29	PP34
	QQ02	QQ11	QQ17	QQ19						
5M024	AA04	AA06	AA94	BB02	CC07	HH01	HH11	KK35	KK37	PP01
	PP03	PP04	PP05	PP08	PP09					