



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월31일
(11) 등록번호 10-1291917
(24) 등록일자 2013년07월25일

(51) 국제특허분류(Int. Cl.)
H01L 21/203 (2006.01) C23C 14/34 (2006.01)
H01L 21/3205 (2006.01)
(21) 출원번호 10-2008-7002231
(22) 출원일자(국제) 2006년06월28일
심사청구일자 2008년01월28일
(85) 번역문제출일자 2008년01월28일
(65) 공개번호 10-2008-0022221
(43) 공개일자 2008년03월10일
(86) 국제출원번호 PCT/JP2006/312890
(87) 국제공개번호 WO 2007/001022
국제공개일자 2007년01월04일
(30) 우선권주장
JP-P-2005-00188107 2005년06월28일 일본(JP)
JP-P-2005-00277044 2005년09월26일 일본(JP)
(56) 선행기술조사문헌
JP16153162 A*
KR1019980042359 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
도쿄엘렉트론가부시기가이샤
일본 도쿄도 미나토구 아카사카 5초메 3반 1고
(72) 발명자
이케다 타로
일본 야마나시켄 니라사키시 호사카쵸 미즈자와
650반치 동경엘렉트론 에이티 주식회사 내
미즈사와 야스시
미국 뉴욕주 12203 알바니 풀러 로드 255 사우스
나노파브 300 텔테크놀로지 센터 아메리카 엘엘씨
(뒷면에 계속)
(74) 대리인
제일특허법인

전체 청구항 수 : 총 12 항

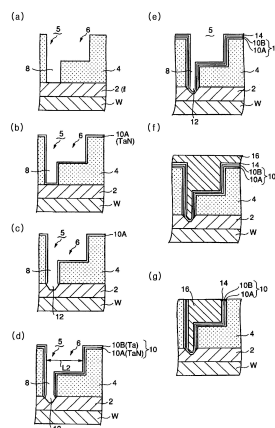
심사관 : 이석주

(54) 발명의 명칭 금속막의 성막 방법 및 성막 장치

(57) 요약

본 발명은 처리 용기 내의 탑재대 상에, 표면에 오목부가 형성된 피처리체를 탑재하는 공정과, 처리 용기 내를 진공화하는 공정과, 진공화된 처리 용기내에서, 불활성 가스를 플라즈마화하여 형성된 플라즈마에 의해서, 금속 타겟을 이온화시켜 금속 이온을 포함하는 금속 입자를 발생시키는 공정과, 상기 탑재대 상에 탑재된 상기 피처리체에 바이어스 전력을 인가하여, 상기 플라즈마 및 상기 금속 입자를 그 피처리체에 인입함으로써, 상기 오목부의 바닥부를 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부 및 상기 깎여진 오목부 내의 표면을 포함하는 상기 피처리체의 표면 전체에 금속막 성막하는 공정을 구비한 것을 특징으로 하는 금속막의 성장 방법이다.

대표도 - 도4



(72) 발명자

하타노 다츠오

일본 야마나시켄 니라사키시 호사카쵸 미즈자와
650만치 동경엘렉트론 에이티 주식회사 내

요코야마 오사무

일본 야마나시켄 니라사키시 호사카쵸 미즈자와
650만치 동경엘렉트론 에이티 주식회사 내

사쿠마 다카시

일본 야마나시켄 니라사키시 호사카쵸 미즈자와
650만치 동경엘렉트론 에이티 주식회사 내

특허청구의 범위

청구항 1

표면에 하층의 배선층과 절연층이 차례로 적층되고, 상기 절연층에 오목부가 형성되어 있는 피처리체를 준비하는 공정과,

상기 오목부내의 표면을 포함하는 상기 피처리체의 표면에 기초막을 형성하는 공정과,

진공화된 처리 용기 내에서, 불활성 가스를 플라즈마화하여 형성된 플라즈마에 의해서, 금속 타겟을 이온화시켜 금속 이온을 포함하는 금속 입자를 발생시키는 공정과,

상기 처리 용기 내의 탑재대상에 얹어 놓여진 상기 피처리체에 바이어스 전력을 인가하여 상기 플라즈마 및 상기 금속 입자를 상기 피처리체에 인입해서, 상기 오목부의 바닥부의 상기 기초막과 상기 배선층을 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부 내의 표면을 포함하는 상기 피처리체의 표면 전체에 금속막을 성막하는 공정

을 구비하되,

상기 금속막을 성막하는 공정은

상기 오목부 이외의 상기 피처리체의 표면에서의 상기 금속막의 성막량이, 불활성 가스의 플라즈마에 의한 에칭량과 같아지도록 조건 설정하고, 상기 피처리체의 표면에 금속막이 형성되지 않고, 또한 상기 기초막에 상기 깎여진 오목부가 형성되는 제 1 성막 공정과,

상기 오목부 이외의 상기 피처리체의 표면에서의 상기 금속막의 성막량이, 불활성 가스의 플라즈마에 의한 에칭량보다 커지도록 조건 설정하고, 상기 깎여진 오목부 이외의 상기 피처리체의 표면에 소정의 금속막이 형성되고, 또한 상기 깎여진 오목부의 패인 형상이 더 커지도록 되는 제 2 성막 공정

을 포함하는 것을 특징으로 하는 금속막의 성막 방법.

청구항 2

삭제

청구항 3

표면에 하층의 배선층과 절연층이 차례로 적층되고, 상기 절연층에 오목부가 형성되어 있는 피처리체를 준비하는 공정과,

상기 오목부내의 표면을 포함하는 상기 피처리체의 표면에 기초막을 형성하는 공정과,

진공화된 처리 용기 내에서, 불활성 가스를 플라즈마화하여 형성된 플라즈마에 의해서, 금속 타겟을 이온화시켜 금속 이온을 포함하는 금속 입자를 발생시키는 공정과,

상기 처리 용기 내의 탑재대상에 얹어 놓여진 상기 피처리체에 바이어스 전력을 인가하여 상기 플라즈마 및 상기 금속 입자를 상기 피처리체에 인입해서, 상기 오목부의 바닥부의 상기 기초막과 상기 배선층을 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부 내의 표면을 포함하는 상기 피처리체의 표면 전체에 금속막을 성막하는 공정

을 구비하되,

상기 금속막을 성막하는 공정은

상기 오목부 이외의 상기 피처리체의 표면에서의 상기 금속막의 성막량이, 불활성 가스의 플라즈마에 의한 에칭량과 같아지도록 조건 설정하고, 상기 피처리체의 표면에 금속막이 형성되지 않고, 또한 상기 기초막에 상기 깎여진 오목부가 형성되는 제 1 성막 공정과,

상기 오목부 이외의 상기 피처리체의 표면에서, 불활성 가스의 플라즈마에 의한 에칭이 일어나지 않는 범위로 상기 금속 입자가 최대한 인입되도록 조건 설정하고, 상기 깎여진 오목부를 포함하는 상기 피처리체의 표면에 소정의 금속막이 형성되는 보조 성막 공정

을 포함하는 것

을 특징으로 하는 금속막의 성막 방법.

청구항 4

삭제

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 금속막을 성막하는 공정은 플라즈마화를 위한 전력, 금속 타겟에 인가되는 직류 전력 및 상기 바이어스 전력 중 적어도 일부를 제어함으로써 조건 설정되는 것을 특징으로 하는 금속막의 성막 방법.

청구항 6

제 5 항에 있어서,

상기 플라즈마화를 위한 전력은 500~6000와트의 범위내에서 제어되고,

상기 직류 전력은 100~12000와트의 범위내에서 제어되며,

상기 바이어스 전력은 100~2000와트의 범위내에서 제어되는 것

을 특징으로 하는 금속막의 성막 방법.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 기초막과 상기 금속막을 포함한 2층 구조의 배리어층이 형성되는 것을 특징으로 하는 금속막의 성막 방법.

청구항 9

제 8 항에 있어서,

상기 기초막은 TaN막이고, 상기 금속막은 Ta막인 것을 특징으로 하는 금속막의 성막 방법.

청구항 10

제 8 항에 있어서,

상기 기초막은 Ta막이고, 상기 금속막은 상기 기초막과는 다른 성막 조건으로 성막된 Ta막인 것을 특징으로 하는 금속막의 성막 방법.

청구항 11

제 1 항 또는 제 3 항에 있어서,

상기 오목부는 비어홀 또는 스루홀로서 기능할 연통 구멍을 가지며, 2단계의 단형상을 갖는 것을 특징으로 하는 금속막의 성막 방법.

청구항 12

제 1 항 또는 제 3 항에 있어서,

상기 오목부는 비어홀 또는 스루홀로서 기능할 연통 구멍인 것을 특징으로 하는 금속막의 성막 방법.

청구항 13

내부를 진공화 가능한 처리 용기와,

상기 처리 용기 내에 마련되고, 표면에 오목부가 형성된 피처리체를 얹어 놓기 위한 탑재대와,

상기 처리 용기 내에 적어도 불활성 가스를 포함하는 소정의 가스를 도입하는 가스 도입 수단과,

플라즈마화를 위한 전력을 이용하여 상기 처리 용기 내에 상기 불활성 가스의 플라즈마를 발생시키는 플라즈마 발생원과,

상기 처리 용기 내에 마련되고, 직류 전력이 인가되게 되어 있음과 아울러, 상기 플라즈마에 의해서 이온화되는 금속 타겟과,

상기 탑재대에 대하여 소정의 바이어스 전력을 공급하는 바이어스 전원과,

적어도 상기 피처리체의 오목부의 바닥부를 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부내 및 상기 깎여진 오목부 내의 표면을 포함하는 상기 피처리체의 표면 전체에 금속막을 형성하도록, 적어도 상기 바이어스 전원을 제어하는 장치 제어부

를 구비하되,

상기 장치 제어부는

상기 오목부 이외의 상기 피처리체의 표면에서의 상기 금속막의 성막량이, 불활성 가스의 플라즈마에 의한 예칭량과 같아지도록 조건 설정하고, 상기 피처리체의 표면에 금속막이 형성되지 않고, 또한 상기 피처리체의 오목부의 바닥부에 상기 깎여진 오목부가 형성되는 제 1 성막 공정과,

상기 오목부 이외의 상기 피처리체의 표면에서의 상기 금속막의 성막량이, 불활성 가스의 플라즈마에 의한 예칭량보다 커지도록 조건 설정하고, 상기 깎여진 오목부를 포함하는 상기 피처리체의 표면에 소정의 금속막이 형성되는 제 2 성막 공정

이 실시되도록, 적어도 상기 바이어스 전원을 제어하게 되어 있는 것

을 특징으로 하는 금속막의 성막 장치.

청구항 14

삭제

청구항 15

내부를 진공화 가능한 처리 용기와,

상기 처리 용기 내에 마련되고, 표면에 오목부가 형성된 피처리체를 얹어 놓기 위한 탑재대와,

상기 처리 용기 내에 적어도 불활성 가스를 포함하는 소정의 가스를 도입하는 가스 도입 수단과,

플라즈마화를 위한 전력을 이용하여 상기 처리 용기 내에 상기 불활성 가스의 플라즈마를 발생시키는 플라즈마 발생원과,

상기 처리 용기 내에 마련되고, 직류 전력이 인가되게 되어 있음과 아울러, 상기 플라즈마에 의해서 이온화되는 금속 타겟과,

상기 탑재대에 대하여 소정의 바이어스 전력을 공급하는 바이어스 전원과,

적어도 상기 피처리체의 오목부의 바닥부를 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부내 및 상기 깎여진 오목부 내의 표면을 포함하는 상기 피처리체의 표면 전체에 금속막을 형성하도록, 적어도 상기 바이어스 전원을 제어하는 장치 제어부

를 구비하되,

상기 장치 제어부는

상기 오목부 이외의 상기 피처리체의 표면에서의 상기 금속막의 성막량이, 불활성 가스의 플라즈마에 의한 예칭량과 같아지도록 조건 설정하고, 상기 피처리체의 표면에 금속막이 형성되지 않고, 또한 상기 피처리체의 오목

부의 바닥부에 상기 깎여진 오목부가 형성되는 제 1 성막 공정과,

상기 오목부 이외의 상기 피처리체의 표면에서, 불활성 가스의 플라즈마에 의한 에칭이 일어나지 않는 범위로 상기 금속 입자가 최대한 인입되도록 조건 설정하고, 상기 깎여진 오목부를 포함하는 상기 피처리체의 표면에 소정의 금속막이 형성되는 보조 성막 공정

이 실시되도록, 적어도 상기 바이어스 전원을 제어하게 되어 있는 것

을 특징으로 하는 금속막의 성막 장치.

청구항 16

삭제

청구항 17

제 13 항 또는 제 15 항에 있어서,

상기 장치 제어부는 플라즈마화를 위한 전력, 상기 금속 타겟에 인가되는 직류 전력 및 상기 바이어스 전력 중 적어도 일부를 제어하게 되어 있는 것을 특징으로 하는 금속막의 성막 장치.

청구항 18

삭제

명세서

기술분야

[0001] 본 발명은 반도체 웨이퍼 등의 피처리체의 표면에 형성되어 있는 오목부의 표면에 효과적으로 금속막을 형성하는 성막 방법 및 성막 장치에 관한 것이다.

배경기술

[0002] 일반적으로, 반도체 장치를 제조할 때는 반도체 웨이퍼에 성막 처리나 패틴 에칭 처리 등의 각종의 처리가 반복해서 행해져서, 소망하는 장치가 제조된다. 최근, 반도체 장치의 고집적화 및 고미세화가 더욱 요청됨에 따라, 선폭이나 홀 직경이 점점 미세화되고 있다. 그리고, 각종 치수의 미세화에 의해, 보다 전기 저항을 작게 해야 하기 위해서, 배선 재료나 매립 재료로서 전기 저항이 매우 작고 또한 저렴한 동(銅)이 이용되는 경향에 있다(일본 특허 공개 2000-77365호 공보 참조). 그리고, 배선 재료나 매립 재료로서 동이 이용되는 경우에는 그 하층과의 밀착성 등이 고려되어, 일반적으로는 탄탈 금속(Ta)이나 탄탈질화막(TaN) 등이 배리어층으로서 이용된다.

[0003] 이러한 배리어층을 형성하기 위해서는 플라즈마 스퍼터 장치 내에서, 웨이퍼 표면에 우선, 기초층으로서의 탄탈 질화막(이하, 「TaN막」이라고도 한다)이나 탄탈막(이하 「Ta막」이라고도 한다)이 형성된다. 다음으로, 같은 플라즈마 스퍼터 장치내에서, 탄탈막(기초층이 Ta막일 때에는 성막 조건이 달라진다)이 형성된다. 이로써, 배리어층이 형성된다. 그리고, 그 후, 해당 배리어층의 표면에, 동막으로 이루어진 얇은 시드막이 형성되고, 계속해서, 웨이퍼 표면 전체에 동도금 처리가 실시되어 오목부내가 매립된다.

[0004] 그런데, 절연막을 사이에 두고 적층되는 하층의 배선층과 상층의 배선층을 전기적으로 접속하는 경우에는 하층의 배선층상에 절연층을 형성한 후에, 그 절연층에 비어홀이나 스루홀과 같은 연통 구멍을 형성하며, 해당 연통 구멍의 바닥부에 하층의 배선층을 노출시키고, 그 후에 해당 연통 구멍을 상층의 배선층의 재료로 매립하는 동시에 상층의 배선층을 퇴적 형성한다. 여기서, 상술한 바와 같이, 미세 화 요청에 의해서 선폭이나 홀(구멍) 직경이 더 작아지기 때문에, 상기 상하의 배선층간의 접속 구조에 관해서도, 그 전기 저항을 보다 낮추는 고안이 필요하다. 그 고안의 일례로서, 연통 구멍의 바닥부를 하층의 배선층의 두께 방향의 소정의 깊이까지 「매립」하도록 해서 형성함과 아울러, 해당 연통 구멍의 바닥부를 「매립」하기 위한 매립 재료와 하층의 배선층과의 접촉 저항을 보다 작게 하는 구조를 채용하고 있다. 이러한 구조는 이른바 펀치 스루 구조라고 불린다. 해당 구

조의 작성 방법이 이른바 펀치 스루 프로세스라고 불리고 있다.

- [0005] 펀치 스루 프로세스의 일례를, 도 12(a) 내지 도 12(c) 및 도 13(a) 내지 도 13(e)를 참조하여 설명한다. 도 12(a) 내지 도 12(c)는 반도체 웨이퍼 상에 형성된 연통 구멍을 채우기 전의 상태를 도시하는 도면이다. 도 12(a)는 연통 구멍이 매립되기 전의 반도체 웨이퍼의 평면도, 도 12(b)는 도 12(a)의 반도체 웨이퍼의 A-A선으로 본 단면도, 도 12(c)는 도 12(a)의 반도체 웨이퍼의 사시도이다. 한편, 도 13(a) 내지 도 13(e)는 연통 구멍의 매립 공정을 설명하기 위한 도면이다.
- [0006] 도 12(a) 내지 도 12(c)에 도시하는 바와 같이 반도체 웨이퍼(W)는 예컨대 실리콘 기판으로 이루어진다. 이 실리콘 기판의 표면에는 예컨대 동으로 이루어지는 하층의 배선층(102)과, 실리콘 산화막 등으로 이루어진 절연층(104)이 해당 순으로 적층되어 있다. 그리고, 절연층(104)의 표면에 오목부(105)이 형성되어 있다. 오목부(105)는 상층의 배선층을 형성하기 위한 소정의 폭의 배선홈, 즉 트렌치(106)를 갖고 있다. 또한, 트렌치(106)의 바닥부에는 부분적으로, 절연층(104)을 관통하여 하층의 배선층(102)에 이르는 연통 구멍(108)이 형성되어 있다. 연통 구멍(108)이 비어홀이나 스루홀이 된다. 연통 구멍(108)의 직경(L1)은 매우 작아서, 예컨대 60~200nm 정도이다. 트렌치(106)의 폭(L2)은 예컨대 60~1000nm 정도이다.
- [0007] 그런데, 상술한 바와 같은 연통 구멍(108) 및 트렌치(106)를 매립하기 위해서는 우선, 도 13(a)에 도시하는 바와 같이 트렌치(106) 내의 표면 및 연통 구멍(108) 내의 표면을 포함하는 웨이퍼(W)의 표면 전체에, 기초층과의 밀착성의 향상이나 동의 절연층(108)으로의 확산 방지나 마이그레이션의 발생 저지 등을 목적으로 해서, 금속막으로 이루어지는 배리어층(110)이 예컨대 플라즈마 스퍼터 등에 의해 형성된다. 배리어층(110)으로서는 예컨대 탄탈질화막(TaN막)과 탄탈막(Ta막)과의 2층 구조나, 서로 성막 조건을 다르게 해서 성막한 탄탈막끼리의 2층 구조가 주로 채용된다.
- [0008] 다음으로, 도 13(b)에 도시하는 바와 같이 예컨대, 불활성 가스로서 Ar 가스를 이용한 플라즈마 에칭이 실시되고, 연통 구멍(108)의 바닥부에 형성한 배리어층(110)이 깎여진다. 또한, 그 기초인 하층의 배선층(102)이 에칭되고, 이것에 소정의 깊이의 깎여진 오목부(112)가 형성된다.
- [0009] 다음으로, 도 13(c)에 도시하는 바와 같이 예컨대, 스퍼터가 실시됨으로써, 깎여진 오목부(112)나 연통 구멍(108)이나 트렌치(106)의 각 내면을 포함하는 전체 표면에, 전기 도금의 시드막(114)이 매우 얇게 형성된다. 여기서는 시드막(114)으로서는 예컨대 후속 공정에서 동도금이 행해짐으로써, 동(Cu)막이 이용된다.
- [0010] 다음으로, 도 13(d)에 도시하는 바와 같이 시드막(114)을 기점으로 해서 전기 도금이 실시되어서, 깎여진 오목부(112), 연통 구멍(108) 및 트렌치(106)가 상층의 배선층(116)의 재료로 각각 채워진다. 그 상층의 배선층(116)의 재료로서는 상술한 바와 같이 예컨대 동이 이용된다.
- [0011] 그 후, 도 13(e)에 도시하는 바와 같이 상면이 불필요한 금속 재료를 연마 처리 등에 의해서 깎여짐으로써, 하층의 배선층(102)과 전기적으로 접속된 상층의 배선층(116)이 형성되게 된다.
- [0012] 또한, 트렌치(106)의 바닥부에 스루홀이나 비어홀과 같은 연통 구멍(108)이 마련되고, 그 단면이 2단계의 단 형상인 오목부(105)의 형상은 이른바 듀얼 대머신(Dual Damascen)구조라고 불리고 있다.
- [0013] 그런데, 도 13(b)에 도시하는 바와 같은 플라즈마 에칭 공정으로서는 예컨대 점(P1)에 나타내는 것과 같은 모서리부에서 에칭에 의해 비산하는 배리어층의 입자는 특정한 방향으로 집중된 각도 범위내에서 지향성을 가지고 비산한다. 이 특성은 선폭이나 홈폭이 상당히 넓은 경우에는 특별히 현저한 문제로는 되지 않는다. 그러나, 상술한 바와 같이 홈폭 등이 100nm 정도까지 작아지면, 해당 특성에 의해서 특정한 방향으로 비산하는 입자가 대향 벽면에 부착되고, 해당 벽면에 퇴적 돌기물(118)을 형성하는 경우가 있다. 이와 같이 퇴적 돌기물(118)이 형성되면, 다음의 도 13(c)에 나타내는 플라즈마 스퍼터 공정에서 스퍼터 입자의 지향성이 높기 때문에, 퇴적 돌기물(118)의 그림자가 되는 부분이 발생하여, 이른바 세도잉 현상이 발생한다. 즉, 퇴적 돌기물(118)의 그림자부(120)에 시드막(114)이 부착하지 않게 된다. 이와 같이 시드막(114)이 부착하지 않는 부분이 발생하면, 도 13(d)에 도시하는 바와 같이 해당 부분에 구멍 즉, 보이드(void:122)가 발생해 버려서, 바람직하지 않다.
- [0014] 또한, 도 14(a) 및 도 14(b)는 폭(L2)이 다른 오목부(105)(트렌치:106)를 비교하기 위한 도면이다. 반도체 웨이퍼(W)의 표면에는 실제로는 도 14(a) 및 도 14(b)에 도시하는 바와 같이, 폭(L2)이 여러가지 다른 오목부(5)가 여러 종류 존재하고 있다. 이 경우, 연통 구멍(108)(이 직경(L1)은 같다)의 어스펙트비가 동일해도, 트렌치(106)의 어스펙트비가 달라지면, 연통 구멍(108)의 바닥부로부터 윗쪽을 보는 각도(θ_1 , θ_2)가 도 14(a) 및 도 14(b)에 도시하는 바와 같이 다르다($\theta_1 < \theta_2$). 따라서, 오목부의 최하층인 연통 구멍(108)의 바닥부에 퇴적하는 배리어층(110)의 두께(H1, H2)가 각각 달라져 버린다. 이 경우, 배리어층(110)의 두께(H1, H2)의 차이에 기인하

여, 해당 배리어층을 깎아서 형성되는 깎여진 오목부(112)의 깊이에 편차가 발생해 버린다.

발명의 상세한 설명

- [0015] 본 발명은 이상과 같은 문제점에 착안하여, 이것을 유효하게 해결하도록 창안된 것이다. 본 발명의 목적은 피처리체의 표면에 형성되어 있는 오목부의 표면에 금속막을 형성하는 성막 방법 및 성막 장치에 있어서, 오목부의 폭에 의존하지 않고, 같은 깊이만큼 오목부의 바닥부를 깎아서 항상 같은 깊이의 깎여진 오목부를 형성하고, 오목부내 및 깎여진 오목부 내에 바람직한 상태의 금속막을 성막할 수 있는 성막 방법 및 성막 장치를 제공하는 것에 있다.
- [0016] 본건 발명자 등은 플라즈마 스퍼터 처리에 의해서 금속막을 성막할 때에, 바이어스 전압이나 금속 타겟에 인가하는 직류 전력이나 플라즈마 생성을 위한 전력 등의 프로세스 조건을 적절히 조정함으로써, 금속 타겟으로부터 발생하는 금속 입자의 중성 원자와 금속 입자 이온과의 비율을 제어하는 것이, 반도체 웨이퍼의 표면 전역으로의 양호한 금속막의 성막에 유효하다는 지견을 얻음으로써, 본 발명에 이른 것이다.
- [0017] 본 발명은 처리 용기 내의 탑재대 상에, 표면에 오목부가 형성된 피처리체를 얹어 놓는 공정과, 처리 용기 내를 진공화하는 공정과, 진공화된 처리 용기 내에서, 불활성 가스를 플라즈마화하여 형성된 플라즈마에 의해서, 금속 타겟을 이온화시켜 금속 이온을 포함하는 금속 입자를 발생시키는 공정과, 상기 탑재대 상에 탑재된 상기 피처리체에 바이어스 전력을 인가하고, 상기 플라즈마 및 상기 금속 입자를 해당 피처리체에 인입함으로써, 상기 오목부의 바닥부를 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부 및 상기 깎여진 오목부 내의 표면을 포함하는 상기 피처리체의 표면 전체에 금속막을 성막하는 공정을 구비한 것을 특징으로 하는 금속막의 성막 방법이다.
- [0018] 본 발명에 의하면, 배리어막 등의 금속막을 성막할 때에 있어서, 오목부의 바닥부만을 선택적으로 깎아서 깎여진 오목부를 형성함과 아울러, 오목부내 및 깎여진 오목부 내의 표면을 포함하는 피처리체의 표면 전역에 금속막을 형성함으로써, 오목부의 폭에 의존하지 않고 항상 같은 깊이의 깎여진 오목부를 형성할 수 있다. 이에 따라, 피처리체의 표면 전역에서, 예컨대 전기 저항 특성이 현저히 우수한 양호한 금속막을 성막할 수 있다.
- [0019] 예컨대, 상기 금속막을 성막하는 공정은, 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이 불활성 가스의 플라즈마에 의한 예칭량과 실질적으로 같게 되도록 조건 설정된 제 1 성막 공정과, 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이 불활성 가스의 플라즈마에 의한 예칭량보다 약간 크도록 조건 설정된 제 2 성막 공정을 갖는 것이 바람직하다.
- [0020] 혹은, 상기 금속막을 성막하는 공정은 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이 불활성 가스의 플라즈마에 의한 예칭량과 실질적으로 같게 되도록 조건 설정된 제 1 성막 공정과, 상기 오목부 이외의 상기 피처리체의 표면에서, 불활성 가스의 플라즈마에 의한 예칭이 일어나지 않는 범위에서 상기 금속 입자가 최대한 인입되도록 조건 설정된 보조 성막 공정을 갖는 것이 바람직하다.
- [0021] 혹은, 상기 금속막을 성막하는 공정은 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이 불활성 가스의 플라즈마에 의한 예칭량보다 약간 커지도록 조건 설정된 제 2 성막 공정을 갖는 것이 바람직하다.
- [0022] 또한, 예컨대, 상기 금속막을 성막하는 공정은 플라즈마화를 위한 전력, 금속 타겟에 인가되는 직류 전력 및 상기 바이어스 전력 중 적어도 일부를 제어함으로써 조건 설정된다.
- [0023] 이 경우, 바람직하게는 상기 플라즈마화를 위한 전력이 500~6000와트의 범위내에서 제어되고, 상기 직류 전력이 100~12000와트의 범위 내에서 제어되며, 상기 바이어스 전력이 100~2000와트의 범위 내에서 제어된다.
- [0024] 또한, 바람직하게는 상기 금속막을 성막하는 공정 전에 기초막을 형성하는 기초막 형성 공정이 행해진다.
- [0025] 이 경우, 바람직하게는 상기 기초막과 상기 금속막에 의해 2층 구조의 배리어층이 형성된다.
- [0026] 또한, 이 경우 예컨대, 상기 기초막은 TaN막이고, 상기 금속막은 Ta막이다. 혹은, 상기 기초막은 Ta막이고, 상기 금속막은 상기 기초막과는 다른 성막 조건으로 성막된 Ta막이다.
- [0027] 또한, 예컨대, 상기 오목부에는 비어홀 또는 스루홀이 되는 연통 구멍이 마련되어, 2단계의 단 형상으로 되어 있다. 혹은 상기 오목부는 비어홀 또는 스루홀이 되는 연통 구멍이다.
- [0028] 또한, 본 발명은 내부를 진공화 가능한 처리 용기와, 상기 처리 용기 내에 마련되며, 표면에 오목부가 형성된

피처리체를 얹어 놓기 위한 탑재대와, 상기 처리 용기내에 적어도 불활성 가스를 포함하는 소정의 가스를 도입하는 가스 도입 수단과, 플라즈마화를 위한 전력을 이용하여 상기 처리 용기 내에 상기 불활성 가스의 플라즈마를 발생시키는 플라즈마 발생원과, 상기 처리 용기 내에 마련되어, 직류 전력이 인가되게 되어 있음과 아울러, 상기 플라즈마에 의해서 이온화되는 금속 타겟과, 상기 탑재대에 대하여 소정의 바이어스 전력을 공급하는 바이어스 전원과, 적어도 상기 피처리체의 오목부의 바닥부를 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부내 및 상기 깎여진 오목부내의 표면을 포함하는 상기 피처리체의 표면 전체에 상기 금속막을 형성하도록 적어도 상기 바이어스 전원을 제어하는 장치 제어부를 구비한 것을 특징으로 하는 성막 장치이다.

[0029] 본 발명에 의하면, 배리어막 등의 금속막을 성막할 때에 있어서, 오목부의 바닥부만을 선택적으로 깎아서 깎여진 오목부를 형성함과 아울러, 오목부내 및 깎여진 오목부 내의 표면을 포함하는 피처리체의 표면 전역에 금속막을 형성함으로써, 오목부의 폭에 의존하지 않고 항상 같은 깊이의 깎여진 오목부를 형성할 수 있다. 이에 따라, 피처리체의 표면 전역에서, 예컨대 전기 저항 특성이 현저히 우수한 양호한 금속막을 성막할 수 있다.

[0030] 예컨대, 상기 장치 제어부는 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이 불활성 가스의 플라즈마에 의한 예칭량과 실질적으로 같아지도록 조건 설정된 제 1 성막 공정과, 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이, 불활성 가스의 플라즈마에 의한 예칭량보다 약간 크도록 조건 설정된 제 2 성막 공정이 실시되도록, 적어도 상기 바이어스 전원을 제어하게 되어 있다.

[0031] 혹은, 상기 장치 제어부는 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이 불활성 가스의 플라즈마에 의한 예칭량과 실질적으로 같게 되도록 조건 설정된 제 1 성막 공정과, 상기 오목부 이외의 상기 피처리체의 표면에서, 불활성 가스의 플라즈마에 의한 예칭이 생기지 않는 범위에서 상기 금속 입자가 최대한 인입되도록 조건 설정된 보조 성막 공정이 실시되도록, 적어도 상기 바이어스 전원을 제어하게 되어 있다.

[0032] 또는, 상기 장치 제어부는 상기 오목부 이외의 상기 피처리체의 표면에서의 금속막의 성막량이 불활성 가스의 플라즈마에 의한 예칭량보다 약간 크게 되도록 조건 설정된 제 2 성막 공정이 실시되도록 적어도 상기 바이어스 전원을 제어하게 되어 있다.

[0033] 또한, 바람직하게는 상기 장치 제어부는 플라즈마화를 위한 전력, 금속 타겟에 인가되는 직류 전력 및 상기 바이어스 전력 중 적어도 일부를 제어하도록 되어 있다.

[0034] 또한, 본 발명은 내부를 진공화 가능한 처리 용기와, 상기 처리 용기 내에 마련된, 표면에 오목부가 형성된 피처리체를 얹어 놓기 위한 탑재대와, 상기 처리 용기 내에 적어도 불활성 가스를 포함하는 소정의 가스를 도입하는 가스 도입 수단과, 플라즈마화를 위한 전력을 이용하여 상기 처리 용기 내에 상기 불활성 가스의 플라즈마를 발생시키는 플라즈마 발생원과, 상기 처리 용기 내에 마련되어 직류 전력이 인가되게 되고 있고 또한 상기 플라즈마에 의해서 이온화되는 금속 타겟과, 상기 탑재대에 대하여 소정의 바이어스 전력을 공급하는 바이어스 전원을 구비한 성막 장치를 제어하는 제어 방법으로서, 적어도 상기 피처리체의 오목부의 바닥부를 깎아서 깎여진 오목부를 형성함과 아울러, 상기 오목부내 및 상기 깎여진 오목부 내의 표면을 포함하는 상기 피처리체의 표면의 전체에 상기 금속막을 형성하도록, 적어도 상기 바이어스 전원을 제어하는 제어 방법을 컴퓨터에 실시시키기 위한 컴퓨터 프로그램을 기억하는 기억 매체이다.

실시예

[0049] 이하, 본 발명의 실시예에 대하여, 첨부 도면에 근거하여 상세히 설명한다.

[0050] 도 1은 본 발명에 관한 성막 장치의 일 실시예를 나타내는 개략 단면도이다. 본 실시예의 성막 장치는 ICP(Inductively Coupled Plasma)형 플라즈마 스퍼터 장치이다. 도 1에 도시하는 바와 같이 이 성막 장치(32)는 예컨대 알루미늄 등에 의해 통체 형상으로 성형된 처리 용기(34)를 갖고 있다. 처리 용기(34)는 접지되고, 처리 용기(34)의 바닥부(36)에는 배기구(38)가 마련되어 있다. 배기구(38)는 스로틀 밸브(40)를 통해서 진공 펌프(42)에 접속되어 있고, 이에 따라 처리 용기(34)의 내부를 진공화 가능하게 되어 있다.

[0051] 처리 용기(34)의 내부에는 예컨대 알루미늄으로 이루어지는 원판 형상의 탑재대(44)가 마련되어 있다. 탑재대(44)의 상면에는 정전척(46)이 설치되어 있다. 정전척(46)에는 흡착용 직류 전압이 필요에 따라서 인가되게 되어 있다. 이에 따라, 정전척(46) 상에 피처리체인 반도체 웨이퍼(W)가 흡착되어 유지되게 되어 있다. 또한, 탑재대(44)는 탑재대(44)의 하면의 중심부로부터 하방으로 연장하는 지주(48)에 의해서 지지되어 있다. 지주(48)의 하부는 처리 용기(34)의 바닥부(36)를 관통하여, 도시하지 않는 승강 기구에 의해서 상하 이동 가능하게 되

어 있다. 이에 따라, 탑재대(44) 자체가 승강 가능하게 되어 있다.

[0052] 지주(48)를 둘러싸도록 하여, 신축 가능한 주름 상자 형상의 금속 벨로우즈(50)가 마련되어 있다. 금속 벨로우즈(50)의 상단이 탑재대(44)의 하면에 기밀하게 접합되어 있고, 금속 벨로우즈(50)의 하단이 바닥부(36)의 상면에 기밀하게 접합되어 있다. 이에 따라, 처리 용기(34) 내의 기밀성을 유지하면서, 탑재대(44)를 승강시킬 수 있게 되어 있다. 또한, 탑재대(44)에는 웨이퍼(W)를 냉각하는 냉매를 흘리는 냉매 순환로(52)가 형성되어 있다. 냉매는 지주(48) 내의 도시하지 않은 유로를 거쳐서 급배되게 되고 있다.

[0053] 용기 바닥부(36)에는 그로부터 윗쪽을 향해서, 예컨대 3개(도시예에서는 2개 만 도시한다)의 지지핀(54)이 기립해서 마련되어 있다. 또한, 각 지지핀(54)에 대응하여, 탑재대(44)에 핀 삽입 관통 구멍(56)이 형성되어 있다. 이에 따라, 탑재대(44)가 강하되었을 때에, 핀 삽입 관통 구멍(56)을 관통한 지지핀(54)의 상단부에서 웨이퍼(W)를 수용할 수 있다. 이에 따라, 해당 웨이퍼(W)는 지지핀(54)상과 외부로부터 침입하는 도시하지 않은 반송 아암 사이에서 탑재 이송될 수 있다. 처리 용기(34)의 하부 측벽에는 반송 아암을 침입시키기 위해서 개폐 가능한 게이트 밸브(58)가 마련되어 있다.

[0054] 또한, 탑재대(44)에 마련된 정전척(46)에는 배선(60)을 거쳐서, 예컨대 13.56MHz의 고주파를 발생하는 고주파 전원으로 이루어지는 바이어스 전원(62)이 접속되어 있다. 이에 따라, 탑재대(44)에 대하여 소정의 바이어스 전력을 인가할 수 있도록 되어 있다. 또한, 이 바이어스 전원(62)은 그 출력인 바이어스 전력을 필요에 따라서 제어할 수 있게 되어 있다.

[0055] 한편, 처리 용기(34)의 천장부에는 예컨대 질화 알루미늄 등의 유전체로 이루어져 고주파에 대하여 투과성이 있는 투과판(64)이, 0링 등의 밀봉 부재(66)를 거쳐서 기밀하게 마련되어 있다. 그리고, 투과판(64)의 처리 용기(34) 내의 처리 공간(68)과는 반대측에 예컨대, 플라스마 가스로서의 Ar 가스를 플라스마화하여 플라스마를 발생하기 위한 플라스마 발생원(70)이 마련되어 있다. 구체적으로는 플라스마 발생원(70)은 투과판(64) 근방에 마련된 유도 코일부(72)와, 해당 유도 코일부(72)에 접속된 플라스마 발생용의 예컨대 13.56MHz의 고주파 전원(74)을 갖고 있다. 이에 따라, 투과판(64)을 거쳐서, 처리 공간(68) 내에 고주파를 도입할 수 있게 되어 있다. 여기서, 고주파 전원(74)으로부터 출력되는 플라스마 전력은 필요에 따라서 제어될 수 있다. 또한, 플라스마 가스로서는 Ar 대신에 다른 불활성 가스 예컨대 He, Ne 등을 이용해도 된다.

[0056] 또한, 투과판(64)의 바로 아래에는 처리 공간(68) 내에 도입되는 고주파를 확산시키기 위한, 예컨대 알루미늄으로 이루어지는 배플 플레이트(76)가 마련되어 있다. 그리고, 배플 플레이트(76) 하부에 처리 공간(68)의 상부측을 둘러싸도록 예컨대 내측을 향하여 경사진 단면을 갖는 환상(원뿔대 꺾대기 형상:truncated-conical shell shaped)의 금속 타겟(78)이 마련되어 있다. 이 금속 타겟(78)에는 가변 직류 전원(80)이 접속되어 있다. 가변 직류 전원(80)으로부터 출력되는 직류 전력은 필요에 따라서 제어될 수 있다. 여기서는 금속 타겟(78)으로서, 예컨대 탄탈 금속이나 동 등이 이용된다. 이들 금속은 플라스마 중 Ar 이온에 의해서 금속 원자 혹은 금속 원자 단으로서 스퍼터되는 한편으로, 플라스마 중을 통과할 때에 대부분은 이온화된다.

[0057] 또한, 금속 타겟(78)의 아래쪽으로는 처리 공간(68)을 둘러싸도록 하여, 예컨대 알루미늄으로 이루어지는 원통형의 보호 커버(82)가 마련되어 있다. 보호 커버(82)는 접지되어 있다. 보호 커버(82)의 하부는 내측으로 굴곡되고, 탑재대(44)의 측부 근방에 위치되어 있다. 또한, 처리 용기(34)의 바닥부(36)에는 처리 용기(34)내로 필요한 소정의 가스를 도입하는 가스 도입 수단으로서의 가스 도입구(84)가 마련되어 있다. 가스 도입구(84)로부터는 플라스마 가스, 예컨대 Ar 가스나, 다른 필요한 가스 예컨대 N₂ 가스 등이 가스 유량 제어기, 밸브 등으로 이루어지는 가스 제어부(86)를 통해서 공급된다.

[0058] 여기서, 성막 장치(32)의 각 구성부는 예컨대 컴퓨터 등으로 이루어지는 장치 제어부(88)에 접속되어, 해당 장치 제어부(88)에 의해서 제어되게 되어 있다. 구체적으로는 장치 제어부(88)는 바이어스 전원(62), 플라스마 발생용 고주파 전원(74), 가변 직류 전원(80), 가스 제어부(86), 스로틀 밸브(40), 진공 펌프(42) 등의 동작을 제어하게 되어 있다. 특히, 금속막을 성막할 때에는 다음과 같은 제어를 실시하게 되어 있다.

[0059] 우선, 장치 제어부(88)의 제어하에서 진공 펌프(42)가 동작됨으로써, 처리 용기(34)가 진공화된다. 다음으로, 진공화된 처리 용기(34)내에 가스 제어부(86)가 동작된 상태로, Ar 가스가 공급된다. 또한, 스로틀 밸브(40)가 제어되어, 처리 용기(34) 내가 소정의 진공도로 유지된다. 그 후, 가변 직류 전원(80)을 거쳐서 직류 전력이 금속 타겟(78)에 인가되고, 또한 고주파 전원(74)을 거쳐서 유도 코일부(72)에 고주파 전력(플라스마 전력)이 인가된다.

[0060] 한편, 장치 제어부(88)는 바이어스 전원(62)에도 지령을 내서, 탑재대(44)에 대해서 소정의 바이어스 전력을 인

가한다. 이상과 같이 제어된 처리 용기(34) 내에서는 유도 코일부(72)에 인가된 플라즈마 전력에 의해서 아르곤 플라즈마가 형성되고 아르곤 이온이 생성되며, 해당 아르곤 이온은 금속 타겟(78)에 충돌하여, 금속 타겟(78)이 스퍼터되어 금속 입자가 방출된다.

[0061] 스퍼터된 금속 타겟(78)으로부터의 금속 입자인 금속 원자 및/또는 금속 원자단의 대부분은 플라즈마 속을 지날 때 이온화된다. 여기서, 금속 입자(금속 원자 및/또는 금속 원자단)은 이온화된 금속 이온과 전기적으로 중성인 중성 금속 원자와가 혼재하는 상태가 되어, 아래 방향으로 비산해 간다. 그리고, 특히 금속 이온이 탐재대(44)에 인가된 바이어스 전력에 의해서 끌려져서, 웨이퍼(W)에 대한 지향성이 높은 금속 이온으로서 웨이퍼(W)상에 퇴적한다.

[0062] 후술하는 바와 같이, 장치 제어부(88)는 예컨대 바이어스 전원(62)에 큰 출력을 내는 지령을 보냄으로써, 플라즈마 중의 Ar 이온도 탐재대(44)측으로 잡아 당기는 것이 가능하다. 이에 따라, 성막과 스퍼터 에칭 양쪽을 동시에 실행하는 것이 달성된다.

[0063] 여기서, 장치 각 구성부는 장치 제어부(88)에 의해서 소정의 조건으로 금속막의 성막 공정이 실시되도록 미리 작성된 프로그램에 근거하여, 제어되게 되어 있다. 이 때, 예컨대 플로피 디스크(등록 상표)(FD)나 콤팩트 디스크(등록상표)(CD), 플래쉬 메모리 등의 기억 매체(90)에, 상기 제어를 행하기 위한 각종 명령을 포함하는 프로그램이 저장되고, 해당 프로그램에 근거하여 소정의 조건으로 금속막의 성막 공정이 실시되도록 각 구성부가 제어된다.

[0064] 다음으로, 이상과 같이 구성된 성막 장치(32)를 이용하여 행해지는 본 발명의 성막 방법에 대하여 설명한다.

[0065] 도 2는 스퍼터 에칭의 각도 의존성을 나타내는 그래프이다. 도 3은 바이어스 전력과 웨이퍼 상면의 성막량의 관계를 나타내는 그래프이다. 도 4(a) 내지 도 4(g)는 본 발명 방법의 실시예 1을 설명하기 위한 플로우차트이다.

[0066] 우선, 본 발명 방법의 특징은 일련의 성막 처리 내의 특정한 공정에서, 플라즈마에 의한 스퍼터 성막에 의해서 금속막을 형성할 때에, 바이어스 전력, 직류 전력, 플라즈마 전력 등을 적절한 크기로 제어함으로써, 금속 이온의 인입에 의한 성막과 플라즈마 가스(Ar 이온)에 의한 스퍼터 에칭이 동시에 생기도록 하고, 게다가 반도체 웨이퍼에 형성되어 있는 오목부의 최하층 바닥부가 깎여지는 상태로 설정하여, 해당 오목부의 최하층의 바닥부를 깎아서 깎여진 오목부를 형성함과 아울러, 오목부 및 깎여진 오목부의 표면에 금속막을 퇴적시키도록 하고 있다는 점이다. 구체적으로는 이 때의 바이어스 전력은 금속 타겟(78)에 대한 대향면 즉, 도 1에 있어서의 웨이퍼의 상면에 대해서, 금속 이온의 인입에 의한 성막 레이트와 플라즈마 가스(Ar+)에 의한 스퍼터 에칭의 에칭 레이트가 거의 균형이 맞는 크기로 설정된다.

[0067] 이 점에 대하여, 더 자세히 설명한다.

[0068] 우선, 성막량을 고려하지 않고, 플라즈마 가스에 의한 스퍼터 에칭의 에칭 레이트에 대하여 그 특성을 검토한다. 스퍼터면의 각도와 에칭 레이트의 관계는 도 2에 나타내는 그래프와 같이 된다. 여기서, 스퍼터면의 각도란, 스퍼터면의 법선이 스퍼터 가스(A 이온: Ar+)의 입사 방향(도 1 중에서는 하향 방향)과 이루는 각도를 가리킨다. 예컨대, 웨이퍼 상면 및 오목부(5)(도 12 참조)의 바닥부에서는 모두 '0도'이며, 오목부 측벽에서는 '90도'이다.

[0069] 도 2의 그래프로부터 분명한 바와 같이, 웨이퍼 상면(스퍼터면의 각도=0도)는 어느 정도 스퍼터 에칭이 행해지고, 오목부의 측벽(스퍼터면의 각도=90도)은 거의 스퍼터 에칭이 행해지지 않는다. 또한, 오목부의 개구의 모서리부(스퍼터면의 각도= 40~80도 근방)은 매우 심하게 스퍼터 에칭된다.

[0070] 그런데, 도 1에 나타내는 바와 같은 ICP형 스퍼터 장치로 이루어지는 성막 장치에서는 웨이퍼(W) 측에 인가되는 바이어스 전력과 웨이퍼 상면(오목부의 측벽이 아니다)에 퇴적하는 막의 성막량과의 관계는 도 3에 나타내는 것 같은 관계로 된다. 즉, 일정한 플라즈마 전력 및 일정한(금속 타겟(78)으로의) 직류 전력이 인가되고 있는 상황에서, 바이어스 전력이 그다지 크지 않은 경우에는 금속 이온의 인입과 그에 부수되는 중성 금속 원자에 의해서 높은 성막량을 얻을 수 있지만, 바이어스 전력이 증가하면, 웨이퍼 표면이 바이어스 전력에 의해 가속된 플라즈마 가스인 아르곤 이온에 의해서 스퍼터되는 경향이 점차 강하게 되고(도 2 참조), 그 결과 애써 퇴적한 금속막이 에칭되어 버린다. 이 에칭 작용은 당연히 바이어스 전력이 커지는 만큼 심하게 된다. 따라서, 인입되는 금속 이온 및 그에 부수되는 중성금속 원자에 의한 성막 레이트와, 플라즈마 가스의 이온에 의한 스퍼터 에칭의 에칭 레이트가 동일하게 되면, 이들 성막 및 에칭이 상쇄되어서, 웨이퍼 상면의 성막량이 '제로'가 된다. 이 때의 조건은 도 3 중 점 X1(바이어스 전력:350W)에 대응한다. 또한, 도 3의 실선으로 나타내는 바이어스 전력이나 성막

량은 단지 일례에 불과하다. 플라즈마 전력이나 직류 전력을 제어함으로써, 상기 특성 곡선은 예컨대 도 3 중 두개의 일점 쇄선으로 도시하는 바와 같이 변동할 수 있다.

[0071] 종래, 이러한 종류의 스퍼터 장치에 있어서의 일반적인 동작 조건은 영역 A1의 부분이었다. 즉, 바이어스 전력을 너무 크게 하지 않고, 높은 성막량(성막 레이트)을 얻을 수 있는 영역이었다. 즉, 성막량이 바이어스가 0일 때(불활성 가스의 플라즈마에 의한 에칭은 발생하지 않고)와 거의 달라지지 않고, 또한 인입되는 금속 이온이 최대가 되는 영역이며, 즉 금속 입자가 최대한 인입되는 영역이며, 오목부의 바닥부에 있어서도 어느 정도의 성막량이 얻을 수 있는 영역이었다.

[0072] 이에 대해서, 본 발명 방법에 의한 금속막 형성 공정에서는 인입되는 금속 이온 및 중성 금속 원자에 의한 성막과 플라즈마 가스에 의한 스퍼터 에칭이 동시에 생기는 영역이 선택된다. 더 자세하게는 웨이퍼 상면에서, 인입되는 금속 이온 및 중성 금속 원자에 의한 성막 레이트와 플라즈마 가스에 의한 스퍼터 에칭의 에칭 레이트가 거의 균형을 이루는 영역 A2가 선택된다. 여기서 '거의 균형'이란 웨이퍼상면의 성막량이 '제로'인 경우뿐만 아니라, 영역 A1에 있어서의 성막량과 비교하여 3/10정도까지의 작은 막 두께로 성막량이 생기는 경우도 포함한다.

[0073] 그런데, 이상과 같은 현상의 이해에 근거하여, 본 발명 방법에 대하여 더 설명한다.

[0074] 우선, 탑재대(44)가 하방으로 강화된 상태로, 처리 용기(34)의 게이트 밸브(58)를 거쳐서, 진공화 가능하게 된 처리 용기(34) 내로 웨이퍼(W)가 반입된다. 웨이퍼(W)는 지지핀(54) 상에 지지된다. 그리고, 이 상태에서 탑재대(44)가 상승되면, 탑재대(44)의 상면에 웨이퍼(W)가 전달된다. 해당 웨이퍼(W)는 정전척(46)에 의해 탑재대(44)의 상면에 흡착된다.

[0075] 탑재대(44) 상에 웨이퍼(W)가 탑재되어 흡착 고정되면, 성막 처리가 시작된다. 이 때, 웨이퍼(W)의 상면에는 도 12(b)를 이용하여 설명한 바와 같이, 오목부(5)(도 4(a) 참조)가 미리 반입전에 전(前)공정으로 형성되어 있다. 즉, 하층인 Cu 로 이루어지는 배선층(2) 상에 절연층(4)이 형성되고, 그 절연층(4)에 오목부(5)가 형성되어 있다. 오목부(5)는 상층의 배선층을 형성하기 위한 소정의 폭의 배선홈, 즉 트렌치(6)를 갖고 있다. 또한, 트렌치(6)의 바닥부에는 부분적으로, 절연층(4)을 관통하여 하층의 배선층(2)에 이르는 연통 구멍(8)이 형성되어 있다. 따라서, 오목부(5)는 전체적으로 2단계의 단형상이 되어 있다. 연통 구멍(8)이 비어홀이나 스루홀이 된다.

[0076] 처리 용기(34) 내가 소정의 압력으로 진공화된 뒤, 플라즈마 발생원(70)의 유도 코일부(72)에 플라즈마 전력이 인가되고, 또한 바이어스 전원(62)으로부터 소정의 바이어스 전력이 탑재대(44)의 정전척(46)으로 인가된다. 또한, 금속 타겟(78)에 가변 직류 전원(80)으로부터 소정의 직류 전력이 인가된다. 이로써, 성막 처리가 시작된다. 또한, 본 실시예에서는 금속 타겟(78)으로서 탄탈이 이용되고 있다.

[0077] 구체적으로는 우선 먼저, 도 4(b)에 도시하는 바와 같이 기초막(10A)을 형성하는 기초막 형성 공정이 행해진다. 여기서는 TaN막을 형성하기 위해서 가스 도입구(84)로부터 플라즈마 가스인 예컨대 Ar 가스 외에, 질화가스로서 N₂가스가 처리 용기(34) 내에 공급된다. 이에 따라, 도 4(b)에 도시하는 바와 같이 웨이퍼(W)의 상면뿐만 아니라, 오목부(5) 내의 측벽이나 바닥면에도 거의 균일하게 기초막(10A)으로서 TaN막이 형성된다. 이 때의 바이어스 전력은 도 3 중 영역 A1으로서, 종래의 일반적인 성막 조건과 동일한다. 구체적으로는 100W(와트) 정도이다.

[0078] 상기한 바와 같이 기초막(10A)의 형성이 완료되면, 다음으로 금속막으로서 Ta막을 형성하기 위해서, 본 발명의 특징인 금속막 형성 공정이 행해진다. 즉, 이 금속막 형성 공정에서는 바이어스 전력이 증가되어 도 3 중 영역 A2 내의 조건이 이용된다. 본 실시예의 금속막 형성 공정은 오목부(5) 이외의 웨이퍼(W)의 표면에 있어서 금속 입자에 의한 성막량과 불활성 가스의 플라즈마에 의한 에칭량이 실질적으로 같아지도록 조건 설정된 제 1 성막 공정과, 오목부(5) 이외의 웨이퍼(W)의 표면에서 금속 입자에 의한 성막량이 불활성 가스의 플라즈마에 의한 에칭량보다 약간 커지도록 조건 설정된 제 2 성막 공정으로 구성되어 있다.

[0079] 우선, 제 1 성막 공정에서는 웨이퍼 상면의 성막량을 '제로'로 하기 위해서, 바이어스 전력이 도 3 중 포인트 X1로 설정된다. 구체적으로는 이 때의 바이어스 전력은 350W이다. 또한, 이 때, 가스 도입구(84)로부터의 N₂가스의 공급은 정지되고, Ar 가스만이 공급된다. 이에 따라, 도 4(c)에 도시하는 바와 같이 오목부(5)의 최하층(연통 구멍(8)에 상당)의 바닥부가 깎아내여지고, 즉, Cu으로 이루어지는 배선층(2)의 상면층이 깎여서, 여기에 깎여진 오목부(12)가 형성된다. 한편, 다른 표면, 즉 웨이퍼(W)의 최상면이나 단부(段部) 중앙의 표면 등에 있

어서, 막이 형성되는 일도 거의 없다.

[0080] 그 이유는 다음과 같이 설명된다. 즉, 상술한 바와 같이 바이어스 전력의 크기를 도 3 중 영역 A2, 더 자세하게는 포인트 X1으로 설정함으로써, 인입되는 금속 이온과 중성 금속 원자에 의한 성막 레이트와 플라즈마 가스(Ar⁺)에 의한 스퍼터 에칭의 에칭 레이트가 웨이퍼의 상면에서 거의 균형을 이룬다. 이에 따라, 결과적으로, 금속막의 성막량이 거의 제로가 된다. 이에 대해서, 오목부(5)의 연통 구멍(8)의 바닥부에 있어서는 성막 레이트보다 에칭 레이트쪽이 크기 때문에, 연통 구멍(8)의 바닥부가 깎여져 간다. 이들 사항을 웨이퍼 단위 면적에 관해서 원자 레벨로 표기하면, 이하와 같이 된다.

[0081] <웨이퍼 상면>

[0082] $\Sigma Ta + \Sigma Ta^+ = \Sigma Ar^+$

[0083] <연통 구멍(8)의 바닥부>

[0084] $\Sigma Ta^+ < \Sigma Ar^+$

[0085] 여기서, Ta는 중성 금속 원자를 나타내고, Ta⁺는 금속 이온을 나타내며, 이들은 모두 금속막의 성막에 기여한다. 이에 대하여 Ar⁺는 Ar 이온으로, 에칭에 기여한다. 웨이퍼 상면에는 Ta도 Ta⁺도 충분히 도달하고, 또한 Ar⁺도 충분히 도달하기 때문에, 결과적으로 성막량은 '제로'가 된다(상쇄된다).

[0086] 이에 대하여, 연통 구멍(8)의 바닥부에 있어서는 연통 구멍(8)의 구멍 직경이 매우 작기 때문에, 지향성이 높은 Ta⁺와 Ar⁺은 도달하지만, 지향성이 뒤떨어지는 중성 금속 원자인 Ta는 도달하기 어렵다. 그 결과, 성막에 기여하는 Ta가 도달하지않는 만큼, 연통 구멍(8)의 바닥부는 깎여지게 된다. 이 때의 깎여지는 양은 제 1 성막 공정의 처리 시간을 제어함으로써 콘트롤할 수 있다. 또한, 여기서는 설명을 간단하게 하기 위해서, 성막된 Ta, Ta⁺ 1개만큼이, 각각 Ar⁺ 1개의 충돌에 의해서, 성막된 면으로부터 튀어나가는(에칭되는) 것으로 하고 있다.

[0087] 제 1 성막 공정이 종료하면, 다음으로 제 2 성막 공정으로 이행된다. 이 제 2 성막 공정에서는 바이어스 전력의 영역 A2내의 포인트 X1 이외의 점, 예컨대 A3로 설정되고, 영역 A1의 경우의 성막 레이트에 비해서 훨씬 작은 성막 레이트로 근소한 두께의 금속막이 형성된다. 이 결과, 도 4(d)에 도시하는 바와 같이 연통 구멍(8)의 바닥부를 제외한 웨이퍼 표면 전체 즉, 오목부(5) 내의 표면(연통 구멍(8)의 측면을 포함한다)에 금속막으로서 Ta막(10B)이 성막된다. 이 경우에도, 연통 구멍(8)의 바닥부에 있어서는 상술한 이유에 의해 성막 레이트보다 에칭 레이트쪽이 커져 있기 때문에, Ta막이 부착하지 않고 더 깎여져 간다. 이 때문에, 깎여진 오목부(12)의 오목 형상은 더 커진다. 즉, 웨이퍼 상면에서 ' $\Sigma Ta + \Sigma Ta^+ > Ar^+$ '이며, 연통 구멍(8)의 바닥부에 있어서 ' $\Sigma Ta^+ < \Sigma Ar^+$ '로 된다. 또한, 이 경우의 바닥부의 에칭 레이트는 웨이퍼 상면에 얇은 막이 퇴적하도록 성막에 기여하는 금속 입자가 스퍼터 이온보다 많아지도록 설정된 만큼, 제 1 성막 공정의 경우보다는 작아진다.

[0088] 이와 같이, 깎여진 오목부의 형성 공정에 대해서, 제 1 성막 공정에서는 웨이퍼 표면에서의 성막량과 스퍼터 에칭량이 균형을 이루고 있기 때문에, 도 4(c)의 프로세스 종료후에도, 도 4(b)에서의 기초막(10A)의 두께는 변하지 않는다. 이 때문에, 도 4(b)에서의 기초막(10A)으로서는 깎여진 오목부의 구멍의 깊이에 의하지 않고, 그 두께가 웨이퍼 표면에서 예컨대 3.5nm, 연통 구멍(8)의 바닥부에 있어서 예컨대 1.0nm이다. 이들 값은 바람직하게는 10nm 이하이며, 보다 바람직하게는 5nm이하의 극박이다.

[0089] 한편, 종래의 깎여진 오목부의 형성 공정에서는 도 13(a)에서의 배리어층(110)의 두께는 깎여진 오목부의 구멍의 깊이에 의존한다. 깎여진 오목부의 깊이를 50nm 정도로 한 경우, 웨이퍼 표면에서 60nm 정도의 배리어층의 두께가 필요하다. 이것은 도 13(b)의 Ar 에칭 프로세스로서, 웨이퍼 표면도 동시에 에칭하기 때문이다. 여기서, 웨이퍼 표면에서 60nm의 배리어층이 형성되어 있으면, 연통 구멍 바닥부에 있어서 10nm~20nm 정도의 두께의 배리어층이 형성되는 것은 피할 수 없다. 이것은 에칭 프로세스(도 13(b) 참조) 초기에 깎여진 오목부가 형성되지 않고 배리어층만이 에칭되는 것을 의미한다. 이것은 후술하는 바와 같이, 깎여진 오목부를 형성할 때의, 동으로 이루어지는 하층의 배선층(2)의 에칭 레이트의 저하로 이어진다.

[0090] 또한, 본 실시예에 있어서는 제 1 성막 공정 및 제 2 성막 공정을 통하여, 웨이퍼 표면에서의 성막량이 거의 제로가 되도록 조건 설정되어 있기 때문에, 도 13(b)를 참조하여 설명한 바와 같이 오목부의 측면에 퇴적 돌기물(18)이 생기는 일은 없다. 또한, 본 실시예에서 형성되는 깎여진 오목부(12)의 깊이는 연통 구멍 바닥부의 기초

막을 극박으로 할 수 있기 때문에, 오목부의 폭(L2)에 의존하지 않고, 웨이퍼면 내에서 거의 균일화할 수 있다.

[0091] 이상과 같이, Ta막으로 이루어지는 금속막(10B)을 형성함으로써, TaN막과 Ta막의 적층 구조로 이루어지는 배리어층(10)이 형성된다. 그 후, 해당 웨이퍼(W)는 금속 타겟이 탄탈이 아닌 동에 의해 형성된 도 1에 나타내는 구성과 같은 구성의 성막 장치 내로 반입된다. 여기서는 플라즈마 전력이 도 3 중 영역 A1로 설정되어, 종래 방법과 마찬가지로 조건 설정으로, 도 4(e)에 도시하는 바와 같이 웨이퍼상면 뿐만아니라 오목부(5)내의 측벽 및 바닥부에도 동으로 이루어지는 시드막(14)이 얇게 형성된다.

[0092] 또한, 상기한 바와 같은 동의 금속 타겟이 장착된 성막 장치는 탄탈의 금속 타겟이 장착된 성막 장치에 대하여, 진공화 가능하게 이루어진 트랜스퍼 챔버를 거쳐서 연결되는 것이 바람직하다. 이에 따라, 반도체 웨이퍼(W)를 대기에 노출시키지 않고, 진공 분위기 중에서 양 성막 장치 사이에 걸쳐서 반송할 수 있다.

[0093] 이렇게 하여 시드막(14)이 형성되면, 웨이퍼(W)가 성막 장치로부터 꺼내져서, 통상의 도금 처리가 실시된다. 이에 따라, 도 4(f)에 도시하는 바와 같이 오목부(5) 내가 동으로 이루어지는 배선층(16)의 재료에 의해서 완전히 매립된다.

[0094] 다음으로, 도 4(g)에 도시하는 바와 같이 웨이퍼 상면의 불필요한 부분이, 연마에 의해 깎여진다. 이에 따라, 상층의 배선층(16)의 형성이 완료한다.

[0095] 이와 같이, 상기 실시예에 있어서는 배리어막 등의 금속막의 성막시의 프로세스 조건을 적절하게 선택함으로써, 오목부(5)의 최하층의 바닥부만을 선택적으로 계속 깎아서 해당 오목부(5) 내의 표면을 포함하는 피처리체(웨이퍼(W))의 표면 전성에 금속막을 형성할 수 있다. 특히, 오목부(5)의 폭에 의존하지 않고, 같은 깊이만큼 바닥부를 깎아서, 같은 깊이의 깎여진 오목부를 형성할 수 있다.

[0096] 여기서, 금속막 형성 공정(제 1 및 제 2 성막 공정)의 설정 조건, 즉, 도 3중에 있어서의 영역 A2 내의 상태를 실현할 수 있는 설정 조건은 이하와 같다.

[0097] 플라즈마 전력 : 500~6000W

[0098] 직류 전력 : 100~12000W

[0099] 바이어스 전력 : 100~2000W

[0100] 실제로는 상술한 바와 같이, 상기 3개의 조건을 적당히 설정함으로써, 영역 A2내의 조건(동작점)을 실현하게 된다. 영역 A2 이외의 부분에 조건을 설정하면, 깎여진 오목부(12)가 충분히 형성되지 않고, 이른바 펀치 스루 구조를 형성할 수 없다.

[0101] 또한, 다른 프로세스 조건으로서는 Ar 가스의 유량은 50~1000sccm 정도의 범위 내, 프로세스 압력은 0.001Torr(0.1 Pa)~0.1Torr(13.3Pa) 정도의 범위내이다.

[0102] 또한, 기초막 형성 공정에 있어서는 기초막(10A)으로서 TaN막을 형성한 경우가 설명되었다. 이 대신, 기초막(10A)으로서 Ta막이 형성되어도 된다. 이 경우에는 기초막(10A)이 되는 Ta막 상에 Ta막(10B)이 형성되기 때문에, 성막 조건이 다른 Ta막 끼리의 2층 구조로, 배리어층(10)이 형성되게 된다.

[0103] 또한, 상기 실시예에서는 도 4(c)에 나타내는 공정에서, 동작점을 도 3 중 포인트 X1로 설정하여, Ta막을 퇴적시키는 일없이 깎여진 오목부(12)를 형성하도록 했지만, 이에 한정되지 않는다. 예컨대, 실시예 2에서, 도 4(a) 내지 도 4(g)에 나타내는 플로우차트 중 도 4(c)에 나타내는 공정을 행하지 않고, 도 4(b)에 나타내는 공정으로부터 직접 도 4(d)에 나타내는 공정으로 이행하여, 깎여진 오목부(12)를 형성하는 동시에 Ta막(10B)을 퇴적시킴으로써 해도 된다. 즉, 실시예 2에서는 도 4(b)에 나타내는 공정을 행하면, 도 4(c)에 나타내는 제 1 성막 공정을 행하지 않고, 즉시 도 4(d)에 나타내는 제 2 성막 공정을 행하는 것이다.

[0104] 도 5(a) 내지 도 5(f)는 상술한 바와 같은 본 발명 방법의 실시예 2를 설명하기 위한 플로우차트이다. 도 5(a) 내지 도 5(f)에서, 도 4(a) 내지 도 4(g)에 나타내는 구성 부분과 동일 구성 부분에 있어서는 동일 참조 부호를 부여하고 있다. 여기서 도 5(a) 및 도 5(b)는 도 4(a) 및 도 4(b)에 각각 대응하고 있고, 도 5(c) 내지 도 5(f)는 도 4(d) 내지 도 4(g)에 각각 대응하고 있다. 본 실시예의 경우는 도 5(b)에 나타내는 TaN의 성막 공정에서, 제 1 성막 공정을 행하지 않고, 도 5(c)에 나타내는 제 2 성막 공정으로 직접 이행하도록 하고 있다. 이 경우에는 제 1 성막 공정을 행하지 않기 때문에, 그 만큼, 깎여진 오목부(12)의 깊이는 얇게 되지만, 반대로 제 1 성막 공정을 하지 않는 만큼, 처리 시간을 단축할 수 있다.

- [0105] 여기서, 본 발명 방법과 종래 방법과 따라서 형성된 깎여진 오목부에 대하여 평가를 했다. 그 평가 결과에 대하여 설명한다.
- [0106] 도 6(a)는 종래 방법에 의해서 형성된 깎여진 오목부를 나타내는 전자 현미경 사진이며, 도 6(b)는 본 발명 방법에 의해서 형성된 깎여진 오목부를 나타내는 전자 현미경 사진이다. 각 사진에는 이해를 쉽게 하기 위해서, 그 모식도가 병기되어 있다. 또한, 여기서는, 2단계의 단 형상이 아니고, 1단으로 형성된 오목부가 평가되었다.
- [0107] 도 6(a)에 나타내는 종래 방법의 경우에는 오목부(5)의 상단 개구부에 퇴적 돌기물(18)이 형성되어서, 바람직하지 못했다. 이에 대하여, 도 6(b)에 나타내는 본 발명 방법의 경우에는 오목부(5)의 상단 개구부에 퇴적 돌기물(18)은 생기지 않아서, 양호한 상태로 깎여진 오목부(12)를 형성할 수 있다는 것을 확인할 수 있었다.
- [0108] 다음으로, 오목부(5)의 바닥부에 형성되는 깎여진 오목부(12)의 어스펙트비의 의존성에 대해서, 평가가 행해졌다. 그 평가 결과에 대하여 설명한다.
- [0109] 도 7은 오목부(연통 구멍을 포함한다)의 어스펙트비와 오목부의 바닥부에 있어서의 동 에칭레이트의 관계를 나타내는 그래프이다. 여기서도, 2단계의 단형상이 아니고, 1단으로 형성된 오목부가 평가되었다. 도 7에 있어서, 특성 A는 종래 방법의 경우를 나타내고, 특성 B는 본 발명 방법의 경우를 나타내고 있다.
- [0110] 구체적으로는 종래 방법의 경우에 있어서는 여러가지 어스펙트비를 가지는 복수의 오목부에 대하여, 웨이퍼 표면에서 약 60nm의 배리어층이 플라즈마 스퍼터되고, 그 후, 소정 시간 Ar 에칭이 실시되었다. 이 때에 형성된 깎여진 오목부의 깊이가 측정되어, 동의 에칭 레이트가 되었다. 한편, 본 발명 방법의 경우에 있어서는 여러가지 어스펙트비를 가지는 복수의 오목부에 대하여, 웨이퍼 표면에서 약 4nm의 기초막이 플라즈마 스퍼터되고, 그 후, 상기 종래 방법의 경우와 같은 소정시간만큼 본 발명의 특징적인 제 1 성막 공정(도 4(c) 참조)가 실시되었다. 이 때에 형성된 깎여진 오목부의 깊이가 측정되어, 동의 에칭레이트가 되었다.
- [0111] 도 7에서 분명한 바와 같이, 특성 A, B 중 어디에도, 어스펙트비가 작을 때에는 어스펙트비가 큰 경우에 비하여, 오목부 바닥부에서의 성막량이 늘어난다. 이에 따라, 동의 에칭레이트가 감소한다. 또한, 특성 A로 표시되는 종래 방법의 경우에는 어스펙트비가 증가함에 따라서, 동의 에칭레이트가 변화되고, 따라서 어스펙트비의 차이에 따라서 깎여진 오목부(12)의 깊이가 변화한다는 것을 알 수 있다. 이것은 바람직하지 못하다. 이것에 대하여, 특성 B에 도시되는 본 발명 방법의 경우에는 어스펙트비가 2이하에서는 동의 에칭레이트가 크게 변화하고 있지만, 어스펙트비 2이상에서는 동의 에칭레이트는 거의 일정하게 되어 있는 것을 알 수 있다.
- [0112] 여기서, 일반적인 오목부(5)에서는 어스펙트비는 2 이상이 많다. 따라서, 본 발명 방법에 의하면, 어스펙트비에 관계없이, 깎여진 오목부(12)의 깊이를 거의 균일화할 수 있어, 양호한 결과를 얻을 수 있다는 것을 확인할 수 있었다. 이와 같이, 깎여진 오목부(12)의 깊이가 오목부(5)의 형상에 의한 영향을 받지 않기 때문에, 오목부의 폭에 의존하지 않고 항상 같은 깊이의 깎여진 오목부를 형성할 수 있다.
- [0113] 또한, 상기 실시예에서는 도 4(d)에 나타내는 공정에서 Ta막(10B)을 형성한 후에, 도 4(e)에 나타내는 공정에서 시드막(14)을 형성하고 있지만, 이에 한정되지 않는다. 예컨대, 상기 양 공정 사이에서, 불활성 가스 예컨대 Ar 가스에 의한 에칭 공정을 실시하여, 깎여진 오목부(12)의 단면 형상을 개선하도록 해도 된다. 이 단면적의 개선 결과의 예가 도 8에 도시되어 있다. 도 8은 깎여진 오목부(12)를 나타내는 확대 단면도이다. 도 8의 예에서는 도 4(d)에 나타내는 Ta막(10B)의 형성 공정 다음으로, 예컨대 Ar 가스를 이용한 플라즈마 에칭 정도가 실시되고, 깎여진 오목부(12)의 바닥부가 더 확대되어 단면 역사다리꼴 형상으로 형성되어, 오목부(12)의 매립 재료의 접촉 면적이나 밀착도를 개량하여 접촉 저항을 보다 작게 하고 있다. 이 경우, Ta막(10B)은 깎지 않고, 배선층(2)인 Cu 재료만을 깎을 필요가 있지만 이것은 바이어스 전력을 조정함으로써 가능하다.
- [0114] 도 9는 바이어스 전력에 대한 Ta막 및 Cu 재료의 에칭 레이트의 의존성의 일례를 나타내는 그래프이다. 도 9로부터 분명한 바와 같이, 바이어스 전력이 40와트 이상에서 Cu 재료는 에칭이 시작되며, 또한 바이어스 전력이 100와트 이상에서 Ta막의 에칭이 시작된다. 따라서, 도 9에 나타내는 경우에는 바이어스 전력을 40~100와트의 범위내인 영역 Y으로 설정함으로써, Ta막을 깎아내는 일없이 Cu 재료만을 선택하여 에칭할 수 있다는 것을 확인할 수 있다. 또한, 도 9에 나타내는 특성 직선은 다른 플라즈마 전력 등의 크기에 의존하여 좌우방향으로 이동하여, 영역 Y도 그에 따라 좌우 방향으로 변동한다.
- [0115] 또한, 실시예 3로서, 다음과 같은 형태를 채용해도 된다. 즉, 앞의 실시예 1에서는 도 4(c)에 나타내는 제 1 성막 공정 및 도 4(d)에 나타내는 제 2 성막 공정을 함께 행하고 있지만, 실시예 3에서는 도 4(c)에 나타내는 제

1 성막 공정을 행한 후, 도 4(d)에 나타내는 제 2 성막 공정을 행하지 않고, 도 4(e)에 나타내는 공정을 즉시 행한다.

[0116] 도 10(a) 내지 도 10(f)는 상술한 바와 같은 본 발명 방법의 실시예 3을 설명하기 위한 플로우차트이다. 도 10(a) 내지 도 10(f)에서, 도 4(a) 내지 도 4(g)에 나타내는 구성 부분과 동일 구성 부분에서는 동일 참조 부호를 부여하고 있다. 여기서 도 10(a) 내지 도 10(c)는 도 4(a) 내지 도 4(c)에 각각 대응하고 있고, 도 10(d) 내지 도 10(f)는 도 4(e) 내지 도 4(g)에 각각 대응하고 있다.

[0117] 본 실시예의 경우에는 도 10(c)에 나타내는 제 1 성막 공정부터 도 10(d)에 나타내는 시드막(14)의 형성 공정으로 직접 이행하기 때문에, 외견상은 배리어층(10)은 TaN막으로 이루어지는 기초층(10A) 단층이 되는 것으로 생각된다. 그러나, 실제로는 도 10(c)에 나타내는 공정에서 트렌치(6)의 측벽이나 연통 구멍(8)의 측벽에 매우 적은 Ta막(도시 생략)이 퇴적한다. 그 이유는 도 2에 도시하는 바와 같이 측벽에 있어서는 거의 스퍼터 에칭이 행하여지지 않는 한편, $Ta \cdot Ta^+$ 는 미량이지만 측벽에 퇴적하기 때문이다. 따라서, 본 실시예의 경우에는 배리어층(10)은 TaN막으로 이루어지는 기초막(10)과 해당 기초막(10) 위에 상술한 바와 같이 부분적으로 약간 형성되는 Ta막(도시 생략)과의 2층 구조로 된다. 따라서, 이 배리어층(10) 상에 Cu으로 이루어지는 시트막(14)을 후속 공정으로 형성할 때에, 배리어층(10)과 시드막(14)의 밀착성을 높게 유지할 수 있다.

[0118] 또한, 본 실시예에서는 도 4(d)에 나타내는 제 2 성막 공정을 생략한 만큼, 처리 시간을 짧게 할 수 있다.

[0119] 또한, 실시예 3에서는 기초막(10A)으로서 TaN막을 이용하고 있지만, 이에 한정되지 않는다. 기초막(10A)으로서 Ta막을 이용하고, 이것을 배리어층(10)으로 해도 된다. 이 경우, 배리어층(10)이 Ta막 단층이 된다. 그리고, 이 Ta막으로 이루어지는 배리어층(10) 상에 후속 공정에서 Cu으로 이루어지는 시드막(14)을 형성할 때에, 배리어층(10)과 시드막(14)의 밀착성을 높게 유지할 수 있다.

[0120] 또한, 실시예 4로서, 다음과 같은 형태를 채용해도 된다. 즉, 앞의 실시예 1에서는 도 4(d)에 나타내는 제 2 성막 공정에서 바이어스 전력을 도 3 중 영역 A3으로 설정하여 금속 입자에 의한 성막량이 불활성 가스의 플라즈마에 의한 에칭량보다 약간 커지도록 조건 설정했지만, 실시예 4에서는 바이어스 전력을 영역 A1으로 설정하여 불활성 가스의 플라즈마에 의한 에칭이 실질적으로 행해지지 않는 범위에서 금속 이온이 최대한 인입되도록 조건 설정한 보조 성막 공정이 행해진다.

[0121] 도 11(a) 내지 도 11(g)는 상술한 바와 같은 본 발명 방법의 실시예 4를 설명하기 위한 플로우차트이다.

[0122] 단, 영역 A1에 있어서는 성막 레이트는 다른 영역과 비교하여 매우 크기 때문에, 보조 성막 공정은 극히 짧은 시간만 행하여, 퇴적되는 Ta막의 막두께를 매우 작게 하는 것이 바람직하다. 영역 A1의 조건으로써 Ta막의 성막이 실행됨으로써, 웨이퍼의 상면이나 오목부의 측면뿐만 아니라, 깎여진 오목부(12)의 바닥부에도 약간 Ta막(10B)이 퇴적하게 된다. 이 경우, 예컨대 해당 공정의 처리 시간은 깎여진 오목부(12)의 바닥부에 퇴적하는 막두께 H2가 통상은 1nm정도로 되도록 설정되고, 최대로도 3nm이하가 되도록 설정된다. 그 이유는 동과 비교하여 저항이 큰 Ta막의 두께를 작게 하여, 하층과의 밀착성을 높게 유지하면서, 저저항화를 촉진하기 위해서이다.

[0123] 도 11(d)에 나타내는 보조 성막 공정에서는 도 3 중 영역 A1를 동작점으로 하고있기 때문에, 바이어스 전압은 낮아져서 이온에 대한 인입이 그만큼 작아지고, 따라서, 웨이퍼 표면이 스퍼터되는 일이 없어져서, 웨이퍼가 받는 스퍼터에 의한ダメージ를 억제할 수 있다.

[0124] 또한, 상술한 바와 같이, 깎여진 오목부(12)의 바닥부에 있어서는 Ta막의 막두께 H2는 1nm 정도(최대로도 3nm정도)이기 때문에, 이 부분에 있어서는 전기 저항에 대한 악영향도 적어서, 하층의 Cu층에 대한 밀착성도 거의 열화하지 않고 이를 높게 유지할 수 있다. 환언하면, 상기 Ta막의 막두께 H2의 두께가 매우 얇기 때문에, 기초의 동배선층(2)에 대한 밀착성이 좋고 또한 이 부분의 전기 저항을 작게 억제할 수 있다.

[0125] 또한, 상기 각 실시예에서는 오목부(5)의 일부에 연통 구멍(8)이 형성되어 있는, 즉, 이른바 2단계의 단형상으로 형성된 오목부(5)가 설명되어 있다. 그러나, 본 발명은 이 형태에 한정되지 않는다. 예컨대, 오목부(5) 자체가 관통 구멍이나 비어홀의 연통 구멍(8)으로 되어 있는, 이른바 1단계의 오목부에도 본 발명을 적용할 수 있다.

[0126] 또한, 상기 각 실시예에 있어서는 각 수치는 단지 일례를 나타낸 것에 지나지 않으며, 이들에 한정되지 않는 것은 물론이다. 또한, 상기 각 실시예에서는 전체적으로 배리어막/시드막의 적층 구조로서, TaN/Ta/Cu, Ta/Ta/Cu이라는 적층 구조가 설명되어 있지만, 이러한 종류의 적층 구조에 한정되지 않는다. 예컨대, TiN/Ti/Cu 적층 구조, TaN/Ru/Cu 적층 구조, Ti/Cu 적층 구조, 더욱이는 TiN/Ti/Ru, Ti/Ru, TaN/Ru, TaN/Ta/Ru의 각 적층

구조에 대해서도, 본 발명 방법을 적용할 수 있는 것은 물론이다.

[0127] 또한, 각 고주파 전원의 주파수도, 13.56MHz로 한정되는 것이 아니라, 다른 주파수, 예컨대 27.0MHz 등이어도 된다. 또한, 플라스마용 불활성 가스로서는 Ar 가스에 한정되지 않고, 다른 불활성 가스, 예컨대 He나 Ne 등을 이 용해도 된다.

[0128] 또한, 여기서는 피처리체로서 반도체 웨이퍼를 예로 들어 설명했지만, 이것에 한정되지 않고, LCD기판, 유리 기판, 세라믹 기판 등에도 본 발명을 적용할 수 있다.

도면의 간단한 설명

[0035] 도 1은 본 발명에 관한 성막 장치의 일 실시예를 나타내는 개략 단면도,

[0036] 도 2는 스퍼터 예칭의 각도 의존성을 나타내는 그래프,

[0037] 도 3은 바이어스 전력과 웨이퍼 상면의 성막량의 관계를 나타내는 그래프,

[0038] 도 4(a) 내지 도 4(g)는 본 발명 방법의 실시예 1을 설명하기 위한 플로우차트,

[0039] 도 5(a) 내지 도 5(f)는 본 발명 방법의 실시예 2를 설명하기 위한 플로우차트,

[0040] 도 6(a)는 본 발명 방법에 의해서 형성된 깎여진 오목부를 나타내는 전자 현미경사진이며, 도 6(b)는 종래 방법 에 의해서 형성된 깎여진 오목부를 나타내는 전자 현미경 사진,

[0041] 도 7은 오목부(연통 구멍을 포함함)의 어스펙트비와 오목부의 바닥부에 있어서의 동 예칭레이트의 관계를 나타내는 그래프,

[0042] 도 8은 깎여진 오목부를 나타내는 확대 단면도,

[0043] 도 9는 바이어스 전력에 대한 Ta막 및 Cu 재료의 예칭 레이트의 의존성의 일례를 나타내는 그래프,

[0044] 도 10(a) 내지 도 10(f)는 본 발명 방법의 실시예 3을 설명하기 위한 플로우차트,

[0045] 도 11(a) 내지 도 11(g)는 본 발명 방법의 실시예 4를 설명하기 위한 플로우차트,

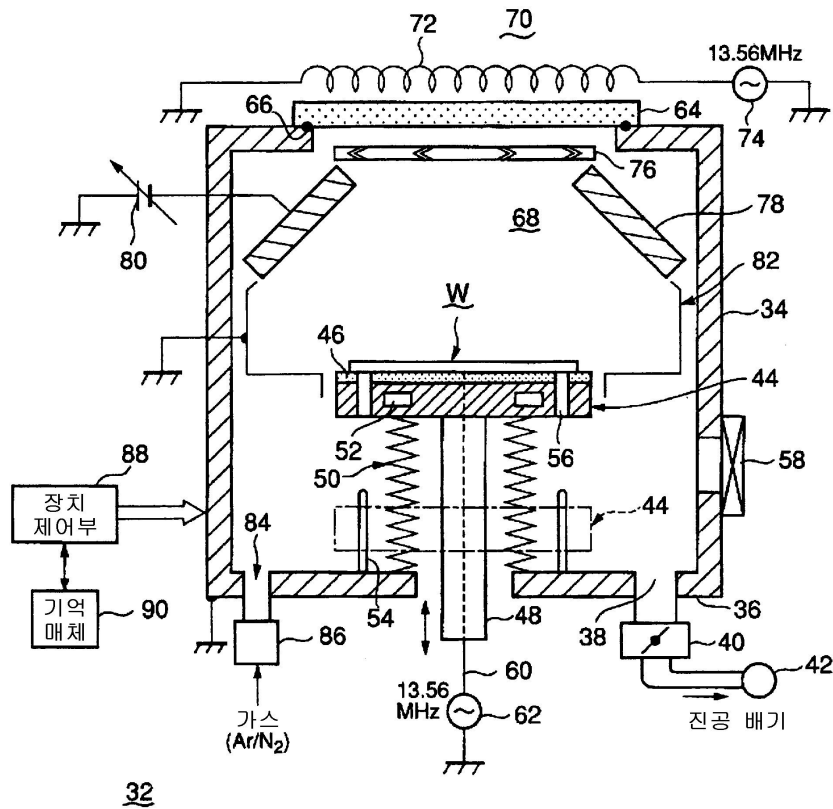
[0046] 도 12(a) 내지 도 12(c)는 반도체 웨이퍼 상에 형성된 연통 구멍을 매립하기 전의 상태를 도시하는 도면,

[0047] 도 13(a) 내지 도 13(e)는 연통 구멍의 매립 공정을 설명하기 위한 도면,

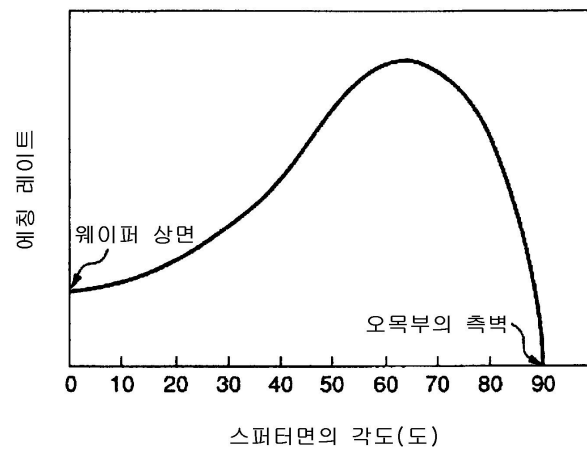
[0048] 도 14(a) 및 도 14(b)는 폭이 다른 오목부(트렌치)를 비교하기 위한 도면.

도면

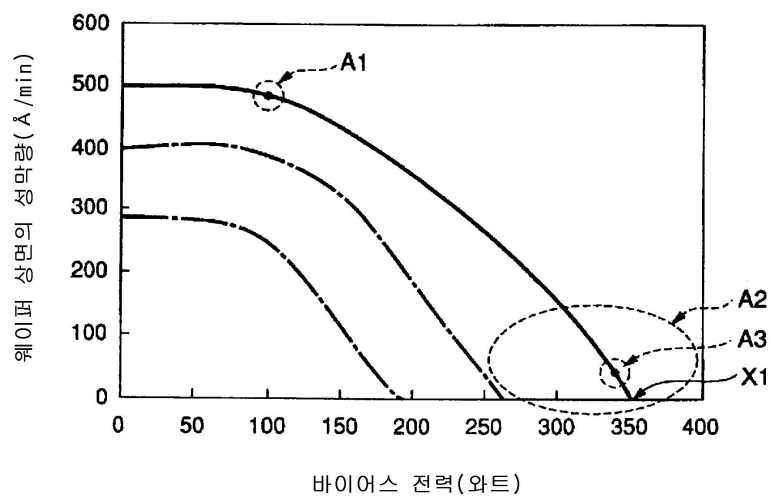
도면1



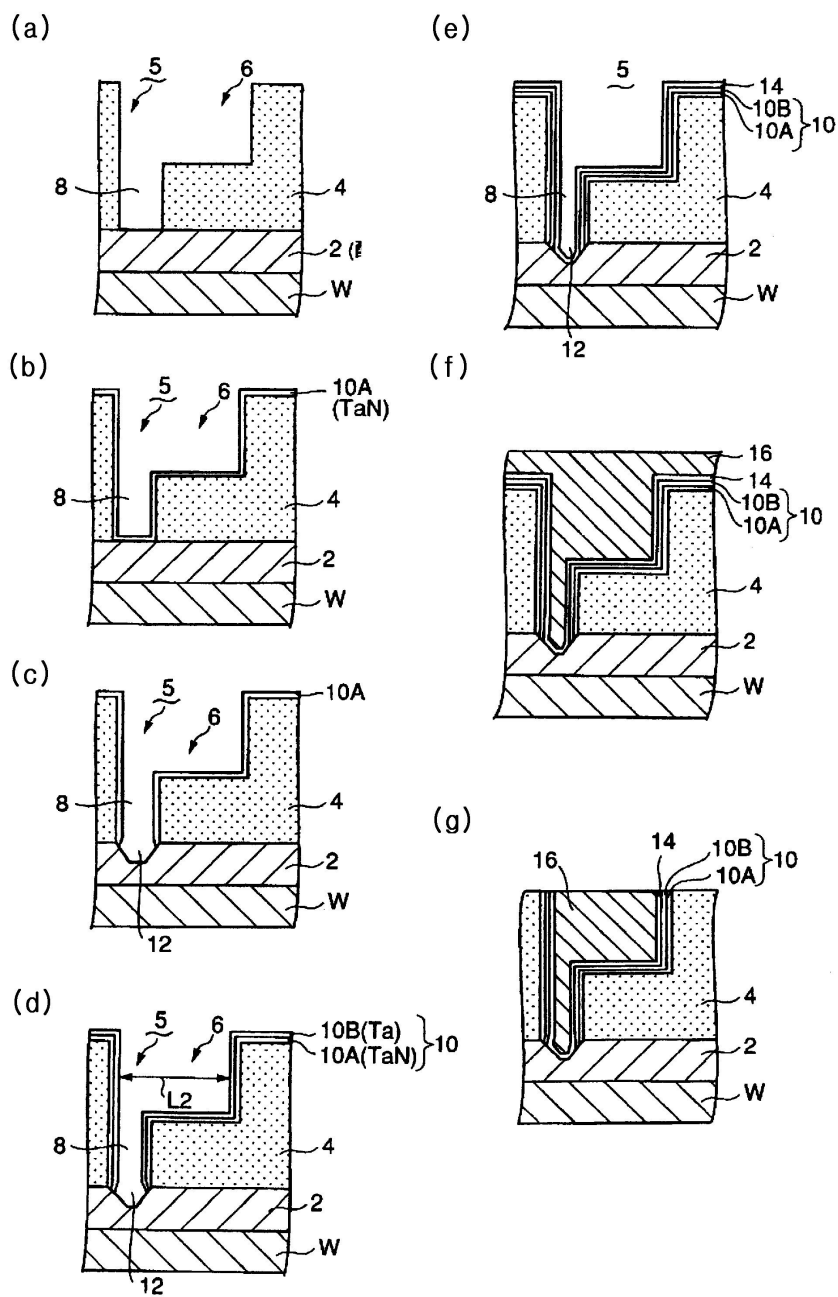
도면2



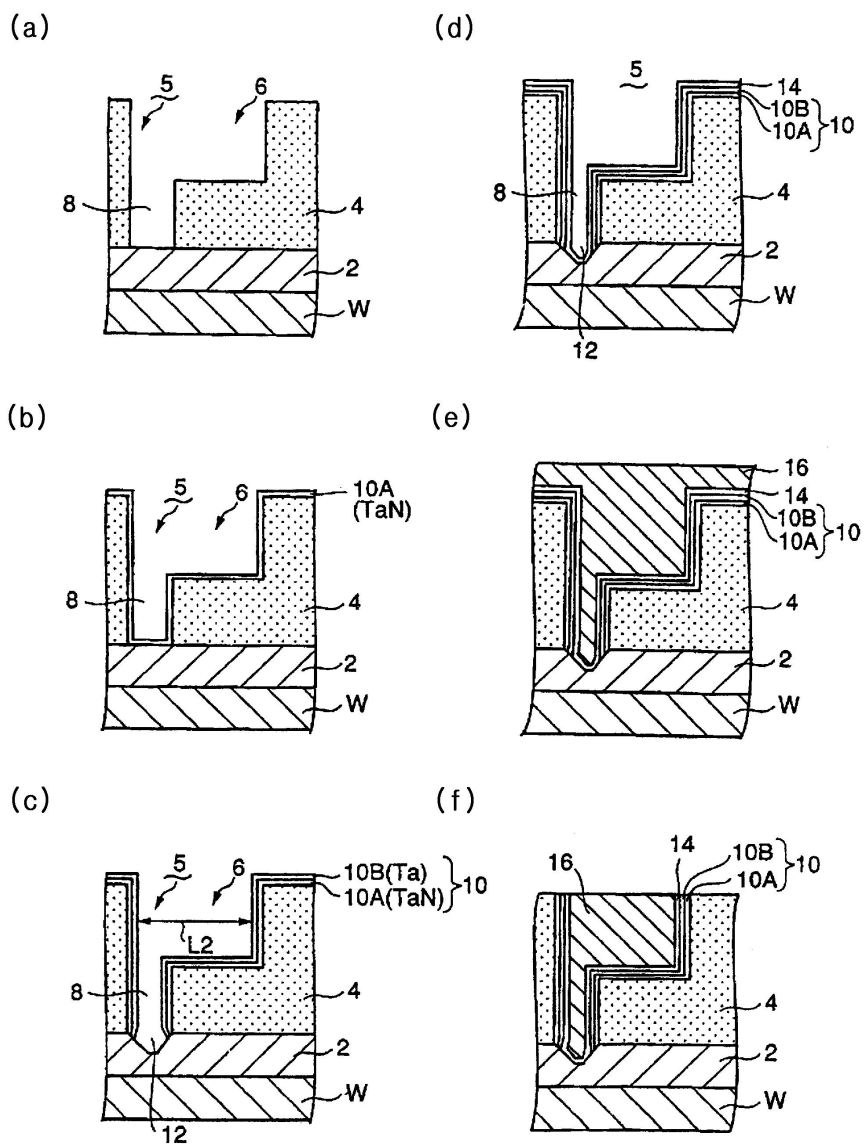
도면3



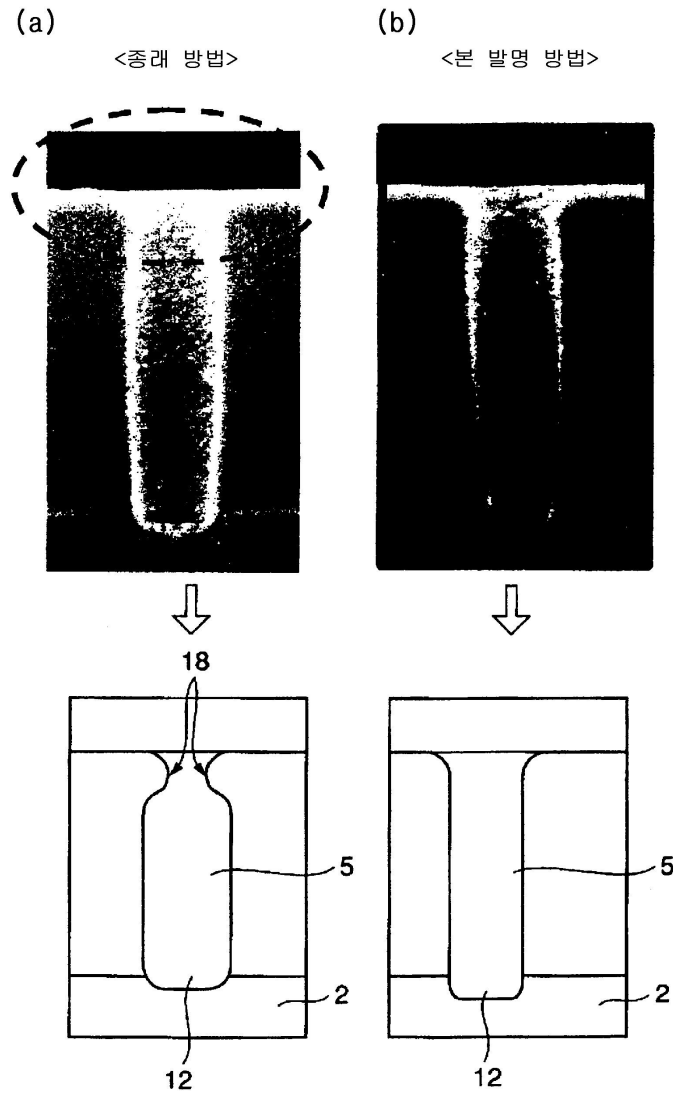
도면4



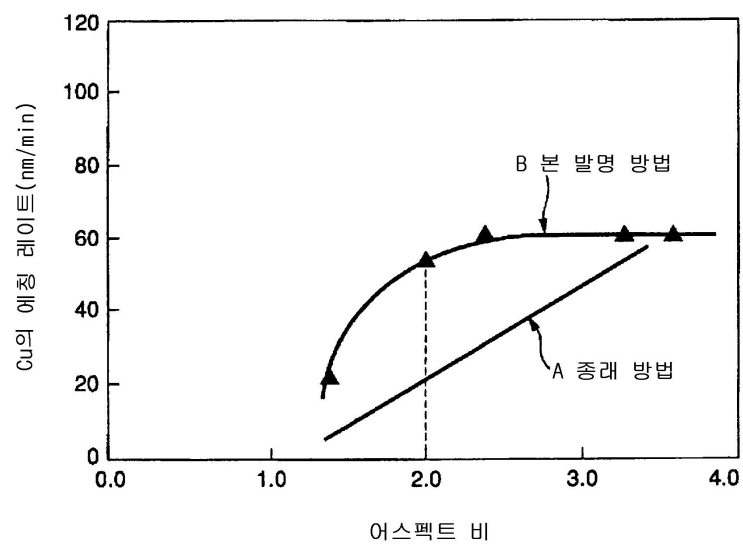
도면5



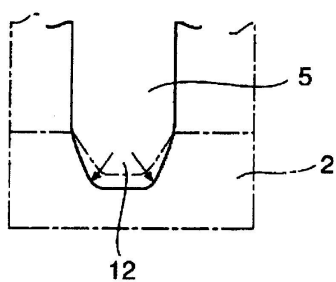
도면6



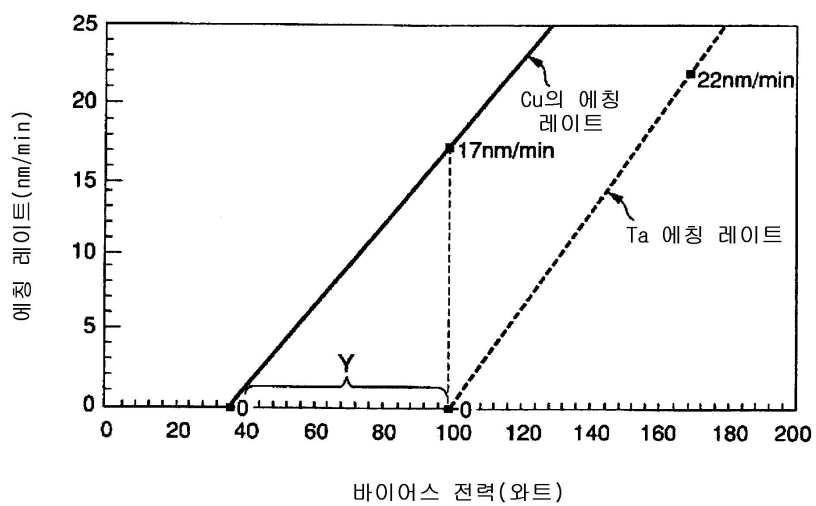
도면7



도면8

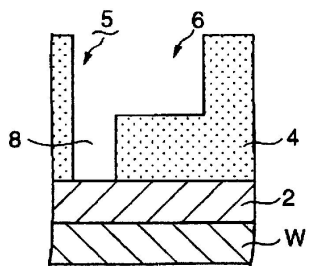


도면9

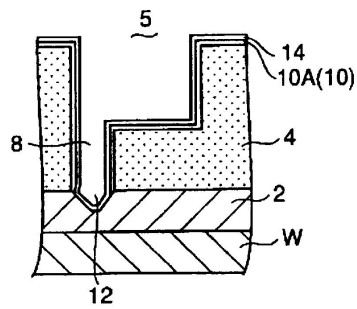


도면10

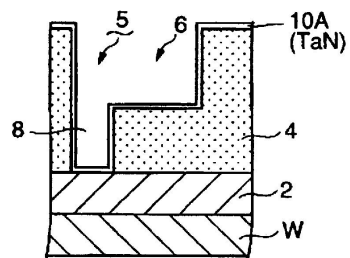
(a)



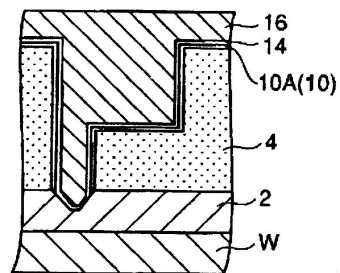
(d)



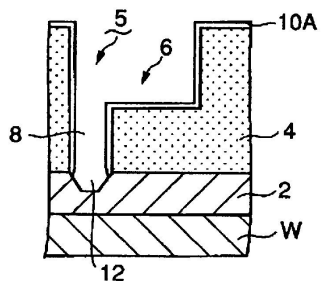
(b)



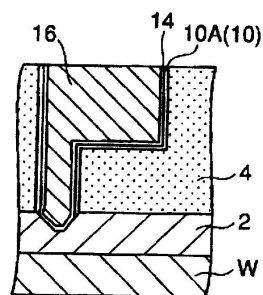
(e)



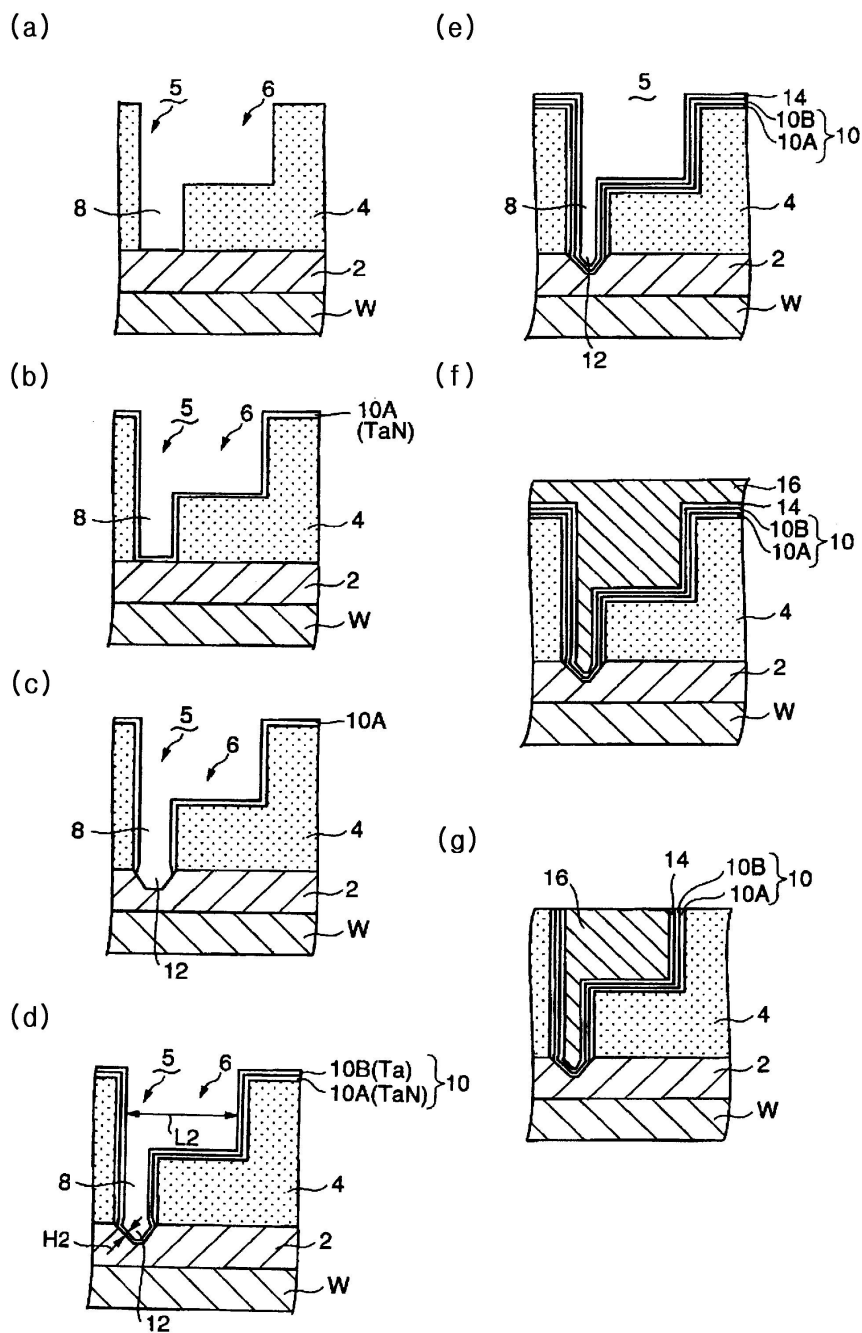
(c)



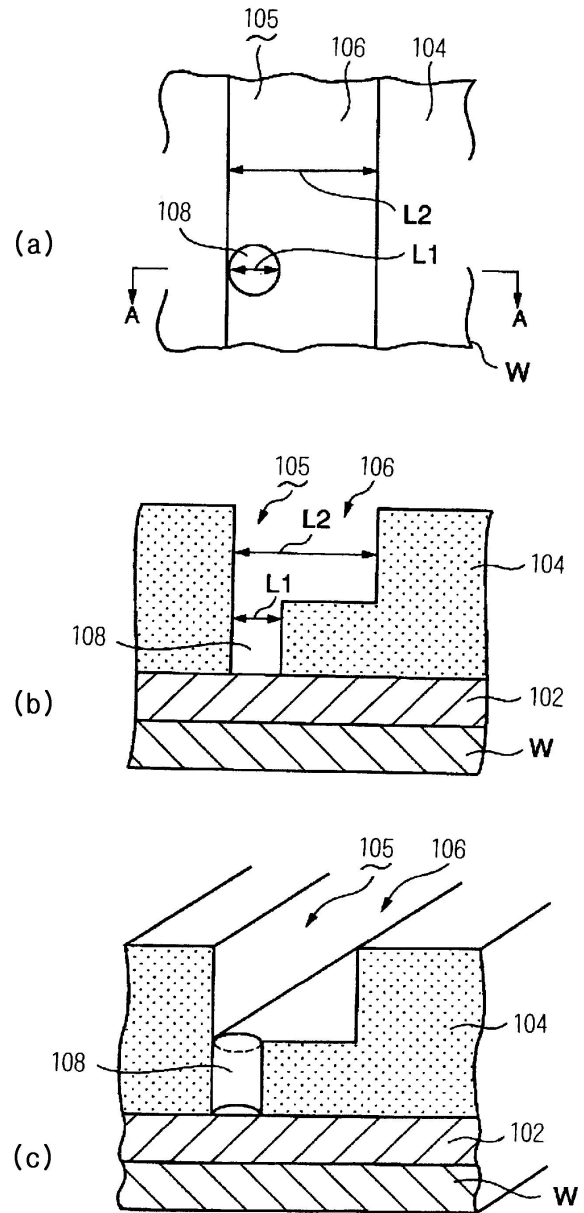
(f)



도면11



도면12



도면14

