

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3793507号
(P3793507)

(45) 発行日 平成18年7月5日(2006.7.5)

(24) 登録日 平成18年4月14日(2006.4.14)

(51) Int. Cl.

F I

G 1 1 C 15/02 (2006.01)

G 1 1 C 15/02

G 1 1 C 11/15 (2006.01)

G 1 1 C 11/15 1 7 0

請求項の数 2 (全 9 頁)

(21) 出願番号 特願2002-561835 (P2002-561835)
 (86) (22) 出願日 平成14年1月11日(2002.1.11)
 (65) 公表番号 特表2004-525473 (P2004-525473A)
 (43) 公表日 平成16年8月19日(2004.8.19)
 (86) 国際出願番号 PCT/US2002/000786
 (87) 国際公開番号 W02002/061755
 (87) 国際公開日 平成14年8月8日(2002.8.8)
 審査請求日 平成16年10月27日(2004.10.27)
 (31) 優先権主張番号 09/774,934
 (32) 優先日 平成13年1月31日(2001.1.31)
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国テキサス州78729, オ
 ースティン, ウェスト・パーマー・レーン
 7700
 (74) 代理人 100116322
 弁理士 桑垣 衛
 (72) 発明者 ナジ、ピーター ケイ.
 アメリカ合衆国 85234 アリゾナ州
 ギルバート ノース ジャマイカ コー
 ト 1105

審査官 石川 正二

最終頁に続く

(54) 【発明の名称】 コンテント・アドレスサブル・磁気ランダムアクセスメモリ

(57) 【特許請求の範囲】

【請求項1】

第1の側が第1の直列接続された対をなすトランジスタを通して第1接点に接続される
 第1磁気トンネル接合と、第1の側が第2の直列接続された対をなすトランジスタを通し
 て第2接点に接続される第2磁気トンネル接合と、前記第1磁気トンネル接合の第2の側
 がプログラミングビットラインに接続され、前記第2磁気トンネル接合の第2の側が反転
 プログラミングビットラインに接続され、前記第1の直列接続された対をなすトランジス
 タの内の第1のトランジスタの制御端子がイネーブルラインに接続され、前記第2の直列
 接続された対をなすトランジスタの内の第1のトランジスタの制御端子が前記イネーブル
 ラインに接続されることと、

前記第1接点は第1トランジスタを通してビットラインに接続され、第1トランジスタ
 の制御端子はワードラインに接続され、前記第2接点は第2トランジスタを通して反転ビ
 ットラインに接続され、第2トランジスタの制御端子は前記ワードラインに接続されるこ
 とと、

前記第1接点は第1イネーブルトランジスタを通して電源入力端子に接続され、第1イ
 ネーブルトランジスタの制御端子は前記イネーブルラインに接続され、前記第2接点は第
 2イネーブルトランジスタを通して前記電源入力端子に接続され、第2イネーブルトラン
 ジスタの制御端子が前記イネーブルラインに接続されることと、

前記第1接点は第1差動トランジスタを通して前記電源入力端子に接続され、第1差動
 トランジスタの制御端子は前記第1の直列接続された対をなすトランジスタの内の第2の

10

20

トランジスタの制御端子と前記第 2 接点とに接続され、前記第 2 接点は第 2 差動トランジスタを通して前記電源入力端子に接続され、第 2 差動トランジスタの制御端子は前記第 2 の直列接続された対をなすトランジスタの内の第 2 のトランジスタの制御端子と前記第 1 接点に接続されることと、

前記電源入力端子とマッチラインとの間に接続される第 1 の直列接続された対をなすマッチトランジスタと、その第 1 の直列接続された対をなすマッチトランジスタのうちの第 1 のマッチトランジスタの制御端子が前記ビットラインに接続され、前記第 1 の直列接続された対をなすマッチトランジスタのうちの第 2 のマッチトランジスタの制御端子が前記第 2 接点に接続されることと、前記電源入力端子と前記マッチラインとの間に接続される第 2 の直列接続された対をなすマッチトランジスタと、その第 2 の直列接続された対をなすマッチトランジスタうちの第 1 のマッチトランジスタの制御端子が前記反転ビットラインに接続され、前記第 2 の直列接続された対をなすマッチトランジスタうちの第 2 のマッチトランジスタの制御端子が前記第 1 接点に接続されることとを含む、コンテンツ・アドレスサブル・磁気ランダムアクセスメモリセル。

10

【請求項 2】

ワードラインに応答する第 1 トランジスタおよび第 2 トランジスタによって、第 1 ビットラインと第 2 ビットラインとの間に結合されるラッチであって、該ラッチ内で情報を格納するための第 1 および第 2 の差動接続されたトンネル接合を備え、それらの差動接続されたトンネル接合は、第 1 および第 2 のプログラミングビットラインの各々と、デジタルラインとに結合されている、ラッチと、

20

前記ラッチに接続されているイネーブルラインと、

マッチラインと前記ラッチとの間に結合され、第 1 および第 2 ビットラインに応答して、マッチラインを変化させる回路とを備える、磁気ランダムアクセスメモリセル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はコンピュータメモリに関し、特にキャッシュメモリ等に関するものである。

【背景技術】

【0002】

コンピュータでは、キャッシュメモリは直近にアクセスされたコードまたはデータを保持する中央演算装置（CPU）に近接して配置される高速メモリである。データがキャッシュ内に無いとキャッシュミスが生じ、データがメインメモリから読み出されてキャッシュに収められる。この間、CPUは中断させられ、データが使用できるようになるまで待ち状態に置かれる。

30

【0003】

CPUはキャッシュにアドレスを送信し、キャッシュに保存されるワードを含むキャッシュを確認する。各セルに保存されるデータは一括して「タグ」と呼ばれ、タグワードは一行のタグまたはメモリセルから形成される。CPUにより指定されるワードがキャッシュ内にある場合、そのワードはキャッシュから読み出される。ワードがキャッシュ内に無い場合、メインメモリを指定してそのワードを読み出す。次に、丁度今アクセスされたワードを含むブロックのワードがメインメモリからキャッシュに転送される。

40

【0004】

キャッシュメモリはCPUからアドレスを受信し、検索を行ってキャッシュに保存されているアドレスを比較する。この比較を並列に高速で行うためには、連想メモリすなわちコンテンツ・アドレスサブル（内容照合）・メモリ（CAM）が必要となる。メモリ内情報へのアクセス時間は、保存データがアドレスではなくむしろ内容により特定され得るのであれば、大きく減らすことができる。CAMまたは関連メモリは、特にキャッシュメモリ及び変換索引バッファにおいて使用される（TLB）。一般的に、CAMをキャッシュ内で用いて物理アドレスをデータに変換し、かつ、TLB内で用いて仮想アドレスを物理アドレスに変換する。CAMは関連データ処理にとって非常に強力なツールである。

50

【 0 0 0 5 】

速度はキャッシュメモリにとって重要である。というのは、一般的に、キャッシュメモリはメインメモリよりも5～10倍速くなければならないからである。今日まで、SRAMだけがキャッシュメモリなどが必要とする速度を有している。

【 0 0 0 6 】

先行技術においては、ほとんどのキャッシュメモリはSRAMアレイからなる。SRAM型のメモリセルは要求される速度を有するが、それらは揮発性メモリである。先行技術においてはSRAMセルはアレイ状に形成され、すべての比較及び一致検出回路がアレイの周辺または外側に配置される。また、SRAMをベースとするCAMはセルの位置ではターンオフさせることができず、周辺でマスキングしなければならない、結果として電力を浪費する。さらに、一般的に、メインメモリでは異なるメモリセルが使用され、キャッシュメモリ及びメインメモリは異なる処理及び製造工程を必要とする。

10

【 0 0 0 7 】

従って、これらの問題を解決するキャッシュメモリを提供することが強く望まれている。

【 発明を実施するための最良の形態 】

【 0 0 0 8 】

次に、図1に本発明によるコンテンツ・アドレスブル磁気ランダムメモリセル10を示す。セル10は差動接続された対(differentially connected pair)をなす磁気トンネル接合(MTJ)12, 14を含む。MTJは回路内で接続して使用するが、回路内で接続することにより、電気がある磁性層から別の磁性層にMTJを形成する積層を垂直に通って流れる。MTJは電気的には抵抗器として表わすことができ、その抵抗の大きさは双安定状態のいずれかにおける2つの磁気ベクトルの向きに依存する。この技術分野の当業者には明らかなように、MTJは磁気ベクトルが揃わない(互いに反対方向を指す)場合に比較的大きな抵抗を示し、磁気ベクトルが揃う場合に比較的小さな抵抗を示す。MTJはこの技術分野では良く知られているところであり、ここでは詳細には議論しない。しかしながら、MTJの製造方法及び動作に関してさらに情報を得たい場合は、「多層磁気トンネル接合メモリセル(Multi-Layer Magnetic Tunneling Junction Memory Cells)」と題する、1998年3月31日発行の米国特許第5,702,831号を参照されたい。

20

30

【 0 0 0 9 】

セル10はさらに比較及び一致検出回路15を含み、この回路は差動接続された対をなすMTJ12, 14に接続される。回路15は、BL及びBLN(反転ビットライン)と表示される差動タグビットライン、PBL及びPBLNと表示される差動タグプログラムビットライン、ELと表示されるイネーブルライン、WLと表示されるワードライン、DLと表示されるデジットライン、及びMLと表示されるマッチラインを含み、マッチラインMLは差動タグビットライン経由の入力データとセルに保存されるデータとの間の一致を表示する。

【 0 0 1 0 】

40

特に、MTJ12の(図1における)下側端子16はタグプログラムビットラインPBLに直接接続され、MTJ14の(図1における)下側端子17は反転タグプログラムビットラインPBLNに直接接続される。今ここに以下に詳細に説明する理由により、MTJ12, 14の下側端子16, 17は積層構造の頂部に位置し、この積層構造はMTJを形成し、上側端子18及び19はそれぞれ積層構造の底面に位置する。MTJ12の上側端子18は、第1スイッチングトランジスタ21及び第2スイッチングトランジスタ22を通して接点24に接続される。MTJ14の上側端子19は、第1スイッチングトランジスタ25及び第2スイッチングトランジスタ26を通して接点27に接続される。スイッチングトランジスタ21, 25の制御端子またはゲートはイネーブルラインELに直接接続される。スイッチングトランジスタ22のゲートは接点27に直接接続され、スイッ

50

チングトランジスタ 26 のゲートは接点 24 に直接接続される。

【0011】

スイッチングトランジスタ 28 は V d d で表示される電源と接点 24 との間に接続され、スイッチングトランジスタ 29 は電源 V d d と接点 27 との間に接続される。スイッチングトランジスタ 28 の制御端子またはゲートは接点 27 に直接接続され、スイッチングトランジスタ 29 の制御端子またはゲートは接点 24 に直接接続される。ペアスイッチングトランジスタ 31 及び 32 は、電源 V d d と接点 24 及び 27 との間にそれぞれ接続される。スイッチングトランジスタ 31 及び 32 の制御端子またはゲートは共にイネーブルライン E L に直接接続される。

【0012】

スイッチングトランジスタ 34 はタグビットライン B L と接点 24 との間に接続され、このトランジスタの制御端子またはゲートはワードライン W L に直接接続される。スイッチングトランジスタ 35 は反転タグビットライン B L N と接点 27 との間に接続され、このトランジスタの制御端子またはゲートはワードライン W L に直接接続される。直列接続された対をなすスイッチングトランジスタ 37, 38 は、電源 V d d とマッチライン M L との間に接続される。トランジスタ 37 の制御端子またはゲートはタグビットライン B L に直接接続され、トランジスタ 38 の制御端子またはゲートは接点 27 に直接接続される。別の直列接続の対をなすスイッチングトランジスタ 40, 41 は、電源 V d d とマッチライン M L との間に接続される。トランジスタ 40 の制御端子またはゲートは接点 24 に直接接続され、トランジスタ 41 の制御端子またはゲートは反転タグビットライン B L N に直接接続される。

【0013】

さらに図 2 には、M T J 12, 14 が、磁性材料、絶縁材料、及び非磁性導電体を公知の方法により組み立てられた積層構造として示される。比較及び一致検出回路 15 は、通常 M T J 12, 14 の下方において、支持半導体基板（図示せず）の表面内及び表面上に形成される。M T J 12 は導電材料 45 からなる底面層を含み、この底面層は、回路 15 の上方の層に位置し、かつ、ビア 46 を通してスイッチングトランジスタ 21 に接続される。M T J 14 は、導電材料 47（一般的に材料 45 と同じ層から形成される）からなる底面層を含み、この底面層は、回路 15 の上方の層に位置し、かつ、ビア 48 を通してスイッチングトランジスタ 25 に接続される。

【0014】

デジットライン D L は M T J 12, 14 双方の下方で実質的に近接して延びるように形成されて、M T J 12, 14 中に部分的な書き込み磁場（programming magnetic field）を生成する。タグプログラミングビットライン P B L は M T J 12 の上方に十分に近接して位置して M T J 12 中に部分的な書き込み磁場を生成し、デジットライン D L に直交するように配置される。同様に、反転タグプログラミングビットライン P B L N は M T J 14 の上方に十分に近接して位置して M T J 12 中に部分的な書き込み磁場を生成し、デジットライン D L に直交するように配置される。このようにして、デジットライン D L、タグプログラミングビットライン P B L、及び反転タグプログラミングビットライン P B L N はメモリへの書き込み動作中に個々のセルを指定するために使用される。

【0015】

図 3、図 4、図 5 及び図 6 には、本発明によるコンテンツ・アドレスブル・磁気ランダムアクセスメモリ（C A M R A M s）のさらにいくつかの実施形態が示される。種々の実施形態には、異なる導電型トランジスタ（例えば、N 導電型及び P 導電型）と異なる位置の種々の素子のような接続回路における電位変化が示される。図 7 には、C A M R A M セル 10 または他のあらゆる形態のセルの拡大図が示されるとともに、種々の I / O 接続が示される。

【0016】

次に図 8 には、各セルが図 7 のセル 10 と同様な構成の C A M R A M セルアレイ 50 が

10

20

30

40

50

示される。アレイにおけるCAMRAMセルは行および列に配置され、各行には n 個のセルが、各列には m 個のセルが配置され、 n 及び m はあらゆる整数を表す。アレイにおける各セルはタグプログラミングビットライン及び反転タグプログラミングビットライン（それぞれ $BL_0 \sim BL_n$ 、 $BLN_0 \sim BLN_n$ として表記される）により接続され、イネーブルライン（ $EN_0 \sim EN_n$ として表記される）は列に沿って延び、ワードライン（ $WL_0 \sim WL_m$ として表記される）、デジットライン（ $DL_0 \sim DL_m$ として表記される）、及びマッチライン（ $ML_0 \sim ML_m$ として表記される）は行に沿って延びている。マッチライン $ML_0 \sim ML_m$ は一致検出回路51に接続され、検出回路51はマッチラインのいずれが一致しているかを検出し、一致信号を出力する（ $M_0 \sim M_i$ として表記される）。

【0017】

10

図1を再度参照すると、相補的情報は次のプロセスによりアレイ50のセルの各セルに書き込まれる。書き込まれている状態のセルを、ロジック0をイネーブルラインに印加する（ $EN=0$ ）ことにより無効にする。無効期間中に接点24、27をVddに維持するが、この動作は書き込み動作の後、直ちに生じる読み出し及び検索モードへの移行を迅速に行うために重要となる。同時に、ロジック0を印加する（ $WL=0$ ）ことによりワードラインを無効にする。プログラムビットラインPBL及びPBLNの対を選択するか、または、プログラムビットラインの全ての対を選択して書き込み速度を上げ、一つのデジットラインDLを選択する。選択した書き込みビットラインPBL、PBLN及び選択したデジットラインDLに適切な大きさの電流を流すことにより、特定の行に沿った選択セルが書き込まれる。例えば、PBL0とPBLN0を選択すると第1列のセルが選択される。DL0を選択すると第1列の第1セルが選択される。次に、ラインPBL0、PBLN0及びDL0に適切な大きさの電流を流すことにより、第1列の第1セルに所望の相補的情報を書き込む。

20

【0018】

検索モードにおいては、次のプロセスが行われる。アレイ50のうち選択された列のセルを、選択されたイネーブルラインにロジック1を印加する（ $EN=1$ ）ことにより有効にし、イネーブルラインを無効状態（ $EN=0$ ）から引き上げる。同時に、ワードラインを無効にする（ $WL=0$ ）。セルが無効になる（ $EN=0$ ）と、マッチラインMLはグラウンドにプリチャージする必要がある。タグビットラインPBL及びPBLNは接地する。一旦、セルが無効になり、タグビットラインが接地されると、トランジスタ28、22、21とMTJ12及びトランジスタ29、26、25とMTJ14が再生+Vcをフィードバックすることにより、接点24をVddに維持し、接点27をグラウンドに近い電圧に引き下げ、或いは逆に、すなわち、接点27をVddに維持し、接点24をグラウンドに近い電圧に引き下げる。接点24、27の電圧はトランジスタ40及び38のゲートにそれぞれ現われる。このようにして、トランジスタ40、41、或いは、トランジスタ37、38のいずれかは、タグビットラインBL及びBLN経由の入力アドレスに依存する形でマッチラインMLをプルアップする。

30

【0019】

以上のプロセスにより、アレイ50における検索開始の準備が整う。この結果、イネーブルラインはハイ（high）となり、高速の並列検索を開始することができる。入力ワード（ $BL_0 \dots BL_N$ ）はアレイ50のある行に保存されるデータと比較される。各CAMRAMセル10に保存されるデータは「タグ」として知られ、タグワードは一行のCAMRAMセル10により形成される。各行のCAMRAMセル10、または各タグワードはマッチライン（ $ML_0 \dots ML_N$ ）に接続される。タグワードのビットのいずれかに不一致があると、該当するマッチラインがプルダウンされる。あるタグワードの全ビットが入力ワードと一致すると、該当するマッチラインはハイのままとなる。一致検出回路51はマッチラインの変化を検出し、レジスタにその結果を保存する。アレイ50中の一つまたはそれ以上のビットのマスキング、すなわち、「マスクされた問合せビットポジション（masked interrogate bit position）」（と以後呼ぶこととする）は、所望のビットのイネーブルラインをローに下げることにより容易

40

50

に実現できる。イネーブルラインがローとなっているビットは、該当する列に沿ったCAMRAMセルをターンオフさせ、局所マスキングすることによって電力を節約できる。

【0020】

読み出し動作モードにおいては、CAMRAMはランダムアクセスメモリとして使用できるか、または、それに連続的にアクセスできるように設計することができる。読み出し動作は次のように行われる。イネーブルラインを無効にする($EN = 0$)と、タグビットラインBL及びBLNをVddにプリチャージする。接点24、27、並びにビットラインBL及びBLNはVddとなる。プログラミングビットラインPBL及びPBLNは接地する。一致検出回路51を無効にすると、読み出し動作中においてはタグビットラインBL及びBLNはロジックハイレベルまたはロジックローレベルのいずれかであり、この状態によりトランジスタ37、41がターンオンまたはターンオフするので、マッチラインMLが変化することとなる。ランダムアクセス期間中に一致検出回路51を無効にすると、一致検出回路51を不必要に変化させることを防止することができる。ワードラインWLを有効($WL = 1$)にし、選択されたセルを有効($EN = 1$)にする。MTJ12、14の状態に依存する形で、接点24、27はVddとなる、またはグランドよりも少し高い電圧となる。接点24または接点27がVddであると、タグビットラインBLまたはBLNはそれぞれVddを維持する。しかしながら、接点24または接点27がグランドよりも少し高い電圧であると、タグビットラインBLまたはBLNはそれぞれグランドに向かってプルダウンされ、そのとき、高速センスアンプ(図示せず)はタグビットラインBL及びBLNに現れる電圧を差分として高速に検知し、検知したデータを出力する。ここで、走査メカニズムは電圧モードまたは電流モードのいずれかにあることを理解されたい。

【0021】

好適には、トランジスタ21、22及び28とトランジスタ25、26及び29、それにMTJ12、14の抵抗は、MTJ12、14の両端に印加される電圧が約100mV~400mVの範囲となるように選択される。この範囲内で最大MR(最大抵抗と最小抵抗の比)が得られる。一般的に、MTJ12、14の両端に印加される電圧が低くなれば、MRが高くなり、消費電流が小さくなる。

【0022】

単一MTJセルは、処理、バイアス電圧変動、温度等に起因する抵抗変動に遭遇するので、これらの変動の要因と考えられるものが速度劣化につながる。しかしながら、差動形式で書き込まれるデュアルMTJセルにおいては、ここに記載するCAMRAMセルにおけるように、このような変動はすべて同相モードであり、自動的に消去される。さらに、利用可能な出力信号はデュアルMTJ及び差動動作により2倍化される。また、単一MTJセルが、メモリアレイの端部においてデータセンス及びデータ処理を行うメインメモリに使用される場合(例えば、本願とともに係属中であり、2000年8月28日出願された米国出願番号第09/649114号であり、同じ譲受人に譲渡された「高密度MRAMセルアレイ(HIGH DENSITY MRAM CELL ARRAY)」と題する出願を参照されたい)、CAMRAMはメインメモリよりもかなり高速である。

【0023】

ここで、SRAMをベースとするCAMセルはセルの位置でターンオフさせることができず、マスキングはアレイの周辺で行わなければならないので、このCAMセルはマスクすることができないのに対し、CAMRAMセルは、情報を失うことなくセルの位置において局所的にマスキングすることが可能であることにも留意されたい。CAMRAMセルを局所的にマスキングすると電力を相当節約できることとなる。CAMRAMセルはセルのイネーブルラインEN入力を通してマスクすることができ、この入力是一列のセルを接続するイネーブルラインENに接続される。また、CAMRAMセルは、高密度MRAM(上記に引用された本願とともに係属中の出願を参照されたい)に用いられる標準のMTJ構造と異なる構造にする必要は全く無い。

【0024】

10

20

30

40

50

以上のように、新規の改良されたコンテンツ・アドレスサブル・磁気ランダムアクセスメモリセルを開示するが、このセルは少なくともSRAMをベースとするメモリと同程度に高速であり、不揮発性である。また、ビットライン電圧は検索中に一致または不一致が検出される場合でも比較的一定に維持される。各セルは差動動作するので、処理に起因する抵抗変動、バイアス電圧変動、温度等は自動的に除去され、動作のために速度を犠牲にする必要が無い。さらに、差動で動作するのでより大きな信号を供給して一層効果的な検出及び動作が可能となる。

【0025】

CAMRAMセルは不揮発性であるので、新規のキャッシュ設計態様が生成され、その結果、新規のCPUアーキテクチャが生まれる。高速の検索エンジンは新規のCAMRAMセルを使用して設計することが可能であり、このように設計することにより、関連データを処理するための数多くのシステム及びアプリケーションが提供される。

10

【0026】

この技術分野の当業者には、一般的にビットラインはMTJセルアレイの各列に関連付けられ、デジットラインはアレイの各行に関連付けられることが理解できるであろう。ビットライン及びデジットラインはアレイの個々のセルを指定するために使用され、それによりアレイにおける情報の読み出し及び書き込み又は保存の双方を行なう。この技術分野の当業者には明らかなことであるが、列及び行は容易に入れ替えることが可能であり、本開示においてはこのような用語は置き換え可能である。また、種々のライン、例えば、ビットライン、ワードライン、デジットライン、セレクトライン等の特殊な呼び名は包括的な名称を意図したものであり、説明を簡単にするためにのみ使用されるのであって、決して本発明を制限するためのものではない。

20

【0027】

本発明の特定の実施形態を示し、記載してきたが、この技術分野の当業者はこれらの実施形態にさらに変形及び改良を加えることができる。従って、本発明が示された特殊な形態に限定されず、添付の請求項は、本発明の技術思想及び技術範囲を逸脱しない範囲のあらゆる変形を含むことが理解されよう。

【図面の簡単な説明】

【0028】

【図1】本発明によるコンテンツ・アドレスサブル可能な磁気ランダムアクセスメモリ(CAMRAM)の回路図。

30

【図2】図1のCAMRAMの部分等角投影回路図。

【図3】本発明によるコンテンツ・アドレスサブル・磁気ランダムアクセスメモリ(CAMRAM)の別の実施形態を示す図。

【図4】本発明によるコンテンツ・アドレスサブル・磁気ランダムアクセスメモリ(CAMRAM)の別の実施形態を示す図。

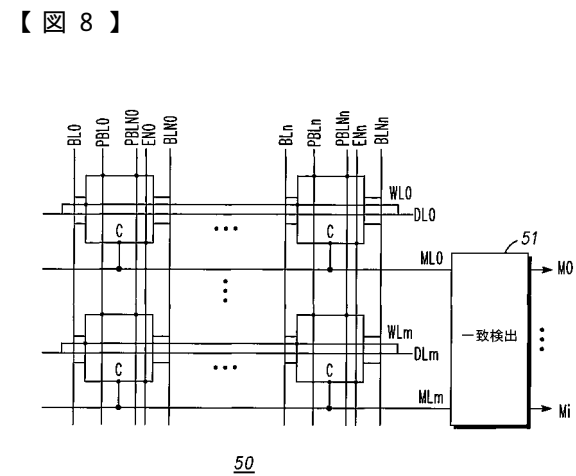
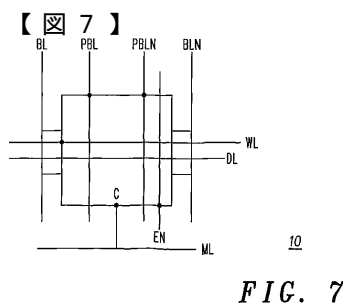
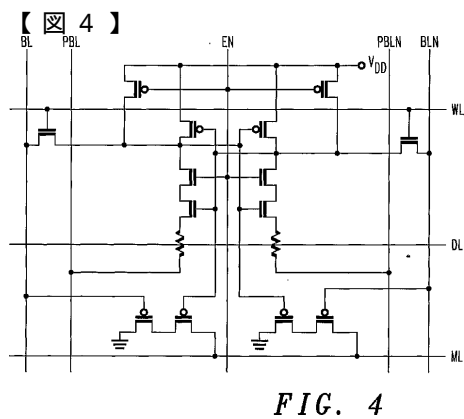
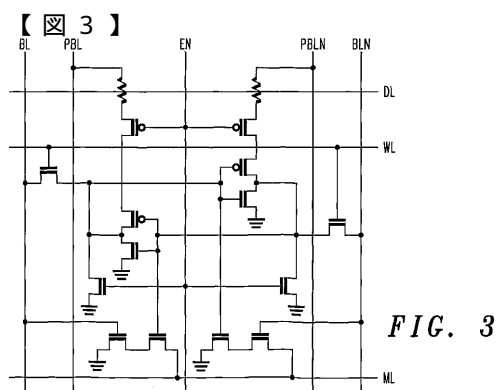
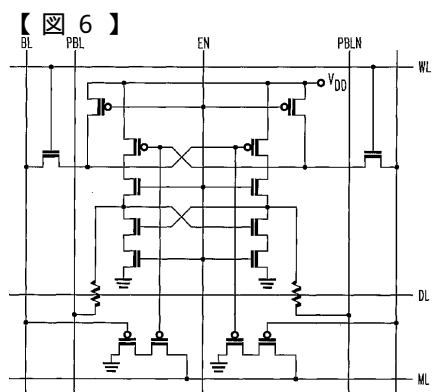
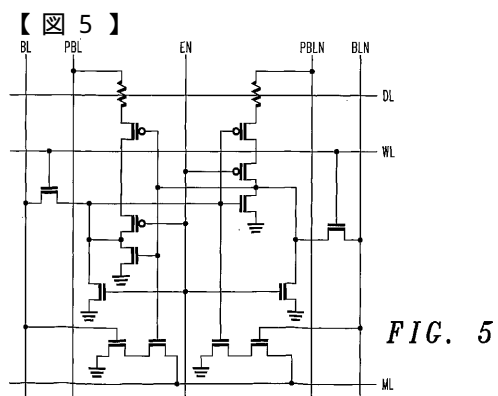
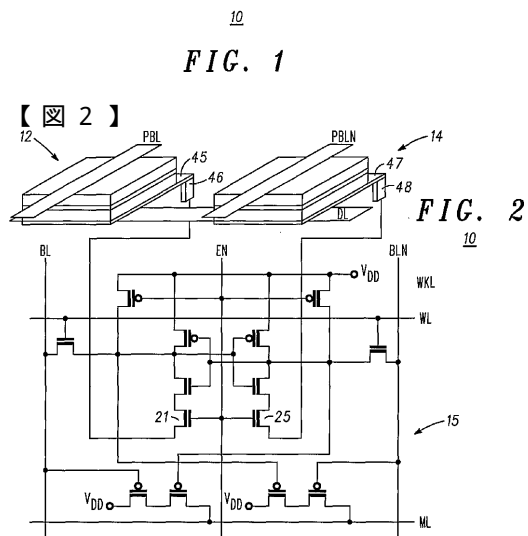
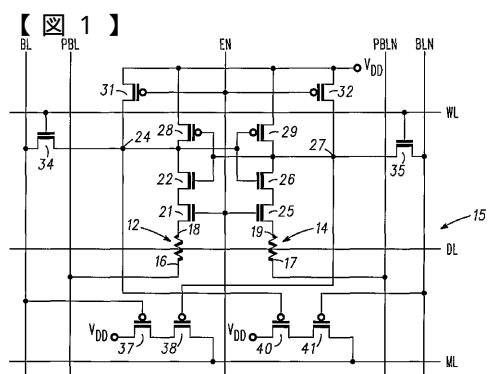
【図5】本発明によるコンテンツ・アドレスサブル・磁気ランダムアクセスメモリ(CAMRAM)の別の実施形態を示す図。

【図6】本発明によるコンテンツ・アドレスサブル・磁気ランダムアクセスメモリ(CAMRAM)の別の実施形態を示す図。

40

【図7】CAMRAMセルの拡大図であり、種々のI/O接続を示す図。

【図8】CAMRAMセルアレイを示す図。



フロントページの続き

(56)参考文献 特開平08-063996(JP,A)
国際公開第99/053499(WO,A1)

(58)調査した分野(Int.Cl.,DB名)
G11C 15/02
G11C 11/15