POLSKA RZECZPOSPOLITA LUDOWA

URZĄD PATENTOWY PRL

OPIS PATENTOWY 139 527

Patent dodatkowy do patentu ———

Zgłoszono: 82 05 12 /P.236391/

Pierwszeństwo: 81 05 14 Szwecja

Zgłoszenie ogłoszono: 83 04 11

Opis patentowy opublikowano: 88 05 31

Int. Cl.[4] G06F 13/20

CZYTELNIA Urzędu Patentowego

Twórca wynalazku: ———

Uprawniony z patentu: Telefonaktiebolaget LM Ericsson, Sztokholm /Szwecja/

UKŁAD PRZYDZIELANIA ZEZWOLENIA NA NADAWANIE DOWOLNEMU Z TERMINALI W SIECI TELEKOMUNIKACYJNEJ

Przedmiotem wynalazku jest układ przydzielania zezwolenia na nadawanie dowolnemu z terminali w sieci telekomunikacyjnej, kiedy transmituje się informacje pomiędzy terminalami, które są połączone ze sobą poprzez wspólną szynę pierścieniową i są sterowane przez komputer umieszczony w każdym z tych terminali.

Układ przydzielania zezwolenia na nadawanie komputerom połączonym w pętlę opisany jest w artykule M.T. Liu i C.C. Reames, "The design of distributed computer network" - Kierowana sieć komputerowa - Proc. Int. Computer Symp. 1975, vol 1, str. 273-282. Artykuł ten podaje, że zezwolenie komputerowi na nadawanie, to znaczy na przerwanie pętli, w stanie, kiedy żadna ramka informacji nie przechodzi w danym momencie, kilka terminali może nadawać równocześnie. Każdy komputer jest wtedy przygotowany do odbierania danych przychodzących, zapamiętywania danych w pamięci buforowej i do zwrotnego przekazywania danych do linii.

Inne znane urządzenie daje zezwolenie na nadawanie za pomocą specjalnego rozkładu bitów. Taki rozkład bitów jest przetwarzany lub ponownie kształtowany zależnie od tego, czy zezwolenie na nadawanie zostaje przyjęte, czy też odrzucone. Urządzenie to przedstawione jest w artykule W.D. Farmer i E.F. Newhall, Proc. ACM Symp. Probl.Optim. Data Communication System 1 - 33, 1969.

Istnieją obecnie różne sposoby zarządzania nadawaniem informacji komputerami dołączonymi do szyny pierścieniowej. Problem występujący przy rozwiązaniu pierwszego znanego typu polega na tym, że ze względu na swe skomplikowanie wymagany jest również skomplikowany osprzęt.

Rozwiązanie drugiego znanego typu charakteryżuje się słabym bezpieczeństwem transmisji, ponieważ zakłócenia łatwo mogą spowodować sfałszowanie zezwolenia na nadawanie, gdyż rozkład bitów nie jest zabezpieczony, ponieważ nie stanowi on części znormalizowanej ramki HDLC.

Układ przydzielania zezwolenia na nadawanie dowolnemu z terminali w sieci telekomunikacyjnej, przy przesyłaniu informacji pomiędzy terminalami, które połączone są poprzez wspólną szynę pierścieniową i są sterowane przez komputery znajdujące się w każdym z terminali, według wynalazku charakteryzuje się tym, że każdy terminal zawiera porównawczy adresowy zespół logiczny z pierwszym wejściem odbierającym dane zezwolenia na nadawanie, dołączonym do szyby przez pierwszy logiczny przerzutnik dwustabilny, którego wejście odbierające sygnał zegarowy jest dołączone do wyjścia inwertera, którego wejście jest dołączone do wejścia sygnału zegarowego terminala i do wejścia sygnału zegarowego adaptacyjnego obwodu. Wyjście pierwszego logicznego przerzutnika dwustabilnego jest również dołączone do wejścia logicznego zespołu detekcji sygnalizacji i do pierwszego wejścia pierwszego obwodu różnicy symętrycznej. Wejście sygnału warunkowego porównawczego adresowego zespołu logicznego jest dołączone do wyjścia komputera. Wspomiane wejście sygnału zegarowego terminala jest dołączone do wejść sygnału zegarowego logicznego zespołu detekcji sygnalizacji i porównawczego adresowego zespołu logicznego. Wyjście logicznego zespołu detekcji sygnalizacji jest dołączone do wejścia porównawczego adresowego zespołu logicznego, którego pierwsze wyjście jest dołączone do wejścia danych pierwszego generatora sygnału przerwania, którego drugie wejście jest dołączone do wejścia sygnału zegarowego. Wyjście tego pierwszego generatora sygnału przerwania jest dołączone do pierwszego wejścia drugiego elementu różnicy symetrycznej, którego drugie wejście jest dołączone do wyjścia pierwszego logicznego przerzutnika dwustabilnego. Ponadto wyjście drugiego elementu różnicy symetrycznej jest dołączone do pierwszego wejścia przełącznika danych, a drugie wyjście porównawczego adresowego zespołu logicznego jest dołączone do pierwszego wejścia drugiego generatora sygnału przerwania, którego drugie wejście jest dołączone do wejścia sygnału zegarowego.

Wyjście drugiego generatora sygnału przerwania jest dołączone do drugiego wejścia pierwszego elementu różnicy symetrycznej, którego wyjście jest dołączone do wejścia odbioru danych obwodu, adaptacyjnego, którego wyjście przekazywania danych jest dołączone do drugiego wejścia przełącznika danych. Ponadto wyjście bitu końca ramki obwodu adaptacyjnego jest dołączone do pierwszego wejścia obwodu I, którego drugie wejście jest dołączone do wyjścia sygnału sterującego dalszego logicznego przerzutnika dwustabilnego, którego wejście jest dołączone do wejścia przerzutnika dwustabilnego, którego dwa dalsze wejścia są dołączone do odpowiednich wyjść komputera. Ponadto wyjście przerzutnika dwustabilnego jest dołączone do wejścia sygnału sterującego przełącznika danych, wyjście którego jest dołączone do wejścia trzeciego logicznego przerzutnika dwustabilnego, drugie wejście którego jest dołączone do wejścia wspólnego sygnału zegarowego, przy czym wyjście tego trzeciego logicznego przerzutnika dwustabilnego jest dołączone do wyjścia terminala.

W układzie według wynalazku zastosowano ramkę zezwolenia na nadawanie /tak zwaną ramkę żetonową/ w formacie HDLC /High Level Data Link Control/ /wysokopoziomowe sterowanie łączy danych/ zawierającą zezwolenie na nadawanie w postaci określonego rozkładu sygnałów, przy czym ramka ta obiega w szynie pierścieniowej, a kiedy w dowolnym z dołączonych terminal i pojawi się określony stan logiczny oznaczający, że terminal ten chce nadawać, wówczas zezwolenie na nadawanie zostanie przydzielone temu terminalowi, który pod względem położenia ramki w pętli pierwszy przyjmie wymieniony określony stan logiczny, poprzez detekcję ramki żetonowej w tym pierwszym terminalu, a w ramkę żetonową wysyłaną do szyny zostaje wprowadzony rozkład przerwania, na skutek czego treść tej ramki będzie nieważna, co uniemożliwia przydzielenie zezwolenia na nadawanie dowolnemu z pozostałych terminali ponieważ tylko jeden terminal w danym czasie może nadawać do pętli.

Opisany sposób oznacza, że ramka żetonowa jest odbierana i przerywana w kierunku do szyny, jeżeli terminal chce nadawać, ale jest przerywana w kierunku do własnego terminala i podawana w pętli poprzez terminal, jeżeli terminal ten nie chce nadawać.

Przedmiot wynalazku zostanie objaśniony w przykładzie wykonania na rysunku, na którym fig. 1a - d przedstawia schematycznie układ według wynalazku z wieloma terminalami dołączonymi do wspólnej szyny pierścieniowej, fig. 2 - schemat blokowy układu w terminalu według wynalazku, fig. 3 - schemat blokowy obwodu detekcji sygnalizacji, a fig. 4 przedstawia schemat blokowy obwodu logicznego porównywania adresów.

Jak pokazano na fig. 1 cztery terminale TR1 - TR4 są dołączone do wspólnej, szeregowej szyny pierścieniowej RB. Przyjęto, że terminal TR2 chce nadawać informację do terminala TR4. Po szynie obiega ramka zezwolenia na nadawanie /ramka żetonowa/ SP posiadająca format HDLC. Kiedy terminal TR2 chce nadawać, a zatem potrzebuje zezwolenia na nadawanie, wówczas ramka zezwolenia na nadawanie odbierana jest przez część odbiorczą R terminala TR2. Kiedy odbiornik rozpozna rozkład bitów ramki żetonowej, wtedy wie, że ma zezwolenie na nadawanie i przekazuje w kierunku do szyny pierścieniowej sygnał przerwania. Oznacza to, że w ramce zezwolenia na nadawanie przekazywanej do szyny zawarty jest rozkład przerwania AB zawierający osiem kolejnych jedynek binarnych. Ramka zezwolenia na nadawanie jest w ten sposób kasowana i żaden inny terminal nie może zyskać zezwolenia na nadawanie dopóki nadaje terminal TR2. Kiedy nadawanie zostanie zakończone, terminal TR2 przekazuje na szynę zezwolenie na nadawanie przez nadanie nowej ramki zezwolenia na nadawanie, która może być przyjęta przez dowolny terminal. Jeżeli dany terminal nie chce zezwolenia na nadawanie, wówczas przerywa ramkę w kierunku własnego terminala, tak że obiegające zezwolenie na nadawanie przechodzi w pętli poprzez ten terminal i powraca z powrotem do szyny.

Fig. 1a przedstawia jak obiegająca ramka zezwolenia na nadawanie SP jest odbierana przez terminal TR2, a rozkład przerwania AB jest wprowadzany w pętlę dla nadania w szynę pierścieniową. Fig. 1b przedstawia jak terminal TR2 po przerwaniu w kierunku do szyny otwiera pętlę i nadaje informację DI do terminala TR4, który jak pokazano na fig. 1c odbiera informację, przerywa pętlę chwilowo i wysyła ramkę potwierdzenia IA do terminala TR2, po czym pętla poprzez terminal TR4 samoczynnie zostaje ponownie zamknięta. Fig. 1d przedstawia jak terminal TR2, kiedy transmisja jest zakończona, retransmituje oryginalną ramkę zezwolenia na nadawanie na szynę pierścieniową, a następnie pętla poprzez terminal TR2 zostaje automatycznie zamknięta. Można zaobserwować, że swobodnie obiegająca ramka zezwolenia na nadawanie nakłada całkowite opóźnienie wokół szyny przewyższające czas nadawania ramki.

Fig. 2 przedstawia schemat blokowy obwodu logicznego pętli zawartego w każdym terminalu. Zespół logiczny pętli odbiera ramkę żetonową z szyny lub wejścia sygnału RxD poprzez zespół adaptacyjny, który nie jest pokazany. Na jednym wejściu odbierany jest wspólny sygnał zegarowy RxC.

Wszystkie informacje przysyłane pomiędzy terminalami poprzez szynę pierścieniową są wymieniane jako ramki HDLC o formacie zgodnym z normą ISO 3309. Specjalna kombinacja adresowa zwana adresem warunkowym oznacza, że ramka zawierająca taką specjalną kombinację adresową jest ramką zezwolenia na nadawanie /ramką żetonową/. W tym znormalizowanym formacie ramki informacja zawarta jest zawsze nadzorowana pod względem zabezpieczenia przed błędem przez sprawdzanie sumy kontrolnej ECS zawartej w ramce /Frame Check Sequence - Sekwencja kontroli ramki/. Centralny procesor CPU /nie pokazano na rysunku/ steruje wymianą informacji pomiędzy terminalem a szyną w znany sposób. Procesor ten jest znanego typu, np. Motorola M 68000. Obwód HDLC MD, np. firmy Motorola typ M 68354, służy jako adapter pomiędzy procesorem CPU a logicznym obwodem pętli. Obwód HDLC odciąża procesor od pewnych zadań przez samodzielne realizowanie pewnych funkcji kontrolnych.

Logiczny zespół detekcji sygnalizacji FL zastosowano do rozpoznania sekwencji sygnalizacyjnych w każdej ramce odbieranej i następnie nadawania sygnału kontrolnego FD /detekcja sygnalizacji/ do adresowanego obwodu logicznego AL. Logiczny obwód adresowy AL porównuje adres ramki przychodzącej z ustalonym adresem ramki żetonowej, to znaczy sprawdza czy ramka przychodząca jest ramką zezwolenia na nadawanie, czy też nie. Jeżeli zostanie wykryta ramka zezwolenia na nadawanie, to znaczy kiedy adresy są jednakowe, następuje określenie czy sygnał przerwania

będzie wysyłany w kierunku do szyny, czy w kierunku do własnego terminala. Decyzja oparta jest na stanie logicznym sygnału sterującego CFR /warunkowy odbiór ramki/ wysyłanego z procesora CPU na adresowy zespół logiczny AL. Wartość tego sygnału CFR zawierająca określony stan logiczny każdego terminala pozwala na stwierdzenie czy terminal chce nadać, czy też nie. Tak więc sygnał CFR określa czy odbierana ramka ma być przerwana w kierunku do własnego terminala, czy w kierunku do szyny.

Pierwszy generator sygnału przerwania AG1 wytwarza sygnał przerwania dla szyny, kiedy odbierze sygnał aktywacji z adresowanego zespołu logicznego. Drugi generator sygnału przerwania AG2 wytwarza sygnał przerwania dla swego własnego terminala, kiedy odbierze sygnał pobudzenia z adresowego zespołu logicznego. Zespół przełączający, przełącznik danych DS, ma na celu zamykanie lub otwieranie pętli poprzez terminal. Zespół DS ma od początku stan zamkniętej pętli, to znaczy "pętla". Zespół sterujący SR jest to przerzutnik dwustabilny, który pod kontrolą impulsów z procesora CPU steruje przełączaniem przełącznika danych DS.

Według protokołu HDLC co najwyżej pięć kolejnych logicznych jedynek może pojawić się w sekwencji informacji. W informacjach, gdzie pojawia się więcej niż pięć kolejnych jedynek, po piątej jedynce wprowadzane jest zero, tak zwane dopełnienie bitowe. Jednakże w logicznym obwodzie pętli przetwarzana jest rzeczywista informacja, toteż ewentualnie dopełnienie bitowe musi być usunięte. Odbywa się to w obwodzie usuwania zer D. Obwód ten nie jest ważny dla objaśnienia wynalazku, toteż przedstawiono go jedynie dla wyjaśnienia tła i dla uniknięcia nieporozumień. Obwód ten składa się z rejestru przesuwnego, do którego wyjść dołączony jest obwód bramkowy.

Uruchamiany procesorem sygnał sterowania CLA /zamknąć pętlę automatycznie/ można stosować jako sygnał zegarowy dla przerzutnika dwustabilnego SR po każdej nadanej, kompletnej ramce z własnego terminala, aby automatycznie zamykać pętlę. Procesor CPU uruchamia sygnał CLA przed rozpoczęciem nadawania tej ramki, po której potrzebne jest automatyczne zamknięcie pętli. Automatyczne zamknięcie pętli ma miejsce wtedy, kiedy pojawia się sygnał BCF /koniec ramki/ i działa sygnał CLA.

Poniżej, na podstawie fig. 2 opisane jest działanie układu według wynalazku.

Sygnał przychodzący z szyny jest podawany na wejścia logicznego zespołu adresowego AL i wejścia logicznego zespołu detekcji sygnalizacji FL poprzez pierwszy logiczny przerzutnik dwustabilny FF1 produkcji Texas Instruments, typ 74LS74. Przerzutnik ten otrzymuje sygnał zegarowy poprzez inwerter I. Informacja jest również podawana na wejście odbiorcze RD obwodu HDLC HD poprzez pierwsze wejście obwodu LUB OR1. Logiczny obwód detekcji sygnalizacji zawiera według fig. 3 rejestr przesuwny SH1 produkcji Texas Instruments typ 74 LS 164, którego wyjścia są dołączone do ośmiu wejść obwodu I 01, którego wyjście podaje sygnał detekcji sygnalizacji FD poprzez przerzutnik dwustabilny FF7 na logiczny zespół adresowy AL, kiedy na wejściach odebrane zostanie słowo określające sygnalizację, to znaczy zero, sześć jedynek, zero /01111110/.

Jak wynika z fig. 4 logiczny obwód adresowy AL zawiera drugi rejestr przesuwny SH2 tego samego typu co rejestr SH1, którego wejścia odbierają przychodzący strumień danych. Pod wpływem sterowania za pomocą sygnału zegarowego RxC wspólnego dla obwodu logicznego pętli, informacja jest przesuwana przez rejestr przesuwny SH2, którego wyjścia są dołączone do odpowiednich wejść obwodu komparatorowego CO zawierającego dwa komparatory firmy Texas Instruments typ 74 LS 85. Każde słowo ośmiobitowe z rejestru przesuwnego do komparatora CO jest porównywane w nim z ustalonym słowem ośmiobitowym o rozkładzie bitów odpowiadającym adresowi ramki żetonowej A_{CA}, to znaczy specjalnemu rozkładowi bitów odpowiadającemu zezwoleniu na nadawanie.

Trzeci rejestr przesuwny SH3 tego samego typu co rejestr SH1 i SH2 odbiera impuls detekcji sygnalizacji FD na wejściu danych. Impuls ten informuje logiczny obwód adresowy, że właśnie rozpocznie się odbiór adresu przychodzącej informacji. Impuls detekcji sygnalizacji FD jest przesuwany stopniowo przez trzeci rejestr SH3 synchronicznie z przychodzącymi bitami adresowymi w drugim rejestrze SH2, przy sterowaniu za pomocą wspólnego sygnału zegarowego RxC.

Wyjście trzeciego rejestru przesuwnego SH3 jest dołączone do jednego wejścia obwodu I 02. Drugie wejście tego obwodu jest inwersyjne i odbiera impuls detekcji sygnalizacji FD poprzez drugi logiczny przerzutnik dwustabilny FF2 tego samego typu co przerzutnik dwustabilny FF1. W tym momencie impuls FD jest wyprowadzany z trzeciego rejestru SH3 i podawany na wejście obwodu I 02, przy czym wejścia obwodu I 02 zostają pobudzone, a impuls sterowania adresu AC jest przesyłany z wyjścia tego obwodu na pierwsze wejście każdego z dwóch obwodów I 03 i 04.

Impuls sterowania adresu AC oznacza, że adres informacji jest skończony. Jeżeli komparator CO stwierdzi, że porównywane adresy są jednakowe, wówczas sygnał transmitowany jest z wyjścia komparatora na drugie wejście każdego obwodu I 03 i 04. Trzecie wejście każdego z obwodów I 03 i 04 odbiera sygnał sterujący CFR zainicjowany przez komputer CPU, to znaczy taki sygnał, który na skutek swego stanu logicznego określa, czy rozkład przerwania będzie przesłany do szyny pierścieniowej,czy do własnego terminala. Jedno z tych trzecich wejść musi być inwersyjne zgodnie z przykładem trzeciego wejścia obwodu I 04. Każdy z sygnałów z obwodów I 03 i 04 pobudza wyjściowy przerzutnik dwustabilny FF5 i FF6, których sygnały wyjściowe są alternatywnymi sygnałami wyjściowymi z logicznego obwodu adresowego AL, z których każdy steruje generator sygnału przerwania AG1 i AG2, gdy tylko ramka zezwolenia na nadawanie zostanie wykryta przez zespół adresowy AL. Generatory sygnału przerwania są identyczne, a każdy z nich zawiera czterobitowy licznik binarny typu 74 LS 161 produkcji Texas Instruments, a ich przeznaczeniem jest wytwarzanie rozkładu przerwania.

Możliwe są dwa stany: sygnał sterujący CFR może być aktywny lub nieaktywny. Załóżmy, że sygnał sterujący CFR jest nieaktywny, co oznacza, że własny terminal nie ma nic do nadania. Ramka zezwolenia na nadawanie przechodzi wtedy przez własny terminal i jest oddawana w kierunku obwodu HDLC HD. Po zakończeniu porównywania adresów w logicznym obwodzie adresowym AL wyjście b przesyła sygnał aktywacji na wejście drugiego generatora sygnału przerwania AG2 powodując, że generator ten wytwarza rozkład przerwania złożony z ośmiu kolejnych jedynek logicznych. Jedynki te są podawane na drugie wejście obwodu LUB OR1, którego pierwsze wejście odbiera zezwolenie na nadawanie sygnału RxD z wejścia terminala. Ramka normalnie złożona jest z ośmiobitowej sygnalizacji startowej, ośmiobitowego adresu, ośmiobitowego pola sterowania, szesnastobitowego pola sterowania ramki FCS /sprawdzanie sumy kontrolnej/ i ośmiobitowej sygnalizacji stopowej. Za pomocą obwodu LUB OR1 osiem kolejnych jedynek rozkładu przerwania zostanie teraz wprowadzonych w pole sterowania przychodzącej ramki. Ramka ta będzie teraz za krótka i nieważna zgodnie z definicjami protokółu HDLC. Obwód HDLC HD odrzuca zatem ramkę oznaczoną w taki sposób i informacja nie jest przenoszona do procesora CPU. Jeżeli żaden z terminali nie chce nadawać na szynę, wówczas pętla poprzez każdy terminal jest zawsze zamknięta, to znaczy przełącznik danych DS znajduje się w położeniu 1. Kiedy przychodząca ramka jest przerywana w kierunku do własnego terminala, a pierwszy generator sygnału przerwania AG1 nie jest pobudzony, wówczas informacja obiega poprzez obwód LUB OR2, przełącznik danych DS i trzeci logiczny przerzutnik dwustabilny FF3 z powrotem do szyny w kierunku do następnego terminala.

Sygnał sterujący aktywny CFR oznacza, że własny terminal chce nadawać na szynę, w związku z czym terminal odbiera i zatrzymuje zezwolenie na nadawanie. W takim przypadku drugi generator sygnału przerwania AG2 nie jest pobudzony przez logiczny obwód adresowy i w kierunku własnego terminala nie jest wysyłany rozkład przerwania. Obwód HDLC HD odbiera natomiast przychodzącą ramkę zezwolenia na nadawanie i podaje ją na procesor, który po sprawdzeniu poprawności pola sterowania ramki FCS wie, że odebrał zezwolenie na nadawanie.

Logiczny zespół adresowy AL przesyła w tym czasie sygnał pobudzania a do pierwszego generatora przerywania AG1, który w opisany wcześniej sposób wprowadza osiem kolejnych jedynek, to znaczy rozkład przerwania, w pole sterowania ramki poprzez drugie wejście obwodu LUB OR2, przełącznik danych DS i przerzutnik dwustabilny FF3 w szynę. Ramka, która jest teraz przesyłana na szynę, zawiera rozkład przerwania, a więc jest kasowana, co oznacza że żaden inny terminal wzdłuż szyny nie może mieć zezwolenia na nadawanie, nawet jeżeli chce tego, ponieważ sygnał sterujący CFR jest aktywny.

Zanim terminal będzie mógł rozpocząć nadawanie informacji na szynę, musi nastąpić otworzenie pętli, to znaczy przełącznik danych DS powinien mieć położenie O według fig. 2. Jest to inicjowane przez procesor CPU, który wysyła sygnał aktywacji na wejście R przełącznika dwustabilnego SR, który wysyła wtedy sygnał sterowania do przełącznika danych DS powodując przełączenie go do położenia odpowiadającego otwartej pętli. Teras informacja może być nadawana ze sterowaniem za pomocą procesora CPU z wyjścia TD do obwodów HDLC HD poprzez przełącznik danych DS, poprzez przerzutnik dwustabilny FF3 do szyny i dalej do drugiego zaadresowanego terminala. Transmisja z terminala zostaje zakończona przez nadanie nowej ramki zezwolenia na nadawanie w szynę jako znaku, że terminal rezygnuje z zezwolenia na nadawanie dla następnego terminala, który zechce nadawać. Oczywiście może to być znowu ten sam terminal, zależnie od tego, który terminal wzdłuż szyny pierwszy będzie miał sygnał sterujący CFR aktywny.

Kiedy nadawana jest ramka zezwolenia na nadawanie, pętla poprzez terminal zostaje automatycznie z powrotem zamknięta zależnie od tego, że komparator poprzednio pobudził czwarty przerzutnik dwustabilny FF4, który przesyła sygnał sterowania CLA na jedno z wejść obwodu I 05. Drugie wejście obwodu I 05 jest pobudzane sygnałem EOF /koniec ramki/, który jest wyzwalany z obwodu HDLC HD, kiedy przesyłanie ramki jest zakończone. Wyjście z obwodu I 05 steruje wejście zegarowe zespołu sterującego SR, który w stanie pobudzonym wysyła sygnał dodatni z wejścia danych na wyjście, przy czym ten sygnał wyjściowy powoduje, że przełącznik danych DS zmienia swe położenie, tak że pętla jest ponownie zamknięta poprzez terminal, który jest teraz gotowy do monitorowania szyny aż wystąpi potrzeba nowego zezwolenia na nadawanie.

Opisany przykład wykonania odnosi się jedynie do indentyfikowania określonego adresu warunkowego odpowiadającego zezwoleniu na nadawanie, ale oczywiście są inne typy adresów w innych ramkach, przykładowo własny adres terminala, kiedy jakiś inny terminal chce przesłać informację, lub adres ogólny dla wszystkich terminal i dołączonych do szyny pierścieniowej. Zalety rozwiązania według wynalazku w porównaniu ze stanem techniki są następujące: mniejsze obciążenie procesora, dobre wykorzystanie szyny, prosty osprzęt, dzięki temu, że informacja jest transmitowana w ramach znormalizowanego formatu HDLC, co wszystko razem oznacza również mniejsze koszty.

Z a s t r z e ż e n i e p a t e n t o w e

Układ przydzielania zezwolenia na nadawanie dowolnemu z terminali w sieci telekomunikacyjnej, przy przesyłaniu informacji pomiędzy terminalami, które połączone są poprzez wspólną szynę pierścieniową i są sterowane przez komputery znajdujące się w każdym z terminali, z n a m i e n n y t y m, że każdy terminal zawiera porównawczy adresowy zespół logiczny /AL/ z pierwszym wejściem odbierającym dane zezwolenia na nadawanie, dołączonym do szyny przez pierwszy logiczny przerzutnik dwustabilny /FF1/, którego wejście odbierające sygnał zegarowy jest dołączone do wyjścia inwertera /I/, którego wejście jest dołączone do wejścia sygnału zegarowego /RxC/ terminala i do wejścia sygnału zegarowego adaptacyjnego obwodu /HD/, a wyjście pierwszego logicznego przerzutnika dwustabilnego /FF1/ jest również dołączone do wejścia logicznego zespołu detekcji sygnalizacji /FL/ i do pierwszego wejścia pierwszego obwodu różnicy symetrycznej /OR1/, przy czym wejście sygnału warunkowego /CFR/ porównawczego adresowego zespołu logicznego /AL/ jest dołączone do wyjścia komputera /CPU/, wspomniane wejście sygnału zegarowego /RxC/ terminala jest dołączone do wejść sygnału zegarowego logicznego zespołu detekcji sygnalizacji /FL/ i porównawczego adresowego zespołu logicznego /AL/, a wyjście logicznego zespołu detekcji sygnalizacji /FL/ jest dołączone do wejścia porównawczego adresowego

zespołu logicznego /AL/, którego pierwsze wyjście jest dołączone do wejścia danych pierwszego generatora sygnału przerwania /AG1/, którego drugie wejście jest dołączone do wejścia sygnału zegarowego /RxC/, przy czym wyjście tego pierwszego generatora sygnału przerwania /AG1/ jest dołączone do pierwszego wejścia drugiego elementu różnicy symetrycznej /OR2/, którego drugie wejście jest dołączone do wyjścia pierwszego logicznego przerzutnika dwustabilnego /FF1/, ponadto wyjście drugiego elementu różnicy symetrycznej /OR2/ jest dołączone do pierwszego wejścia przełącznika danych /DS/, a drugie wyjście porównawczego adresowego zespołu logicznego /AL/ jest dołączone do pierwszego wejścia drugiego generatora sygnału przerwania /AG2/, którego drugie wejście jest dołączone do wejścia sygnału zegarowego /RxC/, przy czym wyjście drugiego generatora sygnału przerwania /AG2/ jest dołączone do drugiego wejścia pierwszego elementu różnicy symetrycznej /OR1/, którego wyjście jest dołączone do wejścia odbioru danych /RD/ adaptacyjnego obwodu /HD/, którego wyjście przekazywania danych /TD/ jest dołączone do drugiego wejścia przełącznika danych /DS/, a ponadto wyjście bitu końca ramki /EOF/ obwodu adaptacyjnego /HD/ jest dołączone do pierwszego wejścia obwodu I /05/, którego drugie wejście jest dołączone do wyjścia sygnału sterującego /CLA/ dalszego logicznego przerzutnika dwustabilnego /FF4/, którego wejście jest dołączone do wyjścia komputera /CPU/, przy czym wyjście obwodu I /05/ jest dołączone do wejścia przerzutnika dwustabilnego /SR/, którego dwa dalsze wejścia są dołączone do odpowiednich wyjść komputera /CPU/, a ponadto wyjście przerzutnika dwustabilnego /SR/ jest dołączone do wejścia sygnału sterującego przełącznika danych /DS/, wyjście którego jest dołączone do wejścia trzeciego logicznego przerzutnika dwustabilnego /FF3/, drugie wejście którego jest dołączone do wejścia wspólnego sygnału zegarowego /RxC/, przy czym wyjście tego trzeciego logicznego przerzutnika dwustabilnego /FF3/ jest dołączone do wyjścia terminala.

Fig. 1

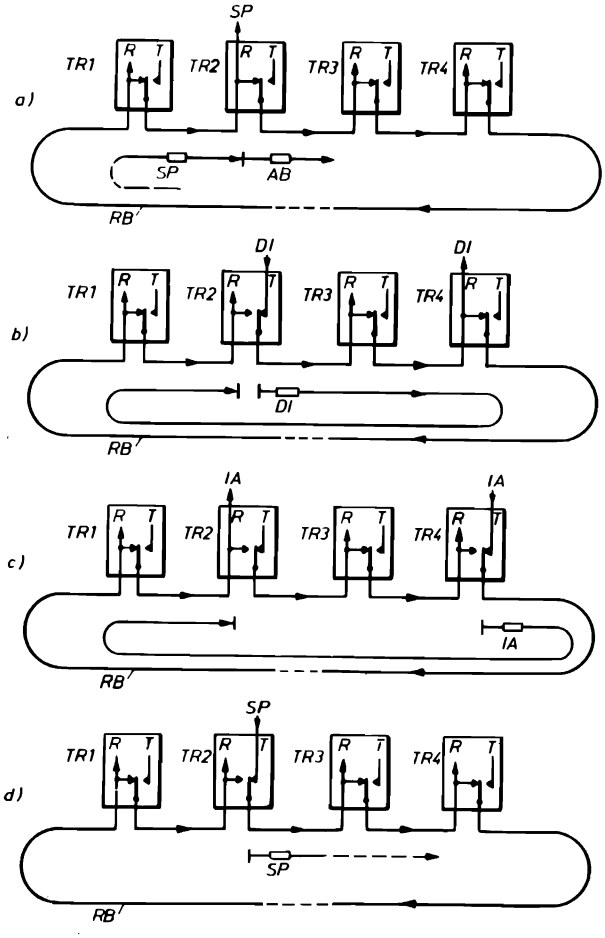


Fig. 2

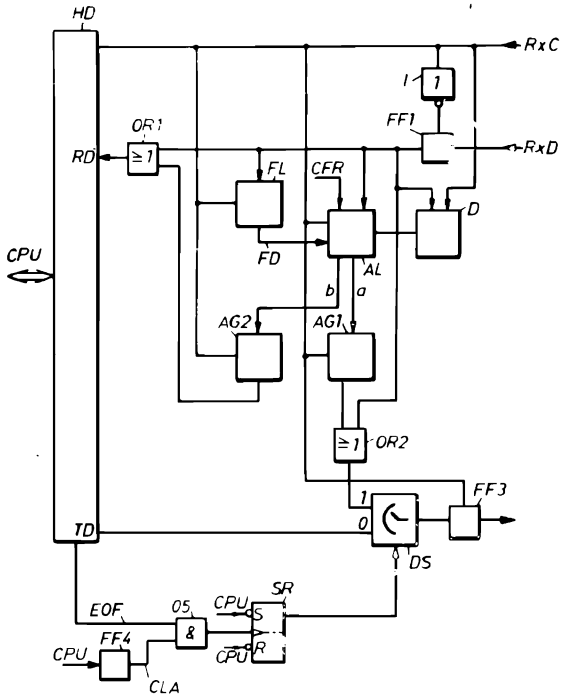


Fig. 3

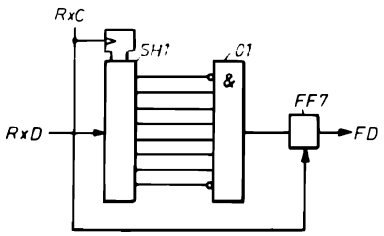
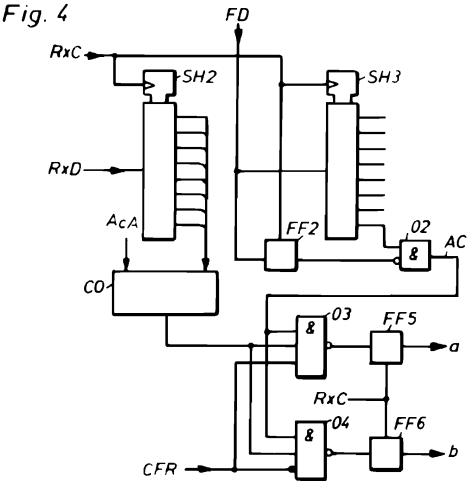


Fig. 4



Pracownia Poligraficzna UP PRL. Nakład 100 egz
Cena 130 zł