

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-152621

(P2017-152621A)

(43) 公開日 平成29年8月31日(2017.8.31)

|                |              |                  |                |             |                |                  |
|----------------|--------------|------------------|----------------|-------------|----------------|------------------|
| (51) Int.Cl.   |              | F I              |                |             |                | テーマコード (参考)      |
| <b>H O 1 G</b> | <b>4/12</b>  | <b>(2006.01)</b> | <b>H O 1 G</b> | <b>4/12</b> | <b>3 4 9</b>   | <b>5 E 0 0 1</b> |
| <b>H O 1 G</b> | <b>4/30</b>  | <b>(2006.01)</b> | <b>H O 1 G</b> | <b>4/30</b> | <b>3 0 1 E</b> | <b>5 E 0 8 2</b> |
| <b>H O 1 G</b> | <b>4/232</b> | <b>(2006.01)</b> | <b>H O 1 G</b> | <b>4/30</b> | <b>3 0 1 B</b> |                  |
|                |              |                  | <b>H O 1 G</b> | <b>4/12</b> | <b>3 5 2</b>   |                  |

審査請求 有 請求項の数 3 O L (全 9 頁)

|           |                            |          |                                |
|-----------|----------------------------|----------|--------------------------------|
| (21) 出願番号 | 特願2016-35706 (P2016-35706) | (71) 出願人 | 000204284                      |
| (22) 出願日  | 平成28年2月26日 (2016. 2. 26)   |          | 太陽誘電株式会社                       |
|           |                            |          | 東京都中央区京橋二丁目7番19号               |
|           |                            | (74) 代理人 | 100145517                      |
|           |                            |          | 弁理士 宮原 貴洋                      |
|           |                            | (72) 発明者 | 小和瀬 裕介                         |
|           |                            |          | 東京都台東区上野6丁目16番20号 太            |
|           |                            |          | 陽誘電株式会社内                       |
|           |                            | Fターム(参考) | 5E001 AB03 AC04 AD03 AD04 AF00 |
|           |                            |          | AF06 AH01 AH05 AH09 AJ02       |
|           |                            |          | AJ03                           |
|           |                            |          | 5E082 AA01 AB03 BC11 BC14 BC40 |
|           |                            |          | EE04 EE23 EE26 EE35 EE42       |
|           |                            |          | FG04 FG26 FG46 FG52 FG54       |
|           |                            |          | FG60 GG10 GG26 GG28 GG30       |
|           |                            |          | LL02 LL03 PP09                 |

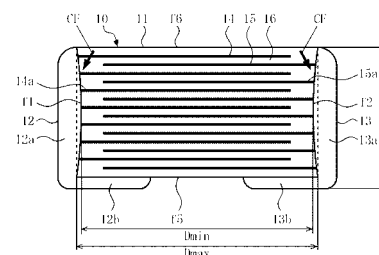
(54) 【発明の名称】 積層セラミックコンデンサ

## (57) 【要約】

【課題】容量増加の恩恵を損なうことなく、しかも、さらなる容量増加のために高誘電率系誘電体セラミックスを使用した場合でもDCバイアス特性が悪化することを抑制できる積層セラミックコンデンサを提供する。

【解決手段】積層セラミックコンデンサ10は、コンデンサ本体11の第1面f1が凹面状となっていて、第1外部電極12の第1部分12aが凹面状の第1面f1に密着するように形成されており、コンデンサ本体11の第2面f2が凹面状となっていて、第2外部電極13の第1部分13aが凹面状の第2面f2に密着するように形成されている。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

(1) 長さ方向で向き合う第 1 面及び第 2 面と幅方向で向き合う第 3 面及び第 4 面と高さ方向で向き合う第 5 面及び第 6 面とを有し、複数の第 1 内部電極層と複数の第 2 内部電極層が誘電体層を介して積層された容量部を内蔵したコンデンサ本体と、(2) 前記コンデンサ本体の前記第 1 面に沿う第 1 部分と前記第 5 面に沿う第 2 部分とを有し、該第 1 部分に前記複数の第 1 内部電極層それぞれの端縁が接続された第 1 外部電極と、(3) 前記コンデンサ本体の前記第 2 面に沿う第 1 部分と前記第 5 面に沿う第 2 部分とを有し、該第 1 部分に前記複数の第 2 内部電極層それぞれの端縁が接続された第 2 外部電極と、を備えた積層セラミックコンデンサであって、

10

前記コンデンサ本体の前記第 1 面は凹面状となっていて、前記第 1 外部電極の前記第 1 部分は前記コンデンサ本体の前記第 1 面に接しており、

前記コンデンサ本体の前記第 2 面は凹面状となっていて、前記第 2 外部電極の前記第 1 部分は前記コンデンサ本体の前記第 2 面に接している、

積層セラミックコンデンサ。

## 【請求項 2】

前記第 1 外部電極の前記第 1 部分の厚さは前記コンデンサ本体の凹面状の前記第 1 面の最大深さよりも大きく、且つ、前記第 2 外部電極の前記第 1 部分の厚さは前記コンデンサ本体の凹面状の前記第 2 面の最大深さよりも大きい、

請求項 1 に記載の積層セラミックコンデンサ。

20

## 【請求項 3】

前記コンデンサ本体の凹面状の前記第 1 面と凹面状の前記第 2 面との間の最大長さ方向寸法を  $D_{max}$  とし、前記コンデンサ本体の凹面状の前記第 1 面と凹面状の前記第 2 面との間の最小長さ方向寸法を  $D_{min}$  としたとき、最大長さ方向寸法  $D_{max}$  と最小長さ方向寸法  $D_{min}$  は  $0.90 \leq D_{min} / D_{max} \leq 0.98$  の条件を満足している、

請求項 1 又は 2 に記載の積層セラミックコンデンサ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、コンデンサ本体の相対する端部それぞれに略 L 字状の外部電極を設けた積層セラミックコンデンサに関する。

30

## 【背景技術】

## 【0002】

積層セラミックコンデンサの相対する端部それぞれに設けられた外部電極の態様として、コンデンサ本体の長さ方向一面に沿う部分と高さ方向一面に沿う部分とを有する略 L 字状のものが知られている（後記特許文献 1 を参照）。後記特許文献 1 に開示されている積層セラミックコンデンサ（以下、従前の積層セラミックコンデンサと言う）は、長さ方向で向き合う第 1 面及び第 2 面と幅方向で向き合う第 3 面及び第 4 面と高さ方向で向き合う第 5 面及び第 6 面とを有するコンデンサ本体と、コンデンサ本体の第 1 面に沿う第 1 部分と第 5 面に沿う第 2 部分とを有する略 L 字状の第 1 外部電極と、コンデンサ本体の第 2 面に沿う第 1 部分と第 5 面に沿う第 2 部分とを有する略 L 字状の第 2 外部電極と、を備えている。コンデンサ本体には、複数の第 1 内部電極層と複数の第 2 内部電極層が誘電体層を介して積層された容量部が内蔵されている。複数の第 1 内部電極層それぞれの端縁は、第 1 外部電極の第 1 部分に接続されている。また、複数の第 2 内部電極層それぞれの端縁は、第 2 外部電極の第 1 部分に接続されている。

40

## 【0003】

従前の積層セラミックコンデンサは、第 1 外部電極と第 2 外部電極それぞれが、コンデンサ本体の第 6 面に沿う部分と第 3 面に沿う部分と第 4 面に沿う部分を有しない略 L 字状である。そのため、第 6 面に沿う部分を有する U 字状の外部電極を用いた同一外形寸法（長さ、幅及び高さ）の積層セラミックコンデンサに比べて、第 6 面に沿う部分の厚さ分だ

50

けコンデンサ本体の高さ方向寸法を大きく設計できる。また、第 6 面に沿う部分と第 3 面に沿う部分と第 4 面に沿う部分を有する有底 4 角筒状の外部電極を用いた同一外形寸法の積層セラミックコンデンサに比べて、第 6 面に沿う部分と第 3 面に沿う部分と第 4 面に沿う部分それぞれの厚さ分だけコンデンサ本体の高さ方向寸法と幅方向寸法それぞれを大きく設計できる。即ち、コンデンサ本体の寸法拡大に基づいて内部電極層の数の増加や内部電極層の面積の増加が図れるため、容量増加に貢献できる。

【 0 0 0 4 】

先に述べた容量増加に関しては、コンデンサ本体の第 1 内部電極層と第 2 内部電極層を除く部分の材料として比誘電率が高い高誘電率系誘電体セラミックスを用いる試みも為されているが、高誘電率系誘電体セラミックスを使用すると積層セラミックコンデンサ自体の DC バイアス特性が悪化して、定格電圧よりも高い直流電圧を印加したときの実効容量が大きく低下してしまう。

10

【先行技術文献】

【特許文献】

【 0 0 0 5 】

【特許文献 1】特開 2 0 1 5 - 2 2 8 4 8 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明の課題は、容量増加の恩恵を損なうことなく、しかも、さらなる容量増加のために高誘電率系誘電体セラミックスを使用した場合でも DC バイアス特性が悪化することを抑制できる積層セラミックコンデンサを提供することにある。

20

【課題を解決するための手段】

【 0 0 0 7 】

前記課題を解決するため、本発明に係る積層セラミックコンデンサは、( 1 ) 長さ方向で向き合う第 1 面及び第 2 面と幅方向で向き合う第 3 面及び第 4 面と高さ方向で向き合う第 5 面及び第 6 面とを有し、複数の第 1 内部電極層と複数の第 2 内部電極層が誘電体層を介して積層された容量部を内蔵したコンデンサ本体と、( 2 ) 前記コンデンサ本体の前記第 1 面に沿う第 1 部分と前記第 5 面に沿う第 2 部分とを有し、該第 1 部分に前記複数の第 1 内部電極層それぞれの端縁が接続された第 1 外部電極と、( 3 ) 前記コンデンサ本体の前記第 2 面に沿う第 1 部分と前記第 5 面に沿う第 2 部分とを有し、該第 1 部分に前記複数の第 2 内部電極層それぞれの端縁が接続された第 2 外部電極と、を備えた積層セラミックコンデンサであって、前記コンデンサ本体の前記第 1 面は凹面状となっていて、前記第 1 外部電極の前記第 1 部分は前記コンデンサ本体の前記第 1 面に接しており、前記コンデンサ本体の前記第 2 面は凹面状となっていて、前記第 2 外部電極の前記第 1 部分は前記コンデンサ本体の前記第 2 面に接している。

30

【発明の効果】

【 0 0 0 8 】

本発明によれば、容量増加の恩恵を損なうことなく、しかも、さらなる容量増加のために高誘電率系誘電体セラミックスを使用した場合でも DC バイアス特性が悪化することを抑制できる積層セラミックコンデンサを提供することができる。

40

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】図 1 は本発明を適用した積層セラミックコンデンサをコンデンサ本体の第 6 面 f 6 側から見た図である。

【図 2】図 2 は図 1 の S 1 - S 1 線に沿う断面図である。

【図 3】図 3 は図 1 の S 2 - S 2 線に沿う断面図である。

【図 4】図 4 は評価用サンプルの仕様と特性を示す図である。

【発明を実施するための形態】

【 0 0 1 0 】

50

先ず、図１～図３を用いて、本発明を適用した積層セラミックコンデンサ１０の構造について説明する。

【００１１】

積層セラミックコンデンサ１０のサイズは、長さＬと幅Ｗと高さＨによって規定されている。この積層セラミックコンデンサ１０は、略直方体状のコンデンサ本体１１と、略Ｌ字状の第１外部電極１２と、略Ｌ字状の第２外部電極１３とを備えている。

【００１２】

コンデンサ本体１１は、長さ方向で向き合う第１面ｆ１及び第２面ｆ２と、幅方向で向き合う第３面ｆ３及び第４面ｆ４と、高さ方向で向き合う第５面ｆ５及び第６面ｆ６とを有している。また、コンデンサ本体１１には、複数の第１内部電極層１４と複数の第２内部電極層１５が誘電体層１６を介して交互に積層された容量部（符号省略）が内蔵されており、この容量部の幅方向両側と高さ方向両側は誘電体からなるマージン部（符号省略）によって覆われている。ちなみに、各第１内部電極層１４の輪郭と各第２内部電極層１５の輪郭は矩形であって、各第１内部電極層１４の輪郭寸法及び厚さと各第２内部電極層１５の輪郭寸法及び厚さは略同じであり、各誘電体層１６の厚さは略同じである。

【００１３】

各第１内部電極層１４の長さ方向一端部（図２の左端部）は引出部１４ａとなっていて、各引出部１４ａの端縁はコンデンサ本体１１の第１面ｆ１に引き出されており、各端縁は第１外部電極１２の第１部分１２ａに接続されている。また、各第２内部電極層１５の長さ方向一端部（図２の右端部）は引出部１５ａとなっていて、各引出部１５ａの端縁はコンデンサ本体１１の第２面ｆ２に引き出されており、各端縁は第２外部電極１３の第１部分１３ａに接続されている。

【００１４】

コンデンサ本体１１の第３面ｆ３と第４面ｆ４と第５面ｆ５と第６面ｆ６それぞれは略平らな平面状となっているものの、第１面ｆ１と第２面ｆ２それぞれは深さを有する凹面状となっている。この「凹面状」は中央又は中央付近に向かって深さが増す形状を意味するものであって、面自体がでこぼこであっても滑らかであっても構わない。図２中の $D_{max}$ と $D_{min}$ は「凹面状」の態様を代替的に規定する寸法であって、 $D_{max}$ は凹面状の第１面ｆ１と凹面状の第２面ｆ２との間の最大長さ方向寸法、具体的には第１面ｆ１の縁と第２面ｆ２の縁との間に現れる最大の長さ方向寸法を示し、 $D_{min}$ は凹面状の第１面ｆ１と凹面状の第２面ｆ２との間の最小長さ方向寸法、具体的には第１面ｆ１の最深部と第２面ｆ２の最深部との間に現れる最小の長さ方向寸法を示す。ちなみに、凹面状の第１面ｆ１の最大深さと凹面状の第２面ｆ２の最大深さは好ましくは略同じであるが、必ずしも略同じである必要はない。また、凹面状の第１面ｆ１の態様と凹面状の第２面ｆ２の態様は好ましくは略同じであるが、必ずしも略同じである必要はない。

【００１５】

第１外部電極１２は、コンデンサ本体１１の凹面状の第１面ｆ１に沿う第１部分１２ａと平面状の第５面ｆ５に沿う第２部分１２ｂとを有する略Ｌ字状となっており、第１部分１２ａは凹面状の第１面ｆ１に密着し、第２部分１２ｂは平面状の第５面ｆ５に密着している。また、第２外部電極１３は、コンデンサ本体１１の凹面状の第２面ｆ２に沿う第１部分１３ａと平面状の第５面ｆ５に沿う第２部分１３ｂとを有する略Ｌ字状となっており、第１部分１３ａは凹面状の第２面ｆ２に密着し、第２部分１３ｂは平面状の第５面ｆ５に密着している。

【００１６】

また、第１外部電極１２の第１部分１２ａの厚さはコンデンサ本体１１の凹面状の第１面ｆ１の最大深さよりも大きく、且つ、第２外部電極１３の第１部分１３ａの厚さはコンデンサ本体１１の凹面状の第２面ｆ１の最大深さよりも大きい。そのため、第１外部電極１２の第１部分１２ａと第２外部電極１３の第１部分１３ａそれぞれは、コンデンサ本体１１を第６面ｆ６側から見たときに該コンデンサ本体１１から外側に張り出している。ちなみに、第１外部電極１２の第１部分１２ａの張出部分の厚さと第２外部電極１３の第１

10

20

30

40

50

部分 1 3 a の張出部分の厚さは好ましくは略同じであるが、必ずしも略同じである必要はない。また、第 1 外部電極 1 2 の第 2 部分 1 2 b の厚さ及び長さ方向寸法と第 2 外部電極 1 3 の第 2 部分 1 3 b の厚さ及び長さ方向寸法は略同じである。

【 0 0 1 7 】

図示を省略したが、第 1 外部電極 1 2 は、コンデンサ本体 1 1 の凹面状の第 1 面 f 1 及び平面状の第 5 面 f 5 に密着した下地膜と、この下地膜の外面に密着した表面膜との 2 層構造、或いは、下地膜と表面膜との間に少なくとも 1 つの中間膜を有する多層構造を有している。また、第 2 外部電極 1 3 は、コンデンサ本体 1 1 の凹面状の第 2 面 f 2 及び平面状の第 5 面 f 5 に密着した下地膜と、この下地膜の外面に密着した表面膜との 2 層構造、或いは、下地膜と表面膜との間に少なくとも 1 つの中間膜を有する多層構造を有している。

10

【 0 0 1 8 】

コンデンサ本体 1 1 の材料について補足すれば、コンデンサ本体 1 1 の第 1 内部電極層 1 4 と第 2 内部電極層 1 5 を除く部分には、好ましくはチタン酸バリウム、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸マグネシウム、ジルコン酸カルシウム、チタン酸ジルコン酸カルシウム、ジルコン酸バリウム、酸化チタン等を主成分とした高誘電率系誘電体セラミックス、より好ましくは比誘電率が 1 0 0 0 以上の高誘電率系誘電体セラミックスを使用できる。

【 0 0 1 9 】

各第 1 内部電極層 1 4 の材料と各第 2 内部電極層 1 5 の材料について補足すれば、各第 1 内部電極層 1 4 と各第 2 内部電極層 1 5 には、好ましくはニッケル、銅、パラジウム、白金、銀、金、これらの合金等を主成分とした良導体を使用できる。

20

【 0 0 2 0 】

第 1 外部電極 1 2 と第 2 外部電極 1 3 それぞれの下地膜等の材料及び作製方法について補足すれば、第 1 外部電極 1 2 と第 2 外部電極 1 3 それぞれの下地膜は例えば焼き付け膜又はメッキ膜からなり、この下地膜には好ましくはニッケル、銅、パラジウム、白金、銀、金、これらの合金等を主成分とした良導体を使用できる。表面膜は例えばメッキ膜からなり、この表面膜には好ましくは銅、スズ、パラジウム、金、亜鉛、これらの合金等を主成分とした良導体を使用できる。中間膜は例えばメッキ膜からなり、この中間膜には好ましくは白金、パラジウム、金、銅、ニッケル、これらの合金等を主成分とした良導体を使用できる。

30

【 0 0 2 1 】

なお、図 1 ~ 図 3 には、長さ L と幅 W と高さ H それぞれが長さ L > 幅 W = 高さ H である積層セラミックコンデンサ 1 0 を描いているが、これら長さ L と幅 W と高さ H の関係は長さ L > 幅 W > 高さ H や、長さ L > 高さ H > 幅 W の他、幅 W > 長さ L = 高さ H や、幅 W > 長さ L > 高さ H や、幅 W > 高さ H > 長さ L であってもよい。また、第 1 内部電極層 1 4 と第 2 内部電極層 1 5 それぞれを 7 層ずつ描き、且つ、誘電体層 1 6 を 1 3 層描いているが、これらは図示の都合によるものであって、第 1 内部電極層 1 4 と第 2 内部電極層 1 5 それぞれの数は 8 層以上（誘電体層 1 6 の数は 1 5 層以上）であってもよいし、6 層以下（誘電体層 1 6 の数は 1 1 層以下）であってもよい。

40

【 0 0 2 2 】

次に、図 1 ~ 図 3 の符号を適宜引用して、前記積層セラミックコンデンサ 1 0 に適した製法例について説明する。

【 0 0 2 3 】

製造に際しては、誘電体セラミックス粉末を含有したセラミックスラリーと、良導体粉末を含有した第 1 電極ペーストと、良導体粉末を含有し、且つ、共材（セラミックスラリーに含まれている誘電体セラミックス粉末と同じ誘電体セラミックス粉末）を含有した第 2 電極ペーストを用意する。続いて、キャリアフィルムの表面に前記セラミックスラリーを塗工し乾燥して、第 1 グリーンシートを作製する。また、第 1 グリーンシートの表面に前記第 1 電極ペーストを印刷し乾燥して、第 1 内部電極層 1 4 及び第 2 内部電極層 1 5 の

50

前身となる内部電極パターン群が形成された第２グリーンシートを作製する。

【００２４】

続いて、第１グリーンシートから取り出した単位シートを所定枚数に達するまで積み重ねて熱圧着する作業を繰り返して、高さ方向一方のマージン部に対応する部位を作製する。また、第２グリーンシートから取り出した単位シート（内部電極パターン群を含む）を所定枚数に達するまで積み重ねて熱圧着する作業を繰り返して、容量部に対応する部位を作製する。さらに、第１グリーンシートから取り出した単位シートを所定枚数に達するまで積み重ねて熱圧着する作業を繰り返して、高さ方向他方のマージン部に対応する部位を作製する。最後に、積み重ねられた全体を本熱圧着して、未焼成積層シートを作製する。

【００２５】

続いて、未焼成積層シートを格子状に切断して、未焼成チップを作製する。続いて、未焼成チップの長さ方向両面それぞれに前記第２電極ペーストをディップし乾燥すると共に、未焼成チップの高さ方向一面に前記第２電極ペーストを印刷し乾燥して、第１外部電極１２と第２外部電極１３それぞれの下地膜に対応する未焼成下地膜を作製する。

【００２６】

続いて、未焼成下地膜が形成された未焼成チップを、前記セラミックスラリーに含まれている誘電体セラミックス粉末と前記第１電極ペースト及び前記第２電極ペーストに含まれている良導体粉末に応じた雰囲気下、並びに、温度プロファイルにて多数個一括で焼成（脱バインダ処理と焼成処理を含む）を行い、必要に応じて二次焼成（再酸化処理）を行って、焼成チップを作製する。続いて、焼成チップを多数個一括でバレル研磨して角及び稜線に丸み付けを行って、コンデンサ本体１１を作製する。

【００２７】

前記未焼成チップ作製工程で得られた未焼成チップの長さ方向両面それぞれは略平らな平面状であるが、前記未焼成下地膜作製工程で未焼成チップの長さ方向両面それぞれに形成される未焼成下地膜には共材が含まれており、未焼成チップの幅方向両面と高さ方向他面に未焼成下地膜は形成されない。そのため、前記焼成チップ作製工程では、未焼成下地膜に含まれている共材の含有量に応じて、未焼成チップの長さ方向両面それぞれを幅方向内側に圧縮する力ＣＦ（図１を参照）が作用すると共に高さ方向内側に圧縮する力ＣＦ（図２を参照）が作用し、これら圧縮力に基づいて未焼成チップの長さ方向両面それぞれが凹面状に整形される。

【００２８】

なお、未焼成下地膜に含まれている共材（ここでは前記セラミックスラリーに含まれている誘電体セラミックス粉末と同じ誘電体セラミックス粉末）は前記作用を生じるが、この共材と同程度の熱膨張係数を持つ材料、例えば前記セラミックスラリーに含まれている誘電体セラミックス粉末と同程度の熱膨張係数を持つ別種類の誘電体セラミックス粉末や、前記セラミックスラリーに含まれている誘電体セラミックス粉末と同程度の熱膨張係数を持つガラス粉末等を前記共材の代わりに用いても、前記同様の整形が行える。

【００２９】

続いて、焼成チップの各下地膜を覆う表面膜、或いは、中間膜と表面膜を、電解メッキや無電解メッキ等の湿式メッキ法、或いは、スパッタリングや真空蒸着等の乾式メッキ法によって形成して、第１外部電極１２と第２外部電極１３それぞれを作製する。

【００３０】

次に、図４を用いて、前記積層セラミックコンデンサ１０を評価するために用意したサンプル１～１２の仕様及び特性等について説明する。

【００３１】

各サンプル１～１２は前記製法例に準じて製造されたものであって、各サンプル１～１２の共通仕様と非共通仕様は以下のとおりである。ちなみに、共通仕様と非共通仕様に記した数値は何れも設計上の基準値であって、製造公差を含むものではない。

【００３２】

サンプル１～１２の共通仕様（図１～図３の符号を引用）

10

20

30

40

50

- ・定格電圧が 6 . 3 V、定格容量が 2 . 2  $\mu$  F
- ・長さ L が 6 0 0  $\mu$  m、幅 W が 3 0 0  $\mu$  m、高さ H が 3 0 0  $\mu$  m
- ・コンデンサ本体 1 1 の長さ方向寸法（最大長さ方向寸法 D m a x に相当）が 5 2 0  $\mu$  m
- ・コンデンサ本体 1 1 の幅方向寸法が 3 0 0  $\mu$  m、高さ方向寸法が 2 7 5  $\mu$  m
- ・コンデンサ本体 1 1 の第 1 内部電極層 1 4 と第 2 内部電極層 1 5 を除く部分の主成分がチタン酸バリウム
- ・第 1 内部電極層 1 4 と第 2 内部電極層 1 5 の主成分がニッケル、各々の厚さが 0 . 5  $\mu$  m、各々の層数が 1 2 3 層
- ・誘電体層 1 6 の厚さが 0 . 5  $\mu$  m、層数が 2 4 5 層
- ・コンデンサ本体 1 1 の幅方向マージン部の厚さが 2 0  $\mu$  m、高さ方向マージン部の厚さが 1 5  $\mu$  m
- ・第 1 外部電極 1 2 の第 1 部分 1 2 a の張出部分の厚さと第 2 外部電極 1 3 の第 1 部分 1 3 a の張出部分の厚さが 4 0  $\mu$  m、第 1 外部電極 1 2 の第 2 部分 1 2 b の厚さと第 2 外部電極 1 3 の第 2 部分 1 3 b の厚さが 2 5  $\mu$  m
- ・第 1 外部電極 1 2 と第 2 外部電極 1 3 それぞれが 3 層構造、下地膜の主成分は銅、中間膜の主成分はニッケル、表面膜の主成分はスズ

#### 【 0 0 3 3 】

サンプル 1 ~ 1 2 の非共通仕様（図 1 ~ 図 3 の符号を引用）

- ・サンプル 1 の最小長さ方向寸法 D m i n が 5 2 0  $\mu$  m
- ・サンプル 2 の最小長さ方向寸法 D m i n が 5 1 5  $\mu$  m
- ・サンプル 3 の最小長さ方向寸法 D m i n が 5 1 0  $\mu$  m
- ・サンプル 4 の最小長さ方向寸法 D m i n が 5 0 4  $\mu$  m
- ・サンプル 5 の最小長さ方向寸法 D m i n が 4 9 9  $\mu$  m
- ・サンプル 6 の最小長さ方向寸法 D m i n が 4 9 4  $\mu$  m
- ・サンプル 7 の最小長さ方向寸法 D m i n が 4 8 9  $\mu$  m
- ・サンプル 8 の最小長さ方向寸法 D m i n が 4 8 4  $\mu$  m
- ・サンプル 9 の最小長さ方向寸法 D m i n が 4 7 8  $\mu$  m
- ・サンプル 1 0 の最小長さ方向寸法 D m i n が 4 7 3  $\mu$  m
- ・サンプル 1 1 の最小長さ方向寸法 D m i n が 4 6 8  $\mu$  m
- ・サンプル 1 2 の最小長さ方向寸法 D m i n が 4 6 3  $\mu$  m
- ・各サンプル 1 ~ 1 2 の最小長さ方向寸法 D m i n は、前記製法例において共材の含有量が異なる第 2 電極ペーストをそれぞれ用いることによって変化させた。

#### 【 0 0 3 4 】

図 4 の「D m i n / D m a x」には、最小長さ方向寸法 D m i n を最大長さ方向寸法 D m a x で除した数値をサンプル 1 ~ 1 2 毎に記してある。図 4 の「容量低下率（％）」には、各 1 0 0 個のサンプル 1 ~ 1 2 に対し、アジレント・テクノロジー社のプレシジョン L C R メーター 4 2 8 4 A を用いて、定格電圧（6 . 3 V）よりも高い直流電圧（7 . 0 V）を印加してそのときの実効容量を測定すると共に、定格容量から各 1 0 0 個の実効容量の平均値を減じた値を定格容量で除した値を、サンプル 1 ~ 1 2 毎に記してある。また、図 4 の「デラミネーション発生率（％）」には、各 1 0 0 個のサンプル 1 ~ 1 2 の切断面を光学顕微鏡によって観察して、コンデンサ本体内の内部電極層にデラミネーションが発生していた個数をサンプル 1 ~ 1 2 毎に記してある。

#### 【 0 0 3 5 】

図 4 の「容量低下率（％）」の数値から分かるように、サンプル 1 及び 2 の容量低下率に比べてサンプル 3 ~ 1 2 の容量低下率は小さい。また、図 4 の「デラミネーション発生率（％）」の数値から分かるように、サンプル 3 ~ 1 2 のうち、サンプル 1 2 のデラミネーション発生率に比べてサンプル 3 ~ 1 1 のデラミネーション発生率は小さい。即ち、図 4 の「容量低下率（％）」の数値に「デラミネーション発生率（％）」の数値を考慮した場合、D m i n / D m a x の好ましい範囲は 0 . 9 0 以上 0 . 9 8 以下となる。

#### 【 0 0 3 6 】

次に、前記積層セラミックコンデンサ 10 によって得られる効果について説明する。

【0037】

(1) 前記積層セラミックコンデンサ 10 は、コンデンサ本体 11 の第 1 面 f 1 が凹面状となっていて、第 1 外部電極 12 の第 1 部分 12 a が凹面状の第 1 面 f 1 に密着するように形成されており、コンデンサ本体 11 の第 2 面 f 2 が凹面状となっていて、第 2 外部電極 13 の第 1 部分 13 a が凹面状の第 2 面 f 2 に密着するように形成されている。即ち、この構成を採用すれば、さらなる容量増加のためにコンデンサ本体 11 の第 1 内部電極層 14 と第 2 内部電極層 15 を除く部分に高誘電率系誘電体セラミックスを使用した場合でも、積層セラミックコンデンサ 10 自体の DC バイアス特性が悪化することを抑制できる。

10

【0038】

前記構成を採用することによって DC バイアス特性の悪化抑制ができる事実は図 4 を用いた先の説明内容から明らかであるものの、その根拠としては以下のことが推測できる。例えば、前記製法例の焼成チップ作製工程で未焼成チップの長さ方向両面それぞれを幅方向内側に圧縮する力 CF (図 1 を参照) と高さ方向内側に圧縮する力 CF (図 2 を参照) は製造後においても残存する。つまり、図 1 ~ 図 3 に示した積層セラミックコンデンサ 10 は、第 1 外部電極 12 と第 2 外部電極 13 それぞれが略 L 字状であるが故に、コンデンサ本体 11 の凹面状の第 1 面 f 1 と凹面状の第 2 面 f 2 それぞれを幅方向内側に圧縮する力 CF (図 1 を参照) と高さ方向内側に圧縮する力 CF (図 2 を参照) を働かせた状態とすることができるため、定格電圧よりも高い直流電圧を印加しても、高誘電率系誘電体セラミックスの比誘電率が変化し難くなるのではないかとと思われる。

20

【0039】

(2) 前記積層セラミックコンデンサ 10 は、第 1 外部電極 12 の第 1 部分 12 a の厚さがコンデンサ本体 11 の凹面状の第 1 面 f 1 の最大深さよりも大きく、且つ、第 2 外部電極 13 の第 1 部分 13 a の厚さがコンデンサ本体 11 の凹面状の第 2 面 f 2 の最大深さよりも大きい。即ち、この構成を採用すれば、さらなる容量増加のためにコンデンサ本体 11 の第 1 内部電極層 14 と第 2 内部電極層 15 を除く部分に高誘電率系誘電体セラミックスを使用した場合でも、積層セラミックコンデンサ 10 自体の DC バイアス特性が悪化することをより確実に抑制することができる。

【0040】

前記構成を採用することによって DC バイアス特性の悪化抑制をより確実化できる事実は図 4 を用いた先の説明内容から明らかであるものの、その根拠としては以下のことが推測できる。例えば、図 1 ~ 図 3 に示した積層セラミックコンデンサ 10 において、コンデンサ本体 11 の凹面状の第 1 面 f 1 と凹面状の第 2 面 f 2 それぞれを幅方向内側に圧縮する力 CF (図 1 を参照) と高さ方向内側に圧縮する力 CF (図 2 を参照) を働かせた状態とするには、第 1 外部電極 12 の第 1 部分 12 a と第 2 外部電極 13 の第 1 部分 13 a にそれ相当の厚さが必要となる。依って、第 1 外部電極 12 の第 1 部分 12 a の厚さをコンデンサ本体 11 の凹面状の第 1 面 f 1 の最大深さよりも大きくし、且つ、第 2 外部電極 13 の第 1 部分 13 a の厚さをコンデンサ本体 11 の凹面状の第 2 面 f 2 の最大深さよりも大きくすれば、前記状態を確実に維持できるのではないかとと思われる。

30

40

【0041】

(3) 前記積層セラミックコンデンサ 10 は、コンデンサ本体 11 の凹面状の第 1 面 f 1 と凹面状の第 2 面 f 2 との間の最大長さ方向寸法を  $D_{max}$  とし、コンデンサ本体 11 の凹面状の第 1 面 f 1 と凹面状の第 2 面 f 2 との間の最小長さ方向寸法を  $D_{min}$  としたとき、最大長さ方向寸法  $D_{max}$  と最小長さ方向寸法  $D_{min}$  は  $0.90 \leq D_{min} / D_{max} \leq 0.98$  の条件を満足している。この条件については図 4 を用いて先に説明したとおりであり、同条件を満足していれば、定格電圧よりも高い直流電圧を印加しても容量低下が生じ難いため、積層セラミックコンデンサ 10 自体の DC バイアス特性が悪化することをより確実に抑制できると共に、コンデンサ本体 11 内の第 1 内部電極層 14 と第 2 内部電極層 15 それぞれにデラミネーションが発生することを抑制して高品質の積層セラ

50



ミックコンデンサ 10 を提供することができる。

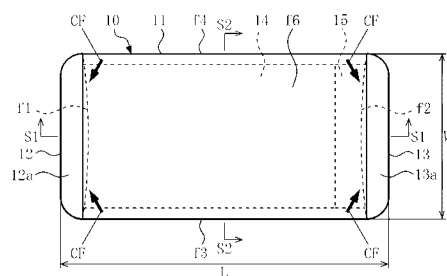
【符号の説明】

【 0 0 4 2 】

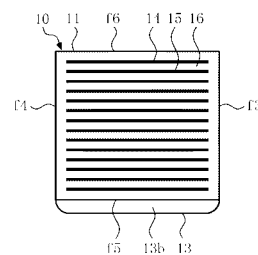
1 0 ... 積層セラミックコンデンサ、 1 1 ... コンデンサ本体、 f 1 ... コンデンサ本体の凹面状の第 1 面、 f 2 ... コンデンサ本体の凹面状の第 2 面、 D m a x ... コンデンサ本体の凹面状の第 1 面と凹面状の第 2 面との間の最大長さ方向寸法、 D m i n ... コンデンサ本体の凹面状の第 1 面と凹面状の第 2 面との間の最小長さ方向寸法、 f 3 ... コンデンサ本体の平面状の第 3 面、 f 4 ... コンデンサ本体の平面状の第 4 面、 f 5 ... コンデンサ本体の平面状の第 5 面、 f 6 ... コンデンサ本体の平面状の第 6 面、 1 2 ... 第 1 外部電極、 1 2 a ... 第 1 外部電極の第 1 部分、 1 2 b ... 第 1 外部電極の第 2 部分、 1 3 ... 第 2 外部電極、 1 3 a ... 第 2 外部電極の第 1 部分、 1 3 b ... 第 2 外部電極の第 2 部分。

10

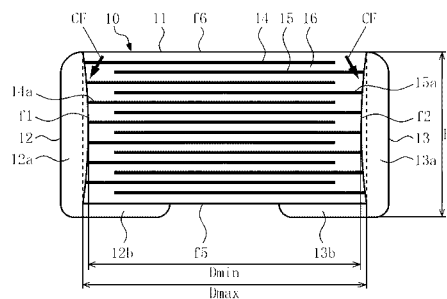
【 図 1 】



【 圖 3 】



【圖 2】



【 图 4 】

|          | Dmax( <i>x</i> , <i>m</i> ) | Dmin( <i>x</i> , <i>m</i> ) | Dmin/Dmax | 容量低下率(%) | デフォレーション発生率(%) |
|----------|-----------------------------|-----------------------------|-----------|----------|----------------|
| 図7-1-1 ① | 520                         | 520                         | 1.00      | 21.5     | 0              |
| 図7-1-1 ② | 520                         | 515                         | 0.99      | 24.2     | 0              |
| 図7-1-1 ③ | 520                         | 510                         | 0.98      | 21.9     | 0              |
| 図7-1-1 ④ | 520                         | 504                         | 0.97      | 21.7     | 0              |
| 図7-1-1 ⑤ | 520                         | 499                         | 0.96      | 21.5     | 0              |
| 図7-1-1 ⑥ | 520                         | 494                         | 0.95      | 21.2     | 0              |
| 図7-1-1 ⑦ | 520                         | 489                         | 0.94      | 21.0     | 0              |
| 図7-1-1 ⑧ | 520                         | 481                         | 0.93      | 20.8     | 0              |
| 図7-1-1 ⑨ | 520                         | 478                         | 0.92      | 20.6     | 0              |
| 図7-1-1 ⑩ | 520                         | 473                         | 0.91      | 20.3     | 0              |
| 図7-1-1 ⑪ | 520                         | 468                         | 0.90      | 20.1     | 0              |
| 図7-1-1 ⑫ | 520                         | 463                         | 0.89      | 19.9     | 2              |