(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3919877号

(P3919877)

(45)発行日　平成19年5月30日(2007.5.30)　(24)登録日　平成19年2月23日(2007.2.23)

(51)Int.Cl.			F I		
G09G	3/36	(2006.01)	G09G	3/36	
G02F	1/133	(2006.01)	G02F	1/133	505
G09G	5/00	(2006.01)	G09G	5/00	555P

請求項の数 8　(全 27 頁)

(21)出願番号　特願平9-103908
(22)出願日　平成9年4月7日(1997.4.7)
(65)公開番号　特開平10-282938
(43)公開日　平成10年10月23日(1998.10.23)
審査請求日　平成14年5月21日(2002.5.21)
審判番号　不服2004-3792(P2004-3792/J1)
審判請求日　平成16年2月26日(2004.2.26)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100124626
弁理士　榎並　智和
(74)代理人　100124682
弁理士　黒田　泰
(74)代理人　100104710
弁理士　竹腰　昇
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄

最終頁に続く

(54)【発明の名称】表示制御回路及び画像表示装置並びにそれを備えた電子機器

(57)【特許請求の範囲】

【請求項１】

マイクロプロセッシングユニットとの間で表示データが入出力され、表示部に表示データを表示するための制御をする表示制御回路であって、

前記マイクロプロセッシングユニット側からの前記表示データがリードライトされる第１の記憶手段と、

前記第１の記憶手段よりリードされた前記表示データがライトされ、ライトされた前記表示データが前記表示部へ向けてリードされる第２の記憶手段と、

前記第２の記憶手段を含み、前記第２の記憶手段のリードライト制御及び前記表示データを前記表示部に表示するための駆動制御をする駆動手段と、

前記マイクロプロセッシングユニットからのコマンドに基づいて、前記マイクロプロセッシングユニット側からの前記表示データを前記第１の記憶手段へ向けてライト制御し、前記第１の記憶手段の表示データを前記第２の記憶手段へ向けてリード制御する制御手段と、

を有し、

前記制御手段は、前記マイクロプロセッシングユニットから前記第１の記憶手段へのアクセスが要求される第１の期間に、前記第１の記憶手段に前記表示データをライトする第１のモードと、前記アクセスが要求されなかった時であって前記第１の記憶手段内の前記表示データがリードされる第２の期間中に、前記第１の記憶手段から前記第２の記憶手段への前記表示データの転送を行う第２のモードと、のいずれかのモードに切換選択する選

択手段を有することを特徴とする表示制御回路。
【請求項２】
請求項１において、
前記制御手段の前記第２のモードは、前記マイクロプロセッシングユニットから出力されて前記表示データの転送を開始させる転送開始命令に基づいて開始されることを特徴とする表示制御回路。
【請求項３】
請求項２において、
前記制御手段は、
前記転送開始命令を受領するフラグレジスタと、
前記転送開始命令による前記フラグレジスタの出力に基づいて、前記第１の記憶手段のアドレスを指定するアドレス指定信号を出力し、前記選択手段を前記第２のモードに設定して、前記第１の記憶手段より前記表示データをリードしてデータ転送する転送制御手段と、
を有することを特徴とする表示制御回路。
【請求項４】
請求項２又は請求項３において、
前記制御手段は、前記表示部への表示走査を一フレーム毎に開始せしめるフレームスタート信号を生成する信号生成手段を有し、
前記第２のモードは、前記転送開始命令及び前記フレームスタート信号に基づいて開始されることを特徴とする表示制御回路。
【請求項５】
請求項４において、
前記制御手段は、前記転送開始命令を出力させるために周期的に生成される割込信号を、前記マイクロプロセッシングユニットに向けて出力する割込信号出力手段を有することを特徴とする表示制御回路。
【請求項６】
請求項５において、
前記割込信号出力手段の前記割込信号は、前記フレームスタート信号に基づいて出力されることを特徴とする表示制御回路。
【請求項７】
マイクロプロセッシングユニットと、
請求項１～請求項６のいずれかに記載の表示制御回路と、
前記表示制御回路によって表示駆動される表示部と、
前記マイクロプロセッシングユニットと前記表示制御回路との間を接続するデータバスに接続されて、前記マイクロプロセッシングユニットを動作させるプログラム命令が格納される第３の記憶手段と、
を有することを特徴とする画像表示装置。
【請求項８】
請求項７に記載の画像表示装置を有することを特徴とする電子機器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、マイクロプロセッシングユニット（ＭＰＵ）により表示データが転送され、液晶表示部等の表示部に表示データを表示制御する表示制御回路並びにそれを用いた画像表示装置及び電子機器に関する。
【０００２】
【背景技術及び発明が解決しようとする課題】
従来より、この種の液晶表示装置において、ＭＰＵ側から表示データをＬＣＤモジュール（ＬＣＤパネル）、走査電極駆動回路（Ｙドライバ）、信号電極駆動回路（Ｘドライバ

）等へ転送する方式として、マトリックス型液晶表示素子モジュール・コントローラ（以下モジュールコントローラと言う）を用いる方式と、ＲＡＭ（ランダムアクセスメモリ）内蔵型Ｘドライバを用いる方式と、に大別できる。

【０００３】

前者の方式は、ＣＲＴを用いた表示装置と同様、システムバスに繋がるモジュールコントローラが表示データを記憶しているビデオＲＡＭ（ＶＲＡＭ）から表示データを読出し、これをＬＣＤモジュールに対し高周波のクロックで転送して表示リフレッシュ動作を行うものである。

【０００４】

後者の方式は、Ｘドライバ内に内蔵ＲＡＭ（フレームメモリ）を持ち、ＭＰＵがデータバス、コントロールバス又はアドレスバスを介して表示タイミングと無関係に直接内蔵ＲＡＭにアクセスし、１フレーム分の表示データを内蔵ＲＡＭに転送し、ＲＡＭ内の表示データを変更し、Ｘドライバ内で所要の制御信号を生成して、内蔵ＲＡＭから表示データを順次読出し、表示リフレッシュ動作を行うものである。

【０００５】

また、前者の方式の変形例として、ＭＰＵとドライバとの間のＭＰＵ側にフレームバッファを持つ場合が考えられる。この場合、フレームバッファからＬＣＤドライバへデータを転送する際に、ＬＣＤドライバ側の動作クロックに基づいて転送させていた。

【０００６】

しかしながら、表示リフレッシュ動作には、前者の方式あってはＶＲＡＭに対して、後者の方式にあっては内蔵ＲＡＭに対して、前者の変形の方式にあっては、フレームバッファに対して、ＬＣＤからのアクセスとＭＰＵ側からのアクセスとが競合する。

【０００７】

この点について詳述すると、図２１（Ｃ）に示すように、ＲＡＭが１ポートの場合に、ＭＰＵ側のポートの接続とＬＣＤ側のポートの接続とをスイッチを用いて時分割に切換る。ここで、図２１（Ａ）のＴ期間のように、ＬＣＤアクセスとＭＰＵアクセスとが競合した場合には、いずれかのアクセスを優先的に処理するいわゆる調停が必要となる。

【０００８】

具体的には、例えば前者の方式の変形例の場合を例に採ると、図２１（Ｂ）に示すように、ＭＰＵアクセスは、ＭＰＵ側にて設定された動作周波数（例えばｔ１＝５００ｎｓ）を用い、期間ｔ１の間に一ライン分のＲＡＭへの書込がなされる。ＲＡＭからＬＣＤ側へデータを読出して、データ転送を行う場合は、ＬＣＤ側にて設定された動作周波数（例えばｔ２＝６６．６μｓ）に基づいたクロックを用い、一ライン分読み出す。そして、最初のＭＰＵアクセス終了後、期間ｔ３の間隔をおいてＬＣＤアクセスを実施し、ＬＣＤへのデータ転送が期間ｔ２にて行われ、データ転送処理が完了するまで待って、次のＭＰＵアクセスを実施する。この期間ｔ３は、上記動作周波数の相違により生じるものである。また、ＭＰＵのアクセスがある場合とは、表示画面上のスクロール又は新たな情報が更新される場合等を言う。

【０００９】

このような上記時分割駆動の場合には、ＭＰＵアクセス終了後、次のＭＰＵアクセスを実施するまでに、ｔ２＋ｔ３のかなり多くの時間がかかる。特に、１フィールド期間ともなると、その期間は膨大となり、更新が遅れ表示処理を高速化できないという課題がある。

【００１０】

また、このような処理では、ＭＰＵ処理能力に制約が付くと共に、ＭＰＵの性能（高周波数化）が向上すると、ＬＣＤの動作クロックとの格差（上記時間ｔ２＋ｔ３）が増大し、ＭＰＵの処理能力を低下させてしまう。しかも、ＭＰＵの性能が向上しても、処理速度等の表示性能が変わらず、ＭＰＵの高性能化に追従できない。さらに、上記のように処理時間が長くなるため、消費電力が大きくなるという問題点がある。

【００１１】

一方、上記いずれの方式であっても、ＭＬＳ駆動等では、ＰＣの場合と表示マッピングが

違うため、ＶＲＡＭ内のアドレス空間とＲＡＭのアドレス空間とが異なるマッピング状態にあり、ＲＡＭ構造が、図２０に示すように、ＭＰＵからのＷ／Ｒの方向とＬＣＤ側へリードするＲ方向とが同じであると、メモリセルの選択効率が悪く、時間がかかると共に、消費電力が大きくなる。

【００１２】

また、内蔵ＲＡＭドライバをＩＣチップとして構成する場合、表示パネルの大型化と共に横方向にチップが長くなる為、内蔵ＲＡＭの構成上、Ｂ、／Ｂのライン構成が複雑になり、アクセス、動作速度が遅くなる問題点がある。さらに、高耐圧に形成しなければならず、自ずとデバイス構造においてチャネル長の長い構造となるため、高電圧駆動となり消費電力が大きくなる。加えて、単純なLOGIC ICと異なり周辺回路もＩＣ中に組み込まれていることから、低電圧対応の最新のメモリを該ＩＣ内に組み込むことができず、高速化に限界があった。

【００１３】

本発明は、上記した技術の課題を解決するためになされたものであり、その目的とするところは、表示データの転送方式を改善し、低消費電力でありながら、動作速度、アクセススピードの高速化を図ることのできる表示制御回路及び画像表示装置並びにそれを備えた電子機器を提供することにある。

【００１４】

【課題を解決するための手段】

請求項１に記載の発明に係る表示制御回路は、マイクロプロセッシングユニットとの間で表示データが入出力され、表示部に表示データを表示するための制御をする表示制御回路であって、前記マイクロプロセッシングユニット側からの前記表示データがリードライトされる第１の記憶手段と、前記第１の記憶手段よりリードされた前記表示データがライトされ、ライトされた前記表示データが前記表示部へ向けてリードされる第２の記憶手段と、前記第２の記憶手段を含み、前記第２の記憶手段のリードライト制御及び前記表示データを前記表示部に表示するための駆動制御をする駆動手段と、前記マイクロプロセッシングユニットからのコマンドに基づいて、前記マイクロプロセッシングユニット側からの前記表示データを前記第１の記憶手段へ向けてライト制御し、前記第１の記憶手段の表示データを前記第２の記憶手段へ向けてリード制御する制御手段と、を有し、前記制御手段は、前記マイクロプロセッシングユニットから前記第１の記憶手段へのアクセスが要求される第１の期間に、前記第１の記憶手段に前記表示データをライトする第１のモードと、前記アクセスが要求されなかった時であって前記第１の記憶手段内の前記表示データがリードされる第２の期間中に、前記第１の記憶手段から前記第２の記憶手段への前記表示データの転送を行う第２のモードと、のいずれかのモードに切換選択する選択手段を有することを特徴とする。

【００１５】

請求項１に記載の発明によれば、制御手段は、第１の期間において、表示部を更新させる場合等のマイクロプロセッシングユニット（以下ＭＰＵという）のアクセス要求をすべて実施し、この期間内で表示データを例えば１フレーム分すべて第１の記憶手段へ記憶させてしまう。その後、選択手段の切換により、前記アクセス要求がなされた第１の期間の後の第２の期間例えば１フレーム期間内で、第１の記憶手段にライトされた表示データを全て駆動手段へ転送させることができる。このため、従来のような、スイッチングを１回のアクセス要求毎に切換る調停作業が一切不要となる。

【００１６】

また、従来のように例えば第２の記憶手段が１ポートの入出力ポートの場合であって、ＭＰＵからのアクセスとＬＣＤからのアクセスとが競合するケースは一切存在しなくなる。

【００１７】

さらに、従来のような待ち時間もなくなることから、処理速度が大幅に向上し、消費電力も大幅に低減できる。この時、第１の記憶手段のリード・ライトは、ＭＰＵのクロックに基づいて行われ、従来のような表示部側への転送にも表示部側のクロックを用いていない

ので、従来のようなアクセスの遅延を低減して、ＭＰＵの処理の高速化を確保できる。従って、ＭＰＵの高速化に伴い、ＭＰＵの動作速度が変化しても使用可能となる。

【００１８】

また、いわゆるフレームバッファとして機能する第１の記憶手段が駆動手段と独立して形成されるので、第１の記憶手段の構成は、例えばＬＯＧＩＣ　ＩＣのみで形成できる。このため、第２の記憶手段より高速化を図ることができ、例えば第１の記憶手段を外付けの増設用のＲＡＭを用いたとするならば、最新の高速、低電圧化が図られたメモリを用いることができ、ＬＯＧＩＣ　ＩＣの世代交代に伴い、第１の記憶手段として使用可能となる。

【００１９】

請求項２に記載の発明に係る表示制御回路は、請求項１において、前記制御手段の前記第２のモードは、前記マイクロプロセッシングユニットから出力されて前記表示データの転送を開始させる転送開始命令に基づいて開始されることを特徴とする。

【００２０】

請求項２に記載の発明によれば、転送制御手段をＭＰＵの命令に基づいて制御することで、ＭＰＵ対応の表示制御回路が提供でき、表示部の動作クロックに拘わらずデータ更新のデータ転送ができる。

【００２１】

請求項３に記載の発明に係る表示制御回路は、請求項２において、前記制御手段は、前記転送開始命令を受領するフラグレジスタと、前記転送開始命令による前記フラグレジスタの出力に基づいて、前記第１の記憶手段のアドレスを指定するアドレス指定信号を出力し、前記選択手段を前記第２のモードに設定して、前記第１の記憶手段より前記表示データをリードしてデータ転送する転送制御手段と、を有することを特徴とする。

【００２２】

請求項３に記載の発明によれば、表示データの転送を制御する転送制御手段は、ＭＰＵの転送開始命令に応じて、アクティブ動作を行い、選択手段を第２のモードに切換ることができる。そして、アドレス指定信号を出力することで、第１のモード時に、第１の記憶手段へＭＰＵから供給されるアドレスは停止され、アドレス選択をＭＰＵの制御に基づいて、容易にかつ高速に行うことができる。

【００２３】

請求項４に記載の発明に係る表示制御回路は、請求項２又は請求項３において、前記制御手段は、前記表示部への表示走査を一フレーム毎に開始せしめるフレームスタート信号を生成する信号生成手段を有し、前記第２のモードは、前記転送開始命令及び前記フレームスタート信号に基づいて開始されることを特徴とする。

【００２４】

請求項４に記載の発明によれば、第２のモードの開始は、ＭＰＵの転送開始命令にて行われるが、これに加えてフレームスタート信号を基準として第２モードの開始を行うことで、少なくともフレーム単位で定期的に第２の記憶手段へのデータ転送を行うことができ、更新等の遅延を防止している。尚、通常、更新に伴い転送されるデータ量は、１フレーム期間内で充分に転送できるデータ量であることから、第２の期間として１フレームを設定することが好ましい。

【００２５】

請求項５に記載の発明に係る表示制御回路は、請求項４において、前記制御手段は、前記転送開始命令を出力させるために周期的に生成される割込信号を、前記マイクロプロセッシングユニットに向けて出力する割込信号出力手段を有することを特徴とする。

【００２６】

請求項５に記載の発明によれば、第１のモードから第２のモードに切換る前に、割込信号をＭＰＵに向けて送信し、これを受けたＭＰＵは転送開始命令を制御手段へ向け送る。命令を受取ると、制御手段は、選択手段を第２のモードに切換る。

【００２７】

このように、第１のモードから第２のモードへの切換を、周期的に発振される制御信号に基づいたクロックで生成された割込信号を用いて行うことで、万が一、制御手段が第１の記憶手段のライト制御を実行せしめている場合でも、強制的にデータ転送に切換ることができる。尚、この割込信号の基準となる基準クロックは、データ転送用の高周波の発振手段等を用いる必要はなく、フレーム信号等を生成する低周波の発振手段で足りる。

【００２８】

請求項６に記載の発明に係る表示制御回路は、請求項５において、前記割込信号出力手段の前記割込信号は、前記フレームスタート信号に基づいて出力されることを特徴とする。

【００２９】

請求項６に記載の発明よれば、割込信号をフレームスタート信号を基準として生成することで、各フレーム単位で第１の記憶手段に書き込まれた表示データを、好適タイミングで駆動手段に内蔵された第２の記憶手段にデータ転送できる。

【００３０】

こうすると、ＭＰＵアクセス終了後の、１フレーム期間を利用し、表示データを転送することで、表示部の表示画面の更新が遅れずに表示できる。

【００３１】

請求項７及び請求項８に記載の発明は、請求項１乃至６のいずれかに記載の表示制御回路を用いた画像表示装置及び電子機器を定義している。

【００３３】

【発明の実施の形態】

以下、本発明を液晶表示装置に適用した実施の形態について、図面を参照して具体的に説明する。

【００３４】

［実施の形態１］

（システムの全体構成）

図１は、液晶表示パネル及びその表示制御回路を含む液晶表示装置を示している。本例の液晶表示装置は、大別してマイクロコンピュータ１と表示制御回路２よりなる。表示制御回路２は、外付けＲＡＭ１８（第１の記憶手段）、制御手段（モジュールコントローラ）２０、信号線ドライバ４０及び走査線ドライバ５０（駆動手段）、液晶表示パネル６０（表示部）、電源回路８０及び発振用外付け回路７０よりなる。尚、駆動手段及び液晶表示パネルとをＬＣＤモジュールとしても良い。

【００３５】

また、各ドライバ４０、５０は、液晶表示パネル６０のＭＬＳ駆動のための専用のＩＣを一又は複数配設して構成され、液晶表示パネル６０が搭載される電子機器に内蔵されるマイクロコンピュータ１と接続されて使用される。このマイクロコンピュータ１も半導体集積回路化されている。

【００３６】

図１において、マイクロコンピュータ１は、プログラムされた８ビットのＭＰＵ（マイクロプロセッシングユニット）１０と、データが転送されるデータバス１０Ａと、アドレス又は制御信号が転送されるアドレスバス１０Ｂと、ＭＰＵ１０のワーキングメモリであってプログラム命令が格納されるシステムメモリ１１及びＲＯＭ１４と、システムメモリ１１と同一のアドレス空間に表示データを格納するビデオＲＡＭ（ＶＲＡＭ）１２と、データ及び音声情報等を記憶する補助記憶装置１３等を有する。尚、システムメモリ１１、ＶＲＡＭ１２、補助記憶装置１３、ＲＯＭ１４をまとめて、又はいずれかを第３の記憶手段として良い。

【００３７】

図１の液晶表示装置は、このマイクロコンピュータに加え、データバス１０Ａ及びアドレスバス１０Ｂに繋がる制御手段２０と、制御手段２０により表示制御される液晶表示パネル６０と、液晶表示パネル６０の複数の走査電極Ｙ１～Ｙｍを選択する走査線ドライバ５０と、液晶表示パネル６０の複数の信号電極Ｘ１～Ｘｎに表示データを供給する信号線ド

ライバ４０とを有する。尚、データバス１０Ａには、通信制御装置や他の表示装置等の周辺装置を必要に応じて接続できる。

【００３８】

システムメモリ１１（第３の記憶手段）は、ＭＰＵ１０と表示制御回路との間を接続するデータバス１０Ａに接続されて、ＭＰＵ１０を動作させるプログラム命令が格納される。尚、ＭＰＵ１０は、スクロール動作等の表示画面全体の更新時には、アドレスの連続性を確保する為、アドレス対応付けの処理を高速で行う。この時、図４（Ｂ）に示すように、ＭＰＵ１０の内部メモリ空間上のアドレスは、最上位ビットにシステムメモリ１１に対応するアドレスが指定され、中位ビットにＲＡＭ１８及び内蔵ＲＡＭ１００（後述）に対応するアドレスが指定され、最下位ビットにＲＯＭ１４に対応するアドレスが指定される。

【００３９】

また、液晶表示パネル６０上には、例えば、電磁式の入力用タッチセンサ１６が設けられており、ＭＰＵ１０は、タッチセンサコントロール回路１５を介してタッチ検出ができる。このタッチ検出は、液晶に電圧が印加されないブランク期間に、高精度に行える。

【００４０】

各ドライバ４０、５０は、液晶表示パネル６０の大きさに応じてＸＹ各々一又は複数例えば２個形成され、表示データを表示部に表示駆動制御し、その内部には第２の記憶手段としての表示データＲＡＭ１００（フレームバッファ）が内蔵されている。表示データＲＡＭ１００は、リードされた表示部の少なくとも一部に対応する表示データを、フレーム信号ＹＤ等に基づいて、リードライトされる。

【００４１】

また、表示データＬＤｎは、シフトクロックＸＳＣＬにより順次信号線ドライバ４０に転送され、この表示データを一旦内蔵の表示データＲＡＭ１００に書込む。この表示データＲＡＭ１００から一又は複数走査ライン分の表示データを同時に読出して表示動作が行われる。このため、表示変化がない場合、信号線ドライバ４０に新たに表示データを転送しなくても、内蔵ＲＡＭから表示データを読出すことで表示リフレッシュが行え、低消費電力となる。

【００４２】

さらに、制御手段２０の外部には、第１の記憶手段としてのＲＡＭ１８（ＳＲＡＭ）が接続されている。尚、ＲＡＭ１８は、その構成上、表示データＲＡＭ１００よりも動作速度が高速になるよう通常のＬＯＧＩＣ　ＩＣにて構成される。すなわち、外付のＲＡＭである為、低消費電力化、高速化された最新のＲＡＭを取付けることができる。

【００４３】

ＲＡＭ１８は、ＭＰＵ１０からのコマンドに従って、表示データがＭＰＵ１０からアクセス要求される第１の期間（図８のT_1）にライトされ、第１の期間直後に生成するフレーム信号ＹＤの少なくとも１フレームの第２の期間（図８のT_2）内にリードされる。

【００４４】

ＲＡＭ１８にＭＰＵ１０からの表示データが記憶される場合、ＭＰＵ１０からの更新命令（ライト開始命令）に基づいて、制御手段２０は、ＲＡＭ１８へ向けてアドレスを指定するようアドレッシングを行う。表示データＲＡＭ１００にＲＡＭ１８からの表示データが記憶される場合、ＭＰＵ１０からの転送開始命令に基づいて、制御手段２０は、表示データＲＡＭ１００へデータ転送を行う。

【００４５】

このように本例装置では、ＲＡＭ１８へのリード制御を、ＭＰＵ１０の動作に依存して行うことができる。しかも、ＭＰＵ１０の性能例えば高周波数化して動作速度の高速化が図られたとしても、その性能を制限することなく追従させて、液晶表示パネル６０の駆動をＭＰＵ１０の性能に拘わらず駆動できる。

【００４６】

ここで、各ドライバ内蔵の表示データＲＡＭ１００は、高耐圧化にて形成されるため動作速度はやや遅くなる。しかし、本例では、外部のＲＡＭ１８を用い、これにいわゆるフレ

ームバッファとしての機能を持たせ、表示データＲＡＭ１００自体は、ＭＬＳ駆動のための分散計算等に用いることができる。そして、ＭＰＵ１０側からＲＡＭ１８のメモリ上のアドレス空間を見た場合、ＭＰＵ内のアドレス空間の中に組み込まれて、完全にＭＰＵに従属させることができ、フレームバッファが完全にＳＲＡＭにように見える。このため、ドライバのクロックを用いず、ＬＣＤアクセスとＭＰＵアクセスとが競合することなくライト及びデータ転送を行うことができる。

【００４７】

尚、本例のＲＡＭ１８は、図７に示すように、ＭＰＵアクセスのメモリセルの選択順序（Ｗ／Ｒの方向）と、ＬＣＤアクセスのメモリセルの選択順序（リードＲ方向）とが９０度異なる方向にある為、ＭＬＳ駆動における選択での、表示マッピングを変更する場合において、好都合となる。

【００４８】

乃ち、ＭＬＳ駆動では、図２０に示す従来装置では、ＭＰＵアクセスで選択される順序（Ｒ／Ｗ方向）と、ＬＣＤアクセスで選択される順序（リードＲ方向）とが同じであった。このため、ＭＬＳ駆動では、図２０では、ライトされたＡ１、Ａ２、Ａ３・・のメモリセルを、リード時にＡ１、Ｂ１、Ｃ１・・のように選択する必要があり、このために、Ａ１、Ａ２、Ａ３・・を走査してＡ１を選択し、Ｂ１、Ｂ２、Ｂ３・・を走査してＢ１を選択し、という具合に、１ライン毎にメモリセル選択位置まで走査を待ねばならず、大幅な処理時間がかかっていた。

【００４９】

これに対し、本例では、Ｒ／Ｗ方向と、Ｒ方向とが異なる方向にあることから、図７に示すＡ１、Ｂ１、Ｃ１・・でライトされたメモリセルを、Ａ１、Ａ２、Ａ３・・のように効率良く選択でき、処理速度の向上及び消費電力の低減が図れる。

【００５０】

液晶表示パネル６０は、例えば３２０×２４０の画素を備え、３２０本の信号線と２４０本の走査線との交差によって形成される画素位置には、例えばスッチング素子と液晶とが直列に接続されて画素が形成される。尚、液晶表示パネル６０は、画素位置の各液晶層に例えばＴＦＴ等の３端子型スイッチング素子、又はＭＩＭ等の２端子型スイッチング素子を接続したアクティブマトリックス型でも、単純マトリックス型でもよい。

【００５１】

信号線ドライバ４０は、３２０本の信号線にデータ信号を供給するもので、第１、第２の信号線ドライブＩＣ４２、４４を有する。第１の信号線ドライブＩＣ４２は１～１６０本目の信号線に、第２の信号線ドライブＩＣ４４は１６１～３２０本目の信号線に、データ信号を供給する。尚、最大で４つの信号線ドライブＩＣがカスケード接続可能であり、最大で６４０本の信号線を駆動できる。

【００５２】

第１，第２の信号線ドライブＩＣ４２，４４は共に同一の構成を有する。カスケード接続可能な最大４つの信号線ドライブＩＣを第１段～第４段にて使い分けるために、各ＩＣにＬＲ０，ＬＲ１の２つの外部端子を設け、各外部端子の印加電位の組合せを異ならせている。第１段目の第１の信号線ドライブＩＣ４２を、ＬＲ０＝ＬＲ１＝Ｌ、第２段目の第２の信号線ドライブＩＣ４４を、ＬＲ０＝Ｌ、ＬＲ１＝Ｈに設定する。図１では示していないが、第３段目の信号線ドライブＩＣは、ＬＲ０＝Ｈ、ＬＲ１＝Ｌに、第４段目の信号線ドライブＩＣは、ＬＲ０＝ＬＲ１＝Ｈに設定される。

【００５３】

走査線ドライバ（Ｙドライバ）５０は、２４０本の走査線に走査信号を供給するもので、第１、第２の走査線ドライブＩＣ５２、５４を有する。第１の走査線ドライブＩＣ５２は１～１２０本目の走査線に、第２の走査線ドライブＩＣ５４は１２１～２４０本目の走査線に走査信号を供給する。尚、図１中、走査線ドライバ５０，信号線ドライバ４０は、各々同じ機能をもつ複数のＩＣをカスケード接続して構成しているが、一つのＩＣとして構成しても良い。複数のＩＣをカスケード接続して一つのドライバとする場合、各ＩＣの表

示データＲＡＭのメモリ容量は、１個のＩＣが担当する表示領域分の容量であり、信号線駆動電圧は、一つのＩＣが担当する表示領域の信号線についての駆動電圧となる。これら信号線ドライバ４０及び走査線ドライバ５０には、電源回路８０より電力が供給され、制御手段２０からの表示データＬＤｎが供給される。

【００５４】

（制御手段の説明）

マルチライン駆動法を採用し、外部接続ＲＡＭ１８へのライト及び内蔵ＲＡＭ１００へのデータ転送を適宜切換ることができる制御手段の構成について、図２を用い説明する。図２は、制御手段の概略を示すブロック図である。

【００５５】

制御手段２０は、ＭＰＵ１０からのコマンドに基づいて、ＲＡＭ１８のリードライトを制御する機能を有し、３２ｋＨｚ～５１２ｋＨｚ程度の振動子を持ち低周波クロックを常時発振する低周波発振手段２１と、その低周波クロックを基に、信号線ドライバ４０に必要な走査スタート信号（フレーム開始信号）ＹＤ、転送表示データの直並列変換用のラインラッチ信号（ラッチパルス）ＬＰ、液晶交流化信号ＦＲ等のタイミング制御信号を生成する信号生成手段２３と、低周波クロックに位相同期する高周波クロックを作成する高周波発振手段２２と、ＭＰＵと１０の間の情報の授受を行うインターフェース回路２６と、ＭＰＵ１０がＶＲＡＭ１２のうち信号線ドライバ４０のＲＡＭ１００の該当領域に表示データの変更を加えた時、ＭＰＵ１０によって転送指示フラグが立つフラグレジスタ２７と、高速のクロックＸＳＣＬを専用バスに出力して、フラグレジスタ２７に当該フラグアドレス信号及びフラグリセット信号を送り、ＶＲＡＭ１２内の書換えアドレスの表示データをバス１０Ａを介して読出データとして取込み、読出データをシフトクロックＸＳＣＬを用いてデータバスのビット数又はフォーマットに変換して得られた表示データＬＤｎ及びシフトクロックＸＳＣＬをデータバスを介して信号線ドライバ４０へ転送する制御部２４（転送制御手段）と、選択手段２５と、割込信号出力手段２８とを有する。

【００５６】

制御手段２０は、ＭＰＵ１０からのアクセス要求を受けると、ＶＲＡＭ１２からシステムバス１０Ａを介して、アクセス要求分例えば１フレーム分の表示データを、ＲＡＭ１８に送る。

【００５７】

信号生成手段２３は、ＭＰＵ１０からの表示部の表示データを更新する更新命令に基づいて、各種制御信号ＹＤ等を生成する機能を有し、低周波クロックを基に１フレーム期間内にＮ例えば２４０発のラッチパルス（ラインラッチ信号）ＬＰを生成する分周器と、ラッチパルスＬＰを計数して走査電極の順番（行アドレス）を指定するための行アドレス信号、フレーム開始信号ＹＤ等を生成する垂直カウンタ２３－１と、フレーム開始信号ＹＤ及び垂直カウンタのカウント値に基づき、液晶交流化信号ＦＲを生成するフレームカウンタ２３－２を有している。また、信号生成手段２３より、該当する信号線の駆動出力を電圧レベルＶｃに固定し、表示オフモードの画面に制御する表示制御信号を出力しても良い。尚、電源回路８０、信号線ドライバ４０、走査線ドライバ５０に所定の電圧も供給する。

【００５８】

インタフェース回路２６に入力されたＭＰＵ１０からの更新命令、転送開始命令等は、コマンドデコーダ（コマンド解読回路）で解読され、その内容や必要な制御データ等が制御部２４に送られる。

【００５９】

制御部２４（転送制御手段）は、制御データ例えばイネーブル信号等に基づいて、ＲＡＭ１８のアドレス指定信号を出力し、選択手段２５を第１のモードに設定制御し、転送開始命令に基づいて、ＲＡＭ１８へライトする表示データを入力し、ＲＡＭ１８より表示データをリードしてデータ転送する。

【００６０】

選択手段２５は、ＭＰＵ１０のアクセス要求に応じて常時ＭＰＵからのコマンドに従って

、第１の期間（図８T_1）中に、ＭＰＵ１０側からＲＡＭ１８へ表示データをライトする第１のモードと、第１の期間の後の第２の期間中（図８T_2）に、ＲＡＭ１８から表示データＲＡＭ１００への表示データの転送を行う第２のモードと、のいずれかのモードに切換選択する機能を有する。そして、ＭＰＵ１０のアクセスに応じて表示データを一時的にライトし、ライト後の１フレーム期間を利用してデータ転送を行う。

【００６１】

フラグレジスタ２７は、第１のモード終了直前に第２のモードを開始させるＭＰＵ１０のコマンドの受領を許容する。また、ＭＰＵ１０からのライト開始命令に基づいて、イネーブル信号を出力する。

【００６２】

割込信号出力手段２８は、表示データのＲＡＭ１８へのライト終了直前に、ＭＰＵ１０から出力され、ＲＡＭ１８から表示データＲＡＭ１００への表示データの転送を開始させる転送開始命令を、出力させる割込信号を、制御信号に基づいてＭＰＵ１０に向けて生成出力する。ＭＰＵ１０は、割込を受けた時点で転送命令を送る。また、データ転送に際し、バスホールダを適宜に用いて転送タイミングを微調整することができる。このため、ＭＰＵ１０は、内部と外部を特に意識することなく表示データの転送開始命令を出すことができる。

【００６３】

尚、本例では、図示しない出力制御手段を有しても良い。出力制御手段は、第２のモードがｎフレーム期間を要する場合、ＭＰＵ１０のクロックタイマーに基づいて、少なくとも２フレーム期間終了前毎に、ｎ番目のフレーム期間中でのデータ転送を終了させ、ＭＰＵ１０からの更新命令を出力させるように制御する。これにより、万が一、更新命令があったにも拘わらず、何フレームもデータ転送（第２のモード）状態であった場合には、出力制御手段によりＭＰＵより更新命令を出させて、ＲＡＭ１８へのライト動作を行うことができる。

【００６４】

次に制御手段２０の動作について図２、図８～図１０を用いて説明する。

【００６５】

制御手段２０のうち、低周波発振手段２１及び信号発生手段４３は常時動作しているが、高周波発振手段２２は、データ転送時に間欠動作する。低周波発振手段２１は、低周波クロックを常時出力し、信号発生手段２３の分周器は、低周波クロックを所定の分周比で分周してラッチパルスＬＰを生成する。ラッチパルスＬＰは、１水平期間でＮ回発生し、３２～８０ｋＨｚ程度である。尚、垂直カウンタ２３－１は、ラッチパルスＬＰを計数して行アドレス信号及びフレーム開始信号ＹＤを生成し、フレームカウンタ２３－２は、フレーム開始信号ＹＤを計数して液晶交流化信号ＦＲ等を作成する。クロックＸＳＣＬは、高周波クロックであり、制御部２４からの表示データの読込及び転送に利用される。ＭＰＵアクセスは、５００ｎＳであり、２ＭＨｚのアクセス周波数とする。

【００６６】

ＭＰＵ１０がＶＲＡＭ１２の表示データをリフレッシュ動作時に全体的に変更する時や、フレーム間引き方式で階調表示する際に部分的に変更する時は、ＭＰＵ１０から更新命令（ライト開始命令）が入力され、ＭＰＵ１０は、随時データバス１０Ａ及びアドレスバス１０Ｂを介してアドレス信号及び表示データをＲＡＭ１８にライトする。この時、選択手段２５は第１のモードに設定されている。これにより、ＶＲＡＭ１２内の書換アドレスの表示データ（更新データ）が、読出データとして取込れる。

【００６７】

そして、第１のモードから第２のモードに切換る図８の期間T_1の終了前に、定期的に出力する信号ＹＤに基づいて割込信号出力手段２８は、割込信号ＩＲをＭＰＵ１０へ向け出力する。これを受けたＭＰＵ１０は転送開始命令を制御手段２０へ向け送る。この転送開始命令により、ＭＰＵ１０がインターフェース２６を介してフラグレジスタ２７の該当アドレスに転送指示フラグを立てる。また、制御部２４は、加算器及びオフセットカウンタ

ーを有し、アドレスとデータの転送を行う機能を有し、転送開始命令が入ると、このフラグを叩いて制御部２４よりアドレス指定信号がＲＡＭ１８の選択手段２５に向け出力される。

【００６８】

すると、制御部２０は、選択手段２５を第２のモードに切換て、読出用のアドレス指定信号によりＲＡＭ１８内の表示データを高速クロックでリードし、ＲＡＭ１８より制御部２４を介し、表示データＬＤｎをドライバ４０へと転送させる。

【００６９】

ここで、アドレスの発生により、ＭＰＵ１０からのアドレスは伝達されず、ＭＰＵ１０からのデータはライトされない。この時、制御部２４は、信号生成手段２３のシフトクロックＸＳＣＬを高速クロックで出力する。そして、データバスのビット数又はフォーマットに変換され、１フレーム期間（図８のT_2）の間、高速クロックのＸＳＣＬに基づいて表示データＬＤｎを専用バスへ出力して転送し、ドライバ４０内のＲＡＭ１００へライトする。尚、２フレームの間を転送期間としても良い。

【００７０】

ここで、図９（Ａ）に示すように、ＭＰＵアクセスがＹＤの立上りの前で終了した場合には、次の立上りまで待機することとなる。また、図９（Ｂ）に示すように、仮にデータ転送が１フレームを超え、なおかつＭＰＵアクセスが生じた場合には、ＭＰＵアクセスが優先し、データ転送を切っても良い。

【００７１】

加えて、本例では、第１のモードから第２のモードへの切換を、周期的に発振される制御信号例えばＹＤに基づいたクロックで生成された割込信号ＩＲを用いて行うこともできる。この場合、万が一、制御手段２０がＲＡＭ１８のライト制御を実行せしめている場合でも、強制的にデータ転送に切換ることができる。

【００７２】

また、１フレーム期間が完了すると、フラグレジスタ２７にフラグアドレス信号及びフラグリセット信号を送り、フラグアドレス内の転送指示フラグを倒すようにしても良い。そして、次のアドレス指定信号が発生すると、高速クロックによって上記動作が繰り換えされ、１フレーム期間でＮ走査ライン分の表示データＬＤｎの転送が完了する。尚、１ライン選択の場合は、ＬＰ１を１Ｈ（１フィールド期間）とし、２ライン同時選択の場合は、ＬＰ１・ＬＰ２を１Ｈとし、３ラインの場合は、ＬＰ１・ＬＰ２・ＬＰ３を１Ｈとする。ＬＰ１内は、３６０本の線に併せて３６０発のＸＳＣＬ、ＬＰ２４０発を発生させる。

【００７３】

１フレーム期間の表示データＬＤｎの転送中は、表示動作が一時中止されるが、シフトクロックＸＳＣＬを１フレーム期間停止しても、表示に影響を及ぼすことはない。乃ち、１～２フレームの画面の抜けは、１６ｍｓと人間の目に確認できず、表示に影響を及ぼさず、かえって無駄な画面を省く分低消費電力化が図れる。

【００７４】

このように、制御手段２０により、ＭＰＵアクセス時（ＶＲＡＭ１２の表示データの変更時）には、常時表示データをＲＡＭ１８にライトできる。これにより、ＭＰＵ１０は、内部バスに接続された自己が管理するメモリやレジスタ等にデータ転送をするのと同様に、ＲＡＭ１８等のマルチライン駆動用の表示データメモリや制御回路にデータ転送できる。マルチライン駆動の処理もＭＰＵ内部と同様に行われるため、パイプライン的処理が実現され、データ転送のタイミング制御に関する整合性もよく、ＭＰＵ１０に特別な負担がかからない。

【００７５】

尚、本例の制御手段内には、図示しないＭＰＵ内部データバスに直結され、表示データの授受を行う入出力バッファと、データを一時的に蓄積するバスホールダと、コマンドの解読を行うコマンドデコーダとを有することが好ましい。

【００７６】

（信号線ドライバの説明）
複数の信号線ドライブＩＣ４２、４４は共に同一構成の半導体集積回路で、相互にチップイネーブル出力ＣＥＯとチップイネーブル入力ＣＥＩを介してカスケード接続されている。いずれの信号線ドライブＩＣも、ＭＰＵ１０に直結するシステムバスを共有せず、データバスを介して制御手段２０に繋がるだけである。
【００７７】
この第１，第２の信号線ドライブＩＣ４２，４４の具体的構成について、図３を参照して説明する。図３は信号線ドライブＩＣに共通な構成を示している。
【００７８】
信号線ドライブＩＣ４２は、表示データを記憶するスタティックＲＡＭ及びその周辺回路で構成され、例えば１６０セグメント×２４０ラインの容量で形成された表示データＲＡＭ１００と、表示データＲＡＭ１００に対して例えば１バイト単位で表示データのリードライトを制御し、表示データＲＡＭ１００より例えば４ライン分の表示データを読出し、４ライン同時選択のＭＬＳ駆動を可能とするＬＣＤ制御回路１３０、カラムアドレス制御回路１２０、ロウアドレス制御回路１４０、Ｉ／Ｏバッファ１２２及びラッチ回路１３２と、選択電圧パターンと表示データの不一致を検出して印加電圧を決定するマルチライン用のデコード回路１３４及びレベルシフタ１３５と、決定された電圧を選択して出力する電圧セレクタとしての液晶駆動回路１３６と、制御手段２０から供給される信号を基に所要のタイミング信号等を形成する内部発振回路１５０を有する。
【００７９】
ＩＣ内部のバスライン１１０には、バス接続用端子として、Ｄ７～Ｄ０が入出力回路１１１を介して接続されている。入出力回路１１１を介して入出力される制御データ、表示データは、バスライン１１１を介して図示しないバスホールダにて保持可能である。制御データは、ＬＣＤ制御回路１３０内に供給される。
【００８０】
ＬＣＤ制御回路１３０は、外部端子ＬＰ、ＹＤ、／ＤＯＦＦ、ＦＲ、ＸＳＣＬ、ＣＡ、／ＣＳ及びＭ／Ｓと接続され、内部発振回路１５０に接続されている。
【００８１】
このＬＣＤ制御回路１３０は、カラムアドレス制御回路１２０、ロウアドレス制御回路１４０、ＲＡＭ用Ｉ／Ｏバッファを制御して表示データＲＡＭ１００に対してライトするライト制御手段として機能すると共に、ラッチ回路１３２及びデコード回路１３４をも駆動制御して表示データをリードするリード制御手段としても機能する。すなわち、ライトする場合、ＸＳＣＬの立下る度に、制御手段２０から転送される表示データ（１バイト）をＩ／Ｏバッファ１２２へ順次取り込み、リードする場合、４ライン分の表示データをＲＡＭ１ＯＯより読出し、液晶駆動回路１３６を介して、液晶表示パネル６０の信号線に、ＭＬＳ駆動用のデータ信号を供給する。また、ＬＣＤ制御回路１３０は、印加電圧の決定動作タイミング、セルフリフレッシュモードの判定、デコード回路１３４のフィールド等も制御する。
【００８２】
Ｉ／Ｏバッファ１２２は、１走査ライン分の表示データＬＤｎをラッチパルスＬＰの立ち下がりで一括ラッチし、１シフトクロックＸＳＣＬ以上の書込時間で表示データＲＡＭ１００に書込む。尚、ラッチする順番を例えばＳＨＬ信号にて規定するよう構成しても良い。
【００８３】
ロウアドレス制御回路１４０は、書込制御信号ＷＲ又は読出制御信号ＲＤの印加の度に、ＲＡＭ１００内の配置に合わせたロウアドレスを出力し、走査スタート信号ＹＤにより選択アドレスを初期化し、ロウアドレスに基づいてワード線を順次選択する。選択アドレスは、ＬＰ信号の立ち下がりエッジ後、表示データＲＡＭ１００へのデータ書込が終了するとインクリメントされる。
【００８４】

ラッチ回路１３２は、ローアドレス制御回路１４０で選択されたローアドレスの表示データを、ＬＰ信号の立ち下がりエッジで表示データＲＡＭ１００から読出す。デコード回路１３４は、表示データＲＡＭ１００よりの表示データと走査線の列パターンとの組から対応する信号線の駆動電圧情報を割出す信号パルス割出回路として機能し、ＭＬＳ駆動を行うために必要なドライバ制御信号を出力する。制御信号は、表示データとＦＲ、／ＤＯＦＦ及びＬＣＤ制御回路３２０から与えられるフィールド情報により決定される。また、信号電圧レベルをロジック系電源レベル（V_{DD}、V_{SS}）から、液晶駆動系電源レベル（V_0～V_5）に変換する回路である。レベルシフタ１３５は、デコード回路１３４からの低論理振幅レベルの信号を高論理振幅レベルの信号に変換するレベル変換を行うレベルインターフェース回路である。

【００８５】

液晶駆動回路１３６は、デコード回路１３４から出力される高論理振幅レベルの電圧選択コード信号により電圧Ｖ２、Ｖ１、Ｖｃ（例えば０）、－Ｖ１、－Ｖ２のいずれかを選択して各信号線Ｘ１～Ｘｎに液晶印加電圧を印加する。いずれを選択するかは、表示データと液晶駆動を交流化するための信号であるＦＲ信号とにより決定される。

【００８６】

ドライブＩＣ４２（４４）は、ＭＰＵ１０の内部データバスに直結しており、８ビットのＭＰＵ１０から表示データＲＡＭ１００へのデータ転送は、ＭＰＵ１０内におけるデータ転送と同じように、８ビット単位（ＭＰＵがデータを並列処理できる単位）で行われ、外部のＭＰＵ１０とドライブＩＣ４２との間にデータ転送ラインを構築する。データ転送に際し、バスホールダを適宜に用いて転送タイミングを微調整できる。

【００８７】

必要な情報が与えられたＬＣＤ制御回路１３０は、Ｉ／Ｏバッファ１２２、カラム、ロウアドレス制御回路１２０、１４０を制御し、Ｉ／０バッファ１２２から表示データＲＡＭ１００へデータを書込む。この書込は、同時選択の走査線数をｈ本（ｈは２以上の自然数）とした場合、１本のデータ線に印加する電圧を決定するのに必要なｈ個の表示データを含むｍビットの表示データを単位として行なうことが好ましい。

【００８８】

ＬＣＤ制御回路１３０は、データ取込用クロックにより、バスライン１１０を介して送られてくる８ビット（１バイト）の制御データをレジスタ（不図示）に取込み、その制御データに基づいて、独立に表示データＲＡＭ１００からデータをリードする。尚、ＬＣＤ制御回路１３０におけるカウンタ等のロジック回路の動作クロックは、内部発振回路１５０から供給される。

【００８９】

図示しない出力選択回路により、ＭＬＳ駆動に必要な表示データを選択して読出す。表示データは、ラッチ回路１３２に一時的に保持された後、デコード回路１３６に送られる。デコード回路１３６の一致・不一致判定の結果、決定された電圧情報は液晶駆動回路１３６に伝達され、電圧を選択して、液晶表示パネル６０の信号線に供給する。上述の各端子の説明は下記の表１の通りである。

【００９０】

【表１】

Ｄ７～Ｄ０	８又は１６ビットの標準的な双方向性データバスに接続される。
／ＣＳ	チップセレクト信号ＣＳの反転信号が入力される。但し、本例では、複数の信号線ドライブＩＣ２２，２４を一つのＩＣとして認識するので、チップセレクト反転信号／ＣＳは複数の信号線ドライブＩＣに共通入力される。／ＣＳがアクティブの時、全信号線ドライブＩＣで、Ｄ７～Ｄ０を介してデータの入出力が可能となる。
Ｍ／Ｓ	カスケード接続された複数の信号線ドライブＩＣのマスター／スイレブ動作を選択する端子である。１段目に使用される場合Ｈとし、２段目以降はＬとする。信号線ドライブＩＣは、マスター動作時に液晶表示に必要な信号を出力し、スレイブ動作時に入力して液晶表示系の同期がとられる。
ＣＬ	表示クロック入出力端子であり、マスター動作の時にクロックが出力され、スレイブ動作の時にクロックが入力される。
ＸＳＣＬ	表示データシフトクロック入力。表示データＬＤｎを、立ち下がりエッジでＩ／０バッファ１２２に順次取込む。
ＦＲ	液晶交流化信号の入出力端子であり、マスター動作時に出力され、スレイブ動作時に入力される。
ＣＡ	フィールド切換信号入力。フィールドの開始毎に入力される信号。
Ｘ１～Ｘｎ	液晶駆動用セグメント（カラム）出力で、ＬＰの立ち下がりエッジで変化する。
ＬＰ	表示データラッチクロック入力。ＭＬＳデコーダで決定されたドライブＩＣの制御信号を立ち下がりエッジでドライブＩＣに取込み、液晶駆動出力を出力する。指定されたロウアドレスに対してＩ／Ｏバッファ１２２の内容をＬＰ４つ毎に表示データＲＡＭ１００に書込む。例えば６０μｓ（１６ｍｓ／ライン数）とするのが好ましい。
／ＤＯＦＦ	強制ブランク入力。Ｌレベルでセグメントの出力を強制的にＶｃレベルにする。
ＹＤ	フレーム走査スタート入力。書込用及び読出用行アドレスをリセットする。ＹＤの一周期内に入力されるＬＰのパルス数でＲＡＭ１００に対する書込用の走査線数（行アドレス数）が決定される。例えば１６ｍｓ。
ＶＤＤ、ＶＳＳ	ロジック電源
Ｖ３、Ｖ２Ｖｃ、－Ｖ２、－Ｖ３	液晶駆動用電源
ＯＳＣ１～３	信号線ドライブＩＣが第１段目に使用されるマスター動作の場合に、内部発振回路１５０を動作させるための端子である。この場合、図１の抵抗Ｒとキャパシタ Ｃとから成る発振用外付回路が接続され、ｆ＝１／（２．２×Ｃ×Ｒ）（Ｈｚ）のクロックが内部発振回路より出力される。このクロックは、ＬＣＤ表示するためのクロックとなる。信号線ドライブＩＣが第２段目以降に使用されるスレイブ動作の場合、内部発振回路は動作せず、第１段目の内部用クロックがＣＬ端子より入力する。
Ｆ１Ｓ、Ｆ２Ｓ	駆動パターン切換間隔設定入力。例えば４ライン同時駆動では、（Ｆ１Ｓ、Ｆ２Ｓ）＝（０、０）フィールド、（０、１）８Ｈ、（１、０）２Ｈ、（１、１）４Ｈ また、ラッチパルスＬＰ’は、信号ＬＰから生成され、パネル上の表示変更が伴う場合にのみ出力する。

尚、ドライバチップ単位に、自動パワーセーブを行い、イネーブルとなるチップのみが表示データを取込むようデータ入力を制御する手段を設けてよい。この場合、ＬＰの入力により、カスケードされた全てのドライバーをスタンバイ状態にし、Ｎ個のドライバをカスケード接続しても、表示データが入るドライバは、常時１個限られ、消費電力を低減できる。

【００９１】

また、ドライバ４０は、表示内容が不変の場合、制御手段２０から信号線ドライバ４０へのデータ転送を停止し、これを自動検出してパワーダウン表示にするセルフリフレッシュモードに設定する機能を有する。表示データの入力終了時点から、シフトクロックＸＳＣＬをＬに保持して設定され、ＸＳＣＬの停止中は、ＲＡＭ１００へは書込まれない。この

時、ドライバ４０は、制御手段２０からの信号ＬＰ、ＹＤ、ＦＲを入力し、内蔵ＲＡＭから表示データを周期的に読出して表示リフレッシュを行う。セルフリフレッシュモードでもディスプレイオフ機能は動作可能である。セルフリフレッシュモードの解除は、制御手段２０は、信号ＬＰの立下がりからデータ転送時のタイミングでシフトクロックＸＳＣＬを信号線ドライバ４０に入力して実行される。カスケード接続されている場合、カスケード接続に対応したＸＳＣＬクロック数を入力しないと全ドライバ４０のセルフリフレッシュモードは解除されない。

【００９２】

（ＲＡＭ、表示データＲＡＭ及びその周辺回路の説明）

本例は、４ライン同時選択のＭＬＳ駆動のため、図５（Ａ）の液晶表示パネル６０の３２０×２４０画素の表示アドレス空間に対し、一つの信号線ドライブＩＣ４２内のＲＡＭ１００のメモリアドレス空間が図５（Ｂ）の通り異なる。図６（Ｂ）のメモリアドレス空間は、ロウ方向のメモリセルの数が、２４０（本）÷８（ビット）＝３０個に対し、カラム方向では３２０（本）×８（ビット）÷２（ＩＣの数）＝１２８０個になる。尚、図５（Ｂ）のメモリアドレス空間において、ロウアドレスを［０，１…２９］とする。また、本例が１バイト単位でデータのリード・ライトを行う為、カラムアドレスの数は、１２８０÷８＝１６０である。尚、１段目の信号線ドライブＩＣ４２内のＲＡＭ１００のカラムアドレスを［０，１，…１５９］、２段目の信号線ドライブＩＣ４４内のＲＡＭ１００のカラムアドレスを［１６０，…３１９］とする。また、最大４個の信号線ドライブＩＣをカスケード接続した場合、カラムアドレス値の最大は［６３９］となる。

【００９３】

図６は、ＲＡＭ１００及びその周辺回路の回路図であり、３０本のワードラインＷＬ１～ＷＬ３０と、１２８０列のビット線対ＢＬ，／ＢＬには各々メモリセル１０２が接続される。図３のＲＡＭ用Ｉ／Ｏバッファ１２２に接続された１６本のバスライン１１０は、図６に示す各々のカラムスイッチ１０４を介して１２８０列のビット線対ＢＬ，／ＢＬに接続される。

【００９４】

図３のカラムアドレス制御回路１２０は、図６の一つのトランスファーゲート１０６に接続された８つのカラムスイッチ１０４を同時にオンオフする為の１６０個のカラムアドレスデコーダ１２０Ａを有する。各カラムアドレスデコーダ１２０Ａは、ＬＣＤ制御回路１３０から１０ビットのカラムアドレスと、２つの外部端子ＬＲ０，ＬＲ１の２ビットの論理とをデコードし、８つのカラムスイッチ１０４を同時にオンオフする。各カラムアドレスデコーダ１２０Ａは、マスクＲＯＭとして各信号ドライブＩＣで共通し、２つの外部端子ＬＲ０，ＬＲ１の設定電位が信号ドライブＩＣ毎に変更される。よって、１～１６０番目のカラムアドレスを信号線ドライブＩＣ４２にてデコードし、１６１～３２０番目のカラムアドレスを信号線ドライブＩＣ４４にてデコードできる。そして、いずれか一つのカラムデコーダからＬが出力されると、８つのカラムスイッチ１０４が同時にオンする。

【００９５】

図３のラッチ回路１３２は、図６のラッチ信号ＳＥＬＲとその反転信号／ＳＥＬＲによりオンオフされるスイッチ１３２Ａと、その出力をラッチするラッチ用ゲート回路１３２Ｂを有する。ワードラインＷＬ１がアクティブになると、ラッチ信号ＳＥＬＲがアクティブとなり、図５（Ａ）の表示空間上で第１～第４ラインの画素データが同時ラッチされ、同様に、ラッチ反転信号／ＳＥＬＲがアクティブの時、第５～第８ラインの画素データが同時ラッチされる。アクティブワードラインをロウアドレス制御回路１４０で切換ることで、全ワードラインのメモリセル１０２のデータが、順次ラッチされる。

【００９６】

図３に示すデコーダ回路１３４は、図６のＰＲ（デコード回路をプリチャージするための信号）、ＦＲ（液晶交流化信号）及びＦ１，Ｆ２（ＭＬＳのパターンを区別するためのフィールド信号）に基づきラッチ出力をデコードする。図３の液晶駆動回路１３６は、図６のデコーダ回路１３４の出力と、各種電圧とから、信号線に印加される信号電圧を決定す

る。
【００９７】
（入出力回路１１１の入出力端をハイインピーダンスとする構成について）
図６の１６０個のカラムアドレスデコーダ１２０Ａは、ＲＡＭのデータのリード・ライト時に、各々Ｌを出力する。カラムアドレスデコーダ１２０Ａの出力端には各々インバータ１０８が１６０個配置される。
【００９８】
本例では、カラムアドレスデコーダ１２０Ａの出力に基づいて、ＲＡＭ１００に対してデータのリード・ライトを実施しているか否かをモニタするモニタ回路２００を有する。モニタ回路２００は、インバータ１０８の出力が各々ベースに印加される１６０個のＮ型トランジスタ２０２と、１本の共通接続線２０４を有する。いずれか一つのカラムアドレスデコーダ１２０ＡよりＬが出力すると、一つのインバータ１０８の出力Ｈにより一つのＮ型トランジスタ２０２がオンされ、共通接続線２０４の電位はＬとなる。
【００９９】
モニタ回路２００は、Ｎ型トランジスタ２０２が接続された共通接続線２０４の最終段に、一つのモニタ用インバータ２０６を有する。このため、モニタ回路２００の出力としてＨが得られた時、２つの信号ドライバ２２，２４のいずれかにて、データのリード・ライトの実施をモニタできる。モニタ回路２００は、共通接続線２０４の電位をＨにプリチャージするプリチャージ回路２１０を有する。プリチャージ回路２１０は、２つのＰ型トランジスタ２１４、２１６から成るトランスファゲート２１２を有する。データのリード・ライトの前に、カラムコントロール信号ＣＡＬＣＴＬのＬにより、共通接続線２０４がプリチャージされる。この時、Ｐ型トランジスタ２１６もオンするので、いずれか一つのカラムデコーダ１２２ＡがＬにならない限り、モニタ出力はＬとなり、誤検出を防止できる。
【０１００】
尚、カラムアドレス制御回路１２０に、図６の１６０個のカラムデコーダ１２２Ａを有するカラムアドレスデコード回路と、カラムアドレスカウンタ回路を有し、ロウアドレス制御回路１４０に、ロウアドレスデコード回路とロウアドレスカウンタ回路を有し、ＬＣＤ制御回路１３０に、カラム、ロウアドレスカウンタ回路を各々制御するクロック制御部を設けることが好ましい。この場合、カラム方向では、カラムアドレスカウンタ回路がＲＡＭアクセスの度に自動インクリメントし、ロウ方向では、ロウアドレスカウンタがＲＡＭアクセスの度に自動インクリメントする。こうすると、ＲＡＭの記憶領域のうち、特定領域に、カラム方向にアクセスしてデータ書込が行える。尚、ロウアドレスカウンタ回路は、第３のレジスタ及び第４のレジスタを設け、その後段に、カスケード接続された第３、第４のビットカウンタ、ロウアドレスを検出するアドレスエンド検出器を設けるのが好ましい。
【０１０１】
（内蔵ＲＡＭの書込及び読出動作）
本例では、ラッチ回路でのラッチ周波数は１４．４のＫＨｚ、ＬＣＤアクセス要求間時間は６９．４μＳとする。信号発生手段２３によって、図８に示すフレーム開始パルスＹＤ、ラッチパルスＬＰは常時発生している。フレーム開始パルスＹＤは、１フレーム期間（１Ｆ）毎に発生し、ラッチパルスＬＰは１水平期間（１Ｈ）内にＫ回発生する。ＹＤの１フレーム期間内に、制御手段２０から１フレーム分の表示データＬＤｎがシフトクロックＸＳＣＬによって信号線ドライバ４０へ転送されて来る。信号線ドライバ４０に対するＹＤ及びＸＳＣＬによる表示データの転送が完了すると、信号線ドライバ４０の内部発振回路１５０により、各種読出制御信号ＲＤ及び書込制御信号ＷＲ等が発生する。
【０１０２】
ドライバ４０内では、ラッチパルスＬＰ等により表示データがＩ／Ｏバッファ１２２に取込まれて表示データＲＡＭ１００の該当ロウアドレスに書込まれる。尚、更新がない場合は、書込はなく、読出動作が行われる。また、表示データＲＡＭ１００への書込は、１ラ

イン６４０ドットの時は、Ｉ／０バッファ１２２より数１００ｎｓ程度の１シフトクロックＸＳＣＬで行っても、ラッチパルスＬＰのタイミングで行っても、Ｉ／０バッファ１２２からそれ以上の十分な時間（数μｓ）をかけて１ライン分一挙に書込んでも良い。後者の場合、大容量表示になるに従い書込速度が高まるので好ましい。

【０１０３】

その後、表示データＲＡＭ１００からデータの読出動作が行われ、読出されたデータは、ラッチ回路１３２に格納されてデコード回路１３４へ送られる。そして、偶数ラインのラッチパルスＬＰの発生により図示しない不一致数判定回路で得られた不一致数の２ビット情報がラッチ回路１３２でラッチされ、液晶駆動回路でいずれかの信号電圧が選択され、４組の走査ライン分に関する信号線電位が液晶マトリックスに印加される。

【０１０４】

尚、書込、読出の制御を、１ラッチパルス期間内に同一のロウアドレスに対する書込モードと読出モードとに分割し、旧データの読出後、次のラッチパルスの発生により、新データの書込を実行すると良い。特に、スクロール時に発生する意味のない表示態様を避けるには、１フレーム期間後に読出ようにすれば良い。但し、同時選択本数が少ない時は、１フレーム期間まで必要なく、１ラッチパルスＬＰの周期内で、同一のロウアドレスに対して読出後に書込動作を行っても良い。また、書込後に、１又は複数回の読出を実行させ、旧データの読出から１フレーム期間後に新データの書込を実行しても良い。また、ＶＲＡＭ１２内の表示データＬＤｎのうち第ｋ走査ライン目の表示データＷＤｋを除き他のすべての走査ライン目の表示データが変更された場合の書込、読出動作は、第ｋ走査ライン目の表示データＷＤｋの転送は新たに行われず、第ｋ走査ライン目の表示データは、表示データＲＡＭ１００内の旧データを読出すようにしても良い。

【０１０５】

尚、例えば均等分割型ｎ例えば４ライン同時選択駆動方式を採用する場合であって、表示データＲＡＭ１００の列アドレス数とパネルの信号線の本数とが等しく、行アドレス数と走査線の本数とが等しい場合は、１水平走査期間内にＲＡＭ１００内の４行ライン分の表示データを読出す必要があるので、１水平期間内に４発のラッチパルスＬＰが発生するようにしても良い。また、表示データＲＡＭ１００の列アドレス数を表示マトリックスの信号線の数の２倍で行アドレス数を走査線の数の半分（ブロック数）としたメモリセル配列のＲＡＭを用いる場合には、１水平期間内に１回発生するラッチパルスＬＰを利用することができる。

【０１０６】

この場合、ラッチパルスＬＰの入力に対するＲＡＭ１００のワード線のアドレス歩進のスピードが書込より読出方が速くなる為、ロウアドレス制御回路１４０は、書込アドレス発生用Ｗカウンタと読出アドレス発生用Ｒカウンタと独立に持ち、出力をマルチプレクサで切換、マルチプレクサの出力をアドレスデコーダへ与えるようにする。

【０１０７】

尚、表示データＲＡＭ１００の縦横構成は、同時選択駆動される走査線の本数をｈ、自然数をｎ、信号線ドライバ１個当りのドライバ出力数（駆動できる信号線の本数）をＤ、ワード線本数Ｗとした時に、（ｈ×2^{n}×Ｄ）×Ｗとするのが好ましい。これは、信号線ドライバ１個が駆動できる最大表示ドット数に等しい。

【０１０８】

［実施の形態２］

次に、上述の液晶表示装置を用いた電子機器の実施の形態について図１１～図１７を用いて説明する。

【０１０９】

上述の液晶表示装置を用いて構成される電子機器は、図１１に示す表示情報出力源１０００、表示情報処理回路１００２、表示駆動回路１００４、液晶パネルなどの表示パネル１００６、クロック発生回路１００８及び電源回路１０１０を含んで構成される。表示情報出力源１０００は、ＲＯＭ、ＲＡＭなどのメモリ、テレビ信号を同調して出力する同調回

路などを含んで構成され、クロック発生回路１００８からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路１００２は、クロック発生回路１００８からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路１００２は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路１００４は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル１００６を表示駆動する。表示駆動回路１００４中のデータ側駆動回路が、上述の信号線ドライブＩＣ２２，２４を含んでいる。電源回路１０１０は、上述の各回路に電力を供給する。

【０１１０】

このような構成の電子機器として、図１２に示すマルチメディア対応のパーソナルコンピュータ（ＰＣ）及びエンジニアリング・ワークステーション（ＥＷＳ）、図１３に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、ＰＯＳ端末、タッチパネルを備えた装置などを挙げることができる。図１２に示すパーソナルコンピュータ１２００は、キーボード１２０２を備えた本体部１２０４と、液晶表示画面１２０６とを有する。

【０１１１】

図１３に示すページャ１３００は、金属製フレーム１３０２内に、液晶表示基板１３０４、バックライト１３０６ａを備えたライトガイド１３０６、回路基板１３０８、第１，第２のシールド板１３１０，１３１２、２つの弾性導電体１３１４，１３１６、及びフィルムキャリアテープ１３１８を有する。２つの弾性導電体１３１４，１３１６及びフィルムキャリアテープ１３１８は、液晶表示基板１３０４と回路基板１３０８とを接続するものである。

【０１１２】

ここで、液晶表示基板１３０４は、２枚の透明基板１３０４ａ，１３０４ｂの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図１２に示す駆動回路１００４、あるいはこれに加えて表示情報処理回路１００２を形成することができる。液晶表示基板１３０４に搭載されない回路は、液晶表示基板の外付け回路とされ、図１４の場合には回路基板１３０８に搭載できる。

【０１１３】

図１３はページャで、液晶表示基板１３０４以外に回路基板１３０８が必要となるが、電子機器の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、液晶表示装置の最小単位は液晶表示基板１３０４である。或いは、液晶表示基板１３０４を筐体としての金属フレーム１３０２に固定したものを、電子機器用の一部品である液晶表示装置としても使用できる。更に、バックライト式の場合、金属製フレーム１３０２内に、液晶表示基板１３０４、バックライト１３０６ａを備えたライトガイド１３０６とを組込み、液晶表示装置を構成できる。これに代え、図１４に示す液晶表示基板１３０４を構成する２枚の透明基板１３０４ａ，１３０４ｂの一方に、金属の導電膜が形成されたポリイミドテープ１３２２に、信号線ドライブＩＣ等のＩＣチップ１３２４を実装したＴＣＰ（Ｔａｐｅ Ｃａｒｒｉｅｒ Ｐａｃｋａｇｅ）１３２０を接続し、電子機器用の一部品である液晶表示装置としても使用できる。

【０１１４】

図１５では、マイクロコンピュータが、携帯電話機１４００に内蔵されている。この携帯電話機１４００は、入力キー１４２０及び液晶表示装置１６００を有している。上記電子機器は、例えば、電池（太陽電池を含む）を用いた携帯用の電子機器である。このような電子機器に内蔵されている液晶表示装置の制御回路の全体構成の概要を図１６に示す。

【０１１５】

図１６のマイクロコンピュータ１７２０は、ＣＰＵ１６１０、発振回路１６２０、分周回路１６３０、入力回路１６４０、タイマー１６４２、電源回路１６５０、ＲＯＭ１６７０、ＲＡＭ１６８０、出力回路１６９０、制御回路１７００、赤外線出力コントローラ１７

１０等を含む。入力回路１６４０や出力回路１６９０は、入力キー１４１０等との間の通信インターフェース回路である。制御回路１７００は、液晶表示装置１６００を制御して各種の状態表示を行わせる回路である。赤外線出力コントローラ１７１０は、スイッチングトランジスタＱ１００を介して赤外線発光ダイオードＤ１をオンオフ駆動する回路である。

【０１１６】

また、上記液晶表示装置は、図１７に示すような、電子機器の一つである個人用携帯型情報機器（Personal Digital Asistance）２０００にも使用可能である。情報機器２０００は、ＩＣカード２１００、同時通訳システム２２００、手書用スクリーン２３００、テレビ会議システム２４００ａ、２４００ｂ、地図情報システム２５００、データ作成システム２６６０を有し、これらの画像表示が実施例の液晶表示装置により行われる。更に、入出力インターフェースユニット２６００において、ビデオカメラ２６１０、スピーカ２６２０、マイクロホン２６３０、入力用ペン２６４０、イヤホン２６５０を有する。

【０１１７】

尚、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレー装置、液晶のライトバルブ性を用いた液晶応用装置等にも適用可能である。

【０１１８】

また、ナビゲーションシステム等のＧＰＳ（グローバルポジショニングシステム）等の、音声認識等のＣＰＵの動作速度が速くかつ低消費電力が要求される電子機器に適用可能である。更に、一つのドライブＩＣに複数の表示データＲＡＭを内蔵した構成でも良い。加えて、ドライブＩＣに１個ずつ複数の制御手段を設けた構成でも良い。この場合、図１８に示すように、複数の制御手段２０－１・・２０－ｎの各々にＲＡＭ１８－１・・１８－ｎを配設しても、図１９に示すように、１つのＲＡＭ１８´で兼用しても良い。しかも、これらＲＡＭは外付に限らず、システム内に内蔵する構成でも良い。尚、図１８、図１９のいずれの場合でも信号線ドライブＩＣ（４０－１・・４０－ｎ）はｎ個、走査線ドライブＩＣ（５０－１・・５０－ｍ）はｍ個、表示部６０´はｎ×ｍマトリックスにて形成される。

【０１１９】

また、本例のドライブＩＣを、ＭＰＵ１０よりリード・モディファイ・ライトコマンドが入力されることで、メモリセルよりビットライン／ＢＬより反転データを読み出し、この反転データをビットラインＢＬを介して元のメモリセルに書き込む、リード・モディファイ・ライト動作を可能とする構成としても良い。この機能により、ＭＰＵ１０でのデータ処理を行わなくても、特定領域Ｂ内のデータを反転して、液晶パネル上にて特定エリアのみを反転表示することができる。

【０１２０】

さらに、ＬＣＤ制御回路内に、各フィールドの表示期間とブランク期間とを認識し、ロウアドレス制御回路及びデコード回路を制御する表示制御部と、表示制御部から出力されるフィールドカウント信号をカウントするフィールドカウンタと、液晶駆動の極性の反転を制御する反転制御回路とを有してもよい。この場合、デューティー比やブランク期間の長さを示すデータは、データ取込用クロックに同期して表示制御部内のレジスタに取込まれる。表示制御部は、ブランク期間に表示オフ信号をデコード回路に供給し、強制的に全信号線を基準電圧V_Cに固定する。この時、信号線ドライバには、走査線駆動電圧を強制的に固定する制御信号が入力され、全走査線も基準電圧V_Cに固定される。ブランク期間では、液晶には電圧が印加されない。フィールド期間終了時は、フィールドカウンタが出力回数を計数する。この表示制御部に、各フィールドでの表示期間終了を検出する第１の検出手段、ブランク期間終了を検出する第２の検出手段を構成しても良い。また、表示期間やブランク期間の長さは、ＭＰＵ１０がレジスタやレジスタに設定するデータの値を適宜変えることで、自由に増減できる構成としても良い。これにより、周囲温度に依存して液

晶の閾値が変化した場合、閾値に合致するよう液晶印加電圧を変化でき、表示コントラストを制御できる。

【０１２１】

また、制御手段２０内に、ＭＰＵ１０から間欠動作指示情報を直接受領した時又はＭＰＵ１０との通信とシステムバスを監視し、ＶＲＡＭ内の表示データの更新があった時、間欠動作開始制御信号を作成する図示しないスタンバイ回路（表示データ更新検出回路）を含む構成としても良い。この場合、スタンバイ回路は、システムバスインターフェース回路と、転送指示フラグが立つラインフラグレジスタと、転送指示フラグが立った走査線のアドレスと行アドレスとの一致／不一致を判定し一致信号を生成する比較回路と、一致信号とラッチパルスＬＰとから間欠動作開始制御信号を生成する同期調整回路とを有することが好ましい。

【０１２２】

さらに、表示データが不変の時は、不必要な発振動作しない構成としても良い。消費電力の削減に寄与できる。また、高周波発振回路を間欠動作させる制御手段を設け、ＶＲＡＭの表示データの変更があった時のみ走査ライン毎の表示データを表示データＲＡＭへ転送できるようにしても良い。

【０１２３】

また、均等分散型ｎライン同時選択駆動方式に限らず、複数ラインを同時に選択する場合、部分的に電圧平均化法の駆動方式にも適用できる。更に、ＲＡＭ及び内蔵ＲＡＭは、表示パネルの画素に１対１に対応するセルを持たせても、表示パネル画素のうち現在駆動されている画素の前後に関係する一部分又は複数画面分のセルを持ち、間欠的に表示データを制御手段からドライバに送る方式や、表示パネルの画素に対して圧縮された表示データを用いる方式でも良い。

【０１２４】

【図面の簡単な説明】

【図１】本発明を適用した液晶表示装置を含むブロック図である。

【図２】図１に示す制御手段の構成を示すブロック図である。

【図３】図１に示す信号線ドライバの構成を示すブロック図である。

【図４】同図（Ａ）は、ドライバ内のＲＡＭを構成的に示した概略説明図、同図（Ｂ）は、ＭＰＵ側から見た、メモリ空間上のアドレスを示す概略図である。

【図５】同図（Ａ）は、図１の液晶表示パネルの表示空間アドレスを示す概略説明図、同図（Ｂ）は、図１に示す信号線ドライブＩＣ内のＲＡＭの画素アドレスを示す概略説明図である。

【図６】図２に示す表示データＲＡＭ及びその周辺回路を示す回路図である。

【図７】図２に示すＲＡＭの構造の概略を示す概略図である。

【図８】図２の回路動作を説明するためのタイミングチャートである。

【図９】同図（Ａ）（Ｂ）は、図２の回路動作を説明するためのタイミングチャートである。

【図１０】図３の回路動作を説明するためのタイミングチャートである。

【図１１】本発明が適用される電子機器のブロック図である。

【図１２】本発明が適用されるパーソナルコンピュータの外観図である。

【図１３】本発明が適用されるページャの分解斜視図である。

【図１４】外付回路を備えた液晶表示装置の一例を示す概略説明図である。

【図１５】本発明が適用される携帯電話機の斜視図である。

【図１６】本発明が適用される携帯用情報端末のブロック図である。

【図１７】本発明が適用される携帯用情報端末の斜視図である。

【図１８】本発明に係る液晶表示装置の他の実施の形態を示すブロック図である。

【図１９】本発明に係る液晶表示装置の他の実施の形態を示すブロック図である。

【図２０】従来のＲＡＭを模式的に示す概略説明図である。

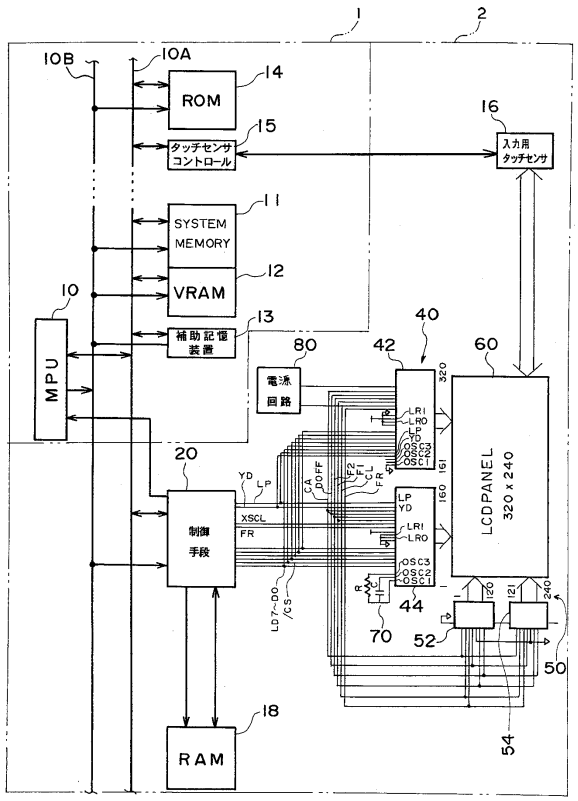
【図２１】同図（Ａ）、（Ｂ）は、従来のＲＡＭ内蔵ドライバへ表示データを転送するタ

イミングを示したタイミングチャートであり、同図（Ｃ）は、従来のＲＡＭポートを時分割駆動で使用する場合を説明するためのブロック図である。

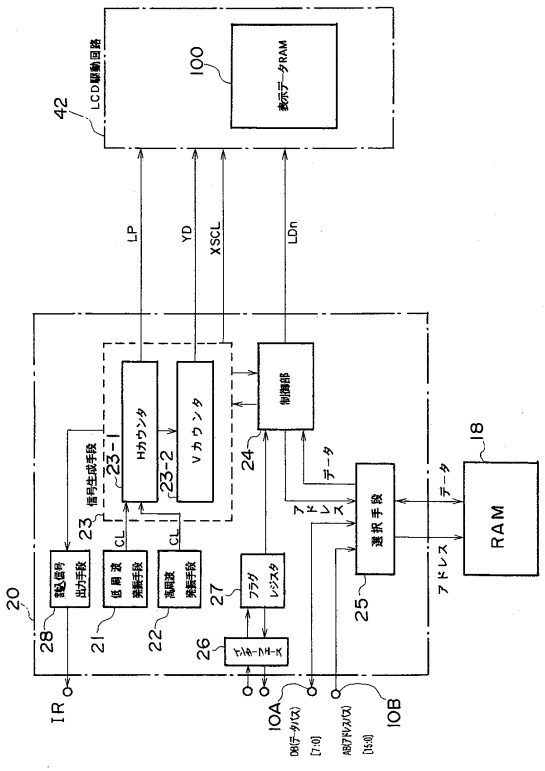
【符号の説明】

１０　ＭＰＵ
１１　システムメモリ
１２　ＶＲＡＭ
１３　補助記憶装置
１４　ＲＯＭ
１８　ＲＡＭ（第１の記憶手段）
２０　制御手段
２１　低周波発振手段
２２　高周波発振手段
２３　信号生成手段
２４　制御部
２５　選択手段
２７　フラグレジスタ
２８　割込手段
４０、５０　駆動手段
６０　表示部
１００　表示データＲＡＭ（第２の記憶手段）

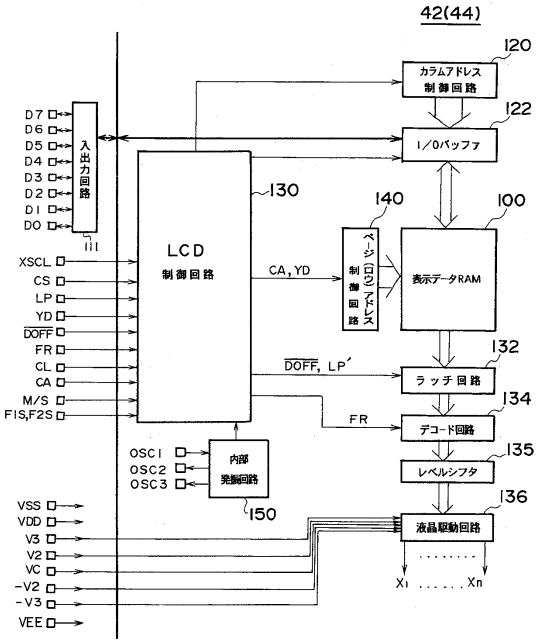
【図１】



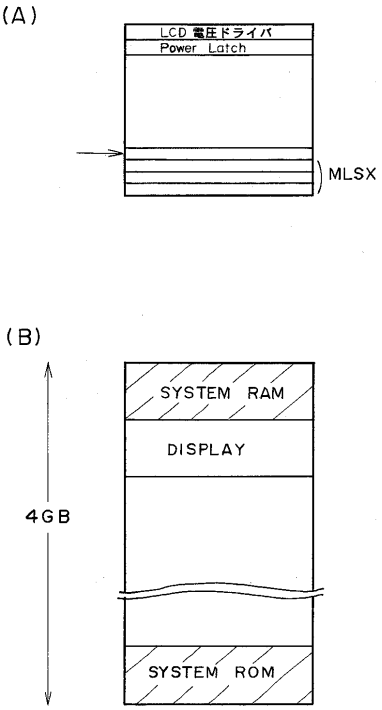
【図２】



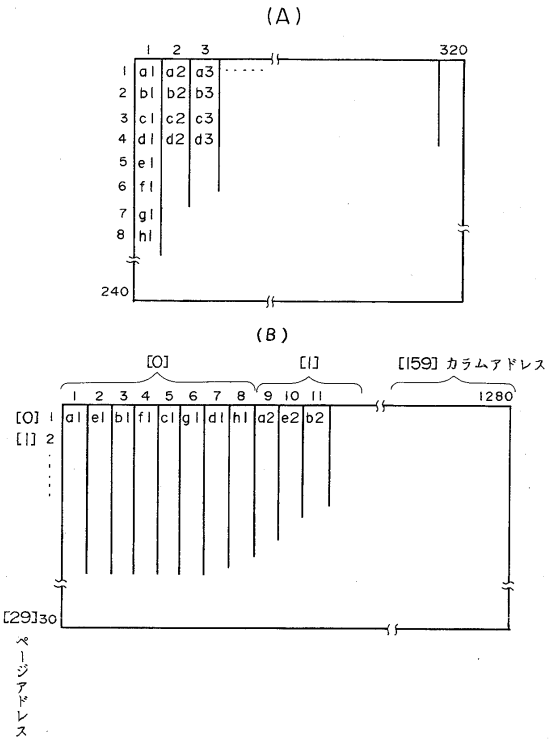
【図３】


42(44)
120
カラムアドレス制御回路
122
I/Oバッファ
D7
D6
D5
D4
D3
D2
D1
D0
入出力回路
111
130
LCD
制御回路
140
100
ページ(ロウ)アドレス制御回路
表示データRAM
XSCL
CS
LP
YD
DOFF
FR
CL
CA
M/S
F1S,F2S
CA, YD
DOFF, LP'
132
ラッチ回路
134
デコード回路
FR
OSC1
OSC2
OSC3
内部発振回路
150
135
レベルシフタ
136
液晶駆動回路
VSS
VDD
V3
V2
VC
-V2
-V3
VEE
X1 ..... Xn

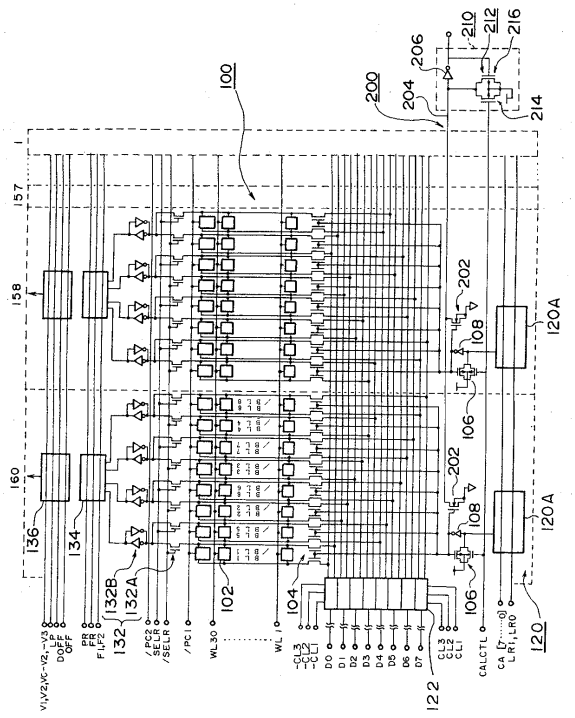
【図４】


(A)
LCD 電圧ドライバ
Power Latch
MLSX
(B)
SYSTEM RAM
DISPLAY
4GB
SYSTEM ROM

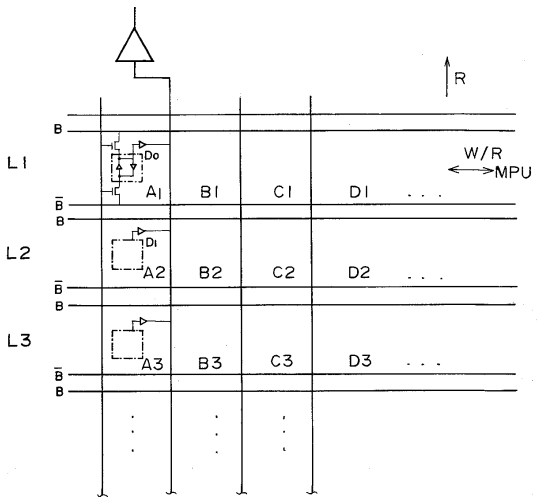
【図５】


(A)
1 2 3
320
1 a1 a2 a3
2 b1 b2 b3
3 c1 c2 c3
4 d1 d2 d3
5 e1
6 f1
7 g1
8 h1
240
(B)
[0]
[1]
[159] カラムアドレス
1 2 3 4 5 6 7 8 9 10 11
1280
[0] 1 a1 e1 b1 f1 c1 g1 d1 h1 a2 e2 b2
[1] 2
[29]30
ページアドレス

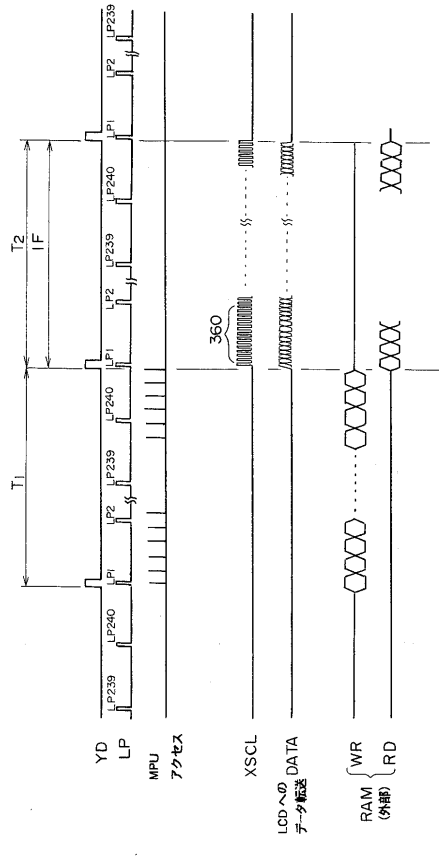
【図６】


100
200
204
206
210
212
216
214
157
158
160
202
108
106
120A
136
134
132B
132A
132
102
104
122
120
V1,V2,VC-V2,-V3
LP
DOFF
OFF
PR
FR
F1,F2
/PC2
SELR
/SELR
/PC1
WL30
WL1
CL3
CL2
CL1
D0
D1
D2
D3
D4
D5
D6
D7
CALCTL
CA[7...0]
LR1,LR0

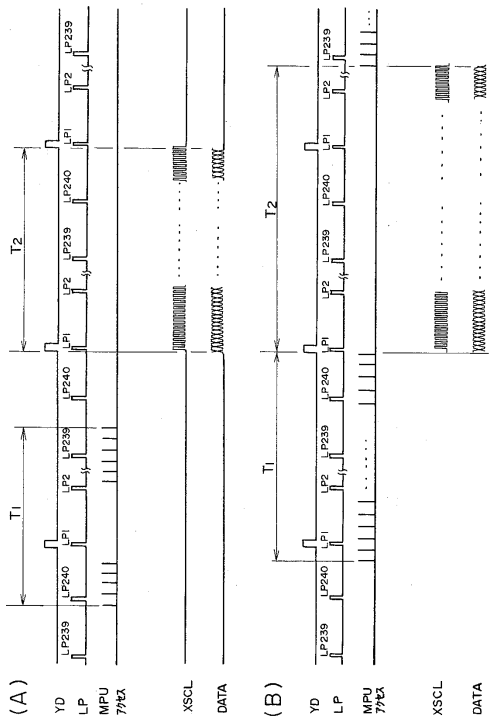
【図７】


R
W/R
MPU
L1
L2
L3
B
B̄
Do
Di
A1
B1
C1
D1
A2
B2
C2
D2
A3
B3
C3
D3

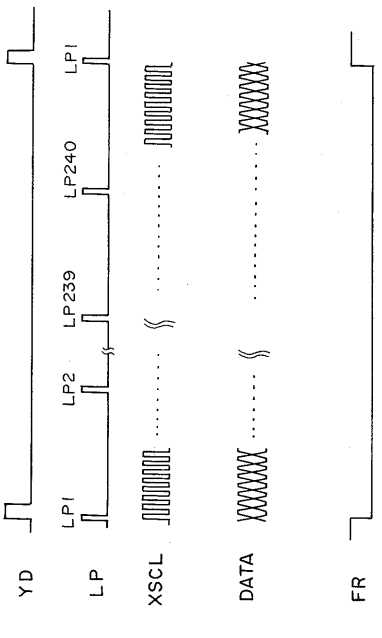
【図８】


T2
1F
T1
360
YD
LP
MPU アクセス
XSCL
LCD への データ転送
DATA
RAM (外部)
WR
RD

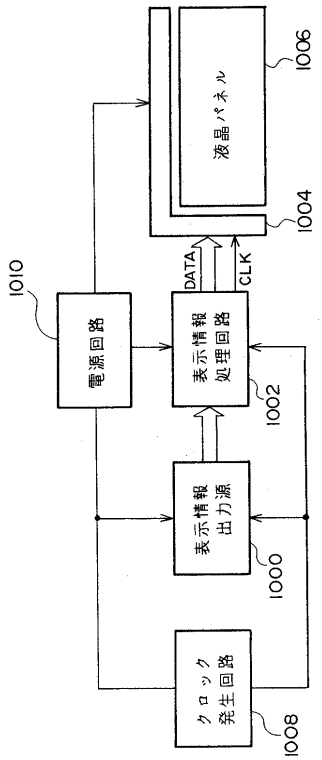
【図９】


(A)
(B)
T1
T2
YD
LP
MPU アクセス
XSCL
DATA

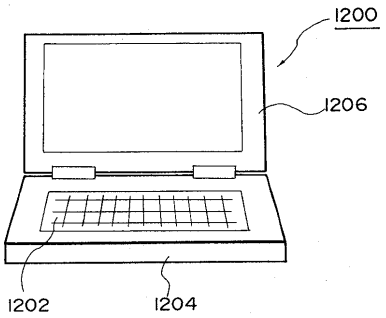
【図１０】


YD
LP
LP1
LP2
LP239
LP240
XSCL
DATA
FR

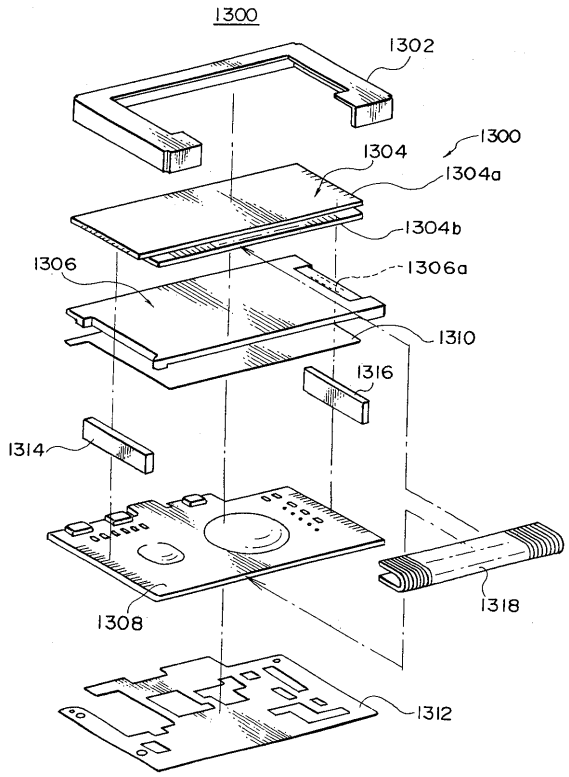
【図１１】



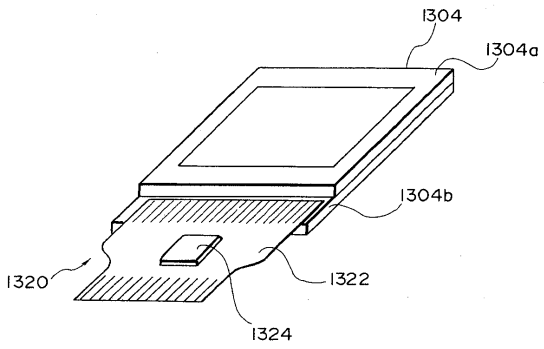
【図１２】



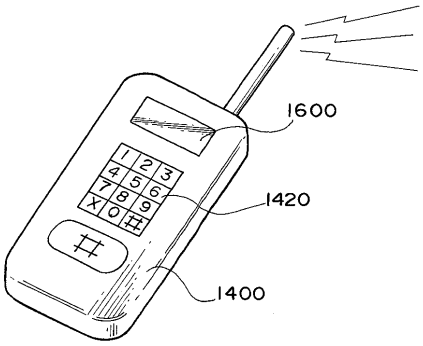
【図１３】



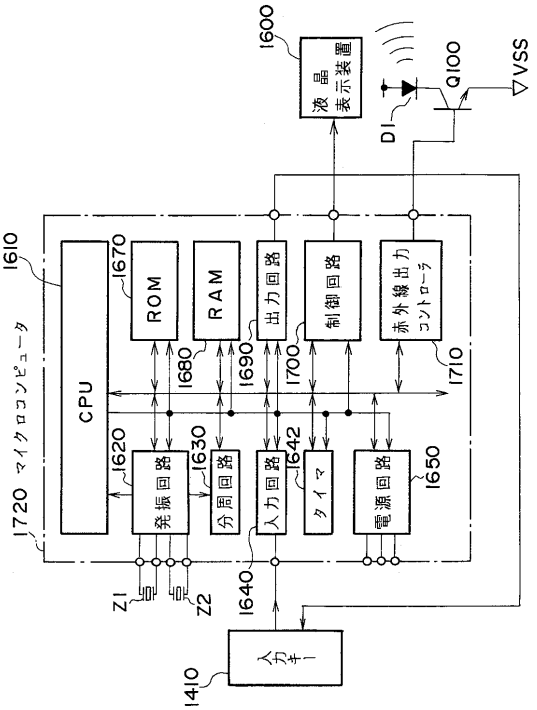
【図１４】



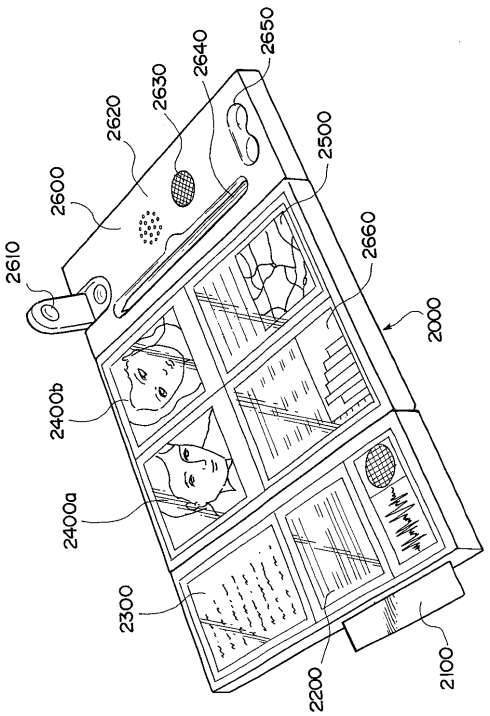
【図１５】



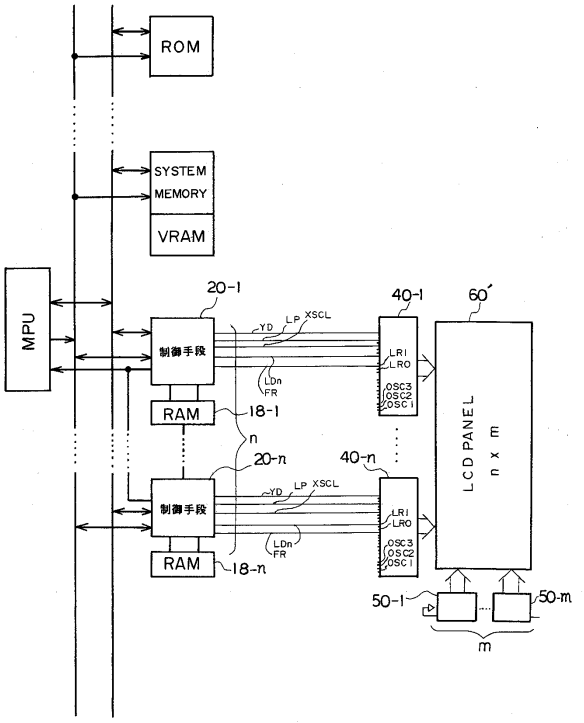
【図１６】



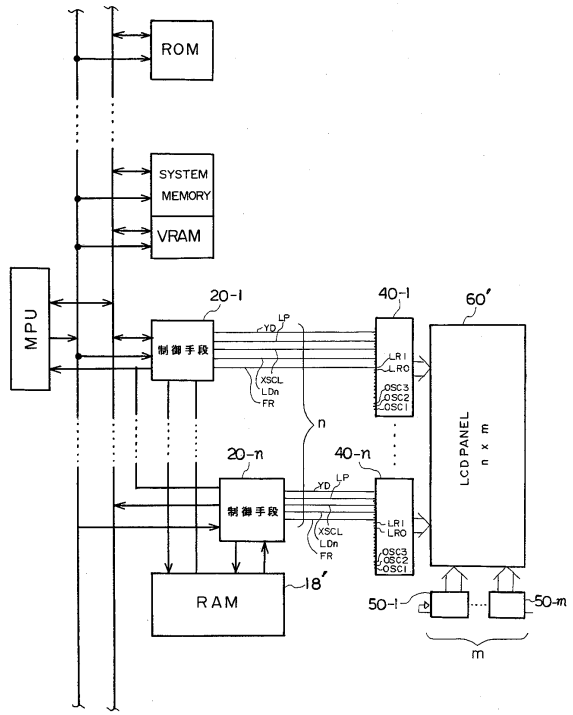
【図１７】



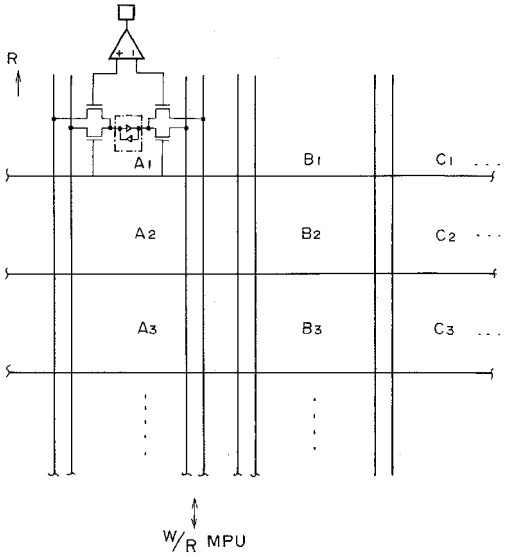
【図１８】



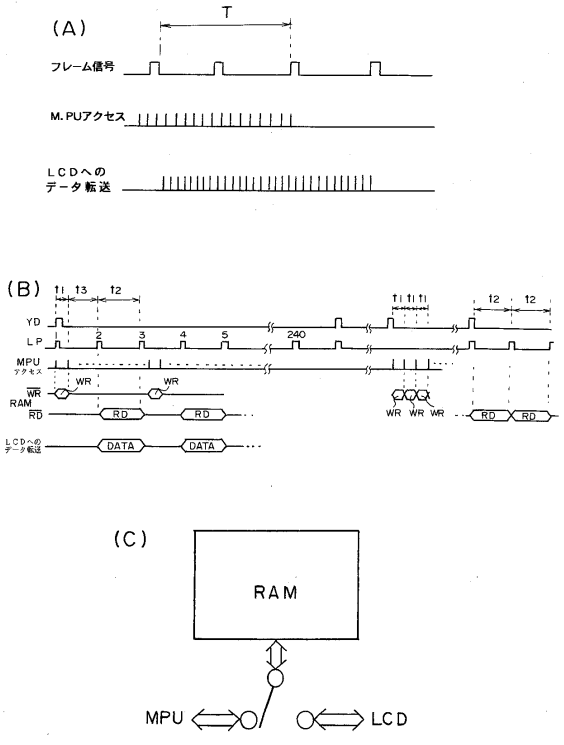
【図１９】


ROM
SYSTEM MEMORY
VRAM
MPU
20-1
制御手段
YD
LP
XSCL
LDn
FR
40-1
LR1
LR0
OSC3
OSC2
OSC1
n
60'
LCD PANEL
n x m
20-n
制御手段
40-n
RAM
18'
50-1
50-m
m

【図２０】


R
A1
B1
C1
A2
B2
C2
A3
B3
C3
W/R
MPU

【図２１】


(A)
T
フレーム信号
M.PUアクセス
LCDへのデータ転送
(B)
t1 t3 t2
t1 t1 t1
t2 t2
YD
LP
1 2 3 4 5 240
MPU アクセス
WR
RD
RAM
DATA
(C)
RAM
MPU
LCD

フロントページの続き

(72)発明者　河野　友和
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

合議体
審判長　瀧　廣往
審判官　山川　雅也
審判官　山口　敦司

(56)参考文献　実開昭６１－１０９４９０（ＪＰ，Ｕ）
特開平６－１３０９１０（ＪＰ，Ａ）
特開昭５８－５９４９４（ＪＰ，Ａ）
特開昭６３－２５０６９０（ＪＰ，Ａ）
特開平３－１３９８８（ＪＰ，Ａ）
特開昭６０－３７５９４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G3/36
G09G5/00-5/42