

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3813123号
(P3813123)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int.C1.

F 1

H01L 21/52	(2006.01)	H01L 21/52	E
B41J 2/44	(2006.01)	B41J 3/21	L
B41J 2/45	(2006.01)	H01L 33/00	N
B41J 2/455	(2006.01)		
H01L 33/00	(2006.01)		

請求項の数 21 (全 21 頁)

(21) 出願番号

特願2002-373882 (P2002-373882)

(22) 出願日

平成14年12月25日 (2002.12.25)

(65) 公開番号

特開2004-207444 (P2004-207444A)

(43) 公開日

平成16年7月22日 (2004.7.22)

審査請求日

平成16年12月16日 (2004.12.16)

(73) 特許権者 591044164

株式会社沖データ

東京都港区芝浦四丁目11番22号

(73) 特許権者 500002571

株式会社沖デジタルイメージング

東京都八王子市東浅川町550番地-1

(74) 代理人 100083840

弁理士 前田 実

(74) 代理人 100116964

弁理士 山形 洋一

(72) 発明者 萩原 光彦

東京都八王子市東浅川町550番地の1

株式会社沖デジタルイメージング内

最終頁に続く

(54) 【発明の名称】半導体装置及びLEDヘッド

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に備えられ、半導体を主材料とする接着層と、
半導体素子を含み、前記接着層上にポンディングされた半導体薄膜と
を有することを特徴とする半導体装置。

【請求項2】

前記基板が、集積回路を含む半導体基板であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記基板と前記接着層との間に、第1の層間絶縁膜を介在させたことを特徴とする請求項1又は2のいずれかに記載の半導体装置。

【請求項4】

前記第1の層間絶縁膜が、酸化けい素膜及び窒化けい素膜の内の少なくとも一方を含む
单層又は多層構造であることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記半導体薄膜が、前記集積回路が形成された領域に隣接する領域上に備えられたことを特徴とする請求項1から4までのいずれかに記載の半導体装置。

【請求項6】

前記半導体薄膜が、前記集積回路が形成された領域上に備えられたことを特徴とする請

求項 3 又は 4 のいずれかに記載の半導体装置。

【請求項 7】

前記基板が、絶縁体基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記絶縁体基板が、ガラス、樹脂、セラミック内のいずれかの材料で構成されたことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記絶縁体基板上に、集積回路が備えられたことを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置。

【請求項 10】

前記接着層と前記半導体薄膜との間に導電性材料で構成された導通層を介在させたことを特徴とする請求項 1 から 9 までのいずれかに記載の半導体装置。

【請求項 11】

前記接着層が、多結晶シリコン層又はアモルファスシリコンのいずれかであることを特徴とする請求項 1 から 10 までのいずれかに記載の半導体装置。

【請求項 12】

前記半導体薄膜上から前記集積回路上に至る領域に形成され、前記半導体素子と前記集積回路とを電気的に接続する薄膜の個別配線層を有することを特徴とする請求項 2 から 11 までのいずれかに記載の半導体装置。

【請求項 13】

前記個別配線層を前記半導体薄膜及び前記基板の一部から電気的に絶縁する第 2 の層間絶縁膜を有することを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

前記第 2 の層間絶縁膜が、酸化けい素膜及び窒化けい素膜の内少なくとも一方を含む単層又は多層構造であることを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記第 1 の層間絶縁膜上に、前記個別配線層に接続された電極パッドを備えたことを特徴とする請求項 12 から 14 までのいずれかに記載の半導体装置。

【請求項 16】

前記半導体薄膜が、化合物半導体薄膜であることを特徴とする請求項 1 から 15 までのいずれかに記載の半導体装置。

【請求項 17】

前記半導体素子が、発光素子、受光素子、ホール素子、及びピエゾ素子の内のいずれかの素子であることを特徴とする請求項 1 から 16 までのいずれかに記載の半導体装置。

【請求項 18】

前記半導体薄膜に、前記半導体素子が等ピッチで複数個配列されていることを特徴とする請求項 1 から 17 までのいずれかに記載の半導体装置。

【請求項 19】

前記半導体薄膜に、前記半導体素子が 1 個備えられていることを特徴とする請求項 1 から 17 までのいずれかに記載の半導体装置。

【請求項 20】

前記半導体素子は、L E D 素子であることを特徴とする請求項 1 から 16 までのいずれかに記載の半導体装置。

【請求項 21】

請求項 20 の半導体装置を搭載した L E D ユニットと、

該 L E D ユニットに対向する様配置され、前記 L E D 素子から放出される光を集束させる光学素子と、

該 L E D ユニット及び該光学素子を保持するホルダと
を有することを特徴とすることを特徴とする L E D ヘッド。

【発明の詳細な説明】

10

20

30

40

50

【0001】**【発明の属する技术分野】**

本発明は、例えば、電子写真式プリンタに使用されるLEDプリントヘッドのような半導体装置に関する。 10

【0002】**【従来の技术】**

図22は、従来のLEDプリントヘッド900の一部を概略的に示す斜視図であり、図22は、図23のLEDプリントヘッドに備えることができるLEDアレイチップの一例を概略的に示す平面図である。図示されたLEDプリントヘッド900は、基板901上に備えられたLEDアレイチップ902の電極パッド903と、基板901上に備えられた駆動ICチップ904の電極パッド905とをボンディングワイヤ906で接続した構造を持つ。 10

【0003】

また、下記の特許文献1には、薄膜構造の発光素子が開示されている。

【0004】**【特許文献1】**

特開平10-063807号公報(図3から図6まで、図8、段落0021)

【0005】**【発明が解決しようとする課題】**

しかしながら、図22及び図23に示されたLEDプリントヘッド900では、LEDアレイチップ902と駆動ICチップ904とをボンディングワイヤ906によって接続していたので、LEDアレイチップ902と駆動ICチップ904のそれぞれにワイヤボンド用の大きな(例えば、 $100\mu m \times 100\mu m$)電極パッド903及び905を設ける必要があった。このため、LEDアレイチップ902及び駆動ICチップ904の面積を小さくすることが困難であり、その結果、材料コストを削減することが困難であった。 20

【0006】

また、LEDアレイチップ902において発光部907として機能する領域は、表面から $5\mu m$ 程度の深さの領域である。しかし、図22及び図23に示されたLEDプリントヘッド900では、安定したワイヤボンドの歩留まりを確保するために、LEDアレイチップ902の厚さは駆動ICチップ904の厚さ(例えば、 $250\mu m \sim 300\mu m$)と同程度にする必要があった。このため、LEDプリントヘッド900においては、LEDアレイチップ902の材料コストを削減することが困難であった。 30

【0007】

さらにまた、特許文献1には、薄膜構造の発光素子が開示されているが、発光素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献1の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

【0008】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体装置、及びこれを搭載したLEDヘッドを提供することにある。 40

【0009】**【課題を解決するための手段】**

本発明に係る半導体装置は、基板と、前記基板上に備えられ、半導体を主材料とする接着層と、半導体素子を含み、前記接着層上にボンディングされた半導体薄膜とを有する。

【0010】**【発明の実施の形態】**

<第1の実施形態>

図1は、本発明の第1の実施形態に係るLED/駆動IC複合チップ100を概略的に示す平面図であり、図2は、図1のA₂部を拡大して示す平面図である。また、図3は、図 50

2 の A₃ 部を概略的に示す斜視図であり、図 4 は、図 2 を S₄ - S₄ 線で切る面を概略的に示す断面図である。

【0011】

図 1 から図 4 までに示されるように、第 1 の実施形態に係る LED / 駆動 IC 複合チップ 100 は、集積回路 102 を含むシリコン (Si) 基板 101 と、この Si 基板 101 上に形成された第 1 の層間絶縁膜 103 と、この第 1 の層間絶縁膜 103 上に形成され、半導体材料を主材料とする接着層 104 と、この接着層 104 上に形成された導通層 105 とを有する。また、LED / 駆動 IC 複合チップ 100 は、導通層 105 上に貼り付けられた（ボンディングされた）シート状の半導体薄膜である複数のエピタキシャルフィルム（以下「LED エピフィルム」と言う。）106 と、LED エピフィルム 106 上から集積回路 102 の個別端子領域 108 上に至る領域に形成され、LED エピフィルム 106 と集積回路 102 とを電気的に接続する薄膜の個別配線層 107 とを有する。また、個別配線層 107 と導通層 105 との間及び個別配線層 107 と接着層 104 との間等のように絶縁が必要な箇所には、個別配線層 107 を LED エピフィルム 106 及び Si 基板 101 の一部から電気的に絶縁する第 2 の層間絶縁膜 109（図 4 にのみ示す）が備えられている。
10

【0012】

LED エピフィルム 106 のそれぞれは、1 個の LED（発光部）として機能するように適宜半導体層を積層した構造を有し、例えば、ヘテロエピタキシャル層構造とすることができる。図 1 から図 3 までに示されるように、複数の LED エピフィルム 106 は、等ピッチで 1 列に配列されている。ただし、複数の LED エピフィルム 106 の配列は等ピッチに限定されない。また、複数の LED エピフィルム 106 の列数も 1 列に限定されず、例えば、複数の LED エピフィルム 106 の配列を、配列方向に直交する方向に規則的にずらしてもよい。また、LED エピフィルム 106 の数は図示の個数に限定されない。LED エピフィルム 106 の幅は、電極パッドを有する従来の LED プリントヘッドの基板の幅（通常、400 μm 程度）よりも非常に小さい幅とすることができます。
20

【0013】

LED エピフィルム 106 の厚さは、LED の安定した特性（例えば、発光特性や電気特性）を確保するために十分な厚さである 2 μm 程度とすることができます。この LED エピフィルム 106 の厚さは、電極パッドを有する従来の LED プリントヘッドの厚さ（通常、300 μm 程度）よりも非常に薄い厚さである。また、LED エピフィルム 106 の厚さが厚くなると、個別配線層 107 に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、LED エピフィルム 106 の厚さを、約 10 μm 以下にすることが望ましい。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化する等の方策を講ずることによって、LED エピフィルム 106 の厚さを 10 μm を超える厚さにすることもできる。
30

【0014】

Si 基板 101 は、集積回路 102 が作り込まれたモノリシック Si 基板である。Si 基板 101 の集積回路 102 には、複数の LED を駆動させるための複数の駆動 IC（駆動 IC 群）が含まれる。複数の駆動 IC は、例えば、複数の LED エピフィルム 106 のそれぞれに対向するように、配置されている。ただし、集積回路 102 には、複数の駆動 IC の他に、LED の点灯制御に共通に使用される回路も含まれる。Si 基板 101 の厚さは、例えば、約 300 μm である。駆動 IC 群は、外部から送られて来た発光制御データに基づいて LED の点灯・非点灯を制御する。
40

【0015】

第 1 の層間絶縁膜 103 は、例えば、酸化けい素 (SiO₂) 膜及び窒化けい素 (Si₃N₄) 膜の内の少なくとも一方を含む単層又は多層構造とすることができます。第 1 の層間絶縁膜 103 は、LED エピフィルム 106 を正常に動作させるために、Si 基板 101 表面と LED エピフィルム 106 とを電気的に絶縁する機能を担う。第 1 の層間絶縁膜 103 は、Si 基板 101 表面の集積回路 102 が形成されている領域に隣接した、集積回
50

路 102 が形成されていない領域上に形成されている。

【0016】

接着層 104 は、多結晶シリコン層又はアモルファスシリコン層等の半導体層である。接着層 104 は、例えば、化学的気相成長法（CVD 法）により形成される。接着層 104 は第 1 の層間絶縁膜 103 との間に高い親和性を持つので、接着層 104 と第 1 の層間絶縁膜 103 との間に高い密着強度を持たせることができる。

【0017】

導通層 105 は、例えば、金やパラジウム等を材料とするメタル層とすることができます。接着層 104 は導通層 105 との間に高い親和性を持つので、接着層 104 と導通層 105 との間に高い密着強度を持たせることができる。導通層 105 の表面には LED エピフィルム 106 が貼り付けられている。導通層 105 は、その上に貼り付けられた LED エピフィルム 106 の下面の共通端子領域（図示せず）と Si 基板 101 の共通端子領域（例えば、グランド電位）とを電気的に接続する機能とを持つ。導通層 105 と LED エピフィルム 106 内の共通端子領域との間に 10 は、オーミックコンタクトが形成されることが望ましい。導通層 105 と、Si 基板 101 の共通端子領域（例えば、グランド電位）との電気的接続は、配線（図示せず）又は第 1 の層間絶縁膜 103 に設けられた開口部（図示せず）等を通して行うことができる。ここで、LED エピフィルム 106 内の共通端子領域とは、導通層 105 と接するエピタキシャル層全面を示しており、本実施形態で具体的に述べれば、図 4 に示される n 型 GaAs 層 111 の共通電位側（n 電極側）となる表面全面を意味する。また、Si 基板 101 の共通端子領域とは、導通層 105 と接する Si 基板の表面領域を示しており、本実施形態で具体的に述べれば、LED を駆動するための共通電位側（n 電極側）となる領域を意味する。なお、導通層 105 の厚さは、例えば、約 100 nm (= 0.1 μm) である。

【0018】

LED エピフィルム 106 は、図 4 に示されるように、n 型 GaAs 層 111 と、n 型 Al_xGa_{1-x}As 層 112 (0 < x < 1) と、p 型 Al_yGa_{1-y}As 層 113 (0 < y < 1) と、p 型 Al_zGa_{1-z}As 層 114 (0 < z < 1) と、p 型 GaAs 層 115 を順に積層させた構造を持つ。p 型 GaAs 層 115 上には第 2 の層間絶縁膜 109 が形成されている。また、第 2 の層間絶縁膜 109 の開口部 109a 内において、p 型 GaAs 層 115 上には個別配線層 107 が形成されている。なお、GaAs 層 111 及び Al_xGa_{1-x}As 層 112 を p 型とし、Al_yGa_{1-y}As 層 113、Al_zGa_{1-z}As 層 114、及び GaAs 層 115 を n 型としてもよい。また、GaAs 層 111 の厚さは、約 10 nm (= 約 0.01 μm) であり、Al_xGa_{1-x}As 層 112 の厚さは、約 0.5 μm であり、Al_yGa_{1-y}As 層 113 の厚さは、約 1 μm であり、Al_zGa_{1-z}As 層 114 の厚さは、約 0.5 μm であり、GaAs 層 115 の厚さは、約 10 nm (= 約 0.01 μm) である。この場合には、LED エピフィルム 106 の厚さは、約 2.02 μm となる。ただし、各層の厚さは、上記値に限定されない。また、上記各層の Al 組成は、x > y 且つ z > y (例えば、x = z = 0.4, y = 0.1) とすることができます。また、LED エピフィルム 106 の材料として、(Al_xGa_{1-x})_yIn_{1-y}P (ここで、0 < x < 1 且つ 0 < y < 1 である。)、GaN、AlGaN、InGaN 等の他の材料を用いてもよい。

【0019】

個別配線層 107 は、LED エピフィルム 106 の発光部上面と、Si 基板 101 の集積回路 102 の個別端子領域 108 とのそれを電気的に接続する。個別配線層 107 は、例えば、薄膜のメタル配線である。個別配線層 107 は、1 金を含む单層又は積層のメタル層、例えば、金で構成された層（Au 層）、チタンと白金と金の積層層（Ti / Pt / Au 積層層）、金と亜鉛の積層層（Au / Zn 積層層）、金・ゲルマニウム・ニッケルを含む層と金層との積層層（AuGeNi / Au 積層層）、2 パラジウムを含む单層又は積層のメタル層、例えば、パラジウムで構成された層（Pd 层）、パラジウムと金の積層層（Pd / Au 積層層）、3 アルミニウムを含む单層又は積層のメタル層、

10

20

20

30

30

40

40

50

例えば、アルミニウムで構成された層（A 1 層）、アルミニウムとニッケルの積層層（A 1 / N i 積層層）、4 ポリシリコンで構成された層、5 I T O や Z n O 等の導電性酸化物薄膜等とすることができます。また、個別配線層 1 0 7においては、素子とのコンタクト部分の材料と、配線領域の材料とを別の材料で構成してもよい。その場合には、上記メタル材料や導電性酸化物材料を適宜組み合わせて使用することができる。個別配線層 1 0 7 は、フォトリソグラフィ技術を用いて一括形成することが望ましい。個別配線層 1 0 7 は、薄膜配線であるので、配線が長くなれば配線における電圧降下の影響が大きくなる。個別配線層 1 0 7 の幅が 5 μm であり、厚さが 0 . 5 μm であり、数 mA の駆動電流を流す場合には、個別配線層 1 0 7 の長さは、約 2 0 0 μm 以下にすることが望ましい。

【0020】

また、個別配線層 1 0 7 と L E D エピフィルム 1 0 6 の表面及び側面との間、個別配線層 1 0 7 と導通層 1 0 5との間、個別配線層 1 0 7 と接着層 1 0 4 との間、個別配線層 1 0 7 と S i 基板 1 0 1 の表面との間等のように電気的にショートしてはならない領域には、第 2 の層間絶縁膜 1 0 9（図 4 に示す）が設けられ、正常な動作を確保できる構造になっている。第 2 の層間絶縁膜 1 0 9 は、例えば、酸化けい素（S i O₂）膜及び窒化けい素（S i₃ N₄）膜の内の少なくとも一方を含む単層又は多層構造とすることができます。第 2 の層間絶縁膜 1 0 9 の形成に際しては、先ず、L E D エピフィルム 1 0 6 を含む基板 1 0 1 全域に C V D 法等を用いて絶縁膜を形成し、フォトリソグラフィ技術を用いて L E D エピフィルム 1 0 6 上及び集積回路 1 0 2 の個別端子領域 1 0 8 上にスルーホールを形成する。次に、金属層を全面に形成し、フォトリソグラフィ技術により金属層をパターニングすることにより、複数の L E D エピフィルム 1 0 6 と集積回路 1 0 2 の個別端子領域 1 0 8 とを接続する複数の個別配線層 1 0 9 を一度に形成することができる。

【0021】

次に、L E D エピフィルム 1 0 6 の製造プロセスを説明する。図 5 及び図 6 は、L E D エピフィルム 1 0 6 の製造プロセスを概略的に示す断面図である。

【0022】

L E D エピタキシャル層 1 0 6 a（剥離される前は「L E D エピタキシャル層 1 0 6 a」と記載し、剥離された後は「L E D エピフィルム 1 0 6」と記載する。）の製造は、有機金属化学蒸着法（M O C V D 法）や分子線エピタキシー法（M B E 法）等によって行うことができる。L E D エピタキシャル層 1 0 6 a の製造に際しては、図 5 に示されるよう、G a A s 基板 1 2 1 上に、G a A s バッファ層 1 2 2、（A 1 G a）I n P エッチングトップ層 1 2 3、及び A 1 A s 剥離層 1 2 4 を順に成膜する。次に、A 1 A s 剥離層 1 2 4 上に、G a A s コンタクト層 1 1 1（n型 G a A s 層 1 1 1）、A 1 G a A s 下クラッド層 1 1 2（n型 A 1_x G a_{1 - x} A s 層 1 1 2）、A 1 G a A s 活性層 1 1 3（p型 A 1_y G a_{1 - y} A s 層 1 1 3）、及び A 1 G a A s 上クラッド層 1 1 4（p型 A 1_z G a_{1 - z} A s 層 1 1 4）、G a A s コンタクト層 1 1 5（p型 G a A s 層 1 1 5）を順に成膜する。L E D エピタキシャル層 1 0 6 a の剥離は、化学的リフトオフ法を用いて行うことができる。ここで、エッチングトップ層 1 2 3 を省くこともできる。

【0023】

次に、図 6 に示されるように、1 0 % H F（弗化水素）液により、A 1 A s 剥離層 1 2 4 を選択的に除去する。H F 液の A 1 A s 剥離層 1 2 4 に対するエッチング速度は、A 1 G a A s 層 1 1 2 ~ 1 1 4、G a A s 層 1 1 1，1 1 5，1 2 1，1 2 2、及びエッチングトップ層 1 2 3 に対するエッチング速度に比べ格段に大きいので、A 1 A s 剥離層 1 2 4 を選択的にエッチングすることができる。これにより、L E D エピフィルム 1 0 6 を、L E D エピフィルム 製造用基板 1 2 0 から剥がすことが可能になる。このためには、図 6 に示されるように、各エピタキシャル層 1 1 1 ~ 1 1 5 をエッチングし、溝 1 2 5 を形成しておく。溝 1 2 5 の形成は、溝形成領域レジスト等によりマスクをしておき、磷酸過水によりエッチングするフォトリソグラフィ工程により行う。磷酸過水は、A 1 G a A s 層 1 1 2 ~ 1 1 4、G a A s 層 1 1 1，1 1 5，1 2 1，1 2 2 は、エッチングするが、（A 1 G a）I n P エッチングトップ層 1 2 3 に対するエッチング速度が遅いので、上面

10

20

30

40

50

から溝 125 をエッティング形成する際に溝が基板 121 まで到達するのを防止することができる。溝 125 を形成した後、H F 液によりエッティングすることにより、A1As 剥離層 124 をエッティングし、LED エピフィルム 106 を剥離する。なお、図 6 には、A1As 剥離層 124 が残されている状態（エッティング途中）が示されているが、LED エピフィルム 106 を保持した状態で、A1As 剥離層 124 は完全に除去される。A1As 剥離層 124 をエッティング除去した後、エッティング液が残留しないように純水による水洗処理を施す。LED エピフィルム 106 の剥離に際して、LED エピフィルムを支持及び保護する支持体を LED エピフィルム 106 上に設けることができる。例えば、LED エピフィルム 106 の上に支持体を設けた場合、LED エピフィルム支持体表面を、例えば、真空吸着や光硬化性粘着シート（光照射により粘着性を失う粘着シート）等により吸着し所定の位置に移動することができる。
10

【0024】

図 7 は、第 1 の実施形態に係る LED / 駆動 IC 複合チップを実装基板上に実装した LED ユニット 130 を概略的に示す斜視図である。

【0025】

図 7 に示されるように、LED ユニット 130 は、COB (Chip On Board) 実装基板 131 と、この実装基板 131 上に備えられた複数の LED / 駆動 IC 複合チップ 100 とを有する。複数の LED / 駆動 IC 複合チップ 100 は、実装基板 131 上に絶縁ペースト又は導電性ペースト等の接着剤によって等間隔に実装される。複数の LED / 駆動 IC 複合チップ 100 は、例えば、LED エピフィルム 106（即ち、LED）の配列が LED ユニット 130 の長手方向の全長にわたって、等ピッチで 1 列に配列されるように、実装基板 131 上に配置される。
20

【0026】

実装基板 131 には、LED / 駆動 IC 複合チップ 100 の LED を点灯制御するために必要な電力や制御信号（点灯データ）を LED / 駆動 IC 複合チップ 100 の集積回路 102（駆動 IC 群）に提供するための配線パターン（図示せず）及び電極パッド（図示せず）が備えられている。また、LED / 駆動 IC 複合チップ 100 の Si 基板 101 には、実装基板 131 から電力や制御信号を受け取るための電極パッド（図示せず）が備えられている。LED ユニット 130 には、実装基板 131 の電極パッドと LED / 駆動 IC 複合チップ 100 の Si 基板 101 上の電極パッドとを電気的に接続するボンディングワイヤを備えることができる。
30

【0027】

以上説明したように、第 1 の実施形態に係る LED / 駆動 IC 複合チップ 100 によれば、LED エピフィルム 106 上にワイヤボンディング用の電極パッドを備える必要がないので、装置の小型化及び材料コストの低減を図ることができる。

【0028】

また、第 1 の実施形態に係る LED / 駆動 IC 複合チップ 100 によれば、Si 基板 101 上に貼り付けられた LED エピフィルム 106 と Si 基板 101 に形成された集積回路 102 とをフォトリソグラフィ技術により形成された薄膜の個別配線層 107 により電気的に接続しているので、LED エピフィルム 106 の厚さをワイヤボンドに対する強度を考慮して厚くする必要がない。このように、LED エピフィルム 106 の厚さを薄くできるので、材料コストの低減を図ることができる。
40

【0029】

また、第 1 の実施形態に係る LED / 駆動 IC 複合チップ 100 によれば、第 1 の層間絶縁膜 103 と導通層 105との間に、第 1 の層間絶縁膜 103 を構成する絶縁体材料及び導通層 106 を構成する材料（例えば、金属材料）のいずれとも親和性がある多結晶シリコン等から構成される接着層 104 を介在させている。このため、第 1 の層間絶縁膜 103 と導通層 105 との間の強力な密着性、その結果、第 1 の層間絶縁膜 103 と LED エピフィルム 106 との強力な密着性を得ることができ、装置の信頼性を確保することができる。
50

【0030】

<第2の実施形態>

図8は、本発明の第2の実施形態に係る半導体装置であるLED/駆動IC複合チップ200の一部を概略的に示す平面図である。また、図9は、図8をS₉-S₉線で切る面を概略的に示す断面図である。

【0031】

図8において、図2(第1の実施形態)の構成と同一又は対応する構成には、同じ符号を付す。図8に示されたLED/駆動IC複合チップ200は、導通層105上に複数個のLED(発光部)206aを含む長尺なLEDエピフィルム206を貼り付けた点が、導通層105上に1個のLEDを含む複数のLEDエピフィルム106を配列した第1の実施形態のLED/駆動IC複合チップ100と相違する。
10

【0032】

次に、第2の実施形態のLED/駆動IC複合チップ200の断面構造を説明する。図9に示されるように、LED/駆動IC複合チップ200は、Si基板101と、第1の層間絶縁膜103と、多結晶シリコン層又はアモルファスシリコン層等で構成される接着層104と、導通層105と、LEDエピフィルム206と、第2の層間絶縁膜209と、個別配線層207とを順に積層させた構造を持つ。図9に示されるように、LEDエピフィルム206は、n型GaAs層211と、n型Al_xGa_{1-x}As層212(0<x<1)と、n型Al_yGa_{1-y}As層213(0<y<1)と、n型Al_zGa_{1-z}As層214(0<z<1)と、GaAs層215とを順に積層させた構造を持つ。また、GaAs層215の下方のn型Al_yGa_{1-y}As層213及びn型Al_zGa_{1-z}As層214にはZn拡散領域216が形成されている。GaAs層215とZn拡散領域216はp型領域となっている。
20

【0033】

n型GaAs層211の厚さは、約10nm(=約0.01μm)であり、n型Al_xGa_{1-x}As層212の厚さは、約0.5μmであり、n型Al_yGa_{1-y}As層213の厚さは、約1μmであり、n型Al_zGa_{1-z}As層214の厚さは、約0.5μmであり、n型GaAs層215の厚さは、約10nm(=約0.01μm)である。この場合には、LEDエピフィルム206の厚さは、約2.02μmとなる。ただし、各層の厚さは、上記値に限定されない。また、LEDエピフィルム104の材料として、(Al_xGa_{1-x})_yIn_{1-y}P(ここで、0<x<1且つ0<y<1である。)、GaN、AlGaN、InGaN等の他の材料を用いてもよい。
30

【0034】

また、上記各層のAl組成は、x>y且つz>y(例えば、x=z=0.4、y=0.1)とすることができます。Zn拡散領域216の拡散フロントは、n型Al_yGa_{1-y}As層213の内部に位置するように構成することができる。このように構成することにより、pn接合を介して注入された少数キャリアは、n型Al_yGa_{1-y}As層213内及び、Zn拡散によってAl_yGa_{1-y}As層213内に形成されたp型Al_yGa_{1-y}As内に閉じ込められ、高い発光効率が得られる。即ち、図9に示されるような構造を採用することによって、LEDエピフィルム206の厚さを約2μmと薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてダブルヘテロ型に複数のエピタキシャル層を積層し、そこにZn拡散層による逆導電型不純物拡散領域を形成してホモ接合型としたLEDの製造方法を説明したが、シングルヘテロ積層型或いは単層のエピタキシャル層からなるエピタキシャル層に拡散領域を形成したホモ接合型LEDとすることもできる。
40

【0035】

図10は、第2の実施形態に係るLED/駆動IC複合チップを実装基板上に実装したLEDユニット230を概略的に示す斜視図である。

【0036】

図10に示されるように、LEDユニット230は、実装基板231と、この実装基板2

31上に備えられた複数のLED/駆動IC複合チップ200とを有する。複数のLED/駆動IC複合チップ200は、実装基板231上に絶縁ペースト又は導電性ペースト等の接着剤によって等間隔に実装される。複数のLED/駆動IC複合チップ200は、例えば、LEDエピフィルム206のLEDの配列がLEDユニット230の長手方向の全長にわたって、等ピッチで1列に配列されるように、実装基板231上に配置される。

【0037】

以上説明したように、第2の実施形態に係るLED/駆動IC複合チップ200によっても、第1の実施形態と同様に、装置の小型化及び材料コストの低減を図ることができる。また、第1の層間絶縁膜103とLEDエピフィルム206との強力な密着性を得ることができ、装置の信頼性を確保することができる。

10

【0038】

なお、第2の実施形態において、上記以外の点は、上記第1の実施形態の場合と同じである。

【0039】

<第3の実施形態>

図11は、本発明の第3の実施形態に係る半導体装置であるLED/駆動IC複合チップ300の一部を概略的に示す平面図である。

【0040】

第3の実施形態に係るLED/駆動IC複合チップ300は、層間絶縁膜304が基板301のほぼ全面に設けられた点、層間絶縁膜304上に各LEDに対応する電極パッド308を設けた点、各LED306aと各電極パッド308とを電気的に接続する薄膜の個別配線層307を備えた点が、上記第1又は第2の実施形態に係るLED/駆動IC複合チップと相違する。また、図11に示されるように、第3の実施形態に係るLED/駆動IC複合チップ300は、層間絶縁膜303上に形成された接着層304と、この接着層305上に形成された導通層305と、複数のLED306aを含み、導通層305上に貼り付けられた(ボンディングされた)シート状の半導体薄膜である複数のLEDエピフィルム306とを有する。電極パッド308は、駆動IC等との電気的な接続、例えば、フリップチップボンディングやワイヤボンディング等を行うためのパッドである。さらに、個別配線層307と導通層305との間及び個別配線層307と接着層304との間等のように絶縁が必要な箇所には他の層間絶縁膜(図示せず)が備えられている。

20

【0041】

なお、第3の実施形態において、上記以外の点は、第1又は第2の実施形態の場合と同じである。

【0042】

<第4の実施形態>

図12は、本発明の第4の実施形態に係る半導体装置であるLED/駆動IC複合チップ400の一部を概略的に示す断面図である。

【0043】

第4の実施形態に係るLED/駆動IC複合チップ400は、LEDエピフィルム406がSi基板401の集積回路402上に備えられている点が、LEDエピフィルム106がSi基板101の集積回路102形成領域に隣接する領域上に備えられている第1の実施形態と相違する。図12に示されるように、第4の実施形態に係るLED/駆動IC複合チップ400は、集積回路402を含むSi基板401と、このSi基板401上のはほぼ全域に形成された第1の層間絶縁膜403とを有する。ここで、第1の層間絶縁膜403の表面は平坦化処理(例えば、CMP法による)されている。また、LED/駆動IC複合チップ400は、第1の層間絶縁膜403上に形成された接着層404と、この接着層404上に形成された導通層405と、この導通層405上に貼り付けられた(ボンディングされた)シート状の半導体薄膜であるLEDエピフィルム406とを有する。LEDエピフィルム406は、複数のLEDを有する長尺シート状のもの(第2の実施形態と同様の形態のもの)、及び1個のLEDを有するもの(第1の実施形態と同様の形態のも

40

50

の)のいずれでもよい。さらに、LED / 駆動IC複合チップ400は、上記第1及び第2の実施形態と同様に、第2の層間絶縁膜(図12には示さず)及び個別配線層(図12には示さず)を有する。

【0044】

なお、第4の実施形態において、上記以外の点は、第1から3までの実施形態の場合と同じである。

【0045】

<第5の実施形態>

図13は、本発明の第5の実施形態に係る半導体装置であるLED / 駆動IC複合チップ500の一部を概略的に示す斜視図である。図13において、図3の構成と同一又は対応する構成には、同じ符号を付す。10

【0046】

第5の実施形態に係るLED / 駆動IC複合チップ500は、接着層104とLEDエピフィルム106との間に、導通層105(図3に示される)を備えていない点が、導通層105を備えている第1の実施形態のLED / 駆動IC複合チップ100と相違する。第5の実施形態に係るLED / 駆動IC複合チップ500によれば、第1の層間絶縁膜103とLEDエピフィルム106との間に、第1の層間絶縁膜103を構成する絶縁体材料及びLEDエピフィルム106を構成する材料(例えば、化合物半導体)のいずれとも親和性がある多結晶シリコン等から構成される接着層104を介在させたので、第1の層間絶縁膜103とLEDエピフィルム106との強力な密着性を得ることができ、装置の信頼性を確保することができる。20

【0047】

なお、第5の実施形態において、上記以外の点は、第1から4までの実施形態の場合と同じである。

【0048】

<第6の実施形態>

図14は、本発明の第6の実施形態に係る半導体装置であるLED / 駆動IC複合チップ600の一部を概略的に示す斜視図である。図15は、第6の実施形態に係るLED / 駆動IC複合チップ600の一部を概略的に示す平面図であり、図16は、図15のA₁₋₆部を拡大して示す斜視図である。30

【0049】

図14から図16までに示されるように、第6の実施形態に係るLED / 駆動IC複合チップ600は、絶縁体基板601と、この絶縁体基板601上に形成され、半導体材料を主材料とする複数の接着層604と、複数のLED606aを含み、接着層604上に貼り付けられた(ボンディングされた)シート状の半導体薄膜であるLEDエピフィルム606とを有する。また、LED / 駆動IC複合チップ600は、絶縁体基板601上に形成された駆動集積回路602と、LED606a上から絶縁体基板601上を経由して駆動IC群を含む集積回路602上の個別端子領域608上に至る薄膜の個別配線層607(図16に示す)とを有する。個別配線層607の下には、必要に応じて第2の層間絶縁膜(図示せず)が備えられている。40

【0050】

絶縁体基板601は、例えば、ガラス基板である。ただし、絶縁体基板601の材料として、樹脂やセラミック等の他の絶縁体を用いてもよい。接着層604は、第1の実施形態における接着層104と同じである。LEDエピフィルム606のそれぞれは、第2の実施形態で説明したLEDエピフィルムと同様の構造を持つ。また、LEDエピフィルム606を第1の実施形態で説明されたものと同様に、1個のLEDを含むLEDエピフィルムとしてもよい。個別配線層607の材質及び形成方法は、第1の実施形態で説明したものと同じである。

【0051】

図17は、第6の実施形態に係るLED / 駆動IC複合チップ600の製造プロセスを示す。50

す平面図である。図17に示されるように、LED／駆動IC複合チップ600の製造に際しては、分割前のガラス基板601a上に接着層604になる多結晶シリコン層及び集積回路602になる多結晶シリコン層を一括形成する。多結晶シリコン層の形成に際しては、例えば、ガラス基板601a上の所定領域に、フォトリソグラフィ技術等を用いて、数百nm厚のSiO₂層を形成し、その上に、比較的低い加熱温度の下、CVD法等を用いて、アモルファス状態のシリコン薄膜を形成する。次に、エキシマ・パルスレーザを照射するなどして、アモルファスシリコンの再結晶化を図り、多結晶シリコン層を得る。多結晶シリコンを主材料とする薄膜トランジスタを使った集積回路602、即ち、ポリシリコン TFT 駆動回路の製造に際しては、多結晶シリコン層にトランジスタなどの回路要素を含む集積回路パターンを形成する。その後、ガラス基板601aを、分割予定ライン610で切断し、分割されたガラス基板601を得る。その後、接着層604上へのLEDエピフィルムのボンディング、第2の層間絶縁膜の形成、個別配線層の形成等を行う。ここで、ガラス基板601aを分割された基板601に分割する前に、LEDエピフィルムをボンディングすることもできる。

【0052】

以上説明したように、第6の実施形態に係るLED／駆動IC複合チップ600によれば、接着層604と集積回路602とを一括の工程で製造できるので、接着層604と集積回路602と位置関係を正確に位置決めすることができる。

【0053】

また、ガラス基板601a上に、接着層604と集積回路602とを一括形成できるので、製造コストの大幅な削減が可能になる。

【0054】

なお、第6の実施形態において、上記以外の点は、上記第1から第5までの実施形態の場合と同じである。

【0055】

<第7の実施形態>

図18は、本発明の第7の実施形態に係る半導体装置であるLED／駆動IC複合チップ700の一部を概略的に示す平面図である。また、図19は、第7の実施形態に係るLED／駆動IC複合チップ700の製造プロセスを示す平面図である。

【0056】

図18に示されるように、第7の実施形態に係るLED／駆動IC複合チップ700は、絶縁体基板701と、この絶縁体基板701上に形成された、半導体材料を主材料とする接着層704と、接着層704上に形成された導通層705と、複数のLED706aを含み、導通層705上に貼り付けられた（ボンディングされた）シート状の半導体薄膜であるLEDエピフィルム706とを有する。また、LED／駆動IC複合チップ700は、絶縁体基板701上に形成された駆動集積回路702と、LED706a上から絶縁体基板701上を経由して駆動IC群を含む集積回路702上の個別端子領域に至る薄膜の個別配線層（図示せず）とを有する。個別配線層の下には、必要に応じて層間絶縁膜（図示せず）が備えられている。

【0057】

絶縁体基板701、接着層704、導通層705、LEDエピフィルム706、集積回路702、個別配線層、層間絶縁膜の材質及び製造方法は、上記第1から第6までの実施形態の場合と同じである。

【0058】

以上説明したように、第7の実施形態に係るLED／駆動IC複合チップ700によれば、接着層と集積回路とを一括の工程で製造できるので、接着層と集積回路と位置関係を正確に位置決めすることができる。

【0059】

また、絶縁体基板上に、複数の導通層を一括の構成で形成でき、接着層と集積回路とを一括形成できるので、製造コストの大幅な削減が可能になる。

10

20

30

40

50

【0060】

<第8の実施形態>

図20は、本発明の第8の実施形態に係る半導体装置であるLED／駆動IC複合チップ800の一部を概略的に示す平面図である。

【0061】

図20に示されるように、第8の実施形態に係るLED／駆動IC複合チップ800は、絶縁体基板801と、この絶縁体基板801上に形成された、半導体材料を主材料とする複数の接着層804と、複数の接着層804のそれぞれの上に形成された導通層805と、複数のLED806aを含み、導通層805上に貼り付けられた（ボンディングされた）シート状の半導体薄膜であるLEDエピフィルム806とを有する。また、LED／駆動IC複合チップ800は、絶縁体基板801上に形成された駆動集積回路802と、LED806a上から絶縁体基板801上を経由して駆動IC群を含む集積回路802上の個別端子領域に至る薄膜の個別配線層（図示せず）とを有する。個別配線層の下には、必要に応じて層間絶縁膜（図示せず）が備えられている。
10

【0062】

絶縁体基板801、接着層804、導通層805、LEDエピフィルム806、集積回路802、個別配線層、層間絶縁膜の材質及び製造方法は、上記第1から第7までの実施形態の場合と同じである。

【0063】

以上説明したように、第8の実施形態に係るLED／駆動IC複合チップ800によれば
20
、接着層と集積回路とを一括の工程で製造できるので、接着層と集積回路と位置関係を正確に位置決めすることができる。

【0064】

また、ガラス基板上に、複数の導通層を一括の構成で形成でき、接着層と集積回路とを一括形成できるので、製造コストの大幅な削減が可能になる。

【0065】

<本発明が適用されたLEDプリントヘッド>

図21は、本発明に係る半導体装置を組み込んだLEDプリントヘッド920を概略的に示す断面図である。図21に示されるように、LEDプリントヘッド920は、ベース部材921と、ベース部材921に固定されたLEDユニット922と、柱状の光学素子を多数配列したロッドレンズアレイ923と、ロッドレンズアレイ923を保持するホルダ924と、これらの構成921～924を固定するクランプ925とを有する。LEDユニット922には、上記実施形態の半導体装置であるLED／駆動ICチップで発生した光はロッドレンズアレイ923を通して照射される。LEDプリントヘッド920は、電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。
30

【0066】

<可能な変形例>

なお、上記実施形態においては、接着層上に導通層を備えた場合を説明したが、導通層は、ポリシリコンや、ITO、ZnO等の導電性酸化物等の金属以外の材料で構成してもよい。
40

【0067】

また、上記実施形態においては、Si基板上にLEDエピフィルムを貼り付けた場合を説明したが、基板材料には、アモルファスシリコン、単結晶シリコン、ポリシリコンの他、化合物半導体、有機半導体、及び絶縁体材料（ガラスやサファイア等）のような他の材料を用いることもできる。

【0068】

また、上記実施形態においては、半導体薄膜に備えられた半導体素子が、LEDである場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及びピエゾ素子等のような他の素子であってもよい。

【0069】

また、上記実施形態においては、LEDエピフィルムがエピタキシャル層から構成された場合を説明したが、LEDエピフィルムに代えてエピタキシャル層ではない半導体薄膜を採用してもよい。

【0070】

【発明の効果】

以上に説明したように、本発明によれば、基板の端子領域を有する面上に半導体薄膜を貼り付け、これらを薄膜の個別配線層で電気的に接続する構造を採用したので、半導体装置の小型化及び材料コストの低減を図ることができるという効果がある。

【0071】

また、本発明によれば、第1の層間絶縁膜と導通層との間又は第1の層間絶縁膜と半導体薄膜との間に接着層を介在させたので、第1の層間絶縁膜と導通層との間又は第1の層間絶縁膜と半導体薄膜との間の強力な密着性を得ることができ、その結果、装置の信頼性を確保することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るLED／駆動IC複合チップを概略的に示す平面図である。

【図2】 図1のA₂部を拡大して示す平面図である。

【図3】 図2のA₃部を概略的に示す斜視図である。

【図4】 図2をS₄-S₄線で切る面を概略的に示す断面図である。

【図5】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス(その1)を概略的に示す断面図である。

【図6】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス(その2)を概略的に示す断面図である。

【図7】 第1の実施形態に係るLED／駆動IC複合チップを実装基板上に実装したLEDユニットを概略的に示す斜視図である。

【図8】 本発明の第2の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図9】 図8をS₉-S₉線で切る面を概略的に示す断面図である。

【図10】 第2の実施形態に係るLED／駆動IC複合チップを実装基板上に実装したLEDユニットを概略的に示す斜視図である。

【図11】 本発明の第3の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図12】 本発明の第4の実施形態に係るLED／駆動IC複合チップを概略的に示す断面図である。

【図13】 本発明の第5の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図14】 本発明の第6の実施形態に係るLED／駆動IC複合チップを概略的に示す斜視図である。

【図15】 第6の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図16】 第6の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図17】 第6の実施形態に係るLED／駆動IC複合チップの製造プロセスを概略的に示す平面図である。

【図18】 本発明の第7の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図19】 第7の実施形態に係るLED／駆動IC複合チップの製造プロセスを概略的に示す平面図である。

【図20】 本発明の第8の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

10

20

30

40

50

【図21】 本発明に係る半導体装置を組み込んだLEDプリントヘッドを概略的に示す断面図である。

【図22】 従来のLEDプリントヘッドの一部を概略的に示す斜視図である。

【図23】 図22のLEDプリントヘッドに備えられたLEDアレイチップの一部を示す平面図である。

【符号の説明】

100, 200, 300, 400, 500, 600, 700, 800 LED / 駆動IC
複合チップ、

101, 301, 401, 601, 701 Si基板、

102, 402, 602 集積回路、

103, 303, 403 第1の層間絶縁膜、

104, 304, 404, 604, 704, 804 接着層、

105, 305, 405, 705, 805 導通層、

106, 206, 306, 406, 606, 706, 806 エピタキシャルフィルム(LEDエピフィルム)、

106a 半導体エピタキシャル層、

107, 207, 307, 607 個別配線層、

108 集積回路の個別端子領域、

109, 209 第2の層間絶縁膜、

109a 第2の層間絶縁膜の開口部、

111 GaAsコンタクト層(n型GaAs層)、

112 AlGaAs下クラッド層(n型Al_xGa_{1-x}As層)、

113 AlGaAs活性層(p型Al_yGa_{1-y}As層)、

114 AlGaAs上クラッド層(p型Al_zGa_{1-z}As層)、

115 GaAsコンタクト層(p型GaAs層)、

120 LEDエピフィルム形成用基板、

121 GaAs基板、

122 GaAsバッファ層、

123 (AlGa)InPエッチングストップ層、

124 AlAs剥離層、

125 溝、

130, 230 LEDユニット、

131, 231 実装基板、

206a, 306a LED、

211 n型GaAs層、

212 n型Al_xGa_{1-x}As層、

213 n型Al_yGa_{1-y}As層、

214 n型Al_zGa_{1-z}As層、

215 n型GaAs層、

216 Zn拡散領域、

308 電極パッド、

601a 絶縁体基板、

610 分割予定ライン、

701a 分割前のガラス基板、

920 LEDプリントヘッド、

922 LEDユニット、

923 ロッドレンズアレイ。

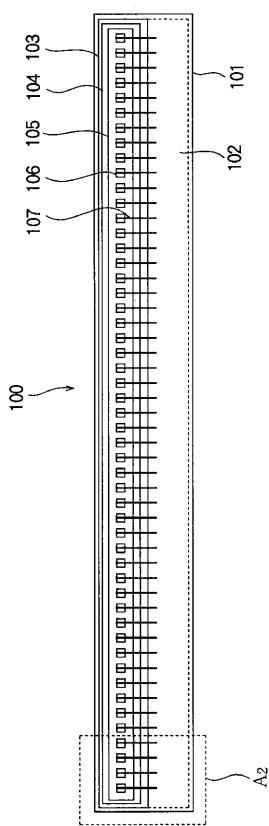
10

20

30

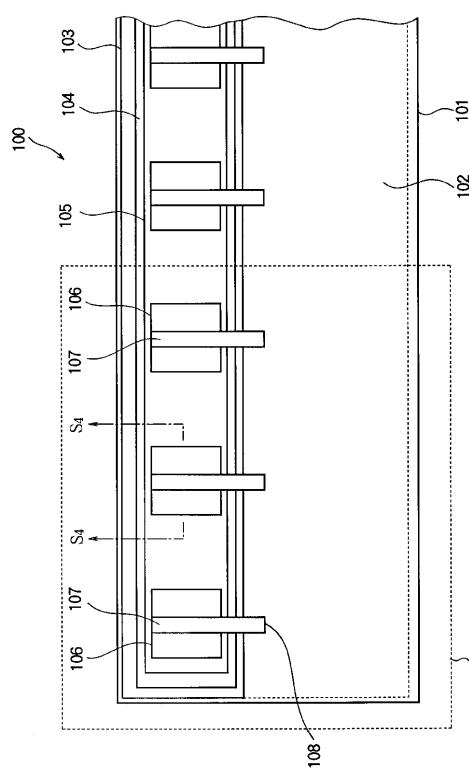
40

【図1】



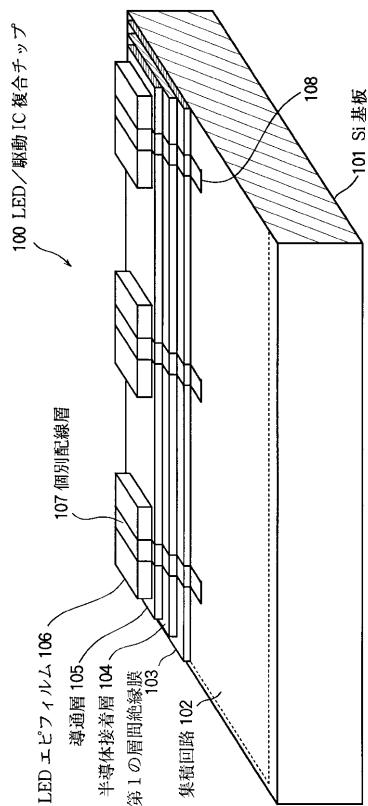
第1の実施形態

【図2】



第1の実施形態

【図3】



第1の実施形態

【図4】

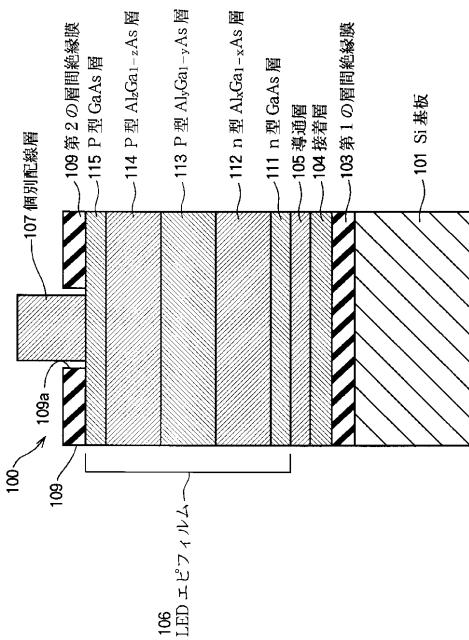
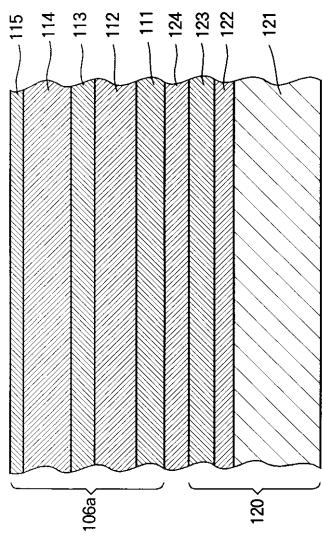


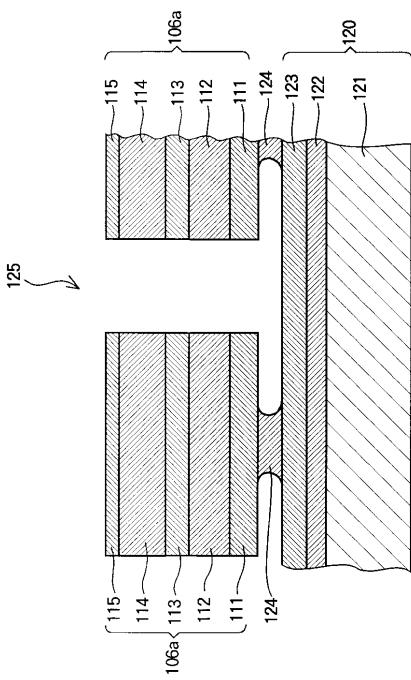
図2のS1-S4線断面図

【図5】



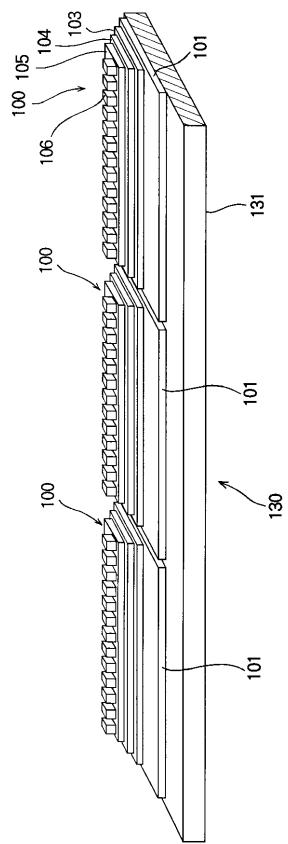
LEDエピポリマーの製造プロセス(その1)

【図6】

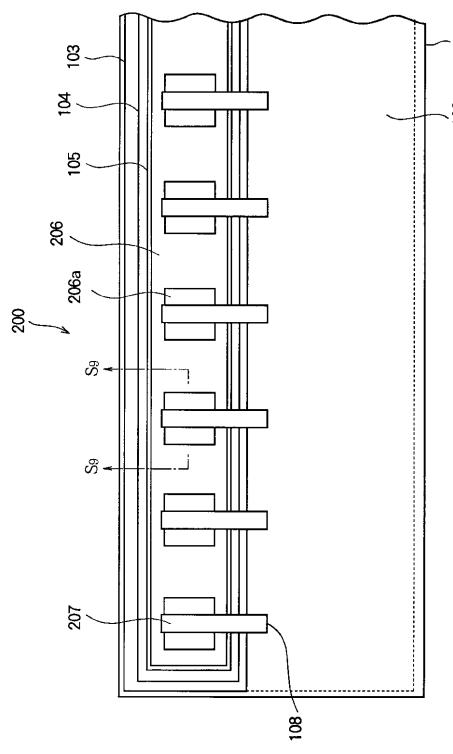


LEDエピポリマーの製造プロセス(その2)

【図7】

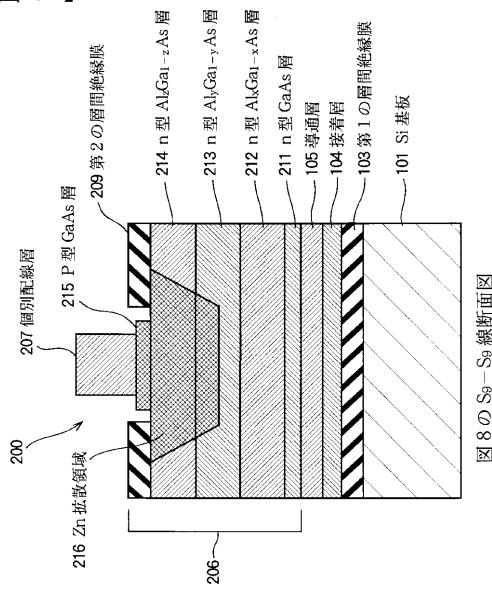


【図8】

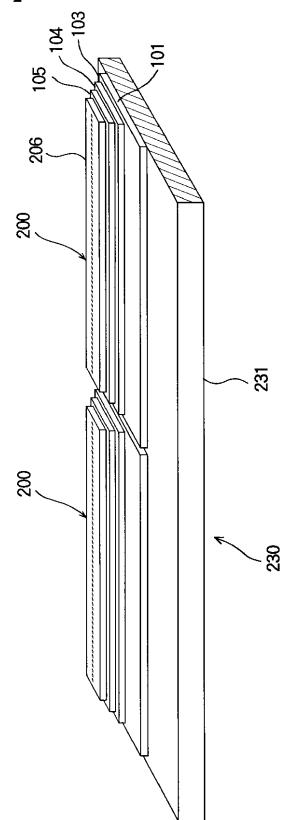


第2の実施形態

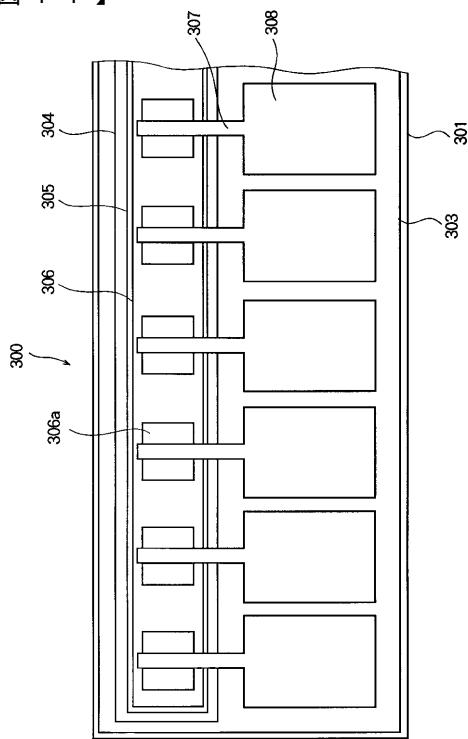
【図 9】

図 8 の S₉—S₉ 線断面図

【図 10】

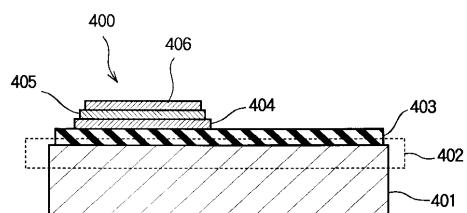


【図 11】



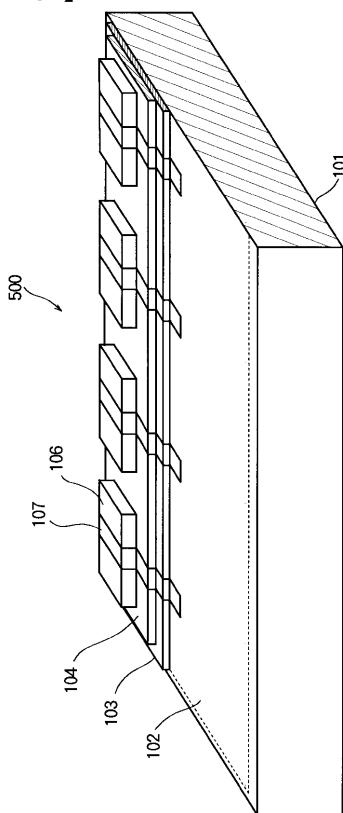
第 3 の実施形態

【図 12】



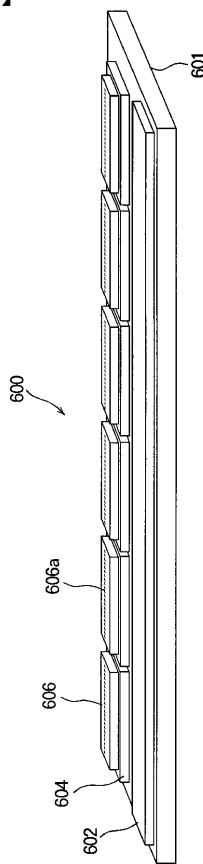
第 4 の実施形態

【図13】



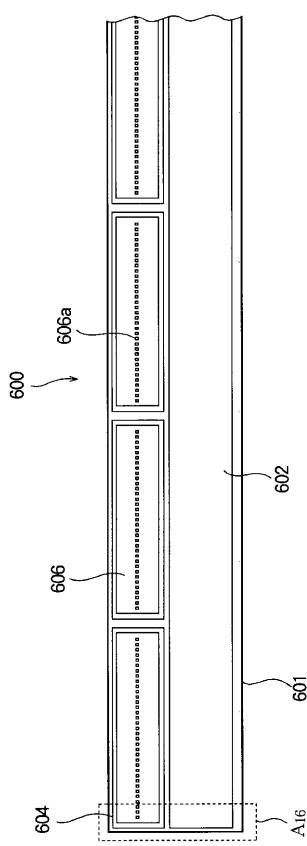
第5の実施形態

【図14】



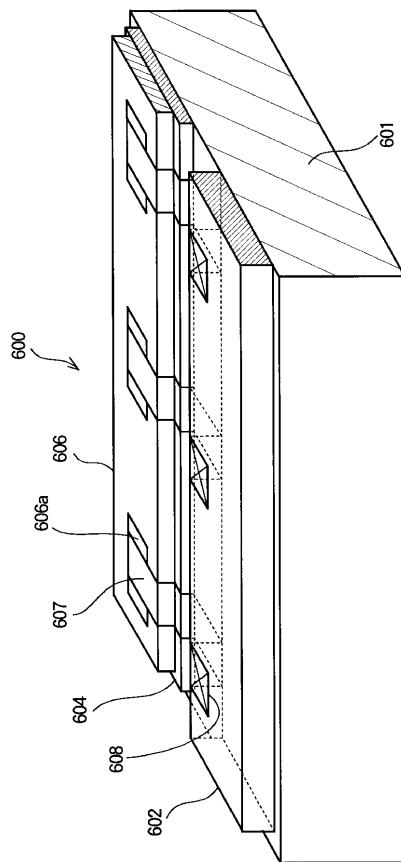
第6の実施形態

【図15】



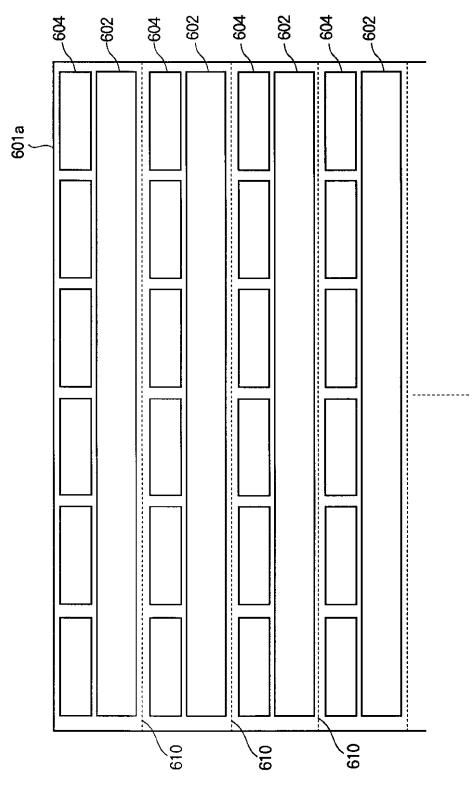
第6の実施形態

【図16】



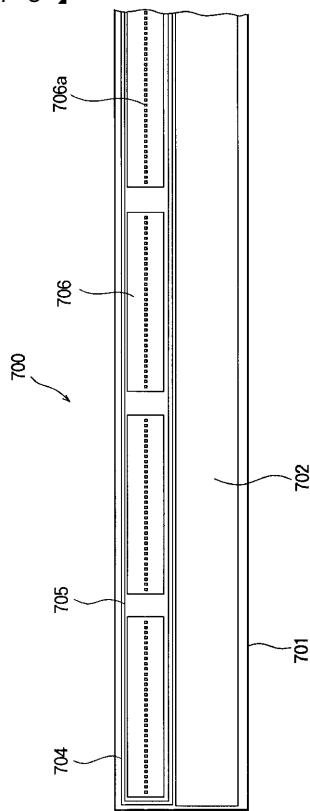
第6の実施形態

【図 17】



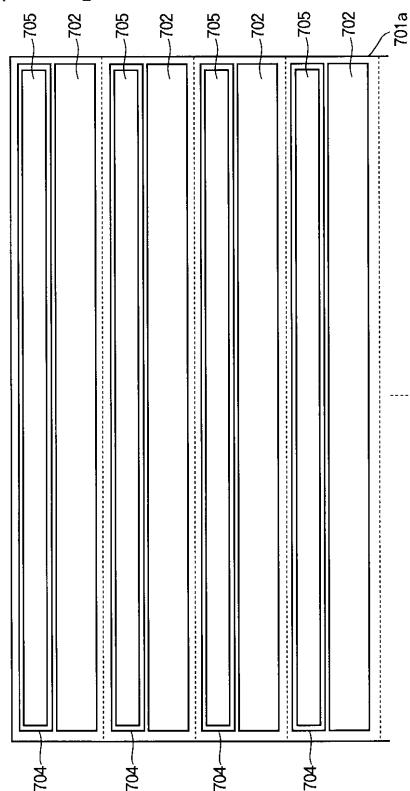
第6の実施形態

【図 18】



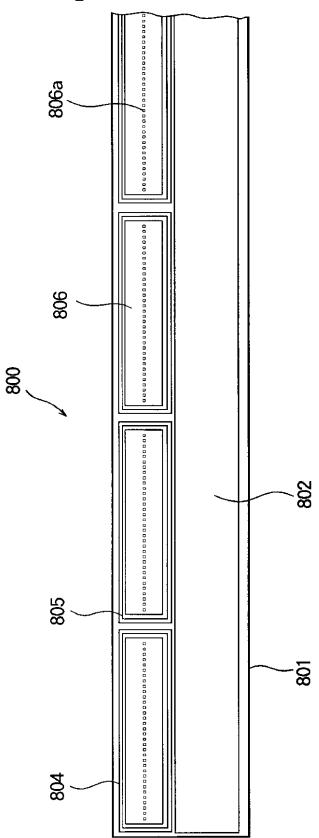
第7の実施形態

【図 19】



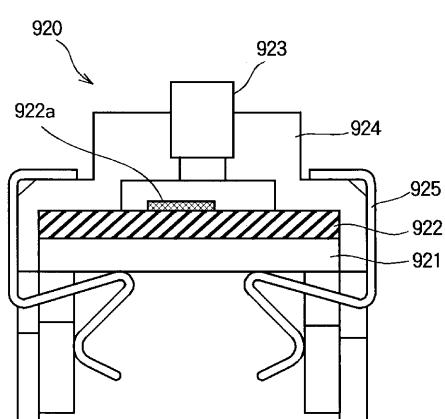
第7の実施形態

【図 20】



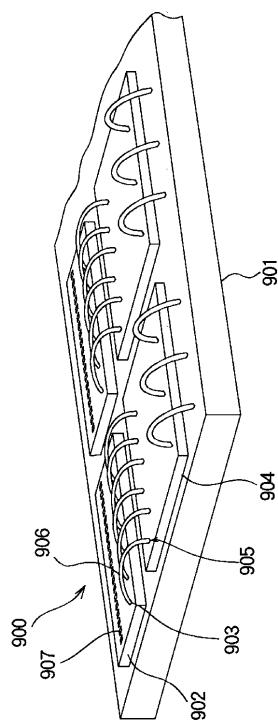
第8の実施形態

【図 2 1】



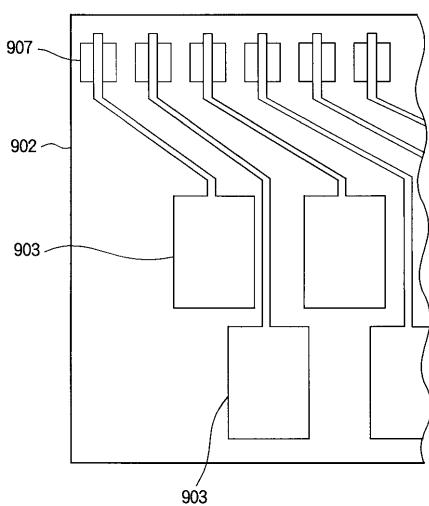
LED プリントヘッド

【図 2 2】



従来例

【図 2 3】



従来例

フロントページの続き

(72)発明者 藤原 博之
東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内
(72)発明者 佐久田 昌明
東京都港区芝浦4丁目11番17号 株式会社イー・イー・ジィ内
(72)発明者 安孫子 一松
東京都港区芝浦4丁目11番17号 株式会社イー・イー・ジィ内

審査官 田中 永一

(56)参考文献 特開平07-099267(JP,A)
特開2003-086762(JP,A)
特開平01-140652(JP,A)
特開2002-141492(JP,A)
特開2002-237644(JP,A)
特開平04-087383(JP,A)
特開2002-184805(JP,A)
特開平04-114470(JP,A)
特開昭61-113252(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/52
B41J 2/44
B41J 2/45
B41J 2/455
H01L 33/00