

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3813123号

(P3813123)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int. Cl.

F I

H O 1 L 21/52 (2006.01)

H O 1 L 21/52 E

B 4 1 J 2/44 (2006.01)

B 4 1 J 3/21 L

B 4 1 J 2/45 (2006.01)

H O 1 L 33/00 N

B 4 1 J 2/455 (2006.01)

H O 1 L 33/00 (2006.01)

請求項の数 21 (全 21 頁)

(21) 出願番号 特願2002-373882 (P2002-373882)  
 (22) 出願日 平成14年12月25日(2002.12.25)  
 (65) 公開番号 特開2004-207444 (P2004-207444A)  
 (43) 公開日 平成16年7月22日(2004.7.22)  
 審査請求日 平成16年12月16日(2004.12.16)

(73) 特許権者 591044164  
 株式会社沖データ  
 東京都港区芝浦四丁目1番22号  
 (73) 特許権者 500002571  
 株式会社沖デジタルイメージング  
 東京都八王子市東浅川町550番地-1  
 (74) 代理人 100083840  
 弁理士 前田 実  
 (74) 代理人 100116964  
 弁理士 山形 洋一  
 (72) 発明者 荻原 光彦  
 東京都八王子市東浅川町550番地の1  
 株式会社沖デジタルイメージング内

最終頁に続く

(54) 【発明の名称】 半導体装置及びLEDヘッド

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に備えられ、半導体を主材料とする接着層と、

半導体素子を含み、前記接着層上にボンディングされた半導体薄膜と

を有することを特徴とする半導体装置。

【請求項2】

前記基板が、集積回路を含む半導体基板であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記基板と前記接着層との間に、第1の層間絶縁膜を介在させたことを特徴とする請求項1又は2のいずれかに記載の半導体装置。

【請求項4】

前記第1の層間絶縁膜が、酸化けい素膜及び窒化けい素膜の内の少なくとも一方を含む単層又は多層構造であることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記半導体薄膜が、前記集積回路が形成された領域に隣接する領域上に備えられたことを特徴とする請求項1から4までのいずれかに記載の半導体装置。

【請求項6】

前記半導体薄膜が、前記集積回路が形成された領域上に備えられたことを特徴とする請

10

20

求項 3 又は 4 のいずれかに記載の半導体装置。

【請求項 7】

前記基板が、絶縁体基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記絶縁体基板が、ガラス、樹脂、セラミックの内のいずれかの材料で構成されたことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記絶縁体基板上に、集積回路が備えられたことを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置。

【請求項 10】

前記接着層と前記半導体薄膜との間に導電性材料で構成された導通層を介在させたことを特徴とする請求項 1 から 9 までのいずれかに記載の半導体装置。

【請求項 11】

前記接着層が、多結晶シリコン層又はアモルファスシリコンのいずれかであることを特徴とする請求項 1 から 10 までのいずれかに記載の半導体装置。

【請求項 12】

前記半導体薄膜上から前記集積回路上に至る領域に形成され、前記半導体素子と前記集積回路とを電気的に接続する薄膜の個別配線層を有することを特徴とする請求項 2 から 11 までのいずれかに記載の半導体装置。

【請求項 13】

前記個別配線層を前記半導体薄膜及び前記基板の一部から電気的に絶縁する第 2 の層間絶縁膜を有することを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

前記第 2 の層間絶縁膜が、酸化けい素膜及び窒化けい素膜の内の少なくとも一方を含む単層又は多層構造であることを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記第 1 の層間絶縁膜上に、前記個別配線層に接続された電極パッドを備えたことを特徴とする請求項 12 から 14 までのいずれかに記載の半導体装置。

【請求項 16】

前記半導体薄膜が、化合物半導体薄膜であることを特徴とする請求項 1 から 15 までのいずれかに記載の半導体装置。

【請求項 17】

前記半導体素子が、発光素子、受光素子、ホール素子、及びピエゾ素子の内のいずれかの素子であることを特徴とする請求項 1 から 16 までのいずれかに記載の半導体装置。

【請求項 18】

前記半導体薄膜に、前記半導体素子が等ピッチで複数個配列されていることを特徴とする請求項 1 から 17 までのいずれかに記載の半導体装置。

【請求項 19】

前記半導体薄膜に、前記半導体素子が 1 個備えられていることを特徴とする請求項 1 から 17 までのいずれかに記載の半導体装置。

【請求項 20】

前記半導体素子は、LED 素子であることを特徴とする請求項 1 から 16 までのいずれかに記載の半導体装置。

【請求項 21】

請求項 20 の半導体装置を搭載した LED ユニットと、  
該 LED ユニットに対向する様配置され、前記 LED 素子から放出される光を集束させる光学素子と、

該 LED ユニット及び該光学素子を保持するホルダと  
を有することを特徴とする LED ヘッド。

【発明の詳細な説明】

10

20

30

40

50

## 【 0 0 0 1 】

## 【 発明の属する技術分野 】

本発明は、例えば、電子写真式プリンタに使用されるＬＥＤプリントヘッドのような半導体装置に関する。

## 【 0 0 0 2 】

## 【 従来技術 】

図 2 2 は、従来のＬＥＤプリントヘッド 9 0 0 の一部を概略的に示す斜視図であり、図 2 2 は、図 2 3 のＬＥＤプリントヘッドに備えることができるＬＥＤアレイチップの一例を概略的に示す平面図である。図示されたＬＥＤプリントヘッド 9 0 0 は、基板 9 0 1 上に備えられたＬＥＤアレイチップ 9 0 2 の電極パッド 9 0 3 と、基板 9 0 1 上に備えられた

10

## 【 0 0 0 3 】

また、下記の特許文献 1 には、薄膜構造の発光素子が開示されている。

## 【 0 0 0 4 】

## 【 特許文献 1 】

特開平 1 0 - 0 6 3 8 0 7 号公報（図 3 から図 6 まで、図 8、段落 0 0 2 1）

## 【 0 0 0 5 】

## 【 発明が解決しようとする課題 】

しかしながら、図 2 2 及び図 2 3 に示されたＬＥＤプリントヘッド 9 0 0 では、ＬＥＤアレイチップ 9 0 2 と駆動ＩＣチップ 9 0 4 とをボンディングワイヤ 9 0 6 によって接続していたので、ＬＥＤアレイチップ 9 0 2 と駆動ＩＣチップ 9 0 4 のそれぞれにワイヤボン

20

ド用の大きな（例えば、 $100\mu\text{m} \times 100\mu\text{m}$ ）電極パッド 9 0 3 及び 9 0 5 を設ける必要があった。このため、ＬＥＤアレイチップ 9 0 2 及び駆動ＩＣチップ 9 0 4 の面積を小さくすることが困難であり、その結果、材料コストを削減することが困難であった。

## 【 0 0 0 6 】

また、ＬＥＤアレイチップ 9 0 2 において発光部 9 0 7 として機能する領域は、表面から  $5\mu\text{m}$  程度の深さの領域である。しかし、図 2 2 及び図 2 3 に示されたＬＥＤプリントヘッド 9 0 0 では、安定したワイヤボンドの歩留まりを確保するために、ＬＥＤアレイチップ 9 0 2 の厚さは駆動ＩＣチップ 9 0 4 の厚さ（例えば、 $250\mu\text{m} \sim 300\mu\text{m}$ ）と同

30

程度にする必要があった。このため、ＬＥＤプリントヘッド 9 0 0 においては、ＬＥＤアレイチップ 9 0 2 の材料コストを削減することが困難であった。

## 【 0 0 0 7 】

さらにまた、特許文献 1 には、薄膜構造の発光素子が開示されているが、発光素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献 1 の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

## 【 0 0 0 8 】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体装置、及びこれを搭載したＬＥＤヘッドを提供することにある。

40

## 【 0 0 0 9 】

## 【 課題を解決するための手段 】

本発明に係る半導体装置は、基板と、前記基板上に備えられ、半導体を主材料とする接着層と、半導体素子を含み、前記接着層上にボンディングされた半導体薄膜とを有する。

## 【 0 0 1 0 】

## 【 発明の実施の形態 】

## &lt; 第 1 の実施形態 &gt;

図 1 は、本発明の第 1 の実施形態に係るＬＥＤ／駆動ＩＣ複合チップ 1 0 0 を概略的に示す平面図であり、図 2 は、図 1 の A<sub>2</sub> 部を拡大して示す平面図である。また、図 3 は、図

50

2のA<sub>3</sub>部を概略的に示す斜視図であり、図4は、図2をS<sub>4</sub>-S<sub>4</sub>線で切る面を概略的に示す断面図である。

【0011】

図1から図4までに示されるように、第1の実施形態に係るLED/駆動IC複合チップ100は、集積回路102を含むシリコン(Si)基板101と、このSi基板101上に形成された第1の層間絶縁膜103と、この第1の層間絶縁膜103上に形成され、半導体材料を主材料とする接着層104と、この接着層104上に形成された導通層105とを有する。また、LED/駆動IC複合チップ100は、導通層105上に貼り付けられた(ボンディングされた)シート状の半導体薄膜である複数のエピタキシャルフィルム(以下「LEDエピフィルム」と言う。)106と、LEDエピフィルム106上から集積回路102の個別端子領域108上に至る領域に形成され、LEDエピフィルム106と集積回路102とを電氣的に接続する薄膜の個別配線層107とを有する。また、個別配線層107と導通層105との間及び個別配線層107と接着層104との間等のように絶縁が必要な箇所には、個別配線層107をLEDエピフィルム106及びSi基板101の一部から電氣的に絶縁する第2の層間絶縁膜109(図4にのみ示す)が備えられている。

10

【0012】

LEDエピフィルム106のそれぞれは、1個のLED(発光部)として機能するように適宜半導体層を積層した構造を有し、例えば、ヘテロエピタキシャル層構造とすることができる。図1から図3までに示されるように、複数のLEDエピフィルム106は、等ピッチで1列に配列されている。ただし、複数のLEDエピフィルム106の配列は等ピッチに限定されない。また、複数のLEDエピフィルム106の列数も1列に限定されず、例えば、複数のLEDエピフィルム106の配列を、配列方向に直交する方向に規則的にずらしてもよい。また、LEDエピフィルム106の数は図示の個数に限定されない。LEDエピフィルム106の幅は、電極パッドを有する従来のLEDプリントヘッドの基板の幅(通常、400μm程度)よりも非常に小さい幅とすることができる。

20

【0013】

LEDエピフィルム106の厚さは、LEDの安定した特性(例えば、発光特性や電気特性)を確保するために十分な厚さである2μm程度とすることができる。このLEDエピフィルム106の厚さは、電極パッドを有する従来のLEDプリントヘッドの厚さ(通常、300μm程度)よりも非常に薄い厚さである。また、LEDエピフィルム106の厚さが厚くなると、個別配線層107に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、LEDエピフィルム106の厚さを、約10μm以下にすることが望ましい。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化する等の方策を講ずることによって、LEDエピフィルム106の厚さを10μmを超える厚さにすることもできる。

30

【0014】

Si基板101は、集積回路102が作り込まれたモノリシックSi基板である。Si基板101の集積回路102には、複数のLEDを駆動させるための複数の駆動IC(駆動IC群)が含まれる。複数の駆動ICは、例えば、複数のLEDエピフィルム106のそれぞれに対向するように、配置されている。ただし、集積回路102には、複数の駆動ICの他に、LEDの点灯制御に共通に使用される回路も含まれる。Si基板101の厚さは、例えば、約300μmである。駆動IC群は、外部から送られて来た発光制御データに基づいてLEDの点灯・非点灯を制御する。

40

【0015】

第1の層間絶縁膜103は、例えば、酸化けい素(SiO<sub>2</sub>)膜及び窒化けい素(Si<sub>3</sub>N<sub>4</sub>)膜の内の少なくとも一方を含む単層又は多層構造とすることができる。第1の層間絶縁膜103は、LEDエピフィルム106を正常に動作させるために、Si基板101表面とLEDエピフィルム106とを電氣的に絶縁する機能を担う。第1の層間絶縁膜103は、Si基板101表面の集積回路102が形成されている領域に隣接した、集積回

50

路 102 が形成されていない領域上に形成されている。

#### 【0016】

接着層 104 は、多結晶シリコン層又はアモルファスシリコン層等の半導体層である。接着層 104 は、例えば、化学的気相成長法（CVD 法）により形成される。接着層 104 は第 1 の層間絶縁膜 103 との間に高い親和性を持つので、接着層 104 と第 1 の層間絶縁膜 103 との間に高い密着強度を持たせることができる。

#### 【0017】

導通層 105 は、例えば、金やパラジウム等を材料とするメタル層とすることができる。接着層 104 は導通層 105 との間に高い親和性を持つので、接着層 104 と導通層 105 との間に高い密着強度を持たせることができる。導通層 105 の表面には LED エピフィルム 106 が貼り付けられている。導通層 105 は、その上に貼り付けられた LED エピフィルム 106 を固定する機能と、LED エピフィルム 106 の下面の共通端子領域（図示せず）と Si 基板 101 の共通端子領域（例えば、グランド電位）とを電氣的に接続する機能とを持つ。導通層 105 と LED エピフィルム 106 内の共通端子領域との間には、オーミックコンタクトが形成されることが望ましい。導通層 105 と、Si 基板 101 の共通端子領域（例えば、グランド電位）との電氣的接続は、配線（図示せず）又は第 1 の層間絶縁膜 103 に設けられた開口部（図示せず）等を通して行うことができる。ここで、LED エピフィルム 106 内の共通端子領域とは、導通層 105 と接するエピタキシャル層全面を示しており、本実施形態で具体的に述べれば、図 4 に示される n 型 GaAs 層 111 の共通電位側（n 電極側）となる表面全面を意味する。また、Si 基板 101 の共通端子領域とは、導通層 105 と接する Si 基板の表面領域を示しており、本実施形態で具体的に述べれば、LED を駆動するための共通電位側（n 電極側）となる領域を意味する。なお、導通層 105 の厚さは、例えば、約 100 nm（= 0.1 μm）である。

#### 【0018】

LED エピフィルム 106 は、図 4 に示されるように、n 型 GaAs 層 111 と、n 型  $Al_xGa_{1-x}As$  層 112（ $0 < x < 1$ ）と、p 型  $Al_yGa_{1-y}As$  層 113（ $0 < y < 1$ ）と、p 型  $Al_zGa_{1-z}As$  層 114（ $0 < z < 1$ ）と、p 型 GaAs 層 115 とを順に積層させた構造を持つ。p 型 GaAs 層 115 上には第 2 の層間絶縁膜 109 が形成されている。また、第 2 の層間絶縁膜 109 の開口部 109a 内において、p 型 GaAs 層 115 上には個別配線層 107 が形成されている。なお、GaAs 層 111 及び  $Al_xGa_{1-x}As$  層 112 を p 型とし、 $Al_yGa_{1-y}As$  層 113、 $Al_zGa_{1-z}As$  層 114、及び GaAs 層 115 を n 型としてもよい。また、GaAs 層 111 の厚さは、約 10 nm（= 約 0.01 μm）であり、 $Al_xGa_{1-x}As$  層 112 の厚さは、約 0.5 μm であり、 $Al_yGa_{1-y}As$  層 113 の厚さは、約 1 μm であり、 $Al_zGa_{1-z}As$  層 114 の厚さは、約 0.5 μm であり、GaAs 層 115 の厚さは、約 10 nm（= 約 0.01 μm）である。この場合には、LED エピフィルム 106 の厚さは、約 2.02 μm となる。ただし、各層の厚さは、上記値に限定されない。また、上記各層の Al 組成は、 $x > y$  且つ  $z > y$ （例えば、 $x = z = 0.4$ 、 $y = 0.1$ ）とすることができる。また、LED エピフィルム 106 の材料として、 $(Al_xGa_{1-x})_yIn_{1-y}P$ （ここで、 $0 < x < 1$  且つ  $0 < y < 1$  である。）、GaN、AlGaN、InGaN 等の他の材料を用いてもよい。

#### 【0019】

個別配線層 107 は、LED エピフィルム 106 の発光部上面と、Si 基板 101 の集積回路 102 の個別端子領域 108 とのそれぞれを電氣的に接続する。個別配線層 107 は、例えば、薄膜のメタル配線である。個別配線層 107 は、1 金を含む単層又は積層のメタル層、例えば、金で構成された層（Au 層）、チタンと白金と金の積層層（Ti/Pt/Au 積層層）、金と亜鉛の積層層（Au/Zn 積層層）、金・ゲルマニウム・ニッケルを含む層と金層との積層層（AuGeNi/Au 積層層）、2 パラジウムを含む単層又は積層のメタル層、例えば、パラジウムで構成された層（Pd 層）、パラジウムと金の積層層（Pd/Au 積層層）、3 アルミニウムを含む単層又は積層のメタル層、

10

20

30

40

50

例えば、アルミニウムで構成された層（Ａｌ層）、アルミニウムとニッケルの積層層（Ａｌ／Ｎｉ積層層）、４ ポリシリコンで構成された層、５ ＩＴＯやＺｎＯ等の導電性酸化物薄膜等とすることができる。また、個別配線層１０７においては、素子とのコンタクト部分の材料と、配線領域の材料とを別の材料で構成してもよい。その場合には、上記メタル材料や導電性酸化物材料を適宜組み合わせ使用することができる。個別配線層１０７は、フォトリソグラフィ技術を用いて一括形成することが望ましい。個別配線層１０７は、薄膜配線であるので、配線が長くなれば配線における電圧降下の影響が大きくなる。個別配線層１０７の幅が５μｍであり、厚さが０．５μｍであり、数ｍＡの駆動電流を流す場合には、個別配線層１０７の長さは、約２００μｍ以下にすることが望ましい。

#### 【００２０】

また、個別配線層１０７とＬＥＤエピフィルム１０６の表面及び側面との間、個別配線層１０７と導通層１０５との間、個別配線層１０７と接着層１０４との間、個別配線層１０７とＳｉ基板１０１の表面との間等のように電氣的にショートしてはならない領域には、第２の層間絶縁膜１０９（図４に示す）が設けられ、正常な動作を確保できる構造になっている。第２の層間絶縁膜１０９は、例えば、酸化けい素（ＳｉＯ<sub>2</sub>）膜及び窒化けい素（Ｓｉ<sub>3</sub>Ｎ<sub>4</sub>）膜の内の少なくとも一方を含む単層又は多層構造とすることができる。第２の層間絶縁膜１０９の形成に際しては、先ず、ＬＥＤエピフィルム１０６を含む基板１０１全域にＣＶＤ法等を用いて絶縁膜を形成し、フォトリソグラフィ技術を用いてＬＥＤエピフィルム１０６上及び集積回路１０２の個別端子領域１０８上にスルーホールを形成する。次に、金属層を全面に形成し、フォトリソグラフィ技術により金属層をパターンングすることにより、複数のＬＥＤエピフィルム１０６と集積回路１０２の個別端子領域１０８とを接続する複数の個別配線層１０９を一度に形成することができる。

#### 【００２１】

次に、ＬＥＤエピフィルム１０６の製造プロセスを説明する。図５及び図６は、ＬＥＤエピフィルム１０６の製造プロセスを概略的に示す断面図である。

#### 【００２２】

ＬＥＤエピタキシャル層１０６ａ（剥離される前は「ＬＥＤエピタキシャル層１０６ａ」と記載し、剥離された後は「ＬＥＤエピフィルム１０６」と記載する。）の製造は、有機金属化学蒸着法（ＭＯＣＶＤ法）や分子線エピタキシー法（ＭＢＥ法）等によって行うことができる。ＬＥＤエピタキシャル層１０６ａの製造に際しては、図５に示されるように、ＧａＡｓ基板１２１上に、ＧａＡｓバッファ層１２２、（ＡｌＧａ）ＩｎＰエッチングストップ層１２３、及びＡｌＡｓ剥離層１２４を順に成膜する。次に、ＡｌＡｓ剥離層１２４上に、ＧａＡｓコンタクト層１１１（ｎ型ＧａＡｓ層１１１）、ＡｌＧａＡｓ下クラッド層１１２（ｎ型Ａｌ<sub>x</sub>Ｇａ<sub>1-x</sub>Ａｓ層１１２）、ＡｌＧａＡｓ活性層１１３（ｐ型Ａｌ<sub>y</sub>Ｇａ<sub>1-y</sub>Ａｓ層１１３）、及びＡｌＧａＡｓ上クラッド層１１４（ｐ型Ａｌ<sub>z</sub>Ｇａ<sub>1-z</sub>Ａｓ層１１４）、ＧａＡｓコンタクト層１１５（ｐ型ＧａＡｓ層１１５）を順に成膜する。ＬＥＤエピタキシャル層１０６ａの剥離は、化学的リフトオフ法を用いて行うことができる。ここで、エッチングストップ層１２３を省くこともできる。

#### 【００２３】

次に、図６に示されるように、１０％ＨＦ（弗化水素）液により、ＡｌＡｓ剥離層１２４を選択的に除去する。ＨＦ液のＡｌＡｓ剥離層１２４に対するエッチング速度は、ＡｌＧａＡｓ層１１２～１１４、ＧａＡｓ層１１１，１１５，１２１，１２２、及びエッチングストップ層１２３に対するエッチング速度に比べ格段に大きいので、ＡｌＡｓ剥離層１２４を選択的にエッチングすることができる。これにより、ＬＥＤエピフィルム１０６を、ＬＥＤエピフィルム製造用基板１２０から剥がすことが可能になる。このためには、図６に示されるように、各エピタキシャル層１１１～１１５をエッチングし、溝１２５を形成しておく。溝１２５の形成は、溝形成領域レジスト等によりマスクをしておき、燐酸過水によりエッチングするフォトリソグラフィ工程により行う。燐酸過水は、ＡｌＧａＡｓ層１１２～１１４、ＧａＡｓ層１１１，１１５，１２１，１２２は、エッチングするが、（ＡｌＧａ）ＩｎＰエッチングストップ層１２３に対するエッチング速度が遅いので、上面

10

20

30

40

50

から溝 125 をエッチング形成する際に溝が基板 121 まで到達するのを防止することができる。溝 125 を形成した後、HF 液によりエッチングすることにより、AlAs 剥離層 124 をエッチングし、LED エピフィルム 106 を剥離する。なお、図 6 には、AlAs 剥離層 124 が残されている状態（エッチング途中）が示されているが、LED エピフィルム 106 を保持した状態で、AlAs 剥離層 124 は完全に除去される。AlAs 剥離層 124 をエッチング除去した後、エッチング液が残留しないように純水による水洗処理を施す。LED エピフィルム 106 の剥離に際して、LED エピフィルムを支持及び保護する支持体を LED エピフィルム 106 上に設けることができる。例えば、LED エピフィルム 106 の上に支持体を設けた場合、LED エピフィルム支持体表面を、例えば、真空吸着や光硬化性粘着シート（光照射により粘着性を失う粘着シート）等により吸着し所定の位置に移動することができる。

10

#### 【0024】

図 7 は、第 1 の実施形態に係る LED / 駆動 IC 複合チップを実装基板上に実装した LED ユニット 130 を概略的に示す斜視図である。

#### 【0025】

図 7 に示されるように、LED ユニット 130 は、COB (Chip On Board) 実装基板 131 と、この実装基板 131 上に備えられた複数の LED / 駆動 IC 複合チップ 100 とを有する。複数の LED / 駆動 IC 複合チップ 100 は、実装基板 131 上に絶縁ペースト又は導電性ペースト等の接着剤によって等間隔に実装される。複数の LED / 駆動 IC 複合チップ 100 は、例えば、LED エピフィルム 106（即ち、LED）の配列が LED ユニット 130 の長手方向の全長にわたって、等ピッチで 1 列に配列されるように、実装基板 131 上に配置される。

20

#### 【0026】

実装基板 131 には、LED / 駆動 IC 複合チップ 100 の LED を点灯制御するために必要な電力や制御信号（点灯データ）を LED / 駆動 IC 複合チップ 100 の集積回路 102（駆動 IC 群）に提供するための配線パターン（図示せず）及び電極パッド（図示せず）が備えられている。また、LED / 駆動 IC 複合チップ 100 の Si 基板 101 には、実装基板 131 から電力や制御信号を受け取るための電極パッド（図示せず）が備えられている。LED ユニット 130 には、実装基板 131 の電極パッドと LED / 駆動 IC 複合チップ 100 の Si 基板 101 上の電極パッドとを電氣的に接続するボンディングワイヤを備えることができる。

30

#### 【0027】

以上説明したように、第 1 の実施形態に係る LED / 駆動 IC 複合チップ 100 によれば、LED エピフィルム 106 上にワイヤボンディング用の電極パッドを備える必要がないので、装置の小型化及び材料コストの低減を図ることができる。

#### 【0028】

また、第 1 の実施形態に係る LED / 駆動 IC 複合チップ 100 によれば、Si 基板 101 上に貼り付けられた LED エピフィルム 106 と Si 基板 101 に形成された集積回路 102 とをフォトリソグラフィ技術により形成された薄膜の個別配線層 107 により電氣的に接続しているので、LED エピフィルム 106 の厚さをワイヤボンドに対する強度を考慮して厚くする必要がない。このように、LED エピフィルム 106 の厚さを薄くできるので、材料コストの低減を図ることができる。

40

#### 【0029】

また、第 1 の実施形態に係る LED / 駆動 IC 複合チップ 100 によれば、第 1 の層間絶縁膜 103 と導通層 105 との間に、第 1 の層間絶縁膜 103 を構成する絶縁体材料及び導通層 106 を構成する材料（例えば、金属材料）のいずれとも親和性がある多結晶シリコン等から構成される接着層 104 を介在させている。このため、第 1 の層間絶縁膜 103 と導通層 105 との間の強力な密着性、その結果、第 1 の層間絶縁膜 103 と LED エピフィルム 106 との強力な密着性を得ることができ、装置の信頼性を確保することができる。

50

## 【0030】

< 第2の実施形態 >

図8は、本発明の第2の実施形態に係る半導体装置であるLED/駆動IC複合チップ200の一部を概略的に示す平面図である。また、図9は、図8をS<sub>9</sub>-S<sub>9</sub>線で切る面を概略的に示す断面図である。

## 【0031】

図8において、図2(第1の実施形態)の構成と同一又は対応する構成には、同じ符号を付す。図8に示されたLED/駆動IC複合チップ200は、導通層105上に複数のLED(発光部)206aを含む長尺なLEDエピフィルム206を貼り付けた点が、導通層105上に1個のLEDを含む複数のLEDエピフィルム106を配列した第1の実施形態のLED/駆動IC複合チップ100と相違する。

10

## 【0032】

次に、第2の実施形態のLED/駆動IC複合チップ200の断面構造を説明する。図9に示されるように、LED/駆動IC複合チップ200は、Si基板101と、第1の層間絶縁膜103と、多結晶シリコン層又はアモルファスシリコン層等で構成される接着層104と、導通層105と、LEDエピフィルム206と、第2の層間絶縁膜209と、個別配線層207とを順に積層させた構造を持つ。図9に示されるように、LEDエピフィルム206は、n型GaAs層211と、n型Al<sub>x</sub>Ga<sub>1-x</sub>As層212(0<x<1)と、n型Al<sub>y</sub>Ga<sub>1-y</sub>As層213(0<y<1)と、n型Al<sub>z</sub>Ga<sub>1-z</sub>As層214(0<z<1)と、GaAs層215とを順に積層させた構造を持つ。また、GaAs層215の下方のn型Al<sub>y</sub>Ga<sub>1-y</sub>As層213及びn型Al<sub>z</sub>Ga<sub>1-z</sub>As層214にはZn拡散領域216が形成されている。GaAs層215とZn拡散領域216はp型領域となっている。

20

## 【0033】

n型GaAs層211の厚さは、約10nm(=約0.01μm)であり、n型Al<sub>x</sub>Ga<sub>1-x</sub>As層212の厚さは、約0.5μmであり、n型Al<sub>y</sub>Ga<sub>1-y</sub>As層213の厚さは、約1μmであり、n型Al<sub>z</sub>Ga<sub>1-z</sub>As層214の厚さは、約0.5μmであり、n型GaAs層215の厚さは、約10nm(=約0.01μm)である。この場合には、LEDエピフィルム206の厚さは、約2.02μmとなる。ただし、各層の厚さは、上記値に限定されない。また、LEDエピフィルム104の材料として、(Al<sub>x</sub>Ga<sub>1-x</sub>)<sub>y</sub>In<sub>1-y</sub>P(ここで、0<x<1且つ0<y<1である。)、GaN、AlGaN、InGaN等の他の材料を用いてもよい。

30

## 【0034】

また、上記各層のAl組成は、x>y且つz>y(例えば、x=z=0.4、y=0.1)とすることができる。Zn拡散領域216の拡散フロントは、n型Al<sub>y</sub>Ga<sub>1-y</sub>As層213の内部に位置するように構成することができる。このように構成することにより、pn接合を介して注入された少数キャリアは、n型Al<sub>y</sub>Ga<sub>1-y</sub>As層213内、及び、Zn拡散によってAl<sub>y</sub>Ga<sub>1-y</sub>As層213内に形成されたp型Al<sub>y</sub>Ga<sub>1-y</sub>As内に閉じ込められ、高い発光効率を得られる。即ち、図9に示されるような構造を採用することによって、LEDエピフィルム206の厚さを約2μmと薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてダブルヘテロ型に複数のエピタキシャル層を積層し、そこにZn拡散層による逆導電型不純物拡散領域を形成してホモ接合型としたLEDの製造方法を説明したが、シングルヘテロ積層型或いは単層のエピタキシャル層からなるエピタキシャル層に拡散領域を形成したホモ接合型LEDとすることもできる。

40

## 【0035】

図10は、第2の実施形態に係るLED/駆動IC複合チップを実装基板上に実装したLEDユニット230を概略的に示す斜視図である。

## 【0036】

図10に示されるように、LEDユニット230は、実装基板231と、この実装基板2

50



31上に備えられた複数のLED/駆動IC複合チップ200とを有する。複数のLED/駆動IC複合チップ200は、実装基板231上に絶縁ペースト又は導電性ペースト等の接着剤によって等間隔に実装される。複数のLED/駆動IC複合チップ200は、例えば、LEDエピフィルム206のLEDの配列がLEDユニット230の長手方向の全長にわたって、等ピッチで1列に配列されるように、実装基板231上に配置される。

#### 【0037】

以上説明したように、第2の実施形態に係るLED/駆動IC複合チップ200によっても、第1の実施形態と同様に、装置の小型化及び材料コストの低減を図ることができる。また、第1の層間絶縁膜103とLEDエピフィルム206との強力な密着性を得ることができ、装置の信頼性を確保することができる。

10

#### 【0038】

なお、第2の実施形態において、上記以外の点は、上記第1の実施形態の場合と同じである。

#### 【0039】

<第3の実施形態>

図11は、本発明の第3の実施形態に係る半導体装置であるLED/駆動IC複合チップ300の一部を概略的に示す平面図である。

#### 【0040】

第3の実施形態に係るLED/駆動IC複合チップ300は、層間絶縁膜304が基板301のほぼ全面上に設けられた点、層間絶縁膜304上に各LEDに対応する電極パッド308を設けた点、各LED306aと各電極パッド308とを電氣的に接続する薄膜の個別配線層307を備えた点が、上記第1又は第2の実施形態に係るLED/駆動IC複合チップと相違する。また、図11に示されるように、第3の実施形態に係るLED/駆動IC複合チップ300は、層間絶縁膜303上に形成された接着層304と、この接着層305上に形成された導通層305と、複数のLED306aを含み、導通層305上に貼り付けられた(ボンディングされた)シート状の半導体薄膜である複数のLEDエピフィルム306とを有する。電極パッド308は、駆動IC等との電氣的な接続、例えば、フリップチップボンディングやワイヤボンディング等を行うためのパッドである。さらに、個別配線層307と導通層305との間及び個別配線層307と接着層304との間等のように絶縁が必要な箇所には他の層間絶縁膜(図示せず)が備えられている。

20

30

#### 【0041】

なお、第3の実施形態において、上記以外の点は、第1又は第2の実施形態の場合と同じである。

#### 【0042】

<第4の実施形態>

図12は、本発明の第4の実施形態に係る半導体装置であるLED/駆動IC複合チップ400の一部を概略的に示す断面図である。

#### 【0043】

第4の実施形態に係るLED/駆動IC複合チップ400は、LEDエピフィルム406がSi基板401の集積回路402上に備えられている点が、LEDエピフィルム106がSi基板101の集積回路102形成領域に隣接する領域上に備えられている第1の実施形態と相違する。図12に示されるように、第4の実施形態に係るLED/駆動IC複合チップ400は、集積回路402を含むSi基板401と、このSi基板401上のほぼ全域に形成された第1の層間絶縁膜403とを有する。ここで、第1の層間絶縁膜403の表面は平坦化処理(例えば、CMP法による)されている。また、LED/駆動IC複合チップ400は、第1の層間絶縁膜403上に形成された接着層404と、この接着層404上に形成された導通層405と、この導通層405上に貼り付けられた(ボンディングされた)シート状の半導体薄膜であるLEDエピフィルム406とを有する。LEDエピフィルム406は、複数のLEDを有する長尺シート状のもの(第2の実施形態と同様の形態のもの)、及び1個のLEDを有するもの(第1の実施形態と同様の形態のも

40

50

の)のいずれでもよい。さらに、ＬＥＤ／駆動ＩＣ複合チップ４００は、上記第１及び第２の実施形態と同様に、第２の層間絶縁膜（図１２には示さず）及び個別配線層（図１２には示さず）を有する。

#### 【００４４】

なお、第４の実施形態において、上記以外の点は、第１から３までの実施形態の場合と同じである。

#### 【００４５】

##### <第５の実施形態>

図１３は、本発明の第５の実施形態に係る半導体装置であるＬＥＤ／駆動ＩＣ複合チップ５００の一部を概略的に示す斜視図である。図１３において、図３の構成と同一又は対応する構成には、同じ符号を付す。

10

#### 【００４６】

第５の実施形態に係るＬＥＤ／駆動ＩＣ複合チップ５００は、接着層１０４とＬＥＤエピフィルム１０６との間に、導通層１０５（図３に示される）を備えていない点が、導通層１０５を備えている第１の実施形態のＬＥＤ／駆動ＩＣ複合チップ１００と相違する。第５の実施形態に係るＬＥＤ／駆動ＩＣ複合チップ５００によれば、第１の層間絶縁膜１０３とＬＥＤエピフィルム１０６との間に、第１の層間絶縁膜１０３を構成する絶縁体材料及びＬＥＤエピフィルム１０６を構成する材料（例えば、化合物半導体）のいずれとも親和性がある多結晶シリコン等から構成される接着層１０４を介在させたので、第１の層間絶縁膜１０３とＬＥＤエピフィルム１０６との強力な密着性を得ることができ、装置の信頼性を確保することができる。

20

#### 【００４７】

なお、第５の実施形態において、上記以外の点は、第１から４までの実施形態の場合と同じである。

#### 【００４８】

##### <第６の実施形態>

図１４は、本発明の第６の実施形態に係る半導体装置であるＬＥＤ／駆動ＩＣ複合チップ６００の一部を概略的に示す斜視図である。図１５は、第６の実施形態に係るＬＥＤ／駆動ＩＣ複合チップ６００の一部を概略的に示す平面図であり、図１６は、図１５のＡ<sub>１</sub>、Ｂ<sub>１</sub>部を拡大して示す斜視図である。

30

#### 【００４９】

図１４から図１６までに示されるように、第６の実施形態に係るＬＥＤ／駆動ＩＣ複合チップ６００は、絶縁体基板６０１と、この絶縁体基板６０１上に形成され、半導体材料を主材料とする複数の接着層６０４と、複数のＬＥＤ６０６ａを含み、接着層６０４上に貼り付けられた（ボンディングされた）シート状の半導体薄膜であるＬＥＤエピフィルム６０６とを有する。また、ＬＥＤ／駆動ＩＣ複合チップ６００は、絶縁体基板６０１上に形成された駆動集積回路６０２と、ＬＥＤ６０６ａ上から絶縁体基板６０１上を経由して駆動ＩＣ群を含む集積回路６０２上の個別端子領域６０８上に至る薄膜の個別配線層６０７（図１６に示す）とを有する。個別配線層６０７の下には、必要に応じて第２の層間絶縁膜（図示せず）が備えられている。

40

#### 【００５０】

絶縁体基板６０１は、例えば、ガラス基板である。ただし、絶縁体基板６０１の材料として、樹脂やセラミック等の他の絶縁体を用いてもよい。接着層６０４は、第１の実施形態における接着層１０４と同じである。ＬＥＤエピフィルム６０６のそれぞれは、第２の実施形態で説明したＬＥＤエピフィルムと同様の構造を持つ。また、ＬＥＤエピフィルム６０６を第１の実施形態で説明されたものと同様に、１個のＬＥＤを含むＬＥＤエピフィルムとしてもよい。個別配線層６０７の材質及び形成方法は、第１の実施形態で説明したものと同じである。

#### 【００５１】

図１７は、第６の実施形態に係るＬＥＤ／駆動ＩＣ複合チップ６００の製造プロセスを示

50

す平面図である。図 17 に示されるように、LED / 駆動 IC 複合チップ 600 の製造に際しては、分割前のガラス基板 601a 上に接着層 604 になる多結晶シリコン層及び集積回路 602 になる多結晶シリコン層を一括形成する。多結晶シリコン層の形成に際しては、例えば、ガラス基板 601a 上の所定領域に、フォトリソグラフィ技術等を用いて、数百 nm 厚の SiO<sub>2</sub> 層を形成し、その上に、比較的低い加熱温度の下、CVD 法等を用いて、アモルファス状態のシリコン薄膜を形成する。次に、エキシマ・パルスレーザを照射するなどして、アモルファスシリコンの再結晶化を図り、多結晶シリコン層を得る。多結晶シリコンを主材料とする薄膜トランジスタを使った集積回路 602、即ち、ポリシリコン TFT 駆動回路の製造に際しては、多結晶シリコン層にトランジスタなどの回路要素を含む集積回路パターンを形成する。その後、ガラス基板 601a を、分割予定ライン 610 で切断し、分割されたガラス基板 601 を得る。その後、接着層 604 上への LED エピフィルムのボンディング、第 2 の層間絶縁膜の形成、個別配線層の形成等を行う。ここで、ガラス基板 601a を分割された基板 601 に分割する前に、LED エピフィルムをボンディングすることもできる。

10

#### 【0052】

以上説明したように、第 6 の実施形態に係る LED / 駆動 IC 複合チップ 600 によれば、接着層 604 と集積回路 602 とを一括の工程で製造できるので、接着層 604 と集積回路 602 と位置関係を正確に位置決めすることができる。

#### 【0053】

また、ガラス基板 601a 上に、接着層 604 と集積回路 602 とを一括形成できるので、製造コストの大幅な削減が可能になる。

20

#### 【0054】

なお、第 6 の実施形態において、上記以外の点は、上記第 1 から第 5 までの実施形態の場合と同じである。

#### 【0055】

##### < 第 7 の実施形態 >

図 18 は、本発明の第 7 の実施形態に係る半導体装置である LED / 駆動 IC 複合チップ 700 の一部を概略的に示す平面図である。また、図 19 は、第 7 の実施形態に係る LED / 駆動 IC 複合チップ 700 の製造プロセスを示す平面図である。

#### 【0056】

図 18 に示されるように、第 7 の実施形態に係る LED / 駆動 IC 複合チップ 700 は、絶縁体基板 701 と、この絶縁体基板 701 上に形成された、半導体材料を主材料とする接着層 704 と、接着層 704 上に形成された導通層 705 と、複数の LED 706a を含み、導通層 705 上に貼り付けられた（ボンディングされた）シート状の半導体薄膜である LED エピフィルム 706 とを有する。また、LED / 駆動 IC 複合チップ 700 は、絶縁体基板 701 上に形成された駆動集積回路 702 と、LED 706a 上から絶縁体基板 701 上を経由して駆動 IC 群を含む集積回路 702 上の個別端子領域に至る薄膜の個別配線層（図示せず）とを有する。個別配線層の下には、必要に応じて層間絶縁膜（図示せず）が備えられている。

30

#### 【0057】

絶縁体基板 701、接着層 704、導通層 705、LED エピフィルム 706、集積回路 702、個別配線層、層間絶縁膜の材質及び製造方法は、上記第 1 から第 6 までの実施形態の場合と同じである。

40

#### 【0058】

以上説明したように、第 7 の実施形態に係る LED / 駆動 IC 複合チップ 700 によれば、接着層と集積回路とを一括の工程で製造できるので、接着層と集積回路と位置関係を正確に位置決めすることができる。

#### 【0059】

また、絶縁体基板上に、複数の導通層を一括の構成で形成でき、接着層と集積回路とを一括形成できるので、製造コストの大幅な削減が可能になる。

50

## 【 0 0 6 0 】

## &lt; 第 8 の実施形態 &gt;

図 20 は、本発明の第 8 の実施形態に係る半導体装置である L E D / 駆動 I C 複合チップ 8 0 0 の一部を概略的に示す平面図である。

## 【 0 0 6 1 】

図 20 に示されるように、第 8 の実施形態に係る L E D / 駆動 I C 複合チップ 8 0 0 は、絶縁体基板 8 0 1 と、この絶縁体基板 8 0 1 上に形成された、半導体材料を主材料とする複数の接着層 8 0 4 と、複数の接着層 8 0 4 のそれぞれの上に形成された導通層 8 0 5 と、複数の L E D 8 0 6 a を含み、導通層 8 0 5 上に貼り付けられた（ボンディングされた）シート状の半導体薄膜である L E D エピフィلم 8 0 6 とを有する。また、L E D / 駆動 I C 複合チップ 8 0 0 は、絶縁体基板 8 0 1 上に形成された駆動集積回路 8 0 2 と、L E D 8 0 6 a 上から絶縁体基板 8 0 1 上を経由して駆動 I C 群を含む集積回路 8 0 2 上の個別端子領域に至る薄膜の個別配線層（図示せず）とを有する。個別配線層の下には、必要に応じて層間絶縁膜（図示せず）が備えられている。

10

## 【 0 0 6 2 】

絶縁体基板 8 0 1、接着層 8 0 4、導通層 8 0 5、L E D エピフィلم 8 0 6、集積回路 8 0 2、個別配線層、層間絶縁膜の材質及び製造方法は、上記第 1 から第 7 までの実施形態の場合と同じである。

## 【 0 0 6 3 】

以上説明したように、第 8 の実施形態に係る L E D / 駆動 I C 複合チップ 8 0 0 によれば、接着層と集積回路とを一括の工程で製造できるので、接着層と集積回路と位置関係を正確に位置決めすることができる。

20

## 【 0 0 6 4 】

また、ガラス基板上に、複数の導通層を一括の構成で形成でき、接着層と集積回路とを一括形成できるので、製造コストの大幅な削減が可能になる。

## 【 0 0 6 5 】

## &lt; 本発明が適用された L E D プリントヘッド &gt;

図 21 は、本発明に係る半導体装置を組み込んだ L E D プリントヘッド 9 2 0 を概略的に示す断面図である。図 21 に示されるように、L E D プリントヘッド 9 2 0 は、ベース部材 9 2 1 と、ベース部材 9 2 1 に固定された L E D ユニット 9 2 2 と、柱状の光学素子を多数配列したロッドレンズアレイ 9 2 3 と、ロッドレンズアレイ 9 2 3 を保持するホルダ 9 2 4 と、これらの構成 9 2 1 ~ 9 2 4 を固定するクランプ 9 2 5 とを有する。L E D ユニット 9 2 2 には、上記実施形態の半導体装置である L E D / 駆動 I C チップで発生した光はロッドレンズアレイ 9 2 3 を通して照射される。L E D プリントヘッド 9 2 0 は、電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。

30

## 【 0 0 6 6 】

## &lt; 可能な変形例 &gt;

なお、上記実施形態においては、接着層上に導通層を備えた場合を説明したが、導通層は、ポリシリコンや、I T O、Z n O 等の導電性酸化物等の金属以外の材料で構成してもよい。

40

## 【 0 0 6 7 】

また、上記実施形態においては、S i 基板上に L E D エピフィلمを貼り付けた場合を説明したが、基板材料には、アモルファスシリコン、単結晶シリコン、ポリシリコンの他、化合物半導体、有機半導体、及び絶縁体材料（ガラスやサファイヤ等）のような他の材料を用いることもできる。

## 【 0 0 6 8 】

また、上記実施形態においては、半導体薄膜に備えられた半導体素子が、L E D である場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及びピエゾ素子等のような他の素子であってもよい。

## 【 0 0 6 9 】

50

また、上記実施形態においては、LEDエピフィルムがエピタキシャル層から構成された場合を説明したが、LEDエピフィルムに代えてエピタキシャル層ではない半導体薄膜を採用してもよい。

【0070】

【発明の効果】

以上に説明したように、本発明によれば、基板の端子領域を有する面上に半導体薄膜を貼り付け、これらを薄膜の個別配線層で電氣的に接続する構造を採用したので、半導体装置の小型化及び材料コストの低減を図ることができるという効果がある。

【0071】

また、本発明によれば、第1の層間絶縁膜と導通層との間又は第1の層間絶縁膜と半導体薄膜との間に接着層を介在させたので、第1の層間絶縁膜と導通層との間又は第1の層間絶縁膜と半導体薄膜との間の強力な密着性を得ることができ、その結果、装置の信頼性を確保することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るLED/駆動IC複合チップを概略的に示す平面図である。

【図2】 図1のA<sub>2</sub>部を拡大して示す平面図である。

【図3】 図2のA<sub>3</sub>部を概略的に示す斜視図である。

【図4】 図2をS<sub>4</sub>-S<sub>4</sub>線で切る面を概略的に示す断面図である。

【図5】 第1の実施形態に係るLED/駆動IC複合チップのLEDエピフィルムの製造プロセス(その1)を概略的に示す断面図である。

【図6】 第1の実施形態に係るLED/駆動IC複合チップのLEDエピフィルムの製造プロセス(その2)を概略的に示す断面図である。

【図7】 第1の実施形態に係るLED/駆動IC複合チップを実装基板上に実装したLEDユニットを概略的に示す斜視図である。

【図8】 本発明の第2の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す平面図である。

【図9】 図8をS<sub>9</sub>-S<sub>9</sub>線で切る面を概略的に示す断面図である。

【図10】 第2の実施形態に係るLED/駆動IC複合チップを実装基板上に実装したLEDユニットを概略的に示す斜視図である。

【図11】 本発明の第3の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す平面図である。

【図12】 本発明の第4の実施形態に係るLED/駆動IC複合チップを概略的に示す断面図である。

【図13】 本発明の第5の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す斜視図である。

【図14】 本発明の第6の実施形態に係るLED/駆動IC複合チップを概略的に示す斜視図である。

【図15】 第6の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す平面図である。

【図16】 第6の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す斜視図である。

【図17】 第6の実施形態に係るLED/駆動IC複合チップの製造プロセスを概略的に示す平面図である。

【図18】 本発明の第7の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す平面図である。

【図19】 第7の実施形態に係るLED/駆動IC複合チップの製造プロセスを概略的に示す平面図である。

【図20】 本発明の第8の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す平面図である。

10

20

30

40

50

【図 2 1】 本発明に係る半導体装置を組み込んだ L E D プリントヘッドを概略的に示す断面図である。

【図 2 2】 従来の L E D プリントヘッドの一部を概略的に示す斜視図である。

【図 2 3】 図 2 2 の L E D プリントヘッドに備えられた L E D アレイチップの一部を示す平面図である。

【符号の説明】

1 0 0 , 2 0 0 , 3 0 0 , 4 0 0 , 5 0 0 , 6 0 0 , 7 0 0 , 8 0 0 L E D / 駆動 I C 複合チップ、

1 0 1 , 3 0 1 , 4 0 1 , 6 0 1 , 7 0 1 S i 基板、

1 0 2 , 4 0 2 , 6 0 2 集積回路、

1 0 3 , 3 0 3 , 4 0 3 第 1 の層間絶縁膜、

1 0 4 , 3 0 4 , 4 0 4 , 6 0 4 , 7 0 4 , 8 0 4 接着層、

1 0 5 , 3 0 5 , 4 0 5 , 7 0 5 , 8 0 5 導通層、

1 0 6 , 2 0 6 , 3 0 6 , 4 0 6 , 6 0 6 , 7 0 6 , 8 0 6 エピタキシャルフィルム ( L E D エピフィルム ) 、

1 0 6 a 半導体エピタキシャル層、

1 0 7 , 2 0 7 , 3 0 7 , 6 0 7 個別配線層、

1 0 8 集積回路の個別端子領域、

1 0 9 , 2 0 9 第 2 の層間絶縁膜、

1 0 9 a 第 2 の層間絶縁膜の開口部、

1 1 1 G a A s コンタクト層 ( n 型 G a A s 層 ) 、

1 1 2 A l G a A s 下クラッド層 ( n 型  $A l_x G a_{1-x} A s$  層 ) 、

1 1 3 A l G a A s 活性層 ( p 型  $A l_y G a_{1-y} A s$  層 ) 、

1 1 4 A l G a A s 上クラッド層 ( p 型  $A l_z G a_{1-z} A s$  層 ) 、

1 1 5 G a A s コンタクト層 ( p 型 G a A s 層 ) 、

1 2 0 L E D エピフィルム形成用基板、

1 2 1 G a A s 基板、

1 2 2 G a A s バッファ層、

1 2 3 ( A l G a ) I n P エッチングストップ層、

1 2 4 A l A s 剥離層、

1 2 5 溝、

1 3 0 , 2 3 0 L E D ユニット、

1 3 1 , 2 3 1 実装基板、

2 0 6 a , 3 0 6 a L E D 、

2 1 1 n 型 G a A s 層、

2 1 2 n 型  $A l_x G a_{1-x} A s$  層、

2 1 3 n 型  $A l_y G a_{1-y} A s$  層、

2 1 4 n 型  $A l_z G a_{1-z} A s$  層、

2 1 5 n 型 G a A s 層、

2 1 6 Z n 拡散領域、

3 0 8 電極パッド、

6 0 1 a 絶縁体基板、

6 1 0 分割予定ライン、

7 0 1 a 分割前のガラス基板、

9 2 0 L E D プリントヘッド、

9 2 2 L E D ユニット、

9 2 3 ロッドレンズアレイ。

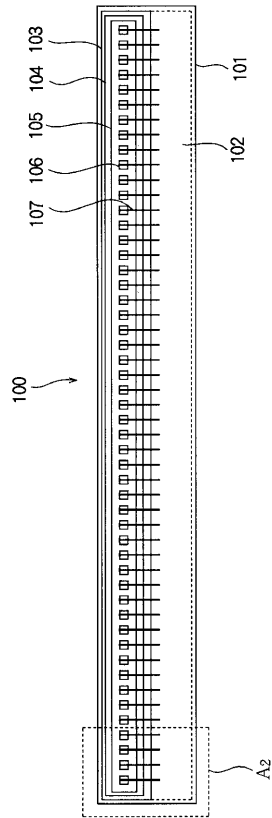
10

20

30

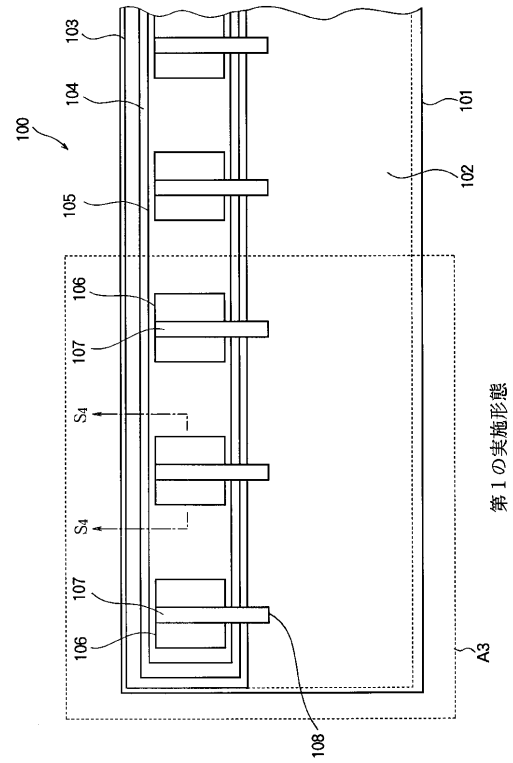
40

【図 1】



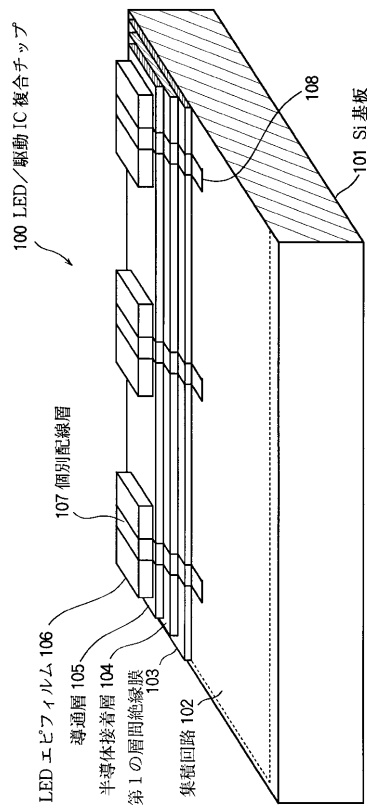
第1の実施形態

【図 2】



第1の実施形態

【図 3】



第1の実施形態

【図 4】

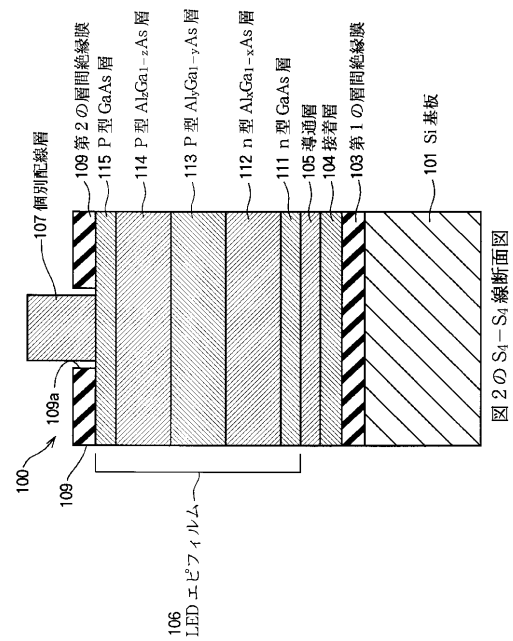


図2のS1-S4線断面図





【図 9】

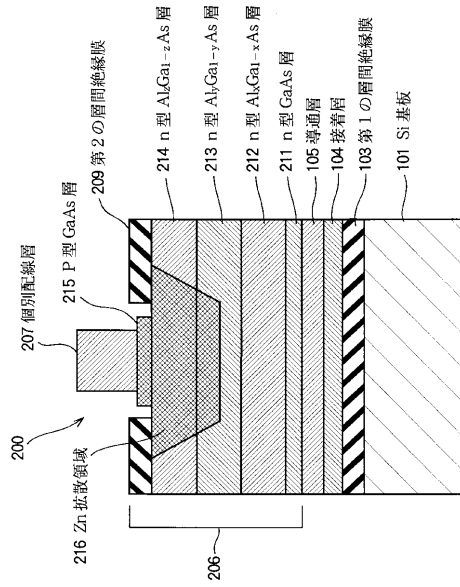
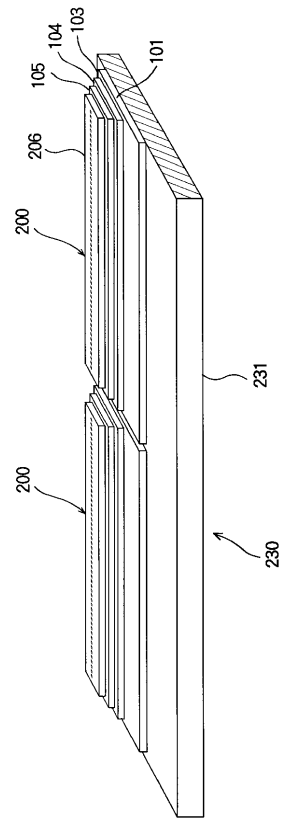
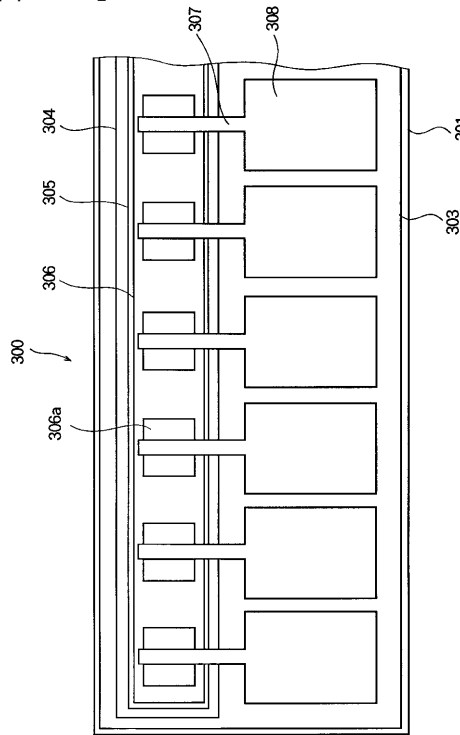


図 8 の  $\text{S}_0\text{-S}_0$  線断面図

【図 10】

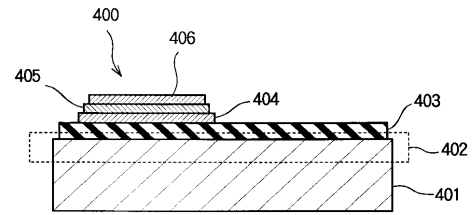


【図 11】



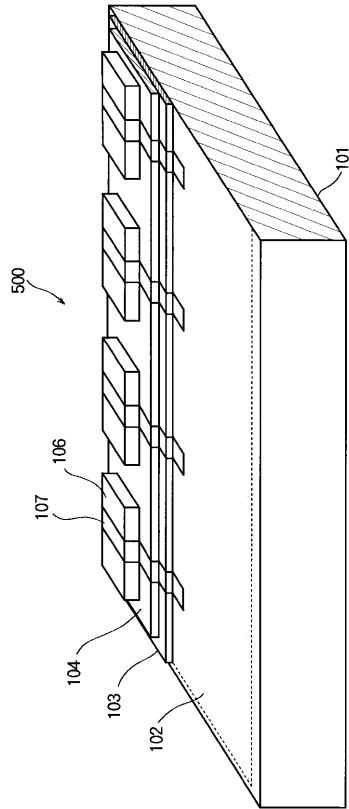
第 3 の実施形態

【図 12】



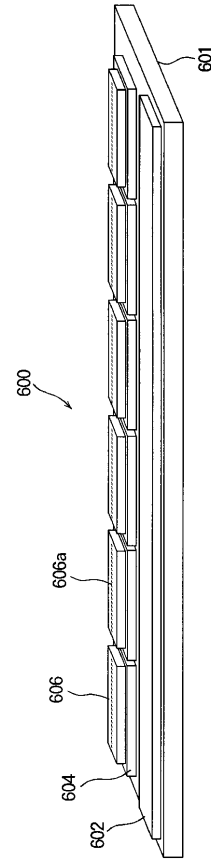
第 4 の実施形態

【図 13】



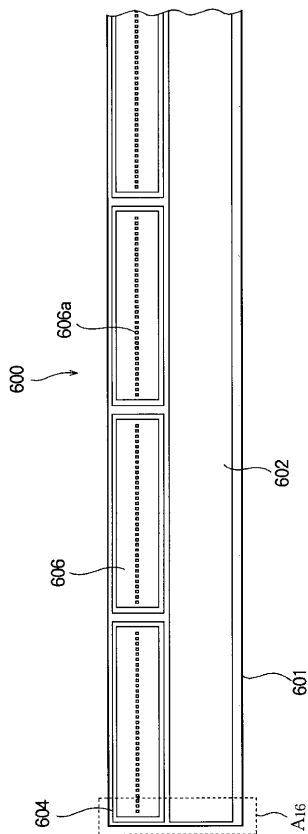
第 5 の実施形態

【図 14】



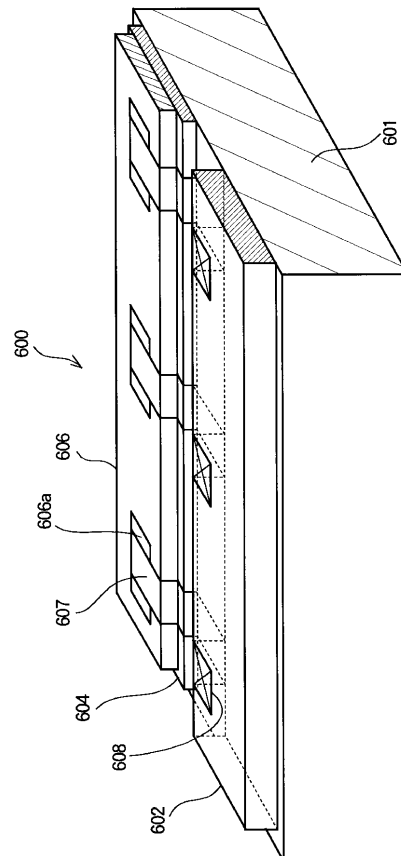
第 6 の実施形態

【図 15】



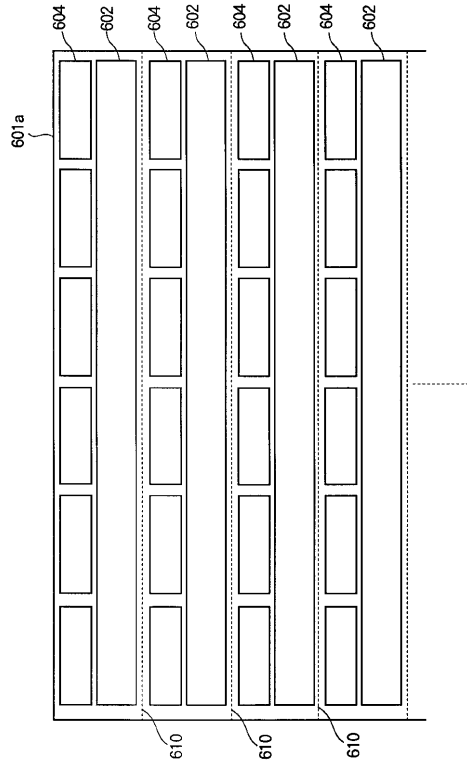
第 6 の実施形態

【図 16】



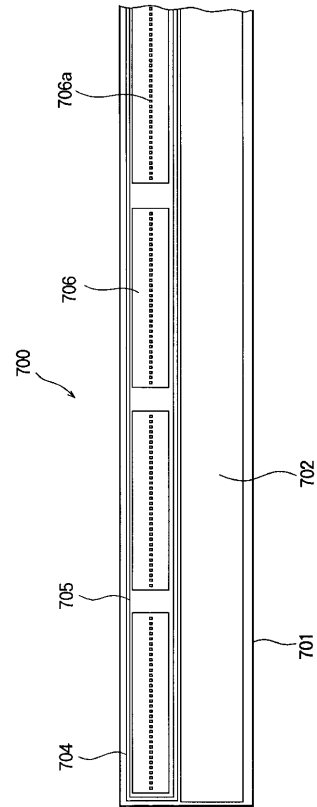
第 6 の実施形態

【 図 1 7 】



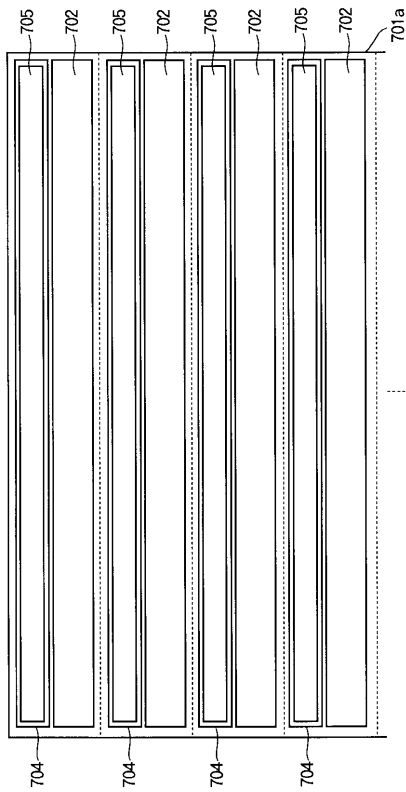
## 第6の実施形態

【 図 1 8 】



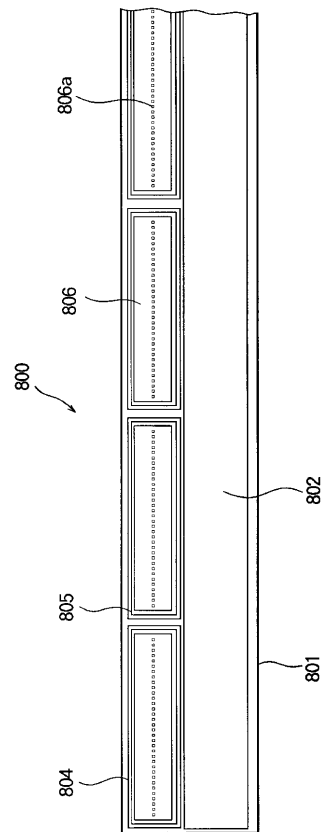
## 第7の実施形態

【 図 1 9 】



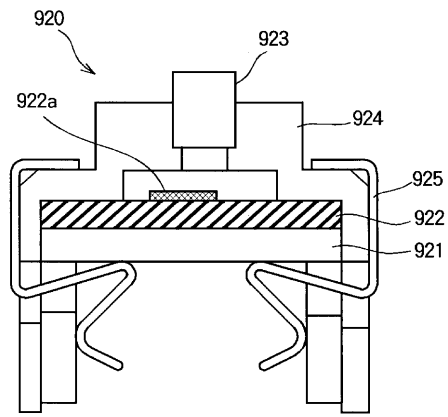
## 第7の実施形態

【 図 2 0 】



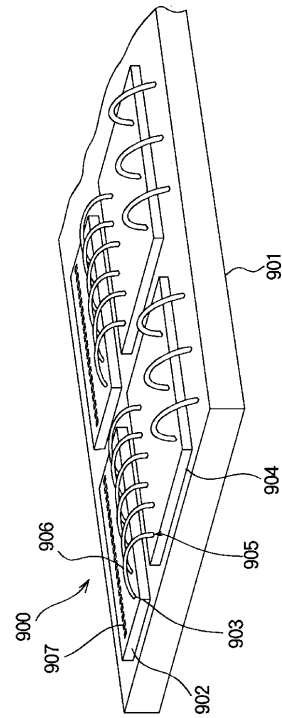
## 第8の実施形態

【図 2 1】



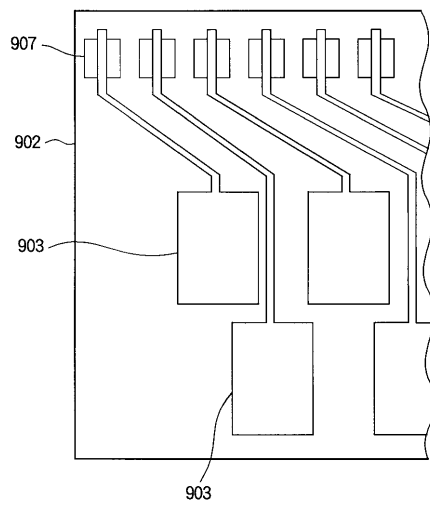
LED プリントヘッド

【図 2 2】



従来例

【図 2 3】



従来例

---

フロントページの続き

- (72)発明者 藤原 博之  
東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内
- (72)発明者 佐久田 昌明  
東京都港区芝浦4丁目11番17号 株式会社イー・イー・ジィ内
- (72)発明者 安孫子 一松  
東京都港区芝浦4丁目11番17号 株式会社イー・イー・ジィ内

審査官 田中 永一

- (56)参考文献 特開平07-099267(JP,A)  
特開2003-086762(JP,A)  
特開平01-140652(JP,A)  
特開2002-141492(JP,A)  
特開2002-237644(JP,A)  
特開平04-087383(JP,A)  
特開2002-184805(JP,A)  
特開平04-114470(JP,A)  
特開昭61-113252(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/52  
B41J 2/44  
B41J 2/45  
B41J 2/455  
H01L 33/00