

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号

特許第7100219号

(P7100219)

(45)発行日 令和4年7月12日(2022.7.12)

(24)登録日 令和4年7月4日(2022.7.4)

(51)国際特許分類

H 0 1 L 29/78 (2006.01)

F I

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 2 F

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 2 L

H 0 1 L 29/78 6 5 2 M

請求項の数 22 (全85頁) 最終頁に続く

(21)出願番号 特願2022-529718(P2022-529718)

(86)(22)出願日 令和4年2月10日(2022.2.10)

(86)国際出願番号 PCT/JP2022/005414

審査請求日 令和4年5月20日(2022.5.20)

(31)優先権主張番号 63/167,348

(32)優先日 令和3年3月29日(2021.3.29)

(33)優先権主張国・地域又は機関

米国(US)

早期審査対象出願

(73)特許権者 520133916

ヌヴォンテクノロジージャパン株式会
社

京都府長岡京市神足焼町1番地

(74)代理人 100109210

弁理士 新居 広守

(74)代理人 100137235

弁理士 寺谷 英作

(74)代理人 100131417

弁理士 道坂 伸一

(72)発明者 山本 興輝

日本国京都府長岡京市神足焼町1番地
ヌヴォンテクノロジージャパン株式会
社内

(72)発明者 秋吉 伸一

最終頁に続く

(54)【発明の名称】 半導体装置および半導体モジュール

(57)【特許請求の範囲】

【請求項1】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、
半導体層と、

前記半導体層の裏面に接触して形成された金属層と、

前記半導体層の内部の第1の半導体層内領域に形成された第1の縦型MOSトランジスタと、

前記内部の、前記半導体層の平面視において前記第1の半導体層内領域に隣接した第2の半導体層内領域に形成された第2の縦型MOSトランジスタと、

前記半導体層の上面の第1の半導体層上面領域に形成された、前記第1の縦型MOSトランジスタのソース電極に接続された1以上の第1のソースパッド、および、前記第1の縦型MOSトランジスタのゲート電極に接続された第1のゲートパッドと、

前記上面の、前記半導体層の平面視において前記第1の半導体層上面領域に隣接した第2の半導体層上面領域に形成された、前記第2の縦型MOSトランジスタのソース電極に接続された1以上の第2のソースパッド、および、前記第2の縦型MOSトランジスタのゲート電極に接続された第2のゲートパッドと、を備え、

前記第1の半導体層内領域と前記第2の半導体層内領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、

前記第1の半導体層上面領域と前記第2の半導体層上面領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、

前記半導体層は、半導体基板を有し、
前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域として機能し、
前記半導体層は、前記半導体層の平面視において矩形であり、
前記半導体層の平面視において、
前記第1のゲートパッドの中心と前記第2のゲートパッドの中心とを結ぶ第1の仮想直線は、前記半導体層の中心を通り、前記半導体層の各辺となす角が45度であり、
前記第1の半導体層上面領域と前記第2の半導体層上面領域との境界線である上面境界線の長さは、前記半導体層の長辺の長さよりも長く、
前記上面境界線は、前記長辺の伸びる長辺方向、および、前記半導体層の短辺の伸びる短辺方向において単調に変化する
半導体装置。

10

【請求項2】

前記半導体層は、前記半導体層の平面視において正方形である
請求項1に記載の半導体装置。

【請求項3】

前記第1のゲートパッドは、前記半導体層の平面視において、前記第1のゲートパッドと、前記半導体層の4つの辺のうち最近接する第1の辺および第2の辺との間に、前記1以上の第1のソースパッドが一部でも挟まれないように配置され、
前記第2のゲートパッドは、前記半導体層の平面視において、前記第2のゲートパッドと、前記半導体層の4つの辺のうち最近接する第3の辺および第4の辺との間に、前記1以上の第2のソースパッドが一部でも挟まれないように配置される
請求項2に記載の半導体装置。

20

【請求項4】

前記上面境界線と前記第1の辺または前記第2の辺との交点を第1の交点とし、前記上面境界線と前記第3の辺または前記第4の辺との交点を第2の交点とする場合において、前記第1の交点と前記第2の交点とを結ぶ第2の仮想直線と前記第1の仮想直線との、前記半導体層の平面視においてなす角は、45度より大きく90度以下である
請求項3に記載の半導体装置。

【請求項5】

前記角は、60度以上90度以下である
請求項4に記載の半導体装置。

30

【請求項6】

前記上面境界線と前記第1の辺または前記第2の辺との交点を第1の交点とし、前記上面境界線と前記第3の辺または前記第4の辺との交点を第2の交点とする場合において、前記第1の交点と前記第2の交点とを結ぶ第2の仮想直線と前記第1の仮想直線との、前記半導体層の平面視においてなす角は、0度以上45度未満である
請求項3に記載の半導体装置。

【請求項7】

前記角は、0度以上22度未満である
請求項6に記載の半導体装置。

40

【請求項8】

前記半導体層の平面視において、
前記半導体層の4つの辺のうち、前記第1のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有する辺を第1の辺とし、前記第1のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有さない辺を第2の辺とし、前記第2のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有する辺を第3の辺とし、前記第2のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有さない辺を第4の辺とし、前記第1の辺と前記第4の辺とがなす頂点を第1の頂点とし、前記第2の辺と前記第3の辺とがなす頂点を第2の頂点とし、前記上面境界線と前記第

50

1の辺との交点を第1の交点とし、前記上面境界線と前記第3の辺との交点を第2の交点とする場合に、

前記第1の頂点と前記第1の交点との距離は、前記半導体層の辺の長さの $1/N$ （ N は、3以上の整数）以上であり、かつ、前記第2のゲートパッドの最大径よりも長く、前記第2の頂点と前記第2の交点との距離は、前記半導体層の辺の長さの $1/N$ 以上であり、かつ、前記第1のゲートパッドの最大径よりも長く、

前記上面境界線は、前記第2の辺に平行な $N-1$ 本の線分と、前記第1の辺に平行な $N-2$ 本の線分とが交互に接続されてなる

請求項2に記載の半導体装置。

【請求項9】

N は、3、4、または、5のいずれかである

請求項8に記載の半導体装置。

【請求項10】

前記1以上の第1のソースパッドは複数であり、

前記1以上の第1のソースパッドのそれぞれは、前記半導体層の平面視において、前記第1の辺に平行な方向に長手方向を有する長方形または長円形であり、前記第1の辺に平行に縞状に形成され、

前記1以上の第2のソースパッドは複数であり、

前記1以上の第2のソースパッドのそれぞれは、前記半導体層の平面視において、前記第1の辺に平行な方向に長手方向を有する長方形または長円形であり、前記第1の辺に平行に縞状に形成される

請求項8または請求項9に記載の半導体装置。

【請求項11】

前記1以上の第1のソースパッドは1つであり、前記第1のゲートパッドの領域を除く前記第1の半導体層上面領域の略全面に配置され、

前記1以上の第2のソースパッドは1つであり、前記第2のゲートパッドの領域を除く前記第2の半導体層上面領域の略全面に配置される

請求項3に記載の半導体装置。

【請求項12】

前記1以上の第1のソースパッドは複数であり、

前記1以上の第1のソースパッドのそれぞれは、他の第1のソースパッドと対向する辺のそれぞれが、前記上面境界線に直交するまたは平行する辺となる形状であり

前記1以上の第2のソースパッドは複数であり、

前記1以上の第2のソースパッドのそれぞれは、他の第2のソースパッドと対向する辺のそれぞれが、前記上面境界線に直交するまたは平行する辺となる形状である

請求項3に記載の半導体装置。

【請求項13】

請求項1に記載の第1の半導体装置と、

前記第1の半導体装置がフェイスダウン実装された実装基板と、を備え、

前記実装基板は、前記第1の半導体装置の前記第1のゲートパッドに電氣的に接続される第1の導体を通す第1のビアと、前記第1の半導体装置の前記第2のゲートパッドに電氣的に接続される第2の導体を通す第2のビアと、を有する

半導体モジュール。

【請求項14】

前記実装基板の平面視において、

前記第1のビアの中心と前記第2のビアの中心とは、前記第1の半導体装置の前記第1の仮想直線上に位置する

請求項13に記載の半導体モジュール。

【請求項15】

前記第1の半導体装置は、請求項3に記載の半導体装置であって、

10

20

30

40

50

前記実装基板の平面視において、

前記第1のビアの中心は、前記第1の半導体装置の、(1)前記第1の仮想直線上、(2)前記第1の辺が伸びる方向に前記第2の辺を超えた、前記第1の半導体装置の外側、かつ、前記第2の辺が伸びる方向において、前記第1のゲートパッドの中心と前記第1の辺との間、または、(3)前記第2の辺が伸びる方向に前記第1の辺を超えた、前記第1の半導体装置の外側、かつ、前記第1の辺が伸びる方向において、前記第1のゲートパッドの中心と前記第2の辺との間のいずれかに位置し、

前記第2のビアの中心は、前記第1の半導体装置の、(1)前記第1の仮想直線上、(2)前記第3の辺が伸びる方向に前記第4の辺を超えた、前記第1の半導体装置の外側、かつ、前記第4の辺が伸びる方向において、前記第2のゲートパッドの中心と前記第3の辺との間、または、(3)前記第4の辺が伸びる方向に前記第3の辺を超えた、前記第1の半導体装置の外側、かつ、前記第3の辺が伸びる方向において、前記第2のゲートパッドの中心と前記第4の辺との間のいずれかに位置する

請求項13に記載の半導体モジュール。

【請求項16】

前記第1の半導体装置は、請求項4に記載の半導体装置であって、

前記実装基板の平面視において、

前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第1の表面に、前記長手方向が伸びる方向に並ぶ、前記第1の半導体装置の前記1以上の第1のソースパッドの全てと接合する第1の金属配線と、前記第1の半導体装置の前記1以上の第2のソースパッドの全てと接合する第2の金属配線とを有し、

前記第1の半導体装置は、前記第2の仮想直線と前記長手方向が伸びる方向とのなす角が、15度以上75度以下となる向きに、前記第1の表面に実装される

請求項15に記載の半導体モジュール。

【請求項17】

さらに、請求項4に記載の第2の半導体装置を備え、

前記実装基板の平面視において、

前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、

前記第2の半導体装置は、前記第1の半導体装置に対して、前記長手方向が伸びる方向のうちの、前記第1の延伸方向と逆向きの第2の延伸方向に平行移動した位置で、前記第1の半導体装置の前記第2の仮想直線と、前記第2の半導体装置の前記第2の仮想直線とが平行になる向きであり、かつ、前記第2の半導体装置の前記第1のゲートパッドの位置が、前記第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され

前記実装基板は、さらに、前記第1の表面に、前記第2の金属配線に対して前記第2の延伸方向に並ぶ、前記第2の半導体装置の前記1以上の第2のソースパッドの全てと接合する第3の金属配線を有し、

前記第2の金属配線は、さらに、前記第2の半導体装置の前記1以上の第1のソースパッドの全てと接合する

請求項16に記載の半導体モジュール。

【請求項18】

さらに、請求項4に記載の第2の半導体装置を備え、

前記実装基板の平面視において、

前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、

前記第2の半導体装置は、前記第1の半導体装置に対して、前記長手方向が伸びる方向と直交する方向に平行移動した位置で、前記第1の半導体装置の前記第2の仮想直線と、前

10

20

30

40

50

記第 2 の半導体装置の前記第 2 の仮想直線とが直角になる向きであり、かつ、前記第 2 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され

前記第 1 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合し、

前記第 2 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合し、

前記第 2 の半導体装置の前記第 2 のゲートパッドは、前記第 2 の導体に電氣的に接続される請求項 1 6 に記載の半導体モジュール。

【請求項 1 9】

さらに、請求項 4 に記載の第 2 の半導体装置を備え、

前記実装基板の平面視において、

前記第 1 の半導体装置は、さらに、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記第 1 の半導体装置に対して、前記第 1 の半導体装置の前記第 2 の仮想直線の伸びる方向に略平行移動した位置で、前記第 1 の半導体装置の前記第 2 の仮想直線と、前記第 2 の半導体装置の前記第 2 の仮想直線とが一直線上または平行になる向きであり、かつ、前記第 2 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 1 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合し、

前記第 2 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する

請求項 1 6 に記載の半導体モジュール。

【請求項 2 0】

さらに、請求項 4 に記載の第 2 の半導体装置を備え、

前記実装基板の平面視において、

前記第 1 の半導体装置は、さらに、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記実装基板の、前記第 1 の表面に対向する第 2 の表面に、前記半導体基板の平面視において、前記第 1 の半導体装置の前記第 1 の半導体層上面領域と前記第 2 の半導体装置の前記第 1 の半導体層上面領域とが 5 0 % を上回って重なり、かつ、前記第 1 の半導体装置の前記第 2 の半導体層上面領域と前記第 2 の半導体装置の前記第 2 の半導体層上面領域とが 5 0 % を上回って重なる位置に、前記第 2 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の延伸方向側に位置する向きに、フェイスダウン実装され、

前記第 2 の半導体装置の前記第 1 のゲートパッドは、前記第 1 の導体に電氣的に接続され、前記第 2 の半導体装置の前記第 2 のゲートパッドは、前記第 2 の導体に電氣的に接続される請求項 1 6 に記載の半導体モジュール。

【請求項 2 1】

前記第 1 の半導体装置は、請求項 6 に記載の半導体装置であって、

前記実装基板の平面視において、

前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第 1 の表面に、前記長手方向が伸びる方向に並ぶ、前記第 1 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合する第 1 の金属配線と、前記第 1 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する第 2 の金属配線とを有し、

前記第 1 の半導体装置は、前記第 1 の半導体装置の各辺と前記長手方向が伸びる方向との

10

20

30

40

50

なす角が45度となる向きに、前記実装基板にフェイスダウン実装される請求項15に記載の半導体モジュール。

【請求項22】

さらに、請求項6に記載の第2の半導体装置を備え、

前記実装基板の平面視において、

前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、

前記第2の半導体装置は、前記第1の半導体装置に対して、前記長手方向が伸びる方向と直交する方向に平行移動した位置で、前記第1の半導体装置の前記第2の仮想直線と、前記第2の半導体装置の前記第2の仮想直線とが平行になる向きに、前記第1の表面にフェイスダウン実装され

前記第1の金属配線は、さらに、前記第2の半導体装置の前記1以上の第1のソースパッドの全てと接合し、

前記第2の金属配線は、さらに、前記第2の半導体装置の前記1以上の第2のソースパッドの全てと接合し、

前記半導体基板は、さらに、前記第2の半導体装置の前記第1のゲートパッドに電氣的に接続される第3の導体を通す第3のビアと、前記第2の半導体装置の前記第2のゲートパッドに電氣的に接続される第4の導体を通す第4のビアと、を有し、

前記第1のビアと前記第2のビアと前記第3のビアと前記第4のビアとは、前記実装基板の前記長手方向が伸びる方向において、前記第1の金属配線と前記第2の金属配線との間に位置する

請求項21に記載の半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置、および、それを用いた半導体モジュールに関する。

【背景技術】

【0002】

従来、実装基板に実装され、実装基板における電流経路の導通状態と非導通状態とを切り替える半導体装置が知られている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2019-129308号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一般に、実装基板において主電流が流れる電流経路は、効率的に電流を流すことができるように（例えば、導通抵抗が低減されるように、または／および、例えば、導通電流による発熱が効果的に放熱されるように）設計される。このため、実装基板に実装される、主電流が流れる電流経路の導通状態と非導通状態とを切り替える半導体装置には、実装基板における電流経路に効率的に電流を流すことができる特徴を有することが望まれる。これは、主電流が大電流であるほど求められることである。

【0005】

そこで、本開示は、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置、および、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することを目的とする。

【課題を解決するための手段】

【0006】

10

20

30

40

50

本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層の裏面に接触して形成された金属層と、前記半導体層の内部の第1の半導体層内領域に形成された第1の縦型MOSトランジスタと、前記内部の、前記半導体層の平面視において前記第1の半導体層内領域に隣接した第2の半導体層内領域に形成された第2の縦型MOSトランジスタと、前記半導体層の上面の第1の半導体層上面領域に形成された、前記第1の縦型MOSトランジスタのソース電極に接続された1以上の第1のソースパッド、および、前記第1の縦型MOSトランジスタのゲート電極に接続された第1のゲートパッドと、前記上面の、前記半導体層の平面視において前記第1の半導体層上面領域に隣接した第2の半導体層上面領域に形成された、前記第2の縦型MOSトランジスタのソース電極に接続された1以上の第2のソースパッド、および、前記第2の縦型MOSトランジスタのゲート電極に接続された第2のゲートパッドと、を備え、前記第1の半導体層内領域と前記第2の半導体層内領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記第1の半導体層上面領域と前記第2の半導体層上面領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記半導体層は、半導体基板を有し、前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域として機能し、前記半導体層は、前記半導体層の平面視において矩形であり、前記半導体層の平面視において、前記第1のゲートパッドの中心と前記第2のゲートパッドの中心とを結ぶ第1の仮想直線は、前記半導体層の中心を通り、前記半導体層の各辺となす角が45度であり、前記第1の半導体層上面領域と前記第2の半導体層上面領域との境界線である上面境界線の長さは、前記半導体層の長辺の長さよりも長く、前記上面境界線は、前記長辺の伸びる長辺方向、および、前記半導体層の短辺の伸びる短辺方向において単調に変化する。

【0007】

本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層の裏面に接触して形成された金属層と、前記半導体層の内部の第1の半導体層内領域に形成された第1の縦型MOSトランジスタと、前記内部の、前記半導体層の平面視において前記第1の半導体層内領域に隣接した第2の半導体層内領域に形成された第2の縦型MOSトランジスタと、前記半導体層の上面の第1の半導体層上面領域に形成された、前記第1の縦型MOSトランジスタのソース電極に接続された1以上の第1のソースパッド、および、前記第1の縦型MOSトランジスタのゲート電極に接続された第1のゲートパッドと、前記上面の、前記半導体層の平面視において前記第1の半導体層上面領域に隣接した第2の半導体層上面領域に形成された、前記第2の縦型MOSトランジスタのソース電極に接続された1以上の第2のソースパッド、および、前記第2の縦型MOSトランジスタのゲート電極に接続された第2のゲートパッドと、を備え、前記第1の半導体層内領域と前記第2の半導体層内領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記第1の半導体層上面領域と前記第2の半導体層上面領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記半導体層は、半導体基板を有し、前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域として機能し、前記半導体層は、前記半導体層の平面視において矩形であり、前記半導体層の平面視において、前記第1の半導体層内領域と前記第2の半導体層内領域との境界線である内部境界線は、前記半導体層の長辺の伸びる長辺方向、および、前記半導体層の短辺の伸びる短辺方向において単調に変化し、前記内部境界線の一方の第1の終端、および、前記内部境界線の他方の第2の終端を結ぶ仮想直線と、前記半導体層の辺のうちの、前記第1の終端または前記第2の終端を有さない辺となす角は16度以上である。

【0008】

本開示の一態様に係る半導体モジュールは、上記の第1の半導体装置と、前記第1の半導体装置がフェイスダウン実装された実装基板と、を備え、前記実装基板は、前記第1の半

導体装置の前記第１のゲートパッドに電氣的に接続される第１の導体を通す第１のビアと、前記第１の半導体装置の前記第２のゲートパッドに電氣的に接続される第２の導体を通す第２のビアと、を有する。

【０００９】

本開示の一態様に係る半導体モジュールは、上記の第１の半導体装置と、上記の第２の半導体装置と、前記第１の半導体装置と前記第２の半導体装置とが、第１の表面にフェイスダウン実装された実装基板と、を備え、前記実装基板の平面視において、前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記第２の半導体装置は、前記第１の半導体装置に対して、前記長手方向が伸びる方向に平行移動した位置に、前記第１の半導体装置と同じ向きに、前記第１の表面にフェイスダウン実装され、前記実装基板は、前記実装基板の第１の表面に、前記長手方向が伸びる方向に順に並ぶ、前記第１の半導体装置の前記１以上の第１のソースパッドの全てと接合する第１の金属配線と、前記第１の半導体装置の前記１以上の第２のソースパッドの全て、および、前記第２の半導体装置の前記１以上の第１のソースパッドの全てと接合する第２の金属配線と、前記第２の半導体装置の前記１以上の第２のソースパッドの全てと接合する第３の金属配線とを有する。

10

【００１０】

本開示の一態様に係る半導体モジュールは、上記の第１の半導体装置と、上記の第２の半導体装置と、前記第１の半導体装置と前記第２の半導体装置とが、第１の表面にフェイスダウン実装された実装基板と、を備え、前記実装基板の平面視において、前記第２の半導体装置は、前記第１の半導体装置に対して、前記仮想直線の伸びる向きに略平行移動した位置に、前記第１の半導体装置と同じ向きに、前記第１の表面にフェイスダウン実装され、前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第１の表面に、前記長手方向が伸びる方向に並ぶ、前記第１の半導体装置の前記１以上の第１のソースパッドの全て、および、前記第２の半導体装置の前記１以上の第１のソースパッドの全てと接合する第１の金属配線と、前記第１の半導体装置の前記１以上の第２のソースパッドの全て、および、前記第２の半導体装置の前記１以上の第２のソースパッドの全てと接合する第２の金属配線とを有する。

20

【発明の効果】

30

【００１１】

本開示の一態様に係る半導体装置によると、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置を提供することができる。また、本開示の一態様に係る半導体モジュールによると、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することができる。

【図面の簡単な説明】

【００１２】

【図１】図１は、実施の形態１に係る半導体装置の構造の一例を示す断面図である。

【図２】図２は、実施の形態１に係る半導体装置の構造の一例を示す平面図である。

【図３】図３は、実施の形態１に係る半導体装置の構造の一例を示す平面図である。

40

【図４】図４は、実施の形態１に係る半導体装置の構造の一例を示す平面図である。

【図５】図５は、実施の形態１に係る半導体モジュールの構造の一例を示す平面図である。

【図６】図６は、実施の形態１に係る実装基板の表面に、実施の形態１に係る半導体装置がフェイスダウン実装される様子を示す模式図である。

【図７】図７は、実施の形態１に係る第１のビアおよび第２のビアの配置位置のバリエーションの一例を示す平面図である。

【図８】図８は、実施の形態１に係る半導体装置と比較例に係る半導体装置とを比較した比較結果を示す一覧図である。

【図９】図９は、実施の形態１に係る半導体装置と比較例に係る半導体装置とを比較した比較結果を示す一覧図である。

50

【図 10 A】図 10 A は、実施の形態 1 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 10 B】図 10 B は、実施の形態 1 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 10 C】図 10 C は、実施の形態 1 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 10 D】図 10 D は、実施の形態 1 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 11】図 11 は、実施の形態 1 に係る実装基板の表面に、実施の形態 1 に係る半導体装置がフェイスダウン実装される様子を示す模式図である。

10

【図 12】図 12 は、実施の形態 2 に係る半導体装置の構造の一例を示す平面図である。

【図 13】図 13 は、実施の形態 2 に係る半導体装置の構造の一例を示す平面図である。

【図 14】図 14 は、実施の形態 2 に係る半導体モジュールの構造の一例を示す平面図である。

【図 15】図 15 は、実施の形態 2 に係る実装基板の表面に、実施の形態 2 に係る半導体装置がフェイスダウン実装される様子を示す模式図である。

【図 16】図 16 は、実施の形態 2 に係る半導体モジュールの構造の一例を示す平面図である。

【図 17】図 17 は、実施の形態 2 に係る実装基板の表面に、実施の形態 2 に係る半導体装置がフェイスダウン実装される様子を示す模式図である。

20

【図 18】図 18 は、実施の形態 2 に係る整合度と従来比整合度改善率との関係を示すグラフである。

【図 19 A】図 19 A は、実施の形態 2 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 19 B】図 19 B は、実施の形態 2 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 20】図 20 は、実施の形態 3 に係る半導体装置の構造の一例を示す平面図である。

【図 21】図 21 は、実施の形態 3 に係る半導体装置の構造の一例を示す平面図である。

【図 22】図 22 は、実施の形態 3 に係る半導体モジュールの構造の一例を示す平面図である。

30

【図 23 A】図 23 A は、実施の形態 3 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 23 B】図 23 B は、実施の形態 3 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 23 C】図 23 C は、実施の形態 3 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 23 D】図 23 D は、実施の形態 3 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 23 E】図 23 E は、実施の形態 3 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

40

【図 24】図 24 は、実施の形態 4 に係る半導体装置の構造の一例を示す平面図である。

【図 25】図 25 は、実施の形態 4 に係る半導体装置の構造の一例を示す平面図である。

【図 26】図 26 は、実施の形態 4 に係る半導体モジュールの構造の一例を示す平面図である。

【図 27】図 27 は、実施の形態 4 に係る半導体装置の平面図である。

【図 28】図 28 は、比率 Z/X と角 $\theta 2$ および角 $\theta 3$ との関係を示すグラフである。

【図 29 A】図 29 A は、実施の形態 4 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

【図 29 B】図 29 B は、実施の形態 4 に係る第 1 のソースパッドと第 2 のソースパッドとその他の配置例を例示する平面図である。

50

【図 3 0 A】図 3 0 A は、実施の形態 5 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 0 B】図 3 0 B は、実施の形態 5 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 0 C】図 3 0 C は、実施の形態 5 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 0 D】図 3 0 D は、実施の形態 5 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 0 E】図 3 0 E は、実施の形態 5 に係る半導体モジュールの構造の一例を示す平面図である。

10

【図 3 1 A】図 3 1 A は、実施の形態 6 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 1 B】図 3 1 B は、実施の形態 6 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 1 C】図 3 1 C は、実施の形態 6 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 1 D】図 3 1 D は、実施の形態 6 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 1 E】図 3 1 E は、実施の形態 6 に係る半導体モジュールの構造の一例を示す平面図である。

20

【図 3 1 F】図 3 1 F は、実施の形態 6 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 2 A】図 3 2 A は、実施の形態 7 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 2 B】図 3 2 B は、実施の形態 7 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 3】図 3 3 は、実施の形態 8 に係る半導体装置の構造の一例を示す平面図である。

【図 3 4 A】図 3 4 A は、実施の形態 8 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 4 B】図 3 4 B は、実施の形態 8 に係る半導体モジュールの構造の一例を示す平面図である。

30

【図 3 5 A】図 3 5 A は、実施の形態 8 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 5 B】図 3 5 B は、実施の形態 8 に係る半導体モジュールの構造の一例を示す平面図である。

【図 3 6】図 3 6 は、実施の形態 8 に係る角 θ 4 と金属層抵抗成分比率との関係を示すグラフである。

【図 3 7】図 3 7 は、実施の形態 8 に係る角 θ 4 と金属層抵抗成分比率との関係を示すグラフである。

【図 3 8】図 3 8 は、実施の形態 8 に係る半導体装置のサイズおよび半導体装置間のずれ量と角 θ との関係を示す模式図である。

40

【図 3 9】図 3 9 は、発明者らが好ましいと考える、実施の形態 8 に係る半導体装置のサイズおよび半導体装置間のずれ量と角 θ との関係の一例を示す図である。

【発明を実施するための形態】

【0013】

(本開示の一態様を得るに至った経緯)

近年、例えば、スマートフォン等のモバイル機器において、充電時間の短時間化が競争軸にあり、二次電池に対する充電の大電流化が望まれている。

【0014】

発明者らは、二次電池に対する大電流充電を実現するためには、大電流充電時に流れる大

50

電流の電流経路の導通状態と非導通状態とを切り替える半導体装置が、その電流経路に効率的に、すなわち通電による発熱をなるべく抑制できるように、電流を流すことができる特徴を有する必要があるとの知見を得た。

【0015】

発明者らは、この知見に基づいて、鋭意、実験、検討を重ねた。その結果、発明者らは、下記本開示に係る半導体装置等に想到した。

【0016】

本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層の裏面に接触して形成された金属層と、前記半導体層の内部の第1の半導体層内領域に形成された第1の縦型MOSトランジスタと、前記内部の、前記半導体層の平面視において前記第1の半導体層内領域に隣接した第2の半導体層内領域に形成された第2の縦型MOSトランジスタと、前記半導体層の上面の第1の半導体層上面領域に形成された、前記第1の縦型MOSトランジスタのソース電極に接続された1以上の第1のソースパッド、および、前記第1の縦型MOSトランジスタのゲート電極に接続された第1のゲートパッドと、前記上面の、前記半導体層の平面視において前記第1の半導体層上面領域に隣接した第2の半導体層上面領域に形成された、前記第2の縦型MOSトランジスタのソース電極に接続された1以上の第2のソースパッド、および、前記第2の縦型MOSトランジスタのゲート電極に接続された第2のゲートパッドと、を備え、前記第1の半導体層内領域と前記第2の半導体層内領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記第1の半導体層上面領域と前記第2の半導体層上面領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記半導体層は、半導体基板を有し、前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域として機能し、前記半導体層は、前記半導体層の平面視において矩形であり、前記半導体層の平面視において、前記第1のゲートパッドの中心と前記第2のゲートパッドの中心とを結ぶ第1の仮想直線は、前記半導体層の中心を通り、前記半導体層の各辺となす角が45度であり、前記第1の半導体層上面領域と前記第2の半導体層上面領域との境界線である上面境界線の長さは、前記半導体層の長辺の長さよりも長く、前記上面境界線は、前記長辺の伸びる長辺方向、および、前記半導体層の短辺の伸びる短辺方向において単調に変化する。

【0017】

上記構成の半導体装置によると、実装基板の表面と裏面とに、上記構成の2つの同型の半導体装置のそれぞれをフェイスダウン実装して同時にオンオフを駆動する使い方をする場合、実装基板の平面視において、2つの半導体装置の中心が重なり、かつ、一方の半導体装置に対する他方の半導体装置の向きを、半導体装置の中心を通る、実装基板の平面に垂直な回転軸を中心に90度回転させた向きに実装することで、一方の半導体装置の第1のゲートパッドの位置と他方の半導体装置の第1のゲートパッドの位置とを揃えること、および、一方の半導体装置の第2のゲートパッドの位置と他方の半導体装置の第2のゲートパッドの位置とを揃えることができる。

【0018】

これにより、これら2つの同型の半導体装置を表面と裏面とのそれぞれに実装する実装基板において、一方の半導体装置の第1のゲートパッドと他方の半導体装置の第1のゲートパッドとの双方の電位を制御する配線、および、一方の半導体装置の第2のゲートパッドと他方の半導体装置の第2のゲートパッドとの双方の電位を制御する配線を、それぞれ共通化することができ、従来は個別に設置しなければならなかった配線（ビア）数を削減することができる。さらに、共通化したそれぞれの配線（ビア）を、主電流の流れを妨げないように、実装基板の端部に引き出すことができる。

【0019】

このため、実装基板において主電流が流れる電流経路を広く確保することができ、導通抵抗が低減されるように設計することが可能となる。

【0020】

このように、上記構成の半導体装置によると、実装基板の複雑になりがちな配線を簡素化して基板設計の容易さを高めることができ、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置を提供することができる。

【0021】

また、前記半導体層は、前記半導体層の平面視において正方形であるとしてもよい。

【0022】

また、前記第1のゲートパッドは、前記半導体層の平面視において、前記第1のゲートパッドと、前記半導体層の4つの辺のうち最近接する第1の辺および第2の辺との間に、前記1以上の第1のソースパッドが一部でも挟まれないように配置され、前記第2のゲートパッドは、前記半導体層の平面視において、前記第2のゲートパッドと、前記半導体層の4つの辺のうち最近接する第3の辺および第4の辺との間に、前記1以上の第2のソースパッドが一部でも挟まれないように配置されるとしてもよい。

10

【0023】

また、前記上面境界線と前記第1の辺または前記第2の辺との交点を第1の交点とし、前記上面境界線と前記第3の辺または前記第4の辺との交点を第2の交点とする場合において、前記第1の交点と前記第2の交点とを結ぶ第2の仮想直線と前記第1の仮想直線との、前記半導体層の平面視においてなす角は、45度より大きく90度以下であるとしてもよい。

【0024】

また、前記角は、60度以上90度以下であるとしてもよい。

20

【0025】

また、前記上面境界線と前記第1の辺または前記第2の辺との交点を第1の交点とし、前記上面境界線と前記第3の辺または前記第4の辺との交点を第2の交点とする場合において、前記第1の交点と前記第2の交点とを結ぶ第2の仮想直線と前記第1の仮想直線との、前記半導体層の平面視においてなす角は、0度以上45度未満であるとしてもよい。

【0026】

また、前記角は、0度以上22度未満であるとしてもよい。

【0027】

また、前記半導体層の平面視において、前記半導体層の4つの辺のうち、前記第1のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有する辺を第1の辺とし、前記第1のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有さない辺を第2の辺とし、前記第2のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有する辺を第3の辺とし、前記第2のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有さない辺を第4の辺とし、前記第1の辺と前記第4の辺とがなす頂点を第1の頂点とし、前記第2の辺と前記第3の辺とがなす頂点を第2の頂点とし、前記上面境界線と前記第1の辺との交点を第1の交点とし、前記上面境界線と前記第3の辺との交点を第2の交点とする場合に、前記第1の頂点と前記第1の交点との距離は、前記半導体層の辺の長さの $1/N$ （ N は、3以上の整数）以上であり、かつ、前記第2のゲートパッドの最大径よりも長く、前記第2の頂点と前記第2の交点との距離は、前記半導体層の辺の長さの $1/N$ 以上であり、かつ、前記第1のゲートパッドの最大径よりも長く、前記上面境界線は、前記第2の辺に平行な $N-1$ 本の線分と、前記第1の辺に平行な $N-2$ 本の線分とが交互に接続されてなるとしてもよい。

30

40

【0028】

また、 N は、3、4、または、5のいずれかであるとしてもよい。

【0029】

また、前記1以上の第1のソースパッドは複数であり、前記1以上の第1のソースパッドのそれぞれは、前記半導体層の平面視において、前記第1の辺に平行な方向に長手方向を有する長方形または長円形であり、前記第1の辺に平行に縞状に形成され、前記1以上の第2のソースパッドは複数であり、前記1以上の第2のソースパッドのそれぞれは、前記

50

半導体層の平面視において、前記第1の辺に平行な方向に長手方向を有する長方形または長円形であり、前記第1の辺に平行に縞状に形成されるとしてもよい。

【0030】

また、前記1以上の第1のソースパッドは1つであり、前記第1のゲートパッドの領域を除く前記第1の半導体層上面領域の略全面に配置され、前記1以上の第2のソースパッドは1つであり、前記第2のゲートパッドの領域を除く前記第2の半導体層上面領域の略全面に配置されるとしてもよい。

【0031】

また、前記1以上の第1のソースパッドは複数であり、前記1以上の第1のソースパッドのそれぞれは、他の第1のソースパッドと対向する辺のそれぞれが、前記上面境界線に直交するまたは平行する辺となる形状であり前記1以上の第2のソースパッドは複数であり、前記1以上の第2のソースパッドのそれぞれは、他の第2のソースパッドと対向する辺のそれぞれが、前記上面境界線に直交するまたは平行する辺となる形状であるとしてもよい。

【0032】

本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層の裏面に接触して形成された金属層と、前記半導体層の内部の第1の半導体層内領域に形成された第1の縦型MOSトランジスタと、前記内部の、前記半導体層の平面視において前記第1の半導体層内領域に隣接した第2の半導体層内領域に形成された第2の縦型MOSトランジスタと、前記半導体層の上面の第1の半導体層上面領域に形成された、前記第1の縦型MOSトランジスタのソース電極に接続された1以上の第1のソースパッド、および、前記第1の縦型MOSトランジスタのゲート電極に接続された第1のゲートパッドと、前記上面の、前記半導体層の平面視において前記第1の半導体層上面領域に隣接した第2の半導体層上面領域に形成された、前記第2の縦型MOSトランジスタのソース電極に接続された1以上の第2のソースパッド、および、前記第2の縦型MOSトランジスタのゲート電極に接続された第2のゲートパッドと、を備え、前記第1の半導体層内領域と前記第2の半導体層内領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記第1の半導体層上面領域と前記第2の半導体層上面領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、前記半導体層は、半導体基板を有し、前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域として機能し、前記半導体層は、前記半導体層の平面視において矩形であり、前記半導体層の平面視において、前記第1の半導体層内領域と前記第2の半導体層内領域との境界線である内部境界線は、前記半導体層の長辺の伸びる長辺方向、および、前記半導体層の短辺の伸びる短辺方向において単調に変化し、前記内部境界線の一方の第1の終端、および、前記内部境界線の他方の第2の終端を結ぶ仮想直線と、前記半導体層の辺のうちの、前記第1の終端または前記第2の終端を有さない辺とのなす角は16度以上である。

【0033】

上記構成の半導体装置によると、半導体層の平面視において、内部境界線の長さは、内部境界線が半導体層の長辺方向に直交方向または平行方向に一直線に伸びる構成からなる従来の半導体装置に比べて、長くなる。このため、第1のソースパッドから第2のソースパッドへ、または、第2のソースパッドから第1のソースパッドへと電流が流れる場合において金属層を水平方向に流れる電流の通電断面積が大きくなる。

【0034】

これにより、第1のソースパッドから第2のソースパッドへ、または、第2のソースパッドから第1のソースパッドへと電流が流れる場合における、半導体装置の抵抗値を、従来よりも低減することができる。

【0035】

このように、上記構成の半導体装置によると、実装される実装基板における電流経路に効

10

20

30

40

50

率的に電流を流すことができる特徴を有する半導体装置を提供することができる。

【0036】

また、前記半導体層の平面視において、前記内部境界線の一方の第1の終端は、前記半導体層の一方の第1の長辺上に位置し、前記内部境界線の他方の第2の終端は、前記半導体層の他方の第2の長辺上に位置するとしてもよい。

【0037】

また、前記角は、26度以上であるとしてもよい。

【0038】

また、前記半導体層の平面視において、前記内部境界線の一方の第1の終端は、前記半導体層の一方の第1の短辺上に位置し、前記内部境界線の他方の第2の終端は、前記半導体層の他方の第2の短辺上に位置するとしてもよい。

10

【0039】

また、前記角は、26度以上であるとしてもよい。

【0040】

また、前記半導体層の平面視において、前記半導体層は正方形であり、前記内部境界線の一方の第1の終端と、前記第1の終端に最近接する前記半導体層の頂点である第1の頂点との距離は、前記半導体層の辺の長さの $1/N$ （ N は、3以上の整数）以上であり、前記内部境界線の他方の第2の終端と、前記第2の終端に最近接する前記半導体層の頂点である第2の頂点との距離は、前記半導体層の辺の長さの $1/N$ 以上であり、前記内部境界線は、前記第1の終端が位置する前記半導体層の辺に直交する $N-1$ 本の線分と、前記第1の終端が位置する前記半導体層の辺に平行な $N-2$ 本の線分とが交互に接続されてなるとしてもよい。

20

【0041】

また、前記半導体層の平面視において、前記第1の半導体層上面領域と前記第2の半導体層上面領域との境界線である上面境界線と前記内部境界線とが一致するとしてもよい。

【0042】

本開示の一態様に係る半導体モジュールは、上記の第1の半導体装置と、前記第1の半導体装置がフェイスダウン実装された実装基板と、を備え、前記実装基板は、前記第1の半導体装置の前記第1のゲートパッドに電氣的に接続される第1の導体を通す第1のビアと、前記第1の半導体装置の前記第2のゲートパッドに電氣的に接続される第2の導体を通す第2のビアと、を有する。

30

【0043】

上記構成の半導体モジュールによると、実装基板における、第1のゲートパッドの電位を制御する配線と、第2のゲートパッドの電位を制御する配線とを、半導体装置がフェイスダウン実装された面以外の領域に配置することができる。特に、当該配線を実装基板の端部に寄せて配置することができる。

【0044】

このため、実装基板において主電流が流れる電流経路を、従来より広く確保することができるようになり、導通抵抗が低減されるように設計することが可能となる。

【0045】

40

このように、上記構成の半導体モジュールによると、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することができる。

【0046】

また、前記実装基板の平面視において、前記第1のビアの中心と前記第2のビアの中心とは、前記第1の半導体装置の前記第1の仮想直線上に位置するとしてもよい。

【0047】

また、前記第1の半導体装置は、上記の半導体装置であって、前記実装基板の平面視において、前記第1のビアの中心は、前記第1の半導体装置の、（1）前記第1の仮想直線上、（2）前記第1の辺が伸びる方向に前記第2の辺を超えた、前記第1の半導体装置の外側、かつ、前記第2の辺が伸びる方向において、前記第1のゲートパッドの中心と前記第

50

1の辺との間、または、(3)前記第2の辺が伸びる方向に前記第1の辺を超えた、前記第1の半導体装置の外側、かつ、前記第1の辺が伸びる方向において、前記第1のゲートパッドの中心と前記第2の辺との間のいずれかに位置し、前記第2のビアの中心は、前記第1の半導体装置の、(1)前記第1の仮想直線上、(2)前記第3の辺が伸びる方向に前記第4の辺を超えた、前記第1の半導体装置の外側、かつ、前記第4の辺が伸びる方向において、前記第2のゲートパッドの中心と前記第3の辺との間、または、(3)前記第4の辺が伸びる方向に前記第3の辺を超えた、前記第1の半導体装置の外側、かつ、前記第3の辺が伸びる方向において、前記第2のゲートパッドの中心と前記第4の辺との間のいずれかに位置するとしてもよい。

【0048】

また、前記第1の半導体装置は、上記の半導体装置であって、前記実装基板の平面視において、前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第1の表面に、前記長手方向が伸びる方向に並ぶ、前記第1の半導体装置の前記1以上の第1のソースパッドの全てと接合する第1の金属配線と、前記第1の半導体装置の前記1以上の第2のソースパッドの全てと接合する第2の金属配線とを有し、前記第1の半導体装置は、前記第2の仮想直線と前記長手方向が伸びる方向とのなす角が、15度以上75度以下となる向きに、前記第1の表面に実装されるとしてもよい。

【0049】

また、さらに、上記の第2の半導体装置を備え、前記実装基板の平面視において、前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、前記第2の半導体装置は、前記第1の半導体装置に対して、前記長手方向が伸びる方向のうちの、前記第1の延伸方向と逆向きの第2の延伸方向に平行移動した位置で、前記第1の半導体装置の前記第2の仮想直線と、前記第2の半導体装置の前記第2の仮想直線とが平行になる向きであり、かつ、前記第2の半導体装置の前記第1のゲートパッドの位置が、前記第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され前記実装基板は、さらに、前記第1の表面に、前記第2の金属配線に対して前記第2の延伸方向に並ぶ、前記第2の半導体装置の前記1以上の第2のソースパッドの全てと接合する第3の金属配線を有し、前記第2の金属配線は、さらに、前記第2の半導体装置の前記1以上の第1のソースパッドの全てと接合するとしてもよい。

【0050】

また、さらに、上記の第2の半導体装置を備え、前記実装基板の平面視において、前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、前記第2の半導体装置は、前記第1の半導体装置に対して、前記長手方向が伸びる方向と直交する方向に平行移動した位置で、前記第1の半導体装置の前記第2の仮想直線と、前記第2の半導体装置の前記第2の仮想直線とが直角になる向きであり、かつ、前記第2の半導体装置の前記第1のゲートパッドの位置が、前記第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され前記第1の金属配線は、さらに、前記第2の半導体装置の前記1以上の第1のソースパッドの全てと接合し、前記第2の金属配線は、さらに、前記第2の半導体装置の前記1以上の第2のソースパッドの全てと接合し、前記第2の半導体装置の前記第2のゲートパッドは、前記第2の導体に電氣的に接続されるとしてもよい。

【0051】

また、さらに、上記の第2の半導体装置を備え、前記実装基板の平面視において、前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、前記第2の半導体装置は、前記第1の半導体装置に対して、前記第1の半導体装置の前記第2の仮想直線の伸びる方向に略平行移動した位置で、前記

10

20

30

40

50

第1の半導体装置の前記第2の仮想直線と、前記第2の半導体装置の前記第2の仮想直線とが一直線上または平行になる向きであり、かつ、前記第2の半導体装置の前記第1のゲートパッドの位置が、前記第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、前記第1の金属配線は、さらに、前記第2の半導体装置の前記1以上の第1のソースパッドの全てと接合し、前記第2の金属配線は、さらに、前記第2の半導体装置の前記1以上の第2のソースパッドの全てと接合するとしてもよい。

【0052】

また、さらに、上記の第2の半導体装置を備え、前記実装基板の平面視において、前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、前記第2の半導体装置は、前記実装基板の、前記第1の表面に対向する第2の表面に、前記半導体基板の平面視において、前記第1の半導体装置の前記第1の半導体層上面領域と前記第2の半導体装置の前記第1の半導体層上面領域とが50%を上回って重なり、かつ、前記第1の半導体装置の前記第2の半導体層上面領域と前記第2の半導体装置の前記第2の半導体層上面領域とが50%を上回って重なる位置に、前記第2の半導体装置の前記第1のゲートパッドの位置が、前記第1の延伸方向側に位置する向きに、フェイスダウン実装され、前記第2の半導体装置の前記第1のゲートパッドは、前記第1の導体に電氣的に接続され、前記第2の半導体装置の前記第2のゲートパッドは、前記第2の導体に電氣的に接続されるとしてもよい。

【0053】

また、前記第1の半導体装置は、上記の半導体装置であって、前記実装基板の平面視において、前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第1の表面に、前記長手方向が伸びる方向に並ぶ、前記第1の半導体装置の前記1以上の第1のソースパッドの全てと接合する第1の金属配線と、前記第1の半導体装置の前記1以上の第2のソースパッドの全てと接合する第2の金属配線とを有し、前記第1の半導体装置は、前記第1の半導体装置の各辺と前記長手方向が伸びる方向とのなす角が45度となる向きに、前記実装基板にフェイスダウン実装されるとしてもよい。

【0054】

また、さらに、上記の第2の半導体装置を備え、前記実装基板の平面視において、前記第1の半導体装置は、さらに、前記第1の半導体装置の前記第1のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第1の延伸方向側に位置する向きに、前記第1の表面にフェイスダウン実装され、前記第2の半導体装置は、前記第1の半導体装置に対して、前記長手方向が伸びる方向と直交する方向に平行移動した位置で、前記第1の半導体装置の前記第2の仮想直線と、前記第2の半導体装置の前記第2の仮想直線とが平行になる向きに、前記第1の表面にフェイスダウン実装され、前記第1の金属配線は、さらに、前記第2の半導体装置の前記1以上の第1のソースパッドの全てと接合し、前記第2の金属配線は、さらに、前記第2の半導体装置の前記1以上の第2のソースパッドの全てと接合し、前記半導体基板は、さらに、前記第2の半導体装置の前記第1のゲートパッドに電氣的に接続される第3の導体を通す第3のビアと、前記第2の半導体装置の前記第2のゲートパッドに電氣的に接続される第4の導体を通す第4のビアと、を有し、前記第1のビアと前記第2のビアと前記第3のビアと前記第4のビアとは、前記実装基板の前記長手方向が伸びる方向において、前記第1の金属配線と前記第2の金属配線との間に位置するとしてもよい。

【0055】

本開示の一態様に係る半導体モジュールは、上記の第1の半導体装置と、上記の第2の半導体装置と、前記第1の半導体装置と前記第2の半導体装置とが、第1の表面にフェイスダウン実装された実装基板と、を備え、前記実装基板の平面視において、前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記第2の半導体装置は、前記第1の半導体装置に対して、前記長手方向が

伸びる方向に平行移動した位置に、前記第 1 の半導体装置と同じ向きに、前記第 1 の表面にフェイスダウン実装され、前記実装基板は、前記実装基板の第 1 の表面に、前記長手方向が伸びる方向に順に並ぶ、前記第 1 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合する第 1 の金属配線と、前記第 1 の半導体装置の前記 1 以上の第 2 のソースパッドの全て、および、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合する第 2 の金属配線と、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する第 3 の金属配線とを有する。

【0056】

上記構成の半導体モジュールによると、第 1 の金属配線から第 2 の金属配線を通して第 3 の金属配線に流れる電流の電流経路を直線状にすることができる。

10

【0057】

このため、実装基板において主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0058】

このように、上記構成の半導体モジュールによると、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することができる。

【0059】

本開示の一態様に係る半導体モジュールは、上記の第 1 の半導体装置と、上記の第 2 の半導体装置と、前記第 1 の半導体装置と前記第 2 の半導体装置とが、第 1 の表面にフェイスダウン実装された実装基板と、を備え、前記実装基板の平面視において、前記第 2 の半導体装置は、前記第 1 の半導体装置に対して、前記仮想直線の伸びる向きに略平行移動した位置に、前記第 1 の半導体装置と同じ向きに、前記第 1 の表面にフェイスダウン実装され、前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第 1 の表面に、前記長手方向が伸びる方向に並ぶ、前記第 1 の半導体装置の前記 1 以上の第 1 のソースパッドの全て、および、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合する第 1 の金属配線と、前記第 1 の半導体装置の前記 1 以上の第 2 のソースパッドの全て、および、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する第 2 の金属配線とを有する。

20

【0060】

上記構成の半導体モジュールによると、第 1 の半導体装置と第 2 の半導体装置とは、第 1 の半導体装置の各辺、および、第 2 の半導体装置の各辺に対して、傾いた位置関係に配置される。

30

【0061】

これにより、第 1 の半導体装置の発熱による第 2 の半導体装置への影響、および、第 2 の半導体装置の発熱による第 1 の半導体装置への影響を低減することができる。

【0062】

このため、導通電流による発熱が効果的に放熱される。

【0063】

このように、上記構成の半導体モジュールによると、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することができる。

40

【0064】

以下、本開示の一態様に係る半導体装置の具体例について、図面を参照しながら説明する。ここで示す実施の形態は、いずれも本開示の一具体例を示すものである。従って、以下の実施の形態で示される数値、形状、構成要素、構成要素の配置および接続形態、ならびに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

【0065】

50

(実施の形態 1)

[1-1. 半導体装置の構造]

以下、実施の形態 1 に係る半導体装置の構造について説明する。実施の形態 1 に係る半導体装置は、2つの縦型 MOS (Metal Oxide Semiconductor) トランジスタが形成された、フェイスダウン実装が可能なチップサイズパッケージ (Chip Size Package: CSP) 型の半導体デバイスである。上記 2つの縦型 MOS トランジスタは、パワートランジスタであり、いわゆる、トレンチ型 MOSFET (Field Effect Transistor) である。

【0066】

図 1 は、実施の形態 1 に係る半導体装置 1 の構造の一例を示す断面図である。図 2 は、半導体装置 1 の構造の一例を示す平面図である。図 1 は、図 2、図 3、図 4 の I-I における切断面を示す。図 3 は、半導体装置 1 の構造の一例を示す平面図であって、半導体装置 1 の上面から、後述の部分 13 と後述の部分 23 とよりも上面側の構造物が仮想的に除去されて、部分 13 と部分 23 とが仮想的に露わになった状態における平面図である。図 4 は、半導体装置 1 の構造の一例を示す平面図であって、半導体装置 1 の上面から、後述の部分 17 と後述の部分 68 と後述の部分 27 と後述の部分 78 とよりも上面側の構造物が除去されて、部分 17 と部分 68 と部分 27 と部分 78 とが仮想的に露わになった状態における平面図である。

【0067】

図 1 および図 4 に示すように、半導体装置 1 は、半導体層 40 と、金属層 30 と、保護層 35 と、半導体層 40 内の第 1 の半導体層内領域 A1 に形成された第 1 の縦型 MOS トランジスタ 10 (以下、「トランジスタ 10」とも称する。) と、半導体層 40 内の第 2 の半導体層内領域 A2 に形成された第 2 の縦型 MOS トランジスタ 20 (以下、「トランジスタ 20」とも称する。) と、を備える。

【0068】

ここで、図 4 に示すように、第 1 の半導体層内領域 A1 と第 2 の半導体層内領域 A2 とは、半導体層 40 の平面視において互いに隣接し、半導体層 40 を面積で二等分する一方と他方である。本明細書では、半導体層内領域において、第 1 の縦型 MOS トランジスタ 10 を構成するものが備わる範囲を第 1 の半導体層内領域 A1 とし、第 2 の縦型 MOS トランジスタ 20 を構成するものが備わる範囲を第 2 の半導体層内領域 A2 とする。

【0069】

図 1 ~ 図 4 に示すように、半導体層 40 の平面視において、半導体装置 1 および半導体層 40 は、矩形である。

【0070】

以下、半導体層 40 の平面視において、半導体装置 1 および半導体層 40 は、正方形であるとして説明する。しかしながら、後述するように、半導体装置 1 および半導体層 40 とは、矩形であればよく、必ずしも正方形である構成に限定される必要はない。

【0071】

以下、半導体層 40 の平面視において、第 1 の半導体層内領域 A1 と第 2 の半導体層内領域 A2 との境界線である内部境界線 400 は、半導体層 40 の第 1 の辺 201 の中点と、第 1 の辺 201 に対向する、半導体層 40 の第 3 の辺 203 の中点とを結ぶ線分であるとして説明する、すなわち、第 1 の半導体層内領域 A1 と第 2 の半導体層内領域 A2 とは、第 1 の辺 201 の中点と、第 3 の辺 203 の中点とを結ぶ直線により、半導体層 40 を面積で二等分する一方と他方であるとして説明する。しかしながら、第 1 の半導体層内領域 A1 と第 2 の半導体層内領域 A2 とは、半導体層 40 の平面視において互いに隣接し、半導体層 40 を面積で二等分する一方と他方であればよく、必ずしも、第 1 の辺 201 の中点と、第 3 の辺 203 の中点とを結ぶ直線により、半導体層 40 を面積で二等分する一方と他方である構成に限定される必要はない。内部境界線 400 は、後述する上面境界線 600 と、半導体層 40 の平面視において一致していてもよい。

【0072】

半導体層 40 は、半導体基板 32 と低濃度不純物層 33 と酸化膜 34 とが積層されて構成される。

【0073】

半導体基板 32 は、半導体層 40 の下面側に配置され、第 1 導電型の不純物を含むシリコンからなる。

【0074】

低濃度不純物層 33 は、半導体層 40 の上面側に配置され、半導体基板 32 に接触して形成され、半導体基板 32 の第 1 導電型の不純物の濃度より低い濃度の第 1 導電型の不純物を含む。低濃度不純物層 33 は、例えば、エピタキシャル成長により半導体基板 32 上に形成されてもよい。

【0075】

酸化膜 34 は、半導体層 40 の上面に配置され、低濃度不純物層 33 に接触して形成される。

【0076】

絶縁膜 36 は、後述の第 1 のソース電極 11 の部分 17 と後述の第 2 のソース電極 21 の部分 23 とを絶縁する、および、第 2 のソース電極 21 の部分 27 と第 1 のソース電極 11 の部分 13 とを絶縁する絶縁膜であって、半導体層 40 の平面視において、第 1 のソース電極 11 の部分 17 と第 2 のソース電極 21 の部分 23 とに重なりが生じている領域全面と、第 2 のソース電極 21 の部分 27 と第 1 のソース電極 11 の部分 13 とに重なりが生じている領域全面とに、部分 17 と部分 23 とに挟まれて、および、部分 27 と部分 13 とに挟まれて形成される。なお、図 1 に示す断面図は、半導体層 40 の平面視において、部分 17 と部分 23 とが重なっていない場所の断面図となっているため、絶縁膜 36 が、部分 17 と部分 23 とに挟まれている状態、および、部分 27 と部分 13 とに挟まれている状態は図示されていない。

【0077】

保護層 35 は、半導体層 40 の上面に形成され、半導体層 40 の上面の少なくとも一部を被覆する。

【0078】

金属層 30 は、半導体基板 32 の下面に接触して形成され、銀、銅、ニッケル、または、これらの合金からなる。なお、金属層 30 には、金属材料の製造工程において不純物として混入する金属以外の元素が微量に含まれていてもよい。金属層 30 は、例えば、半導体基板 32 の下面全面に接触されて形成されてもよい。

【0079】

また、図 1 および図 2 に示すように、半導体装置 1 は、半導体層 40 の上面の第 1 の半導体層上面領域 S1 に、フェイスダウン実装時に実装基板に接合材を介して接合される、1 以上（ここでは 7 つ）の第 1 のソースパッド 111（ここでは、第 1 のソースパッド 111a、111b、111c、111d、111e、111f、および、111g）、および、第 1 のゲートパッド 119 を有する。また、半導体装置 1 は、半導体層 40 の上面の第 2 の半導体層上面領域 S2 に、フェイスダウン実装時に実装基板に接合材を介して接合される、1 以上（ここでは 7 つ）の第 2 のソースパッド 121（ここでは、第 2 のソースパッド 121a、121b、121c、121d、121e、121f、および、121g）、および、第 2 のゲートパッド 129 を有する。

【0080】

第 1 のソースパッド 111 のそれぞれ、および、第 2 のソースパッド 121 のそれぞれは、半導体層 40 の平面視において、長方形、長円形、または、正円形である。第 1 のゲートパッド 119 および第 2 のゲートパッド 129 は、半導体層 40 の平面視において、正円形である。なお、本明細書において、長方形、長円形の端部形状は、角型（長方形に対応）、半円形（長円形に対応）に限定されず、多角形型であってもよい。

【0081】

ここで、図 2 に示すように、第 1 の半導体層上面領域 S1 と第 2 の半導体層上面領域 S2

10

20

30

40

50

とは、半導体層 40 の平面視において互いに隣接し、半導体層 40 を面積で二等分する一方と他方である。本明細書では、上面領域において、第 1 の縦型 MOS トランジスタ 10 を構成するものが備わる範囲を第 1 の半導体層上面領域 S 1 とし、第 2 の縦型 MOS トランジスタ 20 を構成するものが備わる範囲を第 2 の半導体層上面領域 S 2 とする。

【0082】

図 2 に示すように、半導体層 40 の平面視において、第 1 の半導体層上面領域 S 1 と第 2 の半導体層上面領域 S 2 との境界線である上面境界線 600 は、半導体層 40 の第 1 の辺 201 と半導体層 40 の第 4 の辺 204 とがなす第 1 の頂点 501 と、半導体層 40 の第 2 の辺 202 と半導体層 40 の第 3 の辺 203 とがなす第 2 の頂点 502 とを結ぶ線分である。すなわち、半導体層 40 の平面視において、第 1 の半導体層上面領域 S 1 と第 2 の半導体層上面領域 S 2 とは、第 1 の頂点 501 と第 2 の頂点 502 とを結ぶ線分により、半導体層 40 を面積で二等分する一方と他方である。内部境界線 400 と上面境界線 600 とは、半導体層 40 の平面視において一致していても一致していなくてもよい。

【0083】

図 2 に示すように、半導体層 40 の平面視において、第 1 のゲートパッド 119 と、第 2 のゲートパッド 129 とは、第 1 のゲートパッド 119 の中心と第 2 のゲートパッド 129 の中心とを結ぶ第 1 の仮想直線 91 が、半導体層 40 の中心を通り、半導体層 40 の各辺となす角が 45 度となる位置に配置される。そして、図 2 に示すように、半導体層 40 の平面視において、第 1 のゲートパッド 119 は、第 1 のゲートパッド 119 と第 1 の辺 201 および第 2 の辺 202 との間に、第 1 のソースパッド 111 が一部でも挟まれないように配置され、第 2 のゲートパッド 129 は、第 2 のゲートパッド 129 と第 3 の辺 203 および第 4 の辺 204 との間に、第 2 のソースパッド 121 が一部でも挟まれないように配置される。

【0084】

なお、本明細書において、「角」とは、2 つの直線がなす角度のうち、小さい方の角度（90 度を含む）のことをいう。

【0085】

ここで、半導体層の平面視におけるゲートパッドの中心とは、半導体層の平面視におけるゲートパッドの形状における重心のことをいう。例えば、ゲートパッドが正円形である場合には、ゲートパッドの中心は、その正円形の中心であり、例えば、ゲートパッドが長方形である場合には、ゲートパッドの中心は、その長方形における 2 本の対角線の交点であり、例えば、ゲートパッドが長円形である場合には、その長円形における長手方向を二分する線分と、その長円形における幅方向を二分する線分との交点である。

【0086】

ここで、半導体層の平面視における半導体層の中心とは、半導体層の平面視における半導体層の形状における重心のことをいう。例えば、半導体層が長方形である場合には、半導体層の中心は、その長方形における 2 本の対角線の交点である。

【0087】

なお、上述したように、ここでは、半導体層 40 の平面視において、半導体装置 1 および半導体層 40 は、正方形であるとして説明しているため、図 2 に示すように、第 1 の仮想直線 91 は、半導体層 40 の平面視において、第 3 の頂点 503 と第 4 の頂点 504 とを結ぶ直線となっている。

【0088】

なお、1 以上の第 1 のソースパッド 111 の数、および、1 以上の第 2 のソースパッド 121 の数は、それぞれ、必ずしも図 2 に例示された 7 つに限定される必要はなく、7 つ以外の 1 以上の数であっても構わない。

【0089】

図 1 ～図 4 に示すように、低濃度不純物層 33 の第 1 の半導体層内領域 A 1 には、第 1 導電型と異なる第 2 導電型の不純物を含む第 1 のボディ領域 18 が形成されている。第 1 のボディ領域 18 には、第 1 導電型の不純物を含む第 1 のソース領域 14、第 1 のゲート導

10

20

30

40

50

体 15、および第 1 のゲート絶縁膜 16 が形成されている。

【0090】

第 1 のソース電極 11 は、一部が半導体層 40 内領域に形成された部分 17 と、半導体層 40 よりも上面の上面領域に形成された部分 12 および部分 13 とからなり、部分 12 は、部分 13 と部分 17 とを介して第 1 のソース領域 14 および第 1 のボディ領域 18 に接続されている。

【0091】

第 1 のソース電極 11 の部分 12 は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。部分 12 の上面には、金などのめっきが施されてもよい。

10

【0092】

第 1 のソース電極 11 の部分 13 は、部分 12 と部分 17 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

【0093】

第 1 のソース電極の部分 17 は、部分 13 と半導体層 40 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

【0094】

第 1 のゲート電極は、一部が半導体層 40 内に形成された部分 68 と、上面領域に形成された部分 A（不図示）および部分 69 とからなり、部分 A は、部分 69 と部分 68 とを介して、第 1 のゲート導体 15 に接続されている。

20

【0095】

第 1 のゲート電極の部分 A は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。部分 A の上面には、金などのめっきが施されてもよい。

【0096】

第 1 のゲート電極の部分 69 は、部分 A と部分 68 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

30

【0097】

第 1 のゲート電極の部分 68 は、部分 69 と第 1 のゲート導体 15 と接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよく、ポリシリコンであってもよい。

【0098】

低濃度不純物層 33 の第 2 の半導体層内領域 A2 には、第 2 導電型の不純物を含む第 2 のボディ領域 28 が形成されている。第 2 のボディ領域 28 には、第 1 導電型の不純物を含む第 2 のソース領域 24、第 2 のゲート導体 25、および第 2 のゲート絶縁膜 26 が形成されている。

40

【0099】

第 2 のソース電極 21 は、一部が半導体層 40 内領域に形成された部分 27 と、上面領域に形成された部分 22 および部分 23 とからなり、部分 22 は、部分 23 と部分 27 とを介して第 2 のソース領域 24 および第 2 のボディ領域 28 に接続されている。

【0100】

第 2 のソース電極 21 の部分 22 は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。部分 22 の上面には、金などのめっきが施されてもよい。

50

【0101】

第2のソース電極21の部分23は、部分22と部分27とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。

【0102】

第2のソース電極の部分27は、部分22と半導体層40とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。

【0103】

第2のゲート電極は、一部が半導体層40内に形成された部分68と、上面領域に形成された部分B（不図示）および部分79とからなり、部分Bは、部分79と部分78とを介して、第2のゲート導体25に接続されている。

10

【0104】

第2のゲート電極の部分Bは、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか1つ以上を含む金属材料で構成されてもよい。部分Bの上面には、金などのめっきが施されてもよい。

【0105】

第2のゲート電極の部分79は、部分Bと部分78とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。

20

【0106】

第2のゲート電極の部分78は、部分79と第2のゲート導体25と接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよく、ポリシリコンであってもよい。

【0107】

トランジスタ10およびトランジスタ20の上記構成により、低濃度不純物層33と半導体基板32とは、トランジスタ10の第1のドレイン領域およびトランジスタ20の第2のドレイン領域が共通化された、共通ドレイン領域として機能する。

【0108】

図1に示すように、第1のボディ領域18は、開口を有する酸化膜34で覆われ、酸化膜34の開口を通して、第1のソース領域14に接続される第1のソース電極11の部分13が設けられている。酸化膜34および第1のソース電極11の部分13は、開口を有する保護層35で覆われ、保護層35の開口を通して第1のソース電極11の部分13に接続される部分12が設けられている。

30

【0109】

第2のボディ領域28は、開口を有する酸化膜34で覆われ、酸化膜34の開口を通して、第2のソース領域24に接続される第2のソース電極21の部分23が設けられている。酸化膜34および第2のソース電極21の部分23は、開口を有する保護層35で覆われ、保護層35の開口を通して第2のソース電極21の部分23に接続される部分22が設けられている。

40

【0110】

従って、1以上の第1のソースパッド111および1以上の第2のソースパッド121は、それぞれ、第1のソース電極11および第2のソース電極21が半導体装置1の上面に部分的に露出した領域、いわゆる端子の部分を目指す。同様に、第1のゲートパッド119および第2のゲートパッド129は、それぞれ、第1のゲート電極および第2のゲート電極が半導体装置1の上面に部分的に露出した領域、いわゆる端子の部分を目指す。本明細書において、ソースパッドとゲートパッドとを総称して「電極パッド」と称する。

【0111】

ところで上面境界線600とは、第1の半導体層上面領域S1における第1のソース電極

50

11の部分13と、第2の半導体層上面領域S2における第2のソース電極21の部分23との間隔の中央位置をたどる仮想直線であると捉えてもよいし、当該中央位置に設けられることがあるEQR(Equipotential Ring)と呼ばれる、電流を通す機能を持たない金属配線のことを捉えてもよいし、また、有限の幅となるが当該間隔そのものと捉えてもよい。当該間隔の場合でも、肉眼あるいは低倍率での外観では線として認識することができる。

【0112】

同じように、内部境界線400とは、第1の半導体層内領域A1における第1のソース電極11の部分17と、第2のソース電極21の部分27との間隔の中央位置をたどる仮想直線と捉えてもよいし、当該中央位置に設けられることがあるEQRのことを捉えてもよいし、また、有限の幅となるが当該間隔そのものと捉えてもよい。当該間隔の場合でも、肉眼あるいは低倍率での外観では線として認識することができる。

10

【0113】

【1-2. 半導体装置の動作】

半導体装置1において、例えば、第1導電型をN型、第2導電型をP型として、第1のソース領域14、第2のソース領域24、半導体基板32、および、低濃度不純物層33はN型半導体であり、かつ、第1のボディ領域18および第2のボディ領域28はP型半導体であってもよい。

【0114】

また、半導体装置1において、例えば、第1導電型をP型、第2導電型をN型として、第1のソース領域14、第2のソース領域24、半導体基板32、および、低濃度不純物層33はP型半導体であり、かつ、第1のボディ領域18および第2のボディ領域28はN型半導体であってもよい。

20

【0115】

以下の説明では、トランジスタ10とトランジスタ20とが、第1導電型をN型、第2導電型をP型とした、いわゆるNチャネル型トランジスタの場合として、半導体装置1の導通動作について説明する。

【0116】

半導体装置1において、第1のソース電極11に高電圧および第2のソース電極21に低電圧を印加し、第2のソース電極21を基準として第2のゲート電極(第2のゲート導体25)にしきい値以上の電圧を印加すると、第2のボディ領域28中の第2のゲート絶縁膜26の近傍に導通チャンネルが形成される。その結果、第1のソース電極11-第1のボディ領域18-低濃度不純物層33-半導体基板32-金属層30-半導体基板32-低濃度不純物層33-第2のボディ領域28に形成された導通チャンネル-第2のソース領域24-第2のソース電極21という経路で主電流が流れて半導体装置1が導通状態となる。なお、この主電流経路における、第1のボディ領域18と低濃度不純物層33との接触面にはPN接合があり、ボディダイオードとして機能している。また、この主電流は主に金属層30を水平方向に流れるため、金属層30を厚くすることで、主電流経路の断面積が拡大し、半導体装置1のオン抵抗は低減できる。

30

【0117】

同様に、半導体装置1において、第2のソース電極21に高電圧および第1のソース電極11に低電圧を印加し、第1のソース電極11を基準として第1のゲート電極(第1のゲート導体15)にしきい値以上の電圧を印加すると、第1のボディ領域18中の第1のゲート絶縁膜16の近傍に導通チャンネルが形成される。その結果、第2のソース電極21-第2のボディ領域28-低濃度不純物層33-半導体基板32-金属層30-半導体基板32-低濃度不純物層33-第1のボディ領域18に形成された導通チャンネル-第1のソース領域14-第1のソース電極11という経路で主電流が流れて半導体装置1が導通状態となる。なお、この主電流経路における、第2のボディ領域28と低濃度不純物層33との接触面にはPN接合があり、ボディダイオードとして機能している。

40

【0118】

50

〔１－３．半導体モジュールの構造〕

以下、実施の形態１に係る半導体モジュールの構造について説明する。

〔０１１９〕

図５は、実施の形態１に係る半導体モジュール５の構造の一例を示す平面図である。

〔０１２０〕

図５に示すように、半導体モジュール５は、上述した半導体装置１と、表面に半導体装置１がフェイスダウン実装された実装基板５０とを備える。実装基板５０は、少なくとも半導体装置１を実装する箇所において一定の幅を持って長手方向に伸びる形状である。図５において、半導体装置１は、実際には視認することができない、半導体装置１の上面の構造、および、実装基板５０の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

10

〔０１２１〕

図５に示すように、半導体装置１は、実装基板５０の表面がｚ軸正の向きに向いている状態において、その上面をｚ軸負の向きに向けて実装基板５０に実装される。

〔０１２２〕

図６は、実装基板５０の表面に半導体装置１がフェイスダウン実装される様子を示す模式図である。ここでは、図６を用いてフェイスダウン実装の一例について説明するが、ここでの説明は一例にすぎず、図６を用いて説明する実装例以外の方法であっても、実装基板５０の表面がｚ軸正の向きに向いている状態において、半導体装置１の上面をｚ軸負の向きに向けて実装することで、フェイスダウン実装することができる。

20

〔０１２３〕

図６に示すように、図２に図示された向きの状態、すなわち、図６の（ａ）に図示されているように、上面をｚ軸正の向きに向けている状態の半導体装置１を、ｚ軸に対して裏返して、図６の（ｂ）に図示されている状態として、さらに、ｚ軸を回転軸の方向として左向きに９０度回転させて、図６の（ｃ）に図示されている状態として、実装基板５０の表面に実装される。

〔０１２４〕

この際、半導体装置１は、第２の辺２０２と第４の辺２０４とが、実装基板５０の長手方向が伸びる方向（図６中のｘ軸方向）に平行で、かつ、第１のゲートパッド１１９が、実装基板５０の長手方向が伸びる方向のうちの第１の延伸方向側（図６のｘ軸の負の方向）に位置する向きに、実装基板５０の表面にフェイスダウン実装される。

30

〔０１２５〕

再び図５に戻って、半導体モジュール５の説明を続ける。

〔０１２６〕

図５に示すように、実装基板５０は、実装基板５０の平面視において少なくとも半導体装置１を実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板５０は、第１のゲートパッド１１９に電気的に接続される第１の導体（ここでは、後述の、第１のゲートパッド１１９に電気的に接続される金属配線５５、または、金属配線５５に接続される導体）を通す第１のビア６１と、第２のゲートパッド１２９に電気的に接続される第２の導体（ここでは、後述の、第２のゲートパッド１２９に電気的に接続される金属配線５６、または、金属配線５６に接続される導体）を通す第２のビア６２とを備える。

40

〔０１２７〕

実装基板５０は、さらに、その表面に、第１の金属配線５１と、第２の金属配線５２と、金属配線５５と、金属配線５６とを有する。

〔０１２８〕

第１の金属配線５１と第２の金属配線５２とは、クリアランス（分離）５４を挟んで、実装基板５０の長手方向が伸びる方向（図５中のｘ軸方向）に並んで配置される。

〔０１２９〕

第１の金属配線５１は、１以上の第１のソースパッド１１１の全てに接合される。第１の金属配線５１は、例えば、はんだ等による導電性接合材を介して、１以上の第１のソース

50

パッド 1 1 1 の全てに接合される。

【0 1 3 0】

第 2 の金属配線 5 2 は、1 以上の第 2 のソースパッド 1 2 1 の全てに接合される。第 2 の金属配線 5 2 は、例えば、はんだ等による導電性接合材を介して、1 以上の第 2 のソースパッド 1 2 1 の全てに接合される。

【0 1 3 1】

このため、図 5 に示すように、半導体装置 1 は、クリアランス 5 4 を挟んで、第 1 の金属配線 5 1 と第 2 の金属配線 5 2 とを橋渡しする位置に、フェイスダウン実装されることとなる。

【0 1 3 2】

金属配線 5 5 は、第 1 のゲートパッド 1 1 9 に接合される。金属配線 5 5 は、例えば、はんだ等による導電性接合材を介して、第 1 のゲートパッド 1 1 9 に接合される。

【0 1 3 3】

金属配線 5 6 は、第 2 のゲートパッド 1 2 9 に接合される。金属配線 5 6 は、例えば、はんだ等による導電性接合材を介して、第 2 のゲートパッド 1 2 9 に接合される。

【0 1 3 4】

第 2 のビア 6 2 を通る第 2 の導体を介して第 2 のゲートパッド 1 2 9 にしきい値電圧以上の電圧を印加すると、第 2 のトランジスタ 2 0 が導通状態となる。このため、第 1 の金属配線 5 1 側の方が、第 2 の金属配線 5 2 側よりも電圧が高い場合において、第 2 のゲートパッド 1 2 9 にしきい値電圧以上の電圧を印加することで、図 5 の矢印で示すように、第 1 の金属配線 5 1 側から第 2 の金属配線 5 2 側へと主電流が流れる。ここで、主電流とは、半導体装置 1 を含む実装基板 5 0 のパワーラインを流れる電流のことである。

【0 1 3 5】

第 1 のビア 6 1 を通る第 1 の導体を介して第 1 のゲートパッド 1 1 9 にしきい値電圧以上の電圧を印加すると、第 1 のトランジスタ 1 0 が導通状態となる。このため、第 2 の金属配線 5 2 側の方が、第 1 の金属配線 5 1 側よりも電圧が高い場合において、第 1 のゲートパッド 1 1 9 にしきい値電圧以上の電圧を印加することで、図 5 の矢印と逆向きに、第 2 の金属配線 5 2 側から第 1 の金属配線 5 1 側へと主電流が流れる。

【0 1 3 6】

図 7 は、第 1 のビア 6 1 および第 2 のビア 6 2 の配置位置のバリエーションの一例を図示する平面図である。

【0 1 3 7】

図 7 に示すように、実装基板 5 0 の平面視において、第 1 のビア 6 1 の中心は、(1) 第 1 の仮想直線 9 1 上の位置 (例えば、図 7 中の第 1 のビア 6 1 3 の中心位置)、(2) 第 1 の辺 2 0 1 が伸びる方向 (図 7 中の y 軸方向) に第 2 の辺 2 0 2 を超えた、第 1 の半導体装置 1 の外側、かつ、第 2 の辺 2 0 2 が伸びる方向 (図 7 中の x 軸方向) において、第 1 のゲートパッド 1 1 9 の中心と第 1 の辺 2 0 1 との間 (例えば、図 7 中の第 1 のビア 6 1 2 の中心)、または、(3) 第 2 の辺 2 0 2 が伸びる方向に第 1 の辺 2 0 1 を超えた、第 1 の半導体装置 1 の外側、かつ、第 1 の辺 2 0 1 の伸びる方向において、第 1 のゲートパッド 1 1 9 の中心と第 2 の辺 2 0 2 との間 (例えば、図 7 中の第 1 のビア 6 1 1 の中心) のいずれかに位置することが好ましい。

【0 1 3 8】

第 1 のビア 6 1 の中心がこのような位置に配置されることにより、金属配線 5 5 の長さを比較的短くすることができる。さらに、両面実装でゲートパッドの位置を揃えたとき、配線 (ビア) を表裏で共通化できるため、基板配線を簡素化することができる。また、(1) の配置では、半導体装置 1 の形状が半導体層 4 0 の平面視において正方形であっても長方形であっても通用する汎用性の高さを得られる。また、(2) の配置では、ビアが、実装基板と半導体装置とを流れる主電流を妨げないため導通抵抗を低減することができる。また、(3) の配置では、実装基板 4 0 の幅を増大させずに済むため、半導体モジュール 5 の省スペースを実現することができる。

10

20

30

40

50

【0139】

ここで、実装基板の平面視におけるビアの中心とは、実装基板の平面視におけるビアの形状における重心のことをいう。例えば、ビアが正円形である場合には、ビアの中心は、その正円形の中心である。

【0140】

図7に示すように、実装基板50の平面視において、第2のビア62の中心は、(1)第1の仮想直線91上の位置(例えば、図7中の第2のビア623の中心)、(2)第3の辺203が伸びる方向(図7中のy軸方向)に第4の辺204を超えた、第1の半導体装置1の外側、かつ、第4の辺204が伸びる方向(図7中のx軸方向)において、第2のゲートパッド129の中心と第3の辺203との間(例えば、図7中の第2のビア622の中心)、または、(3)第4の辺204が伸びる方向に第3の辺203を超えた、第1の半導体装置1の外側、かつ、第3の辺203が伸びる方向において、第2のゲートパッド129の中心と第4の辺204との間(例えば、図7中の第2のビア621の中心)のいずれかに位置することが好ましい。

【0141】

第2のビア62の中心がこのような位置に配置されることにより、金属配線56の長さを比較的短くすることができる。さらに、両面実装でゲートパッドの位置を揃えたとき、配線(ビア)を表裏で共通化できるため、基板配線を簡素化することができる。また、(1)の配置では、半導体装置1の形状が半導体層40の平面視において正方形であっても長方形であっても通用する汎用性の高さを得られる。また、(2)の配置では、ビアが、実装基板と半導体装置とを流れる主電流を妨げないため導通抵抗を低減することができる。また、(3)の配置では、実装基板40の幅を増大させずに済むため、半導体モジュール5の省スペースを実現することができる。

【0142】

ここで、実装基板の平面視におけるビアの中心とは、実装基板の平面視におけるビアの形状における重心のことをいう。例えば、ビアが正円形である場合には、ビアの中心は、その正円形の中心である。

【0143】

[1-4. 考察]

上記構成の半導体装置1によると、実装基板の表面と裏面とに、2つの同型の半導体装置1のそれぞれをフェイスダウン実装して同時にオンオフを駆動する使い方をする場合、実装基板の平面視において、2つの半導体装置1の中心が重なり、かつ、一方の半導体装置1に対する他方の半導体装置1の向きを、半導体装置1の中心を通る、実装基板の平面に垂直な回転軸を中心に90度回転させた向きに実装することで、すなわち、一方の半導体装置1を図6中の(c)の向きに実装し、他方の半導体装置1を図6中の(a)の向きに実装することで、一方の半導体装置1の第1のゲートパッド119の位置と他方の半導体装置1の第1のゲートパッド119の位置とを揃えること、および、一方の半導体装置1の第2のゲートパッド129の位置と他方の半導体装置1の第2のゲートパッド129の位置とを揃えることができる。

【0144】

これにより、これら2つの同型の半導体装置1を表面と裏面とのそれぞれに実装する実装基板において、一方の半導体装置1の第1のゲートパッド119と他方の半導体装置1の第1のゲートパッド119との双方の電位を制御する配線、および、一方の半導体装置1の第2のゲートパッド129と他方の半導体装置1の第2のゲートパッド129との双方の電位を制御する配線をそれぞれ共通化できるので、個別に設置する場合と比べて配線(ビア)数は半減する。

【0145】

このため、実装基板において主電流が流れる電流経路を広く確保することができ、導通抵抗が低減されるように設計することが可能となる。

【0146】

このように、上記構成の半導体装置 1 によると、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置を提供することができる。

【0147】

また、図 6 中の (a)、および、図 6 中の (c) からわかるように、実装基板の表面と裏面とに、2つの同型の半導体装置 1 のそれぞれをフェイスダウン実装する場合において、実装基板の平面視において、2つの半導体装置 1 の中心が重なり、かつ、一方の半導体装置 1 に対する他方の半導体装置 1 の向きを、半導体装置 1 の中心を通る、実装基板の平面に垂直な回転軸を中心に 90 度回転させた向きに実装することで、実装基板の平面視において、2つの半導体装置 1 の第 1 の半導体層上面領域 S1、および、2つの半導体装置 1 の第 2 の半導体層上面領域 S2 を、実装基板を挟んだ表裏で完全に重ね合わせることができる。

10

【0148】

これにより、これら 2つの半導体装置 1 を実装する実装基板において、電流経路における導通断面積を最大限に広くすることができ、導通抵抗を低減する効果を得られる。また、第 1 の半導体層上面領域 S1 同士、第 2 の半導体層上面領域 S2 同士の重なりが多い程、不図示ではあるが、ソースに関するビアも共通に設置することができるため、導通抵抗の低減に有効である。

【0149】

なお、半導体装置 1 の中心とは、半導体層 40 の平面視において、半導体装置 1 の対角線の交点である。

20

【0150】

図 8 は、半導体装置 1 と、比較例に係る従来型の半導体装置とについて、半導体装置を実装基板に実装する場合における、実装基板の幅の狭さ、実装基板の配線を含む導通抵抗、ビアの共通化、ゲート配線設計容易性、実装基板の曲げ強度を対象として比較した比較結果を示す一覧図である。

【0151】

ここで、比較例 1 は、1 以上の第 1 のソースパッドが配置される領域と、1 以上の第 2 のソースパッドが配置される領域の境界が、半導体装置の第 1 の辺とそれに対向する第 3 の辺との向きに直交しており、第 1 のゲートパッドと第 2 のゲートパッドとが、半導体装置のコナに配置される、従来型の半導体装置である。比較例 2 は、1 以上の第 1 のソースパッドが配置される領域と、1 以上の第 2 のソースパッドが配置される領域の境界が、半導体装置の第 1 の辺とそれに対向する第 3 の辺との向きに直交しており、第 1 のゲートパッドと第 2 のゲートパッドとが、半導体装置の縦方向中央に配置される、従来型の半導体装置である。比較例 3 は、1 以上の第 1 のソースパッドが配置される領域と、1 以上の第 2 のソースパッドが配置される領域の境界が、半導体装置の第 1 の辺とそれに対向する第 3 の辺との向きに直交しており、第 1 のゲートパッドと第 2 のゲートパッドとが、半導体装置の横方向中央に配置される、従来型の半導体装置である。

30

【0152】

図 8 に示すように、半導体装置 1 は、比較例 1、比較例 2、および、比較例 3 のそれぞれに対して、半導体装置を実装基板に実装する場合における、y 軸方向への配線引き出し、ゲート配線の設計容易性、x 軸方向への配線引き出し、の観点において、少なくとも 1 つ以上の優れた性能を有している。

40

【0153】

ところで、比較例 2 においては、本開示と同じように両面実装で配線を簡素化できる特徴を有しているものの、本開示では表裏で共通化した配線 (ビア) を主電流の妨げにならないように実装基板の端部に寄せることができる (図 8 の y 軸方向への配線引き出しに関して優れた性能を有している)。

【0154】

図 9 は、半導体装置 1 と、比較例 1 と、比較例 2 と、比較例 3 とについて、半導体装置を様々な構成の実装基板に実装した場合における、主電流の流れる幅、ビアの数、ビアの配

50

置位置、実装基板の幅の狭小化を対象として比較した比較結果を示す一覧図である。図 9 中の L 1、L 2、L 3 は、表面側から平面視したときの各層の配線設置を、仮想的に透かして図示したものである。

【0155】

図 9 に示すように、半導体装置 1 は、比較例 1、比較例 2、および、比較例 3 に対して、様々な構成の実装基板に実装する場合であっても、主電流の流れる幅、ビアの数、ビアの配置位置、実装基板の幅の狭小化の観点で、特に大電流充電において、多数の優れた性能を有している。

【0156】

また、半導体装置 1 は、実装基板のクリアランスが長手方向に対して傾くため、実装基板の曲げ強度についても優位な特徴を有する。

【0157】

なお、実施の形態 1 において、1 以上の第 1 のソースパッド 1 1 1、および、1 以上の第 2 のソースパッド 1 2 1 は、一例として、図 2 に図示されるように配置されるとして説明したが、1 以上の第 1 のソースパッド 1 1 1 が、第 1 の半導体層上面領域 S 1 に配置され、1 以上の第 2 のソースパッド 1 2 1 が第 2 の半導体層上面領域 S 2 に配置されれば、必ずしも図 2 に図示されるように配置される必要はない。

【0158】

図 1 0 A、1 0 B、1 0 C、1 0 D は、1 以上の第 1 のソースパッド 1 1 1 と 1 以上の第 2 のソースパッド 1 2 1 との他の配置例を例示する平面図である。

【0159】

図 1 0 A に示すように、1 つの第 1 のソースパッド 1 1 1 h が、第 1 のゲートパッド 1 1 9 の領域を除く第 1 の半導体層上面領域 S 1 の略全面に配置され、1 つの第 2 のソースパッド 1 2 1 h が、第 2 のゲートパッド 1 2 9 の領域を除く第 2 の半導体層上面領域 S 2 の略全面に配置されてもよいし、図 1 0 B に示すように、複数の第 1 のソースパッド 1 1 1 i ~ 1 1 1 k が、第 1 の半導体層上面領域 S 1 に、上面境界線 6 0 0 に平行に配置され、複数の第 2 のソースパッド 1 2 1 i ~ 1 2 1 k が、第 2 の半導体層上面領域 S 2 に、上面境界線 6 0 0 に平行に配置されてもよいし、図 1 0 C に示すように、複数の第 1 のソースパッド 1 1 1 l ~ 1 1 1 q が、第 1 の半導体層上面領域 S 1 に、上面境界線 6 0 0 に平行に二分割されて配置され、複数の第 2 のソースパッド 1 2 1 l ~ 1 2 1 q が、第 2 の半導体層上面領域 S 2 に、上面境界線 6 0 0 に平行に二分割されて配置されてもよいし、図 1 0 D に示すように、2 つの第 1 のソースパッド 1 1 1 r、1 1 1 s が、第 1 のゲートパッド 1 1 9 の領域を除く第 1 の半導体層上面領域 S 1 の略全面に、対向する辺のそれぞれが上面境界線 6 0 0 に直交するように二分割されて配置され、2 つの第 2 のソースパッド 1 2 1 r、1 2 1 s が、第 2 のゲートパッド 1 2 9 の領域を除く第 2 の半導体層上面領域 S 2 の略全面に、対向する辺のそれぞれが上面境界線 6 0 0 に直交するように二分割されて配置されてもよい。

【0160】

なお、実施の形態 1 において、半導体装置 1 および半導体層 4 0 は、半導体層 4 0 の平面視において正方形であるとして説明した。しかしながら、必ずしも正方形である構成に限定される必要はない。半導体装置 1 および半導体層 4 0 は、第 1 のゲートパッド 1 1 9 の中心と第 2 のゲートパッド 1 2 9 の中心とを結ぶ第 1 の仮想直線 9 1 が、半導体層 4 0 の中心を通り、半導体層 4 0 の各辺となす角が 4 5 度となる位置に、半導体層 4 0 の平面視において、第 1 のゲートパッド 1 1 9 と、第 2 のゲートパッド 1 2 9 とが配置されていれば、正方形でない長方形でもよい。

【0161】

図 1 1 は、実装基板 5 0 の表面に、上記正方形でない長方形の半導体装置 1（以下、「長方形型半導体装置」とも称する）がフェイスダウン実装される様子を示す模式図である。ここでは、図 1 1 を用いてフェイスダウン実装の一例について説明するが、ここでの説明は一例にすぎず、図 1 1 を用いて説明する実装例以外の方法であっても、実装基板 5 0 の

10

20

30

40

50

表面が z 軸正の向きに向いている状態において、半導体装置1の上面を z 軸負の向きに向けて実装することで、フェイスダウン実装することができる。

【0162】

図11に示すように、長方形型半導体装置は、図11の(a)に図示されているように、上面を z 軸正の向きに向けている状態の長方形型半導体装置を、 z 軸に対して裏返して、図11の(b)に図示されている状態として、さらに、 z 軸を回転軸の方向として左向きに90度回転させて、図11の(c)に図示されている状態として、実装基板50の表面に実装される。

【0163】

このため、長方形型半導体装置によると、実装基板の表面と裏面とに、2つの同型の長方形型半導体装置のそれぞれをフェイスダウン実装する場合において、実装基板の平面視において、2つの長方形型半導体装置の中心が重なり、かつ、一方の長方形型半導体装置に対する他方の長方形型半導体装置の向きを、長方形型半導体装置の中心を通る、実装基板の平面に垂直な回転軸を中心に90度回転させた向きに実装することで、すなわち、一方の長方形型半導体装置を図11中の(c)の向きに実装し、他方の長方形型半導体装置を図11中の(a)の向きに実装することで、一方の長方形型半導体装置の第1のゲートパッド119の位置と他方の長方形型半導体装置の第1のゲートパッド119の位置とを揃えること、および、一方の長方形型半導体装置の第2のゲートパッド129の位置と他方の長方形型半導体装置の第2のゲートパッド129の位置とを揃えることができる。

【0164】

これにより、これら2つの長方形型半導体装置を実装する実装基板において、一方の長方形型半導体装置の第1のゲートパッド119と他方の長方形型半導体装置の第1のゲートパッド119との双方の電位を制御する配線、および、一方の長方形型半導体装置の第2のゲートパッド129と他方の長方形型半導体装置の第2のゲートパッド129との双方の電位を制御する配線を、比較的簡素な構成にすることができる。

【0165】

この際、実装基板50の平面視において、第1のビア61の中心、および、第2のビア62の中心は、第1の仮想直線91上の位置であることが好ましい。これにより、金属配線55の長さ、および、金属配線56の長さを比較的短くすることができる。

【0166】

(実施の形態2)

[2-1. 半導体装置の構造]

以下、実施の形態2に係る半導体装置について説明する。実施の形態2に係る半導体装置は、実施の形態1に係る半導体装置1から、一部の構成が変更されて構成される。このため、ここでは、実施の形態2に係る半導体装置について、半導体装置1と同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体装置1との相違点を中心に説明する。

【0167】

図12は、実施の形態2に係る半導体装置1aの構造の一例を示す平面図である。図13は、半導体装置1aの構造の一例を示す平面図であって、半導体装置1aの上面から、後述の部分13aと後述の部分23aとよりも上面側の構造物が仮想的に除去されて、部分13aと部分23aとが仮想的に露わになった状態における平面図である。

【0168】

図12および図13に示すように、半導体装置1aは、実施の形態1に係る半導体装置1から、第1の半導体層上面領域S1が第1の半導体層上面領域S1aに変更され、第2の半導体層上面領域S2が第2の半導体層上面領域S2aに変更され、上面境界線600が上面境界線600aに変更され、1以上の第1のソースパッド111が1以上の第1のソースパッド1111(ここでは、第1のソースパッド1111a、1111b、1111c、1111d、1111e、および、1111f)に変更され、1以上の第2のソースパッド121が1以上の第2のソースパッド1121(ここでは、第2のソースパッド1

10

20

30

40

50

1 2 1 a、1 1 2 1 b、1 1 2 1 c、1 1 2 1 d、1 1 2 1 e、および、1 1 2 1 f) に変更され、部分 1 3 が部分 1 3 a に変更され、部分 2 3 が部分 2 3 a に変更されて構成される。

【0169】

図 1 2 に示すように、半導体層 4 0 の平面視において、第 1 の半導体層上面領域 S 1 a と第 2 の半導体層上面領域 S 2 a との境界線である上面境界線 6 0 0 a は、第 2 の辺 2 0 2 に平行な $N - 1$ (N は、3 以上の整数。ここでは、 N は 4) 本の線分と、第 1 の辺 2 0 1 に平行な $N - 2$ 本の線分とが交互に接続されてなり、かつ、第 2 の辺 2 0 2 の伸びる方向、および、第 1 の辺 2 0 1 の伸びる方向において単調に変化する。

【0170】

本明細書において、単調に変化するとは、広義の単調増加する関数であるまたは広義の単調減少する関数であることを意味する。すなわち、広義の単調増加する関数とは、 $x_1 < x_2$ の場合に $f(x_1) \leq f(x_2)$ となる関数 $f(x)$ のことを言い、広義の単調減少する関数とは、 $x_1 < x_2$ の場合に $f(x_1) \geq f(x_2)$ となる関数 $f(x)$ のことをいう。

【0171】

本発明の主旨（両面実装でゲートパッドの位置を揃える、第 1 の半導体層上面領域 S 1 a 同士、第 2 の半導体層上面領域 S 2 a 同士の重複を広げる）を考えれば、上面領域におけるパッドレイアウトおよび上面境界線 6 0 0 a は、半導体装置 1 a の中心を対称の中心とする、点対称性を持つことが望ましい。上面境界線 6 0 0 c が階段状の場合、厳密な点対称性を有することはできないが、少しでもその乖離の程度を抑えることが本発明では有用となる。半導体装置 1 a の中心が階段の角に当たるような境界形状は、この対称性を成立させない。階段状の上面境界線 6 0 0 a で点対称性を高めるには、半導体装置 1 a の中心を通る部分(線分)が、その中心と半導体装置 1 a の中心とを一致させ、さらに当該線分が伸びる方向には中心から両側の方向に、等しい数の部分(線分)が備わる必要がある。すなわち半導体装置 1 a の中心を通る線分が伸びる方向には奇数個の線分から成り、それと直交する方向には偶数個の線分から成る階段状となることが望ましい。このため $N - 1$ 本と $N - 2$ 本の線分から成る階段状の境界線であり、線分が奇数となる方向において半導体装置 1 a の中心を通ることが好適となる。

【0172】

第 1 の頂点 5 0 1 と、上面境界線 6 0 0 a と第 1 の辺 2 0 1 との交点である第 1 の交点 6 0 1 との距離は、第 1 の辺 2 0 1 の長さの $1/N$ 以上であり、かつ、第 2 のゲートパッド 1 2 9 の最大径よりも長い。

【0173】

第 2 の頂点 5 0 2 と、上面境界線 6 0 0 a と第 3 の辺 2 0 3 との交点である第 2 の交点 6 0 2 との距離は、第 3 の辺 2 0 3 の長さの $1/N$ 以上であり、かつ、第 1 のゲートパッド 1 1 9 の最大径よりも長い。

【0174】

ここで、図 1 2 に示すように、第 1 の半導体層上面領域 S 1 a と第 2 の半導体層上面領域 S 2 a とは、半導体層 4 0 の平面視において互いに隣接し、半導体層 4 0 を面積で二等分する一方と他方である。

【0175】

また、半導体層 4 0 の平面視において、第 1 の交点 6 0 1 と第 2 の交点 6 0 2 とを結ぶ第 2 の仮想直線 9 2 と、第 1 の仮想直線 9 1 とのなす角 $\theta 1$ は、45 度より大きく 90 度以下である。

【0176】

図 1 2 に示すように、1 以上の第 1 のソースパッド 1 1 1 1 は複数であり、第 1 のソースパッド 1 1 1 1 のそれぞれは、半導体層 4 0 の平面視において、第 1 の辺 2 0 1 に平行な方向に長手方向を有する長方形または長円形であり、第 1 の辺 2 0 1 に平行に縞状に形成される。また、1 以上の第 2 のソースパッド 1 1 2 1 は複数であり、第 2 のソースパッド

10

20

30

40

50

１１２１のそれぞれは、半導体層４０の平面視において、第３の辺２０３に平行な方向に長手方向を有する長方形または長円形であり、第３の辺２０３に平行に縞状に形成される。

【０１７７】

また、第１の半導体層上面領域Ｓ１ａの形状が、実施の形態１に係る第１の半導体層上面領域Ｓ１の形状から変更されたこと、および、第２の半導体層上面領域Ｓ２ａの形状が、実施の形態１に係る第２の半導体層上面領域Ｓ２の形状から変更されたことに伴って、図１３に示すように、部分１３ａの形状が、実施の形態１に係る部分１３の形状から変更され、部分２３ａの形状が、実施の形態１に係る部分２３の形状から変更されている。

【０１７８】

【２－２．半導体モジュールの構造】

以下、実施の形態２に係る半導体モジュールについて説明する。実施の形態２に係る半導体モジュールは、実施の形態１に係る半導体モジュール５から、一部の構成が変更されて構成される。このため、ここでは、実施の形態２に係る半導体モジュールについて、半導体モジュール５と同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体モジュール５との相違点を中心に説明する。

【０１７９】

図１４は、実施の形態２に係る半導体モジュール５ａの構造の一例を示す平面図である。

【０１８０】

図１４に示すように、半導体モジュール５ａは、実施の形態１に係る半導体モジュール５から、半導体装置１が半導体装置１ａに変更され、実装基板５０が実装基板５０ａに変更されて構成される。図１４において、半導体装置１ａは、実際には視認することができない、半導体装置１ａの上面の構造、および、実装基板５０ａの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【０１８１】

実装基板５０ａは、実装基板５０から、第１の金属配線５１が第１の金属配線５１ａに変更され、第２の金属配線５２が第２の金属配線５２ａに変更されて構成される。

【０１８２】

図１５は、実装基板５０ａの表面に半導体装置１ａがフェイスダウン実装される様子を示す模式図である。図１５の（ａ）に図示されているように、上面をｚ軸正の向きに向けている状態の半導体装置１ａを、ｚ軸に対して裏返して、図１５の（ｂ）に図示されている状態として、さらに、ｚ軸を回転軸の方向として左向きに９０度回転させて、図１５の（ｃ）に図示されている状態として、実装基板５０ａの表面に実装される。

【０１８３】

この際、半導体装置１ａは、第２の辺２０２と第４の辺２０４とが、実装基板５０ａの長手方向が伸びる方向（図１５中のｘ軸方向）に平行で、かつ、第１のゲートパッド１１９が、実装基板５０ａの長手方向が伸びる方向のうちの第１の延伸方向側（図１５のｘ軸の負の方向）に位置する向きに、実装基板５０ａの表面にフェイスダウン実装される。

【０１８４】

再び図１４に戻って、半導体モジュール５ａの説明を続ける。

【０１８５】

図１４に示すように、第１の金属配線５１ａと第２の金属配線５２ａとは、クリアランス５４ａを挟んで、実装基板５０ａの長手方向が伸びる方向（図１４中のｘ軸方向）に並んで配置される。

【０１８６】

第１の金属配線５１ａは、複数の第１のソースパッド１１１１の全てに接合される。第１の金属配線５１ａは、例えば、はんだ等による導電性接合材を介して、複数の第１のソースパッド１１１１の全てに接合される。

【０１８７】

第２の金属配線５２ａは、複数の第２のソースパッド１１２１の全てに接合される。第２の金属配線５２ａは、例えば、はんだ等による導電性接合材を介して、複数の第２のソー

10

20

30

40

50

スパッド 1 1 2 1 の全てに接合される。

【0188】

このため、図 1 4 に示すように、半導体装置 1 a は、クリアランス 5 4 a を挟んで、第 1 の金属配線 5 1 a と第 2 の金属配線 5 2 a とを橋渡しする位置に、フェイスダウン実装されることとなる。

【0189】

図 1 6 は、実施の形態 2 に係る半導体モジュール 5 b の構造の一例を示す平面図である。

【0190】

図 1 6 に示すように、半導体モジュール 5 b は、実施の形態 1 に係る半導体モジュール 5 から、半導体装置 1 が半導体装置 1 a に変更され、実装基板 5 0 が実装基板 5 0 b に変更されて構成される。図 1 6 において、半導体装置 1 a は、実際には視認することができない、半導体装置 1 a の上面の構造、および、実装基板 5 0 b の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0191】

実装基板 5 0 b は、実装基板 5 0 から、第 1 の金属配線 5 1 が第 1 の金属配線 5 1 b に変更され、第 2 の金属配線 5 2 が第 2 の金属配線 5 2 b に変更され、第 1 のビア 6 1 が第 1 のビア 6 1 b に変更され、第 2 のビア 6 2 が第 2 のビア 6 2 b に変更され、金属配線 5 5 が金属配線 5 5 b に変更され、金属配線 5 6 が金属配線 5 6 b に変更されて構成される。

【0192】

図 1 7 は、実装基板 5 0 b の表面に半導体装置 1 a がフェイスダウン実装される様子を示す模式図である。図 1 7 に示すように、図 1 7 の (a) に図示されているように、上面を z 軸正の向きに向けている状態の半導体装置 1 a を、z 軸に対して裏返して、図 1 7 の (b) に図示されている状態として、さらに、z 軸を回転軸の方向として 90 度回転させて、図 1 7 の (c) に図示されている状態として、実装基板 5 0 b の表面に実装される。

【0193】

この際、半導体装置 1 a は、第 1 の辺 2 0 1 と第 3 の辺 2 0 3 とが、実装基板 5 0 b の長手方向が伸びる方向（図 1 7 中の x 軸方向）に平行で、かつ、第 1 のゲートパッド 1 1 9 が、実装基板 5 0 b の長手方向が伸びる方向のうちの第 1 の延伸方向側（図 1 7 の x 軸の負の方向）に位置する向きに、実装基板 5 0 b の表面にフェイスダウン実装される。

【0194】

再び図 1 6 に戻って、半導体モジュール 5 b の説明を続ける。

【0195】

図 1 6 に示すように、実装基板 5 0 b は、第 1 のゲートパッド 1 1 9 に電氣的に接続される第 1 の導体（ここでは、後述の、第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 5 b、または、金属配線 5 5 b に接続される導体）を通す第 1 のビア 6 1 b と、第 2 のゲートパッド 1 2 9 に電氣的接続される第 2 の導体（ここでは、後述の、第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 6 b、または、金属配線 5 6 b に接続される導体）を通す第 2 のビア 6 2 b とを備える。

【0196】

図 1 6 に示すように、第 1 の金属配線 5 1 b と第 2 の金属配線 5 2 b とは、クリアランス 5 4 b を挟んで、実装基板 5 0 b の長手方向が伸びる方向（図 1 6 中の x 軸方向）に並んで配置される。

【0197】

第 1 の金属配線 5 1 b は、複数の第 1 のソースパッド 1 1 1 1 の全てに接合される。第 1 の金属配線 5 1 b は、例えば、はんだ等による導電性接合材を介して、複数の第 1 のソースパッド 1 1 1 1 の全てに接合される。

【0198】

第 2 の金属配線 5 2 b は、複数の第 2 のソースパッド 1 1 2 1 の全てに接合される。第 2 の金属配線 5 2 b は、例えば、はんだ等による導電性接合材を介して、複数の第 2 のソースパッド 1 1 2 1 の全てに接合される。

【0199】

金属配線55bは、第1のゲートパッド119に接合される。金属配線55bは、例えば、はんだ等による導電性接合材を介して、第1のゲートパッド119に接合される。

【0200】

金属配線56bは、第2のゲートパッド129に接合される。金属配線56bは、例えば、はんだ等による導電性接合材を介して、第2のゲートパッド129に接合される。

【0201】

このため、図16に示すように、半導体装置1aは、クリアランス54bを挟んで、第1の金属配線51bと第2の金属配線52bとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0202】

[2-3. 考察]

上記構成の半導体装置1aによると、実装基板の表面と裏面とに、2つの同型の半導体装置1aのそれぞれをフェイスダウン実装して同時にオンオフを駆動する使い方をする場合において、実装基板の平面視において、2つの半導体装置1aの中心が重なり、かつ、一方の半導体装置1aに対する他方の半導体装置1aの向きを、半導体装置1aの中心を通る、実装基板の平面に垂直な回転軸を中心に90度回転させた向きに実装することで、すなわち、一方の半導体装置1aを図15中の(c)の向きに実装し、他方の半導体装置1aを図15中の(a)の向きに実装すること、または、一方の半導体装置1aを図17中の(c)の向きに実装し、他方の半導体装置1aを図17中の(a)の向きに実装することで、一方の半導体装置1aの第1のゲートパッド119の位置と他方の半導体装置1aの第1のゲートパッド119の位置とを揃えること、および、一方の半導体装置1aの第2のゲートパッド129の位置と他方の半導体装置1aの第2のゲートパッド129の位置とを揃えることができる。

【0203】

これにより、これら2つの半導体装置1aを実装する実装基板において、一方の半導体装置1aの第1のゲートパッド119と他方の半導体装置1aの第1のゲートパッド119との双方の電位を制御する配線、および、一方の半導体装置1aの第2のゲートパッド129と他方の半導体装置1aの第2のゲートパッド129との双方の電位を制御する配線をそれぞれ共通化できるので、個別に設置する場合と比べて配線(ビア)数は半減する。

【0204】

このため、実装基板において主電流が流れる電流経路を広く確保することができ、導通抵抗が低減されるように設計することが可能となる。

【0205】

また、第1のゲートパッド119と第2のゲートパッド129との双方の電位を制御する配線をそれぞれ共通化することができ、従来は個別に設置しなければならなかった配線(ビア)数を削減することができる。したがって、実装基板50a、実装基板50bの複雑になりがちな配線を簡素化し、基板設計の容易さを高めることができる。

【0206】

このため、実装基板において主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0207】

このように、上記構成の半導体装置1aによると、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置を提供することができる。

【0208】

また、図15中の(a)、および、図15中の(c)、ならびに、図17中の(a)、および、図17中の(c)からわかるように、実装基板の表面と裏面とに、2つの半導体装置1aのそれぞれをフェイスダウン実装する場合において、実装基板の平面視において、2つの半導体装置1aの中心が重なり、かつ、一方の半導体装置1aに対する他方の半導体装置1aの向きを、半導体装置1aの中心を通る、実装基板の平面に垂直な回転軸を中

10

20

30

40

50

心に90度回転させた向きに実装することで、実装基板の平面視において、2つの半導体装置1aの第1の半導体層上面領域S1a、および、2つの半導体装置1aの第2の半導体層上面領域S2aを重ね合わせることができる。

【0209】

これにより、これら2つの半導体装置1aを実装する実装基板において、電流経路における導通断面積を比較的広くすることができる。

【0210】

図18は、(1)半導体層40の平面視における、一方の半導体装置1aの第1の半導体層上面領域S1aと他方の半導体装置1aの第1の半導体層上面領域S1aとの面積が重複する度合(すなわち、一方の半導体装置1aの第2の半導体層上面領域S2aと他方の半導体装置1aの第2の半導体層上面領域S2aとの面積が重複する度合)である整合度(以下、単に「整合度」とも称する)と、(2)図8の比較例1を従来の基準としたとき、基準と比較したときの整合度の改善率(以下、「従来比整合度改善率」とも称する)との関係を示すグラフである。

【0211】

図18において、横軸は、図8の比較例1における上面境界線の位置を従来の基準として、半導体装置1aの第2の仮想直線92が基準から傾斜する時の角度 θ であり、左の縦軸は整合度、右の縦軸は従来比整合度改善率である。

【0212】

図18において、従来基準(図8の比較例1)とした上面境界線の配置の仕方($\theta = 0^\circ$)であっても整合度は50%である。 θ を大きくしていくと整合度は50%から徐々に大きくなり、 $\theta = 45^\circ$ で最大の100%となる。従来比整合度改善率は $\theta = 0^\circ$ の時を基準(1.0)としたものだが、 $\theta = 45^\circ$ では当然2.0となる。なお、従来比整合度改善率は1.1倍以上であることが好ましい。このため、図18に示すように、角 θ は、11.3度以上となるように、上面境界線が基準から傾斜することが望ましい。さらに、マージンを考慮すれば θ は15度以上となるように上面境界線が基準から傾斜することが望ましい。 θ を θ_1 と関係付けると、 $\theta_1 = 45^\circ + \theta$ であるため、 θ_1 としては60度以上であることが望ましいことになり、 θ_1 は60度以上90度以下であることが好ましい。

【0213】

角 θ_1 が60度以上90度以下である半導体装置1aを、半導体モジュール5aの実装に利用する場合、第2の仮想直線92と実装基板50aの長手方向が伸びる方向(図15中のx軸方向)とのなす角は、45度以上75度以下となる。また、角 θ_1 が60度以上90度以下である半導体装置1aを、半導体モジュール5bの実装に利用する場合、第2の仮想直線92と実装基板50bの長手方向が伸びる方向(図15中のx軸方向)とのなす角は、15度以上45度以下となる。このように、角 θ_1 が、好ましい角度である60度以上90度以下である半導体装置1aを、半導体モジュール5aまたは半導体モジュール5bに利用する場合、第2の仮想直線92と、実装基板50aまたは実装基板50bの長手方向が伸びる方向とのなす角は、15度以上75度以下となる。

【0214】

なお、実施の形態2において、1以上の第1のソースパッド1111、および、1以上の第2のソースパッド1121は、一例として、図12に図示されるように配置されるときとして説明したが、1以上の第1のソースパッド1111が、第1の半導体層上面領域S1aに配置され、1以上の第2のソースパッド1121が第2の半導体層上面領域S2aに配置されれば、必ずしも図12に図示されるように配置される必要はない。

【0215】

図19A、19Bは、1以上の第1のソースパッド1111と1以上の第2のソースパッド1121とその他の配置例を例示する平面図である。

【0216】

図19Aに示すように、1つの第1のソースパッド1111gが、第1のゲートパッド119の領域を除く第1の半導体層上面領域S1aの略全面に配置され、1つの第2のソー

10

20

30

40

50

スパッド 1 1 2 1 g が、第 2 のゲートパッド 1 2 9 の領域を除く第 2 の半導体層上面領域 S 2 a の略全面に配置されてもよいし、図 1 9 B に示すように、2 つの第 1 のソースパッド 1 1 1 1 h、1 1 1 1 i が、第 1 のゲートパッド 1 1 9 の領域を除く第 1 の半導体層上面領域 S 1 a の略全面に、対向する辺が互いに平行となるように二分割されて配置され、2 つの第 2 のソースパッド 1 1 2 1 h、1 1 2 1 i が、第 2 のゲートパッド 1 2 9 の領域を除く第 2 の半導体層上面領域 S 2 a の略全面に、対向する辺が互いに平行となるように二分割されて配置されてもよい。

【0 2 1 7】

(実施の形態 3)

[3-1. 半導体装置の構造]

以下、実施の形態 3 に係る半導体装置について説明する。実施の形態 3 に係る半導体装置は、実施の形態 1 に係る半導体装置 1 から、一部の構成が変更されて構成される。このため、ここでは、実施の形態 3 に係る半導体装置について、半導体装置 1 と同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体装置 1 との相違点を中心に説明する。

【0 2 1 8】

図 2 0 は、実施の形態 3 に係る半導体装置 1 c の構造の一例を示す平面図である。図 2 1 は、半導体装置 1 c の構造の一例を示す平面図であって、半導体装置 1 c の上面から、後述の部分 1 3 c と後述の部分 2 3 c とよりも上面側の構造物が仮想的に除去されて、部分 1 3 c と部分 2 3 c とが仮想的に露わになった状態における平面図である。

【0 2 1 9】

図 2 0 および図 2 1 に示すように、半導体装置 1 c は、実施の形態 1 に係る半導体装置 1 から、第 1 の半導体層上面領域 S 1 が第 1 の半導体層上面領域 S 1 c に変更され、第 2 の半導体層上面領域 S 2 が第 2 の半導体層上面領域 S 2 c に変更され、上面境界線 6 0 0 が上面境界線 6 0 0 c に変更され、1 以上の第 1 のソースパッド 1 1 1 が 1 以上の第 1 のソースパッド 2 1 1 1 (ここでは、第 1 のソースパッド 2 1 1 1 a、2 1 1 1 b、2 1 1 1 c、2 1 1 1 d、および、2 1 1 1 e) に変更され、1 以上の第 2 のソースパッド 1 2 1 が 1 以上の第 2 のソースパッド 2 1 2 1 (ここでは、第 2 のソースパッド 2 1 2 1 a、2 1 2 1 b、2 1 2 1 c、2 1 2 1 d、および、2 1 2 1 e) に変更され、部分 1 3 が部分 1 3 c に変更され、部分 2 3 が部分 2 3 c に変更されて構成される。

【0 2 2 0】

図 2 0 に示すように、半導体層 4 0 の平面視において、第 1 の半導体層上面領域 S 1 c と第 2 の半導体層上面領域 S 2 c との境界線である上面境界線 6 0 0 c は、第 3 の頂点 5 0 3 と第 4 の頂点 5 0 4 とを結ぶ線分である。すなわち、半導体層 4 0 の平面視において、第 1 の半導体層上面領域 S 1 c と第 2 の半導体層上面領域 S 2 c とは、第 3 の頂点 5 0 3 と第 4 の頂点 5 0 4 とを結ぶ線分により、半導体層 4 0 を面積で二等分する一方と他方である。

【0 2 2 1】

また、第 1 の半導体層上面領域 S 1 c の形状が、実施の形態 1 に係る第 1 の半導体層上面領域 S 1 の形状から変更されたこと、および、第 2 の半導体層上面領域 S 2 c の形状が、実施の形態 1 に係る第 2 の半導体層上面領域 S 2 の形状から変更されたことに伴って、図 2 1 に示すように、部分 1 3 c の形状が、実施の形態 1 に係る部分 1 3 の形状から変更され、部分 2 3 c の形状が、実施の形態 1 に係る部分 2 3 の形状から変更されている。

【0 2 2 2】

[3-2. 半導体モジュールの構造]

以下、実施の形態 3 に係る半導体モジュールについて説明する。実施の形態 3 に係る半導体モジュールは、実施の形態 1 に係る半導体モジュール 5 から、一部の構成が変更されて構成される。このため、ここでは、実施の形態 3 に係る半導体モジュールについて、半導体モジュール 5 と同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体モジュール 5 との相違点を中心に説明する。

【0223】

図22は、実施の形態3に係る半導体モジュール5cの構造の一例を示す平面図である。

【0224】

図22に示すように、半導体モジュール5cは、実施の形態1に係る半導体モジュール5から、半導体装置1が半導体装置1cに変更され、実装基板50が実装基板50cに変更されて構成される。図22において、半導体装置1cは、実際には視認することができない、半導体装置1cの上面の構造、および、実装基板50cの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0225】

実装基板50cは、実装基板50から、第1の金属配線51が第1の金属配線51cに変更され、第2の金属配線52が第2の金属配線52cに変更され、第1のビア61が第1のビア61cに変更され、第2のビア62が第2のビア62cに変更され、金属配線55が金属配線55cに変更され、金属配線56が金属配線56cに変更されて構成される。

【0226】

図22に示されるように、半導体装置1cは、半導体層40の平面視において、半導体装置1cの各辺と実装基板50cの長手方向が伸びる方向とのなす角が45度となる向きに、実装基板50cの表面にフェイスダウン実装される。

【0227】

図22に示すように、実装基板50cは、第1のゲートパッド119に電気的に接続される第1の導体（ここでは、後述の、第1のゲートパッド119に電気的に接続される金属配線55c、または、金属配線55cに接続される導体）を通す第1のビア61cと、第2のゲートパッド129に電気的に接続される第2の導体（ここでは、後述の、第2のゲートパッド129に電気的に接続される金属配線56c、または、金属配線56cに接続される導体）を通す第2のビア62cとを備える。

【0228】

図22に示すように、第1の金属配線51cと第2の金属配線52cとは、クリアランス54cを挟んで、実装基板50cの長手方向が伸びる方向（図22中のx軸方向）に並んで配置される。

【0229】

第1の金属配線51cは、複数の第1のソースパッド2111の全てに接合される。第1の金属配線51cは、例えば、はんだ等による導電性接合材を介して、複数の第1のソースパッド2111の全てに接合される。

【0230】

第2の金属配線52cは、複数の第2のソースパッド2121の全てに接合される。第2の金属配線52cは、例えば、はんだ等による導電性接合材を介して、複数の第2のソースパッド2121の全てに接合される。

【0231】

金属配線55cは、第1のゲートパッド119に接合される。金属配線55cは、例えば、はんだ等による導電性接合材を介して、第1のゲートパッド119に接合される。

【0232】

第1のビア61cは、クリアランス54c内に配置される。また、第1のゲートパッド119も、クリアランス54c内に配置される。このため、金属配線55cも、クリアランス54c内に配置される。

【0233】

金属配線56cは、第2のゲートパッド129に接合される。金属配線56cは、例えば、はんだ等による導電性接合材を介して、第2のゲートパッド129に接合される。

【0234】

第2のビア62cは、クリアランス54c内に配置される。また、第2のゲートパッド129も、クリアランス54c内に配置される。このため、金属配線56cも、クリアランス54c内に配置される。

10

20

30

40

50

【0235】

このため、図22に示すように、半導体装置1cは、クリアランス54cを挟んで、第1の金属配線51cと第2の金属配線52cとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0236】

[3-3. 考察]

上記構成の半導体装置1cによると、図22に例示したように、半導体層40の平面視において、上面境界線600cが、すなわち、第1の仮想直線91が、実装基板50cの長手方向が伸びる方向に直交する向きに半導体装置1cを実装基板の表面にフェイスダウン実装することで、実装基板の幅を最大限に有効活用して、実装基板の金属配線と半導体装置1cのソースパッドとを接合させることができる。また、内部境界線400と上面境界線600cとが半導体層20の平面視において一致する場合、半導体装置1cでは、実施の形態1や実施の形態2と同じ形状、同じ面積の正方形であっても、上面境界線600cの形状と半導体装置1cのゲートパッドの位置に起因して、その内部を導通経路として最大限に幅広で利用できる特徴を備えている。つまり実施形態3は大電流を流すのに適しており、基板配線と半導体装置1cとを含む導通抵抗を低抵抗化できる。さらに言えば、半導体装置1cを図22のように用いる場合、第1の金属配線51cから流入する電流は半導体装置1cの2辺から流入することができ、また、第2の金属配線52cへ流出する電流は半導体装置1cの2辺から流出することができるため、大電流を流すのにたいへん適している。

【0237】

このため、実装基板において大電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0238】

このように、上記構成の半導体装置1cによると、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置を提供することができる。

【0239】

なお、実施の形態3において、1以上の第1のソースパッド2111、および、1以上の第2のソースパッド2121は、一例として、図20に図示されるように配置されるときとして説明したが、1以上の第1のソースパッド2111が、第1の半導体層上面領域S1cに配置され、1以上の第2のソースパッド2121が第2の半導体層上面領域S2cに配置されれば、必ずしも図20に図示されるように配置される必要はない。

【0240】

図23A、23B、23C、23D、23Eは、1以上の第1のソースパッド2111と1以上の第2のソースパッド2121とその他の配置例を例示する平面図である。

【0241】

図23Aに示すように、1つの第1のソースパッド2111fが、第1のゲートパッド119の領域を除く第1の半導体層上面領域S1cの略全面に配置され、1つの第2のソースパッド2121fが、第2のゲートパッド129の領域を除く第2の半導体層上面領域S2cの略全面に配置されてもよいし、図23Bに示すように、複数の第1のソースパッド2111g~2111hが、第1の半導体層上面領域S1cに、上面境界線600cに平行に配置され、複数の第2のソースパッド2121g~2121hが、第2の半導体層上面領域S2cに、上面境界線600cに平行に配置されてもよいし、図23Cに示すように、複数の第1のソースパッド2111i~2111lが、第1の半導体層上面領域S1cに、上面境界線600cに平行に二分割されて配置され、複数の第2のソースパッド2121i~2121lが、第2の半導体層上面領域S2cに、上面境界線600cに平行に二分割されて配置されてもよいし、図23Dに示すように、2つの第1のソースパッド2111m、2111nが、第1のゲートパッド119の領域を除く第1の半導体層上面領域S1cの略全面に、対向する辺のそれぞれが上面境界線600cに直交するように二分割されて配置され、2つの第2のソースパッド2121m、2121nが、第2のゲ

ートパッド129の領域を除く第2の半導体層上面領域S2cの略全面に、対向する辺のそれぞれが上面境界線600cに直交するように二分割されて配置されてもよいし、図23Eに示すように、半導体装置1cを、半導体層40の平面視において、半導体装置1cの中心を回転軸として、90度回転する毎に、第1のソースパッド2111pと、第1のソースパッド2111qと、第2のソースパッド2121qと、第2のソースパッド2121pとが、重なり、かつ、第1のゲートパッド119と、第1のソースパッド2111oと、第2のゲートパッド129と、第2のソースパッド2121oとが重なる形状となるように、複数の第1のソースパッド2111o~2111qが、第1の半導体層上面領域S1cに配置され、複数の第2のソースパッド2121o~2121qが、第2の半導体層上面領域S2cに配置されてもよい。

10

【0242】

(実施の形態4)

[4-1. 半導体装置の構造]

以下、実施の形態4に係る半導体装置について説明する。実施の形態4に係る半導体装置は、実施の形態1に係る半導体装置1から、一部の構成が変更されて構成される。このため、ここでは、実施の形態4に係る半導体装置について、半導体装置1と同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体装置1との相違点を中心に説明する。

【0243】

図24は、実施の形態4に係る半導体装置1dの構造の一例を示す平面図である。図25は、半導体装置1dの構造の一例を示す平面図であって、半導体装置1dの上面から、後述の部分13dと後述の部分23dとよりも上面側の構造物が仮想的に除去されて、部分13dと部分23dとが仮想的に露わになった状態における平面図である。

20

【0244】

図24および図25に示すように、半導体装置1dは、実施の形態1に係る半導体装置1から、第1の半導体層上面領域S1が第1の半導体層上面領域S1dに変更され、第2の半導体層上面領域S2が第2の半導体層上面領域S2dに変更され、上面境界線600が上面境界線600dに変更され、1以上の第1のソースパッド111が1以上の第1のソースパッド3111（ここでは、第1のソースパッド3111a、3111b、3111c、3111d、および、3111e）に変更され、1以上の第2のソースパッド121が1以上の第2のソースパッド3121（ここでは、第2のソースパッド3121a、3121b、3121c、3121d、および、3121e）に変更され、部分13が部分13dに変更され、部分23が部分23dに変更されて構成される。

30

【0245】

図24に示すように、半導体層40の平面視において、第1の半導体層上面領域S1dと第2の半導体層上面領域S2dとの境界線である上面境界線600dは、第1の辺201に平行なN-1（Nは、3以上の整数。ここでは、Nは4）本の線分と、第2の辺202に平行なN-2本の線分とが交互に接続されてなり、かつ、第2の辺202の伸びる方向、および、第1の辺201の伸びる方向において単調に変化する。

【0246】

第3の頂点503と、上面境界線600dと第2の辺202との交点である第1の交点601dとの距離は、第2の辺202の長さの $1/N$ 以上であり、かつ、第1のゲートパッド119の最大径よりも長い。

40

【0247】

第4の頂点504と、上面境界線600dと第4の辺204との交点である第2の交点602dとの距離は、第4の辺204の長さの $1/N$ 以上であり、かつ、第2のゲートパッド129の最大径よりも長い。

【0248】

ここで、図24に示すように、第1の半導体層上面領域S1dと第2の半導体層上面領域S2dとは、半導体層40の平面視において互いに隣接し、半導体層40を面積で二等分

50

する一方と他方である。

【0249】

また、半導体層40の平面視において、第1の交点601dと第2の交点602dとを結ぶ第2の仮想直線92dと、第1の仮想直線91とのなす角 $\theta 2$ は、0度以上45度未満である。

【0250】

図24に示すように、1以上の第1のソースパッド3111は複数であり、第1のソースパッド3111のそれぞれは、半導体層40の平面視において、第2の辺202に平行な方向に長手方向を有する長方形または長円形であり、第2の辺202に平行に縞状に形成される。また、1以上の第2のソースパッド3121は複数であり、第2のソースパッド3121のそれぞれは、半導体層40の平面視において、第4の辺204に平行な方向に長手方向を有する長方形または長円形であり、第4の辺204に平行に縞状に形成される。

【0251】

また、第1の半導体層上面領域S1dの形状が、実施の形態1に係る第1の半導体層上面領域S1の形状から変更されたこと、および、第2の半導体層上面領域S2dの形状が、実施の形態1に係る第2の半導体層上面領域S2の形状から変更されたことに伴って、図25に示すように、部分13dの形状が、実施の形態1に係る部分13の形状から変更され、部分23dの形状が、実施の形態1に係る部分23の形状から変更されている。

【0252】

〔4-2. 半導体モジュールの構造〕

以下、実施の形態4に係る半導体モジュールについて説明する。実施の形態4に係る半導体モジュールは、実施の形態3に係る半導体モジュール5cから、一部の構成が変更されて構成される。このため、ここでは、実施の形態4に係る半導体モジュールについて、半導体モジュール5cと同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体モジュール5cとの相違点を中心に説明する。

【0253】

図26は、実施の形態4に係る半導体モジュール5dの構造の一例を示す平面図である。

【0254】

図26に示すように、半導体モジュール5dは、実施の形態3に係る半導体モジュール5cから、半導体装置1cが半導体装置1dに変更され、実装基板50cが実装基板50dに変更されて構成される。図26において、半導体装置1dは、実際には視認することができない、半導体装置1dの上面の構造、および、実装基板50dの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0255】

実装基板50dは、実装基板50から、第1の金属配線51が第1の金属配線51dに変更され、第2の金属配線52が第2の金属配線52dに変更されて構成される。

【0256】

図26に示すように、第1の金属配線51dと第2の金属配線52dとは、クリアランス54dを挟んで、実装基板50dの長手方向が伸びる方向（図26中のx軸方向）に並んで配置される。

【0257】

第1の金属配線51dは、複数の第1のソースパッド3111の全てに接合される。第1の金属配線51dは、例えば、はんだ等による導電性接合材を介して、複数の第1のソースパッド3111の全てに接合される。

【0258】

第2の金属配線52dは、複数の第2のソースパッド3121の全てに接合される。第2の金属配線52dは、例えば、はんだ等による導電性接合材を介して、複数の第2のソースパッド3121の全てに接合される。

【0259】

このため、図26に示すように、半導体装置1dは、クリアランス54dを挟んで、第1

10

20

30

40

50

の金属配線 5 1 d と第 2 の金属配線 5 2 d とを橋渡しする位置に、フェイスダウン実装されることとなる。

【0260】

[4-3. 考察]

上記構成の半導体装置 1 d によると、図 26 に例示したように、半導体層 40 の平面視において、第 1 の仮想直線 9 1 が、実装基板 50 d の長手方向が伸びる方向に直交する向きに半導体装置 1 d を実装基板の表面にフェイスダウン実装することで、実装基板の幅を有効活用して、実装基板の金属配線と半導体装置 1 d のソースパッドとを接合させることができる。また、内部境界線 400 と上面境界線 600 d とが半導体層 20 の平面視において一致する場合、半導体装置 1 d では、実施の形態 1 や 2 と同じ形状、同じ面積の正方形であっても、上面境界線 600 d の形状と半導体装置 1 d のゲートパッドの位置に起因して、その内部を導通経路として最大限に幅広で利用できる特徴を備えている。つまり実施形態 4 は大電流を流すのに適しており、基板配線と半導体装置 1 d とを含む導通抵抗を低抵抗化できる。さらに言えば、半導体装置 1 d を図 26 のように用いる場合、第 1 の金属配線 5 1 d から流入する電流は半導体装置 1 d の 2 辺から流入することができ、また、第 2 の金属配線 5 2 d へ流出する電流は半導体装置 1 d の 2 辺から流出することができるため、大電流を流すのにたいへん適している。

【0261】

このため、実装基板において大電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0262】

このように、上記構成の半導体装置 1 d によると、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置を提供することができる。

【0263】

以下、角 $\theta 2$ の好ましい範囲について考察する。ここでは、半導体装置 1 d が、半導体層 40 の平面視において、正方形であり、上面境界線 600 d と内部境界線 400 とが一致する場合について、考察する。

【0264】

図 27 は、半導体装置 1 d の平面図である。

【0265】

図 27 において、第 1 の制御領域 7 1 は、第 1 のゲートパッド 119 が配置される、各辺の長さが Z となる正方形の領域であり、第 2 の制御領域 7 2 は、第 2 のゲートパッド 129 が配置される、各辺の長さが Z となる正方形の領域である。

【0266】

半導体モジュール 5 d において、半導体装置 1 d のオン抵抗をなるべく低減するためには、半導体装置 1 d の上面における、第 2 の仮想直線 9 2 のうちの、第 1 の制御領域 7 1 および第 2 の制御領域 7 2 を除く部分の線分である対向線分 9 3 が、半導体層 40 の各辺の長さ X よりも長くなることが望ましい。

【0267】

図 27 中の線分 9 4 は、第 1 の制御領域 7 1 の境界と第 2 の制御領域 7 2 の境界とを結ぶ、長さが X となる仮想的な線分である。

【0268】

図 27 に示すように、対向線分 9 3 が線分 9 4 より長くなるためには、角 $\theta 2$ が、線分 9 4 が第 1 の仮想直線 9 1 となす角 $\theta 3$ よりも大きくなる必要がある。

【0269】

図 28 は、半導体装置 1 d の各辺の長さ X と、制御領域（第 1 の制御領域 7 1 および第 2 の制御領域 7 2）の各辺の長さ Z との比率 Z/X （以下、「比率 Z/X 」とも称する）と、角 $\theta 2$ および角 $\theta 3$ との関係を示すグラフである。

【0270】

図 28 において、横軸は Z/X であり、第 1 縦軸は角 $\theta 2$ および角 $\theta 3$ の角度（傾斜角度

10

20

30

40

50

）であり、第2縦軸は角 θ_2 と角 θ_3 との差の絶対値 $|\theta_2 - \theta_3|$ の縦軸は角度（傾斜角度の差）である。

【0271】

図28に示すように、比率 Z/X が大きくなると、角 θ_2 と角 θ_3 との差が縮小すると共に、角 θ_2 も角 θ_3 も絶対値が大きくなり、実装基板の幅を有効活用して、実装基板の金属配線と半導体装置1dのソースパッドとを接合させるという効果が希薄になる。

【0272】

発明者らは、実験、検討を繰り返した結果、図28中の比率 Z/X が0.29より小さくなる領域であれば、上記効果を奏する観点において好ましいとの知見を得た。これは、図28において $|\theta_2 - \theta_3|$ が2度未満となる領域である。もともと対向線分93とは上面境界線600のことであり、上面境界線600は実質的に、平面視で有限の幅を有する場合がある。半導体装置1dの中心から、半導体装置1dの外周と上面境界線600との交点まで仮想的に線分を引くとき、上面境界線600の有限の幅の分だけ当該仮想線分には2度程度の揺らぎがある。このことに起因して $|\theta_2 - \theta_3|$ が2度未満であると実質的に対向線分93と線分94との区別がつきにくくなるため、 $|\theta_2 - \theta_3|$ は2度以上であることが好ましい。図28に示すように、比率 Z/X が0.29より小さくなる領域は、 θ_2 が0度以上22度以下の領域である。

【0273】

このため、角 θ_2 は、0度以上22度以下であることが好ましい。

【0274】

なお、実施の形態4において、1以上の第1のソースパッド3111、および、1以上の第2のソースパッド3121は、一例として、図24に図示されるように配置されるとして説明したが、1以上の第1のソースパッド3111が、第1の半導体層上面領域S1dに配置され、1以上の第2のソースパッド3121が第2の半導体層上面領域S2dに配置されれば、必ずしも図24に図示されるように配置される必要はない。

【0275】

図29A、29Bは、1以上の第1のソースパッド3111と1以上の第2のソースパッド3121とその他の配置例を例示する平面図である。

【0276】

図29Aに示すように、1つの第1のソースパッド3111fが、第1のゲートパッド119の領域を除く第1の半導体層上面領域S1dの略全面に配置され、1つの第2のソースパッド3121fが、第2のゲートパッド129の領域を除く第2の半導体層上面領域S2dの略全面に配置されてもよいし、図29Bに示すように、2つの第1のソースパッド3111g、3111hが、第1のゲートパッド119の領域を除く第1の半導体層上面領域S1dの略全面に、対向する辺が互いに平行となるように二分割されて配置され、2つの第2のソースパッド3121g、3121hが、第2のゲートパッド129の領域を除く第2の半導体層上面領域S2dの略全面に、対向する辺が互いに平行となるように二分割されて配置されてもよい。

【0277】

（実施の形態5）

【5-1. 半導体モジュールの構造】

以下、実施の形態5に係る半導体モジュールの構造について説明する。

【0278】

図30Aは、実施の形態5に係る半導体モジュール5eaの構造の一例を示す平面図である。

【0279】

図30Aに示すように、半導体モジュール5eaは、2つの半導体装置1（以下、両者を区別するため、一方を半導体装置1ea、他方を半導体装置1ebとも称する）と、表面に半導体装置1eaおよび半導体装置1ebがフェイスダウン実装された実装基板50eaとを備える。図30Aにおいて、半導体装置1eaおよび半導体装置1ebは、実際に

10

20

30

40

50

は視認することができない、半導体装置 1 e a の上面の構造、半導体装置 1 e b の上面の構造、および、実装基板 5 0 e a の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0280】

図 3 0 A に示すように、半導体装置 1 e a は、実装基板 5 0 e a の平面視において、第 1 のゲートパッド 1 1 9 の位置が、実装基板 5 0 e a の長手方向が伸びる方向（図 3 0 A 中の x 軸方向）のうちの第 1 の延伸方向側に位置する向きに、実装基板 5 0 e a の表面にフェイスダウン実装される。そして、半導体装置 1 e b は、半導体装置 1 e a に対して、実装基板 5 0 e a の長手方向が伸びる方向のうちの、第 1 の延伸方向と逆向きの第 2 の延伸方向に平行移動した位置で、半導体装置 1 e a の上面境界線 6 0 0 と、半導体装置 1 e b の上面境界線 6 0 0 とが平行になる向きであり、かつ、第 1 のゲートパッド 1 1 9 の位置が、第 1 の延伸方向側に位置する向きに、実装基板 5 0 e a の表面にフェイスダウン実装される。

10

【0281】

図 3 0 A に示すように、実装基板 5 0 e a は、実装基板 5 0 e a の平面視において少なくとも半導体装置 1 を実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板 5 0 e a は、半導体装置 1 e a の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 1 の導体（ここでは、後述の、半導体装置 1 e a の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 5 e a、または、金属配線 5 5 e a に接続される導体）を通す第 1 のビア 6 1 e a と、半導体装置 1 e a の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 2 の導体（ここでは、後述の、半導体装置 1 e a の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 6 e a、または、金属配線 5 6 e a に接続される導体）を通す第 2 のビア 6 2 e a と、半導体装置 1 e b の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 3 の導体（ここでは、後述の、半導体装置 1 e b の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 7 e a、または、金属配線 5 7 e a に接続される導体）を通す第 3 のビア 6 3 e a と、半導体装置 1 e b の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 4 の導体（ここでは、後述の、半導体装置 1 e b の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 8 e a、または、金属配線 5 8 e a に接続される導体）を通す第 4 のビア 6 4 e a とを備える。

20

【0282】

実装基板 5 0 e a は、さらに、その表面に、第 1 の金属配線 5 1 e a と、第 2 の金属配線 5 2 e a と、第 3 の金属配線 5 3 e a と、金属配線 5 5 e a と、金属配線 5 6 e a と、金属配線 5 7 e a と、金属配線 5 8 e a とを有する。

30

【0283】

第 1 の金属配線 5 1 e a と第 2 の金属配線 5 2 e a とは、クリアランス 5 4 e a を挟んで、実装基板 5 0 e a の長手方向が伸びる方向（図 3 0 A 中の x 軸方向）に並んで配置される。

【0284】

第 2 の金属配線 5 2 e a と第 3 の金属配線 5 3 e a とは、クリアランス 5 4 e b を挟んで、実装基板 5 0 e a の長手方向が伸びる方向に並んで配置される。

40

【0285】

第 1 の金属配線 5 1 e a は、半導体装置 1 e a の 1 以上の第 1 のソースパッド 1 1 1 の全てに接合される。第 1 の金属配線 5 1 e a は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 e a の 1 以上の第 1 のソースパッド 1 1 1 の全てに接合される。

【0286】

第 2 の金属配線 5 2 e a は、半導体装置 1 e a の 1 以上の第 2 のソースパッド 1 2 1 の全て、および、半導体装置 1 e b の 1 以上の第 1 のソースパッド 1 1 1 の全てに接合される。第 2 の金属配線 5 2 e a は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 e a の 1 以上の第 2 のソースパッド 1 2 1 の全て、および、半導体装置 1 e b の 1 以上の第 1 のソースパッド 1 1 1 の全てに接合される。

50

【0287】

第3の金属配線53eaは、半導体装置1ebの1以上の第2のソースパッド121の全てに接合される。第3の金属配線53eaは、例えば、はんだ等による導電性接合材を介して、半導体装置1ebの1以上の第2のソースパッド121の全てに接合される。

【0288】

このため、図30Aに示すように、半導体装置1eaは、クリアランス54eaを挟んで、第1の金属配線51eaと第2の金属配線52eaとを橋渡しする位置に、フェイスダウン実装され、半導体装置1ebは、クリアランス54ebを挟んで、第2の金属配線52eaと第3の金属配線53eaとを橋渡しする位置に、フェイスダウン実装されることとなる。

10

【0289】

金属配線55eaは、半導体装置1eaの第1のゲートパッド119に接合される。金属配線55eaは、例えば、はんだ等による導電性接合材を介して、半導体装置1eaの第1のゲートパッド119に接合される。

【0290】

金属配線56eaは、半導体装置1eaの第2のゲートパッド129に接合される。金属配線56eaは、例えば、はんだ等による導電性接合材を介して、半導体装置1eaの第2のゲートパッド129に接合される。

【0291】

金属配線57eaは、半導体装置1ebの第1のゲートパッド119に接合される。金属配線57eaは、例えば、はんだ等による導電性接合材を介して、半導体装置1ebの第1のゲートパッド119に接合される。

20

【0292】

金属配線58eaは、半導体装置1ebの第2のゲートパッド129に接合される。金属配線58eaは、例えば、はんだ等による導電性接合材を介して、半導体装置1ebの第2のゲートパッド129に接合される。

【0293】

図30Bは、実施の形態5に係る半導体モジュール5ebの構造の一例を示す平面図である。

【0294】

図30Bに示すように、半導体モジュール5ebは、半導体モジュール5eaから、2つの半導体装置1（半導体装置1eaおよび半導体装置1eb）が、2つの半導体装置1a（以下、両者を区別するために、一方を半導体装置1aea、他方を半導体装置1aebとも称する）に変更され、実装基板50eaが実装基板50ebに変更されて構成される。図30Bにおいて、半導体装置1aeaおよび半導体装置1aebは、実際には視認することができない、半導体装置1aeaの上面の構造、半導体装置1aebの上面の構造、および、実装基板50ebの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

30

【0295】

図30Bに示すように、半導体装置1aeaは、実装基板50ebの平面視において、第1のゲートパッド119の位置が、実装基板50ebの長手方向が伸びる方向（図30B中のx軸方向）のうちの第1の延伸方向側に位置する向きに、実装基板50ebの表面にフェイスダウン実装される。そして、半導体装置1aebは、半導体装置1aeaに対して、実装基板50ebの長手方向が伸びる方向のうちの、第1の延伸方向と逆向きの第2の延伸方向に平行移動した位置で、半導体装置1aeaの第2の仮想直線92と、半導体装置1aebの第2の仮想直線92とが平行になる向きであり、かつ、第1のゲートパッド119の位置が、第1の延伸方向側に位置する向きに、実装基板50ebの表面にフェイスダウン実装される。

40

【0296】

実装基板50ebは、実装基板50eaから、第1の金属配線51eaが第1の金属配線

50

5 1 e bに変更され、第2の金属配線5 2 e aが第2の金属配線5 2 e bに変更され、第3の金属配線5 3 e aが第3の金属配線5 3 e bに変更されて構成される。

【0 2 9 7】

第1の金属配線5 1 e bと第2の金属配線5 2 e bとは、クリアランス5 4 e cを挟んで、実装基板5 0 e bの長手方向が伸びる方向（図3 0 B中のx軸方向）に並んで配置される。

【0 2 9 8】

第2の金属配線5 2 e bと第3の金属配線5 3 e bとは、クリアランス5 4 e dを挟んで、実装基板5 0 e bの長手方向が伸びる方向に並んで配置される。

【0 2 9 9】

第1の金属配線5 1 e bは、半導体装置1 a e aの1以上の第1のソースパッド1 1 1 1の全てに接合される。第1の金属配線5 1 e bは、例えば、はんだ等による導電性接合材を介して、半導体装置1 a e aの1以上の第1のソースパッド1 1 1 1の全てに接合される。

【0 3 0 0】

第2の金属配線5 2 e bは、半導体装置1 a e aの1以上の第2のソースパッド1 1 2 1の全て、および、半導体装置1 a e bの1以上の第1のソースパッド1 1 1 1の全てに接合される。第2の金属配線5 2 e bは、例えば、はんだ等による導電性接合材を介して、半導体装置1 a e aの1以上の第2のソースパッド1 1 2 1の全て、および、半導体装置1 a e bの1以上の第1のソースパッド1 1 1 1の全てに接合される。

【0 3 0 1】

第3の金属配線5 3 e bは、半導体装置1 a e bの1以上の第2のソースパッド1 1 2 1の全てに接合される。第3の金属配線5 3 e bは、例えば、はんだ等による導電性接合材を介して、半導体装置1 a e bの1以上の第2のソースパッド1 1 2 1の全てに接合される。

【0 3 0 2】

このため、図3 0 Bに示すように、半導体装置1 a e aは、クリアランス5 4 e cを挟んで、第1の金属配線5 1 e bと第2の金属配線5 2 e bとを橋渡しする位置に、フェイスダウン実装され、半導体装置1 a e bは、クリアランス5 4 e dを挟んで、第2の金属配線5 2 e bと第3の金属配線5 3 e bとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0 3 0 3】

図3 0 Cは、実施の形態5に係る半導体モジュール5 e cの構造の一例を示す平面図である。

【0 3 0 4】

図3 0 Cに示すように、半導体モジュール5 e cは、2つの半導体装置1 a（以下、両者を区別するため、一方を半導体装置1 a e c、他方を半導体装置1 a e dとも称する）と、表面に半導体装置1 a e cおよび半導体装置1 a e dがフェイスダウン実装された実装基板5 0 e cとを備える。図3 0 Cにおいて、半導体装置1 a e cおよび半導体装置1 a e dは、実際には視認することができない、半導体装置1 a e cの上面の構造、半導体装置1 a e dの上面の構造、および、実装基板5 0 e cの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0 3 0 5】

図3 0 Cに示すように、実装基板5 0 e cは、実装基板5 0 e cの平面視において少なくとも半導体装置1 aを実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板5 0 e cは、半導体装置1 a e cの第1のゲートパッド1 1 9に電氣的に接続される第1の導体（ここでは、後述の、半導体装置1 a e cの第1のゲートパッド1 1 9に電氣的に接続される金属配線5 5 e c、または、金属配線5 5 e cに接続される導体）を通す第1のビア6 1 e cと、半導体装置1 a e cの第2のゲートパッド1 2 9に電氣的に接続される第2の導体（ここでは、後述の、半導体装置1 a e cの第2のゲートパッ

10

20

30

40

50

ド 1 2 9 に電氣的に接続される金属配線 5 6 e c、または、金属配線 5 6 e c に接続される導体)を通す第 2 のビア 6 2 e c と、半導体装置 1 a e d の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 3 の導体(ここでは、後述の、半導体装置 1 a e d の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 7 e c、または、金属配線 5 7 e c に接続される導体)を通す第 3 のビア 6 3 e c と、半導体装置 1 a e d の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 4 の導体(ここでは、後述の、半導体装置 1 a e d の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 8 e c、または、金属配線 5 8 e c に接続される導体)を通す第 4 のビア 6 4 e c とを備える。

【0306】

実装基板 5 0 e c は、さらに、その表面に、第 1 の金属配線 5 1 e c と、第 2 の金属配線 5 2 e c と、第 3 の金属配線 5 3 e c と、金属配線 5 5 e c と、金属配線 5 6 e c と、金属配線 5 7 e c と、金属配線 5 8 e c とを有する。

10

【0307】

図 3 0 C に示すように、第 1 の金属配線 5 1 e c と第 2 の金属配線 5 2 e c とは、クリアランス 5 4 e e を挟んで、実装基板 5 0 e c の長手方向が伸びる方向(図 3 0 C 中の x 軸方向)に並んで配置される。

【0308】

第 2 の金属配線 5 2 e c と第 3 の金属配線 5 3 e c とは、クリアランス 5 4 e f を挟んで、実装基板 5 0 e c の長手方向が伸びる方向に並んで配置される。

【0309】

20

第 1 の金属配線 5 1 e c は、半導体装置 1 a e c の 1 以上の第 1 のソースパッド 1 1 1 1 の全てに接合される。第 1 の金属配線 5 1 e c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a e c の 1 以上の第 1 のソースパッド 1 1 1 1 の全てに接合される。

【0310】

第 2 の金属配線 5 2 e c は、半導体装置 1 a e c の 1 以上の第 2 のソースパッド 1 1 2 1 の全て、および、半導体装置 1 a e d の 1 以上の第 1 のソースパッド 1 1 1 1 の全てに接合される。第 2 の金属配線 5 2 e c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a e c の 1 以上の第 2 のソースパッド 1 1 2 1 の全て、および、半導体装置 1 a e d の 1 以上の第 1 のソースパッド 1 1 1 1 の全てに接合される。

30

【0311】

第 3 の金属配線 5 3 e c は、半導体装置 1 a e d の 1 以上の第 2 のソースパッド 1 1 2 1 の全てに接合される。第 3 の金属配線 5 3 e c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a e d の 1 以上の第 2 のソースパッド 1 1 2 1 の全てに接合される。

【0312】

このため、図 3 0 C に示すように、半導体装置 1 a e c は、クリアランス 5 4 e e を挟んで、第 1 の金属配線 5 1 e c と第 2 の金属配線 5 2 e c とを橋渡しする位置に、フェイスダウン実装され、半導体装置 1 a e d は、クリアランス 5 4 e f を挟んで、第 2 の金属配線 5 2 e c と第 3 の金属配線 5 3 e c とを橋渡しする位置に、フェイスダウン実装されることとなる。

40

【0313】

金属配線 5 5 e c は、半導体装置 1 a e c の第 1 のゲートパッド 1 1 9 に接合される。金属配線 5 5 e c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a e c の第 1 のゲートパッド 1 1 9 に接合される。

【0314】

金属配線 5 6 e c は、半導体装置 1 a e c の第 2 のゲートパッド 1 2 9 に接合される。金属配線 5 6 e c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a e c の第 2 のゲートパッド 1 2 9 に接合される。

【0315】

50

金属配線 57 e c は、半導体装置 1 a e d の第 1 のゲートパッド 119 に接合される。金属配線 57 e c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a e d の第 1 のゲートパッド 119 に接合される。

【0316】

金属配線 58 e c は、半導体装置 1 a e d の第 2 のゲートパッド 129 に接合される。金属配線 58 e c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a e d の第 2 のゲートパッド 129 に接合される。

【0317】

図 30 D は、実施の形態 5 に係る半導体モジュール 5 e d の構造の一例を示す平面図である。

【0318】

図 30 D に示すように、半導体モジュール 5 e d は、2 つの半導体装置 1 c（以下、両者を区別するため、一方を半導体装置 1 c e a、他方を半導体装置 1 c e b と称する）と、表面に半導体装置 1 c e a および半導体装置 1 c e b がフェイスダウン実装された実装基板 50 e d とを備える。図 30 D において、半導体装置 1 c e a および半導体装置 1 c e b は、実際には視認することができない、半導体装置 1 c e a の上面の構造、半導体装置 1 c e b の上面の構造、および、実装基板 50 e d の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0319】

図 30 D に示すように、実装基板 50 e d は、実装基板 50 e d の平面視において少なくとも半導体装置 1 c を実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板 50 e d は、半導体装置 1 c e a の第 1 のゲートパッド 119 に電氣的に接続される第 1 の導体（ここでは、後述の、半導体装置 1 c e a の第 1 のゲートパッド 119 に電氣的に接続される金属配線 55 e d、または、金属配線 55 e d に接続される導体）を通す第 1 のビア 61 e d と、半導体装置 1 c e a の第 2 のゲートパッド 129 に電氣的に接続される第 2 の導体（ここでは、後述の、半導体装置 1 c e a の第 2 のゲートパッド 129 に電氣的に接続される金属配線 56 e d、または、金属配線 56 e d に接続される導体）を通す第 2 のビア 62 e d と、半導体装置 1 c e b の第 1 のゲートパッド 119 に電氣的に接続される第 3 の導体（ここでは、後述の、半導体装置 1 c e b の第 1 のゲートパッド 119 に電氣的に接続される金属配線 57 e d、または、金属配線 57 e d に接続される導体）を通す第 3 のビア 63 e d と、半導体装置 1 c e b の第 2 のゲートパッド 129 に電氣的に接続される第 4 の導体（ここでは、後述の、半導体装置 1 c e b の第 2 のゲートパッド 129 に電氣的に接続される金属配線 58 e d、または、金属配線 58 e d に接続される導体）を通す第 4 のビア 64 e d とを備える。

【0320】

実装基板 50 e d は、さらに、その表面に、第 1 の金属配線 51 e d と、第 2 の金属配線 52 e d と、第 3 の金属配線 53 e d と、金属配線 55 e d と、金属配線 56 e d と、金属配線 57 e d と、金属配線 58 e d とを有する。

【0321】

図 30 D に示すように、第 1 の金属配線 51 e d と第 2 の金属配線 52 e d とは、クリアランス 54 e g を挟んで、実装基板 50 e d の長手方向が伸びる方向（図 30 D 中の x 軸方向）に並んで配置される。

【0322】

第 2 の金属配線 52 e d と第 3 の金属配線 53 e d とは、クリアランス 54 e h を挟んで、実装基板 50 e d の長手方向が伸びる方向に並んで配置される。

【0323】

第 1 の金属配線 51 e d は、半導体装置 1 c e a の 1 以上の第 1 のソースパッド 2111 の全てに接合される。第 1 の金属配線 51 e d は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 c e a の 1 以上の第 1 のソースパッド 2111 の全てに接合される。

10

20

30

40

50

【0324】

第2の金属配線52edは、半導体装置1ceaの1以上の第2のソースパッド2121の全て、および、半導体装置1cebの1以上の第1のソースパッド2111の全てに接合される。第2の金属配線52edは、例えば、はんだ等による導電性接合材を介して、半導体装置1ceaの1以上の第2のソースパッド2121の全て、および、半導体装置1cebの1以上の第1のソースパッド2111の全てに接合される。

【0325】

第3の金属配線53edは、半導体装置1cebの1以上の第2のソースパッド2121の全てに接合される。第3の金属配線53edは、例えば、はんだ等による導電性接合材を介して、半導体装置1cebの1以上の第2のソースパッド2121の全てに接合される。

10

【0326】

このため、図30Dに示すように、半導体装置1ceaは、クリアランス54egを挟んで、第1の金属配線51edと第2の金属配線52edとを橋渡しする位置に、フェイスダウン実装され、半導体装置1cebは、クリアランス54ehを挟んで、第2の金属配線52edと第3の金属配線53edとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0327】

金属配線55edは、半導体装置1ceaの第1のゲートパッド119に接合される。金属配線55edは、例えば、はんだ等による導電性接合材を介して、半導体装置1ceaの第1のゲートパッド119に接合される。

20

【0328】

第1のビア61edは、クリアランス54eg内に配置される。また、半導体装置1ceaの第1のゲートパッド119も、クリアランス54eg内に配置される。このため、金属配線55edも、クリアランス54eg内に配置される。

【0329】

金属配線56edは、半導体装置1ceaの第2のゲートパッド129に接合される。金属配線56edは、例えば、はんだ等による導電性接合材を介して、半導体装置1ceaの第2のゲートパッド129に接合される。

【0330】

第2のビア62edは、クリアランス54eg内に配置される。また、半導体装置1ceaの第2のゲートパッド129も、クリアランス54eg内に配置される。このため、金属配線56edも、クリアランス54eg内に配置される。

30

【0331】

金属配線57edは、半導体装置1cebの第1のゲートパッド119に接合される。金属配線57edは、例えば、はんだ等による導電性接合材を介して、半導体装置1cebの第1のゲートパッド119に接合される。

【0332】

第3のビア63edは、クリアランス54eh内に配置される。また、半導体装置1cebの第1のゲートパッド119も、クリアランス54eh内に配置される。このため、金属配線57edも、クリアランス54eh内に配置される。

40

【0333】

金属配線58edは、半導体装置1cebの第2のゲートパッド129に接合される。金属配線58edは、例えば、はんだ等による導電性接合材を介して、半導体装置1cebの第2のゲートパッド129に接合される。

【0334】

第4のビア64edは、クリアランス54eh内に配置される。また、半導体装置1cebの第2のゲートパッド129も、クリアランス54eh内に配置される。このため、金属配線58edも、クリアランス54eh内に配置される。

【0335】

50

図30Eは、実施の形態5に係る半導体モジュール5eeの構造の一例を示す平面図である。

【0336】

図30Eに示すように、半導体モジュール5eeは、半導体モジュール5edから、2つの半導体装置1c（半導体装置1ceaおよび半導体装置1ceb）が、2つの半導体装置1d（以下、両者を区別するために、一方を半導体装置1dea、他方を半導体装置1debとも称する）に変更され、実装基板50edが実装基板50eeに変更されて構成される。図30Eにおいて、半導体装置1deaおよび半導体装置1debは、実際には視認することができない、半導体装置1deaの上面の構造、半導体装置1debの上面の構造、および、実装基板50eeの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

10

【0337】

実装基板50eeは、実装基板50edから、第1の金属配線51edが第1の金属配線51eeに変更され、第2の金属配線52edが第2の金属配線52eeに変更され、第3の金属配線53edが第3の金属配線53eeに変更されて構成される。

【0338】

第1の金属配線51eeと第2の金属配線52eeとは、クリアランス54eiを挟んで、実装基板50eeの長手方向が伸びる方向（図30E中のx軸方向）に並んで配置される。

【0339】

第2の金属配線52eeと第3の金属配線53eeとは、クリアランス54ejを挟んで、実装基板50eeの長手方向が伸びる方向に並んで配置される。

20

【0340】

第1の金属配線51eeは、半導体装置1deaの1以上の第1のソースパッド3111の全てに接合される。第1の金属配線51eeは、例えば、はんだ等による導電性接合材を介して、半導体装置1deaの1以上の第1のソースパッド3111の全てに接合される。

【0341】

第2の金属配線52eeは、半導体装置1deaの1以上の第2のソースパッド3121の全て、および、半導体装置1debの1以上の第1のソースパッド3111の全てに接合される。第2の金属配線52eeは、例えば、はんだ等による導電性接合材を介して、半導体装置1deaの1以上の第2のソースパッド3121の全て、および、半導体装置1debの1以上の第1のソースパッド3111の全てに接合される。

30

【0342】

第3の金属配線53eeは、半導体装置1debの1以上の第2のソースパッド3121の全てに接合される。第3の金属配線53eeは、例えば、はんだ等による導電性接合材を介して、半導体装置1debの1以上の第2のソースパッド3121の全てに接合される。

【0343】

このため、図30Eに示すように、半導体装置1deaは、クリアランス54eiを挟んで、第1の金属配線51eeと第2の金属配線52eeとを橋渡しする位置に、フェイスダウン実装され、半導体装置1debは、クリアランス54ejを挟んで、第2の金属配線52eeと第3の金属配線53eeとを橋渡しする位置に、フェイスダウン実装されることとなる。

40

【0344】

〔5-2. 考察〕

上記構成の半導体モジュール5ea～半導体モジュール5eeによると、第1の金属配線（第1の金属配線51ea～第1の金属配線51ee）から第2の金属配線（第2の金属配線52ea～第2の金属配線52ee）を通して第3の金属配線（第3の金属配線53ea～第3の金属配線53ee）に流れる電流の電流経路を直線状にすることができる。

50

また、第1のビア61ea、61ec、61ed、第2のビア62ea、62ec、62ed、第3のビア63ea、63ec、63ed、第4のビア64ea、64ec、64edを、実装基板の端部に寄せて設置することができるので、実装基板と半導体装置とを流れる主電流の電流経路を妨げることがない。

【0345】

このため、実装基板において主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0346】

このように、上記構成の半導体モジュール5ea～半導体モジュール5eeによると、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することができる。

10

【0347】

(実施の形態6)

【6-1. 半導体モジュールの構造】

以下、実施の形態6に係る半導体モジュールの構造について説明する。

【0348】

図31Aは、実施の形態6に係る半導体モジュール5faの構造の一例を示す平面図である。

【0349】

図31Aに示すように、半導体モジュール5faは、2つの半導体装置1（以下、両者を区別するため、一方を半導体装置1fa、他方を半導体装置1fbとも称する）と、表面に半導体装置1faおよび半導体装置1fbがフェイスダウン実装された実装基板50faとを備える。図31Aにおいて、半導体装置1faおよび半導体装置1fbは、実際には視認することができない、半導体装置1faの上面の構造、半導体装置1fbの上面の構造、および、実装基板50faの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

20

【0350】

図31Aに示すように、半導体装置1faは、実装基板50faの平面視において、第1のゲートパッド119の位置が、実装基板50faの長手方向が伸びる方向（図31A中のx軸方向）のうちの第1の延伸方向側に位置する向きに、実装基板50faの表面にフェイスダウン実装される。そして、半導体装置1fbは、半導体装置1faに対して、実装基板50faの長手方向が伸びる方向と直交する方向に平行移動した位置で、半導体装置1faの上面境界線600と、半導体装置1fbの上面境界線600とが直角になる向きであり、かつ、第1のゲートパッド119の位置が、第1の延伸方向側に位置する向きに、実装基板50faの表面にフェイスダウン実装される。

30

【0351】

図31Aに示すように、実装基板50faは、実装基板50faの平面視において少なくとも半導体装置1を実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板50faは、半導体装置1faの第1のゲートパッド119に電氣的に接続される第1の導体（ここでは、後述の、半導体装置1faの第1のゲートパッド119に電氣的に接続される金属配線55fa、または、金属配線55faに接続される導体）を通す第1のビア61faと、半導体装置1faの第2のゲートパッド129、および、半導体装置1fbの第2のゲートパッド129に電氣的に接続される第2の導体（ここでは、後述の、半導体装置1faの第2のゲートパッド129および半導体装置1fbの第2のゲートパッド129に電氣的に接続される金属配線56fa、または、金属配線56faに接続される導体）を通す第2のビア62faと、半導体装置1fbの第1のゲートパッド119に電氣的に接続される第3の導体（ここでは、後述の、半導体装置1fbの第1のゲートパッド119に電氣的に接続される金属配線57fa、または、金属配線57faに接続される導体）を通す第3のビア63faとを備える。

40

【0352】

50

実装基板 50 f a は、さらに、その表面に、第 1 の金属配線 51 f a と、第 2 の金属配線 52 f a と、金属配線 55 f a と、金属配線 56 f a と、金属配線 57 f a とを有する。

【0353】

第 1 の金属配線 51 f a と第 2 の金属配線 52 f a とは、クリアランス 54 f a を挟んで、実装基板 50 f a の長手方向が伸びる方向（図 31 A 中の x 軸方向）に並んで配置される。

【0354】

第 1 の金属配線 51 f a は、半導体装置 1 f a の 1 以上の第 1 のソースパッド 111 の全て、および、半導体装置 1 f b の 1 以上の第 1 のソースパッド 111 の全てに接合される。第 1 の金属配線 51 f a は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f a の 1 以上の第 1 のソースパッド 111 の全て、および、半導体装置 1 f b の 1 以上の第 1 のソースパッド 111 の全てに接合される。

10

【0355】

第 2 の金属配線 52 e a は、半導体装置 1 f a の 1 以上の第 2 のソースパッド 121 の全て、および、半導体装置 1 f b の 1 以上の第 2 のソースパッド 121 の全てに接合される。第 2 の金属配線 52 f a は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f a の 1 以上の第 2 のソースパッド 121 の全て、および、半導体装置 1 f b の 1 以上の第 2 のソースパッド 121 の全てに接合される。

【0356】

このため、図 31 A に示すように、半導体装置 1 f a および半導体装置 1 f b は、クリアランス 54 f a を挟んで、第 1 の金属配線 51 f a と第 2 の金属配線 52 f a とを橋渡しする位置に、フェイスダウン実装されることとなる。

20

【0357】

金属配線 55 f a は、半導体装置 1 f a の第 1 のゲートパッド 119 に接合される。金属配線 55 f a は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f a の第 1 のゲートパッド 119 に接合される。

【0358】

金属配線 56 f a は、半導体装置 1 f a の第 2 のゲートパッド 129、および、半導体装置 1 f b の第 2 のゲートパッド 129 に接合される。金属配線 56 f a は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f a の第 2 のゲートパッド 129、および、半導体装置 1 f b の第 2 のゲートパッド 129 に接合される。

30

【0359】

金属配線 57 f a は、半導体装置 1 f b の第 1 のゲートパッド 119 に接合される。金属配線 57 f a は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f b の第 1 のゲートパッド 119 に接合される。

【0360】

図 31 B は、実施の形態 6 に係る半導体モジュール 5 f b の構造の一例を示す平面図である。

【0361】

図 31 B に示すように、半導体モジュール 5 f b は、2 つの半導体装置 1（以下、両者を区別するため、一方を半導体装置 1 f c、他方を半導体装置 1 f d と称する）と、表面に半導体装置 1 f c および半導体装置 1 f d がフェイスダウン実装された実装基板 50 f b とを備える。図 31 B において、半導体装置 1 f c および半導体装置 1 f d は、実際には視認することができない、半導体装置 1 f c の上面の構造、半導体装置 1 f d の上面の構造、および、実装基板 50 f b の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

40

【0362】

図 31 B に示すように、半導体装置 1 f c は、実装基板 50 f b の平面視において、第 1 のゲートパッド 119 の位置が、実装基板 50 f b の長手方向が伸びる方向（図 31 B 中の x 軸方向）のうちの第 1 の延伸方向側に位置する向きに、実装基板 50 f b の表面にフ

50

フェイスダウン実装される。そして、半導体装置 1 f d は、半導体装置 1 f c に対して、半導体装置 1 f c の上面境界線 6 0 0 が伸びる方向に略平行移動した位置で、半導体装置 1 f c の上面境界線 6 0 0 と、半導体装置 1 f d の上面境界線 6 0 0 とが同一直線上にあり、かつ、第 1 のゲートパッド 1 1 9 の位置が、第 1 の延伸方向側に位置する向きに、実装基板 5 0 f b の表面にフェイスダウン実装される。

【0363】

図 3 1 B に示すように、実装基板 5 0 f b は、実装基板 5 0 f b の平面視において少なくとも半導体装置 1 を実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板 5 0 f b は、半導体装置 1 f c の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 1 の導体（ここでは、後述の、半導体装置 1 f c の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 5 f b、または、金属配線 5 5 f b に接続される導体）を通す第 1 のビア 6 1 f b と、半導体装置 1 f c の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 2 の導体（ここでは、後述の、半導体装置 1 f c の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 6 f b、または、金属配線 5 6 f b に接続される導体）を通す第 2 のビア 6 2 f b と、半導体装置 1 f d の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 3 の導体（ここでは、後述の、半導体装置 1 f d の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 7 f b、または、金属配線 5 7 f b に接続される導体）を通す第 3 のビア 6 3 f b と、半導体装置 1 f d の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 4 の導体（ここでは、後述の、半導体装置 1 f d の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 8 f b、または、金属配線 5 8 f b に接続される導体）を通す第 4 のビア 6 4 f b とを備える。

【0364】

実装基板 5 0 f b は、さらに、その表面に、第 1 の金属配線 5 1 f b と、第 2 の金属配線 5 2 f b と、金属配線 5 5 f b と、金属配線 5 6 f b と、金属配線 5 7 f b と、金属配線 5 8 f b とを有する。

【0365】

第 1 の金属配線 5 1 f b と第 2 の金属配線 5 2 f b とは、クリアランス 5 4 f b を挟んで、実装基板 5 0 f b の長手方向が伸びる方向（図 3 1 B 中の x 軸方向）に並んで配置される。

【0366】

第 1 の金属配線 5 1 f b は、半導体装置 1 f c の 1 以上の第 1 のソースパッド 1 1 1 の全て、および、半導体装置 1 f d の 1 以上の第 1 のソースパッド 1 1 1 の全てに接合される。第 1 の金属配線 5 1 f b は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f c の 1 以上の第 1 のソースパッド 1 1 1 の全て、および、半導体装置 1 f d の 1 以上の第 1 のソースパッド 1 1 1 の全てに接合される。

【0367】

第 2 の金属配線 5 2 f b は、半導体装置 1 f c の 1 以上の第 2 のソースパッド 1 2 1 の全て、および、半導体装置 1 f d の 1 以上の第 2 のソースパッド 1 2 1 の全てに接合される。第 2 の金属配線 5 2 f b は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f c の 1 以上の第 2 のソースパッド 1 2 1 の全て、および、半導体装置 1 f d の 1 以上の第 2 のソースパッド 1 2 1 の全てに接合される。

【0368】

このため、図 3 1 B に示すように、半導体装置 1 f c および半導体装置 1 f d は、クリアランス 5 4 f b を挟んで、第 1 の金属配線 5 1 f b と第 2 の金属配線 5 2 f b とを橋渡しする位置に、フェイスダウン実装されることとなる。

【0369】

金属配線 5 5 f b は、半導体装置 1 f c の第 1 のゲートパッド 1 1 9 に接合される。金属配線 5 5 f b は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f c の第 1 のゲートパッド 1 1 9 に接合される。

【0370】

金属配線 5 6 f b は、半導体装置 1 f c の第 2 のゲートパッド 1 2 9 に接続される。金属配線 5 6 f b は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f c の第 2 のゲートパッド 1 2 9 に接合される。

【 0 3 7 1 】

金属配線 5 7 f b は、半導体装置 1 f d の第 1 のゲートパッド 1 1 9 に接合される。金属配線 5 7 f b は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f d の第 1 のゲートパッド 1 1 9 に接合される。

【 0 3 7 2 】

金属配線 5 8 f b は、半導体装置 1 f d の第 2 のゲートパッド 1 2 9 に接続される。金属配線 5 8 f b は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 f d の第 2 のゲートパッド 1 2 9 に接合される。

【 0 3 7 3 】

図 3 1 C は、実施の形態 6 に係る半導体モジュール 5 f c の構造の一例を示す平面図である。

【 0 3 7 4 】

図 3 1 C に示すように、半導体モジュール 5 f c は、半導体モジュール 5 f a から、2 つの半導体装置 1（半導体装置 1 f a および半導体装置 1 f b）が、2 つの半導体装置 1 a（以下、両者を区別するために、一方を半導体装置 1 a f a、他方を半導体装置 1 a f b と称する）に変更され、実装基板 5 0 f a が実装基板 5 0 f c に変更されて構成される。図 3 1 C において、半導体装置 1 a f a および半導体装置 1 a f b は、実際には視認することができない、半導体装置 1 a f a の上面の構造、半導体装置 1 a f b の上面の構造、および、実装基板 5 0 f c の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【 0 3 7 5 】

図 3 1 C に示すように、半導体装置 1 a f a は、実装基板 5 0 f c の平面視において、第 1 のゲートパッド 1 1 9 の位置が、実装基板 5 0 f c の長手方向が伸びる方向（図 3 1 C 中の x 軸方向）のうちの第 1 の延伸方向側に位置する向きに、実装基板 5 0 f c の表面にフェイスダウン実装される。そして、半導体装置 1 a f b は、半導体装置 1 a f a に対して、実装基板 5 0 f c の長手方向が伸びる方向と直交する方向に平行移動した位置で、半導体装置 1 a f a の第 2 の仮想直線 9 2 と、半導体装置 1 a f b の第 2 の仮想直線 9 2 とが直角になる向きであり、かつ、第 1 のゲートパッド 1 1 9 の位置が、第 1 の延伸方向側に位置する向きに、実装基板 5 0 f c の表面にフェイスダウン実装される。

【 0 3 7 6 】

実装基板 5 0 f c は、実装基板 5 0 f a から、第 1 の金属配線 5 1 f a が第 1 の金属配線 5 1 f c に変更され、第 2 の金属配線 5 2 f a が第 2 の金属配線 5 2 f c に変更されて構成される。

【 0 3 7 7 】

第 1 の金属配線 5 1 f c と第 2 の金属配線 5 2 f c とは、クリアランス 5 4 f c を挟んで、実装基板 5 0 f c の長手方向が伸びる方向（図 3 0 B 中の x 軸方向）に並んで配置される。

【 0 3 7 8 】

第 1 の金属配線 5 1 f c は、半導体装置 1 a f a の 1 以上の第 1 のソースパッド 1 1 1 1 の全て、および、半導体装置 1 a f b の 1 以上の第 1 のソースパッド 1 1 1 1 の全てに接合される。第 1 の金属配線 5 1 f c は、例えば、はんだ等による導電性接合材を介して、半導体装置 1 a f a の 1 以上の第 1 のソースパッド 1 1 1 1 の全て、および、半導体装置 1 a f b の 1 以上のソースパッド 1 1 1 1 の全てに接合される。

【 0 3 7 9 】

第 2 の金属配線 5 2 f c は、半導体装置 1 a f a の 1 以上の第 2 のソースパッド 1 1 2 1 の全て、および、半導体装置 1 a f b の 1 以上の第 2 のソースパッド 1 1 2 1 の全てに接合される。第 2 の金属配線 5 2 f c は、例えば、はんだ等による導電性接合材を介して、

半導体装置 1 a f a の 1 以上の第 2 のソースパッド 1 1 2 1 の全て、および、半導体装置 1 a f b の 1 以上の第 2 のソースパッド 1 1 2 1 の全てに接合される。

【0380】

このため、図 3 1 C に示すように、半導体装置 1 a f a および半導体装置 1 a f b は、クリアランス 5 4 f c を挟んで、第 1 の金属配線 5 1 f c と第 2 の金属配線 5 2 f c とを橋渡しする位置に、フェイスダウン実装されることとなる。

【0381】

図 3 1 D は、実施の形態 6 に係る半導体モジュール 5 f d の構造の一例を示す平面図である。

【0382】

図 3 1 D に示すように、半導体モジュール 5 f d は、2 つの半導体装置 1 a（以下、両者を区別するため、一方を半導体装置 1 a f c、他方を半導体装置 1 a f d と称する）と、表面に半導体装置 1 a f c および半導体装置 1 f a d がフェイスダウン実装された実装基板 5 0 f d とを備える。図 3 1 D において、半導体装置 1 a f c および半導体装置 1 a f d は、実際には視認することができない、半導体装置 1 a f c の上面の構造、半導体装置 1 a f d の上面の構造、および、実装基板 5 0 f d の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0383】

図 3 1 D に示すように、半導体装置 1 a f c は、実装基板 5 0 f d の平面視において、第 1 のゲートパッド 1 1 9 の位置が、実装基板 5 0 f d の長手方向が伸びる方向（図 3 1 D 中の x 軸方向）のうちの第 1 の延伸方向側に位置する向きに、実装基板 5 0 f d の表面にフェイスダウン実装される。そして、半導体装置 1 a f d は、半導体装置 1 a f c に対して、半導体装置 1 a f c の第 2 の仮想直線 9 2 が伸びる方向に略平行移動した位置で、半導体装置 1 f a c の第 2 の仮想直線 9 2 と、半導体装置 1 f a d の第 2 の仮想直線 9 2 とが平行になる向きであり、かつ、第 1 のゲートパッド 1 1 9 の位置が、第 1 の延伸方向側に位置する向きに、実装基板 5 0 f d の表面にフェイスダウン実装される。

【0384】

図 3 1 D に示すように、実装基板 5 0 f d は、実装基板 5 0 f d の平面視において少なくとも半導体装置 1 a を実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板 5 0 f d は、半導体装置 1 a f c の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 1 の導体（ここでは、後述の、半導体装置 1 a f c の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 5 f d、または、金属配線 5 5 f d に接続される導体）を通す第 1 のビア 6 1 f d と、半導体装置 1 a f c の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 2 の導体（ここでは、後述の、半導体装置 1 a f c の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 6 f d、または、金属配線 5 6 f d に接続される導体）を通す第 2 のビア 6 2 f d と、半導体装置 1 a f d の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 3 の導体（ここでは、後述の、半導体装置 1 a f d の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 7 f d、または、金属配線 5 7 f d に接続される導体）を通す第 3 のビア 6 3 f d と、半導体装置 1 a f d の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 4 の導体（ここでは、後述の、半導体装置 1 a f d の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 8 f d、または、金属配線 5 8 f d に接続される導体）を通す第 4 のビア 6 4 f d とを備える。

【0385】

実装基板 5 0 f d は、さらに、その表面に、第 1 の金属配線 5 1 f d と、第 2 の金属配線 5 2 f d と、金属配線 5 5 f d と、金属配線 5 6 f d と、金属配線 5 7 f d と、金属配線 5 8 f d とを有する。

【0386】

第 1 の金属配線 5 1 f d と第 2 の金属配線 5 2 f d とは、クリアランス 5 4 f d を挟んで、実装基板 5 0 f d の長手方向が伸びる方向（図 3 1 D 中の x 軸方向）に並んで配置される。

10

20

30

40

50

【0387】

第1の金属配線51fdは、半導体装置1afcの1以上の第1のソースパッド1111の全て、および、半導体装置1afdの1以上の第1のソースパッド1111の全てに接合される。第1の金属配線51fdは、例えば、はんだ等による導電性接合材を介して、半導体装置1afcの1以上の第1のソースパッド1111の全て、および、半導体装置1afdの1以上の第1のソースパッド1111の全てに接合される。

【0388】

第2の金属配線52fdは、半導体装置1afcの1以上の第2のソースパッド1121の全て、および、半導体装置1afdの1以上の第2のソースパッド1121の全てに接合される。第2の金属配線52fdは、例えば、はんだ等による導電性接合材を介して、半導体装置1afcの1以上の第2のソースパッド1121の全て、および、半導体装置1afdの1以上の第2のソースパッド1121の全てに接合される。

【0389】

このため、図31Dに示すように、半導体装置1afcおよび半導体装置1afdは、クリアランス54fdを挟んで、第1の金属配線51fdと第2の金属配線52fdとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0390】

金属配線55fdは、半導体装置1afcの第1のゲートパッド119に接合される。金属配線55fdは、例えば、はんだ等による導電性接合材を介して、半導体装置1afcの第1のゲートパッド119に接合される。

【0391】

金属配線56fdは、半導体装置1afcの第2のゲートパッド129に接続される。金属配線56fdは、例えば、はんだ等による導電性接合材を介して、半導体装置1afcの第2のゲートパッド129に接合される。

【0392】

金属配線57fdは、半導体装置1afdの第1のゲートパッド119に接合される。金属配線57fdは、例えば、はんだ等による導電性接合材を介して、半導体装置1afdの第1のゲートパッド119に接合される。

【0393】

金属配線58fdは、半導体装置1afdの第2のゲートパッド129に接続される。金属配線58fdは、例えば、はんだ等による導電性接合材を介して、半導体装置1afdの第2のゲートパッド129に接合される。

【0394】

図31Eは、実施の形態6に係る半導体モジュール5feの構造の一例を示す平面図である。

【0395】

図31Eに示すように、半導体モジュール5feは、2つの半導体装置1c（以下、両者を区別するため、一方を半導体装置1cfa、他方を半導体装置1cfbとも称する）と、表面に半導体装置1cfaおよび半導体装置1cfbがフェイスダウン実装された実装基板50feとを備える。図31Eにおいて、半導体装置1cfaおよび半導体装置1cfbは、実際には視認することができない、半導体装置1cfaの上面の構造、半導体装置1cfbの上面の構造、および、実装基板50feの表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0396】

図31Eに示すように、実装基板50feは、実装基板50feの平面視において少なくとも半導体装置1cを実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板50feは、半導体装置1cfaの第1のゲートパッド119に電氣的に接続される第1の導体（ここでは、後述の、半導体装置1cfaの第1のゲートパッド119に電氣的に接続される金属配線55fe、または、金属配線55feに接続される導体）を通す第1のビア61feと、半導体装置1cfaの第2のゲートパッド129に電気

10

20

30

40

50

的に接続される第2の導体（ここでは、後述の、半導体装置1cfaの第2のゲートパッド129に電氣的に接続される金属配線56fe、または、金属配線56feに接続される導体）を通す第2のビア62feと、半導体装置1cfbの第1のゲートパッド119に電氣的に接続される第3の導体（ここでは、後述の、半導体装置1cfbの第1のゲートパッド119に電氣的に接続される金属配線57fe、または、金属配線57feに接続される導体）を通す第3のビア63feと、半導体装置1cfbの第2のゲートパッド129に電氣的に接続される第4の導体（ここでは、後述の、半導体装置1cfbの第2のゲートパッド129に電氣的に接続される金属配線58fe、または、金属配線58feに接続される導体）を通す第4のビア64feとを備える。

【0397】

実装基板50feは、さらに、その表面に、第1の金属配線51feと、第2の金属配線52feと、金属配線55feと、金属配線56feと、金属配線57feと、金属配線58feとを有する。

【0398】

第1の金属配線51feと第2の金属配線52feとは、クリアランス54fcを挟んで、実装基板50feの長手方向が伸びる方向（図31E中のx軸方向）に並んで配置される。

【0399】

第1の金属配線51feは、半導体装置1cfaの1以上の第1のソースパッド2111の全て、および、半導体装置1cfbの1以上の第1のソースパッド2111の全てに接合される。第1の金属配線51feは、例えば、はんだ等による導電性接合材を介して、半導体装置1cfaの1以上の第1のソースパッド2111の全て、および、半導体装置1cfbの1以上の第1のソースパッド2111の全てに接合される。

【0400】

第2の金属配線52feは、半導体装置1cfaの1以上の第2のソースパッド2121の全て、および、半導体装置1cfbの1以上の第2のソースパッド2121の全てに接合される。第2の金属配線52feは、例えば、はんだ等による導電性接合材を介して、半導体装置1cfaの1以上の第2のソースパッド2121の全て、および、半導体装置1cfbの1以上の第2のソースパッド2121の全てに接合される。

【0401】

このため、図31Eに示すように、半導体装置1cfaおよび半導体装置1cfbは、クリアランス54feを挟んで、第1の金属配線51feと第2の金属配線52feとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0402】

金属配線55feは、半導体装置1cfaの第1のゲートパッド119に接合される。金属配線55fdは、例えば、はんだ等による導電性接合材を介して、半導体装置1cfaの第1のゲートパッド119に接合される。

【0403】

第1のビア61feは、クリアランス54fe内に配置される。また、半導体装置1cfaの第1のゲートパッド119も、クリアランス54fe内に配置される。このため、金属配線55feも、クリアランス54fe内に配置される。

【0404】

金属配線56feは、半導体装置1cfaの第2のゲートパッド129に接合される。金属配線56feは、例えば、はんだ等による導電性接合材を介して、半導体装置1cfaの第2のゲートパッド129に接合される。

【0405】

第2のビア62feは、クリアランス54fe内に配置される。また、半導体装置1cfaの第2のゲートパッド129も、クリアランス54fe内に配置される。このため、金属配線56feも、クリアランス54fe内に配置される。

【0406】

10

20

30

40

50

金属配線 57fe は、半導体装置 1cfb の第 1 のゲートパッド 119 に接合される。金属配線 57fe は、例えば、はんだ等による導電性接合材を介して、半導体装置 1cfb の第 1 のゲートパッド 119 に接合される。

【0407】

第 3 のビア 63fe は、クリアランス 54fe 内に配置される。また、半導体装置 1cfb の第 1 のゲートパッド 119 も、クリアランス 54fe 内に配置される。このため、金属配線 57fe も、クリアランス 54fe 内に配置される。

【0408】

金属配線 58fe は、半導体装置 1cfb の第 2 のゲートパッド 129 に接合される。金属配線 58fe は、例えば、はんだ等による導電性接合材を介して、半導体装置 1cfb の第 2 のゲートパッド 129 に接合される。

【0409】

第 4 のビア 64fe は、クリアランス 54fe 内に配置される。また、半導体装置 1cfb の第 2 のゲートパッド 129 も、クリアランス 54fe 内に配置される。このため、金属配線 58fe も、クリアランス 54fe 内に配置される。

【0410】

図 31F は、実施の形態 6 に係る半導体モジュール 5ff の構造の一例を示す平面図である。

【0411】

図 31F に示すように、半導体モジュール 5ff は、半導体モジュール 5fe から、2 つの半導体装置 1c（半導体装置 1cfa および半導体装置 1cfb）が、2 つの半導体装置 1d（以下、両者を区別するために、一方を半導体装置 1dfa、他方を半導体装置 1dfb と称する）に変更され、実装基板 50fe が実装基板 50ff に変更されて構成される。図 31F において、半導体装置 1dfa および半導体装置 1dfb は、実際には視認することができない、半導体装置 1dfa の上面の構造、半導体装置 1dfb の上面の構造、および、実装基板 50ff の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。

【0412】

実装基板 50ff は、実装基板 50fe から、第 1 の金属配線 51fe が第 1 の金属配線 51ff に変更され、第 2 の金属配線 52fe が第 2 の金属配線 52ff に変更されて構成される。

【0413】

第 1 の金属配線 51ff と第 2 の金属配線 52ff とは、クリアランス 54ff を挟んで、実装基板 50ff の長手方向が伸びる方向（図 31F 中の x 軸方向）に並んで配置される。

【0414】

第 1 の金属配線 51ff は、半導体装置 1dfa の 1 以上の第 1 のソースパッド 3111 の全て、および、半導体装置 1dfb の 1 以上の第 1 のソースパッド 3111 の全てに接合される。第 1 の金属配線 51ff は、例えば、はんだ等による導電性接合材を介して、半導体装置 1dfa の 1 以上の第 1 のソースパッド 3111 の全て、および、半導体装置 1dfb の 1 以上の第 1 のソースパッド 3111 の全てに接合される。

【0415】

第 2 の金属配線 52ff は、半導体装置 1dfa の 1 以上の第 2 のソースパッド 3121 の全て、および、半導体装置 1dfb の 1 以上の第 2 のソースパッド 3121 の全てに接合される。第 2 の金属配線 52ff は、例えば、はんだ等による導電性接合材を介して、半導体装置 1dfa の 1 以上の第 2 のソースパッド 3121 の全て、および、半導体装置 1dfb の 1 以上の第 2 のソースパッド 3121 の全てに接合される。

【0416】

このため、図 31F に示すように、半導体装置 1dfa および半導体装置 1dfb は、クリアランス 54ff を挟んで、第 1 の金属配線 51ff と第 2 の金属配線 52ff とを橋

10

20

30

40

50

渡しする位置に、フェイスダウン実装されることとなる。

【0417】

金属配線55feは、半導体装置1dfaの第1のゲートパッド119に接合される。金属配線55feは、例えば、はんだ等による導電性接合材を介して、半導体装置1dfaの第1のゲートパッド119に接合される。

【0418】

金属配線56feは、半導体装置1dfaの第2のゲートパッド129に接合される。金属配線56feは、例えば、はんだ等による導電性接合材を介して、半導体装置1dfaの第2のゲートパッド129に接合される。

【0419】

金属配線57feは、半導体装置1dfbの第1のゲートパッド119に接合される。金属配線57feは、例えば、はんだ等による導電性接合材を介して、半導体装置1dfbの第1のゲートパッド119に接合される。

【0420】

金属配線58feは、半導体装置1dfbの第2のゲートパッド129に接合される。金属配線58feは、例えば、はんだ等による導電性接合材を介して、半導体装置1dfbの第2のゲートパッド129に接合される。

【0421】

〔6-2. 考察〕

上記構成の半導体モジュール5faによると、半導体装置1faの第2のゲートパッド129に電圧を印加する導体を通すためのビアと、半導体装置1fbの第2のゲートパッド129に電圧を印加する導体を通すためのビアとを、1つの第2のビア62faだけで実現することができる。

【0422】

このため、実装基板50faにおいて主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0423】

同様に、上記構成の半導体モジュール5fcによると、半導体装置1afaの第2のゲートパッド129に電圧を印加する導体を通すためのビアと、半導体装置1afbの第2のゲートパッド129に電圧を印加する導体を通すためのビアとを、1つの第2のビア62faだけで実現することができる。また、共通化したそれぞれのビアを、実装基板の端部に寄せて配置することができるので、実装基板と半導体装置とを流れる主電流の電流経路を妨げることがない。

【0424】

このため、実装基板50fcにおいて主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0425】

このように、上記構成の半導体モジュール5faおよび半導体モジュール5fcによると、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することができる。

【0426】

上記構成の半導体モジュール5fa～半導体モジュール5fdは、ビアを、実装基板と半導体装置とを流れる主電流を妨げない位置に配置できる。また、半導体モジュール5faと半導体モジュール5fcとにおいては、一部ビアを共通化することもできる。このため、実装基板の導通抵抗を低減する設計が可能となる。

【0427】

同様に、上記構成の半導体モジュール5feと半導体モジュール5ffとは、ビアを、クリアランス上に、実装基板と半導体装置とを流れる主電流を妨げない位置に配置できる。このため、実装基板の導通抵抗を低減する設計が可能となる。

【0428】

10

20

30

40

50

(実施の形態 7)

[7-1. 半導体モジュールの構造]

以下、実施の形態 7 に係る半導体モジュールの構造について説明する。

【0429】

図 3 2 A は、実施の形態 7 に係る半導体モジュール 5 g a の構造の一例を示す平面図である。

【0430】

図 3 2 A に示すように、半導体モジュール 5 g a は、2 つの半導体装置 1 (以下、両者を区別するため、一方を半導体装置 1 g a、他方を半導体装置 1 g b とともに称する) と、表面 (以下、「第 1 の表面」とも称する) に半導体装置 1 g a がフェイスダウン実装され、裏面 (以下、「第 2 の表面」とも称する) に半導体装置 1 g b がフェイスダウン実装された実装基板 5 0 g a とを備える。図 3 2 A において、図 3 2 A の (a) の部分には、半導体装置 1 g a は、実際には視認することができない、半導体装置 1 g a の上面の構造、および、実装基板 5 0 g a の第 1 の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。また、図 3 2 A の (b) の部分には、半導体装置 1 g b の上面の構造をわかりやすく図示できるように、半導体装置 1 g b 以外の構成要素があたかも透明であるかのように破線で示し、半導体装置 1 g b は実線で示されている。

【0431】

図 3 2 A に示すように、半導体装置 1 g a は、実装基板 5 0 g a の平面視において、第 1 のゲートパッド 1 1 9 の位置が、実装基板 5 0 g a の長手方向が伸びる方向 (図 3 2 A 中の x 軸方向) のうちの第 1 の延伸方向側に位置する向きに、実装基板 5 0 g a の第 1 の表面にフェイスダウン実装される。そして、半導体装置 1 g b は、実装基板 5 0 g a の平面視において、半導体装置 1 g a と半導体装置 1 g b とが重なり、かつ、半導体装置 1 g a の第 1 のゲートパッド 1 1 9 と半導体装置 1 g b の第 1 のゲートパッド 1 1 9 の位置とが重なる向きに、実装基板 5 0 g a の第 2 の表面にフェイスダウン実装される。

【0432】

このため、実装基板 5 0 g a の平面視において、半導体装置 1 g a の第 1 の半導体層上面領域 S 1 と、半導体装置 1 g b の第 1 の半導体層上面領域 S 1 とが 1 0 0 % 重なり、かつ、半導体装置 1 g a の第 2 の半導体層上面領域 S 2 と、半導体装置 1 g b の第 2 の半導体層上面領域 S 2 とが 1 0 0 % 重なる。

【0433】

図 3 2 A に示すように、実装基板 5 0 g a は、実装基板 5 0 g a の平面視において少なくとも半導体装置 1 を実装する箇所において一定の幅を持って長手方向に伸びる形状である。実装基板 5 0 g a は、半導体装置 1 g a の第 1 のゲートパッド 1 1 9 および半導体装置 1 g b の第 1 のゲートパッド 1 1 9 に電氣的に接続される第 1 の導体 (ここでは、後述の、半導体装置 1 g a の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 5 g a、または、金属配線 5 5 g a に接続される導体、および、半導体装置 1 g b の第 1 のゲートパッド 1 1 9 に電氣的に接続される金属配線 5 5 g b、または、金属配線 5 5 g b に接続される導体) を通す第 1 のビア 6 1 g a と、半導体装置 1 g a の第 2 のゲートパッド 1 2 9 および半導体装置 1 g b の第 2 のゲートパッド 1 2 9 に電氣的に接続される第 2 の導体 (ここでは、後述の、半導体装置 1 g a の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 6 g a、または、金属配線 5 6 g a に接続される導体、および、半導体装置 1 g b の第 2 のゲートパッド 1 2 9 に電氣的に接続される金属配線 5 6 g b、または、金属配線 5 6 g b に接続される導体) を通す第 2 のビア 6 2 g a とを備える。

【0434】

実装基板 5 0 g a は、さらに、その第 1 の表面に、第 1 の金属配線 5 1 g a と、第 2 の金属配線 5 2 g a と、金属配線 5 5 g a と、金属配線 5 6 g a とを有する。

【0435】

第 1 の金属配線 5 1 g a と第 2 の金属配線 5 2 g a とは、クリアランス 5 4 g a を挟んで、実装基板 5 0 g a の長手方向が伸びる方向 (図 3 2 A 中の x 軸方向) に並んで配置され

10

20

30

40

50

る。

【0436】

第1の金属配線51gaは、半導体装置1gaの1以上の第1のソースパッド111の全てに接合される。第1の金属配線51gaは、例えば、はんだ等による導電性接合材を介して、半導体装置1gaの1以上の第1のソースパッド111の全てに接合される。

【0437】

第2の金属配線52gaは、半導体装置1gaの1以上の第2のソースパッド121の全てに接合される。第2の金属配線52gaは、例えば、はんだ等による導電性接合材を介して、半導体装置1gaの1以上の第2のソースパッド121の全てに接合される。

【0438】

このため、図32Aに示すように、半導体装置1gaは、クリアランス54gaを挟んで、第1の金属配線51gaと第2の金属配線52gaとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0439】

金属配線55gaは、半導体装置1gaの第1のゲートパッド119に接合される。金属配線55gaは、例えば、はんだ等による導電性接合材を介して、半導体装置1gaの第1のゲートパッド119に接合される。

【0440】

金属配線56gaは、半導体装置1gaの第2のゲートパッド129に接合される。金属配線56gaは、例えば、はんだ等による導電性接合材を介して、半導体装置1gaの第2のゲートパッド129に接合される。

【0441】

実装基板50gaは、さらに、その第2の表面に、第1の金属配線51gbと、第2の金属配線52gbと、金属配線55gbと、金属配線56gbとを有する。

【0442】

第1の金属配線51gbと第2の金属配線52gbとは、クリアランス54gbを挟んで、実装基板50gaの長手方向が伸びる方向（図32A中のx軸方向）に並んで配置される。

【0443】

第1の金属配線51gbは、半導体装置1gbの1以上の第1のソースパッド111の全てに接合される。第1の金属配線51gbは、例えば、はんだ等による導電性接合材を介して、半導体装置1gbの1以上の第1のソースパッド111の全てに接合される。

【0444】

第2の金属配線52gbは、半導体装置1gbの1以上の第2のソースパッド121の全てに接合される。第2の金属配線52gbは、例えば、はんだ等による導電性接合材を介して、半導体装置1gbの1以上の第2のソースパッド121の全てに接合される。

【0445】

このため、図32Aに示すように、半導体装置1gbは、クリアランス54gbを挟んで、第1の金属配線51gbと第2の金属配線52gbとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0446】

金属配線55gbは、半導体装置1gbの第1のゲートパッド119に接合される。金属配線55gbは、例えば、はんだ等による導電性接合材を介して、半導体装置1gbの第1のゲートパッド119に接合される。

【0447】

金属配線56gbは、半導体装置1gbの第2のゲートパッド129に接合される。金属配線56gbは、例えば、はんだ等による導電性接合材を介して、半導体装置1gbの第2のゲートパッド129に接合される。

【0448】

図32Bは、実施の形態7に係る半導体モジュール5gbの構造の一例を示す平面図であ

10

20

30

40

50

る。

【0449】

図32Bに示すように、半導体モジュール5gbは、半導体モジュール5gaから、半導体装置1gaが半導体装置1agaに変更され、半導体装置1gbが半導体装置1agbに変更され、実装基板50gaが実装基板50gbに変更されて構成される。図32Bにおいて、図32Bの(a)の部分には、半導体装置1agaは、実際には視認することができない、半導体装置1agaの上面の構造、および、実装基板50gbの第1の表面の構造をわかりやすく図示できるように、あたかも透明であるかのように破線で示されている。また、図32Bの(b)の部分には、半導体装置1agbの上面の構造をわかりやすく図示できるように、半導体装置1agb以外の構成要素があたかも透明であるかのように破線で示し、半導体装置1agbは実線で示されている。

10

【0450】

図32Bに示すように、半導体装置1agaは、実装基板50gbの平面視において、第1のゲートパッド119の位置が、実装基板50gbの長手方向が伸びる方向(図32B中のx軸方向)のうちの第1の延伸方向側に位置する向きに、実装基板50gbの第1の表面にフェイスダウン実装される。そして、半導体装置1agbは、実装基板50gbの平面視において、半導体装置1agaと半導体装置1agbとが重なり、かつ、半導体装置1agaの第1のゲートパッド119と半導体装置1agbの第1のゲートパッド119の位置とが重なる向きに、実装基板50gbの第2の表面にフェイスダウン実装される。

20

【0451】

前述した通り、半導体装置1agaおよび半導体装置1agbにおいて、第2の仮想直線92と第1の仮想直線とのなす角 θ_1 は、45度より大きく90度以下である。このため、実装基板50gbの平面視において、半導体装置1agbの第1の半導体層上面領域S1aと、半導体装置1agaの第1の半導体層上面領域S1aとが50%を上回って重なり、かつ、半導体装置1agaの第2の半導体層上面領域S2aと、半導体装置1agbの第2の半導体層上面領域S2aとが50%を上回って重なる。

【0452】

実装基板50gbは、実装基板50gaから、第1の金属配線51gaが第1の金属配線51gcに変更され、第2の金属配線52gaが第2の金属配線52gcに変更され、第1の金属配線51gbが第1の金属配線51gdに変更され、第2の金属配線52gbが第2の金属配線52gdに変更されて構成される。

30

【0453】

第1の金属配線51gcと第2の金属配線52gcとは、クリアランス54gcを挟んで、実装基板50gbの長手方向が伸びる方向(図32B中のx軸方向)に並んで配置される。

【0454】

第1の金属配線51gcは、半導体装置1agaの1以上の第1のソースパッド1111の全てに接合される。第1の金属配線51gcは、例えば、はんだ等による導電性接合材を介して、半導体装置1agaの1以上の第1のソースパッド1111の全てに接合される。

40

【0455】

第2の金属配線52gcは、半導体装置1agaの1以上の第2のソースパッド1121の全てに接合される。第2の金属配線52gcは、例えば、はんだ等による導電性接合材を介して、半導体装置1agaの1以上の第2のソースパッド1121の全てに接合される。

【0456】

このため、図32Bに示すように、半導体装置1agaは、クリアランス54gcを挟んで、第1の金属配線51gcと第2の金属配線52gcとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0457】

50

第1の金属配線51gdと第2の金属配線52gdとは、クリアランス54gdを挟んで、実装基板50gbの長手方向が伸びる方向（図32B中のx軸方向）に並んで配置される。

【0458】

第1の金属配線51gdは、半導体装置1agbの1以上の第1のソースパッド1111の全てに接合される。第1の金属配線51gdは、例えば、はんだ等による導電性接合材を介して、半導体装置1agbの1以上の第1のソースパッド1111の全てに接合される。

【0459】

第2の金属配線52gdは、半導体装置1agbの1以上の第2のソースパッド1121の全てに接合される。第2の金属配線52gdは、例えば、はんだ等による導電性接合材を介して、半導体装置1agbの1以上の第2のソースパッド1121の全てに接合される。

【0460】

このため、図32Bに示すように、半導体装置1agbは、クリアランス54gdを挟んで、第1の金属配線51gdと第2の金属配線52gdとを橋渡しする位置に、フェイスダウン実装されることとなる。

【0461】

〔7-2. 考察〕

上記構成の半導体モジュール5gaによると、半導体装置1gaの第1のゲートパッド119に電圧を印加する導体を通すためのビアと、半導体装置1gbの第1のゲートパッド119に電圧を印加する導体を通すためのビアとを、1つの第1のビア61gaだけで実現することができ、半導体装置1gaの第2のゲートパッド129に電圧を印加する導体を通すためのビアと、半導体装置1gbの第2のゲートパッド129に電圧を印加する導体を通すためのビアとを、1つの第2のビア62gaだけで実現することができる。

【0462】

また、第1のビア61gaと第2のビア62gaとを、実装基板の端部に寄せて設置することができるので、実装基板と半導体装置とを流れる主電流の電流経路を妨げることがない。

【0463】

このように、2つの同型の半導体装置を表面と裏面とのそれぞれに実装する実装基板において、一方の半導体装置の第1のゲートパッドと他方の半導体装置の第1のゲートパッドとの双方の電位を制御する配線（ビア）、および、一方の半導体装置の第2のゲートパッドと他方の半導体装置の第2のゲートパッドとの双方の電位を制御する配線（ビア）を、それぞれ共通化することができ、従来は個別に設置しなければならなかった配線（ビア）数を削減できるため、実装基板の複雑になりがちな配線を簡素化して設計の容易さを高めることが可能になる。

【0464】

さらに、図32A、図32Bに示すように、本開示の半導体装置のゲートパッドが半導体装置のコナ部付近に設置されていることに起因して、共通化したそれぞれの配線（ビア）を主電流の流れを妨げないよう、実装基板の端部に引き出すことができる。このため、実装基板において主電流が流れる電流経路を幅広く確保することに適しており、導通抵抗を低減するように実装することが可能となる。

【0465】

このため、実装基板50gaにおいて主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0466】

また、上記構成の半導体モジュール5gaによると、実装基板50gaの平面視において、半導体装置1gaの第1の半導体層上面領域S1と半導体装置1gbの第1の半導体層上面領域S1と、および、半導体装置1gaの第2の半導体層上面領域S2と半導体装置

10

20

30

40

50

1 g bの第2の半導体層上面領域S 2とを実装基板5 0 g aを挟んで完全に重ね合わせることができる。

【0 4 6 7】

これにより、実装基板5 0 g aにおいて、電流経路における導通断面積を最大限に広げることができる。

【0 4 6 8】

このため、実装基板5 0 g aにおいて主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0 4 6 9】

同様に、上記構成の半導体モジュール5 g bによると、半導体装置1 a g aの第1のゲートパッド1 1 9に電圧を印加する導体を通すためのビアと、半導体装置1 a g bの第1のゲートパッド1 1 9に電圧を印加する導体を通すためのビアとを、1つの第1のビア6 1 g aだけで実現することができ、半導体装置1 a g aの第2のゲートパッド1 2 9に電圧を印加する導体を通すためのビアと、半導体装置1 a g bの第2のゲートパッド1 2 9に電圧を印加する導体を通すためのビアとを、1つの第2のビア6 2 g aだけで実現することができる。

【0 4 7 0】

また、第1のビア6 1 g aと第2のビア6 2 g aとを、実装基板の端部に寄せて設置することができるので、実装基板と半導体装置とを流れる主電流の電流経路を妨げることがない。

【0 4 7 1】

このため、実装基板5 0 g aの場合と同様に、実装基板5 0 g bにおいて主電流が流れる電流経路を、導通抵抗が低減されるように設計することが可能となる。

【0 4 7 2】

また、上記構成の半導体モジュール5 g bによると、実装基板5 0 g bの平面視において、半導体装置1 a g aの第1の半導体層上面領域S 1 aと半導体装置1 a g bの第1の半導体層上面領域S 1 aと、および、半導体装置1 a g aの第2の半導体層上面領域S 2 aと半導体装置1 a g bの第2の半導体層上面領域S 2 aとを実装基板5 0 g aを挟んで、それぞれ5 0 %を上回って重ね合わせることができる。

【0 4 7 3】

これにより、実装基板5 0 g bにおいて、電流経路における導通断面積を比較的広げることができる。

【0 4 7 4】

(実施の形態8)

[8-1. 半導体装置の構造]

以下、実施の形態8に係る半導体装置について説明する。実施の形態8に係る半導体装置は、実施の形態2に係る半導体装置1 aから、一部の構成が変更されて構成される。このため、ここでは、実施の形態8に係る半導体装置について、半導体装置1 aと同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体装置1 aとの相違点を中心に説明する。

【0 4 7 5】

図3 3は、半導体装置1 eの構造の一例を示す平面図であって、半導体装置1 eの上面から、後述の第1のボディ領域1 8 eと後述の第2のボディ領域2 8 eとよりも上面側の構造物が除去されて、第1のボディ領域1 8 eと第2のボディ領域2 8 eとが仮想的に露わになった状態における平面図である。

【0 4 7 6】

図3 3に示すように、半導体装置1 eは、実施の形態2に係る半導体装置1 aから、第1のボディ領域1 8が第1のボディ領域1 8 eに変更され、第2のボディ領域2 8が第2のボディ領域2 8 eに変更され、第1の半導体層内領域A 1が第1の半導体層内領域A 1 eに変更され、第2の半導体層内領域A 2が第2の半導体層内領域A 2 eに変更されて構成

10

20

30

40

50

される。

【0477】

図33に示すように、第1のボディ領域18e、第2のボディ領域28e、第1の半導体層内領域A1e、および、第2の半導体層内領域A2eは、それぞれ、第1のボディ領域18、第2のボディ領域28、第1の半導体層内領域A1、および、第2の半導体層内領域A2から、その形状が変更されて構成される。

【0478】

ここで、図33に示すように、第1の半導体層内領域A1eと第2の半導体層内領域A2eとは、半導体層40の平面視において互いに隣接し、半導体層40を面積で二等分する一方と他方である。

【0479】

図33に示すように、半導体層40の平面視において、第1の半導体層内領域A1eと第2の半導体層内領域A2eとの境界線である内部境界線400eは、内部境界線400eの一方の第1の終端401が位置する第4の辺204に直交するN-1（Nは、3以上の整数。ここでは、Nは4）本の線分と、第4の辺204に平行なN-2本の線分とが交互に接続されてなり、かつ、第2の辺202の伸びる方向、および、第1の辺201の伸びる方向において単調に変化する。

【0480】

第1の頂点501と、第1の終端401との距離は、第4の辺204の長さの $1/N$ 以上である。

【0481】

第2の頂点502と、内部境界線400eの他方の第2の終端402との距離は、第2の辺202の長さの $1/N$ 以上である。

【0482】

また、半導体層40の平面視において、第1の終端401と第2の終端402とを結ぶ第3の仮想直線95と、第1の辺201とのなす角 $\theta 4$ は、16度以上である。

【0483】

なお、内部境界線400eは、半導体層40の平面視において、必ずしも上面境界線600aと一致する必要はないが、一致していても構わない。

【0484】

なお、ここでは、半導体層40が正方形であるとして説明したが、半導体層40は、正方形でない長方形であっても構わない。この場合、第1の終端401は、半導体層40の一方の第1の長辺上に位置し、第2の終端402は、半導体層40の他方の第2の長辺上に位置する。または、第1の終端401は、半導体層40の一方の第1の短辺上に位置し、第2の終端402は、半導体層40の他方の第2の短辺上に位置することとなる。

【0485】

〔8-2. 半導体モジュールの構造〕

以下、実施の形態8に係る半導体モジュールについて説明する。実施の形態8に係る半導体モジュールは、実施の形態5に係る半導体モジュール5eaもしくは半導体モジュール5eb、または、実施の形態6に係る半導体モジュール5fbもしくは半導体モジュール5fdから、一部の構成が変更されて構成される。このため、ここでは、実施の形態8に係る半導体モジュールについて、半導体モジュール5eaもしくは半導体モジュール5eb、または、実施の形態6に係る半導体モジュール5fbもしくは半導体モジュール5fdと同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体モジュール5eaもしくは半導体モジュール5eb、または、実施の形態6に係る半導体モジュール5fbもしくは半導体モジュール5fdとの相違点を中心に説明する。

【0486】

図34Aは、実施の形態8に係る半導体モジュール5haの構造の一例を示す平面図である。

10

20

30

40

50

【0487】

図34Aに示すように、半導体モジュール5haは、実施の形態5に係る半導体モジュール5eaから、半導体装置1eaが、半導体装置1eの一方である半導体装置1ehaに変更され、半導体装置1ebが、半導体装置1eの他方である半導体装置1ehbに変更されて構成される。

【0488】

ここで、半導体装置1ehaおよび半導体装置1ehbは、その上面の形状が、半導体装置1の上面の形状と同様の形状をしている半導体装置1eである。

【0489】

図34Bは、実施の形態8に係る半導体モジュール5hbの構造の一例を示す平面図である。

10

【0490】

図34Bに示すように、半導体モジュール5hbは、実施の形態5に係る半導体モジュール5ebから、半導体装置1aeaが、半導体装置1eの一方である半導体装置1ehcに変更され、半導体装置1aebが、半導体装置1eの他方である半導体装置1ehdに変更されて構成される。

【0491】

ここで、半導体装置1ehcおよび半導体装置1ehdは、その上面の形状が、半導体装置1aの上面の形状と同様の形状をしている半導体装置1eであって、半導体層40の平面視において、内部境界線400eと上面境界線600aと位置が一致している半導体装置1eである。

20

【0492】

図35Aは、実施の形態8に係る半導体モジュール5iaの構造の一例を示す平面図である。

【0493】

図35Aに示すように、半導体モジュール5iaは、実施の形態6に係る半導体モジュール5fbから、半導体装置1fcが、半導体装置1eの一方である半導体装置1ehcに変更され、半導体装置1fdが、半導体装置1eの他方である半導体装置1ehfに変更されて構成される。

【0494】

ここで、半導体装置1ehcおよび半導体装置1ehfは、その上面の形状が、半導体装置1の上面の形状と同様の形状をしている半導体装置1eである。

30

【0495】

図35Bは、実施の形態8に係る半導体モジュール5ibの構造の一例を示す平面図である。

【0496】

図35Bに示すように、半導体モジュール5ibは、実施の形態6に係る半導体モジュール5fdから、半導体装置1afcが、半導体装置1eの一方である半導体装置1ehgに変更され、半導体装置1afdが、半導体装置1eの他方である半導体装置1ehhに変更されて構成される。

40

【0497】

ここで、半導体装置1ehgおよび半導体装置1ehhは、その上面の形状が、半導体装置1aの上面の形状と同様の形状をしている半導体装置1eであって、半導体層40の平面視において、内部境界線400eと上面境界線600aと位置が一致している半導体装置1eである。

【0498】

[8-3. 考察]

上記構成の半導体装置1eによると、半導体層40の平面視において、内部境界線400eの長さは、内部境界線が半導体層の長辺方向に直交する方向または平行な方向に一直線に伸びる構成からなる従来の半導体装置に比べて、長くなる。このため、第1のソースパ

50

ッド1111から第2のソースパッド1121へ、または、第2のソースパッド1121から第1のソースパッド1111へと電流が流れる場合において金属層30を水平方向に流れる電流の通電断面積が大きくなる。

【0499】

これにより、第1のソースパッド1111から第2のソースパッド1121へ、または、第2のソースパッド1121から第1のソースパッド1111へと電流が流れる場合における、半導体装置1eの抵抗値を、従来よりも低減することができる。

【0500】

このように、上記構成の半導体装置1eによると、実装される実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体装置を提供することができる。

10

【0501】

上記構成の半導体モジュール5ibによると、半導体装置1ehgと半導体装置1ehhとは、半導体装置1ehgの各辺、および、半導体装置1ehhの各辺に対して、傾いた位置関係に配置される。

【0502】

これにより、半導体モジュール5ibにおいて、半導体装置1ehgの発熱による半導体装置1ehhへの影響、および、半導体装置1ehhの発熱による半導体装置1ehgへの影響を低減できる。

【0503】

このように、上記構成の半導体モジュール5ibによると、実装基板における電流経路に効率的に電流を流すことができる特徴を有する半導体モジュールを提供することができる。

20

【0504】

以下、角 $\theta 4$ の好ましい範囲について考察する。

【0505】

図36および図37は、角 $\theta 4$ と、半導体装置1eのオン抵抗、すなわち、第1のソースパッド1111から第2のソースパッド1121へ、または、第2のソースパッド1121から第1のソースパッド1111へと電流が流れる場合における、半導体装置1eの抵抗における、金属層30の抵抗成分の比率（以下、「金属層抵抗成分比率」とも称する）との関係を示すグラフである。

【0506】

図36および図37において、横軸は角 $\theta 4$ であり、縦軸は金属層抵抗成分比率である。

30

【0507】

図36および図37において、黒丸は、金属層30の厚さの仕上がり寸法が規定値である場合における金属層抵抗成分比率を示し、図36において、白丸は、金属層30の厚さの仕上がり寸法が規定値より4%薄くなっている場合における、金属層抵抗成分比率を示し、図37において、白丸は、金属層30の厚さの仕上がり寸法が規定値より10%薄くなっている場合における、金属層抵抗成分比率を示す。

【0508】

半導体装置1eは、その製造工程における製造バラつきにより、金属層30の厚さの仕上がり寸法が、 $\pm 4\%$ の範囲でバラついてしまうことがある。

40

【0509】

図36に示すように、半導体装置1eは、金属層30の厚さの仕上がり寸法が、製造バラつきにより規定値より4%薄くなった場合であっても、 $\theta 4$ が16度以上であれば、 $\theta 4$ が0度の場合において金属層30の厚さの仕上がり寸法が規定値通りであるときの金属層抵抗成分比率を維持することができる。

【0510】

このため、 $\theta 4$ は、16度以上であることが好ましい。

【0511】

また、図37に示すように、半導体装置1eは、 $\theta 4$ を26度以上とすることで、 $\theta 4$ が0度の場合における金属層抵抗成分比率を維持しながら、金属層30の厚さを10%削減

50

することができる。

【0512】

このため、半導体装置1eは、 θ_4 を26度以上とすることで、あたかも金属層30の厚さを10%厚くしたのと同等の低抵抗化の効果を得ることができる。このように、 θ_4 は26度以上であることが好ましい。

【0513】

以下、半導体モジュール5ibにおいて、実装基板50fbの長手方向が伸びる方向（図35B中のx軸方向）における、半導体装置1ehgと半導体装置1ehgとのずれ量（以下、「半導体装置1e間のずれ量」とも称する）について考察する。

【0514】

発明者らは、半導体モジュール5ibにおいて、半導体装置1e間のずれ量を大きくすることで、半導体装置1ehgの発熱による半導体装置1ehhへの影響、および、半導体装置1ehhの発熱による半導体装置1ehgへの影響を低減できるとの知見を得た。一方で、半導体装置1e間のずれ量を大きくし過ぎてしまうと、実装基板50fdの長手方向が長くなってしまいうというデメリットが生じてしまう。

【0515】

このため、発明者らは、半導体装置1e間のずれ量の効果的な値を算定すべく、鋭意実験、検討を繰り返した。その結果、発明者らは、半導体装置1e間のずれ量は、実装基板50fdの長手方向が伸びる方向における半導体装置1eの幅の半分以上であることが好ましいとの知見を得た。

【0516】

図38は、半導体モジュール5ibにおける、2つの半導体装置1e（半導体装置1ehgおよび半導体装置1ehg）のサイズおよび半導体装置1e間のずれ量と、2つの半導体装置1eの中心を結ぶ直線と実装基板50fdの長手方向が伸びる方向に直交する方向とのなす角 θ との関係を示す模式図である。

【0517】

図39は、発明者らが好ましいと考える、2つの半導体装置1eのサイズおよび半導体装置1e間のずれ量と、 θ との関係の一例を示す図である。

【0518】

図38および図39において、長さYは、半導体装置1eの、実装基板50fdの長手方向が伸びる方向に直交する方向における幅であり、長さXは、半導体装置1eの、実装基板50fdの長手方向が伸びる方向における幅であり、長さTは、実装基板50fdの長手方向が伸びる方向に直交する方向における、2つの半導体装置1e間の距離であり、角 θ は、2つの半導体装置1eの中心を結ぶ直線と実装基板50fdの長手方向が伸びる方向に直交する方向とのなす角である。

【0519】

図39に示すように、角 θ は、25.8度～26.0度となり、ずれ量としては26度以上が好ましい。

【0520】

本実施の形態8の効果は、半導体装置1eの金属層30を流れる電流が水平方向に流れるときの抵抗成分を低減することである。しかし、内部境界線400が元々水平成分に電流を流せない箇所を含むと効果が希薄となる。つまり、第1のトランジスタと第2のトランジスタとでそれぞれチャネルが形成されて導通に寄与する、いわゆる活性領域同士が対向して内部境界線400が構成されていなければ、いくら内部境界線400が長くなっても、効果を期待することはできない。したがって、本実施の形態8の効果を適切に得るには、内部境界線400が、活性領域同士の対向長だけで構成されることが望ましい。

【0521】

また、上述の内部境界線400の傾斜角 θ には上限がある。半導体装置1eの長辺の長さLxと短辺の長さLyから算出されるアスペクト α （ $=Ly/Lx$ ）とすると、内部境界線400の2つの終端が半導体装置1eの短辺上にある場合の角 θ の上限は $\arctan(\alpha)$

10

20

30

40

50

度であり、内部境界線 400 の 2 つの終端が半導体装置 1 e の長辺上にある場合の角 θ の上限は $\tan^{-1}(1/\alpha)$ 度である。

(補足)

以上、本開示の一態様に係る半導体装置および半導体モジュールについて、実施の形態 1 ～実施の形態 8 に基づいて説明したが、本開示は、これら実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形をこれら実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の 1 つまたは複数の態様の範囲内に含まれてもよい。

【産業上の利用可能性】

【0522】

本開示は、半導体装置、および、それを用いた半導体モジュール等に広く利用可能である。

【符号の説明】

【0523】

1、1 a、1 a b、1 a d、1 a e a、1 a e b、1 a e c、1 a e d、1 a f a、1 a f b、1 a f c、1 a f d、1 a g a、1 a g b、1 c、1 c e a、1 c e b、1 c f a、1 c f b、1 d、1 d e a、1 d e b、1 d f a、1 d f b、1 e、1 e a、1 e b、1 e c、1 e d、1 e f a、1 e f b、1 e h a、1 e h b、1 e h c、1 e h d、1 e h e、1 e h f、1 e h g、1 e h h、1 f a、1 f b、1 f c、1 f d、1 g a、1 g b 半導体装置

5、5 a、5 b、5 c、5 d、5 e a、5 e b、5 e c、5 e d、5 e e、5 f a、5 f b、5 f c、5 f d、5 f e、5 f f、5 g a、5 g b、5 h a、5 h b、5 i a、5 i b 半導体モジュール

10 トランジスタ (第 1 の縦型 MOS トランジスタ)

11 第 1 のソース電極

12、13、13 a、13 c、13 d、17、27、22、23、23 a、23 c、23 d、68、69、78、79 部分

14 第 1 のソース領域

15 第 1 のゲート導体

16 第 1 のゲート絶縁膜

18、18 e 第 1 のボディ領域

20 トランジスタ (第 2 の縦型 MOS トランジスタ)

21 第 2 のソース電極

24 第 2 のソース領域

25 第 2 のゲート導体

26 第 2 のゲート絶縁膜

28、28 e 第 2 のボディ領域

30 金属層

32 半導体基板

33 低濃度不純物層

34 酸化膜

35 保護層

36 絶縁膜

40 半導体層

50、50 a、50 b、50 c、50 d、50 e a、50 e b、50 e c、50 e d、50 e e、50 f a、50 f b、50 f c、50 f d、50 f e、50 f f、50 g a 実装基板

51、51 a、51 b、51 c、51 d、51 e a、51 e b、51 e c、51 e d、51 e e、51 f a、51 f b、51 f c、51 f d、51 f e、51 f f、51 g a、51 g b、51 g c、51 g d 第 1 の金属配線

52、52 a、52 b、52 c、52 d、52 e a、52 e b、52 e c、52 e d、5

10

20

30

40

50

2 e e、5 2 f a、5 2 f b、5 2 f c、5 2 f d、5 2 f e、5 2 f f、5 2 g a、5 2 g b、5 2 g c、5 2 g d 第2の金属配線

5 3 e a、5 3 e b、5 3 e c、5 3 e d、5 3 e e 第3の金属配線

5 4、5 4 a、5 4 b、5 4 c、5 4 d、5 4 e a、5 4 e b、5 4 e c、5 4 e d、5 4 e e、5 4 e f、5 4 e g、5 4 e h、5 4 e i、5 4 e j、5 4 f a、5 4 f b、5 4 f c、5 4 f d、5 4 f e、5 4 f f、5 4 g a、5 4 g b、5 4 g c、5 4 g d クリアランス

5 5、5 5 b、5 5 c、5 5 e a、5 5 e c、5 5 e d、5 5 f a、5 5 f b、5 5 f d、5 5 f e、5 5 g a、5 5 g b、5 6、5 6 b、5 6 c、5 6 e a、5 6 e c、5 6 e d、5 6 f a、5 6 f b、5 6 f d、5 6 f e、5 6 g a、5 6 g b、5 7 e a、5 7 e c、5 7 e d、5 7 f a、5 7 f b、5 7 f d、5 7 f e、5 8 e a、5 8 e c、5 8 e d、5 8 f b、5 8 f d、5 8 f e 金属配線

6 1、6 1 b、6 1 c、6 1 e a、6 1 e c、6 1 e d、6 1 f a、6 1 f b、6 1 f d、6 1 f e、6 1 g a 第1のビア

6 2、6 2 b、6 2 c、6 2 e a、6 2 e c、6 2 e d、6 2 f a、6 2 f b、6 2 f d、6 2 f e、6 2 g a 第2のビア

6 3 e a、6 3 e c、6 3 e d、6 3 f b、6 3 f d、6 3 f e 第3のビア

6 4 e a、6 4 e c、6 4 e d、6 4 f b、6 4 f d、6 4 f e 第4のビア

7 1 第1の制御領域

7 2 第2の制御領域

9 1 第1の仮想直線

9 2、9 2 d 第2の仮想直線

9 3 対向線分

9 4 線分

9 5 第3の仮想直線

1 1 1、1 1 1 a、1 1 1 b、1 1 1 c、1 1 1 d、1 1 1 e、1 1 1 f、1 1 1 g、1 1 1 h、1 1 1 i、1 1 1 j、1 1 1 k、1 1 1 l、1 1 1 m、1 1 1 n、1 1 1 o、1 1 1 p、1 1 1 q、1 1 1 r、1 1 1 s、1 1 1 t、1 1 1 u、1 1 1 v、1 1 1 w、1 1 1 x、1 1 1 y、1 1 1 z、1 1 1 a a、1 1 1 a b、1 1 1 a c、1 1 1 a d、1 1 1 a e、1 1 1 a f、1 1 1 a g、1 1 1 a h、1 1 1 a i、2 1 1 1、2 1 1 1 a、2 1 1 1 b、2 1 1 1 c、2 1 1 1 d、2 1 1 1 e、2 1 1 1 f、2 1 1 1 g、2 1 1 1 h、2 1 1 1 i、2 1 1 1 j、2 1 1 1 k、2 1 1 1 l、2 1 1 1 m、2 1 1 1 n、2 1 1 1 o、2 1 1 1 p、2 1 1 1 q、3 1 1 1、3 1 1 1 a、3 1 1 1 b、3 1 1 1 c、3 1 1 1 d、3 1 1 1 e、3 1 1 1 f、3 1 1 1 g、3 1 1 1 h 第1のソースパッド

1 1 9 第1のゲートパッド

1 2 1、1 2 1 a、1 2 1 b、1 2 1 c、1 2 1 d、1 2 1 e、1 2 1 f、1 2 1 g、1 2 1 h、1 2 1 i、1 2 1 j、1 2 1 k、1 2 1 l、1 2 1 m、1 2 1 n、1 2 1 o、1 2 1 p、1 2 1 q、1 2 1 r、1 2 1 s、1 1 2 1、1 1 2 1 a、1 1 2 1 b、1 1 2 1 c、1 1 2 1 d、1 1 2 1 e、1 1 2 1 f、1 1 2 1 g、1 1 2 1 h、1 1 2 1 i、2 1 2 1、2 1 2 1 a、2 1 2 1 b、2 1 2 1 c、2 1 2 1 d、2 1 2 1 e、2 1 2 1 f、2 1 2 1 g、2 1 2 1 h、2 1 2 1 i、2 1 2 1 j、2 1 2 1 k、2 1 2 1 l、2 1 2 1 m、2 1 2 1 n、2 1 2 1 o、2 1 2 1 p、2 1 2 1 q、3 1 2 1、3 1 2 1 a、3 1 2 1 b、3 1 2 1 c、3 1 2 1 d、3 1 2 1 e、3 1 2 1 f、3 1 2 1 g、3 1 2 1 h 第2のソースパッド

1 2 9 第2のゲートパッド

2 0 1 第1の辺

2 0 2 第2の辺

2 0 3 第3の辺

2 0 4 第4の辺

4 0 0、4 0 0 e 内部境界線

10

20

30

40

50

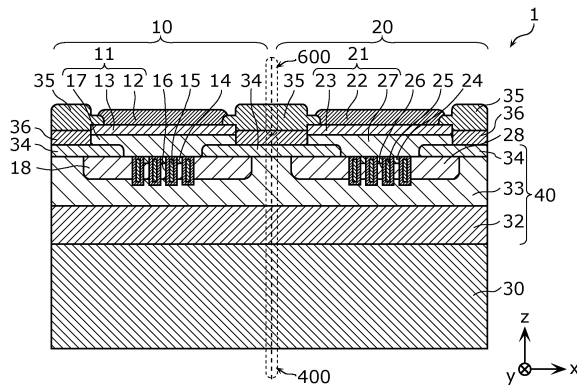
4 0 1 第 1 の 終 端
 4 0 2 第 2 の 終 端
 5 0 1 第 1 の 頂 点
 5 0 2 第 2 の 頂 点
 5 0 3 第 3 の 頂 点
 5 0 4 第 4 の 頂 点
 6 0 0、6 0 0 a、6 0 0 c、6 0 0 d 上 面 境 界 線
 6 0 1、6 0 1 d 第 1 の 交 点
 6 0 2、6 0 2 d 第 2 の 交 点
 6 1 1、6 1 2、6 1 3 第 1 の ビ ア
 6 2 1、6 2 2、6 2 3 第 2 の ビ ア
 A 1、A 1 e 第 1 の 半 導 体 層 内 領 域
 A 2、A 2 e 第 2 の 半 導 体 層 内 領 域
 S 1、S 1 a、S 1 c、S 1 d 第 1 の 半 導 体 層 上 面 領 域
 S 2、S 2 a、S 2 c、S 2 d 第 2 の 半 導 体 層 上 面 領 域

【要約】

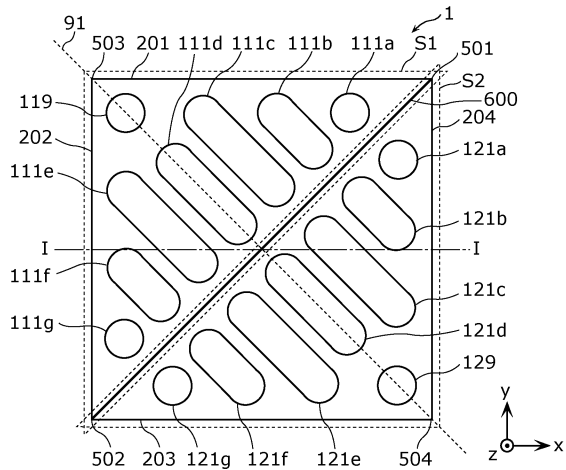
半導体装置 1 は、半導体層 4 0 と、半導体層 4 0 内に形成されたトランジスタ 1 0 およびトランジスタ 2 0 と、半導体層 4 0 の上面の領域 S 1 に形成された、トランジスタ 1 0 のソースに接続された 1 以上の第 1 のソースパッド 1 1 1 およびゲートに接続された第 1 のゲートパッド 1 1 9 と、半導体層 4 0 の上面の、半導体層 4 0 の平面視において領域 S 1 に隣接した領域 S 2 に形成された、トランジスタ 2 0 のソースに接続された 1 以上の第 2 のソースパッド 1 2 1 およびゲートに接続された第 2 のゲートパッド 1 2 9 と、を備え、半導体層 4 0 の平面視において、第 1 のゲートパッド 1 1 9 の中心と第 2 のゲートパッド 1 2 9 の中心とを結ぶ仮想直線 9 1 は、半導体層 4 0 の中心を通り、半導体層 4 0 の各辺となす角が 4 5 度であり、領域 S 1 と領域 S 2 との上面境界線 6 0 0 は、半導体層 4 0 の長辺の伸びる長辺方向および短辺の伸びる短辺方向において単調に変化する。

【図面】

【図 1】



【図 2】



10

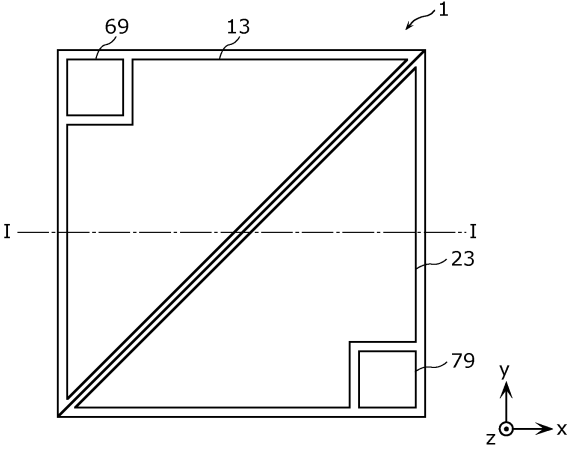
20

30

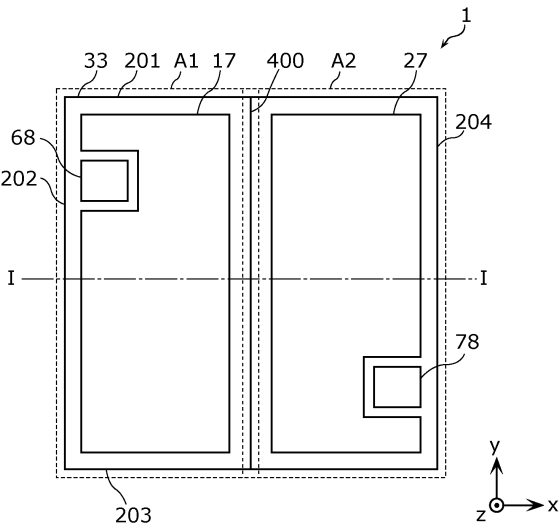
40

50

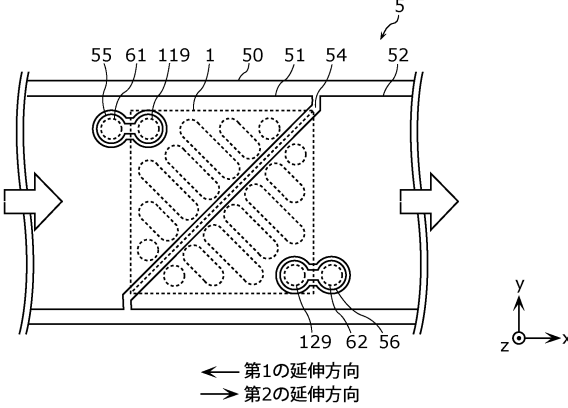
【図 3】



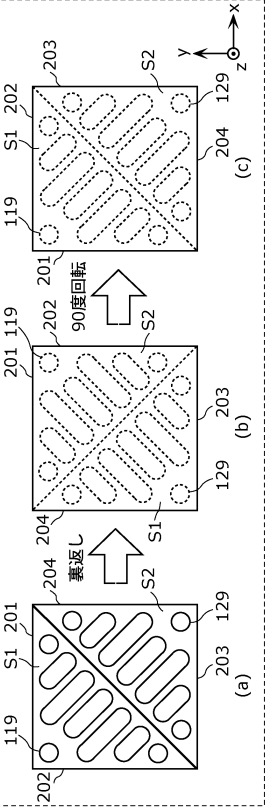
【図 4】



【図 5】



【図 6】



10

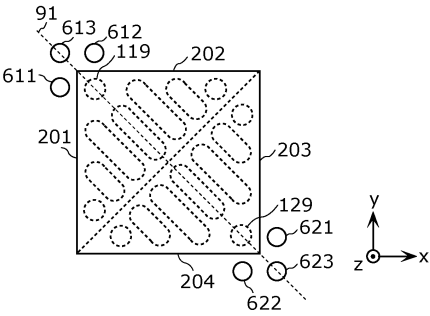
20

30

40

50

【図 7】



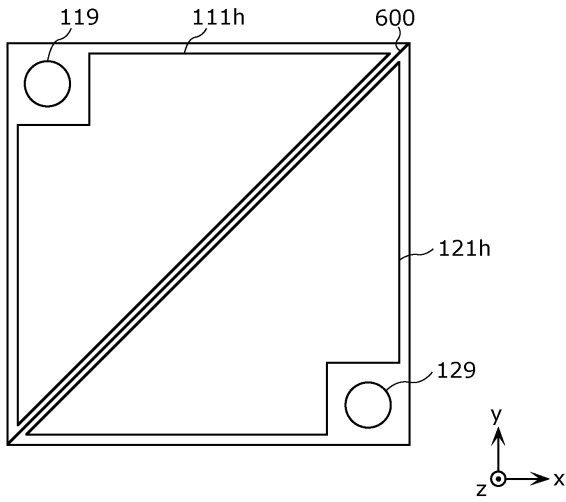
【図 8】

	比較例1	比較例2	比較例3	半導体装置1	効果
ハッドレイアウト					
	○	×	○	○	実装基板抵抗低減 (主電流経路幅最大化)
	○	○	○	○	実装基板抵抗低減 (接続配線最適化)
	×	○	×	○	半導体装置抵抗低減 (サイズUP)
	○	○	×	○	取り扱い容易度向上 (実装時曲げ強度向上)
ゲート配線の 設計容易性 (2個並列実装時)	○	○	○	○	
ゲート配線の 面実装 (ビア透過化)	×	○	×	○	
×軸方向への配線引き出し (実装基板縮小化)	○	○	×	○	
×軸方向への基板曲げ強度	○	○	○	○	

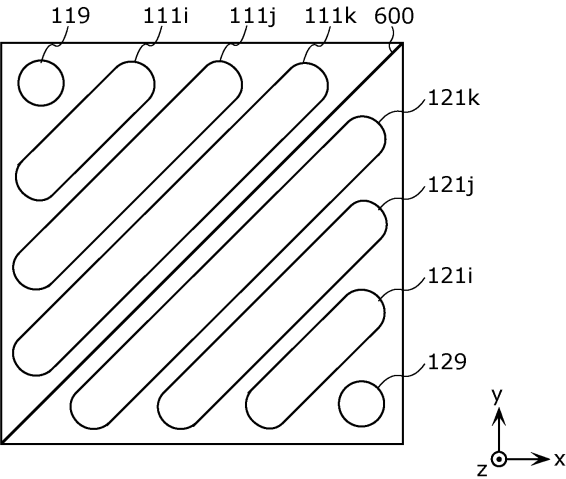
【図 9】

実施形態	比較例1	比較例2	比較例3	半導体装置1
片面実装 (モノ)				
片面実装 (PET2層)				
両面実装 (PET2層)				
両面実装 (PET4層)				

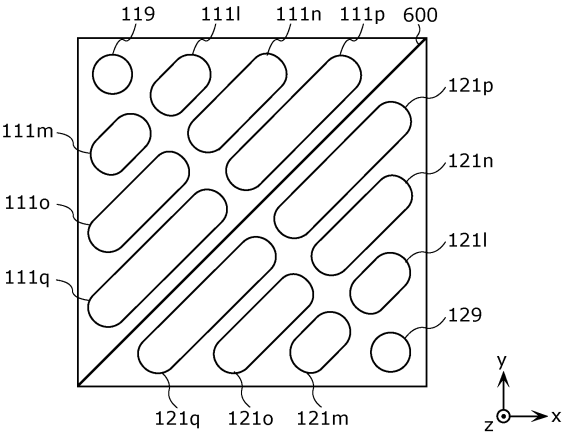
【図 10 A】



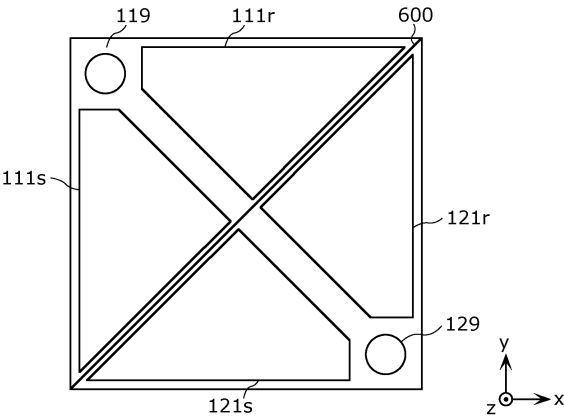
【図 10 B】



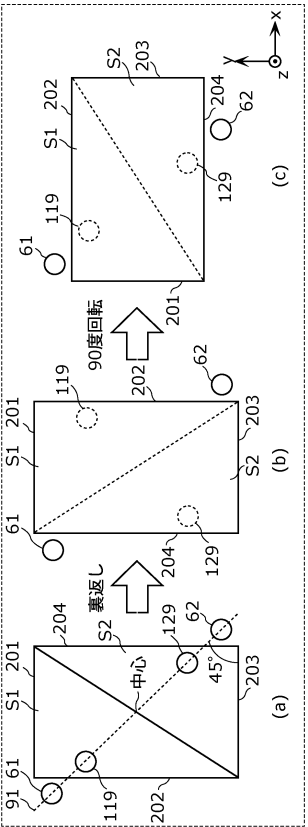
【図 10 C】



【図 10 D】



【図 11】



10

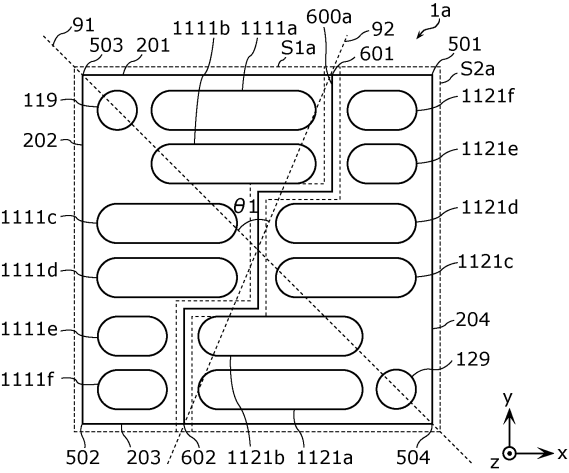
20

30

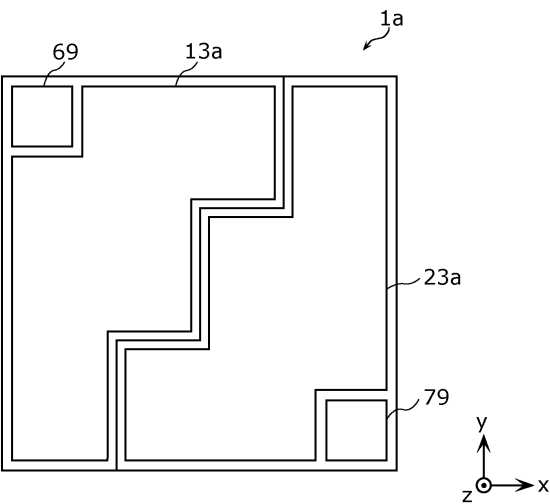
40

50

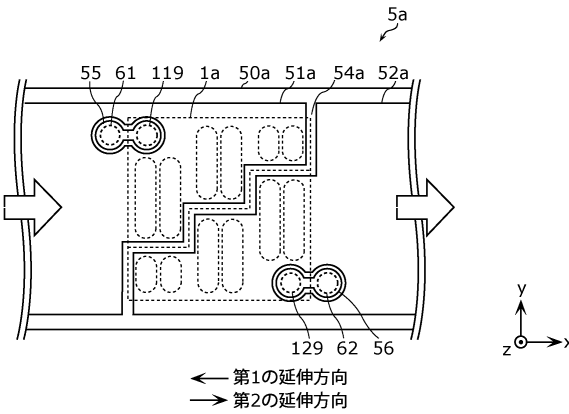
【図 1 2】



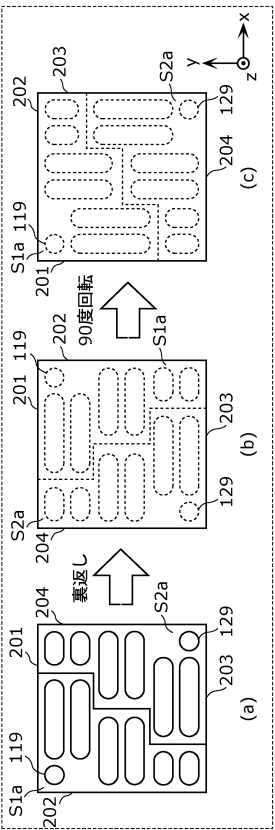
【図 1 3】



【図 1 4】



【図 1 5】



10

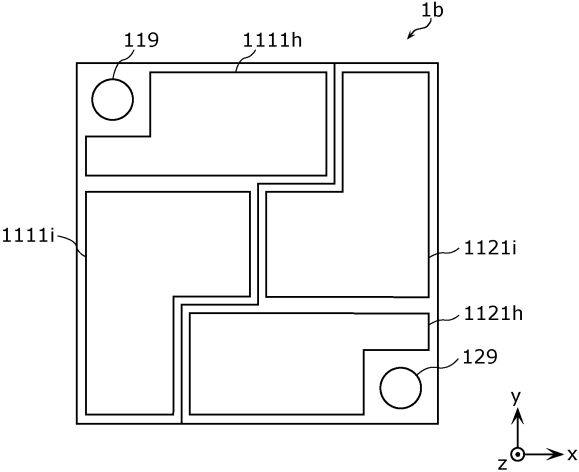
20

30

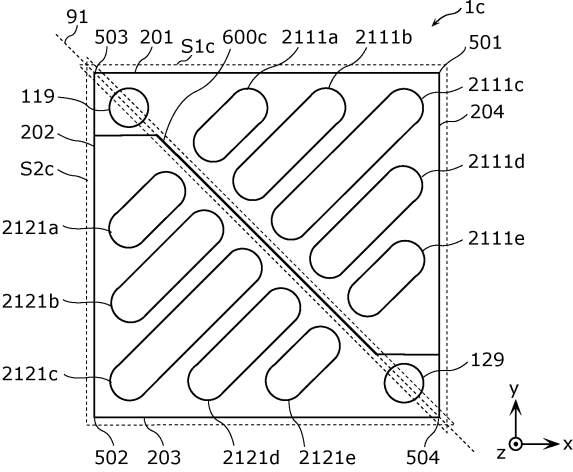
40

50

【図 19 B】

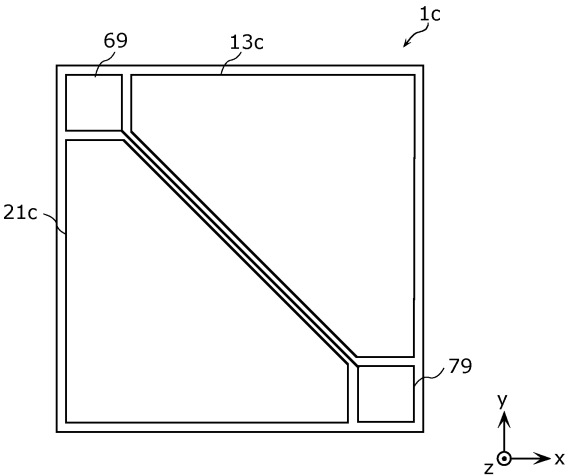


【図 20】

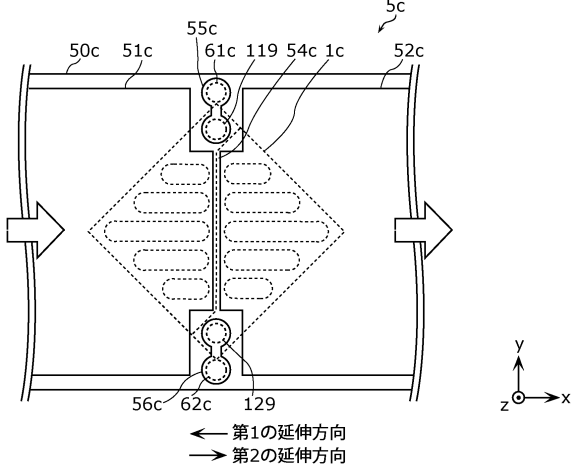


10

【図 21】



【図 22】



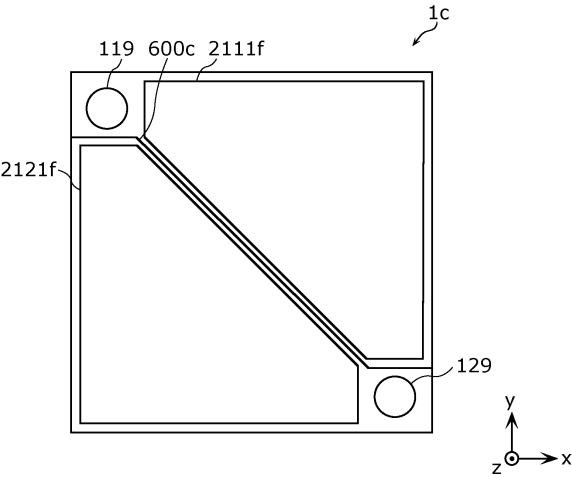
20

30

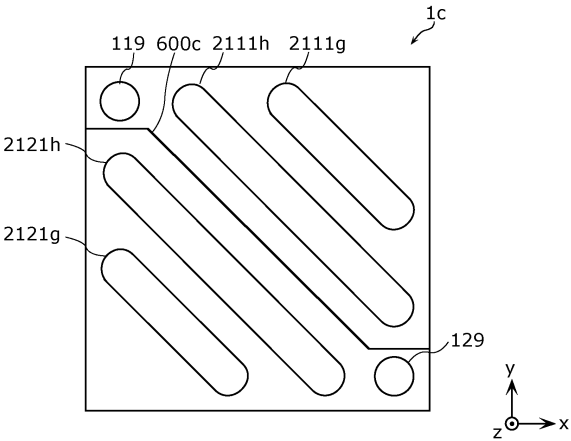
40

50

【図 2 3 A】

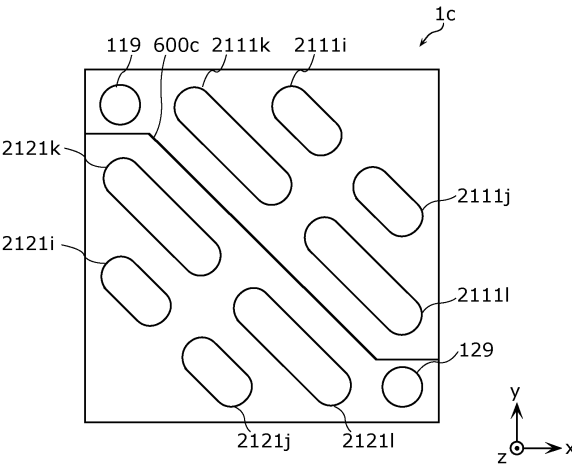


【図 2 3 B】

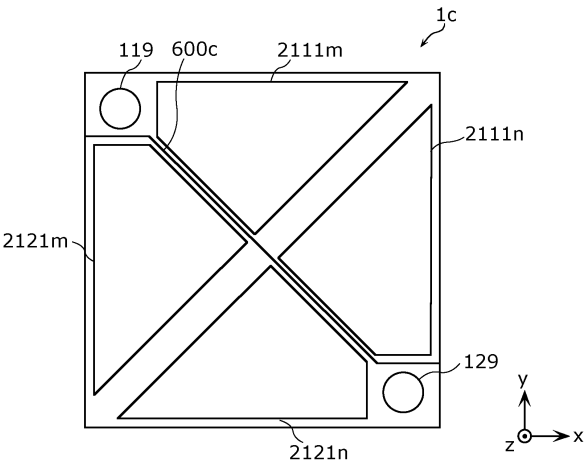


10

【図 2 3 C】



【図 2 3 D】



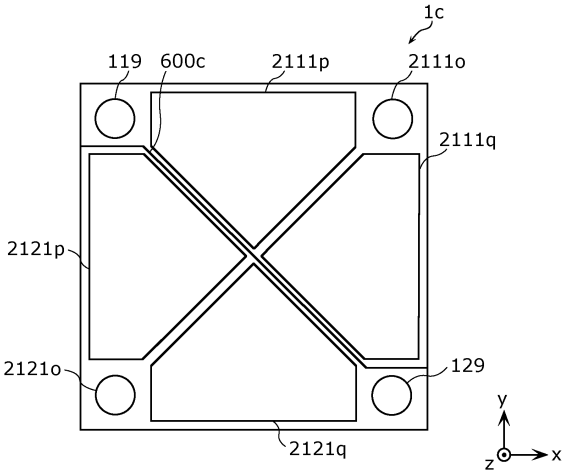
20

30

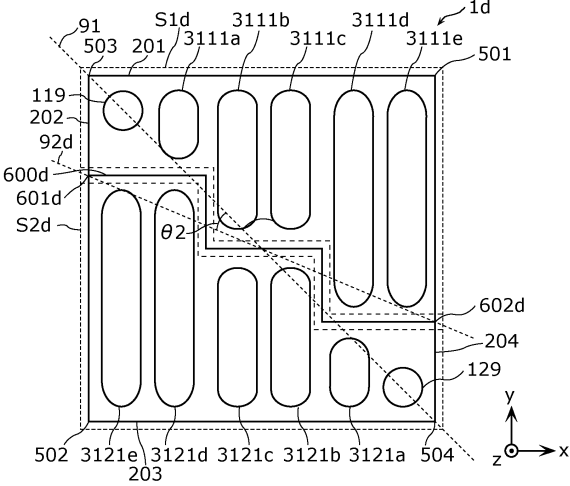
40

50

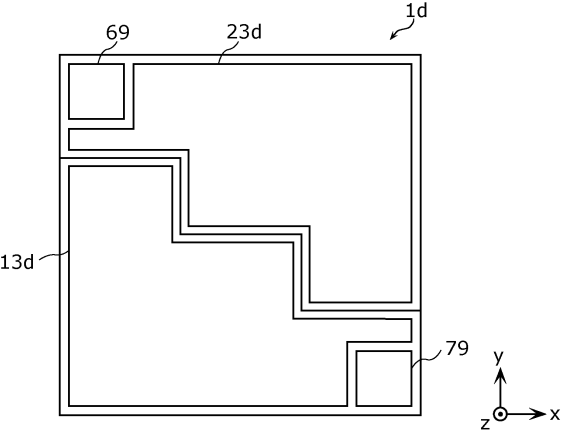
【図 2 3 E】



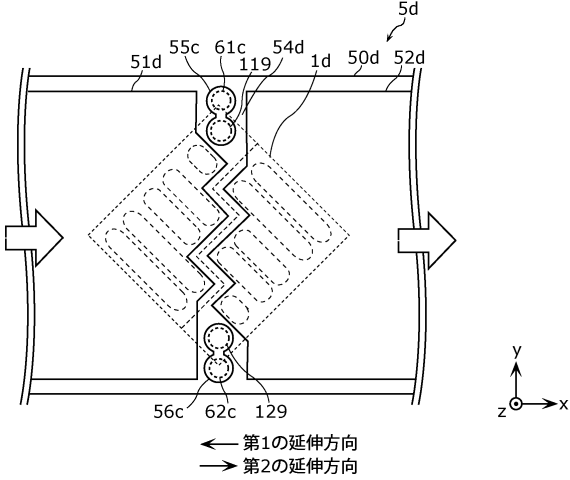
【図 2 4】



【図 2 5】



【図 2 6】



10

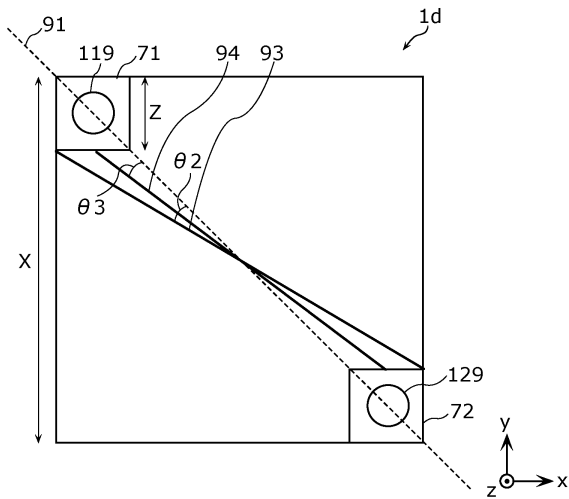
20

30

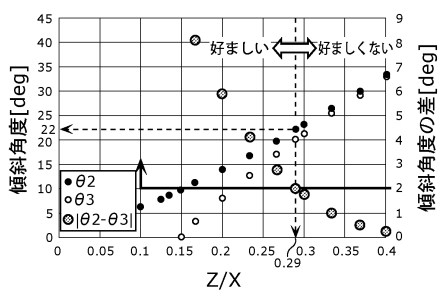
40

50

【図 2 7】

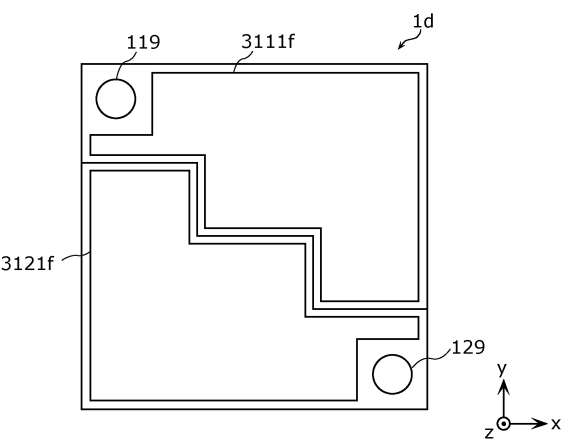


【図 2 8】

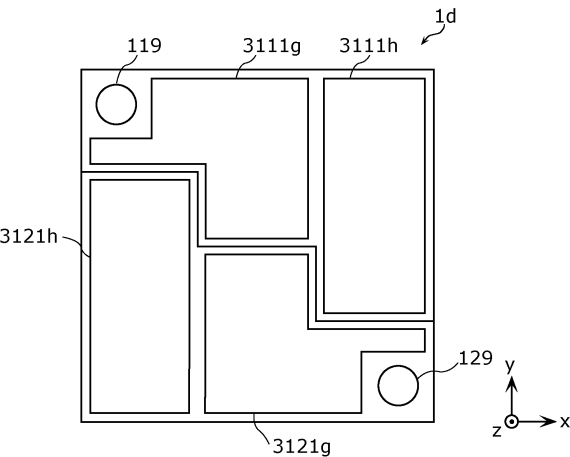


10

【図 2 9 A】



【図 2 9 B】



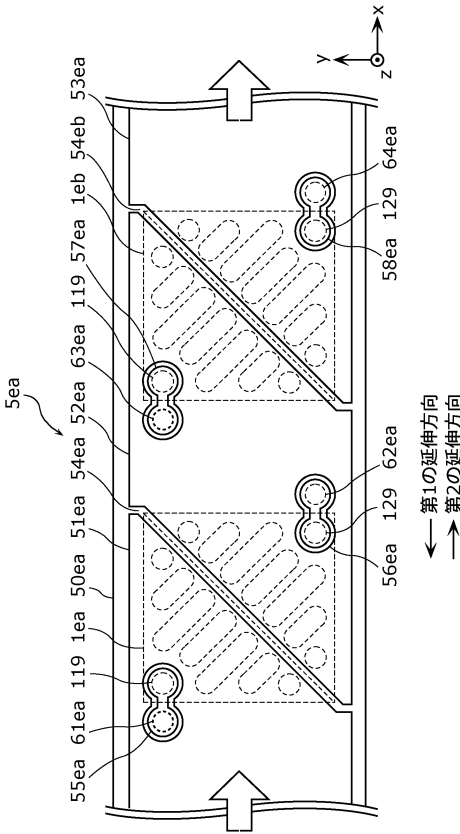
20

30

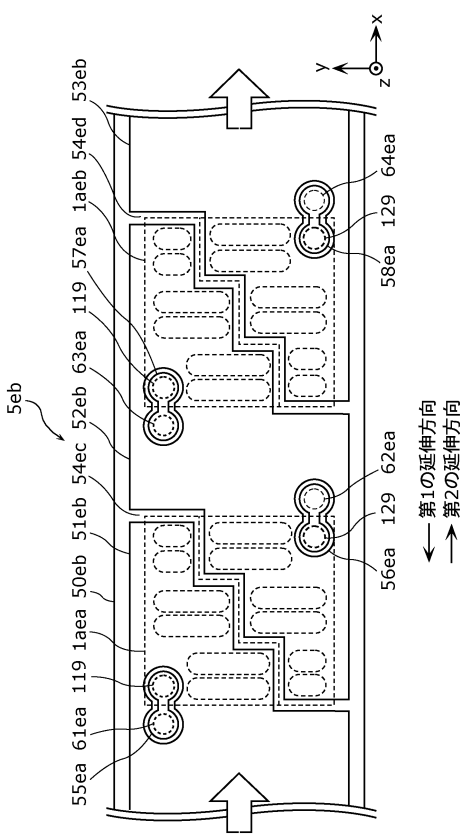
40

50

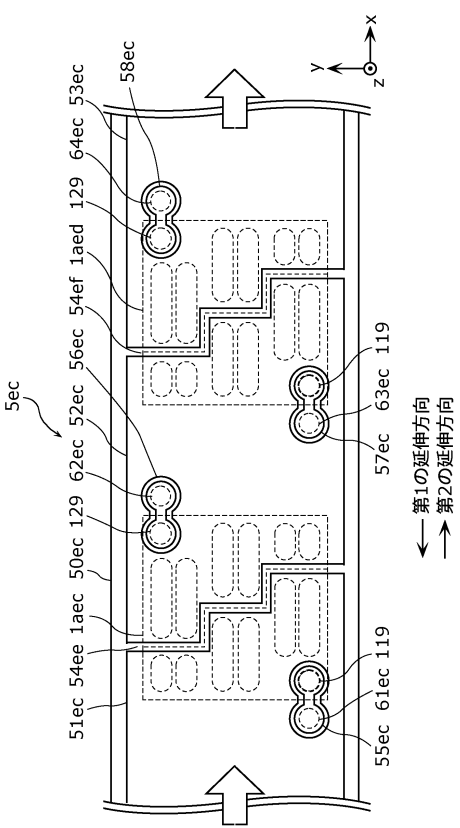
【図 3 0 A】



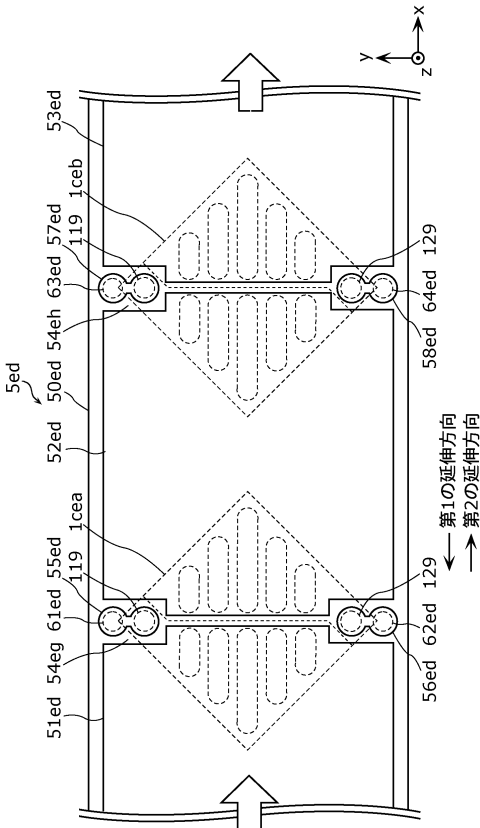
【図 3 0 B】



【図 3 0 C】



【図 3 0 D】



10

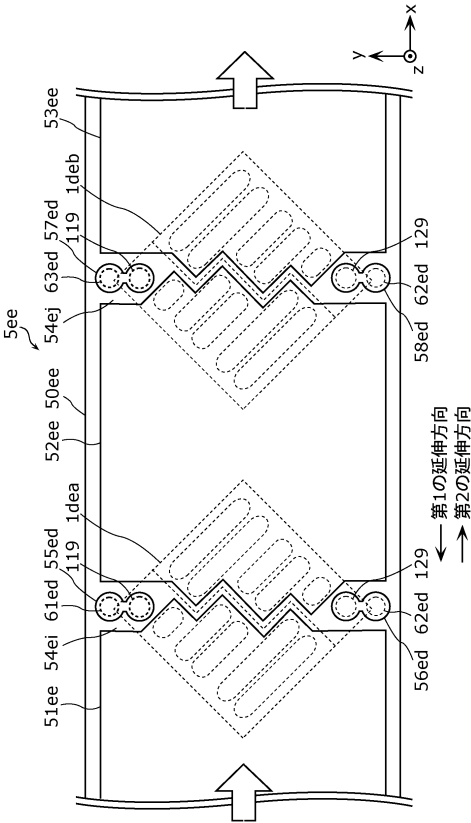
20

30

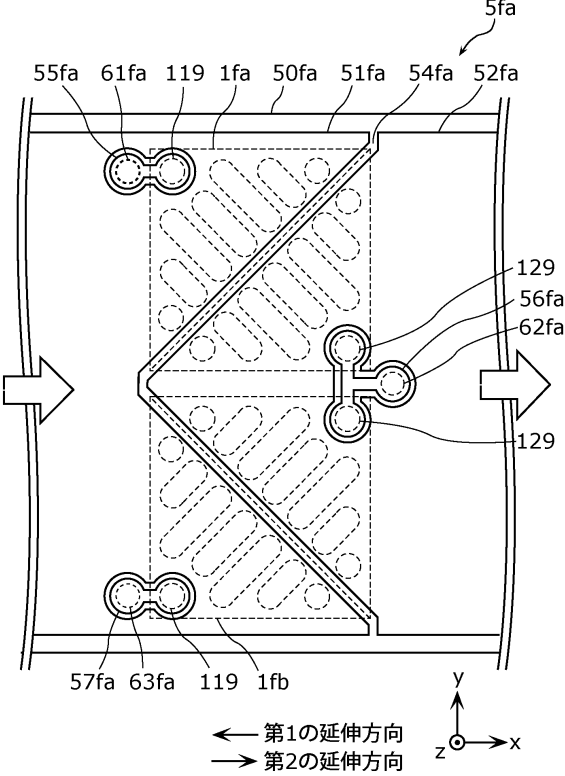
40

50

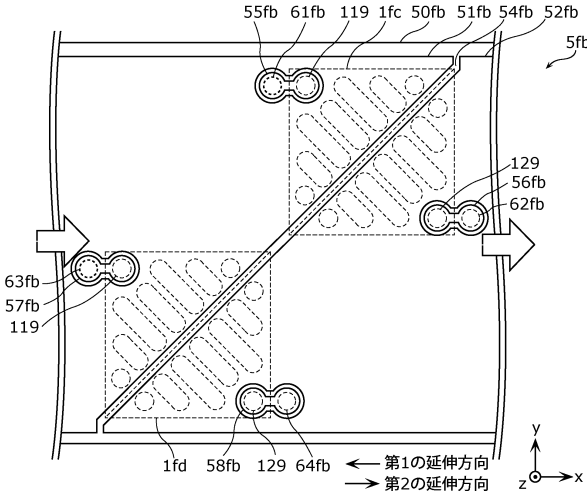
【図 3 0 E】



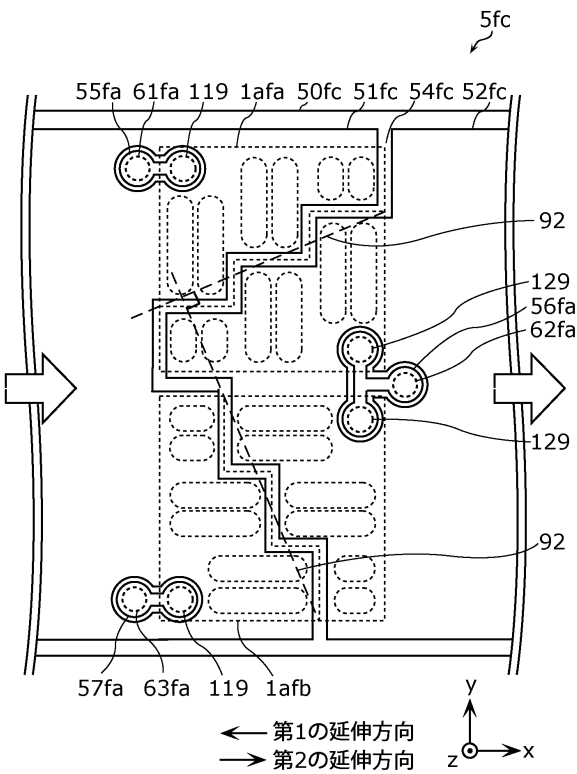
【図 3 1 A】



【図 3 1 B】



【図 3 1 C】



10

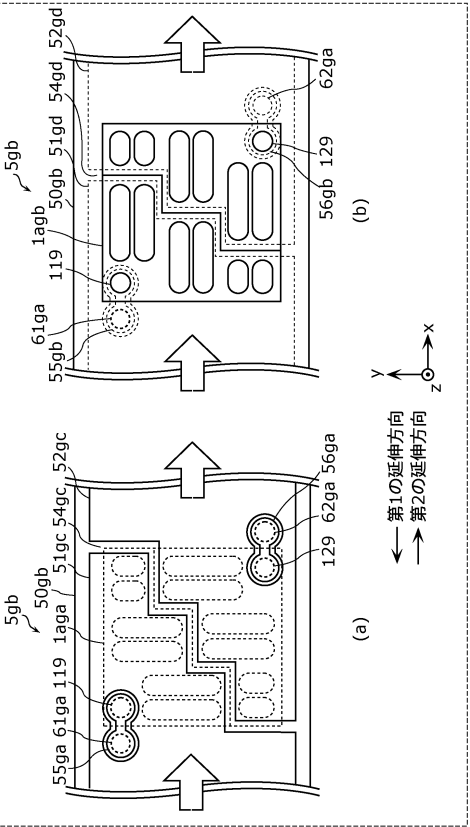
20

30

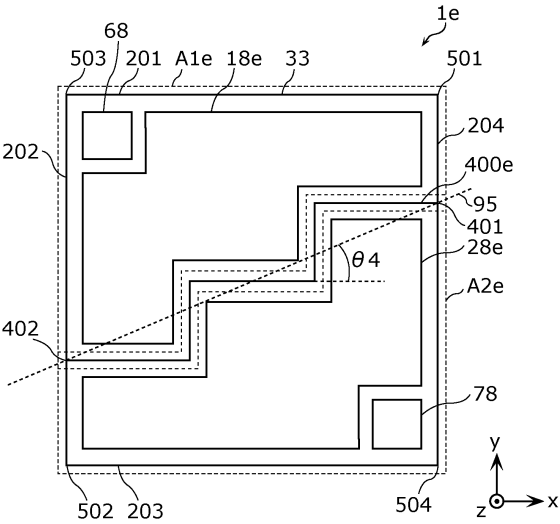
40

50

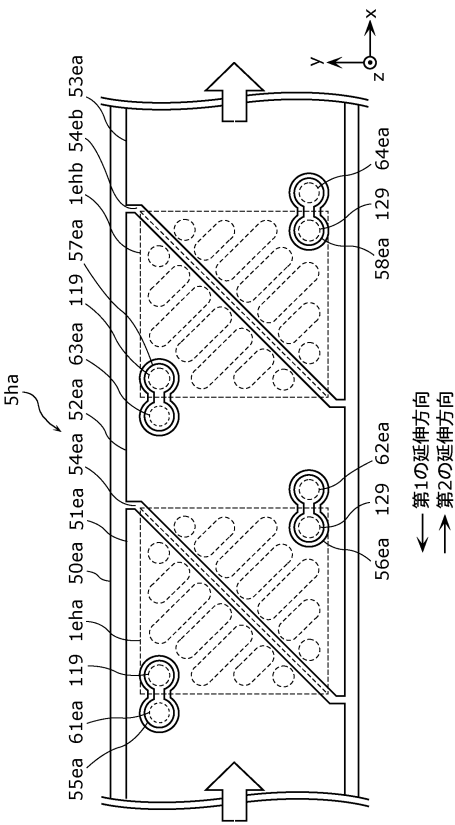
【図 3 2 B】



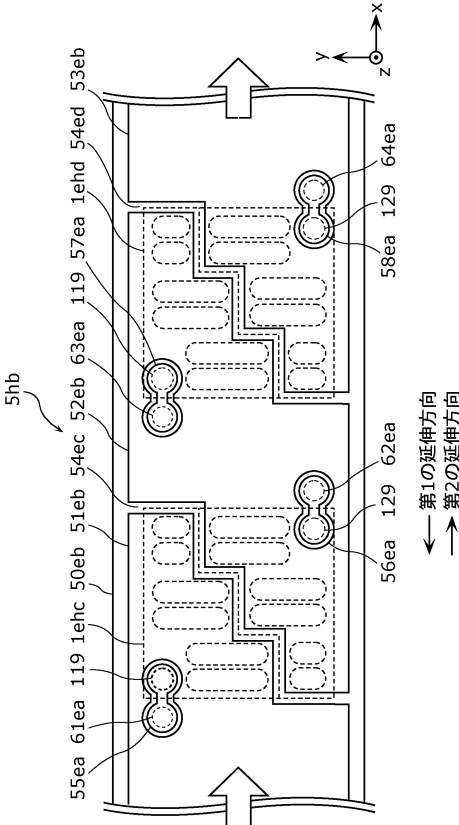
【図 3 3】



【図 3 4 A】



【図 3 4 B】



10

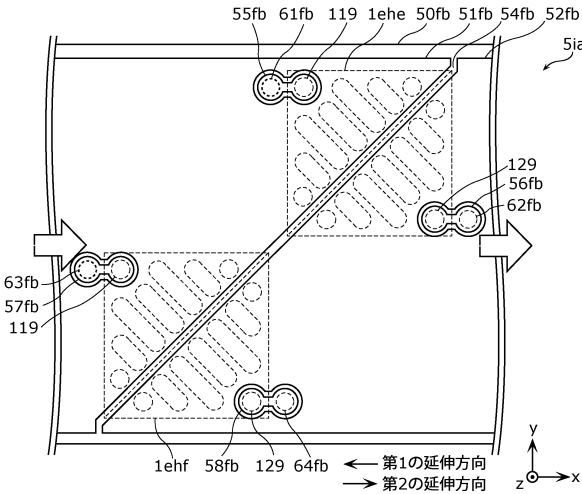
20

30

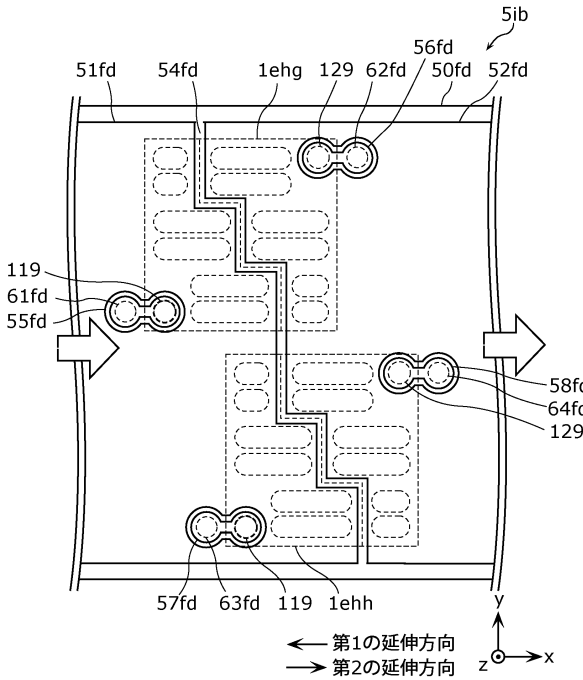
40

50

【図 3 5 A】



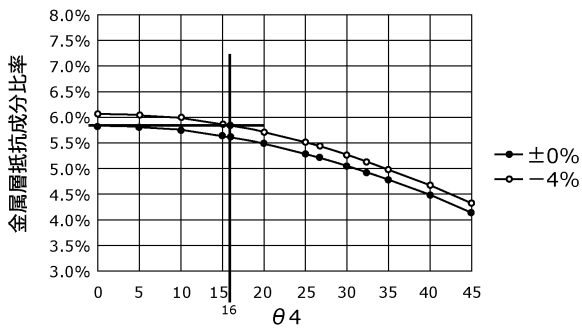
【図 3 5 B】



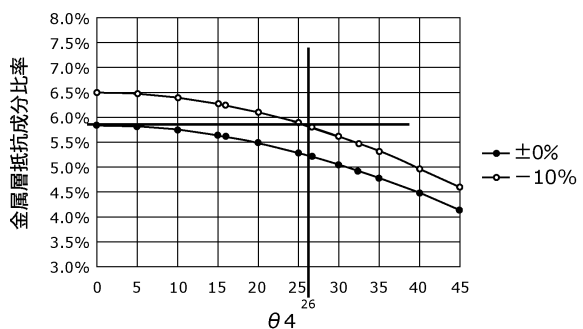
10

20

【図 3 6】



【図 3 7】

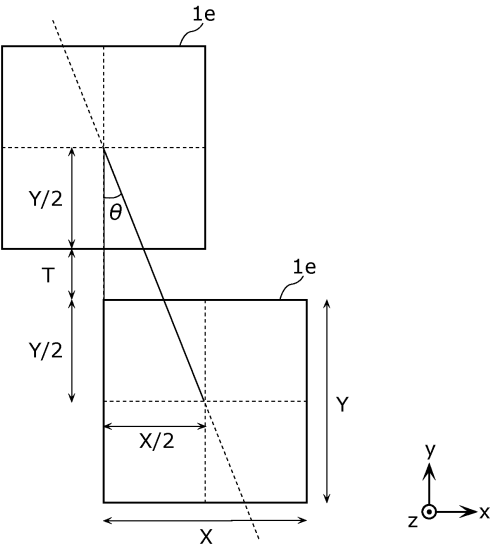


30

40

50

【図 3 8】



【図 3 9】

	Case1	Case2
X[mm]	3.0	4.0
Y[mm]	3.0	4.0
T[mm]	0.1	0.1
θ [$^{\circ}$]	25.8	26.0

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/78	6 5 2 S
H 0 1 L	29/78	6 5 3 C
H 0 1 L	29/78	6 5 6 A

日本国京都府長岡京市神足焼町1番地 ヌヴォトンテクノロジージャパン株式会社内

(72)発明者 網師本 亮一

日本国京都府長岡京市神足焼町1番地 ヌヴォトンテクノロジージャパン株式会社内

審査官 石塚 健太郎

(56)参考文献 国際公開第2020/129786 (WO, A1)

特開2002-368217 (JP, A)

特表2004-502293 (JP, A)

特開2019-169492 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 29/78

H 0 1 L 21/336