

公告本

382802

申請日期	87 年 5 月 15 日
案 號	87107562
類 別	1401L7/64

A4
C4

(以上各欄由本局填註)

382802

發明專利說明書

一、發明 名稱	中 文	半導體積體電路
	英 文	
二、發明 創作人	姓 名	(1) 堀口真志 (2) 川瀬靖 (3) 秋葉武定
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣川崎市多摩區中野島六-二九-二-二〇七 (2) 日本國東京都國分寺市日吉町四-一六-三八 (3) 日本國東京都八王子市台町三-二-二-二〇三
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八一番地
	代 表 人 姓 名	(1) 金井務 (2) 梨本柳三

裝

訂

線

382802

申請日期	87 年 5 月 15 日
案 號	87107562
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 中込儀延 (5) 梶谷一彦
	國 籍	(4) 日本 (5) 日本 (4) 日本國東京都羽村市川崎四一二一一
	住、居所	(5) 日本國埼玉縣人間市下谷個貫九〇五—六
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1997 年 6 月 20 日 9-163646

☒有主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係有關於一種減低因為MOS電晶體之次閾值特性所引起之電路構成的改良，係有關於一種元件被微細化，且動作電壓被設成一定電壓的半導體積體電路，特別是有關於一種有效地適用在記憶容量例如256M-1G位元之大容量DRAM（Dynamic Random Access Memory）的技術。

高積體化顯著的半導體積體電路，例如DRAM，根據元件的微細化，其動作電壓被降低到2~2.5V，又為了要達到高速化，可以將MOS電晶體的閾值電壓降低到0.15~0.2V（以往為0.4V左右）。如此一來，因為MOS電晶體之次閾值特性所造成的漏電流（次閾值電流）則會成為問題。所謂的次閾值電流是指當閘極電壓在閾值電壓以下，且表面處於弱反轉狀態時欲流動的漏電流。

有關減低次閾值電流的技術則是記載於特開平8-138381號公報、特開平6-232348號公報、特開平6-203558號公報、特開平5-210976號公報以及特開平5-347550號公報。

本發明人則針對將該用於減低次閾值電流的電路（Subthreshold Current Reduction Circuit，以下簡稱為SCRC）應用在DRAM時加以檢討。

在表示本發明先前所檢討之SCRC的一例的第16圖中，以CMOS反相器為代表的邏輯電路L1~L4，

五、發明說明(2)

則成為減低 J 次閾值電流的對象。需要減低次閾值電流的期間例如是待機狀態，在待機狀態下，到邏輯電路 L 1 的輸入信號 I N 則被設成低位準（「L」）。藉此，可以抑制在待機狀態下應被控制 o f f 狀態的 M O S 電晶體 Q n 1，Q p 2，Q n 3，Q p 4 生次閾值電流，因此針對被供給有電源電壓 V D D 的主電源配線 M L 1 與被供給有接地電壓 V S S 的主電源配線 M L 2 設有副電源配線 S L 1，S L 2，而在主電源配線 M L 1 與副電源配線 S L 1 之間則設有開關 S D，在主電源配線 M L 2 與副電源配線 S L 2 之間則設有開關 S S。開關 S D，S S 在待機狀態下被控制成 o f f 狀態。當開關 S D，S S 成為 o f f 狀態時，副電源配線 S L 1 的電位會較主電源配線 M L 1 電源電壓 V D D 降低，而副電源配線 S L 2 的電位則會較主電源配線 M L 2 的接地電壓 V S S 上昇。藉此，在各邏輯電路 L 1 ~ L 4 中之處於 o f f 狀態的 M O S 電晶體 Q n 1，Q p 2，Q n 3，Q p 4 之閘極。源極之間分別實施逆向偏壓，而減少次閾值電流。

當本發明人針對上述 S C R C 來檢討時，則發現了以下的問題。S C R C 的第 1 問題點則是因為電源配線，特別是副電源配線的配線電阻所造成的電壓下降。在 S C R C 中，由於電源配線的數目倍增到 4 個，因此，在佈局上，每 1 個配線的寬度不得不變細，而會導致配線電阻增加。因為配線電阻會導致在電源電壓 V D D 側的副電源配線 S L 1 的電位降低，因此當在接地電壓 V S S 側的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

副電源配線 S L 2 的電位上昇時，則在可動作的狀態下，
邏輯電路的動作速度會降低。

第 2 問題點即是開關 S S，S D 的占有面積。在
M O S 半導體積體電路中，上述開關 S S，S D 實際上是
藉由 M O S 電晶體而實現。爲了要防止邏輯閘的動作速度
降低，必須要儘可能地減小當上述開關 M O S 電晶體處於
O N 狀態時的電阻。因此不得不加大 M O S 電晶體的通道
寬度，而導致佈局面積增加。

本發明之目的在於提供一種可以減少在用於減低次閥
值電流之副電源配線上的電壓下降情形，且藉此可以防止
邏輯電路之動作速度降低的半導體積體電路。

本發明之其他的目的在於提供一種可以達成待機時的
低消耗電力與動作時的高速化的半導體積體電路。

本發明之上述以及其他的目的與新穎的特徵，則由本
說明書的記載以及所附圖面可以明白。

若針對在本發明中之代表例加以簡單說明時，則如下

:

亦即，將可以選擇性地將主電源配線與副電源配線加
以連接的開關 M O S 電晶體，針對 1 個主電源配線分散地
配置多個。主電源配線、副電源配線以及開關的佈可以採
用以下的態樣。

第 1，沿著包含作爲次閥值電流之減低對象的 M O S
邏輯電路在內的矩形領域的一邊配置主電源配線，而副電
源配線，則在該領域上，將多個配置在與上述主電源配線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

呈垂直相交的方向上。而讓副電源配線選擇地與主電源配線導通的開關 M O S 電晶體，則針對主電源配線分散地配置多個。

第 2，將副電源配線，在上述領域上交差配置在 X 方向以及 Y 方向，而結合在交差點構成所謂的網目 (mesh) 狀。此時，至電源配線則沿著上述領域的一邊而配置，或是沿上述領域之鄰接的 2 邊而配置。

第 3，將用於連接主電源配線與副電源配線的開關 M O S 電晶體配置在主電源配線之正下方的領域。

如上述手段，當針對主電源配線分散配置上述開關 M O S 電晶體，則與將開關 M O S 電晶體配置在 1 個位置的情形相比較，可以減小副電源配線的等效配線電阻。而此是因為自成爲次閾值電流之減低對象的 M O S 邏輯電路到最近的開關 M O S 電晶體爲止的距離變短之故。當成爲次閾值電流之減低對象的 M O S 邏輯電路分散於上述矩形內時，若將副電源配線鋪設在矩形領域的短邊方向時，則 1 個副電源配線的長度最多只需要矩形領域之短邊的長度即可，而副電源配線的電阻成分會變得更小。又若將副電源配線構成爲網目狀，而自沿著矩形領域之鄰接的 2 邊的主電源配線的 2 個方向來供電時，則副電源配線的等效配線電阻會變得更小。

若副電源配線的等效電阻變小時，則在上述 M O S 邏輯電路處於可動作的狀態下，在副電源配線上的電壓下降程度會變小。因此，即使是減低次閾值電流，也可以抑制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

上述 MOS 邏輯電路之動作速度降低。又可以達成在處於待機時之半導體積體電路的低消耗電力。

如上所述，當上述主電源配線包含被供給有位準相對較高之第 1 電源電壓的第 1 主電源配線與被供給有位準相對較低之第 2 電源電壓的第 2 主電源配線時，則在上述停止動作的狀態下，與在上述 MOS 邏輯電路的內部被控制成 off 狀態之 p 通道型 MOS 電晶體之源極連接的副電源配線，則會經由上述開關 MOS 電晶體被連接到上述第 1 主電源配線。又，在上述停止動作的狀態下，與在上述 MOS 邏輯電路內部中被控制成 off 狀態之 n 通道型 MOS 電晶體的源極相連接的副電源配線，則經由上述開關 MOS 電晶體被連接到上述第 2 主電源配線。p 通道型 MOS 電晶體之載體的傳導度大約為 n 通道型 MOS 電晶體的 $1/3$ 。因此，在 CMOS 電路等中，p 通道型 MOS 電晶體的通道寬度則被設成 n 通道型 MOS 電晶體的 3 倍。藉此，次閥值電流的發生率，p 通道型 MOS 電晶體較 n 通道型 MOS 電晶體為多。因此，當無法針對 n 通道型以及 p 通道型兩個電晶體同時實施用於減低次閥值電流的對策時，則最好是只針對 p 通道型 MOS 電晶體實施上述對策。

DRAM 等的記憶體，一般大多是將使電源電壓昇壓而成的電壓當作字元線選擇位準來使用。構成以該昇壓電壓作為動作電壓之 MOS 邏輯電路的 MOS 電晶體，雖然其動作電源電壓較其他電路部分之 MOS 電晶體為高，但

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

是閾值電壓則大部分設成與其他電路的MOS電晶體相同，而此是爲了要簡化製造過程。如此一來，則與以昇壓電壓作爲動作電源之MOS電晶體的閾值電壓相對於動作電源變小等效。而此則意味著次閾值電流增加的傾向。根據考慮該點之本發明的半導體積體電路，包含有：在選擇端子連接有字元線的多個記憶格，而配置成陣列狀的多個記憶墊，呈規則地被配置在上述被配置成矩陣狀之記憶墊之間，而選擇性地驅動字元線的字元驅動器，呈規則地被配置在上述被配置成矩陣狀之記憶墊之間，而將字元線驅動電壓供給到上述字元驅動器的多個MOS邏輯電路，除了被連接到上述多個MOS邏輯電路的電源端子外，被配置在X，Y方向，而在交差位置具有結合點的X方向副電源配線以及Y方向副電源配線，被配置在上述X方向副電源配線或是Y方向副電源配線之至少其中一個副電源配線之鋪設方向的主電源配線，以及將自上述X方向副電源配線與Y方向副電源配線中所選出之全部或是一部分之多個副電源配線個別地連接到主電源配線的多個開關MOS電晶體，當上述MOS邏輯電路處於待機狀態下，上述開關MOS電晶體被設成待機狀態，而當上述MOS邏輯電路處於可動作狀態下，上述開關MOS電晶體會被設定成ON狀態。在上述主電源配線則供給有昇壓電壓。上述停止動作狀態則是對應於例如晶片非選擇狀態而指示。

當昇壓電壓被供給到上述主電源配線時，則可以將上述昇壓電壓供給到一源極被連接到上述副電源配線之位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

上述 MOS 邏輯電路內部之 p 通道型 MOS 電晶體的阱領域。藉此，可以利用該 p 通道型 MOS 電晶體的閾值電壓會變高的傾向，根據該點可以減低次閾值電流。

上述字元驅動器，則是以多個字元驅動器為單位，自共同的主字元線接受選擇信號，上述 MOS 邏輯電路，則會根據可自上述多個字元驅動器之中選擇 1 個的解碼信號，而將上述電源配線的字元線驅動位準供給到上述字元驅動器。由於主字元線係針對每多個字元驅動器而配置，因此，主字元之間隔變得比較寬，且將上述副電源配線配置在

第 1 圖係表用於減低半導體積體電路中之次閾值電流之 SCRC 的一例。同圖所示的電路，如 256M~1G 位元以上的 DRAM，由為了要達成高積體化而被微細化之元件的耐壓的觀點，或是由動作的高速化的觀點來看，必須使電路的動作電壓降到 1.5V~2V 左右。在第 1 圖中以 1 所表示的矩形領域即是一配置了以作為次閾值電流之減低對象而受到注目的 MOS 邏輯電路 2 的領域。在該矩形領域 1 雖然實際上也配置了其他的電路元件，但是卻省略了該些的圖示。

在此，上述 MOS 邏輯電路 - 2，雖未特別被限制，但是被設成由 p 通道型 MOS 電晶體 Mp1 與 n 通道型 MOS 電晶體 Mn2 所形成的 CMOS 反相器。以下也將 MOS 邏輯電路 2 稱為 CMOS 反相器 2。該 CMOS 反

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

相器 2，在半導體積體電路的待機狀態下，輸入信號 IN 被固定在高位準，藉此，可以固定接受該 CMOS 反相器 2 之輸出的電路的狀態。上述 CMOS 反相器 2 則呈矩陣狀地被配置在上述矩形領域 1。

沿著上述矩形領域 1 的長邊配置有 X 方向主電源配線 3，4。在 X 方向主電源配線（第 1 之 X 方向主電源配線）3 則供給有位準相對高之如 2 V 般的電源電壓 VDD，而在 X 方向主電源配線（第 2 之 X 方向主電源配線）4 則供給位準相對低之如 0 V 般的接地電壓 VSS。在上述矩形領域 1 之上，則在與上述主電源配線 3，4 交差的方向配置有多個副電源配線 5，6。其中一個副電源配線（第 1 之 Y 方向副電源配線）5，則經由 p 通道型的開關 MOS 電晶體 7 被連接到上述主電源配線 3，而另一個副電源配線（第 2 之 Y 方向副電源配線）6 則直接被連接到上述主電源配線 4。上述開關 MOS 電晶體 7，則根據控制信號 ϕ D 控制其 ON/OFF。

上述 CMOS 反相器 2，則自副電源配線 5，6 得到動作電源。而爲了要與電源電壓 VDD 區分，乃將被供給到副電源配線 5 的電壓稱爲電壓 VDT。在半導體積體電路處於動作狀態下，上述開關 MOS 電晶體 7 被設成 ON 狀。藉此，副電源配線 5 的電壓 VDT 大概與電源電壓 VDD 相等。因此，CMOS 反相器 2 會將電源電壓 VDD 與接地電壓 VSS 當作動作電源而動作。

在半導體積體電路處於待機狀態下，上述 CMOS 反

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(9)

相器 2 的輸入 I N 大約被固定在相等於電源配線電壓 V D D 的高位準。此時，信號 ϕ D 也被設成高位準，開關 M O S 電晶體 7 被設成 o f f 狀態。於是，副電源配線 5 的電壓 V D D 會被設成較主電源配線 3 之電源電壓 V D D 為低。藉此，構成 C M O S 反相器 2 的 p 通道型 M O S 電晶體 M p 1 的源極電壓，則會被設成較閘極電壓為低之逆偏壓狀態，而能夠抑制次閥值電流的發生或是減低次閥值電流的發生。當半導體積體電路自待機狀態被設成可動作狀態時，則與此同步，控制信號 ϕ D 會被設定為低位準。

上述 S C R C 的構造，則是針對主電源配線 3，4 分散配置開關 M O S 電晶體 7。與如第 16 圖所示，將開關 M O S 電晶體集中配置在 1 個位置的情形相比較，可以減小副電源配線 5，6 之等效配線電阻。而此是因為自 C M O S 反相器 2 到最近之開關 M O S 電晶體為止的距離變短之故。如第 1 圖所示，由於副電源配線 5，6 被鋪設在矩形領域 1 的短邊方向，因此，1 個副電源配線 5，6 的長度最多只需到達矩形領域之短邊的長度即可，而使得各副電源配線 5，6 的電阻值變得更小。同樣地，副電源配線 5，6 的寄生電容成分也可以變小。

如此般，若副電源配線 5，6 的等效電阻變小時，則當上述 C M O S 反相器 2 處於可動作狀態下，則在副電源配線 5 之上，會發生電壓 V D T 意外地自電源電壓 V D D 降低，或是副電源配線 6 的電壓自接地電壓 V S S 意外地上昇的情況。因此，即使是減低次閥值電流，在半導體積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

體電路處於動作狀態下，也可以抑制上述CMOS反相器2的動作速度降低。又，由於副電源配線5，6的寄生電容成分（配線電容成分）被減低，因此當上述開關MOS電晶體7成為ON狀態時，可以縮短副電源配線5的電壓V_{DT}回復到電源電壓V_{DD}所需的時間。藉此可以有效地縮短半導體積體電路自待機狀態移到可動作狀態的遷移時間。此外，由於藉由CMOS反相器2可以防止或是減低次閾值電流的發生，因此，可以抑制半導體積體電路處於待機時之無謂的電力消耗。

在第1圖的構成中，當上述開關MOS電晶體7處於off狀態下，由於自主電源配線3將MOS電晶體7的漏電流供給到副電源配線，因此，副電源配線5的位準不會異常地降低。當副電源配線的位準過低時，則使副電源配線5的電壓V_{DT}回復到電源電壓V_{DD}的時間會變長。為了使在半導體積體電路處於待機時之副電源配線5的位準降低情形能夠變得比較小，如第2圖所示，可以將高電阻元件8並列配置在上述開關MOS電晶體7。

第3圖係表在接地電壓V_{SS}側副電源配線6與主電源配線4之間配置n通道型的開關MOS電晶體9時的例子。該例是推測當半導體積體電路處於待機狀態下，CMOS反相器2的輸入I_N被固定在低位準的情形。藉此，在待機狀態下，開關MOS電晶體9被設定為off狀態，而副電源配線6的電壓V_{ST}的位準會較接地電壓V_{SS}為高。結果，成為構成CMOS反相器2之n通道

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(11)

型 MOS 電晶體 M_{n2} 的源極電壓較閘極電壓為高的逆偏壓狀態，而可以抑制在該 MOS 電晶體 M_{n2} 中發生次閥值電流或是減低次閥值電流的發生。至於由主電源配線 3，4 與副電源配線 5，6 之佈局 (layout) 所得到的效果則與第 1 圖的情形相同。

第 4 圖係表成為在待機狀態下之次閥值電流之減低對象的 MOS 邏輯電路為 2 個 CMOS 反相器之串聯電路時的例子。第 4 圖的構成則為由第 1 圖與第 3 圖組合而成的電路。亦即，副電源配線 5a，5b 乃相對於主電源配線 3 呈垂直配置，而副電源配線 6a，6b 則相對於主電源配線 4 呈垂直配置。位在電源電壓 V_{DD} 側之其中一個副電源配線 5a，則經由上述開關 MOS 電晶體 7 被連接到主電源配線 3，而另一個副電源配線 5b 則直接被連接到主電源配線 3。位在接地電壓 V_{SS} 側之其中一個副電源配線 6a 直接被連接到主電源配線 4，而另一個副電源配線 6b，則經由開關 MOS 電晶體 9 被連接到主電源配線 4。前段的 CMOS 反相器 2a，則是以副電源配線 5a，6a 的電壓 V_{DT} ， V_{SS} 作為動作電源而動作。後段的 CMOS 反相器 5a，6a，則是以副電源配線 5b，6b 的電壓 V_{DD} ， V_{ST} 作為動作電源而動作。因此，當半導體積體電路處於待機狀態下，可以抑制 CMOS 反相器 2a 之 p 通道型 MOS 電晶體 M_{p1} 以及 CMOS 反相器 2b 之 n 通道型 MOS 電晶體 M_{n2} 之次閥值電流的發生。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

第5圖係表將第4圖中之接地電壓 V_{SS} 側的副電源配線6a, 6b連接成1條時的例子。亦即, 廢除第4圖中之副電源配線6b與開關MOS電晶體9, 而將後段的CMOS反相器2b的n通道型MOS電晶體 M_{n2} 連接到上述副電源配線6b。在此一構成中, 則未減低後段CMOS反相器2b相對於n通道型MOS電晶體 M_{n2} 的次閾值電流。在此, p通道型MOS電晶體之載體的傳導度大約是n通道型MOS電晶體的 $1/3$ 。因此, 在CMOS電路中, p通道型MOS電晶體的通道寬度則設成n通道型MOS電晶體的3倍。藉此, 次閾值電流的發生率, p通道型MOS電晶體較n通道型MOS為大。因此, 如第5圖所示, 若是只針對前段CMOS反相器2a之p通道型電晶體 M_{p1} 講究減低次閾值電流的對策時, 則在待機時之低消耗電力的目的可以達到某種程度。第5圖的構成, 若是與第4圖的構成相比較, 雖然降低在待機時之消耗電力的能力差, 但是電路構成或是晶片占有面積則較4圖為縮小。

第6圖係表將主電源配線沿著矩形領域之短邊而配置時的例子。此時, 副電源配線5, 6則朝著矩形領域1的長邊方向被配置。與第1圖的構成相比較, 雖然副電源配線5, 6變長, 但是主電源配線3, 4卻變短。由於主電源配線3, 4變短, 因此, 該配線3, 4占用配線領域的面積可以較第1圖為節省。但是在處於可動作狀態下之副電源配線5, 6之意外的電壓下降, 第4圖則較第1圖為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

大。

第 7 圖表係將副電源配線配置成網目 (mesh) 狀的例子。第 7 圖所示之 CMOS 反相器 2，則與第 1 圖同樣地，在半導體積體電路處於待機狀態下，輸入 I_N 被固定在高位準。

沿著上述矩形領域 1 之互相鄰接的 2 邊，則配置有 X 方向主電源配線 3_x ， 4_x 與 Y 方向至電源配線 3_y ， 4_y 。上述主電源配線 3_x 以及 3_y 則互相被結合，且被供給電源電壓 V_{DD} 。又，上述主電源配線 4_x 以及 4_y 則互相被結合，且被供給接地電壓 V_{SS} 。

在上述矩形領域 1，多個 X 方向副電源配線 5_x ， 6_x ，則根據一定的間隔交互地被配置在 X 方向，而多個 Y 方向副電源配線 5_y ， 6_y ，則根據一定的間隔交互地被配置在 Y 方向。X 方向副電源配線 5_x 與 Y 方向副電源配線 5_y ，則在交差點位置被結合，同樣地，X 方向副電源配線 6_x 與 Y 方向副電源配線 6_y ，則在交差點位置被結合。作為上述 MOS 邏輯電路之 CMOS 反相器 2 的 p 通道型 MOS 電晶體 M_{p1} 以及 n 通道型 MOS 電晶體 M_{n2} ，則直接被結合到 X 方向副電源配線 5_x ， 6_x 。

上述 X 方向副電源配線 5_x ，則經由被配列在 Y 方向之 p 通道型的開關 MOS 電晶體 7_y ，而被結合到 Y 方向主電源配線 3_y ，上述 Y 方向副電源配線 5_y ，則經由被配列在 X 方向的 p 通道型的開關 MOS 電晶體 7_x ，而被結合到 X 方向主電源配線 3_x 。在接地電壓 V_{SS} 側的主

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(14)

電源配線 4 x , 4 y 則直接被連接地上述副電源配線 6 y , 6 x 。

上述開關 MOS 電晶體 7 x , 7 y , 則根據上述控制信號 ϕ D 而被控制, 在半導體積體電路處於待機狀態下被設成 off 狀態, 而在半導體積體電路處於可動作狀態下被設成 ON 狀態。

在上述構成中, 副電源配線 5 x , 5 y , 6 x , 6 y 之佈局形態有 2 種。第 1 , 在電源電壓側的電源配線 5 x 以及 5 y 利用 1 個配線層 (例如第 3 層的金屬配線層), 而在接地電壓側的副電源配線 6 x , 6 y 則利用其他的配線層 (例如第 2 層的金屬配線層)。第 2 , Y 方向 (縱方向) 的副電源配線 5 y , 6 y 利用 1 個配線層 (例如第 3 層的金屬配線層), X 方向 (橫方向) 的副電源配線 5 x , 6 x , 則利用其他的配線層 (例如第 2 層的金屬配線層)。當為後者時, 則在副電源配線 5 x 與 5 y 的交點, 以及 6 x 與 6 y 的交點則設有通孔, 而將配線彼此連接。

在上述的例中, 在交差位置互相被結合之副電源配線 5 x , 5 y , 由於經由開關 MOS 電晶體 7 x , 7 y 自 2 個方向供電, 因此與第 1 圖的構成相比較, 副電源配線 5 x , 5 y 的等效的電阻成分以及電容成分可以變小。因此, 更可以提高在處於可動作狀態下之 CMOS 反相器 2 的高速動作, 以及自待機狀態到可動作狀態的時間縮短效果。至於其他的作用以及效果, 由於與第 1 圖的情形相同, 因此省略其詳細的說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(15)

第 8 圖係表根據佈局 (layout) 上的限制而簡化第 7 圖之構成的說明圖。如第 7 圖所示，雖然理想上，開關 M O S 電晶體 7 x , 7 y 要針對各副電源配線 5 x , 5 y 來設置，但是因為佈局上的限制而導致不可能辦到時，則可以省略第 7 圖之構成的一部分。例如，如第 8 圖所示，將主電源配線 3 x , 4 x 只設在 1 個方向，而每隔 1 個副電源配線 5 y 設置開關 M O S 電晶體 7 x 。此時，副電源配線，則與第 7 圖同樣地，藉由 5 x , 6 x , 5 y , 6 y 而構成網目狀。由於副電源配線 5 x , 6 x , 5 y , 6 y 構成網目狀，因此即使開關 M O S 電晶體 7 x 的數目變少，藉由到 C M O S 反相器 2 的電流供給通路多數被確保，即使是與第 1 圖的構成相比較，副電源配線的等效的電阻成分以及電容成分則不致於過大。

第 9 圖係表上述開關 M O S 電晶體 7 之佈局的一例。開關 M O S 電晶體 7 則被形成在主電源配線 3 之正下方的領域。在開關 M O S 電晶體 7 中，S 為源極、D 為汲極、G 為閘極。

如此般，藉著將開關 M O S 電晶體 7 形成在主電源配線 3 的正下方，可以節省晶片面積。換言之，在不增加晶片面積的情形下，可以配置尺寸較大之開關 M O S 電晶體 7 。此外，開關 M O S 電晶體 7 x 相對於主電源配線 3 x 的配置，以及開關 M O S 電晶體 7 y 相對於主電源配線 3 y 的配置，則也可以同樣地構成。

第 10 圖係表應用本發明之 D R A M 之整體的方塊圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(16)

。同圖所示的 D R A M，則被形成在如單晶矽般的 1 個半導體基板 10。第 10 圖所示之電路方塊的配置即是 D R A M 之佈局的例子。在半導體基板 10 的中央部則配置周邊電路 14，而在其上下則配置多數的記憶體陣列部 11、行解碼器部 13、列解碼器部 12、周邊電路部 15 以及周邊電路部 16。

在記憶體陣列部 11 則呈矩陣狀配置多個動態型的記憶格。列解碼器部則對列位址信號實施解碼，而產生用於選擇與記憶格之選擇端子結合之字元線的選擇信號。行解碼器部 13，則對行位址信號實施解碼，而選擇與上述記憶格之資料輸出入端子結合的位元線。周邊電路部 14、15、16 包含位址輸入緩衝器、資料輸入緩衝器，以及時序控制器等，而對 D R A M 實施整體的控制。

該 D R A M，用於減低上述次閾值電流之 S C R C 所適用的電路則被配置在記憶體陣列部 11。在該例中，適用 S C R C 之電路的高電位側電源為字元線驅動用的昇壓電壓 V P P。昇壓電壓 V P P 係藉由昇壓電路 20 將相當於電源電壓 V D D 的外部電源昇壓而形成。該昇壓電路 20 被配置在周邊電路部 14。被供給有上述昇壓電路 V P P 的上述主電源配線與 S C R C 用的開關 M O S 電晶體，則被形成於在第 10 圖之列解碼電路部 12 以及周邊電路部 14 之中所示經實施陰影的領域 21、22。在記憶體陣列部 11 的上層則將上述副電源配線形成為網目 (mesh) 狀。至於該些的構造，之後會加以詳細地說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

主電源配線與開關MOS電晶體的配置並不限於上述的情形，若是配置在周邊電路15、16之中，行解碼器部13之中以及半導體基板10的周緣部時，則可以自4個方向對網目狀的副電源配線來供電，更可以減小副電源配線之等效配線電阻以及等效的電容成分。

第11圖係表上述記憶體陣列部11的一例。記憶體陣列部11乃將記憶墊30、感測放大器部(SA)32、副字元驅動器部(SWD)31以及MOS邏輯電路33則多數呈規則地被配置成陣列狀。上述MOS邏輯電路33則將昇壓電壓VPP當作驅動電壓供給到副字元驅動器31。

在記憶墊30則呈矩陣狀配置有多個動態型記憶格。感測放大器部32則包含多個以反折位元線形式成地被結合於連接到記憶格之資料輸出入端子的互補位元線的感測放大器。副字元驅動器部31則包含多個可以將連接到記憶格之選擇端子的副字元線選擇性地驅動在選擇位準的副字元驅動器。

至於副字元驅動器部31以及MOS邏輯電路33的構成則之後會詳細地說明。副字元驅動器31則經由MOS邏輯電路33被供給有輸出到副字元線的選擇位準，該選擇位準為上述昇壓電壓VPP。構成MOS邏輯電路33之MOS電晶體的閾值電壓則被設成與記憶體陣列部11之其他的MOS電晶體相同。因此，該MOS邏輯電路33的高電位側動作電源(昇壓電壓VPP)的位準

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(18)

則設成較記憶體陣列部 11 之其他的 MOS 電晶體為高。換言之，構成 MOS 邏輯電路 33 之 MOS 電晶體相對於電源配線的閾值電壓，則設成較記憶體陣列部 11 之其他的 MOS 電晶體為小。又，在記憶體陣列部 11 中，在包含連接到電源之 MOS 電晶體的電路之中，上述 MOS 邏輯電路 33 的數目則占了其大半。

考慮上述事情，在該例中，在上述 MOS 邏輯電路 33 中的 CMOS 反相器則當作 SCRC 的對象。在第 11 圖之 DRAM 的待機狀態，例如晶片的非選擇狀態下，則 MOS 邏輯電路 33 中之 CMOS 反相器的輸入則被固定在高位準（該 CMOS 反相器之 p 通道型 MOS 電晶體則被設成 off 狀態）。亦即，相對於 MOS 邏輯電路 33 中之 CMOS 反相器的 SCRC 構成，則是針對高電位側電源被實施。對於第 11 圖之 MOS 邏輯電路 33 中的 CMOS 反相器供給動作電源則可以利用第 7 圖的構成。在第 11 圖中只代表性地表示對 MOS 邏輯電路 33 中之 CMOS 反相器供給高電位側電源的路徑。

在第 11 圖中，記憶體陣列部 11 被設成矩形領域， $43x$ 為被配置在記憶體陣列部 11 之 X 方向的 X 方向主電源配線， $43y$ 為被配置在 Y 方向的 Y 方向主電源配線，而針對該些則供給自上述昇壓電路 20 而輸出的昇壓電壓 V_{PP} 。 $45y$ 為在記憶體陣列部 11 之上被配置在 Y 方向的 Y 方向副電源配線， $45x$ 為在記憶體陣列部 11 之上被配置在 X 方向的 X 方向副電源配線。X 方向副電源

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(19)

配線 4 5 x 與 Y 方向副電源配線 4 5 y 則在交差位置互相地被結合。X 方向副電源配線 4 5 x 經由開關 MOS 電晶體 4 7 y 被連接到主電源配線 4 3 y，Y 方向副電源配線 4 5 y 則經由開關 MOS 電晶體 4 7 x 被連接到主電源配線 4 3 x。開關 MOS 電晶體 4 7 x，4 7 y，在 D R A M 之待機狀態下則被設成 o f f 狀態。V P T 則意味著副電源配線 4 5 x，4 5 y 的電壓。因此，在 D R A M 處於待機狀態下，電壓 V P T 被設成較昇壓電壓 V P P 為低。在 D R A M 處於可動作狀態下，電壓 V P T 被設成昇壓電壓 V P P。利用該網目狀副電源配線網之 S C R C 構成的基本的作用效果，由於與第 7 圖中所說明的內容相同，因此省略其詳細的說明。

第 1 2 圖係表 D R A M 之主副字元線構造的電路形式。M W B 為主字元線、S W 為副字元線。主字元線 M W B 係為被配列在橫方向的多個記憶墊 3 0 所共用。副字元線 S W 則針對各記憶墊 3 0 配置多個。在選擇副字元線 S W 時所使用的信號，則被設成被傳達到主字元線 M W B 的選擇信號與預解碼信號 F X B 0 ~ F X B 7。其中一個記憶墊 3 0，上述預解碼信號則分成 F X B 0、F X B 2、F X B 4、F X B 6 的組以及 F X B 1、F X B 3、F X B 5、F X B 7 的組來使用，而被個別地供給到在記憶墊 3 0 的左右，分別 4 個為一單位的副字元驅動器 5 1。主字元線 M W B，在該記憶墊 3 0 中，則被共同連接到以 4 個為一單位的副字元驅動器 5 1。被驅動於選擇位準

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(20)

的主字元線 M W B，則會在各記憶墊中，在左右方向，選擇 8 個為一組之副字元線 S W 的一組，而可以將預解碼信號 F X B 0 ~ F X B 7 視為自 8 個為一組的副字元線 S W 之中選擇出 1 個副字元線 S W 的信號。此外，上述預解碼信號 F X B 0 ~ F X B 7，則是自上述周邊電路 1 4 中之未圖示的預解碼器而輸出。預解碼器則會針對位址信號的一部分實施解碼，且產生上述預解碼信號 F X B 0 ~ F X B 7。此外，主副字元線構造，亦即，對於階層化字元線方式的詳細內容，則記載於例如 ESSCIRC Dig Tech. Papers Sep. 1992. Pp131-1340。

第 1 3 圖係表上述列解碼器部 1 2 之詳細的一例。列解碼器部 1 2 為左右的記憶體陣列部 1 1 所共用。墊選擇電路 5 0，則利用位址信號的一部分來選擇左右一對的記憶墊 3 0。列解碼器部 5 1 則針對位址信號的一部分實施解碼，而產生主字元線 M W B 的選擇信號。主字元驅動器部 5 2，則針對各主字元線 M W B 具有主字元驅動器 5 2 0，而以 1 對 1 對應的方式將上述主字元線的選擇信號供給到各主字元驅動器 5 2 0。

第 1 1 圖所示之上述副電源配線 4 5 y 則利用第 3 層的金屬配線層（與行解碼器部 1 3 的輸出線同一層的配線層），而第 2 層的金屬配線層（與主字元線 M W B 同一層的配線層）。行解碼器部 1 3 的輸出線以及主字元線的配線間距，一般與配線的最小加工尺寸相比較具有裕餘度。根據第 1 2 圖，此是因為主字元線 M W B 係針對每 8 個副

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(21)

字元線 S W 被配置，而副字元線 S W 則為例如由多矽配線層等而構成之故。因此，若是追加新的配線層，即使是不特別地設置副電源配線專用的領域，也可以配置副電源配線 4 5 x，4 5 y。副電源配線 4 5 x 與 4 5 y 則藉由通孔被連接。因此，在不增加製造過程的數目或是晶片尺寸的情況下，可以將副電源配線 4 5 x，4 5 y 呈網目狀地配置在記憶體陣列部 1 1 中。藉此，與上述同樣地，可以減低副電源配線的電壓降低程度，而能夠達成電路動作的高速化。在第 1 1 圖中雖然是省略掉圖示，但是接地電壓 V S S 側的副電源配線也相同。

第 1 4 圖係表上述副字元驅動器 3 1 以及 M O S 邏輯電路 3 3 之周邊的電路構成。M O S 邏輯電路 3 3 具有可以將動作電源供給到副字元驅動器 5 1 的 C M O S 反相器 5 0。C M O S 反相器 5 0 則將副解碼信號 F X 0 B，F X 2 B，... 反轉而產生信號 F X 0，F X 2，...。上述信號 F X 0 B，F X 2 B，...、F X 0，F X 2，... 的高位準均為昇壓電壓 V P P，低位準則為接地電壓 V S S。C M O S 驅動器 5 0 係由 p 通道型 M O S 電晶體 M p 3 與 n 通道型 M O S 電晶體 M n 4 所構成。

副字元驅動器 5 1 後藉由 p 通道型 M O S 電晶體 M p 5 與 n 通道型 M O S 電晶體 M n 6，M n 7 而成為 N O R 閘而構成。而將對應的預解碼信號 F X 0 B，F X 2 B，... 供給到 M O S 電晶體 M n 7 的閘極。且將對應主字元線 M W B 連接到 M O S 電晶體 M p 5，M n 6

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(22)

的閘極。副字元驅動器 51 則只限於當對應於此之主字元線 M W B 為低位準，而對應於此的信號 F X 0 B，F X 2 B，……為低位準（F X 0，F X 2，……為高位準）時，才會將副字元線 S W 驅動到與昇壓電壓 V P P 相等的電壓 V P T。電壓 V P T，則當作 C M O S 反相器 50 中的高位準的輸出 F X 0，F X 2，……而被供給到副字元驅動器 51。

在 D R A M 處於待機狀態下，則將信號 F X 0 B，F X 2 B，……設成高位準（= V P P），將 F X 0，F X 2，……設成低位準。因此，次閥值電流會有流向構成 C O P 反相器 50 之 p 通道型 M O S 電晶體 M p 3 的傾向。此時，該 M O S 電晶體 M p 3 的源極則被連接到副電源配線 45 x，副電源配線 45 x 則經由開關 M O S 電晶體 47 y 被連接到主電源配線 43 y。即使是處於待機狀態下，也會將昇壓電壓 V P P 供給到主電源配線 43 y。在待機時，則將開關 M O S 電晶體 47 y，47 x 控制成 o f f 狀態。由於在待機時，電壓 V P T 會較昇壓電壓 V P P 降低，因此，M O S 電晶體 M p 3 的閘極電位會變得較源極電位為高，而抑制次閥值電流。此外，在第 14 圖中，以 46 x，46 y 表示者則為在第 11 圖中省略掉圖示之接地電壓 V S S 側的副電源配線。

在第 14 圖的構成中，在上述 p 通道型 M O S 電晶體 M p 3 的背閘（back gate），亦即，n 型阱領域，則不供給電壓 V P T，而是供給昇壓電壓 V P P。而此是因為當

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(23)

在待機狀態下，若電壓 V_{PT} 的電位下降時，則在該 MOS 電晶體 M_{p3} 會施加背閘偏壓 (back gate bias)，上述 MOS 電晶體 M_{p3} 的閾值電壓會變低 (閾值電壓的絕對值會變大)，而有使次閾值電流減少之作用之故。而將昇壓電壓 V_{PP} 當作上述背閘偏壓電壓而供給的電源配線 $48x$ ， $48y$ 則設成爲此所專用。由於不需要供給大的電流，因此，即使其配線電阻稍微變大也不會造成障礙，在此，上述電源配線 $48x$ ， $48y$ 的配線寬度可以設成較供給電壓 V_{PT} 的副電源配線 $45x$ ， $45y$ 爲細，藉此可以節省晶片的占有面積。

在第 14 圖中，52 爲動態型的記憶格，其選擇端子被連接到副字元線 SW ，而其資料輸出入端子則被連接到互補位元線 BL ， BLB 。

53 所示者則爲感測放大器部 32 中的感測放大器，感測放大器 53 則針對各互補位元線 BL ， BLB 而設，而放大互補位元線 BL ， BLB 之間的微小電位差。上述互補位元線 BL ， BLB 則經由行選擇閘 54 被連接到共同資料線 IO 、 IOB 。該行選擇閘 54，則爲自上述行解碼器部 13 所輸出之行選擇信號 YS 所控制。

在第 13 圖中，則是以配置有 SCRC 用之開關 MOS 電晶體 $47y$ 的領域 22 爲中心，而將上述墊選擇電路 50，列解碼器部 51，主字元驅動器 52 配置在左右方向。上述副電源配線 $45x$ 是由與主字元線 MWB 同一層的配線層所形成，而被配線在位於主字元線 MWB 之

(請先閱讀背面之注意事項再填寫本頁)

張

訂

五、發明說明(24)

間的剩餘領域。上述開關MOS電晶體47y則為左右的記憶體陣列部11所共用，由於左右記憶體陣列部11不能同時被選擇，因此可以將開關MOS電晶體47y的通道寬度設成可將電源供給到其中一個記憶體陣列部11的大小。因此，即使是開關MOS電晶體47y為左右記憶體陣列部11所共用的構成方式，也不需要將該MOS電晶體47y的通道寬度設為2倍。

第15圖係表記憶墊30之部分的斷面圖。在第15圖中，60為p型基板、61為元件分離用氧化膜、62為n型擴散層、63當作位元線BL，BLB被使用之第1層的金屬配線層。此外，副字元線SW則通過紙面的面前或是裏面，並未出現在該圖。

在此，記憶格係使用積層電容器的形式，係由積蓄電極64，對向電極65以及位在中間的絕緣膜（未圖示）而形成上述電容器。66為層間絕緣膜，69為第2層的金屬配線層，而當作副電源配線45x的配線來使用。又雖然未圖示，主字元線MWB也是由第2層的金屬配線層所形成，而配線成與副電源配線45x呈平行。70為第3層的金屬配線層，而當作副電源配線45y以及自行解碼器所輸出之行選擇信號YS的配線來使用。69為形成於層間絕緣膜68的通孔，而將副電源配線彼此以加以連接。至於在接地電壓側的副電源配線46x，46y也相同。71為表面保護膜。

行選擇信號YS信號配線，大多是以針對2對或4對

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (25)

的互補位元線設置 1 條的比例來設置。亦即，以針對 4 個或 8 個第 1 層的金屬配線層設置 1 個的比例來形成行選擇信號配線。因此，即使第 3 層的金屬配線層與第 1 層的金屬配線層相比較，考慮到最小加工尺寸稍大的因素，一般而言在配線間距仍會有裕餘度，而副電源配線等的其他的配線也可以通過行選擇信號線 Y S 之配線之間。

如此般，由於副電源配線 4 5 x，4 5 y，4 6 x，4 6 y 係由與主字元線 M W B 或是行選擇信號 Y S 的配線同一個配線層所形成，因此即使是不增加新的配線層，也可以實施網目狀配線。

以上雖然是根據實施形態來具體地說明本發明人所提出之發明，但是本發明並不限於此，當然在不脫離其要旨的範圍內，可以進行各種的變更。例如，作為 S C R C 之對象的 M O S 邏輯電路，並不限於 C M O S 反相器，也可以變更成適當的電路。又上述 M O S 邏輯電路並不限於 C M O S 電路，也可是一利用 n 通道型 M O S 電晶體的推挽 (push-pull) 電路。當將本發明應用在 D R A M 上時，S C R C 的對象並不限於 C M O S 反相器 5 0，也可以適用在主字元驅動器的電源供給用電路或是行解碼器之電源供給用電路部分等。

本發明除了 S R A M (Static Random Access Memory) 或 R O M (Read Only Memory) 等其他的記憶體外，更適用於邏輯 L S I 等之各種的半導體積體電路。本發明可以廣泛地適用於試圖減低次閾值電流與促進動作高速化的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(26)

半導體積體電路上。

由本發明所揭露之發明中的代表例所得到的效果，簡單來說如下。

亦即，將用於對主電源配線與副電源配線選擇性地連接的開關MOS電晶體針對1個主電源配線分散地配置多個。如此一來，若是針對主電源配線分散配置上述開關MOS電晶體時，則與將開關MOS電晶體配置在1個位置的情形相比較，可以減小副電源配線的等效配線電阻。又，在將副電源配線設成網目狀，而自沿著矩形領域之鄰接的2邊的主電源配線的2個方向來供電時，則副電源配線的等效配線電阻會變得更小。若副電源配線的等效電阻變小時，則當上述MOS邏輯電路處於可動作狀態時，在副電源配線上的電壓下降程度會變小。因此，即使是減低次閾值電流，也可以抑制上述MOS邏輯電路之動作速度的降低程度，藉此，在待機時，可以使半導體積體電路達成低消耗電力的目的。

圖面之簡單說明

第1圖係表用於減低在半導體積體電路中之次閾值電流的SCRC的一例的電路圖。

第2圖係將可以使在待機狀態下之副電源配線之位準降低情形比較變小之構造附加在第1圖之構造中的電路圖。

第3圖係表在接地電壓側之副電源配線與主電源配線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(27)

之間配置 n 通道型之開關 MOS 電晶體的 SCRC 的一側的電路圖。

第 4 圖係表在將成為待機狀態下之次閾值電流的減低對象的 MOS 邏輯電路設成 2 個 CMOS 反相器之串聯電路時之 SCRC 的一例的電路圖。

第 5 圖係表減少在第 4 圖之接地電位側之副電源配線之數目的 SCRC 的一側的電路圖。

第 6 圖係表將主電源配線沿著矩形領域之短邊而配置之 SCRC 的一例的電路圖。

第 7 圖係表將副電源配線配置成網目 (mesh) 狀之 SCRC 的一例的電路圖。

第 8 圖係表藉由在配置上的限制而簡化第 7 圖之構造的電路圖。

第 9 圖係表開關 MOS 電晶體之配置的一例的平面圖。

第 10 圖係表適用本發明之 SCRC 之構造之 DRAM 的整體的方塊圖。

第 11 圖係表在第 10 圖之 DRAM 中之記憶體陣列部分之一例的方塊圖。

第 12 圖係表在第 10 圖之 DRAM 中之主副字元線構造之一例的邏輯電路圖。

第 13 圖係表在第 10 圖之 DRAM 中之行解碼器之一例的方塊圖。

第 14 圖係表在第 10 圖之 DRAM 中之上述副字元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(28)

驅動器部分以及MOS邏輯電路附近之一例的電路圖。

第15圖係表在第10圖之DRAM中之記憶墊之部分的斷面圖。

第16圖係表本發明人先前檢討之SCRC之一例的電路圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 半導體積體電路)

本發明可以減少在用於減低次閾值(subthreshold Current)電流之副電源配線上的電壓下降情形，且藉此可以防止邏輯電路之動作速度降低。

沿者也可成為次閾值電流之減低對象的MOS邏輯電路(2)在內的矩形領域(1)的一邊配置主電源配線(3, 4)，副電源配線(5, 6)則在該領域(1)上，多個被配置在與上述主電源配線(3, 4)呈垂直相交的方向上。將副電源配線(5)選擇性地與主電源配線(3)導通的開關MOS電晶體(7)，則針對主電源配線(3)分散配置多個。當相對於主電源配線分散配置上述開關MOS電晶體時，則與將開關MOS電晶體配置在1個位置的情形相比較，可以減小副電源配線的等效配線電阻。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路，其特徵在於：包括：被形成在半導體基板上之矩形領域，的MOS邏輯電路，沿著作為上述矩形領域之緣邊部分的上述矩形的長邊被配置的主電源配線，在上述矩形領域內，被配置在與上述主電源配線呈垂直相交之方向上的多個副電源配線，以及分別將上述副電源配線連接到上述主電源配線的多個切換

MOS電晶體，在被連接到上述副電源配線的上述MOS邏輯電路處於停止動作的狀態下，上述切換MOS電晶體會被設成off狀態，而在被連接到上述副電源配線的上述MOS邏輯電路處於可動作的狀態下，上述切換MOS電晶體被設成ON狀態。

2. 如申請專利範圍第1項之半導體積體電路，上述切換MOS電晶體如為上述主電源配線所覆蓋般地被配置。

3. 如申請專利範圍第1項或第2項之半導體積體電路，上述主電源配線包含被供給第1電源電壓的第1主電源配線與被供給位準較上述第1電源電壓為低之第2電源電壓的第2主電源配線，在上述MOS邏輯電路中，一定的MOS邏輯電路包含p通道型MOS電晶體，而被結合到在上述停止動作的狀態下被控制成off狀態之上述p通道型MOS電晶體之源極的一定的副電源配線，則經由所對應之切換MOS電晶體被連接到上述第1主電源配線。

4. 如申請專利範圍第3項之半導體積體電路，在上

六、申請專利範圍

述 M O S 邏輯電路中，一定的 M O S 邏輯電路包含 N 通道型 M O S 電晶體，而被結合到在上述停止動作的狀態下被控制成 o f f 狀態之上述 N 通道型 M O S 電晶體之源極的一定的副電源配線，則是經由對應的切換 M O S 電晶體被連接到上述第 2 主電源配線。

5 . 一種半導體積體電路，其特徵在於：包括：被形成在半導體基板上之矩形領域內的多個 M O S 邏輯電路，沿著上述矩形領域之 X 方向的一邊被配置的 X 方向主電源配線，在上述矩形領域內，被配置在 Y 方向的多個 Y 方向電源配線，以及分別將上述 X 方向主電源配線連接到上述 Y 方向副電源配線的 X 方向切換電晶體，上述 X 方向切換 M O S 電晶體如為上述 X 方向主電源配線所覆蓋般地被配置，當經由上述 Y 方向副電源配線被供給電源之上述 M O S 邏輯電路處於停止動作的狀態下，上述 X 方向切換 M O S 電晶體被設成 o f f 狀態，而當經由上述 Y 方向副電源配線被供給電源之上述 M O S 邏輯電路處於可動作的狀態下，上述 X 方向切換 M O S 電晶體被設成 O N 狀態。

6 . 一種半導體積體電路，其特徵在於：被形成在半導體基板上之矩形領域內的多個 M O S 邏輯電路，在上述矩形領域內，被配置在 X 方向的多個 X 方向副電源配線，在上述領域內被配置在 Y 方向，而在與上述 X 方向副電源配線的交差部分被結合之多個 Y 方向副電源配線，沿著上述矩形領域之 X 方向的一邊被配置的 X 方向主電源配線，以及將上述 Y 方向副電源配線連接到上述 X 方向主電源配

六、申請專利範圍

線的多個 X 方向切換 M O S 電晶體，上述 M O S 邏輯電路，乃經由上述 Y 方向副電源配線或是上述 X 方向副電源配線而被供給，在上述 M O S 邏輯電路處於停止動作的狀態下，上述 X 方向切換 M O S 電晶體被設成 o f f 狀態，而在上述 M O S 邏輯電路處於可動作的狀態下，上述 X 方向切換 M O S 電晶體被設成 O N 狀態。

7 . 如申請專利範圍第 6 項之半導體積體電路，更包含沿著上述矩形領域之 Y 方向的一邊被配置的 Y 方向主電源配線，以及將上述 X 方向副電源配線連接到上述 Y 方向主電源配線的多個 Y 方向切換 M O S 電晶體，上述 Y 方向切換 M O S 電晶體，在上述 M O S 邏輯電路處於停止動作的狀態下會被設成 o f f 狀態，而在上述 M O S 邏輯電路處於可動作的狀態下會被設成 O N 狀態。

8 . 如申請專利範圍第 6 項之半導體積體電路，上述 X 方向切換 M O S 電晶體如為上述 X 方向主電源配線所覆蓋般地被配置。

9 . 如申請專利範圍第 7 項之半導體積體電路，上述 X 方向切換 M O S 電晶體係如為上述 X 方向主電源配線所覆蓋般被配置，而上述 Y 方向切換 M O S 電晶體係如為上述 Y 方向主電源配線所覆蓋般地被配置。

1 0 . 如申請專利範圍第 6 項之半導體積體電路，上述 X 方向主電源配線包含被供給第 1 電源電壓的第 1 X 方向主電源配線與被供給位準較上述第 1 電源電壓為低之電源電壓的第 2 X 方向主電源配線，在上述 M O S 邏輯電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

中，一定的MOS邏輯電路包含p通道型MOS電晶體，而與在處於上述停止動作狀態下會被控制成off狀態之上述p通道型MOS電晶體的源極導通的一定的T方向副電源配線，則經由對應的切換MOS電晶體連接到上述第2X方向主電源配線。

11. 如申請專利範圍第10項之半導體積體電路，上述MOS邏輯電路中，一定的MOS邏輯電路包含N通道型MOS電晶體，而與在處於上述停止動作的狀態下被控制成off狀態狀態之上述N通道型MOS電晶體之源極導通的一定的Y方向副電源配線，則經由對應的切換MOS電晶體被連接到上述第2X方向主電源配線。

12. 如申請專利範圍第7項之半導體積體電路，上述X方向主電源配線包含被供給第1電源電壓的第1X方向主電源配線與被供給位準較上述第1電源電壓為低之第2電源電壓的第2X方向主電源配線，上述MOS邏輯電路分別包含p通道型MOS電晶體，而與在處於上述停止動作的狀態下被控制成off狀態的上述p通道型MOS電晶體的源極導通的Y方向副電源配線，則經由對應的X方向切換MOS電晶體被連接到上述第1X方向主電源配線，而與被控制成off狀態之上述p通道型MOS電晶體的源極導通的X方向副電源配線，則經由對應的Y方向切換MOS電晶體被連接到上述第1Y方向主電源配線。

13. 如申請專利範圍第12項之半導體積體電路，與在處於上述停止動作的狀態下被控制成off狀態之上

六、申請專利範圍

述 N 通道型 M O S 電晶體的源極導通的 Y 方向副電源配線，則經由對應的切換 M O S 電晶體被連接到上述第 2 X 方向主電源配線，而 X 方向副電源配線，則經由對應的 Y 方向切換 M O S 電晶體被連接到上述第 2 Y 方向主電源配線。

1 4 . 一種半導體積體電路，其特徵在於：包括：包含多個字元線被連接到選擇端子的記憶格，而被配置成陣列狀的多個記憶墊，呈規則地被配置在上述呈陣列狀配置之記憶墊之間，而選擇性地驅動字元線的字元驅動器，呈規則地被配置在上述呈陣列狀配置之記憶墊之間，而將字元線驅動電壓供給到上述字元驅動器的多個 M O S H 邏輯電路，除了與上述多個 M O S 邏輯電路的電源端子連接外，且被配置在 X，Y 方向而在交差部具有結合點的 X 方向副電源配線以及 Y 方向副電源配線，被配置在上述 X 方向副電源配線或 Y 方向副電源配線之至少其中一者之副電源配線之鋪設方向的主電源配線，以及將自上述 X 方向副電源配線與 Y 方向副電源配線中所選出之多個副電源配線連接到主電源配線的多個切換 M O S 電晶體，在上述 M O S 邏輯電路處於待機狀態下，上述切換 M O S 電晶體被設成 o f f 狀態，而在上述 M O S 邏輯電路處於可動作狀態下，上述切換 M O S 電晶體被設成 O N 狀態。

1 5 . 如申請專利範圍第 1 4 項之半導體積體電路，上述字元驅動器乃根據多個字元驅動器單元，自共同的主字元線接受選擇信號，上述 M O S 邏輯電路，則根據自上

六、申請專利範圍

述多個字元驅動器之中選擇1個的解碼信號，將上述副電源配線的字元線驅動位準供給到上述字元驅動器，而上述副電源配線則被形成在與上述主字元線同一個配線層上。

16．如申請專利範圍第15項之半導體積體電路，將昇壓電壓供給到上述主電源配線，而在源極被連接到上述副電源配線之上述MOS邏輯電路內部的p通道型MOS電晶體的阱領域，則供給上述昇壓電壓。

17．如申請專利範圍第14項之半導體積體電路，上述停止動作狀態係對應於晶片非選擇狀態而被指示。

18．如申請專利範圍第14項或第15項之半導體積體電路，X方向副電源配線與Y方向副電源配線的上述結合點係被配置在上述記憶墊之上。

19．如申請專利範圍第14項或第18項之半導體積體電路，上述記憶格係動態型記憶格

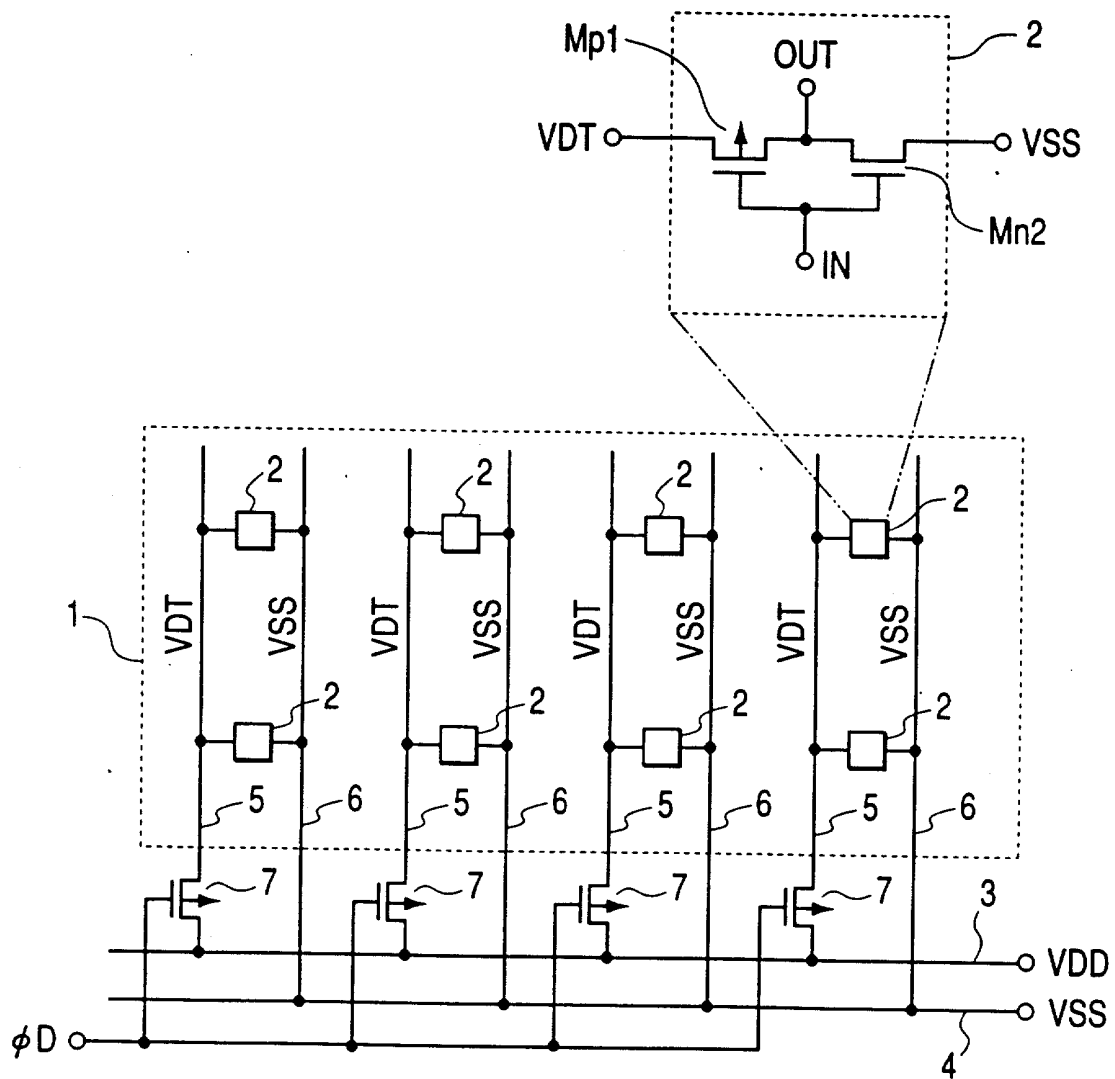


(請先閱讀背面之注意事項再填寫本頁)

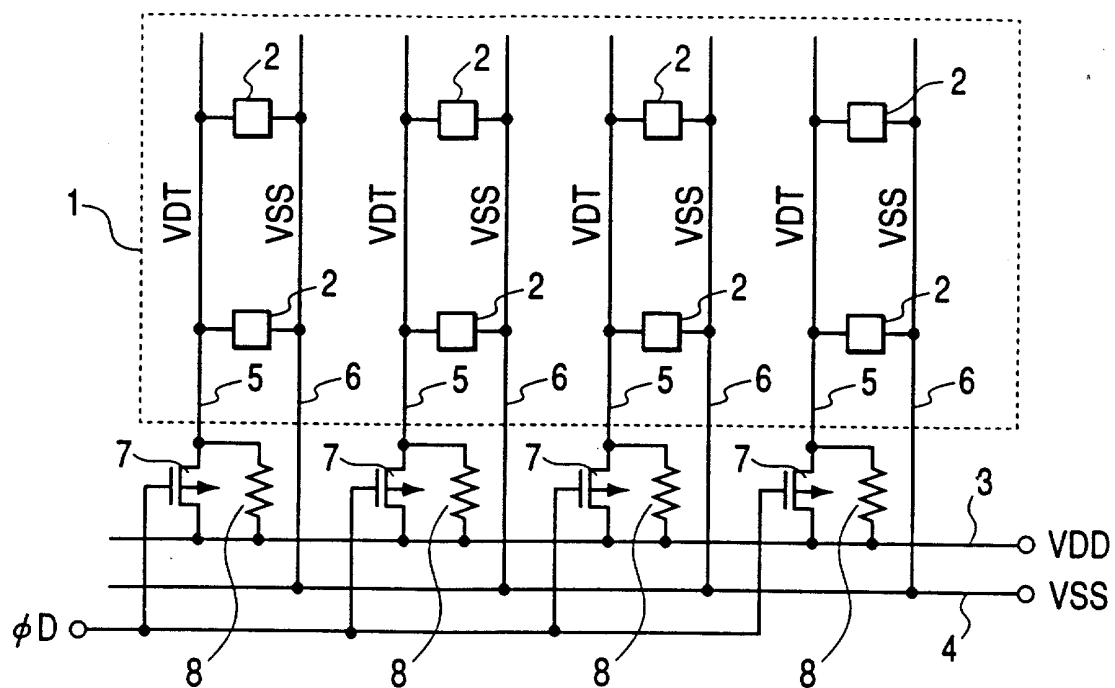
裝

訂

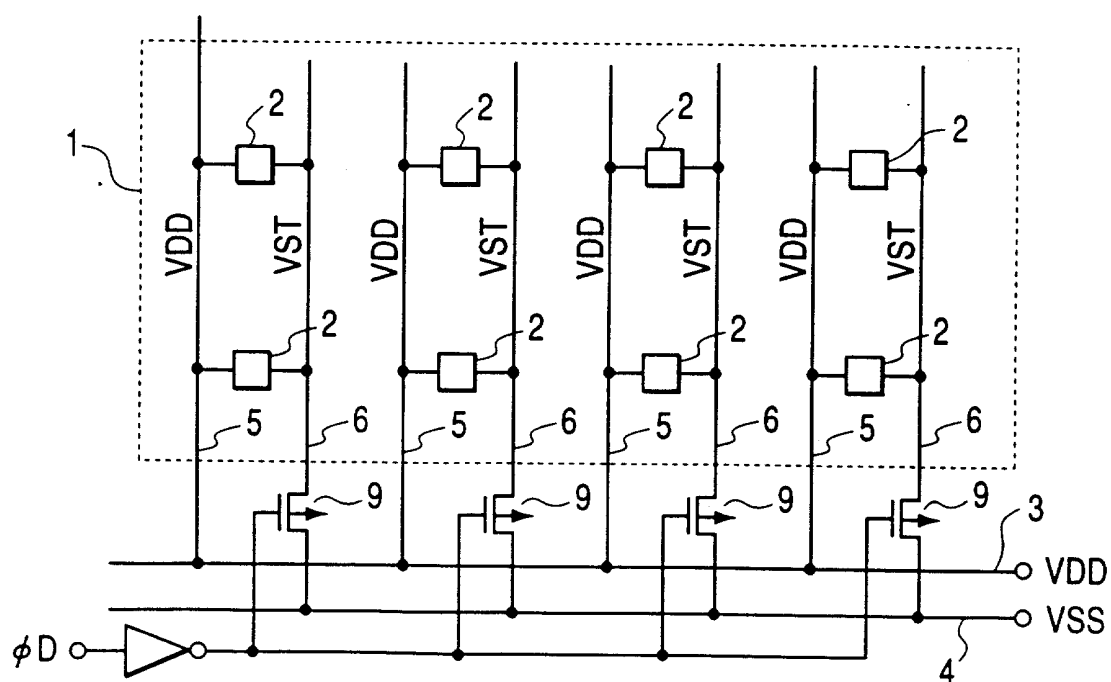
線



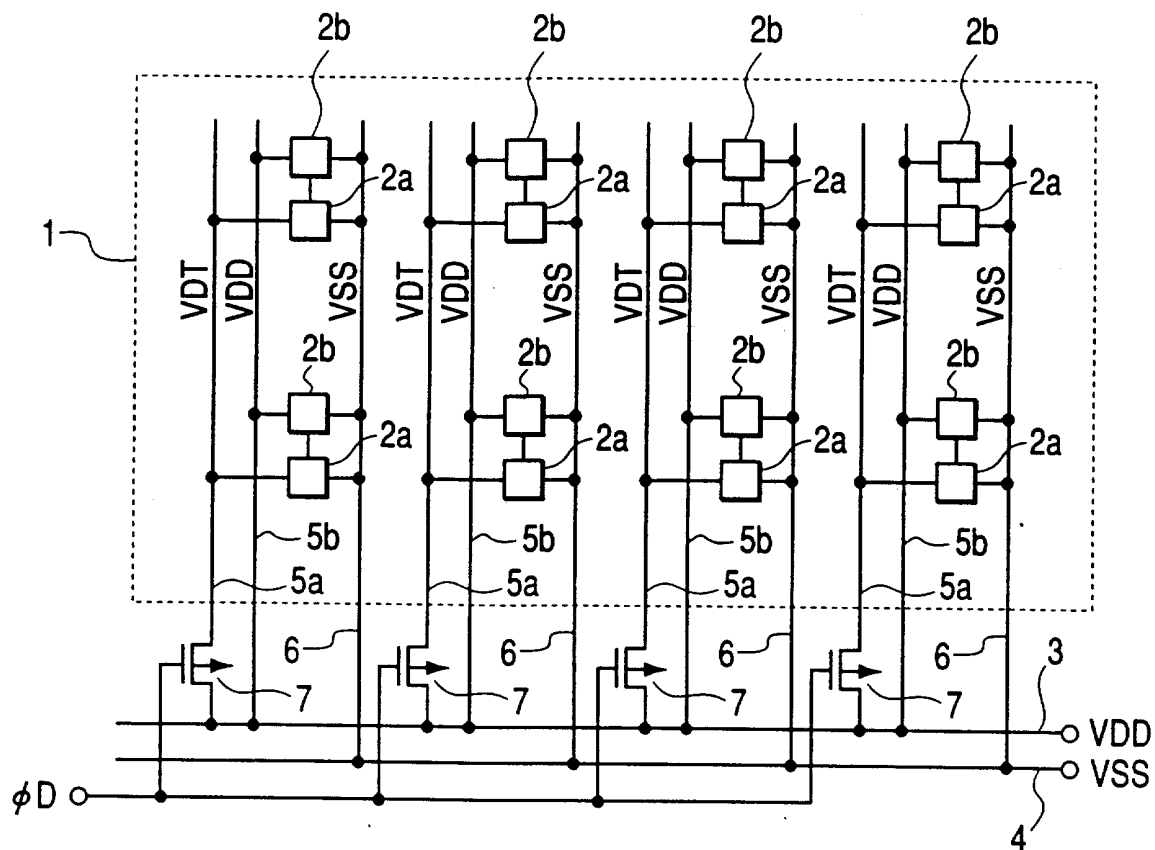
第 1 圖



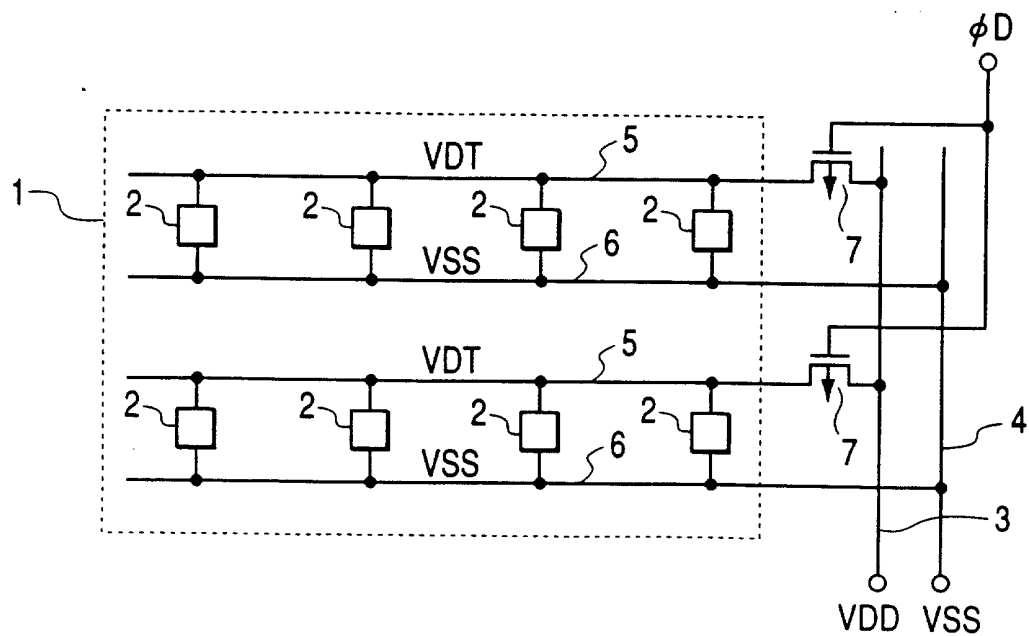
第 2 圖



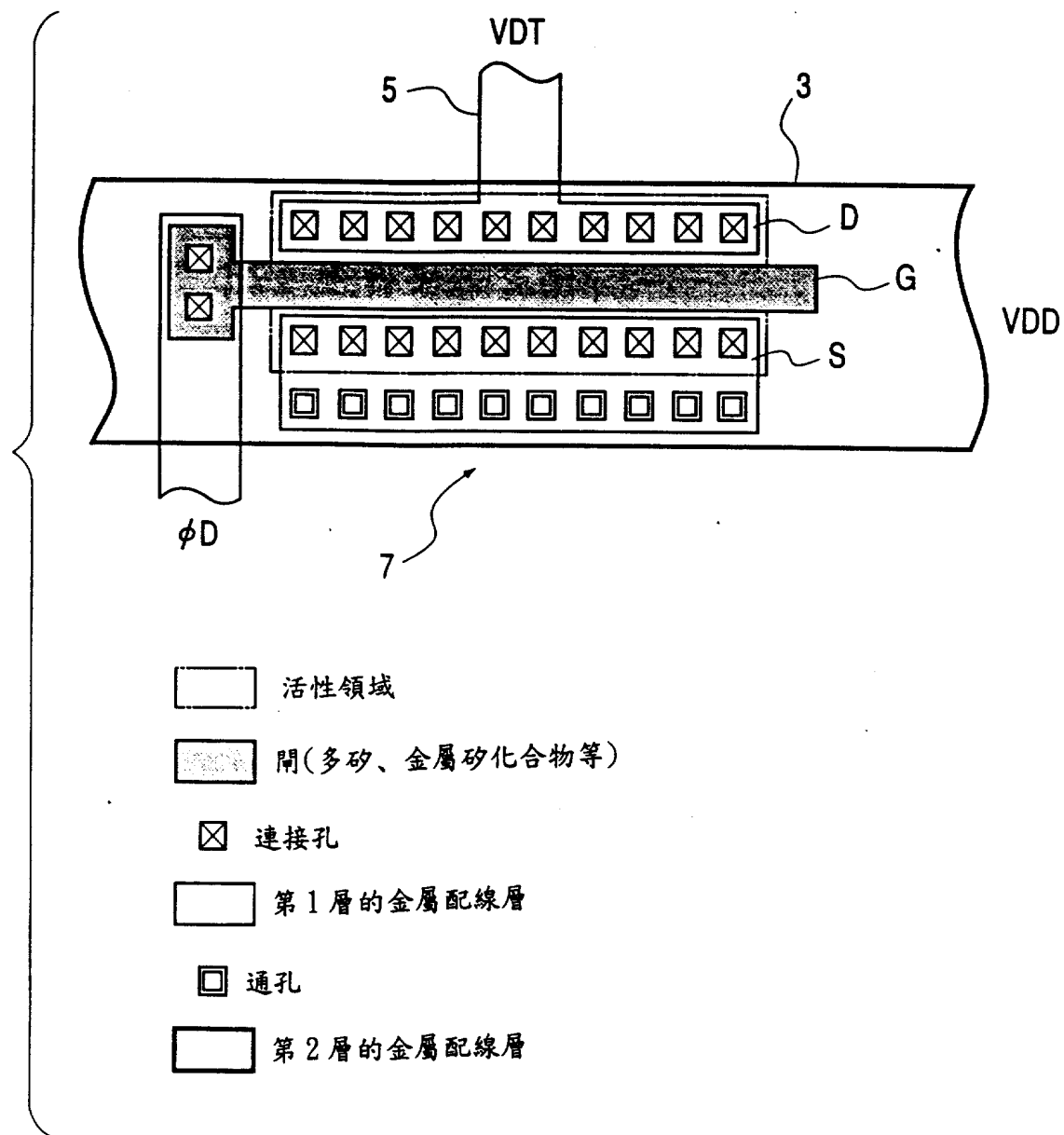
第 3 圖



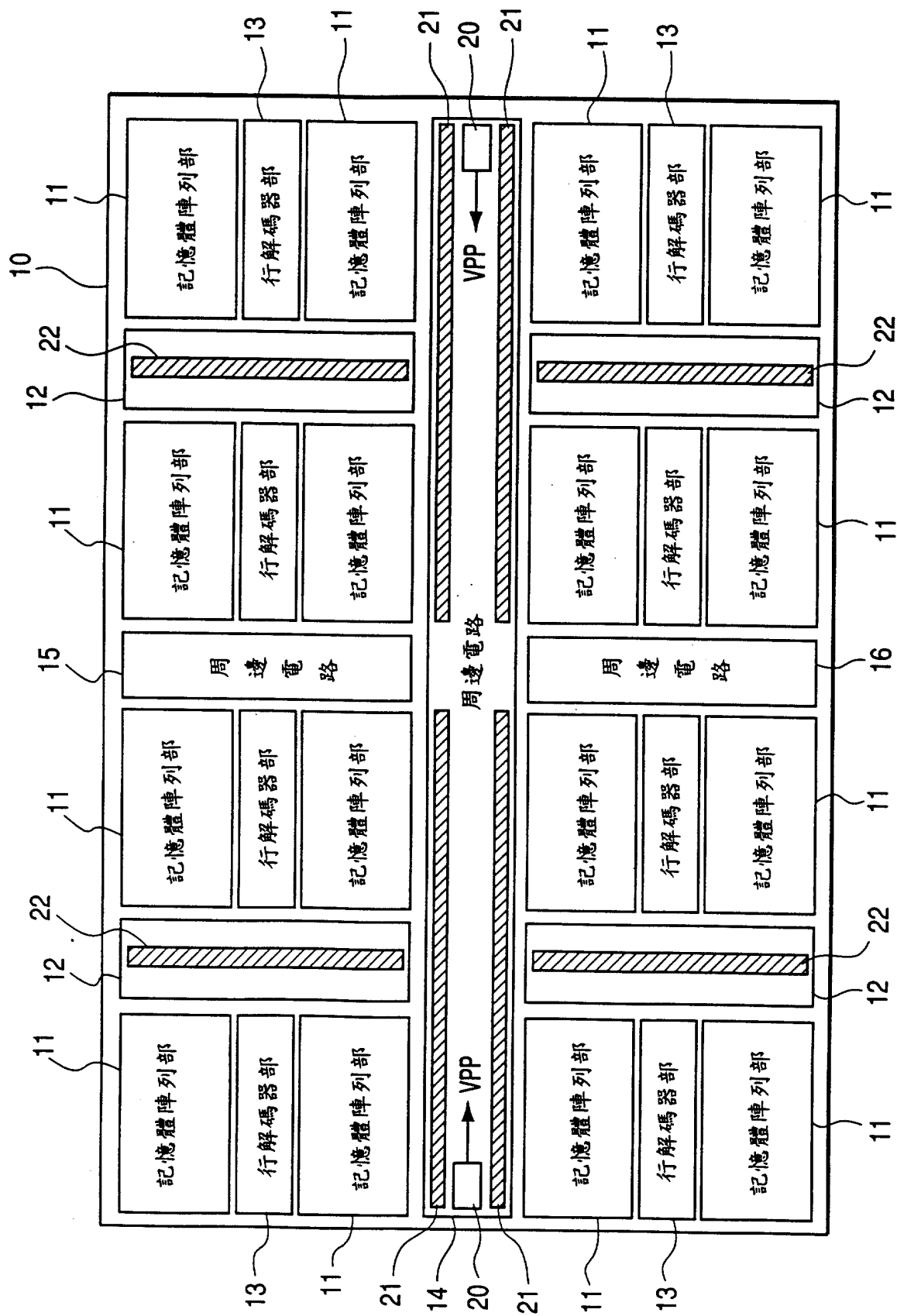
第 5 圖



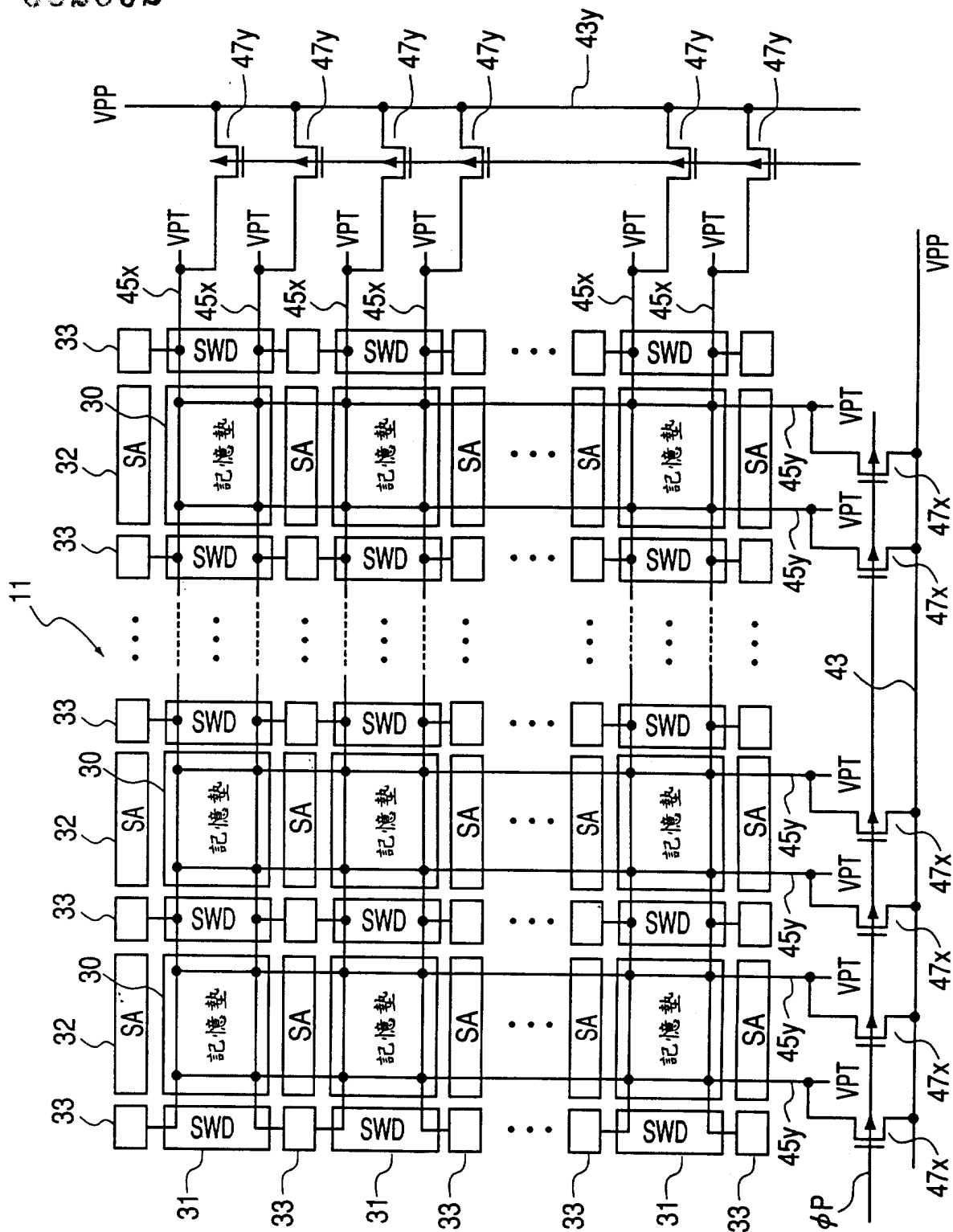
第 6 圖



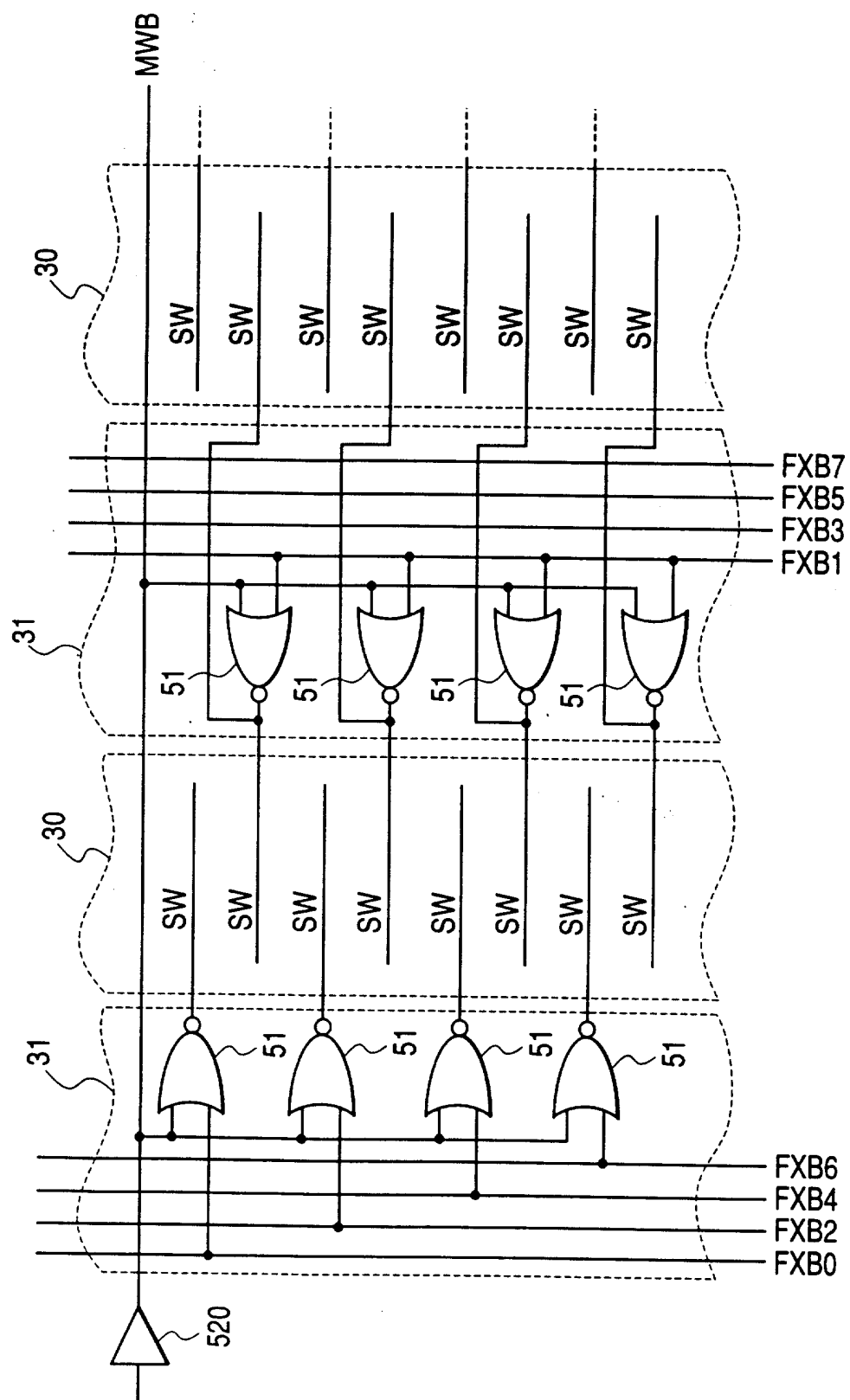
第 9 圖



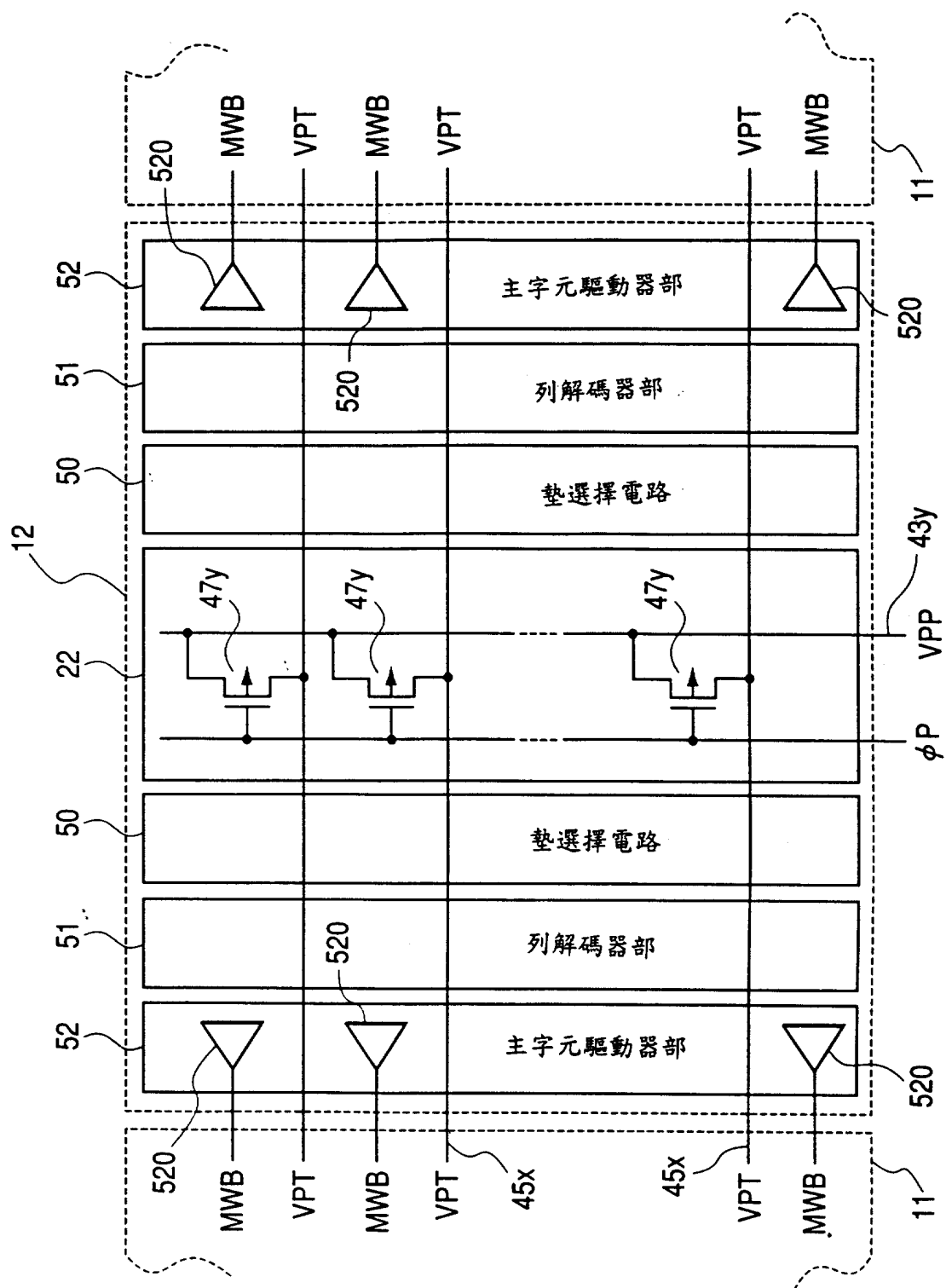
第10圖



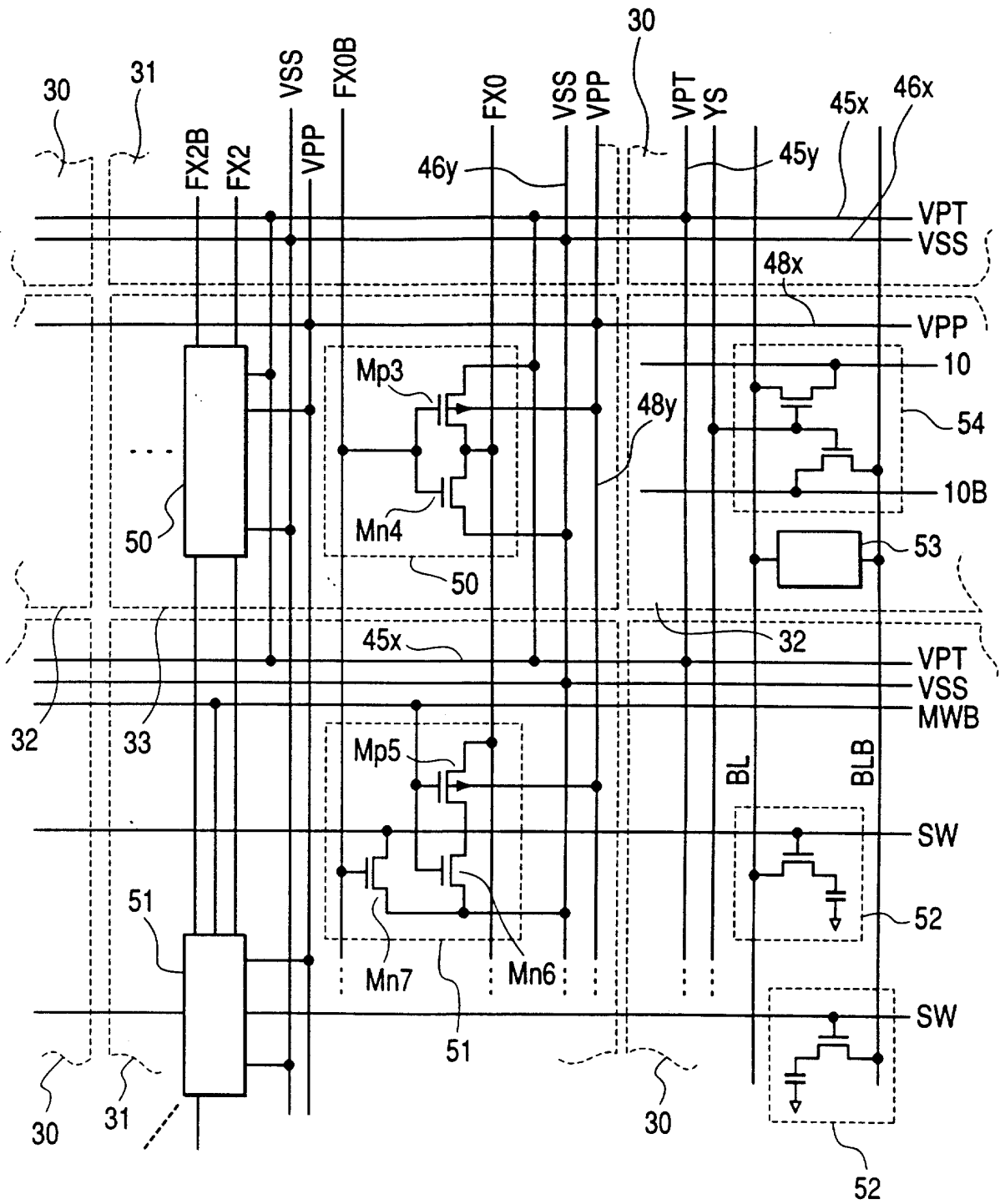
第11圖



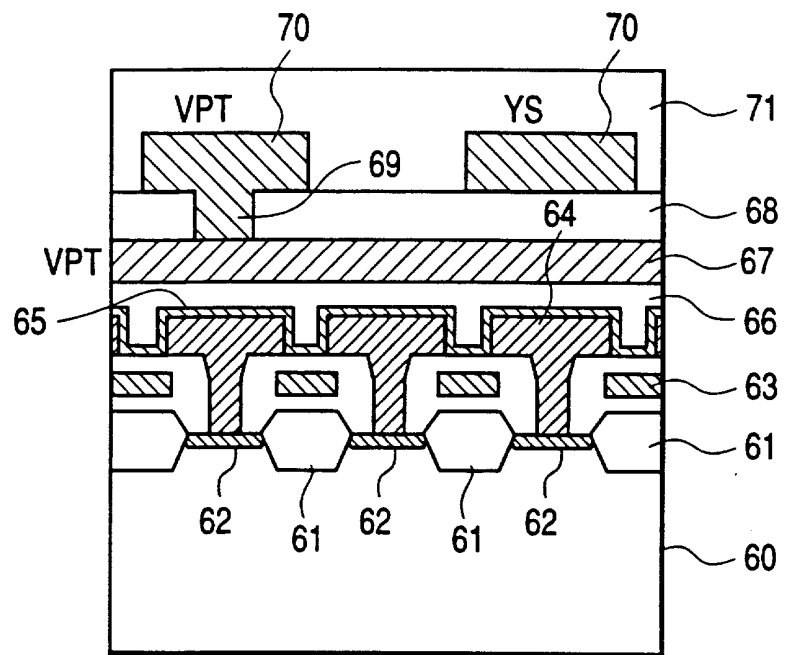
第12圖



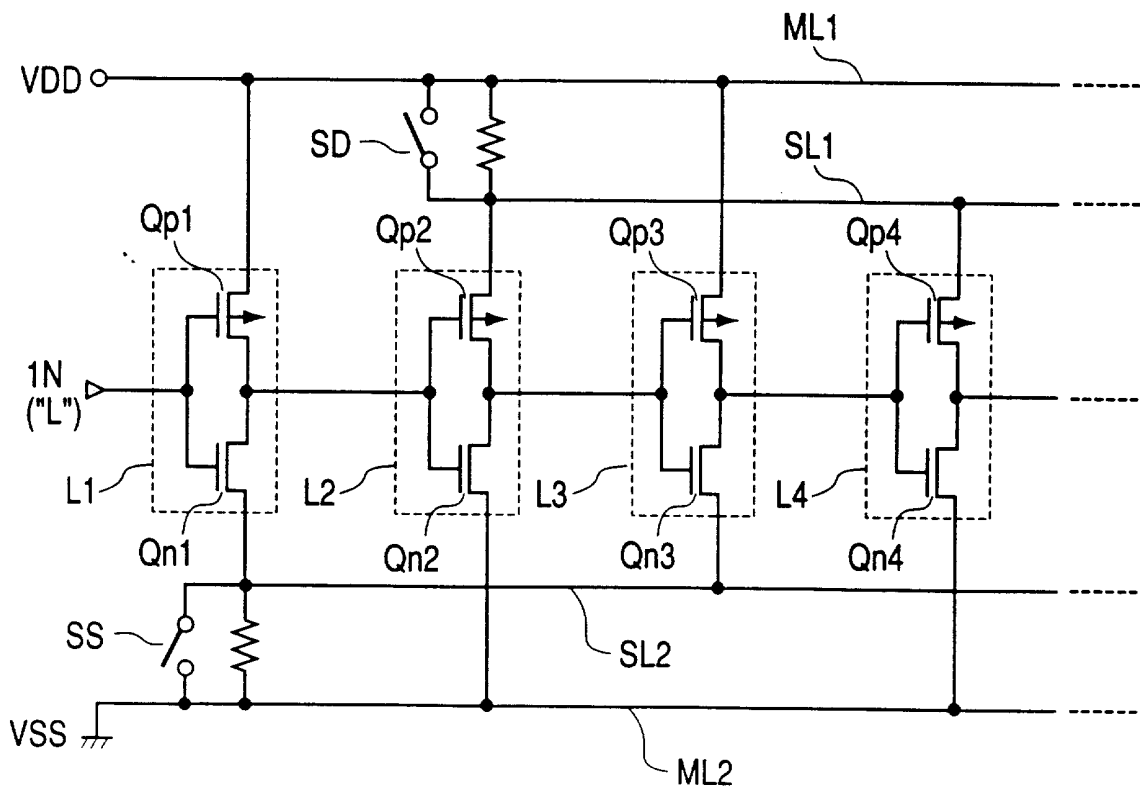
第13圖



第14圖



第15圖



第16圖