

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6332680号
(P6332680)

(45) 発行日 平成30年5月30日(2018.5.30)

(24) 登録日 平成30年5月11日(2018.5.11)

(51) Int.Cl.

H05K 3/46 (2006.01)

F 1

H05K 3/46
H05K 3/46N
Z

請求項の数 11 (全 22 頁)

(21) 出願番号 特願2014-122705 (P2014-122705)
 (22) 出願日 平成26年6月13日 (2014.6.13)
 (65) 公開番号 特開2016-4833 (P2016-4833A)
 (43) 公開日 平成28年1月12日 (2016.1.12)
 審査請求日 平成28年12月21日 (2016.12.21)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 国本 裕治
 長野県長野市小島田町80番地 新光電氣
 工業株式会社内
 (72) 発明者 古市 潤
 長野県長野市小島田町80番地 新光電氣
 工業株式会社内
 (72) 発明者 清水 規良
 長野県長野市小島田町80番地 新光電氣
 工業株式会社内

最終頁に続く

(54) 【発明の名称】配線基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

配線間隔が狭い配線部と、前記配線部よりも配線間隔が広い配線部とを備えた第1配線層と、

前記第1配線層の上に形成された第1絶縁層と、

前記配線間隔が狭い配線部上の第1絶縁層の上に形成された金属プレーン層と、

前記第1絶縁層及び前記金属プレーン層の上に形成された第2絶縁層と、

前記第2絶縁層の上面から前記第1配線層に到達する第1ビアホールと、

前記第1ビアホールに形成された第1ビア導体と、

前記第2絶縁層に形成され、前記金属プレーン層に到達する第2ビアホールと、

10

前記第2ビアホールに形成された第2ビア導体と、

前記第2絶縁層の上に形成され、前記第1ビア導体を介して前記第1配線層に接続される第2配線層と、

前記第2絶縁層の上に形成され、前記第2ビア導体を介して前記金属プレーン層に接続された第3配線層と、

前記第2配線層の上に形成された第3絶縁層と、

前記第3絶縁層に形成され、前記第2配線層に到達する第3ビアホールと、

前記第3ビアホールに形成された第3ビア導体と、

前記第3絶縁層の上に形成され、前記第3ビア導体を介して前記第2配線層に接続された第4配線層とを有し、

20

前記第2配線層はビア受けパッドであり、前記第2配線層の上下に配置された前記第1ビア導体と前記第3ビア導体とによってスタッケドビア構造が構築されていることを特徴とする配線基板。

【請求項2】

前記第1ビアホールが配置された領域において、前記第1絶縁層に開口部が形成されており、前記第1ビアホールは、前記第1絶縁層の開口部の内側に配置されていることを特徴とする請求項1に記載の配線基板。

【請求項3】

前記配線基板は、

第1の多層配線層と、

10

前記第1の多層配線層の上に形成され、前記第1の多層配線層よりも配線ピッチが狭い第2の多層配線層とを備え、

前記第2の多層配線層が、前記第1配線層、前記金属プレーン層、前記第2配線層及び前記第3配線層を含むことを特徴とする請求項1又は2に記載の配線基板。

【請求項4】

前記第2ビアホールの深さは、前記第1ビアホールの深さより浅いことを特徴とする請求項1乃至3のいずれか一項に記載の配線基板。

【請求項5】

前記配線基板に複数の半導体素子搭載部が設けられており、前記第1配線層又は前記第2配線層が複数の半導体素子間を接続する配線を有することを特徴とする請求項1に記載の配線基板。

20

【請求項6】

配線間隔が狭い配線部と、前記配線部よりも配線間隔が広い配線部とを備えた第1配線層を含む配線部材を用意する工程と、

前記第1配線層の接続部上に開口部が配置された第1絶縁層を形成する工程と、

前記配線間隔が狭い配線部上の第1絶縁層の上に金属プレーン層を形成する工程と、

前記第1絶縁層及び前記金属プレーン層の上に、前記第1絶縁層の開口部に第1ビアホールが配置され、前記金属プレーン層の上に第2ビアホールが配置された第2絶縁層を形成する工程と、

前記第2絶縁層の上に、前記第1ビアホール内の第1ビア導体を介して前記第1配線層に接続される第2配線層と、前記第2ビアホール内の第2ビア導体を介して前記金属プレーン層に接続される第3配線層とを形成する工程と
を有することを特徴とする配線基板の製造方法。

30

【請求項7】

前記第2絶縁層を形成する工程において、

前記第1ビアホールは、前記第1絶縁層の開口部の内側に配置されることを特徴とする請求項6に記載の配線基板の製造方法。

【請求項8】

前記第2配線層と前記第3配線層とを形成する工程の後に、

前記第2配線層及び第3配線層の上に第3絶縁層を形成する工程と、

40

前記第2配線層に到達する第3ビアホールを前記第3絶縁層に形成する工程と、

前記第3絶縁層の上に、前記第3ビアホール内の第3ビア導体を介して前記第2配線層に接続される第4配線層を形成する工程と
を有し、

前記第2配線層はビア受けパッドであり、前記第2配線層の上下に配置された前記第1ビア導体と前記第3ビア導体とによってスタッケドビア構造が構築されることを特徴とする請求項6又は7に記載の配線基板の製造方法。

【請求項9】

前記配線部材を用意する工程において、前記配線部材は前記第1配線層の下に第1の多層配線層を備えており、

50

前記第1配線層、前記金属プレーン層、前記第2配線層及び前記第3配線層を含んで第2の多層配線層が構築され、

前記第2の多層配線層は、前記第1の多層配線層よりも配線ピッチが狭いことを特徴とする請求項6又は7に記載の配線基板の製造方法。

【請求項10】

前記第1配線層を形成する工程、及び前記第2配線層と前記第3配線層とを形成する工程において、シード層を異方性ドライエッティングによって除去するセミアディティブ法が使用され、

前記金属プレーン層を形成する工程は、

前記第1絶縁層の上に金属層を形成する工程と、

10

前記金属層をパターニングして下地層を形成する工程と、

無電解めっきにより前記下地層の上に金属めっき層を形成する工程とを含むことを特徴とする請求項6乃至9のいずれか一項に記載の配線基板の製造方法。

【請求項11】

前記配線基板に複数の半導体素子搭載部が設けられ、前記第1配線層又は前記第2配線層が複数の半導体素子間を接続する配線を有することを特徴とする請求項6に記載の配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、配線基板及びその製造方法に関する。

【背景技術】

【0002】

従来、半導体素子などの電子部品を搭載するための配線基板がある。近年では、電子部品の高性能化に伴って、配線基板のさらなる高密度化及び多層化が進められている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-23252号公報

【特許文献2】特開2003-23253号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

後述する予備的事項の欄で説明するように、配線基板では、微細な配線層のパターン間でのクロストークを抑制するために、配線層の上又は下に金属プレーン層が形成される。金属プレーン層の挿入によって、スタックドビア構造を有する多層配線の積層数が一層分増えるため、製造歩留りの低下及びコスト上昇を招く課題がある。

【0005】

歩留りよく製造できると共に、コスト低減を図ることができる金属プレーン層を備えた配線基板及びその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0006】

以下の開示の一観点によれば、配線間隔が狭い配線部と、前記配線部よりも配線間隔が広い配線部とを備えた第1配線層と、前記第1配線層の上に形成された第1絶縁層と、前記配線間隔が狭い配線部上の第1絶縁層の上に形成された金属プレーン層と、前記第1絶縁層及び前記金属プレーン層の上に形成された第2絶縁層と、前記第2絶縁層の上面から前記第1配線層に到達する第1ビアホールと、前記第1ビアホールに形成された第1ビア導体と、前記第2絶縁層に形成され、前記金属プレーン層に到達する第2ビアホールと、前記第2ビアホールに形成された第2ビア導体と、前記第2絶縁層の上に形成され、前記第1ビア導体を介して前記第1配線層に接続される第2配線層と、前記第2絶縁層の上に

50

形成され、前記第2ビア導体を介して前記金属プレーン層に接続された第3配線層と、前記第2配線層の上に形成された第3絶縁層と、前記第3絶縁層に形成され、前記第2配線層に到達する第3ビアホールと、前記第3ビアホールに形成された第3ビア導体と、前記第3絶縁層の上に形成され、前記第3ビア導体を介して前記第2配線層に接続された第4配線層とを有し、前記第2配線層はビア受けパッドであり、前記第2配線層の上下に配置された前記第1ビア導体と前記第3ビア導体とによってスタックドビア構造が構築されている配線基板が提供される。

【0007】

また、その開示の他の観点によれば、配線間隔が狭い配線部と、前記配線部よりも配線間隔が広い配線部とを備えた第1配線層を含む配線部材を用意する工程と、前記第1配線層のパッド上に開口部が配置された第1絶縁層を形成する工程と、前記配線間隔が狭い配線部上の第1絶縁層の上に金属プレーン層を形成する工程と、前記第1絶縁層及び前記金属プレーン層の上に、前記第1絶縁層の開口部に第1ビアホールが配置され、前記金属プレーン層の上に第2ビアホールが配置された第2絶縁層を形成する工程と、前記第2絶縁層の上に、前記第1ビアホール内の第1ビア導体を介して前記第1配線層に接続される第2配線層と、前記第2ビアホール内の第2ビア導体を介して前記金属プレーン層に接続される第3配線層とを形成する工程と有する配線基板の製造方法が提供される。10

【発明の効果】

【0008】

以下の開示によれば、配線基板では、クロストークを抑制するための金属プレーン層が、第1配線層のうちの配線間隔が狭い配線部に対応する領域のみに配置される。これにより、金属プレーン層を形成する際に、スタックドビア構造を構築するためのビア受けパッドを省略している。20

【0009】

そして、金属プレーン層の下の第1配線層と、金属プレーン層の上の第2配線層とが第1ビアホール内の第1ビア導体によって接続されている。

【0010】

このようにすることにより、金属プレーン層を追加で形成するとしても、スタックドビア構造の積層数が増加しないため、電気的な接続の信頼性を確保することができる。

【0011】

また、金属プレーン層を形成する際に微細配線を形成しないため、金属プレーン層を追加で形成するとしても、配線基板の製造歩留りが低下するおそれがなく、コスト低減を図ることができる。30

【図面の簡単な説明】

【0012】

【図1】図1は予備的事項に係る半導体装置を示す断面図である。

【図2】図2(a)～(c)は実施形態の配線基板の製造方法を示す断面図(その1)である。

【図3】図3(a)～(e)は実施形態の配線基板の製造方法を示す断面図(その2)である。40

【図4】図4は実施形態の配線基板の製造方法を示す断面図(その3)である。

【図5】図5は実施形態の配線基板の製造方法を示す断面図(その4)である。

【図6】図6は実施形態の配線基板の製造方法を示す断面図(その5)である。

【図7】図7(a)～(e)は実施形態の配線基板の製造方法を示す断面図(その6)である。

【図8】図8は実施形態の配線基板の製造方法を示す断面図(その7)である。

【図9】図9は実施形態の配線基板の製造方法を示す断面図(その8)である。

【図10】図10(a)～(d)は実施形態の配線基板の製造方法を示す断面図(その9)である。

【0013】

50

20

30

40

50

【図11】図11は実施形態の配線基板の製造方法を示す断面図（その10）である。

【図12】図12は実施形態の配線基板の製造方法を示す断面図（その11）である。

【図13】図13は実施形態の配線基板を示す断面図である。

【図14】図14は図13の金属プレーン層とその下の第4配線層の様子を上側から透視的にみた模式的な平面図である。

【図15】図15は実施形態の半導体装置を示す断面図である。

【図16】図16は実施形態の別の半導体装置を示す部分断面図である。

【発明を実施するための形態】

【0014】

以下、実施の形態について、添付の図面を参照して説明する。

【0015】

実施形態を説明する前に、基礎となる予備的事項について説明する。予備的事項に記載の配線基板は、本発明の配線基板の基礎となるものであり、公知技術ではない。

【0016】

図1は予備的事項に係る配線基板を示す断面図である。図1では、コア基板を有する配線基板のうちのコア基板の上面側が部分的に描かれている。

【0017】

図1に示すように、予備的事項に係る配線基板では、コア基板100の上面に第1配線層210が形成されている。コア基板100には厚み方向に貫通する貫通導体120が形成されており、第1配線層210はコア基板100の下面側の配線層（不図示）に貫通導体120を介して接続されている。

【0018】

コア基板100の上には第1層間絶縁層310が形成されている。第1層間絶縁層310の上には、第1ビア導体VC1を介して第1配線層210に接続される第2配線層220が形成されている。

【0019】

また、第1層間絶縁層310の上には、第2層間絶縁層320が形成されている。第2層間絶縁層320の上には、第2ビア導体VC2を介して第2配線層220に接続される第3配線層230が形成されている。

【0020】

同様に、第2層間絶縁層320の上には、第3層間絶縁層330が形成されている。第3層間絶縁層330の上には、第3ビア導体VC3を介して第3配線層230に接続される金属プレーン層PLが形成されている。

【0021】

さらに同様に、第3層間絶縁層330の上には、第4層間絶縁層340が形成されている。第4層間絶縁層340の上には、第4ビア導体VC4を介して金属プレーン層PLに接続される第4配線層240が形成されている。

【0022】

また同様に、第4層間絶縁層340の上には、第5層間絶縁層350が形成されている。第5層間絶縁層350の上には、第5ビア導体VC5を介して第4配線層240に接続される接続パッドCPが形成されている。

【0023】

第3、第4配線層230、240は、第1、第2配線層210、220よりも配線ピッチが狭く設定され、微細配線として形成される。微細配線では、特に2本の信号配線が平行に走っている部分でクロストークの影響を受けやすくなり、ノイズによる誤動作が発生しやすい。

【0024】

金属プレーン層PLはその下に配置された微細な第3配線層230のパターン間で発生するクロストークを抑制するために形成される。また同様に、金属プレーン層PLはその

10

20

30

40

50

上に配置された微細な第4配線層240のパターン間で発生するクロストークを抑制するために形成される。金属プレーン層PLはグランドライン又は電源ラインとして形成される。

【0025】

微細な第3、第4配線層230, 240に近接させて金属プレーン層PLを配置することにより、ノイズとなる信号が金属プレーン層PLに吸収されてクロストークが抑制される。

【0026】

このように、微細な配線層のパターン間でのクロストークを抑制するために、配線層の上又は下に金属プレーン層PLを挿入する必要がある。金属プレーン層PLは、他の配線層の形成方法と同様な方法によって形成される。このため、配線層の積層数が一層分増えることになるため、製造歩留りの低下の要因になると共に、コスト上昇を招く。10

【0027】

また、多層配線ではスタックドビア構造を構築するため、金属プレーン層PLの形成時においても、他の配線層と同様にビア受けパッドを配置してスタックドビア構造に対応させる必要がある。

【0028】

図1の例では、Sで示す箇所において、第3配線層230と接続パッドCPとの間に第3ビア導体VC3、第4ビア導体VC4及び第5ビア導体VC5が垂直方向に積層されて、3段のスタックドビア構造が構築されている。20

【0029】

このため、金属プレーン層PLの挿入によってスタックドビア構造の積層数が一つ増えることになるため、接続の信頼性が低下する。

【0030】

微細な多段のスタックドビア構造では、加熱処理によって熱応力が発生すると、スタックドビア構造の最下の部分に応力が集中してビア破断が発生しやすく、電気的な接続の信頼が得られない課題がある。このため、スタックドビア構造の積層数をできるだけ減らすことがほしい。

【0031】

以上のように、金属プレーン層PLを他の配線層と同様な方法で形成すると、スタックドビア構造を有する多層配線の積層数が一層分増えるため、製造歩留りの低下及びコスト上昇を招く課題がある。30

【0032】

以下に説明する実施形態の配線基板及びその製造方法では、前述した課題を解決することができる。

【0033】

(実施形態)

図2～図12は実施形態の配線基板の製造方法を示す図、図13は実施形態の配線基板を示す図である。以下、配線基板の製造方法を説明しながら、配線基板の構造について説明する。40

【0034】

実施形態の配線基板の製造方法では、まず、図2(a)に示すような構造のコア基板10を用意する。コア基板10には厚み方向に貫通するスルーホールTHが形成されており、スルーホールTHには貫通導体12が形成されている。

【0035】

例えば、スルーホールTHに銅めっきが充填されて貫通導体12が形成される。コア基板10はガラスエポキシ樹脂などの絶縁材料から形成される。

【0036】

コア基板10の両面側には第1配線層21がそれぞれ形成されている。両面側の第1配線層21は貫通導体12を介して相互接続されている。50

【0037】

なお、貫通導体 12 は、コア基板 10 のスルーホール TH の内壁に形成されたスルーホールめっき層であってもよく、その場合は、スルーホール TH の残りの孔に樹脂体が充填される。

【0038】

コア基板 10 のスルーホール TH はドリルやレーザ加工などによって形成される。また、コア基板 10 に形成される貫通導体 12 及び第 1 配線層 21 は、めっき法及びフォトリソグラフィなどを使用して形成される。

【0039】

次いで、図 2 (b) に示すように、コア基板 10 の両面側に未硬化の樹脂フィルムを貼付し、加熱処理して硬化させることにより、第 1 層間絶縁層 31 をそれぞれ形成する。その後に、両面側の第 1 層間絶縁層 31 をレーザで加工することにより、両面側の第 1 配線層 21 に到達する第 1 ビアホール VH1 をそれぞれ形成する。10

【0040】

この手法では、第 1 ビアホール VH1 をレーザで形成するため、第 1 層間絶縁層 31 は非感光性樹脂から形成される。樹脂材料としては、エポキシ樹脂又はポリイミド樹脂などが使用される。例えば、第 1 層間絶縁層 31 の厚みは 30 μm ~ 35 μm 程度であり、第 1 ビアホール VH1 の直径は 30 μm ~ 50 μm 程度である。

【0041】

さらに、過マンガン酸法などによって第 1 ビアホール VH1 内をデスマニア処理することにより、樹脂スミアを除去してクリーニングする。20

【0042】

次いで、図 2 (c) に示すように、両面側の第 1 層間絶縁層 31 の上に、第 1 ビアホール VH1 内の第 1 ビア導体 VC1 を介して第 1 配線層 21 に接続される第 2 配線層 22 をそれぞれ形成する。第 2 配線層 22 はセミアディティブ法によって形成される。図 3 (a) ~ (e) を参照して詳しく説明する。図 3 (a) ~ (e) では、図 2 (b) のコア基板 10 の上部から上側の領域が部分的に示されている。

【0043】

図 3 (a) に示すように、まず、図 2 (b) の第 1 層間絶縁層 31 上及び第 1 ビアホール VH1 の内面に無電解めっきにより、厚みが 1 μm 程度の銅などからなるシード層 22 a を形成する。30

【0044】

次いで、図 3 (b) に示すように、第 2 配線層 22 が配置される部分に開口部 14 a が設けられためっきレジスト層 14 を形成する。

【0045】

続いて、図 3 (c) に示すように、シード層 22 a をめっき給電経路に利用する電解めっきにより、めっきレジスト層 14 の開口部 14 a に銅などからなる金属めっき層 22 b を形成する。その後に、図 3 (d) に示すように、めっきレジスト層 14 を除去する。

【0046】

さらに、図 3 (e) に示すように、金属めっき層 22 b をマスクにしてシード層 22 a をウェットエッティングにより除去する。これにより、シード層 22 a 及び金属めっき層 22 b から第 2 配線層 22 が形成される。40

【0047】

次いで、図 4 に示すように、上記した図 2 (b) の工程と同様に、図 2 (c) の構造体の両面側に、第 2 配線層 22 に到達する第 2 ビアホール VH2 が配置された第 2 層間絶縁層 32 をそれぞれ形成する。

【0048】

さらに、同じく図 4 に示すように、上記した図 2 (c) の工程と同様な方法により、下面側の第 2 層間絶縁層 32 の上に、第 2 ビアホール VH2 内の第 2 ビア導体 VC2 を介して第 2 配線層 22 に接続される第 3 配線層 23 を形成する。50

【0049】

また同時に、上面側の第2層間絶縁層32の上に、第2ビアホールVH2内の第2ビア導体VC2を介して第2配線層22に接続される金属層23aをプランケット状に全面に形成する。

【0050】

続いて、図4及び図5に示すように、CMP(Chemical Mechanical Polishing)によって、上面側の金属層23aを第2層間絶縁層32が露出するまで研磨し、さらに、第2層間絶縁層32の表面を研磨して平坦化する。

【0051】

これにより、図5に示すように、第1、第2配線層21、22の段差の影響で生じた第2層間絶縁層32のグローバル段差が解消され、第2層間絶縁層32の上面は平坦面として形成される。 10

【0052】

そして、図4の第2層間絶縁層32に形成された第2ビア導体VC2がビア電極として残される。これにより、第2ビア導体VC2の上面と第2層間絶縁層32の上面とが同一面となって平坦化される。

【0053】

このように、コア基板10の上面側に形成される金属層23aは下地の平坦化のために形成され、研磨によって除去される。

【0054】

以上により、本実施形態の配線基板のベース基板となる第1の多層配線層5が得られる。前述した図3(a)~(e)で説明したように、第1の多層配線層5の第2配線層22は、シード層22aをウェットエッチングによって除去する手法のセミアディティブ法によって形成される。 20

【0055】

このため、前述した図3(d)及び(c)の工程で、金属めっき層22bの細りやシード層22aのサイドエッティングによるアンダーカットが生じるため、狭ピッチの配線層を形成することは困難である。

【0056】

このため、第1の多層配線層5の第2配線層22のライン(幅):スペース(間隔)は、例えば、 $20\mu m : 20\mu m$ 以上に設定される。また、第2配線層22の厚みは、例えば、 $10\mu m \sim 30\mu m$ に設定される。第1の多層配線層5の第1配線層21においても同じ配線スペックで形成される。 30

【0057】

次に、第1の多層配線層5の上に第1、第2配線層21, 22よりも配線ピッチの狭い第2の多層配線層を形成する方法について説明する。第1の多層配線層5の配線ピッチはマザーボードなどの実装基板に対応している。第2の多層配線層によって配線ピッチが狭くなるようにピッチ変換することにより、半導体素子の接続に対応できるようとする。

【0058】

図6に示すように、まず、第1の多層配線層5の第2層間絶縁層32の上に、第2ビア導体VC2に接続される第4配線層24を形成する。第4配線層24は、シード層を異方性ドライエッティングによって除去する手法のセミアディティブ法によって形成される。図7(a)~(e)を参照して詳しく説明する。図7(a)~(e)では、図5の上面側の第2層間絶縁層32の上部から上側の領域が部分的に示されている 40

図7(a)に示すように、まず、図5の第2層間絶縁層32及び第2ビア導体VC2の上にシード層24aを形成する。シード層24aの好適な一例としては、スパッタ法により、厚みが $20nm \sim 50nm$ のチタン(Ti)層24xを形成した後に、チタン層24xの上に無電解めっきにより厚みが $0.5\mu m$ の銅(Cu)層24yを形成する。

【0059】

あるいは、チタン層24xの上にスパッタ法で $100nm \sim 300nm$ の銅層を形成し 50

、その後に、無電解めっきにより銅層 24y を形成してもよい。

【0060】

次いで、図 7 (b) に示すように、フォトリソグラフィによって、第 4 配線層 24 が配置される領域に開口部 16a が設けられためっきレジスト層 16 をシード層 24a の上に形成する。第 4 配線層 24 は微細配線として形成されるため、露光装置としてステッパー(ステップ式縮小投影型露光装置)が使用される。

【0061】

前述したように、第 2 層間絶縁層 32 の上面は平坦化されているため、微細パターンを形成する際にフォトリソグラフィの焦点深度が低下するとしても、基板内で精度よく微細なめっきレジスト層 16 をパターン化することができる。

10

【0062】

続いて、図 7 (c) に示すように、シード層 24a をめっき給電経路に利用する電解めっきにより、めっきレジスト層 16 の開口部 16a に銅などからなる金属めっき層 24b を形成する。その後に、図 7 (d) に示すように、めっきレジスト層 16 を除去する。

【0063】

さらに、図 7 (e) に示すように、金属めっき層 24b をマスクにしてシード層 24a を異方性ドライエッチングにより除去する。

【0064】

異方性ドライエッチングは、RIE (Reactive Ion Etching) 装置、又は ICP (Inductively Coupled Plasma) 装置などのドライエッチング装置によって行われる。

20

【0065】

異方性ドライエッチングを採用することにより、金属めっき層 24b の細りを微小に抑えることができると共に、シード層 24a が金属めっき層 24b の下端から内側にサイドエッチングすることができない。その結果、シード層 24a の幅は金属めっき層 24b の幅と同一又はそれより広くなる。

【0066】

また、第 2 層間絶縁層 32 の上面は平坦化されているため、シード層 24a をエッチングする際に残渣が発生しにくくなるので、基板内での配線形成の歩留りを向上させることができる。

【0067】

30

なお、枚葉式のスピニエッチング装置などを使用することにより、ウェットエッチングであってもシード層 24a をある程度精度よく除去することも可能である。

【0068】

以上により、シード層 24a 及び金属めっき層 24b により第 4 配線層 24 が形成される。

【0069】

図 6 に戻って説明すると、第 4 配線層 24 は、配線間隔が狭い微細配線として形成された微細配線部 A と、微細配線部 A よりも配線間隔が広く設定された非微細配線部 B とをして形成される。微細配線部 A の両外側領域に非微細配線部 B が配置される。

【0070】

40

第 4 配線層 24 の微細配線部 A では、ライン(幅) : スペース(間隔) H が、例えば 2 μm : 2 μm であり、前述したセミアディティブ方法によって設計スペック内で歩留りよく形成することができる。また、第 4 配線層 24 の厚みは、2 μm ~ 3 μm の薄膜に設定される。

【0071】

これに対して、第 4 配線層 24 の非微細配線部 B では、ライン(幅) : スペース(間隔) が、例えば 20 μm : 20 μm 以上であり、微細配線部 A よりも設計ルールが緩く設定されている。

【0072】

このようにして、第 4 配線層 24 の微細配線部 A の配線ピッチを第 1 の多層配線層 5 の

50

第1、第2配線層21, 22の配線ピッチよりも狭く設定することができる。

【0073】

以上 の方法により、配線間隔が狭い微細配線部Aと、微細配線部Aよりも配線間隔が広い非微細配線部Bとを備えた第4配線層24を含む配線部材を用意する。微細配線部Aを有する第4配線層24は、設計ルールの緩い第1の多層配線層5の上に形成される。

【0074】

次いで、図8に示すように、図6の構造体の第2層間絶縁層32及び第4配線層24の上に、感光性樹脂(不図示)を形成し、フォトリソグラフィに基づいて露光・現像を行った後に、加熱処理して硬化させる。感光性樹脂の形成は、液状樹脂を塗布してもよいし、薄膜の樹脂フィルムを貼付してもよい。

10

【0075】

これにより、第4配線層24の接続部上に開口部33aが配置された第3層間絶縁層33が第2層間絶縁層32の上に形成される。

【0076】

シリカなどの無機フィラーを含まない感光性樹脂をフォトリソグラフィによってパターニングすることにより、微細な開口部33aを備えた薄膜の第3層間絶縁層33を形成することができる。

【0077】

第3層間絶縁層33の好適な一例としては、感光性を有するフェノール系樹脂から形成される永久レジスト層が使用される。以下の他の層間絶縁層を形成する際にも同様な樹脂材料及び形成方法が採用される。

20

【0078】

第3層間絶縁層33の厚みは、第3配線層23の上で2μm~3μmの薄膜に設定される。また、第3層間絶縁層33に形成される開口部33aの直径は、例えば20μm程度である。

【0079】

次に説明するように、第3層間絶縁層33の上に、第4配線層24の微細配線部Aのパターン間でのクロストークを抑制するために金属プレーン層が形成される。第4配線層24と金属プレーン層とをより近接させる方がクロストークを抑制する効果が高いため、第3層間絶縁層33の厚みは薄膜に設定される。

30

【0080】

このように、感光性樹脂をフォトリソグラフィでパターニングすることにより、樹脂層をレーザで加工する手法よりも、層間絶縁層の薄膜化及び開口部又はビアホールの狭小化を図ることができる。これによって、微細な多層配線層用の層間絶縁層を形成することができる。

【0081】

次いで、図9に示すように、第3層間絶縁層33の上に金属プレーン層PLを形成する。金属プレーン層PLはサブトラクティブ法によって形成される。図10(a)~(d)を参照して詳しく説明する。図10(a)~(d)では、図8の第2層間絶縁層32の上部から上側の領域が部分的に示されている。

40

【0082】

図10(a)に示すように、まず、図8の構造体の上面側の第3層間絶縁層33及びその開口部33aの内面に金属層40aを形成する。金属層40aの一例としては、スパッタ法により厚みが200nmのチタン(Ti)層を形成する。

【0083】

次いで、図10(b)に示すように、金属層40aの上にレジスト層18をフォトリソグラフィによってパターニングする。レジスト層18は金属プレーン層PLが配置される領域に残される。金属プレーン層PLは、微細配線を有さず、四角状などの一括パターンで形成されるだけである。このため、露光装置としては、基板に密着させて全面に露光する簡易なコンタクト露光装置が使用される。

50

【0084】

さらに、図10(c)に示すように、レジスト層18をマスクにしてドライエッティングによりレジスト層18から露出する金属層40aを除去する。ドライエッティングとしては、第3層間絶縁層33の開口部33aの側壁に残渣が生じないように等方性ドライエッティングを採用することが好ましい。あるいは、ウェットエッティングを採用してもよい。

【0085】

その後に、レジスト層18が除去される。これより、金属プレーン層PLが配置される領域に無電解めっき用の下地層40がパターン化されて形成される。

【0086】

続いて、図10(d)に示すように、無電解めっきにより、下地層40の上に厚みが1¹⁰μm程度の銅などからなる金属めっき層42を選択的に形成する。

【0087】

これにより、第4配線層24の微細配線部Aに対応する領域の第3層間絶縁層33の上に、下地層40及び金属めっき層42により金属プレーン層PLが形成される。金属プレーン層PLは、グランドプレーン層又は電源プレーン層として形成してもよい。

【0088】

金属プレーン層PLは、第4配線層24の微細配線部Aに対応する領域に一括パターンで形成され、第4配線層24の非微細配線部Bに対応する領域には配置されないようにする。

【0089】

20

金属プレーン層PLは、微細な配線層のパターン間で発生するクロストークを抑制するために形成される。第4配線層24の非微細配線部Bは設計ルールが緩く、クロストークが問題にならないため、非微細配線部Bの領域には金属プレーン層PLを配置する必要がないからである。

【0090】

金属プレーン層PLは、必ずしも、第4配線層24の微細配線部Aの全体領域に対応するように配置する必要はない。微細配線部Aの周縁側が金属プレーン層PLから多少はみ出していても、十分なクロストーク抑制の効果がある。

【0091】

30

これにより、図9及び図10(d)に示すように、金属プレーン層PLの形成工程では、スタッカビア構造を構築するためのピア受けパッドの形成が省略される。また、第3層間絶縁層33の開口部33aが露出した状態で、金属プレーン層PLが第3層間絶縁層33の上に形成される。

【0092】

前述したように、第4配線層24のクロストーク抑制の効果を高めるため、第3層間絶縁層33は厚みが2μm程度の薄膜で形成される。このため、第3層間絶縁層33はその下の第4配線層24の段差を十分に平坦化できずに凹凸が多少残った状態で形成される。

【0093】

しかし、金属プレーン層PLは、第4配線層24の微細配線部Aに対応する領域に一括パターンで形成されるだけで、微細配線を形成する必要はない。従って、第3層間絶縁層33の上面に多少の凹凸が発生していても、金属プレーン層PLを形成する際には問題にならない。

40

【0094】

次いで、図11に示すように、前述した図8の工程と同様な方法により、図9の第3層間絶縁層33及び金属プレーン層PLの上に第4層間絶縁層34をパターン化して形成する。

【0095】

第4層間絶縁層34は、第3層間絶縁層33の開口部33aに第3ピアホールVH3が配置され、金属プレーン層PLの上に第4ピアホールVH4が配置されるようにパターン化される。

50

【0096】

図11の部分拡大断面図を加えて参照すると、第4層間絶縁層34の第3ビアホールVH3の直径は第3層間絶縁層33の開口部33aの直径よりも小さく設定される。そして、第3層間絶縁層33の開口部33aを埋め込む第4層間絶縁層34に第3ビアホールVH3が形成される。第3ビアホールVH3は第3層間絶縁層33の開口部33aの内側に配置される。

【0097】

第4層間絶縁層34においても、上側に形成される第5配線層のクロストーク抑制の効果を高めるために、2μm程度の厚みの薄膜で設定される。

【0098】

金属プレーン層PLは一括パターンで形成されるため、金属プレーン層PLの下地に多少凹凸が発生していても、微細な配線層が形成される場合と比較して、金属プレーン層PLの表面は平坦性が比較的よい状態となっている。

【0099】

このため、第4層間絶縁層34が薄膜で金属プレーン層PLの上に形成されるとしても、第4層間絶縁層34の上面の平坦性を確保することができる。また、金属プレーン層PLの厚みは1μm程度と薄いため、その段差を容易に平坦化することができる。

【0100】

なお、図11の部分拡大断面図の例の他に、第4層間絶縁層34の第3ビアホールVH3の直径を第3層間絶縁層33の開口部33aの直径と同一に設定してもよい。あるいは、図11の部分拡大断面図とは逆に、第4層間絶縁層34の第3ビアホールVH3の直径が第3層間絶縁層33の開口部33aの直径よりも大きく設定され、第3ビアホールVH3が開口部33aの外側に配置されるようにしてもよい。

【0101】

これらの場合は、第3ビアホールVH3及び開口部33aの各側壁が連通して第4配線層24の上にビアホールが形成される。

【0102】

このようにして、第4層間絶縁層34の上面から第4配線層24に到達するビアホールを形成すればよい。

【0103】

次に説明する図12及び図13では、破線で囲まれた領域が部分拡大断面図で示されている。図12及びその部分拡大断面図に示すように、前述した図7(a)~(e)の工程と同様な方法により、第3ビアホールVH3内の第3ビア導体VC3を介して第4配線層24に接続される第5配線層25を第4層間絶縁層34の上に形成する。

【0104】

また同時に、第4ビアホールVH4内の第4ビア導体VC4を介して金属プレーン層PLに接続される第6配線層26を第4層間絶縁層34の上に形成する。第5配線層25及び第6配線層26は同じ工程で同一層から形成される。

【0105】

第5、第6配線層25、26の配線ピッチなどの設計ルールは、前述した図6及び図7で説明した第4配線層24と同様に設定される。第5、第6配線層25、26においても、微細配線部Aとその両外側領域に配置された非微細配線部Bとを有して形成される。

【0106】

第4層間絶縁層34の上面は平坦性が確保されているため、第4層間絶縁層34の上に微細な第5、第6配線層25、26を歩留りよく形成することができる。

【0107】

また、図12のSで示される箇所に、第5、第6配線層25、26の形成工程で、スタッカドビア構造を構築するためのビア受けパッドVPが形成される。ビア受けパッドVPの下には第3ビアホールVH3内の第3ビア導体VC3が配置されている（部分拡大断面図参照）。

10

20

30

40

50

【0108】

本実施形態で最終的に得られる配線基板では、最上層に複数の半導体素子搭載部が設けられ、上記した第4配線層24又は第5配線層25が複数の半導体素子間を接続する配線層を有して形成される。

【0109】

その後に、図13及びその部分拡大断面図に示すように、前述した図8の工程と同様な方法により、第5配線層25の上に第5ビアホールVH5が配置された第5層間絶縁層35を形成する。

【0110】

さらに、前述した図7(a)~(e)の工程と同様な方法により、第5ビアホールVH10内に第5ビア導体VC5を介して第5、第6配線層25,26に接続される接続パッドCPを第5層間絶縁層35の上に形成する(部分拡大断面図参照)。

【0111】

接続パッドCPは第7配線層として形成され、島状に配列されたパッドであってもよいし、引き出し配線の端部に繋がるパッドであってもよい。

【0112】

これにより、第1の多層配線層5の上に第2の多層配線層6が形成される。第2の多層配線層6は、第4配線層24、金属プレーン層PL、第5配線層25、第6配線層26及び接続パッドCPを含んで構築される。

【0113】

また、コア基板10の下面側の第2層間絶縁層32の上に、第3配線層23の接続部上に開口部36aが設けられたソルダレジスト層36を形成する。以上により、実施形態の配線基板1が得られる。

【0114】

図13に示すように、実施形態の配線基板1は、第1の多層配線層5と、その上に配置され、第1の多層配線層5よりも配線ピッチが狭い第2の多層配線層6と備えている。

【0115】

第1の多層配線層5では、コア基板10の両面側に第1配線層21がそれぞれ形成されている。両面側の第1配線層21はコア基板10に形成された貫通導体12を介して相互接続されている。

【0116】

コア基板の両面側には、第1配線層21に到達する第1ビアホールVH1が配置された第1層間絶縁層31がそれぞれ形成されている。両面側の第1層間絶縁層31の上には第1ビアホールVH1の第1ビア導体VC1を介して第1配線層21に接続される第2配線層22がそれぞれ形成されている。

【0117】

また、コア基板10の下面側の第1層間絶縁層31の上には、第2配線層22に到達する第2ビアホールVH2が配置された第2層間絶縁層32が形成されている。コア基板10の下面側の第2層間絶縁層32の上には、第2ビアホールVH2内の第2ビア導体VC2を介して第2配線層22に接続される第3配線層23が形成されている。

【0118】

さらに、コア基板10の下面側の第2層間絶縁層32の上に、第3配線層23の接続部上に開口部36aが設けられたソルダレジスト層36が形成されている。

【0119】

また、コア基板10の上面側の第1層間絶縁層31の上には、第2配線層22に接続される第2ビア導体VC2が配置された第2層間絶縁層32が形成されている。以上により、第1の多層配線層5が構築されている。

【0120】

次に、第2の多層配線層6について説明する。第1の多層配線層5の第2層間絶縁層32の上には、第2ビア導体VC2に接続された第4配線層24が形成されている。

10

20

30

40

50

【 0 1 2 1 】

以下、部分拡大断面図を加えて参考すると、第2層間絶縁層32の上には、第4配線層24の上に開口部33aが配置された第3層間絶縁層33が形成されている。第3層間絶縁層33の上には金属プレーン層PLが形成されている。

【 0 1 2 2 】

図14は、図13の金属プレーン層PLが形成されたCで示された部分を水平方向に切断し、上側から金属プレーン層PL及びその下の第4配線層24を透視的にみた模式的な平面図である。図14では、金属プレーン層PL及び第4配線層24以外の要素は省略されている。

【 0 1 2 3 】

10

図14に示すように、金属プレーン層PLの下方の第4配線層24は、中央部に配置された微細配線部Aと、その両外側領域に配置された非微細配線部Bとを有する。そして、金属プレーン層PLは、第4配線層24の非微細配線部Bを除いた微細配線部Aに対応する領域に配置され、非微細配線部Bに対応する領域には配置されていない。

【 0 1 2 4 】

金属プレーン層PLによって第4配線層24の微細配線部Aでのクロストークを抑制することができる。第4配線層24の非微細配線部Bではクロストークが問題にならないため、非微細配線部Bには金属プレーン層PLを配置する必要がない。

【 0 1 2 5 】

20

図13の部分拡大断面図に戻って説明すると、金属プレーン層PL及び第3層間絶縁層33の上には、第4層間絶縁層34が形成されている。金属プレーン層PLを除く領域には、第4層間絶縁層34の上面から第4配線層24に到達する第3ビアホールVH3が配置されている。

【 0 1 2 6 】

第3層間絶縁層33には開口部33aが形成されており、その開口部33aを埋め込む第4層間絶縁層34に第3ビアホールVH3が形成されている。第3層間絶縁層33の開口部33aの内側に第3ビアホールVH3が配置されている。第3層間絶縁層33の開口部33aの側壁が第4層間絶縁層34で被覆された状態となっている。

【 0 1 2 7 】

30

また、第4層間絶縁層34には、金属プレーン層PLに到達する第4ビアホールVH4が形成されている。

【 0 1 2 8 】

第4層間絶縁層34の上には、第3ビアホールVH3内の第3ビア導体VC3を介して第4配線層24に接続される第5配線層25が形成されている。また、第4層間絶縁層34の上には、第4ビアホールVH4内の第4ビア導体VC4を介して金属プレーン層PLに接続される第6配線層26が形成されている。

【 0 1 2 9 】

第5、第6配線層25、26は同一層から形成され、第4配線層24と同様に、中央部に配置された微細配線部Aと、その両外側領域に配置された非微細配線部Bとを有する。

【 0 1 3 0 】

40

そして同様に、第5、第6配線層25、26の微細配線部Aに対応する領域に金属プレーン層PLが配置され、第5配線層25の非微細配線部Bに対応する領域には金属プレーン層PLが配置されていない。

【 0 1 3 1 】

さらに、第4層間絶縁層34の上には、第5、第6配線層25、26に到達する第5ビアホールVH5が配置された第5層間絶縁層35が形成されている。第5層間絶縁層35の上には、第5ビアホールVH5内の第5ビア導体VC5を介して第5、第6配線層25、26に接続される接続パッドCPが第7配線層として形成されている。

【 0 1 3 2 】

図13の部分拡大断面図のSで示される箇所に注目すると、第4配線層24の接続部の

50

上に第3ピア導体V C 3を介して第5配線層2 5のピア受けパッドV Pが積層されている。さらに、第5配線層2 5のピア受けパッドV Pの上に、第5ピア導体V C 5を介して接続パッドC Pが積層されている。

【0133】

このようにして、第5配線層2 5のピア受けパッドV Pの上下の第3ピア導体V C 3及び第5ピア導体C V 5よって2段のスタックドビア構造が構築されている。

【0134】

前述したように、金属プレーン層P Lは、第4配線層2 4及び第5、第6配線層2 5, 2 6の各微細配線部Aに対応する領域のみに配置される。これにより、金属プレーン層P Lを形成する工程では、スタックドビア構造を構築するためのピア受けパッドを省略している。

10

【0135】

その代わりに、金属プレーン層P Lの上下に配置された第4層間絶縁層3 4及び第3層間絶縁層3 3を貫通するように第3ピアホールV H 3を形成し、金属プレーン層P Lの上に形成された第4層間絶縁層3 4の上に第5配線層2 5のピア受けパッドV Pを形成している。

【0136】

このようにすることにより、第4配線層2 4と第5、第6配線層2 5, 2 6との間に金属プレーン層P Lを挿入しても、スタックドビア構造の積層数が増加しない。このため、金属プレーン層P Lを追加で形成しても、スタックビア構造の電気的な接続の信頼性を確保することができる。

20

【0137】

また、金属プレーン層P Lを形成する工程では、スタックドビア構造用のピア受けパッドなどの微細配線を形成することなく、一括パターンを形成するだけなので、サブトラクティブ法などの簡易な方法を採用することができる。

【0138】

従って、微細な第4配線層2 4及び第5、第6配線層2 5, 2 6を形成する工程と違って、技術的な難易度が高いセミアディティブ法を使用する必要がないため、金属プレーン層P Lを追加で形成するとしても、製造歩留りが低下するおそれがない。

30

【0139】

また、金属プレーン層P Lをサブトラクティブ法などの簡易な方法で形成できるため、微細配線形成用のセミアディティブ法を使用する場合より、製造コストの低減を図ることができる。

【0140】

図13の部分拡大断面図に示すように、第4配線層2 4と金属プレーン層P Lとの間の第3層間絶縁層3 3は、厚みT 1が2 μm程度の薄膜で形成されている。また同様に、金属プレーン層P Lと第5、第6配線層2 5, 2 6との間の第4層間絶縁層3 4においても、厚みT 2が2 μm程度の薄膜で形成されている。

【0141】

これにより、第4配線層2 4及び第5、第6配線層2 5, 2 6の各微細配線部Aは金属プレーン層P Lに十分に近接して形成されるため、十分なクロストーク抑制の効果が得られる。

40

【0142】

また、金属プレーン層P Lでは、スタックドビア構造用のピア受けパッドの形成を省略している、このため、第4配線層2 4と第5配線層2 5とは、金属プレーン層P Lの上下に配置された第3、第4層間絶縁層3 3, 3 4を貫通する第3ピアホールV H 3内の第3ピア導体V C 3を介して接続される。

【0143】

また、金属プレーン層P Lは、その上の第4層間絶縁層3 4に形成された第4ピアホールV H 4内の第4ピア導体V C 4を介して上側の第6配線層2 6に接続されている。

50

【 0 1 4 4 】

このように、金属プレーン層 P L と第 6 配線層 2 6 とを接続する第 4 ピアホール V H 4 の深さ（厚み：T 1）は、第 4 配線層 2 4 と第 5 配線層 2 5 とを接続する第 3 ピアホール V H 3 の深さ（厚み：T 3）よりも浅くなる。

【 0 1 4 5 】

図 1 5 には、図 1 3 の配線基板 1 を使用する半導体装置 2 が示されている。図 1 5 に示すように、図 1 3 の配線基板 1 には複数の半導体素子搭載部が設けられており、上面側の接続パッド C P に複数の半導体素子 5 0 の接続端子 5 2 がはんだを介してフリップチップ接続される。

【 0 1 4 6 】

配線基板 1 の第 4 配線層 2 4 又は第 5 配線層 2 5 が複数の半導体素子 5 0 間を接続する配線を有して形成される。さらに、複数の半導体素子 5 0 と配線基板 1 との間にアンダーフィル樹脂 5 4 が充填される。

【 0 1 4 7 】

複数の半導体素子 5 0 としては、例えば、C P Uなどの複数のロジックチップを搭載してもよいし、あるいは、ロジックチップとメモリチップとを搭載してもよい。

【 0 1 4 8 】

さらに、配線基板 1 の下面側の第 3 配線層 2 3 にははんだボールを搭載するなどして外部接続端子 T を形成する。

【 0 1 4 9 】

以上により、実施形態の半導体装置 2 が得られる。実施形態の半導体装置 2 では、半導体素子 5 0 が微細配線を有する第 2 の多層配線層 6 に接続され、その下の第 1 の多層配線層 5 によって配線ピッチが広くなるようにピッチ変換される。

【 0 1 5 0 】

そして、半導体装置 2 の外部接続端子 T がマザーボードなどの実装基板の接続部に接続される。第 2 の多層配線層 6 は狭ピッチで形成できるため、高性能な半導体素子 5 0 の実装基板として使用できる。また、金属プレーン層 P L によってクロストークが抑制されるため、信頼性を向上させることができる。

【 0 1 5 1 】

なお、図 1 5 の半導体装置 2 の配線基板 1 では、1 層の金属プレーン層 P L が形成されているが、金属プレーン層 P L の層数は、微細配線の積層数に応じて任意の層数で形成することができる。

【 0 1 5 2 】

図 1 6 の半導体装置 2 a の配線基板 1 a では、2 層の金属プレーン層 P L が形成された例が示されている。第 1 配線層 6 1 の上に第 1 層間絶縁層 7 1 を介して第 1 金属プレーン層 P L 1 が形成されている。第 1 金属プレーン層 P L 1 の上に第 2 層間絶縁層 7 2 を介して第 2 配線層 6 2 が形成されている。

【 0 1 5 3 】

さらに、第 2 配線層 6 2 の上に第 3 層間絶縁層 7 3 を介して第 2 金属プレーン層 P L 2 が形成されている。第 2 金属プレーン層 P L 2 の上に第 4 層間絶縁層 7 4 を介して第 3 配線層 6 3 が形成されている。

【 0 1 5 4 】

第 3 配線層 6 3 の上には第 5 層間絶縁層 7 5 を介して接続パッド C P が形成されている。接続パッド C P に半導体素子 5 0 の接続端子 5 2 がフリップチップ接続されている。さらに、半導体素子 5 0 と配線基板 1 a との間にアンダーフィル樹脂 5 4 が充填されている。

【 0 1 5 5 】

このように、第 1 配線層 6 1 と第 2 配線層 6 2 との間に第 1 金属プレーン層 P L 1 が形成されている。また、第 2 配線層 6 2 と第 3 配線層 6 3 との間に第 2 金属プレーン層 P L 2 が形成されている。

10

20

30

40

50

【0156】

第1配線層61、第1金属プレーン層PL1及び第2配線層62を接続する第1ビアホールVHA及び第2ビアホールVHBの接続形態は、前述した図13の部分拡大断面図と同一である。

【0157】

また、第2配線層62、第2金属プレーン層PL2及び第3配線層63を接続する第3ビアホールVHC及び第4ビアホールVHDの接続形態についても、前述した図13の部分拡大図と同一である。

【0158】

図16では、図13の第3層間絶縁層33の開口部33aに対応する第1層間絶縁層71及び第3層間絶縁層73の各開口部は省略されて描かれている。 10

【0159】

図16の半導体装置2aの配線基板1aでは、図13の配線基板1と同様に、第1配線層61、第2配線層62及び第3配線層63が微細配線部Aと非微細配線部B(不図示)とをそれぞれ有している。そして、各微細配線部Aに対応する領域のみに第1、第2金属プレーン層PL1, PL2が配置されている。

【0160】

また同様に、第1、第2金属プレーン層PL1, PL2を形成する際に、スタックドビア構造用のビア受けパッドを省略している。 20

【0161】

このため、複数の金属プレーン層を挿入する場合であっても、スタックドビア構造の積層数が増加しないため、接続の信頼性を確保することができる。また、前述したように、金属プレーン層の形成工程では、微細配線を形成する必要がなくなるため、金属プレーン層は簡易な方法で歩留りよく形成される。

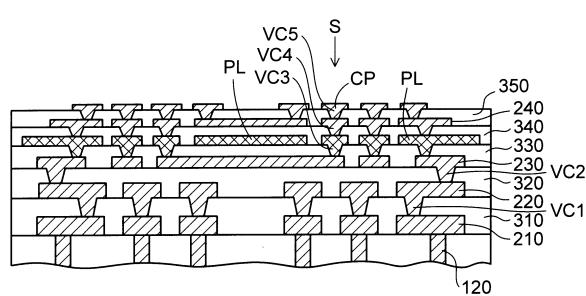
【0162】

このように、金属プレーン層の形成は歩留り低下の要因にはならないため、複数の金属プレーン層を追加で形成しても、歩留りの低下が回避される。

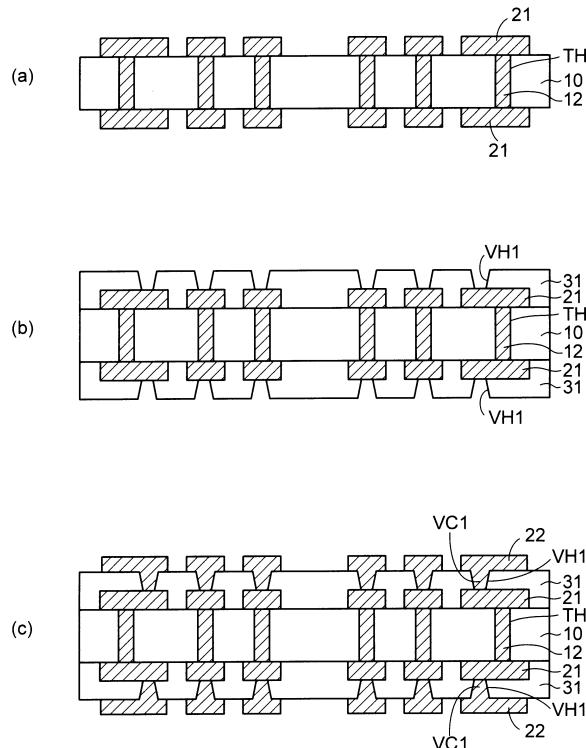
【符号の説明】**【0163】**

1, 1a...配線基板、2, 2a...半導体装置、5...第1の多層配線層、6...第2の多層配線層、10...コア基板、12...貫通導体、14, 16...めっきレジスト層、14a, 16a, 33a, 36a...開口部、18...レジスト層、21, 61...第1配線層、22, 62...第2配線層、22a, 24a...シード層、22b, 24b...金属めっき層、23, 63...第3配線層、23a, 40a...金属層、24...第4配線層、24x...チタン層、24y...銅層、25...第5配線層、31, 71...第1層間絶縁層、32, 72...第2層間絶縁層、33, 73...第3層間絶縁層、34, 74...第4層間絶縁層、35, 75...第5層間絶縁層、36...ソルダーレジスト層、40...下地層、42...金属めっき層、50...半導体素子、52...接続端子、54...アンダーフィル樹脂、A...微細配線部、B...非微細配線部、C...接続パッド、PL, PL1, PL2...金属プレーン層、TH...スルーホール、T...外部接続端子、VC1, VC2, VC3, VC4, VC5...ビア導体、VH1, VH2, VH3, VH4, VH5, VHA, VHB, VHC, VHD...ビアホール、VP...ビア受けパッド。 30 40

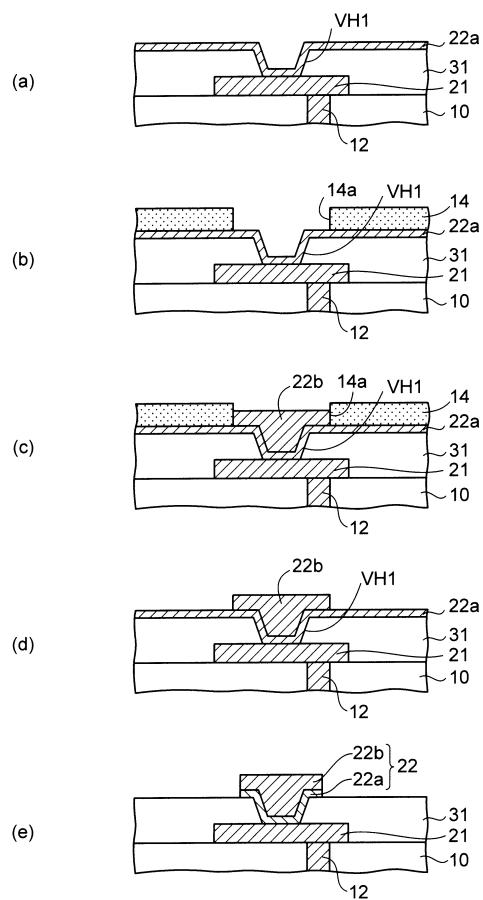
【図1】



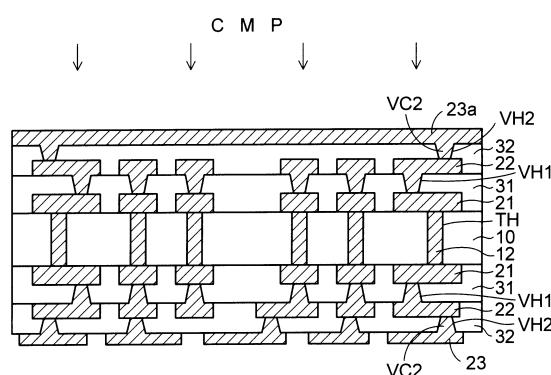
【図2】



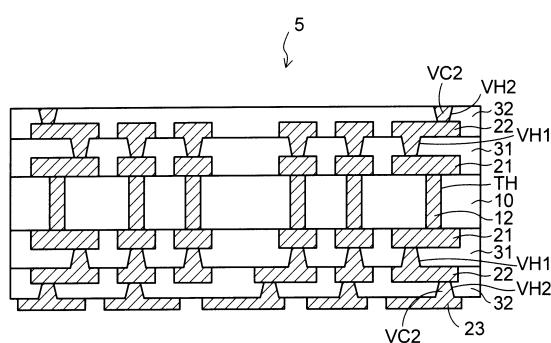
【図3】



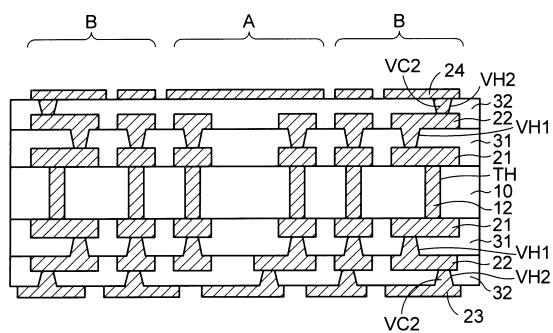
【図4】



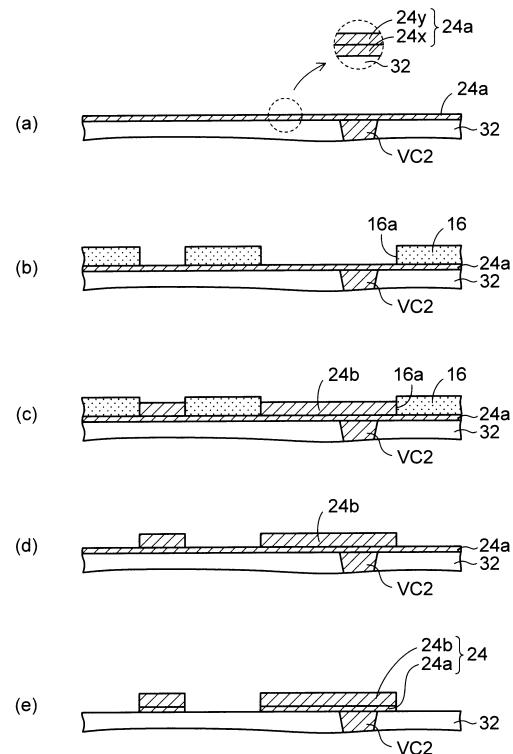
【図5】



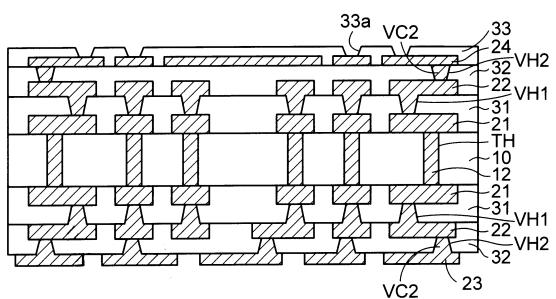
【図6】



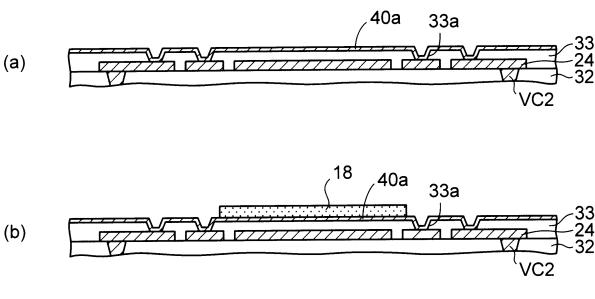
【図7】



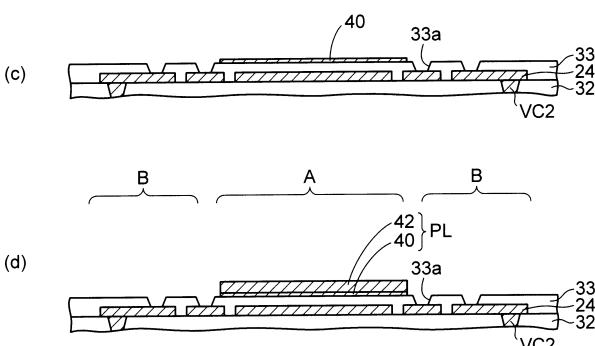
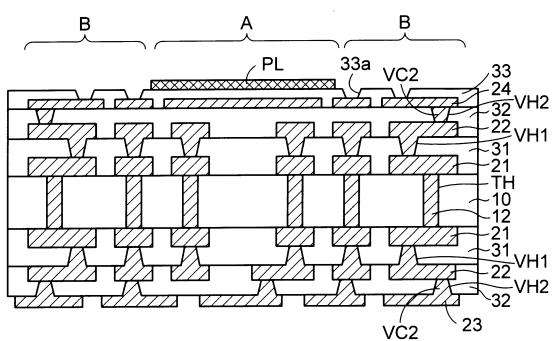
【図8】



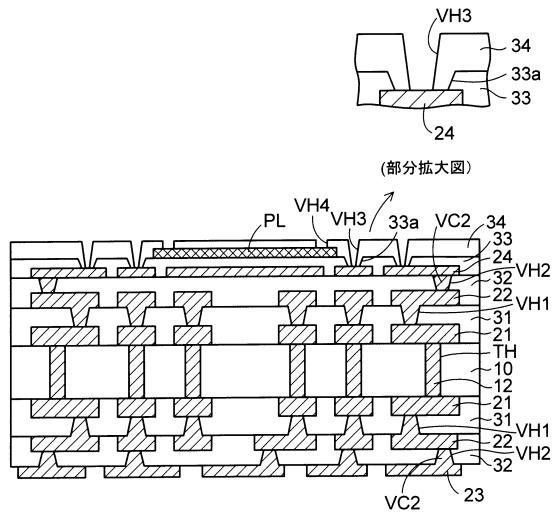
【図10】



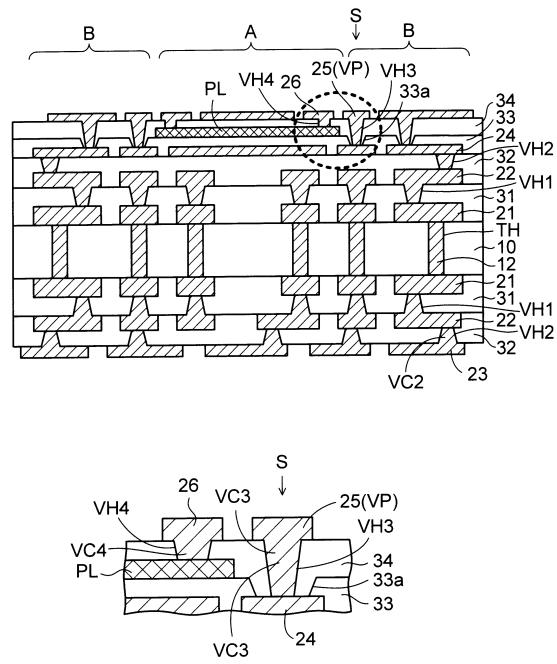
【図9】



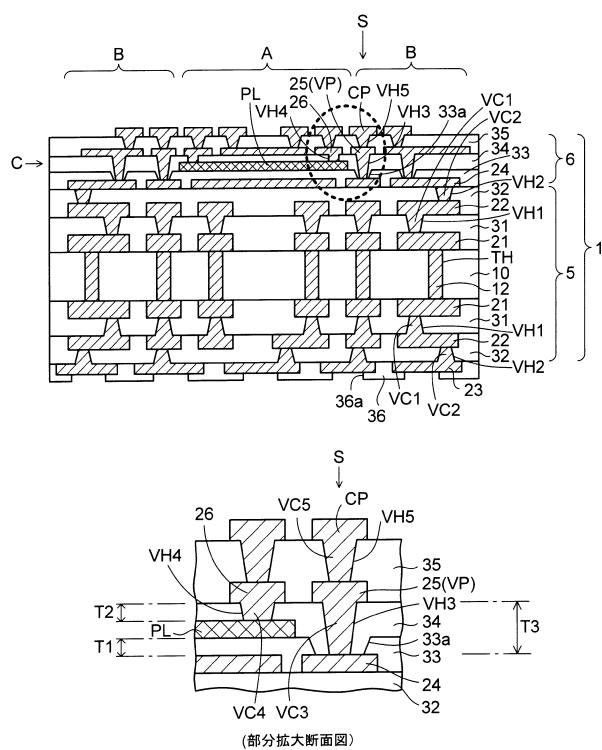
【図11】



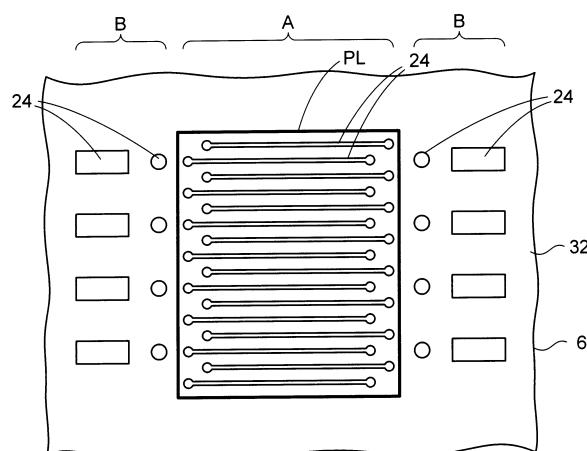
【図12】



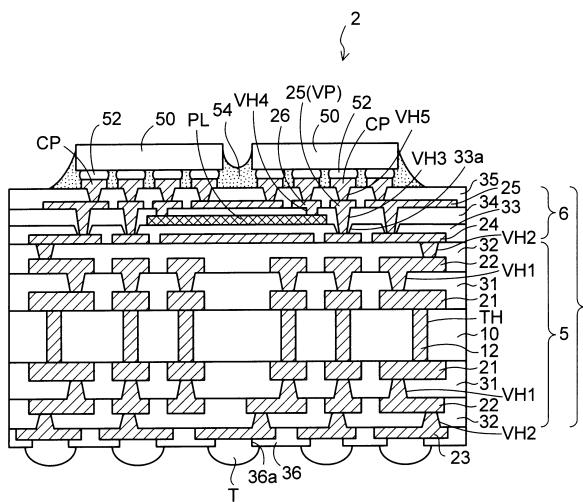
【図13】



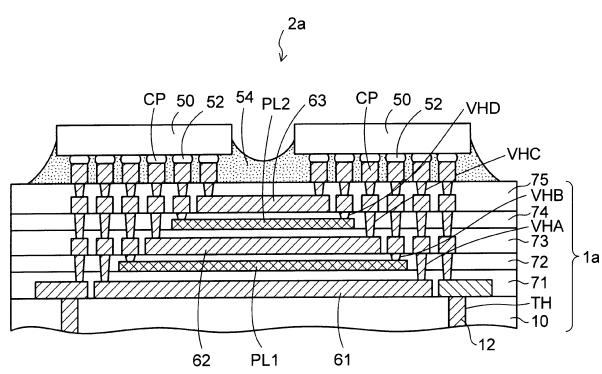
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 小泉 直幸
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 内田 勝久

(56)参考文献 特開2008-244179(JP,A)
特開2005-223332(JP,A)
特開2002-009225(JP,A)
特開2007-165642(JP,A)
特開2012-195447(JP,A)
特開平04-279094(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/00 ~ 1/02
H05K 3/46
H01L 23/12