

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11B 20/10 (2006.01)
G11B 5/09 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610115471.2

[43] 公开日 2007年3月7日

[11] 公开号 CN 1925051A

[22] 申请日 2006.8.10

[21] 申请号 200610115471.2

[30] 优先权

[32] 2005.8.30 [33] US [31] 11/215,409

[71] 申请人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 罗伯特·阿伦·哈钦森

塞达特·奥尔瑟 詹斯·杰利托

伊万杰洛斯·S·埃勒夫塞里奥

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

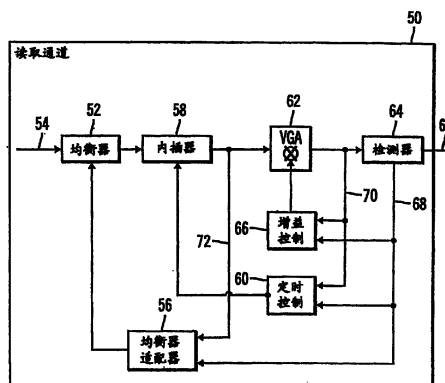
权利要求书 5 页 说明书 8 页 附图 4 页

[54] 发明名称

用于动态适应读取通道均衡器的读取通道和存储驱动器

[57] 摘要

本发明提供一种包括在存储设备内用来处理从存储介质中读取的信号的读取通道。该读取通道包括均衡器，其均衡输入读取信号，以产生均衡器输出信号。检测器检测调整的均衡器输出信号，以确定包括由该输入读取信号表示的数据的输出值。均衡器适配器接收来自检测器的输出值，以确定用来调整均衡器操作的第一误差信号。一个组件调整发送给检测器的均衡器输出信号，其中通过根据来自检测器的输出值计算的第二误差信号来调整该组件，其中该第一误差信号和第二误差信号是不同的。



1. 一种读取通道，包括在存储设备内，用来处理从存储介质中读取的信号，包括：

均衡器，其均衡输入读取信号，以产生均衡器输出信号；

检测器，其检测调整的均衡器输出信号，以确定包括由所述输入读取信号表示的数据的输出值；

均衡器适配器，其接收来自所述检测器的所述输出值，以确定用来调整所述均衡器操作的第一误差信号；以及

调整发送给所述检测器的所述均衡器输出信号的组件，其中通过根据来自所述检测器的所述输出值计算的所述第二误差信号来调整所述组件，其中所述第一误差信号和第二误差信号是不同的。

2. 根据权利要求1的读取通道，其中根据来自所述检测器的所述输出值和所述检测器检测的所述调整的均衡器输出信号来计算所述第二误差信号。

3. 根据权利要求1的读取通道，其中所述组件包括增益放大器。

4. 根据权利要求1的读取通道，其中所述组件包括第一组件，所述读取通道还包括：

第二组件，其在所述第一组件调整所述均衡器输出信号之前调整所述均衡器输出信号，其中根据来自所述检测器的所述输出值和由所述第一组件调整之前由所述第二组件调整的所述均衡器输出信号来计算所述第一误差信号。

5. 根据权利要求4的读取通道，其中所述第一组件包括增益放大器，所述第二组件包括内插器，以及其中所述第二误差信号还用来调整所述内插器。

6. 根据权利要求1的读取通道，其中所述均衡器适配器接收在所述检测器检测之前的表示所述均衡器输出信号的第一输入信号，以及其中所述组件接收在所述检测器检测之前的表示所述均衡器输出信号的第二输入信号，其中所述第一输入信号和第二输入信号是不同

的，并且由在所述均衡器与所述检测器之间的信号通路内的不同组件调整所述第一输入信号和第二输入信号。

7. 根据权利要求6的读取通道，还包括：

第一延迟电路，用于利用第一延迟调整来自所述检测器的所述输出值和所述第一输入信号，其中所述第一误差信号是使用所述经延迟调整的输出值和第一输入信号来计算的，其中来自所述检测器的所述输出值和所述第二输入信号具有第二延迟，其中所述第二误差信号是使用所述经延迟调整的输出值和第二输入信号来计算的。

8. 根据权利要求1的读取通道，其中所述均衡器使用有限脉冲响应（FIR）滤波器来产生所述均衡器输出信号，以及其中所述均衡器适配器通过调整第一组系数并且固定在FIR计算中所用的第二组系数来调整所述均衡器的操作。

9. 一种读取通道，包括在存储设备内，用来处理从存储介质中读取的信号，包括：

均衡器，其均衡输入读取信号，以产生均衡器输出信号；

第一限幅器，其接收第一调整的均衡器输出信号，以产生包括由所述输入读取信号表示的数据的第一输出值；

均衡器适配器，其接收所述第一输出值和所述第一调整的均衡器输出信号，以确定用来调整所述均衡器操作的第一误差信号；

第二限幅器，其接收第二调整的均衡器输出信号，以产生包括由所述输入读取信号表示的数据的第二输出值，所述第二输出值不同于所述第一输出值；以及

处理所述第一调整的均衡器输出信号以产生所述第二调整的均衡器输出信号的组件，其中所述第一调整的均衡器输出信号和所述第二输出值用来产生用于调整所述组件的第二误差信号。

10. 根据权利要求9的读取通道，其中所述第一与第二输出值相差不同的延迟。

11. 根据权利要求9的读取通道，其中所述组件包括增益放大器，所述读取通道还包括：

内插器，其处理所述均衡器输出信号，以产生所述第一调整的均衡器输出信号。

12. 一种存储驱动器，用于相对于耦合到该存储驱动器的存储介质执行输入/输出（I/O）操作，包括：

读取头，用于从所述存储介质中读取数据；以及

读取通道，与所述读取头进行数据通信，以处理所述读取头从所述存储介质中读取的信号，所述读取通道包括：

均衡器，其均衡输入读取信号，以产生均衡器输出信号；

检测器，其检测调整的均衡器输出信号，以确定包括由所述输入读取信号表示的数据的输出值；

均衡器适配器，其接收来自所述检测器的所述输出值，以确定用来调整所述均衡器操作的第一误差信号；以及

调整发送给所述检测器的均衡器输出信号的组件，其中通过根据来自所述检测器的输出值计算的所述第二误差信号来调整所述组件，其中所述第一误差信号和所述第二误差信号是不同的。

13. 根据权利要求 12 的存储驱动器，其中根据来自所述检测器的所述输出值和所述检测器检测的所述调整的均衡器输出信号来计算所述第二误差信号。

14. 根据权利要求 12 的存储驱动器，其中所述组件包括增益放大器。

15. 根据权利要求 12 的存储驱动器，其中所述组件包括第一组件，其中所述读取通道还包括：

第二组件，其在所述第一组件调整所述均衡器输出信号之前调整所述均衡器输出信号，其中根据来自所述检测器的所述输出值和由所述第一组件调整之前由所述第二组件调整的均衡器输出信号来计算所述第一误差信号。

16. 根据权利要求 15 的存储驱动器，其中所述第一组件包括增益放大器，所述第二组件包括内插器，以及其中所述第二误差信号还用来调整所述内插器。

17. 根据权利要求 12 的存储驱动器, 其中所述均衡器适配器接收在所述检测器检测之前的表示所述均衡器输出信号的第一输入信号, 以及其中所述组件接收在所述检测器检测之前的表示所述均衡器输出信号的第二输入信号, 其中所述第一输入信号和第二输入信号是不同的, 并且由在所述均衡器与所述检测器之间的信号通路内的不同组件调整所述第一输入信号和第二输入信号。

18. 根据权利要求 17 的存储驱动器, 所述读取通道还包括:

第一延迟电路, 用于利用第一延迟调整来自所述检测器的输出值和所述第一输入信号, 其中所述第一误差信号是使用所述经延迟调整的输出值和第一输入信号来计算的, 其中来自所述检测器的所述输出值和所述第二输入信号具有第二延迟, 其中所述第二误差信号是使用所述经延迟调整的输出值和第二输入信号来计算的。

19. 根据权利要求 12 的存储驱动器, 其中所述均衡器使用有限脉冲响应 (FIR) 滤波器来产生所述均衡器输出信号, 以及其中所述均衡器适配器通过调整第一组系数并且固定在 FIR 计算中所用的第二组系数来调整所述均衡器的操作。

20. 根据权利要求 12 的存储驱动器, 其中所述存储驱动器包括带驱动器, 以及其中所述存储介质包括磁带。

21. 一种存储驱动器, 用于相对于耦合到该存储驱动器的存储介质执行输入/输出 (I/O) 操作, 包括:

读取头, 用于从所述存储介质中读取数据; 以及

读取通道, 与所述读取头进行数据通信, 以处理所述读取头从所述存储介质中读取的信号, 所述读取通道包括:

均衡器, 其均衡输入读取信号, 以产生均衡器输出信号;

第一限幅器, 其接收第一调整的均衡器输出信号, 以产生包括由所述输入读取信号表示的数据的第一输出值;

均衡器适配器, 其接收所述第一输出值和所述第一调整的均衡器输出信号, 以确定用来调整所述均衡器的操作的第一误差信号;

第二限幅器, 其接收第二调整的均衡器输出信号, 以产生包

括由所述输入读取信号表示的数据的第二输出值，所述第二输出值不同于所述第一输出值；以及

处理所述第一调整的均衡器输出信号以产生所述第二调整的均衡器输出信号的组件，其中所述第一调整的均衡器输出信号和所述第二输出值用来产生用于调整所述组件的第二误差信号。

22. 根据权利要求 21 的存储驱动器，其中所述第一与第二输出值相差不同的延迟。

23. 根据权利要求 21 的存储驱动器，其中所述组件包括增益放大器，以及所述读取通道还包括：

内插器，其处理所述均衡器输出信号，以产生所述第一调整的均衡器输出信号。

24. 根据权利要求 21 的存储驱动器，其中所述存储驱动器包括带驱动器，以及其中所述存储介质包括磁带。

用于动态适应读取通道均衡器的读取通道和存储驱动器

技术领域

本发明涉及用于动态适应读取通道均衡器的系统和设备。

背景技术

磁带盒包括用于存储要保存并且在随后时间读取的数据的磁带。磁带驱动器将数据写入到通常作为一组平行磁道的磁带上，并且随后磁带驱动器读取数据。为了读取数据，磁带驱动器通常包括：平行读取头，用于读取每一个平行磁道；驱动系统，用于相对于读取头移动磁带，使得读取头可以检测磁带上的磁信号；和读取通道，用于对读取头所检测的磁信号进行数字采样并且提供磁信号的数字采样。数字采样然后被解码成数据比特，以及来自平行磁道的数据比特被组合成所保存的数据。读取通道通常需要用于每个读取头的均衡器，用以补偿由于写入头、磁带和读取头的磁记录特性所引起的信号变化。磁带可以在带驱动器之间互换，使得在一个带驱动器上写入的磁带将会由另一个带驱动器读取。读取头对不同写入磁带的响应的差异会导致所记录的信号的读取差到不可接受。

在磁带驱动器内实现的自适应均衡器对一组方程求解，以找出降低期望振幅与实际振幅之间的误差的均衡器特性。这组方程会是非常复杂的，并且在计算机上是昂贵的。因此，大都在使用开始时相对磁带计算均衡器，或者在使用期间再计算均衡器多次。此外，期望振幅可以是难以估计的。因此，在许多情况下，期望振幅最好通过采用诸如同步信号或数据组分隔符信号之类的具有已知特性的信号而不是随机数据信号来估计。

在磁带中，记录特性可以不仅因磁道而变化，而且也可以沿着一个或多个磁道以连续方式改变。因此，所选的均衡器特性虽然在磁带

的开始处或者在磁带的某些特定磁道位置处是满意的，但可能在沿着磁道的某些点上导致数据读取误差增大。

此外，在磁带中，均衡器通常在异步域中均衡信号，这意味着相对用来将数据写入到磁带上所用的时钟，均衡器处理的数字采样是异步进行的。这使得在异步采样点处确定期望振幅成为一个困难的任

务。

Evangelos S. Eleftheriou、Robert A. Hutchins、Glen Jaquette 和 Sedat Oelcer 在 2005 年 1 月 12 日提交的标题为“动态适应磁带读取通道均衡器”（“Dynamically Adapting a Magnetic Tape Read Channel Equalizer”）的共同未决以及共同转让的专利申请 No. 11/003,283 提供了一种用于动态适应均衡器以改善稳定性和信噪比的技术。在该申请中，均衡器具有至少一个可调抽头并且均衡输入读取信号。检测器检测增益经增益控制环调整之后的均衡器输出信号。接收信号和期望信号通常是不同的，并且用该差异来产生误差信号，该误差信号作为反馈提供给增益控制环，增益控制环调整控制均衡器输出信号的振幅的可变增益放大电路。同一误差信号还提供给均衡器适配器，以将所检测到的与振幅无关的误差反馈给均衡器的可调抽头。此外，如果增益控制环和均衡器自适应环使用来自同一个源的误差信号，则这两个环就会相互作用。相互作用的结果是在均衡器内必须固定更多的抽头用于稳定的均衡器环自适应。然而，固定更多的抽头降低了均衡器适应能力。

发明内容

提供一种包括在存储设备中用来处理从存储介质中读取的信号

的读取通道。该读取通道包括一个均衡器，其均衡输入读取信号，以产生均衡器输出信号。检测器检测调整的均衡器输出信号，以确定包括由输入读取信号表示的数据的输出值。均衡器适配器接收来自检测器的输出值，以确定用来调整均衡器操作的第一误差信号。一个组件调整发送给检测器的均衡器输出信号，其中通过根据来自检测器的输

出值计算的第二误差信号调整该组件，其中第一误差信号和第二误差信号是不同的。

此外，提供一种包括在存储设备中用来处理从存储介质中读取的信号的读取通道。这种读取通道包括均衡器，其均衡输入读取信号，以产生均衡器输出信号。第一限幅器接收第一调整的均衡器输出信号，以产生包括由输入读取信号表示的数据的第一输出值。均衡器适配器接收第一输出值和第一调整的均衡器输出信号，以确定用来调整均衡器操作的第一误差信号。第二限幅器接收第二调整的均衡器输出信号，以产生包括由输入读取信号表示的数据的第二输出值，第二输出值不同于第一输出值。一个组件处理第一调整的均衡器输出信号以产生第二调整的均衡器输出信号，其中第一调整的均衡器输出信号和第二输出值用来产生用于调整该组件的第二误差信号。

附图说明

图 1 示出了磁带驱动器的实施例；以及

图 2、图 3 和图 4 示出了磁带驱动器的读取通道的实施例。

具体实施方式

在以下说明中，将结合附图以优选实施例来对本发明进行说明，在这些附图中，同样的数字表示相同或类似的元件。虽然根据用于实现本发明的目的的最佳方式来说明本发明，但本领域技术人员可以理解，在不背离本发明的精神或范围的情况下，按照这些教导可以实现各种变形。

图 1 例示了磁带驱动器 10 的实施例。磁带驱动器 10 提供用于相对于磁带盒 11 的磁带 14 读取和写入信息的装置。磁带盒包括用于存储要保存并且在随后时间读取的数据的磁带存储介质。此外，磁带盒可以在磁带驱动器之间互换，使得在一个磁带驱动器上写入的磁带可以由另一个磁带驱动器来读取。磁带盒 11 包括缠绕在一个或两个卷盘 15、16 上的一段磁带 14。

所示出的是单卷盘磁带盒 11，这种磁带盒的例子是遵从线性磁带开放（LTO）格式的磁带盒。磁带驱动器 10 的一个例子是基于 LTO 技术的 IBM 3580 Ultrium 磁带驱动器。单卷盘磁带驱动器和相关联的盒的另一个例子是 IBM 3592 TotalStorage 企业磁带驱动器和相关联的磁带盒。双卷盘磁带盒的一个例子是 IBM 3570 磁带盒和相关联的驱动器。在可替换的实施例中，其他可用的磁带格式包括数字线性带（DLT）、数字音频带（DAT）等。

磁带驱动器 10 包括记录系统的一个或者多个控制器 18，用于按照在接口 21 上从主机系统 20 接收到的命令对磁带驱动器进行操作。控制器通常包括逻辑和 / 或一个或多个带有存储器 19 的微处理器，存储器 19 用于存储信息和操作微处理器的程序信息。可以通过诸如软盘或光盘的到控制器 18 的输入，或者通过从磁带盒读取，或通过任何其他适当的手段，经由接口 21 将程序信息提供给存储器。磁带驱动器 10 可以包括一个独立的单元或者包括带库或其他子系统的一部分。磁带驱动器 10 可以直接耦合到主机系统 20 上，通过一个库或通过网络耦合到主机系统 20 上，并且可以在接口 21 处使用小型计算机系统接口（SCSI）、光纤通道接口等。磁带盒 11 可以插入磁带驱动器 10，并由磁带驱动器装载，使得随着通过旋转卷盘 15、16 的两个马达 25 纵向移动磁带 14，记录系统的一个或多个读取和 / 或写入头 23 相对于磁带 14 以信号的形式读取和 / 或写入信息。磁带通常包括多个平行磁道或磁道组。在一些诸如 LTO 格式之类的带格式中，磁道排列成一些单独缠绕（wrap）的来回缠绕样式，如本技术领域的人员所知道的那样。此外，记录系统可以包括一个缠绕控制系统 27，用来电性切换到另一组读取和 / 或写入头，和 / 或在磁带的横向上寻找并移动读取和 / 或写入头 23，以将这些头定位在所希望的缠绕上，以及在有些实施例中跟随所希望的缠绕。缠绕控制系统还可以通过马达驱动器 28 响应于控制器 18 的指令对马达 25 的操作进行控制。

控制器 18 还采用缓存器 30 和记录通道 32 提供用于从磁带读取的数据和写入磁带的的数据的数据流和格式符，如本技术领域的人员所

知道的那样。

磁带驱动器 10 的系统还包括马达 25 和卷盘 15、16，用以使磁带 14 相对于读取头 23 移动，使得读取头可以检测磁带上的磁信号。记录通道 32 的读取通道对读取头所检测的磁信号进行数字采样，以提供磁信号的数字采样供进一步处理。

图 2、图 3 和图 4 示出了图 1 的记录通道 32 的读取通道的部分的实施例，包括动态适应均衡器的实施例。在读取通道可以同时读取多个平行磁道的实施例中，记录通道 32 可以包括多个读取通道，其中可以共享一些组件。

图 2 示出了用于提供读取头 23 所检测的磁信号的数字采样的读取通道 50 的一些而不是所有的组件的实施例。均衡器 52 接收来自模拟到数字转换器 (ADC) (未示出) 的信号 54，模拟到数字转换器将从磁带读取的模拟信号变换成可以由均衡器 52 处理的数字采样。在一个实施例中，均衡器 52 可以包括一个具有可调抽头的有限脉冲响应 (FIR) 滤波器。均衡器 52 修正数字采样，以补偿由于写入头、磁带和读取头的磁记录特性所引起的信号差异。修正基于其系数可以由均衡器适配器 56 适应的一系列特定函数。均衡器 52 输出的经修正的数字采样提供给含有定时电路的内插器 58，以将信号隔开成相隔一个比特或符号间隔的单采样。

确定磁信号的信息内容需要确定磁信号的磁转变的定时或位置。通常，取采样信号 54 相对用来将数据写入到磁带上的时钟是异步的。内插器 58 将异步采样内插成一组可以被认为是与写入时钟或与磁记录转变的位置同步的采样。定时控制组件 60 可以包括相位误差产生逻辑、锁相环 (PLL) 和相位内插逻辑，用来为内插器得出一个基准，以提供同步采样。可以包括专门设计的逻辑电路的可变增益放大电路 (VGA) 62 调整加在来自内插器 58 的信号上的门 (gate)，以将同步采样调节到最佳电平。

检测器 64 接收来自 VGA 62 的增益调整的同步数字采样，以确定由数字采样表示的数据信息，即 0 或 1。所确定的数据信息作为信号

65 输出, 供进一步处理。在一个实施例中, 除确定数据信息以外, 检测器 64 可以将同步的增益调整的均衡器输出与期望值相比较, 并且确定最接近的期望值, 以及然后选择该最接近的期望值作为检测器 64 的输出, 示为输出值 68。来自检测器 64 的所确定的输出值 68, 即期望值, 和输入到检测器 64 的信号 70 一起提供给增益控制 66, 该增益控制 66 计算误差信号, 以调整 VGA 电路 62, 以及由定时控制器 60 用来调整内插器 58。此外, 来自检测器 64 的所确定的输出值 68 和 VGA 电路 62 的输入 72 提供给均衡器适配器 56, 用来确定误差信号, 用以调整均衡器 52 所用的系数。在这种方式下, 就使均衡器 52 与 VGA 电路 62 解耦, 因为用来产生均衡器误差 72 的信号在增益自适应环之外。因此, 从均衡器 52 到均衡器适配器 56 形成的环与从 VGA 电路 62 通过增益控制 66 形成的环解耦。已发现, 使用不同的误差信号来相对于内插器 58 和 VGA 电路 62 调整均衡器 52, 以避免收敛问题, 改善稳定性和改善信噪比。

均衡器适配器 56 和组件 58、62 计算的误差信号可以包括与振幅无关的误差信号。均衡器适配器 56 可以用误差信号来调整均衡器的一个或多个系数 (抽头)。与振幅无关的误差信号可以被认为是表示每个偏移事实的信号, 但不反映偏移量。此外, 每个信号表示的偏移的极性可以是与振幅无关的误差信号的一部分, 因此表明偏移或误差的极性。因此, 与振幅无关的误差信号不仅表明了存在误差, 而且表明了误差的方向。这种简化的误差信号允许对均衡器进行动态适应, 从而允许采用数据信号提供动态适应。

在一个实施例中, 均衡器 52 可以通过使用有限脉冲响应 (FIR) 滤波器对输入信号 54 进行调整, 有限脉冲响应根据由包括检测器 68 的输出 (期望值) 与 VGA 电路 62 的输入 72 之差的误差信号调整的并且由均衡器适配器 56 所提供的系数 (c) 来产生输出 (Z_n)。下面的等式 (1) 示出了如何通过系数 (c) 调整输入 54 (x_n)。系数 (c) 包括在时间常数 (i) 的 n 个系数的下标。

$$Z_n = \sum_{i=0}^{N-1} c_{i,n} x_{n-i} \quad (1)$$

均衡器适配器 56 按照根据检测器输出 64 和 VGA 电路 62 的输入 72 计算出的误差信号 (e_n) 来调整系数 (c)。可编程参数 (α) 控制系数收敛的速度, 即 (α) 越大收敛就越快。在一个实施例中, 均衡器适配器 56 通过使用下面的等式 (2) 所示的最小均方 (LMS) 算法计算调整的系数 (c)。然后, 均衡器 52 在式 (1) 中使用调整的系数来计算调整的信号。

$$c_{i,n+1} = c_{i,n} - \alpha e_n x_{n-1}, \quad \text{其中 } i = 0, 1, \dots, N-1 \quad (2)$$

在这种方式下, 用来调整均衡器 52 的误差信号不同于用来调整 VGA 电路 62 和内插器 58 的误差信号, 提供了环解耦。利用环解耦, 就避免了由于增益调整与自适应均衡器的耦合而引起的稳定性问题。由于均衡器处在“异步时域”(即, 内插器前) 而且由于均衡器环与定时控制环之间存在少许相互作用, 因此可能需要对均衡器的调整算法 (LMS 算法) 加以限制, 以避免可能出现的病态收敛问题。这可以通过固定 (即不调整) 一些均衡器系数 (c) 来实现。下面的等式 (3) 示出了可以怎样计算系数 (c) 使得当某些系数处在为固定系数集 (I) 的成员的标 (i) 时将这此系数固定到它们的当前值。

$$c_{i,n+1} = \begin{cases} c_{i,n} - \alpha e_n x_{n-1}, & i \in I \\ c_{i,n}, & i \notin I \end{cases} \quad (3)$$

因此, 如果系数是固定系数集 (I) 的成员, 则在时间周期 ($n+1$) 的系数 $c_{i,n+1}$ 就设置为在上个时间周期 (n) 的系数 $c_{i,n}$, 即该系数抽头是固定的。如果系数 (c_i) 不是固定系数集的成员, 则对它进行调整。读取通道 50 的设计者可以根据经验测试确定需固定的系数的数目。

图 3 示出了读取通道 150 的一个实施例，它包括许多与读取通道 50 中的相同的组件，而且引入了延迟电路 174 和 176，图中没有示出定时电路。由于引入了延迟，给用来调整 VGA 162 的增益控制 166 的误差信号 178 包括由于通过检测器延迟了 D_2 的理想信号 (\hat{u}_{k-D_2}) 减去经延迟了 D_2 以与通过检测器 164 的延迟匹配的实际的或输入到检测器的信号 (u_{k-D_2})。给均衡器适配器 156 的误差信号 180 包括理想信号 (\hat{y}_{k-D_1}) 减去延迟了 D_1 以与通过检测器 164 的延迟匹配的实际或输入到 VGA 162 的信号 (y_{k-D_1})。这种方法利用检测器 164 的功率来估计理想信号，代价是在两个反馈环内具有附加的延迟。

图 4 示出了读取通道 200 的附加实施例，它包括多个与读取通道 50 中的相同的组件，而且引入了限幅器 224 和 226。限幅器 226 实现检测器的操作而不需要图 3 中的延迟电路，以及类似地，限幅器 224 实现检测器的操作而不需要图 3 中所示的延迟 (D_1)。在这种方式下，每个限幅器 224、226 提供包括由输入读取信号表示的理想信号的输出值。通过使用限幅器所提供的理想采样估计可能不如使用来自检测器的采样估计那样精确，但是不存在与进行估计相关联的延迟。

本领域技术人员将理解，对于在此示出的这些组件可以进行改变。此外，本领域技术人员也将理解，可以使用与在此所示出的不同的特定组件配置。例如，图 2 的检测器 64 可以包括一个检测器，其从数据检测器得出期望值；将均衡器输出信号与所述期望值相比较；以及如果存在偏移，就发出存在误差的信号，作为与振幅无关的误差信号。

所说明的读取通道的组件可以包括分立逻辑、ASIC (专用集成电路)、FPGA (现场可编程门阵列)、定制处理器等。所说明的读取通道的组件还可以包括程序内的例行子程序或其他软件实现。

在图 2、3 和 4 中作为独立组件示出的组件可以在单个电路器件中实现，或者所例示的一个组件的功能可以在独立的电路器件中实现。

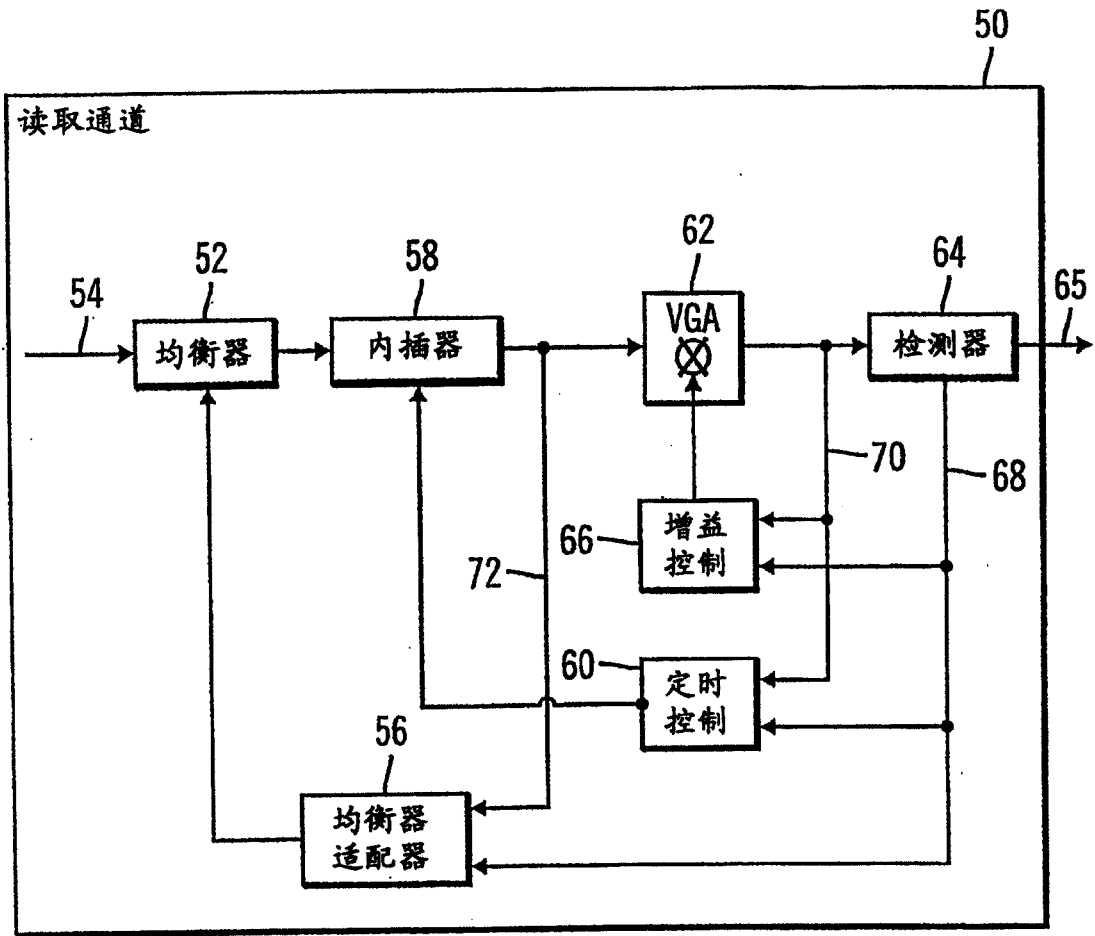


图 2

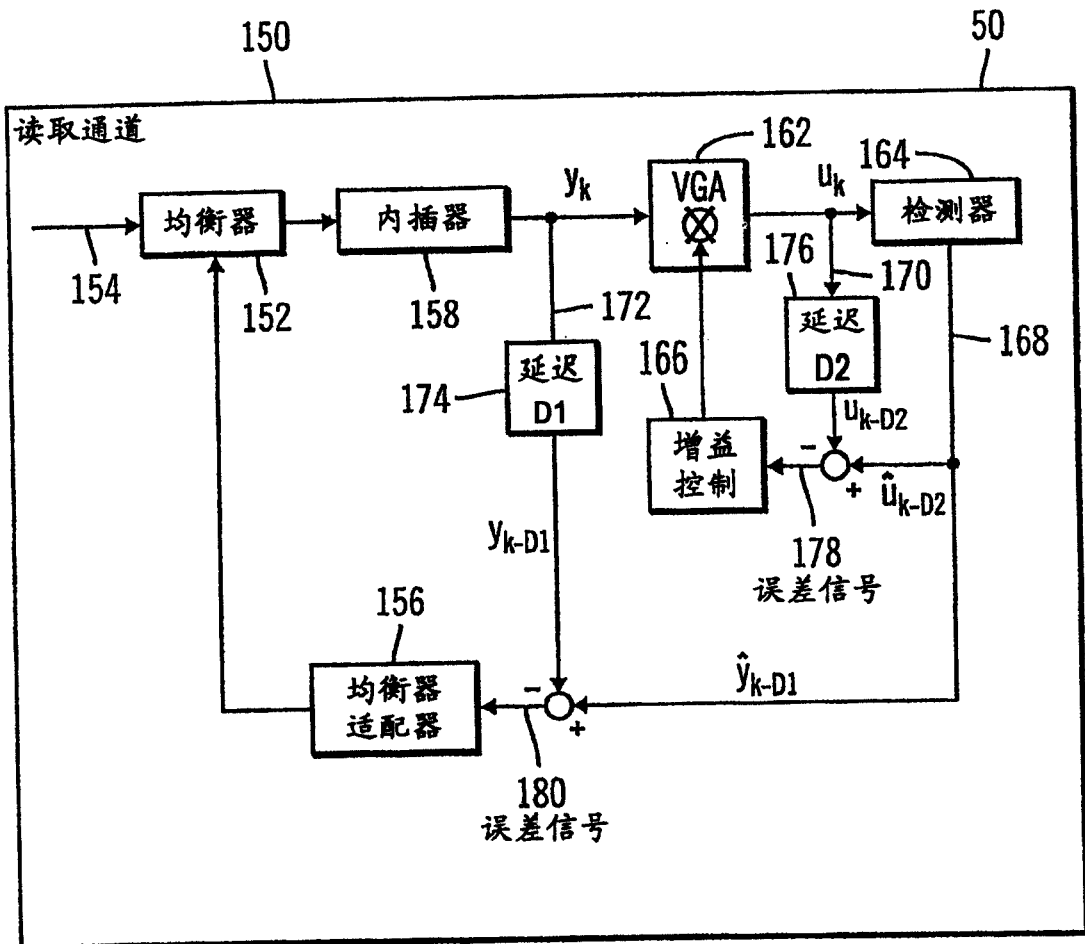


图 3

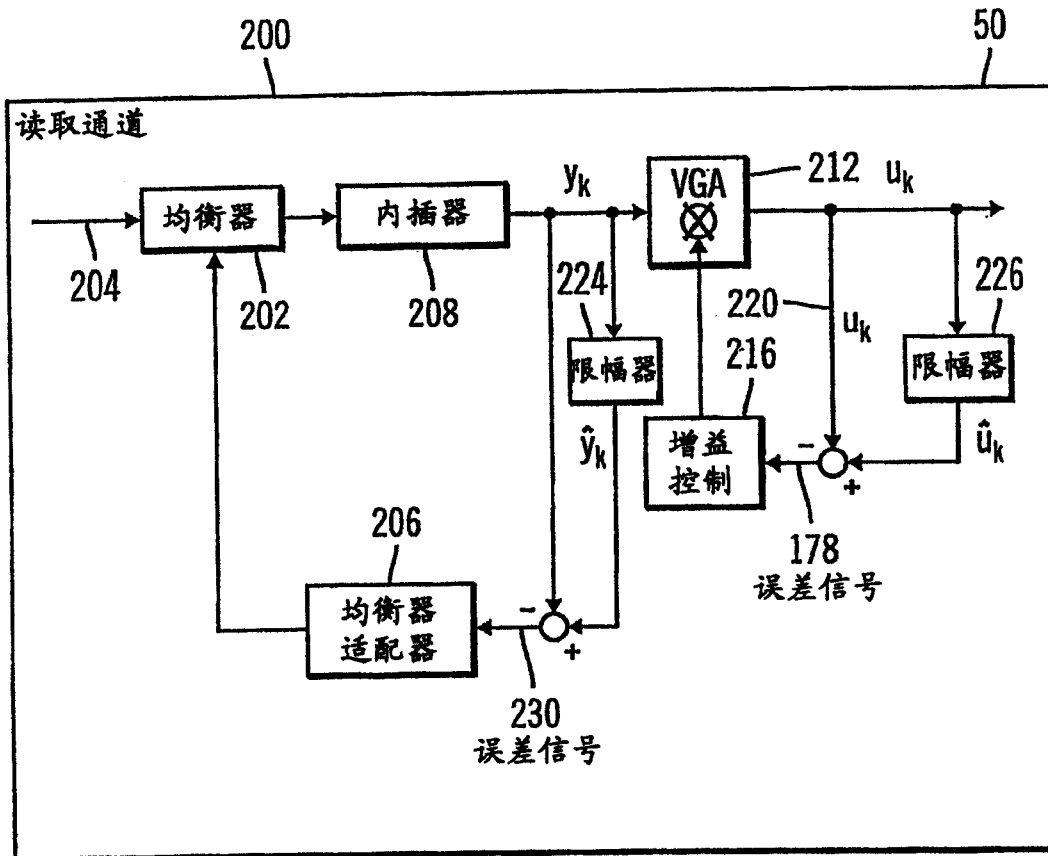


图 4