



本願発明は、パルス幅変調駆動でデータ信号線を正確に駆動し、階調を正確に表示することを目的とする。PWMパターン生成回路(12)は、階調と階調電圧の極性の組合せに対応したPWMパターンを2^p組生成する。セレクタ(15)は、階調データとパターン組番号に基づき、2^{p+q}個のPWMパターンの中から1個のPWMパターンを選択する。充放電制御回路(16)は、選択されたPWMパターンに基づき、データ信号線に充電電圧と放電電圧を切り替えて印加するよう充放電回路(17)を制御する。複数種類生成した補正パルスの中からデータ信号線ごとに1個の補正パルスを選択し、これに基づきデータ信号線に充電電圧を印加してもよい。充電用トランジスタを複数個設け、温度に応じてデータ信号線ごとに使用する充電用トランジスタを指定してもよい。

明 細 書

発明の名称：表示装置の駆動回路および駆動方法

技術分野

[0001] 本発明は、液晶表示装置などの表示装置に関し、特に、表示装置のデータ信号線を駆動する駆動回路および駆動方法に関する。

背景技術

[0002] 液晶表示装置は、薄型、低消費電力という特徴を有し、様々な用途に利用されている。液晶表示装置は、例えば、バッテリーで動作する携帯機器にも利用されている。近年では、携帯機器の表示画面でも大画面化と高解像度化が進んでいる。大画面化と高解像度化が進むと、液晶パネルの駆動回路の負荷は大きくなり、駆動回路の動作周波数は高くなる。このため、液晶表示装置の消費電力は増大する。そこで、携帯機器のバッテリーサイズを抑えるために、液晶表示装置にはさらなる低消費電力化が要求されている。

[0003] 液晶表示装置の消費電力は、液晶パネルの消費電力（充放電による消費電力）と駆動回路の消費電力とに大別される。以下、駆動回路の消費電力を削減する方法を検討する。駆動回路の消費電力は、回路構成を工夫することにより削減することができる。例えば、定常電流が流れるアナログ回路を減らすことにより、駆動回路の消費電力を削減することができる。

[0004] 従来の一般的な液晶表示装置は、アナログバッファ回路を含む駆動回路を用いて、データ信号線（映像信号線、ソースバスラインなどとも呼ばれる）を駆動する。アナログバッファ回路には定常電流が流れるので、アナログバッファ回路は液晶表示装置の消費電力を増大させる要因となる。そこで、アナログバッファ回路を用いずにデータ信号線を駆動する方法として、データ信号線に対して2種類の電圧（充電電圧と放電電圧）だけを切り替えて印加し、2種類の電圧を印加する時間の長さを映像信号に応じて変化させる方法（以下、パルス幅変調駆動という）が、従来から知られている。

[0005] パルス幅変調駆動に関して、特許文献1には、データ信号線に印加する電

圧に満たない電圧を画素に書き込む方法や、走査信号線とデータ信号線の波形をずらすことにより階調を表示し、データ信号線方向の画素の極性を1つおきに反転させる方法が記載されている。特許文献2には、パルス幅変調駆動を行うときに、正極性書き込み時と負極性書き込み時とで、走査信号線の電圧とデータ信号線の電圧との差を等しくする方法が記載されている。特許文献3には、パルス幅変調駆動以外のデータ信号線の駆動方法として、1水平期間中に振動する振動成分を有する電圧をデータ信号線に印加する方法が記載されている。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開2001-356745号公報

特許文献2：日本国特開2003-248465号公報

特許文献3：日本国特開平6-27900号公報

発明の概要

発明が解決しようとする課題

[0007] パルス幅変調駆動を行うことにより、データ信号線駆動回路に含まれるアナログバッファ回路を削除して、表示装置の消費電力を削減することができる。しかしながら、一般に、データ信号線の充電時の時定数にはばらつきがある。このため、2本のデータ信号線に充電電圧を同じ時間だけ印加しても、データ信号線の到達電圧に差が生じることがある。この差は、表示画面では輝度差となる。このようにパルス幅変調駆動には、データ信号線の充電時の時定数にばらつきがある場合には、データ信号線を正確に駆動できないという問題がある。データ信号線の本数や階調数が多い表示装置では、この問題は顕著になる。

[0008] 特許文献1および2には、この問題の解決方法は記載されていない。また、特許文献3に記載された方法では、データ信号線の電圧を振動させるので、負荷容量に対する充放電が頻繁に行われ、無駄な電力が消費される。また

、特許文献 3 に記載された方法には、階調数が多い表示装置には対応できないという問題もある。

[0009] それ故に、本発明は、パルス幅変調駆動を用いてデータ信号線を正確に駆動する駆動回路、および、これを用いて階調を正確に表示する表示装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第 1 の局面は、表示装置のデータ信号線を駆動する駆動回路であって、

階調に応じたパルス幅を有するパターンを各階調について複数組生成するパターン生成回路と、

前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、前記パターン生成回路で生成されたパターンの中から 1 個のパターンを選択する選択回路と、

前記選択回路で選択されたパターンに基づき、充電制御信号と放電制御信号を求める充放電制御回路と、

前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加する充放電回路とを備える。

[0011] 本発明の第 2 の局面は、本発明の第 1 の局面において、

前記充放電回路は、前記充電制御信号に従い前記データ信号線に前記充電電圧を印加する充電用トランジスタと、前記放電制御信号に従い前記データ信号線に前記放電電圧を印加する放電用トランジスタとを含むことを特徴とする。

[0012] 本発明の第 3 の局面は、本発明の第 2 の局面において、

所定の幅を有する補正パルスを複数種類生成する補正パルス生成回路をさらに備え、

前記充放電制御回路は、前記補正パルス生成回路で生成された補正パルスの中から前記データ信号線ごとに指定された 1 個の補正パルスを選択し、選択した補正パルスに基づき、前記充電制御信号を充電を指示するレベルに変

化させることを特徴とする。

[0013] 本発明の第4の局面は、本発明の第2の局面において、

前記充放電回路は、前記充電用トランジスタを複数個含み、充電時には、前記複数の充電用トランジスタの中から、前記データ信号線ごとに温度に応じて指定された1個以上のトランジスタを使用することを特徴とする。

[0014] 本発明の第5の局面は、本発明の第2の局面において、

前記充放電制御回路は、1水平期間内に設定された電圧保持期間では、前記充電用トランジスタと前記放電用トランジスタを共にオフ状態に制御することを特徴とする。

[0015] 本発明の第6の局面は、本発明の第2の局面において、

前記充放電制御回路は、第1期間では前記充電制御信号であり、第2期間では前記放電制御信号である第1制御信号と、第1期間では前記放電制御信号であり、第2期間では前記充電制御信号である第2制御信号とを出力し、

前記充放電回路は、前記第1制御信号に従い前記充電用トランジスタまたは前記放電用トランジスタとして機能する第1トランジスタと、前記第2制御信号に従い前記放電用トランジスタまたは前記充電用トランジスタとして機能する第2トランジスタとを含むことを特徴とする。

[0016] 本発明の第7の局面は、本発明の第6の局面において、

前記充放電回路は、前記第1および第2トランジスタを複数個ずつ含み、第1期間内の充電時には、前記複数の第1トランジスタの中から、前記データ信号線ごとに温度に応じて指定された1個以上のトランジスタを使用し、第2期間内の充電時には、前記複数の第2トランジスタの中から、前記データ信号線ごとに温度に応じて指定された1個以上のトランジスタを使用することを特徴とする。

[0017] 本発明の第8の局面は、本発明の第1の局面において、

前記データ信号線の1水平期間内での充電時間は、前記データ信号線の充電時の時定数の2倍以下であることを特徴とする。

[0018] 本発明の第9の局面は、本発明の第1の局面において、

前記データ信号線の 1 水平期間内での充電時間は、前記データ信号線の充電時の時定数の 2. 3 倍以下であることを特徴とする。

[0019] 本発明の第 10 の局面は、本発明の第 1 の局面において、

1 水平期間が前記データ信号線の充電時の時定数の 4. 5 倍以上であることを特徴とする。

[0020] 本発明の第 11 の局面は、階調表示を行う表示装置であって、

複数の走査信号線と複数のデータ信号線と複数の画素回路とを含む表示パネルと、

前記走査信号線を順に選択する走査信号線駆動回路と、

前記データ信号線に対して映像信号に応じた階調電圧を印加するデータ信号線駆動回路とを備え、

前記データ信号線駆動回路は、

階調に応じたパルス幅を有するパターンを各階調について複数組生成するパターン生成回路と、

前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、前記パターン生成回路で生成されたパターンの中から 1 個のパターンを選択する選択回路と、

前記選択回路で選択されたパターンに基づき、充電制御信号と放電制御信号を求める充放電制御回路と、

前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加する充放電回路とを含むことを特徴とする。

[0021] 本発明の第 12 の局面は、表示装置のデータ信号線を駆動する駆動方法であって、

階調に応じたパルス幅を有するパターンを各階調について複数組生成するステップと、

前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、生成されたパターンの中から 1 個のパ

ターンを選択するステップと、

選択されたパターンに基づき、充電制御信号と放電制御信号を求めるステップと、

前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加するステップとを備える。

[0022] 本発明の第13の局面は、複数の走査信号線と複数のデータ信号線と複数の画素回路とを有する表示パネルを有し、階調表示を行う表示装置の駆動方法であって、

前記走査信号線を順に選択するステップと、

階調に応じたパルス幅を有するパターンを各階調について複数組生成するステップと、

前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、生成されたパターンの中から1個のパターンを選択するステップと、

選択されたパターンに基づき、充電制御信号と放電制御信号を求めるステップと、

前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加するステップとを備える。

発明の効果

[0023] 本発明の第1または第12の局面によれば、各階調に対応したパターンを複数組生成し、いずれの組のパターンを使用するかをデータ信号線ごとに選択する。これにより、データ信号線の充電時の時定数にばらつきがある場合でも、データ信号線ごとに好適なパターンを用いてデータ信号線を正確に駆動することができる。

[0024] 本発明の第2の局面によれば、充電用トランジスタと放電用トランジスタを用いて、データ信号線に充電電圧と放電電圧を切り替えて印加する充放電回路を構成することができる。

[0025] 本発明の第3の局面によれば、補正パルスを複数種類生成し、いずれの補

正パルスを使用するかをデータ信号線ごとに選択する。これにより、リーク電流によってデータ信号線の電圧が変化する場合でも、データ信号線ごとに好適な補正パルスを用いて補正を行い、データ信号線を正確に駆動することができる。

[0026] 本発明の第4の局面によれば、充電用トランジスタを複数個設け、いずれの充電用トランジスタを使用するかをデータ信号線ごとに温度に応じて選択する。これにより、温度が変化したときでも、データ信号線ごとに好適な充電用トランジスタを用いてデータ信号線を正確に駆動することができる。

[0027] 本発明の第5の局面によれば、1水平期間内に電圧保持期間を設けることにより、データ信号線の電圧をデータ信号線に接続された画素回路に確実に書き込むことができる。

[0028] 本発明の第6の局面によれば、第1および第2トランジスタを用いて、データ信号線に充電電圧と放電電圧を切り替えて印加する充放電回路を構成することができる。

[0029] 本発明の第7の局面によれば、第1および第2トランジスタを複数個ずつ設け、充電用トランジスタとしていずれのトランジスタを使用するかをデータ信号線ごとに温度に応じて選択する。これにより、温度が変化したときでも、データ信号線ごとに好適な充電用トランジスタを用いてデータ信号線を正確に駆動することができる。

[0030] 本発明の第8または第9の局面によれば、データ信号線の1水平期間内での充電時間をデータ信号線の充電時の時定数の2倍あるいは2.3倍以下にすることにより、無駄な充電時間を削減して、時間を有効に活用することができる。

[0031] 本発明の第10の局面によれば、1水平期間をデータ信号線の充電時の時定数の4.5倍以上にすることにより、1水平期間内にデータ信号線の電圧を複数のレベルに到達させるために十分な時間を確保することができる。

[0032] 本発明の第11または第13の局面によれば、データ信号線を正確に駆動できる駆動回路または駆動方法を用いて、階調を正確に表示することができる。

る。

図面の簡単な説明

[0033] [図1]本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図2]図1に示す液晶表示装置のデータ信号線駆動回路の構成を示す図である。

[図3]図2に示すデータ信号線駆動回路の信号波形図である。

[図4]データ信号線の負荷モデルを示す図である。

[図5]図2に示すデータ信号線駆動回路のPWMパターン生成回路に記憶されるデータを示す図である。

[図6]図2に示すデータ信号線駆動回路のPWMパターン指定回路に記憶されるデータを示す図である。

[図7]本発明の第2の実施形態に係る液晶表示装置のデータ信号線駆動回路の構成を示す図である。

[図8]図7に示すデータ信号線駆動回路の信号波形図である。

[図9]図7に示すデータ信号線駆動回路の補正パルス生成回路に記憶されるデータを示す図である。

[図10]図7に示すデータ信号線駆動回路の補正パルス指定回路に記憶されるデータを示す図である。

[図11]補正充電期間を有しないデータ信号線駆動回路の信号波形図である。

[図12]本発明の第3の実施形態に係る液晶表示装置のデータ信号線駆動回路の構成を示す図である。

[図13]図12に示すデータ信号線駆動回路のトランジスタ指定回路に記憶されるデータを示す図である。

[図14]本発明の第4の実施形態に係る液晶表示装置のデータ信号線駆動回路の構成を示す図である。

[図15]図14に示すデータ信号線駆動回路の信号波形図である。

[図16]本発明の実施形態の変形例に係るデータ信号線駆動回路の充放電回路

を示す図である。

発明を実施するための形態

[0034] (第1の実施形態)

図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。図1に示す液晶表示装置1は、液晶パネル2、表示制御回路3、走査信号線駆動回路4、および、データ信号線駆動回路10を備えている。液晶表示装置1は、表示制御回路3から出力された映像信号Xに基づき、 2^p レベル（ p は2以上の整数）の階調表示を行う。以下、 m は1以上の整数、 n は2以上の偶数、 i は1以上 n 以下の奇数、 j は1以上 n 以下の整数であるとする。

[0035] 液晶パネル2は、 m 本の走査信号線 $G_1 \sim G_m$ 、 n 本のデータ信号線 $S_1 \sim S_n$ 、および、 $(m \times n)$ 個の画素回路5を含んでいる。走査信号線 $G_1 \sim G_m$ は、互いに平行に配置される。データ信号線 $S_1 \sim S_n$ は、走査信号線 $G_1 \sim G_m$ と直交するように、互いに平行に配置される。走査信号線 $G_1 \sim G_m$ とデータ信号線 $S_1 \sim S_n$ は、 $(m \times n)$ 箇所で交差する。 $(m \times n)$ 個の交点に対応して、全部で $(m \times n)$ 個の画素回路5が配置される。画素回路5は、1本の走査信号線と1本のデータ信号線に接続される。

[0036] 表示制御回路3は、走査信号線駆動回路4に対してタイミング制御信号TC1を出力し、データ信号線駆動回路10に対してタイミング制御信号TC2と映像信号Xを出力する。タイミング制御信号TC1には、例えば、ゲートスタートパルスやゲートクロックなどが含まれる。タイミング制御信号TC2には、例えば、ソーススタートパルスやソースクロックなどが含まれる。

[0037] 走査信号線駆動回路4は、タイミング制御信号TC1に基づき、走査信号線 $G_1 \sim G_m$ を順に選択する。これにより、選択された走査信号線に接続された n 個の画素回路5が、一括して選択される。データ信号線駆動回路10は、タイミング制御信号TC2に基づき、映像信号Xに応じた階調電圧をデータ信号線 $S_1 \sim S_n$ に印加する。これにより、走査信号線駆動回路4によ

って選択された n 個の画素回路 5 に、 n 個の階調電圧が書き込まれる。画素回路 5 の輝度は、画素回路 5 に書き込まれた階調電圧によって決まる。走査信号線駆動回路 4 とデータ信号線駆動回路 10 を用いて、すべての画素回路 5 に階調電圧を書き込むことにより、液晶パネル 2 に画像を表示することができる。

[0038] 液晶表示装置 1 は、画素回路 5 に書き込む階調電圧の極性を隣接する画素回路 5 ごとに反転させるドット反転駆動を行う。以下、奇数番目（偶数番目）のデータ信号線に接続された画素回路 5 に正極性電圧（負極性電圧）を書き込むことを第 1 書き込みといい、奇数番目（偶数番目）のデータ信号線に接続された画素回路 5 に負極性電圧（正極性電圧）を書き込むことを第 2 書き込みという。データ信号線駆動回路 10 は、1 水平期間ごとに第 1 書き込みと第 2 書き込みを交互に行う。

[0039] 図 2 は、データ信号線駆動回路 10 の構成を示す図である。図 2 に示すように、データ信号線駆動回路 10 は、データレジスタ 11、PWM パターン生成回路 12、制御信号生成回路 13、PWM パターン指定回路 14、 n 個のセレクト 15、 n 個の充放電制御回路 16、 n 個の充放電回路 17、および、 $(n/2)$ 個の極性選択回路 18 を含んでいる。隣接する 2 本のデータ信号線 S_i 、 S_{i+1} に対応して、2 個のセレクト 15 a、15 b、2 個の充放電制御回路 16 a、16 b、2 個の充放電回路 17 a、17 b、および、1 個の極性選択回路 18 が設けられる。なお、図 2 には 2 本のデータ信号線 S_i 、 S_{i+1} を駆動する回路だけが記載されているが、他のデータ信号線を駆動する回路も同様の構造を有する。

[0040] 表示制御回路 3 から 1 水平期間に出力される映像信号 X には、 p ビットの階調データが n 個含まれている。以下、 j 番目のデータ信号線 S_j に対応した階調データを X_j という。表示制御回路 3 は、階調データを 1 個ずつ順に出力してもよく、階調データを複数個ずつ順に出力してもよい。

[0041] データレジスタ 11 は、表示制御回路 3 から出力された n 個の階調データ $X_1 \sim X_n$ を記憶し、1 水平期間の間、並列に出力する。より詳細には、デ

ータレジスタ 11 は、 $(n \times p)$ ビットのレジスタ（図示せず）を 2 個含んでいる。表示制御回路 3 から出力された n 個の階調データは、第 1 レジスタに順に書き込まれる。第 1 書き込み時には、 n 個の階調データは、第 1 レジスタにそのままの順序で書き込まれる。第 2 書き込み時には、 n 個の階調データは、第 1 レジスタに奇数番目と偶数番目を入れ替えて書き込まれる。第 1 レジスタへの書き込みが完了した後に、 n 個の階調データは第 1 レジスタから第 2 レジスタに一括して転送される。データレジスタ 11 は、第 2 レジスタの出力信号を出力する。データレジスタ 11 は、第 1 書き込み時には n 個の階調データを X_1 、 X_2 、 X_3 、 X_4 、 $\dots$ 、 X_{n-1} 、 X_n の順序で出力し、第 2 書き込み時には n 個の階調データを X_2 、 X_1 、 X_4 、 X_3 、 $\dots$ 、 X_n 、 X_{n-1} の順序で出力する。なお、図 2 には第 1 書き込み時の状態が記載されている。

[0042] セレクタ 15 a、15 b、充放電制御回路 16 a、16 b、充放電回路 17 a、17 b、および、極性選択回路 18 は、データ信号線 S_i 、 S_{i+1} に対して、それぞれ、データレジスタ 11 から出力された階調データ X_i 、 X_{i+1} に応じた階調電圧を印加する。PWM パターン生成回路 12、制御信号生成回路 13、および、PWM パターン指定回路 14 は、セレクタ 15 や充放電制御回路 16 の動作に必要な信号を出力する。

[0043] データ信号線駆動回路 10 は、データ信号線に対して 2 種類の電圧（充電電圧と放電電圧）だけを印加し、2 種類の電圧を印加する時間の長さを映像信号に応じて変化させるパルス幅変調駆動を行う。データ信号線駆動回路 10 が行うパルス幅変調駆動は、階調および階調電圧の極性（正極性か負極性か）に対応した PWM（Pulse Width Modulation）パターンを複数組生成し、いずれの組の PWM パターンを使用するかをデータ信号線ごとに選択するという特徴を有する（詳細は後述）。

[0044] 図 3 は、データ信号線駆動回路 10 の信号波形図である。図 2 および図 3 を参照して、データ信号線駆動回路 10 の動作を説明する。PWM パターン生成回路 12 は、各階調および階調電圧の極性の組合せに対応して、複数の

PWMパターンを生成する。PWMパターンには、正極性電圧に対応した正側PWMパターンPTPと、負極性電圧に対応した負側PWMパターンPTMとが含まれる。図3(a)には、階調L1、L2およびL3に対応した3種類の正側PWMパターンが記載されている。データ信号線駆動回路10で生成されるPWMパターンは、1水平期間内の所定時刻で（例えば、階調L1の場合には時刻t11で）ハイレベルに変化し、1水平期間内の時刻t3でローレベルに変化する。PWMパターンのハイレベル期間の長さは、階調および階調電圧の極性に依って決定される。

[0045] 制御信号生成回路13は、表示制御回路3から出力されたタイミング制御信号TC2に基づき、制御信号ZCを出力する。図3(b)に示すように、制御信号ZCは、1水平期間内の時刻t2でハイレベルに変化し、1水平期間内の時刻t4でローレベルに変化する。ただし、時刻t2は、PWMパターンがハイレベルに変化する最も遅い時刻よりも後で、時刻t3よりも前である。時刻t4は時刻t3よりも後である。制御信号ZCがローレベルでPWMパターンがハイレベルである期間は、データ信号線に充電電圧を印加する充電期間となる。制御信号ZCとPWMパターンが共にローレベルである期間は、データ信号線に放電電圧を印加する放電期間となる。制御信号ZCがハイレベルである期間は、データ信号線をハイインピーダンス状態にする電圧保持期間となる。電圧保持期間を設けることにより、データ信号線Sjの電圧を画素回路5に確実に書き込むことができる。

[0046] 第1書き込み時には、データレジスタ11は、セクタ15aに対して階調データXiを出力し、セクタ15bに対して階調データXi+1を出力する。セクタ15aには、階調データXiに加えて、PWMパターン生成回路12で生成された複数の正側PWMパターンPTPが入力される。セクタ15aは、階調データXiに基づき、複数の正側PWMパターンPTPの中から1個の正側PWMパターンを選択する。セクタ15bには、階調データXi+1に加えて、PWMパターン生成回路12で生成された複数の負側PWMパターンPTMが入力される。セクタ15bは、階調データX

$i + 1$ に基づき、複数の負側 PWM パターン P T M の中から 1 個の負側 PWM パターンを選択する。

[0047] 充放電制御回路 1 6 a には、制御信号 Z C とセクタ 1 5 a で選択された正側 PWM パターンとが入力される。充放電回路 1 7 a は、2 個のトランジスタ 1 7 1、1 7 2 を含む C M O S スイッチである。充放電制御回路 1 6 a からの制御によって、充放電回路 1 7 a の出力電圧は、充電期間では正側充電電圧 V_P になり、放電期間で放電電圧（接地電圧）になる。電圧保持期間では、充放電回路 1 7 a の出力はハイインピーダンス状態になる。

[0048] 充放電回路 1 7 a の出力電圧は、極性選択回路 1 8 を経由して、データ信号線駆動回路 1 0 の外部に出力される。データ信号線駆動回路 1 0 の出力電圧は、例えば、図 3（c）に示すように変化する。図 3（c）には、上記 3 つの階調に対応したデータ信号線駆動回路 1 0 の出力電圧の変化が記載されている。例えば階調 L 1 のときには、データ信号線駆動回路 1 0 の出力電圧は、時刻 t_{11} で V_P に変化し、時刻 t_4 でゼロに変化する。ただし、データ信号線駆動回路 1 0 の出力は、時刻 $t_2 \sim t_4$ ではハイインピーダンス状態である。

[0049] データ信号線 S_i は、データ信号線駆動回路 1 0 の負荷となる。この負荷は、図 4 に示すように、C R 分布定数回路としてモデル化される。データ信号線駆動回路 1 0 の出力電圧がステップ状に変化したとき、データ信号線 S_i の電圧は C R 分布定数回路の積分作用によって変化する。このため、データ信号線 S_i の電圧は、図 3（d）に示すように変化する。図 3（d）には、上記 3 つの階調に対応したデータ信号線 S_i の電圧の変化が記載されている。例えば階調 L 1 のときには、データ信号線 S_i の電圧は、時刻 t_{11} で上昇を開始し、時刻 t_2 で上昇を停止し、時刻 $t_2 \sim t_4$ ではほぼ一定になる。データ信号線 S_i の電圧は、時刻 t_4 で下降を開始し、やがてゼロに戻る。

[0050] 充放電制御回路 1 6 b には、制御信号 Z C とセクタ 1 5 b で選択された負側 PWM パターンとが入力される。充放電回路 1 7 b は、2 個のトランジ

スタ 173、174を含むCMOSスイッチである。充放電制御回路16bからの制御によって、充放電回路17bの出力電圧は、充電期間では負側充電電圧 V_M になり、放電期間で放電電圧になる。電圧保持期間では、充放電回路17bの出力はハイインピーダンス状態になる。データ信号線駆動回路10の出力電圧とデータ信号線 S_{i+1} の電圧は、図3(c)および(d)とは逆方向に変化する。

[0051] データ信号線 S_j の電圧は、 j 列目の画素回路5のうち、走査信号線駆動回路4によって選択された画素回路に書き込まれる。上述したように、PWMパターンのハイレベル期間の長さは、階調および階調電圧の極性に依じて決定される。このため、階調に依じてデータ信号線の充電時間が異なり、充電後の電圧（時刻 t_2 における電圧。以下、到達電圧という）も異なる。例えば、図3において階調 L_1 のときには、データ信号線 S_i は時間 T_1 だけ充電され、到達電圧は V_1 となる。階調 L_2 （ $L_2 < L_1$ ）のときには、データ信号線は時間 T_2 （ $T_2 < T_1$ ）だけ充電され、到達電圧は V_2 （ $V_2 < V_1$ ）となる。したがって、階調および階調電圧の極性に依じてPWMパターンのハイレベル期間の長さを好適に決定することにより、映像信号に応じた階調電圧をデータ信号線に印加して階調表示を行うことができる。

[0052] 以上に述べたパルス幅変調駆動によれば、アナログバッファ回路を用いずにデータ信号線を駆動して、データ信号線の消費電力を削減することができる。しかしながら、一般に、データ信号線の充電時の時定数にはばらつきがある。このため、以上に述べた方法だけでは、データ信号線を正確に駆動することができない。そこで、以下に示すように、本実施形態に係るデータ信号線駆動回路10は、階調と階調電圧の極性の組合せに対応したPWMパターンを複数組使用する。

[0053] PWMパターン生成回路12は、1水平期間を周期とし、階調に応じたパルス幅を有するPWMパターンを各階調について複数組生成する。より詳細には、PWMパターン生成回路12は、 2^q 組（ q は1以上の整数）のPWMパターンを生成する。1組のPWMパターンには、 2^p 個の階調に対応して、

2^p 個の正側 PWM パターンと 2^p 個の負側 PWM パターンとが含まれる。PWM パターン生成回路 12 は、 2^{p+q} 個の正側 PWM パターン P_{TP} と、 2^{p+q} 個の負側 PWM パターン P_{TM} とからなる 2^{p+q+1} 個の PWM パターンを出力する。

[0054] PWM パターン生成回路 12 で生成される PWM パターンは、1 水平期間内の異なる時刻でハイレベルに変化し、1 水平期間内の同じ時刻でローレベルに変化する。このような PWM パターンは、ハイレベルへの変化タイミングだけを用いて規定することができる。PWM パターン生成回路 12 は、図 5 に示すように、すべての PWM パターンについて、ハイレベルへの変化タイミング（以下、オンタイミングという）を記憶している。オンタイミングは、例えば、1 水平期間の先頭から PWM パターンがハイレベルに変化するまでの時間を所定の精度で表したものである。PWM パターン生成回路 12 は、オンタイミングを固定的に記憶していてもよく、書き換え可能に記憶していてもよい。

[0055] 1 個のオンタイミングを d ビットで表したとき、PWM パターン生成回路 12 に記憶されるオンタイミングの全体データ量は $(2^{p+q+1} \times d)$ ビットとなる。PWM パターン生成回路 12 は、1 水平期間の先頭からオンタイミングが示す時間だけ経過したときに対応する PWM パターンをハイレベルに変化させる機能と、すべての PWM パターンを時刻 t_3 でローレベルに変化させる機能とを有する。これらの機能を有する限り、PWM パターン生成回路 12 の構成は任意でよい。

[0056] PWM パターン指定回路 14 は、各データ信号線について、 2^q 組の PWM パターンのうちいずれの組を使用するかを指定する。より詳細には、PWM パターン指定回路 14 は、図 6 に示すように、各データ信号線 S_j について、 2^q 組の PWM パターンのうち使用する PWM パターンの組番号（以下、パターン組番号 Y_j という）を記憶している。1 個のパターン組番号は q ビットで表され、PWM パターン指定回路 14 に記憶されるパターン組番号の全体データ量は $(n \times q)$ ビットである。パターン組番号は、例えば、液晶パ

ネル 2 の表示階調を測定して決定され、PWMパターン指定回路 14 に書き換え可能に記憶される。

[0057] データレジスタ 11 は、 n 個の階調データ $X_1 \sim X_n$ を並列に出力する。

データレジスタ 11 は、第 1 書き込み時には、セクタ 15 a に対して階調データ X_i を出力し、セクタ 15 b に対して階調データ X_{i+1} を出力する。また、データレジスタ 11 は、第 2 書き込み時には、セクタ 15 a に対して階調データ X_{i+1} を出力し、セクタ 15 b に対して階調データ X_i を出力する。

[0058] PWMパターン指定回路 14 は、階調データ $X_1 \sim X_n$ の出力態様に合わせて、 n 個のパターン組番号 $Y_1 \sim Y_n$ を出力する。PWMパターン指定回路 14 は、第 1 書き込み時には、セクタ 15 a に対してパターン組番号 Y_i を出力し、セクタ 15 b に対してパターン組番号 Y_{i+1} を出力する。また、PWMパターン指定回路 14 は、第 2 書き込み時には、セクタ 15 a に対してパターン組番号 Y_{i+1} を出力し、セクタ 15 b に対してパターン組番号 Y_i を出力する。

[0059] セクタ 15 a、15 b は、データ信号線ごとに与えられた階調データとデータ信号線ごとに指定されたパターンの組とに基づき、PWMパターン生成回路 12 で生成されたパターンの中から 1 個のパターンを選択する選択回路として機能する。より詳細には、セクタ 15 a には、 2^{p+q} 個の正側 PWM パターン P_{TP} と、データレジスタ 11 から出力された階調データ (p ビット) と、PWMパターン指定回路 14 から出力されたパターン組番号 (q ビット) とが入力される。セクタ 15 a は、階調データとパターン組番号を選択制御信号として、 2^{p+q} 個の正側 PWM パターン P_{TP} の中から 1 個の PWM パターンを選択する。同様に、セクタ 15 b には、 2^{p+q} 個の負側 PWM パターン P_{TM} と、データレジスタ 11 から出力された階調データと、PWMパターン指定回路 14 から出力されたパターン組番号とが入力される。セクタ 15 b は、階調データとパターン組番号を選択制御信号として、 2^{p+q} 個の負側 PWM パターン P_{TM} の中から 1 個の PWM パターンを選択す

る。

[0060] 充放電回路 17 a は、P 型トランジスタ 17 1 と N 型トランジスタ 17 2 を直列に接続した CMOS スイッチである。トランジスタ 17 1 のソース端子には正側充電電圧 V_P が固定的に印加され、トランジスタ 17 2 のソース端子は接地される。充放電回路 17 a は、トランジスタ 17 1、17 2 のドレイン端子電圧を出力する。充放電回路 17 b は、P 型トランジスタ 17 3 と N 型トランジスタ 17 4 を直列に接続した CMOS スイッチである。トランジスタ 17 3 のソース端子は接地され、トランジスタ 17 4 のソース端子には負側充電電圧 V_M が固定的に印加される。充放電回路 17 b は、トランジスタ 17 3、17 4 のドレイン端子電圧を出力する。トランジスタ 17 1、17 4 は、充電制御信号に従いデータ信号線に充電電圧を印加する充電用トランジスタとして機能する。トランジスタ 17 2、17 3 は、放電制御信号に従いデータ信号線に放電電圧を印加する放電用トランジスタとして機能する。

[0061] 充放電制御回路 16 a は、制御信号 Z_C とセクタ 15 a で選択された PWM パターンとに基づき、充放電回路 17 a を制御する。より詳細には、充放電制御回路 16 a は、制御信号 Z_C と選択された PWM パターンに基づき、トランジスタ 17 1 のゲート端子に与える充電制御信号と、トランジスタ 17 2 のゲート端子に与える放電制御信号を求める。充放電制御回路 16 a は、充電期間ではトランジスタ 17 1 をオン状態に、トランジスタ 17 2 をオフ状態に制御する。このとき、充放電回路 17 a は正側充電電圧 V_P を出力する。充放電制御回路 16 a は、放電期間ではトランジスタ 17 1 をオフ状態に、トランジスタ 17 2 をオン状態に制御する。このとき、充放電回路 17 a は放電電圧（接地電圧）を出力する。電圧保持期間では、充放電制御回路 16 a は、トランジスタ 17 1、17 2 を両方ともオフ状態に制御する。このとき、充放電回路 17 a の出力はハイインピーダンス状態になる。

[0062] 充放電制御回路 16 b は、制御信号 Z_C とセクタ 15 b で選択された PWM パターンとに基づき、充放電回路 17 b を制御する。より詳細には、充

放電制御回路 16 b は、制御信号 Z C と選択された PWM パターンに基づき、トランジスタ 173 のゲート端子に与える放電制御信号と、トランジスタ 174 のゲート端子に与える充電制御信号を求める。充放電制御回路 16 b は、充電期間ではトランジスタ 173 をオフ状態に、トランジスタ 174 をオン状態に制御する。このとき、充放電回路 17 b は負側充電電圧 V_M を出力する。充放電制御回路 16 b は、放電期間ではトランジスタ 173 をオン状態に、トランジスタ 174 をオフ状態に制御する。このとき、充放電回路 17 b は放電電圧（接地電圧）を出力する。電圧保持期間では、充放電制御回路 16 b は、トランジスタ 173、174 を両方ともオフ状態に制御する。このとき、充放電回路 17 b の出力はハイインピーダンス状態になる。

[0063] 極性選択回路 18 は、極性制御信号 P C 1、P C 2 に従い、充放電回路 17 a、17 b の出力電圧をデータ信号線 S_i、S_{i+1} のいずれに印加するかを切り替える。極性選択回路 18 は、4 個のスイッチ 181～184 を含んでいる。スイッチ 181 は、充放電回路 17 a の出力とデータ信号線 S_i との間に設けられる、スイッチ 182 は、充放電回路 17 a の出力とデータ信号線 S_{i+1} との間に設けられる。スイッチ 183 は、充放電回路 17 b の出力とデータ信号線 S_i との間に設けられる。スイッチ 184 は、充放電回路 17 b の出力とデータ信号線 S_{i+1} との間に設けられる。スイッチ 181、184 は極性制御信号 P C 1 がハイレベルのときにオン状態になり、スイッチ 182、183 は極性制御信号 P C 2 がハイレベルのときにオン状態になる。

[0064] 第 1 書き込み時には、極性制御信号 P C 1 はハイレベルに、極性制御信号 P C 2 はローレベルに制御される。このとき、充放電回路 17 a の出力電圧はデータ信号線 S_i に印加され、充放電回路 17 b の出力電圧はデータ信号線 S_{i+1} に印加される。第 2 書き込み時には、極性制御信号 P C 1 はローレベルに、極性制御信号 P C 2 はハイレベルに制御される。このとき、充放電回路 17 a の出力電圧はデータ信号線 S_{i+1} に印加され、充放電回路 17 b の出力電圧はデータ信号線 S_i に印加される。

- [0065] このように充放電回路 17 a は、充放電制御回路 16 a で求めた充電制御信号と放電制御信号に従い、データ信号線 S_i 、 S_{i+1} のいずれかに正側充電電圧 V_P と放電電圧を切り替えて印加する。また、充放電回路 17 b は、充放電制御回路 16 b で求めた充電制御信号と放電制御信号に従い、データ信号線 S_i 、 S_{i+1} のいずれかに負側充電電圧 V_M と放電電圧を切り替えて印加する。
- [0066] 以上に示すように、本実施形態に係るデータ信号線駆動回路 10 は、データ信号線に対して 2 種類の電圧（充電電圧と放電電圧）を切り替えて印加するパルス幅変調駆動を行う。これにより、定常電流が流れるアナログバッファ回路を用いることなく、データ信号線を低消費電力で駆動し、階調表示を行うことができる。また、階調ごとに充電期間の長さを好適に決定することにより、 γ 変換回路を用いることなく所望の γ 特性を実現することができる。したがって、 γ 変換回路の分だけ、データ信号線駆動回路の消費電力を削減することもできる。
- [0067] また、本実施形態に係るデータ信号線駆動回路 10 は、各階調に対応した PWM パターンを複数組生成し、いずれの組の PWM パターンを使用するかをデータ信号線ごとに選択する。これにより、データ信号線の充電時の時定数にばらつきがある場合でも、好適な PWM パターンを用いてデータ信号線を正確に駆動することができる。また、本実施形態に係る液晶表示装置 1 によれば、データ信号線を正確に駆動できるデータ信号線駆動回路 10 を用いて、階調を正確に表示することができる。
- [0068] なお、データ信号線の充電時の時定数を τ としたとき、データ信号線の充電時間を 2τ にすると、到達電圧は充電電圧の約 86.5% になる。また、データ信号線の充電時間を 2.3τ にすると、到達電圧は充電電圧の約 90% になる。このため、データ信号線の充電時間を 2τ 以上、あるいは、 2.3τ 以上に設定しても、充電時間を延ばした割に、データ信号線の電圧は変化しなくなる。したがって、パルス幅変調駆動を行うときには、データ信号線の充電時間を 2τ 以下、あるいは、 2.3τ 以下にすることが好ましい。

これにより、無駄な充電時間を減らして、時間を有効に活用することができる。また、1 水平期間は4.5 τ 以上であることが好ましい。これにより、1 水平期間内にデータ信号線の電圧を複数のレベルに到達させるために十分な時間を確保することができる。

[0069] (第2の実施形態)

本発明の第2の実施形態に係る液晶表示装置は、第1の実施形態に係る液晶表示装置1(図1)と同じ構成を有する。第2の実施形態に係る液晶表示装置は、データ信号線駆動回路10に代えて、図7に示すデータ信号線駆動回路20を備えている。本実施形態に係る構成要素のうち、第1の実施形態と同じ構成要素については、同一の参照符号を付して説明を省略する。

[0070] 図7は、データ信号線駆動回路20の構成を示す図である。図7に示すように、データ信号線駆動回路20は、第1の実施形態に係るデータ信号線駆動回路10に補正パルス生成回路21と補正パルス指定回路22を追加し、充放電制御回路16a、16bを充放電制御回路23a、23bに置換したものである。

[0071] 図8は、データ信号線駆動回路20の信号波形図である。図7および図8を参照して、データ信号線駆動回路20の動作を説明する。補正パルス生成回路21は、1 水平期間を周期とし、所定の幅を有する補正パルスを複数種類生成する。より詳細には、補正パルス生成回路21は、 2^r 個(r は1以上の整数)の補正パルスPLを生成する。図8(c)には、3種類の補正パルスPL1、PL2、PL3が記載されている。補正パルス生成回路21で生成される補正パルスは、電圧保持期間内の所定時刻で(例えば、補正パルスPL1の場合には時刻 t_{51} で)ハイレベルに変化し、電圧保持期間内の時刻 t_6 でローレベルに変化する。ただし、補正パルスがハイレベルに変化するのは、時刻 t_3 よりも後である。時刻 t_6 は、時刻 t_4 のすぐ前に設定される。

[0072] 補正パルス生成回路21で生成される補正パルスPLは、1 水平期間内の異なる時刻でハイレベルに変化し、1 水平期間内の同じ時刻でローレベルに

変化する。このような補正パルスは、ハイレベルへの変化タイミングだけを用いて規定することができる。補正パルス生成回路 21 は、図 9 に示すように、すべての補正パルスについて、ハイレベルへの変化タイミング（以下、補正オンタイミングという）を記憶している。補正オンタイミングは、例えば、1 水平期間の先頭から補正パルスがハイレベルに変化するまでの時間を所定の精度で表したものである。補正パルス生成回路 21 は、補正オンタイミングを固定的に記憶していてもよく、書き換え可能に記憶していてもよい。

[0073] 1 個の補正オンタイミングを e ビットで表したとき、補正パルス生成回路 21 に記憶される補正オンタイミングの全体データ量は $(2^r \times e)$ ビットとなる。補正パルス生成回路 21 は、1 水平期間の先頭から補正オンタイミングが示す時間だけ経過したときに対応する補正パルスをハイレベルに変化させる機能と、すべての補正パルスを時刻 t_6 でローレベルに変化させる機能とを有する。これらの機能を有する限り、補正パルス生成回路 21 の構成は任意でよい。

[0074] 補正パルス指定回路 22 は、各データ信号線について、 2^r 個の補正パルスのうちいずれを使用するかを指定する。より詳細には、補正パルス指定回路 22 は、図 10 に示すように、各データ信号線 S_j について、 2^r 個の補正パルスのうち使用する補正パルスの番号（以下、パルス番号 Z_j という）を記憶している。1 個のパルス番号は r ビットで表され、補正パルス指定回路 22 に記憶されるパルス番号の全体データ量は $(n \times r)$ ビットである。パルス番号は、例えば、液晶パネル 2 の表示階調を測定して決定され、補正パルス指定回路 22 に書き換え可能に記憶される。

[0075] 補正パルス指定回路 22 は、階調データ $X_1 \sim X_n$ の出力態様に合わせて、 n 個のパルス番号 $Z_1 \sim Z_n$ を出力する。補正パルス指定回路 22 は、第 1 書き込み時には、充放電制御回路 23 a に対してパルス番号 Z_i を出力し、充放電制御回路 23 b に対してパルス番号 $Z_i + 1$ を出力する。また、補正パルス指定回路 22 は、第 2 書き込み時には、充放電制御回路 23 a に対

してパルス番号 $Z_i + 1$ を出力し、充放電制御回路 23 b に対してパルス番号 Z_i を出力する。なお、図 7 には第 1 書き込み時の状態が記載されている。

[0076] 充放電制御回路 23 a には、制御信号 Z_C と、セクタ 15 a で選択された PWM パターンと、補正パルス生成回路 21 で生成された 2^r 個の補正パルス P_L と、補正パルス指定回路 22 から出力されたパルス番号 (r ビット) とが入力される。充放電制御回路 23 a は、セクタ (図示せず) を含んでいる。このセクタは、パルス番号を選択制御信号として、 2^r 個の補正パルス P_L の中から 1 個の補正パルスを選択する。以下、選択された補正パルスがハイレベルである期間を補正充電期間という。

[0077] 充放電制御回路 23 a は、内部で選択した補正パルスと制御信号 Z_C とセクタ 15 a で選択された PWM パターンとに基づき、充放電回路 17 a を制御する。充放電制御回路 23 a は、充電期間および補正充電期間ではトランジスタ 171 をオン状態に、トランジスタ 172 をオフ状態に制御する。このとき、充放電回路 17 a は正側充電電圧 V_P を出力する。充放電制御回路 23 a は、放電期間ではトランジスタ 171 をオフ状態に、トランジスタ 172 をオン状態に制御する。このとき、充放電回路 17 a は放電電圧 (接地電圧) を出力する。補正充電期間を除く電圧保持期間では、充放電制御回路 23 a は、トランジスタ 171、172 を両方ともオフ状態に制御する。このとき、充放電回路 17 a の出力はハイインピーダンス状態になる。

[0078] 充放電制御回路 23 b には、制御信号 Z_C と、セクタ 15 b で選択された PWM パターンと、補正パルス生成回路 21 で生成された 2^r 個の補正パルス P_L と、補正パルス指定回路 22 から出力されたパルス番号とが入力される。充放電制御回路 23 b は、充放電制御回路 23 a と同様に、セクタを用いて、 2^r 個の補正パルス P_L の中から 1 個の補正パルスを選択する。

[0079] 充放電制御回路 23 b は、内部で選択した補正パルスと制御信号 Z_C とセクタ 15 b で選択された PWM パターンとに基づき、充放電回路 17 b を制御する。充放電制御回路 23 b は、充電期間および補正充電期間ではトラ

ンジスタ 173 をオフ状態に、トランジスタ 174 をオン状態に制御する。このとき、充放電回路 17b は負側充電電圧 V_M を出力する。充放電制御回路 23b は、放電期間ではトランジスタ 173 をオン状態に、トランジスタ 174 をオフ状態に制御する。このとき、充放電回路 17b は放電電圧（接地電圧）を出力する。補正充電期間を除く電圧保持期間では、充放電制御回路 23b は、トランジスタ 173、174 を両方ともオフ状態に制御する。このとき、充放電回路 17b の出力はハイインピーダンス状態になる。

[0080] このように充放電制御回路 23a、23b は、補正パルス生成回路 21 で生成された 2^r 個の補正パルスの中から、データ信号線ごとに指定されたパルス番号に基づき 1 個の補正パルスを選択し、選択した補正パルスに基づき、トランジスタ 171、174 に与えられる充電制御信号を充電を指示するレベルに変化させる。

[0081] 充放電回路 17a、17b の出力電圧は、極性選択回路 18 を経由して、データ信号線駆動回路 20 の外部に出力される。データ信号線駆動回路 20 の出力電圧は、例えば、図 8（d）に示すように変化する。図 8（d）には、補正パルス PL1 を選択したときのデータ信号線駆動回路 20 の出力電圧の変化が記載されている。データ信号線駆動回路 20 の出力電圧は、時刻 t_1 で V_P に変化し、時刻 t_4 でゼロに変化する。ただし、データ信号線駆動回路 20 の出力は、時刻 $t_2 \sim t_{51}$ と時刻 $t_6 \sim t_4$ ではハイインピーダンス状態である。このようにデータ信号線駆動回路 20 の出力電圧は、時刻 $t_{51} \sim t_6$ では正側充電電圧 V_P に等しくなる。

[0082] データ信号線 S_i の電圧は、図 8（e）に示すように変化する。図 8（e）には、補正パルス PL1 を選択したときのデータ信号線 S_i の電圧の変化が記載されている。データ信号線 S_i の電圧は、時刻 t_1 で上昇を開始し、時刻 t_2 で上昇を停止する。データ信号線 S_i の電圧は、時刻 t_2 以降一定になるのが理想的である。しかし、実際には、データ信号線 S_i にリーク電流が流れる可能性がある。リーク電流が流れた場合、データ信号線 S_i の電圧は時刻 t_2 以降、徐々に低下する。

[0083] リーク電流が流れた場合、補正充電期間を設けなければ、データ信号線の電圧は、図 11 (d) に示すように、時刻 t_4 では時刻 t_2 より ΔV だけ低くなる。このため、補正充電期間を有しないデータ信号線駆動回路では、電圧低下量 ΔV が大きい場合にはデータ信号線を正確に駆動できなくなる。

[0084] この問題を解決するために、本実施形態に係るデータ信号線駆動回路 20 では、電圧保持期間の終端付近に補正充電期間が設けられている。補正充電期間では、データ信号線駆動回路 20 は充電期間と同じ電圧を出力し、データ信号線の電位は補正される、図 8 (e) に示す例では、データ信号線 S_i の電圧は、時刻 $t_{51} \sim t_6$ で再び上昇し、時刻 t_4 では時刻 t_2 と同じレベルになる。

[0085] リーク電流による電圧低下量は、データ信号線 S_j ごとに異なる。一方、1 本のデータ信号線に着目したときに、リーク電流による電圧低下量は印加電圧にかかわらず、ほぼ一定になる。これらの点を考慮して、本実施形態に係るデータ信号線駆動回路 20 は、所定の幅を有する補正パルス PL を複数種類生成し、いずれの補正パルスを使用するかをデータ信号線ごとに選択する。これにより、リーク電流によってデータ信号線の電圧が変化する場合でも、好適な補正パルスを用いて補正を行い、データ信号線を正確に駆動することができる。

[0086] (第 3 の実施形態)

本発明の第 3 の実施形態に係る液晶表示装置は、第 1 の実施形態に係る液晶表示装置 1 (図 1) と同じ構成を有する。第 3 の実施形態に係る液晶表示装置は、データ信号線駆動回路 10 に代えて、図 12 に示すデータ信号線駆動回路 30 を備えている。本実施形態に係る構成要素のうち、第 1 および第 2 の実施形態と同じ構成要素については、同一の参照符号を付して説明を省略する。

[0087] 図 12 は、データ信号線駆動回路 30 の構成を示す図である。図 12 に示すように、データ信号線駆動回路 30 は、第 2 の実施形態に係るデータ信号線駆動回路 20 にトランジスタ指定回路 31 を追加し、充放電制御回路 23

a、23bと充放電回路17a、17bを、それぞれ、充放電制御回路32a、32bと充放電回路33a、33bに置換したものである。なお、図12では、データレジスタ11、PWMパターン生成回路12、および、PWMパターン指定回路14は省略されている。

[0088] 充放電回路33aは、複数のP型トランジスタ331を並列に接続し、これにN型トランジスタ172を直列に接続したCMOSスイッチである。すべてのトランジスタ331のソース端子には正側充電電圧VPが固定的に印加され、トランジスタ172のソース端子は接地される。充放電回路33aは、トランジスタ331、172のドレイン端子電圧を出力する。充放電回路33bは、複数のN型トランジスタ334を並列に接続し、これにP型トランジスタ173を直列に接続したCMOSスイッチである。トランジスタ173のソース端子は接地され、すべてのトランジスタ334のソース端子には負側充電電圧VMが固定的に印加される。充放電回路33bは、トランジスタ173、334のドレイン端子電圧を出力する。

[0089] 複数のトランジスタ331の中には、サイズの異なるものや、同じ制御信号を用いて制御されるものが含まれる。複数のトランジスタ334も、これと同様である。以下、複数のトランジスタ331は全部でs本（sは2以上の整数）の制御信号を用いて制御され、複数のトランジスタ334もこれと同様であるとする。

[0090] トランジスタ指定回路31は、各データ信号線について、温度に応じて、複数のトランジスタ331、334の中からいずれのトランジスタを使用するかを指定する。より詳細には、トランジスタ指定回路31は、図13に示すように、各データ信号線Sjおよびf個の温度範囲について、複数のトランジスタ331、334の中から使用するトランジスタを指定するデータ（以下、トランジスタ指定情報Ujという）を記憶している。使用するトランジスタは、ゲート端子に与える制御信号を用いて指定される。1個のトランジスタ指定情報はsビットで表され、トランジスタ指定回路31に記憶されるトランジスタ指定情報の全体データ量は（ $n \times f \times s$ ）ビットである。ト

ランジスタ指定情報は、例えば、液晶パネル 2 の表示階調を測定して決定され、トランジスタ指定回路 3 1 に書き換え可能に記憶される。

[0091] トランジスタ指定回路 3 1 は、液晶表示装置に設けられた温度センサ（図示せず）で検知された温度 T を受け取る。トランジスタ指定回路 3 1 は、 f 個の温度範囲の中から温度 T が属する温度範囲を求め、求めた温度範囲に対応した n 個のトランジスタ指定情報 $U_1 \sim U_n$ を並列に出力する。

[0092] トランジスタ指定回路 3 1 は、階調データ $X_1 \sim X_n$ の出力態様に合わせて、 n 個のトランジスタ指定情報 $U_1 \sim U_n$ を出力する。トランジスタ指定回路 3 1 は、第 1 書き込み時には、充放電制御回路 3 2 a に対してトランジスタ指定情報 U_i を出力し、充放電制御回路 3 2 b に対してトランジスタ指定情報 U_{i+1} を出力する。また、トランジスタ指定回路 3 1 は、第 2 書き込み時には、充放電制御回路 3 2 a に対してトランジスタ指定情報 U_{i+1} を出力し、充放電制御回路 3 2 b に対してトランジスタ指定情報 U_i を出力する。なお、図 1 2 には第 1 書き込み時の状態が記載されている。

[0093] 充放電制御回路 3 2 a には、制御信号 ZC と、セクタ 1 5 a で選択された PWM パターンと、補正パルス生成回路 2 1 で生成された 2^r 個の補正パルス PL と、補正パルス指定回路 2 2 から出力されたパルス番号（ r ビット）とに加えて、トランジスタ指定回路 3 1 から出力されたトランジスタ指定情報（ s ビット）が入力される。充放電制御回路 3 2 a は、充電期間および補正充電期間では、複数のトランジスタ 3 3 1 のうちトランジスタ指定情報で指定された 1 個以上のトランジスタをオン状態に、残余のトランジスタ 3 3 1 とトランジスタ 1 7 2 をオフ状態に制御する。このとき、充放電回路 3 3 a は正側充電電圧 V_P を出力する。充放電制御回路 3 2 a は、放電期間ではすべてのトランジスタ 3 3 1 をオフ状態に、トランジスタ 1 7 2 をオン状態に制御する。このとき、充放電回路 3 3 a は放電電圧（接地電圧）を出力する。電圧保持期間では、充放電制御回路 3 2 a は、すべてのトランジスタ 3 3 1 とトランジスタ 1 7 2 をオフ状態に制御する。このとき、充放電回路 3 3 a の出力はハイインピーダンス状態になる。

- [0094] 充放電制御回路 32b には、制御信号 ZC と、セクタ 15b で選択された PWM パターンと、補正パルス生成回路 21 で生成された 2^r 個の補正パルス PL と、補正パルス指定回路 22 から出力されたパルス番号とに加えて、トランジスタ指定回路 31 から出力されたトランジスタ指定情報が入力される。充放電制御回路 32b は、充電期間および補正充電期間では、複数のトランジスタ 334 のうちトランジスタ指定情報で指定された 1 個以上のトランジスタをオン状態に、残余のトランジスタ 334 とトランジスタ 173 をオフ状態に制御する。このとき、充放電回路 33b は負側充電電圧 VM を出力する。充放電制御回路 32b は、放電期間ではトランジスタ 173 をオン状態に、すべてのトランジスタ 334 をオフ状態に制御する。このとき、充放電回路 33b は放電電圧（接地電圧）を出力する。電圧保持期間では、充放電制御回路 32b は、トランジスタ 173 とすべてのトランジスタ 334 をオフ状態に制御する。このとき、充放電回路 33b の出力はハイインピーダンス状態になる。
- [0095] 一般に、データ信号線駆動回路の充放電回路に含まれるトランジスタのインピーダンスは、温度によって大きく変化する。このため、パルス幅変調駆動を行うデータ信号線駆動回路では、データ信号線の到達電圧は温度によって変化する。したがって、温度が変化したときに、データ信号線を正確に駆動できなくなることがある。
- [0096] この問題を解決するために、本実施形態に係るデータ信号線駆動回路 30 は、複数の充電用トランジスタを含む充放電回路 33a、33b を備え、いずれの充電用トランジスタを使用するかをデータ信号線 S_j ごとに温度に応じて選択する。これにより、温度の変化に伴い充電用トランジスタの特性が変動する場合でも、好適な充電用トランジスタを用いてデータ信号線を正確に駆動することができる。
- [0097] なお、図 12 に示すデータ信号線駆動回路 30 は、第 2 の実施形態に係るデータ信号線駆動回路 20 に温度補正機能を追加したものであるが、第 1 の実施形態に係るデータ信号線駆動回路 10 に温度補正機能を追加してもよい。

。

[0098] (第4の実施形態)

本発明の第4の実施形態に係る液晶表示装置は、第1の実施形態に係る液晶表示装置1(図1)と同様の構成を有する。第4の実施形態に係る液晶表示装置は、液晶パネル2の対向電極を駆動する対向電極駆動回路(図示せず)をさらに備え、データ信号線駆動回路10に代えて、図14に示すデータ信号線駆動回路40を備えている。本実施形態に係る構成要素のうち、第1の実施形態と同じ構成要素については、同一の参照符号を付して説明を省略する。

[0099] 本実施形態に係る液晶表示装置は、画素回路5に書き込む階調電圧の極性を行ごとに反転させる1ライン反転駆動と、液晶パネル2の対向電極に印加する電圧を相対的に低いレベルと相対的に高いレベルに切り替える対向反転駆動とを行う。以下、液晶パネル2の対向電極に低レベルの電圧を印加して画素回路5に正極性電圧を書き込むことを第1書き込みといい、液晶パネル2の対向電極に高レベルの電圧を印加して画素回路5に負極性電圧を書き込むことを第2書き込みという。

[0100] 図14は、データ信号線駆動回路40の構成を示す図である。図14に示すように、データ信号線駆動回路40は、データレジスタ11、PWMパターン生成回路12、制御信号生成回路13、PWMパターン指定回路14、 n 個のセレクタ41、 n 個の充放電制御回路42、および、 n 個の充放電回路43を含んでいる。セレクタ41、充放電制御回路42、および、充放電回路43は、データ信号線 S_j に対応して1個ずつ設けられ、データ信号線 S_j に対して、データレジスタ11から出力された階調データ X_j に応じた階調電圧を印加する。

[0101] セレクタ41には、 2^{p+q} 個の正側PWMパターン P_{TP} と、 2^{p+q} 個の負側PWMパターン P_{TM} と、データレジスタ11から出力された階調データ(p ビット)と、PWMパターン指定回路14から出力されたパターン組番号(q ビット)と、極性制御信号 PC_1 とが入力される。セレクタ41は、階

調データ、パターン組番号、および、極性制御信号PC1を選択制御信号として、 2^{p+q} 個の正側PWMパターンPTPと 2^{p+q} 個の負側PWMパターンPTMとの中から1個のPWMパターンを選択する。

[0102] 充放電回路43は、充放電回路17aと同様に、P型トランジスタ431とN型トランジスタ432を直列に接続したCMOSスイッチである。トランジスタ431のソース端子には電圧VPが固定的に印加され、トランジスタ432のソース端子は接地される。充放電回路43は、トランジスタ431、432のドレイン端子電圧を出力する。

[0103] 充放電制御回路42は、制御信号ZC、極性制御信号PC1、および、セレクト41で選択されたPWMパターンに基づき、充放電回路43を制御する。より詳細には、充放電制御回路42は、与えられた3本の信号に基づき、トランジスタ431のゲート端子に与える第1制御信号と、トランジスタ432のゲート端子に与える第2制御信号とを求める。充放電制御回路42は、第1書き込み時の充電期間と第1書き込み後の放電期間ではトランジスタ431をオン状態に、トランジスタ432をオフ状態に制御する。このとき、充放電回路43は電圧VPを出力する。充放電制御回路42は、第2書き込み時の充電期間と第2書き込み後の放電期間ではトランジスタ431をオフ状態に、トランジスタ432をオン状態に制御する。このとき、充放電回路43は接地電圧を出力する。電圧保持期間では、充放電制御回路42は、トランジスタ431、432を両方ともオフ状態に制御する。このとき、充放電回路43の出力はハイインピーダンス状態になる。

[0104] 図15は、データ信号線駆動回路40の信号波形図である。以下、第2書き込みを行う水平期間内で制御信号ZCがローレベルに変化してから、第1書き込みを行う水平期間内で制御信号ZCがローレベルに変化するまでの期間を「第1期間」といい、第1書き込みを行う水平期間内で制御信号ZCがローレベルに変化してから、第2書き込みを行う水平期間内で制御信号ZCがローレベルに変化するまでの期間を「第2期間」という。第1期間内でPWMパターンがハイレベルで、制御信号ZCがローレベルである期間が、第

1書き込み時の充電期間となる。第2期間内でPWMパターンと制御信号ZCがローレベルである期間が、第1書き込み後の放電期間となる。第2期間内でPWMパターンがハイレベルで、制御信号ZCがローレベルである期間が、第2書き込み時の充電期間となる。第1期間内でPWMパターンと制御信号ZCがローレベルである期間が、第2書き込み後の放電期間となる。

[0105] 図15では、時刻 $t_{14} \sim t_{24}$ が第1書き込み時の充電期間となり、時刻 $t_{44} \sim t_{15}$ が第1書き込み後の放電期間となる。次にPWMパターンがハイレベルに変化する時刻を t_{16} としたとき、時刻 $t_{15} \sim t_{25}$ が第2書き込み時の充電期間となり、時刻 $t_{45} \sim t_{16}$ が第2書き込み後の放電期間となる。データ信号線Siの電圧は、時刻 t_{14} で上昇を開始し、時刻 t_{24} で上昇を停止し、時刻 $t_{24} \sim t_{44}$ ではほぼ一定になり、時刻 t_{44} で再び上昇を開始し、遅くとも時刻 t_{15} までに電圧VPに等しくなる。その後、データ信号線Siの電圧は、時刻 t_{15} で下降を開始し、時刻 t_{25} で下降を停止し、時刻 $t_{25} \sim t_{45}$ ではほぼ一定になり、時刻 t_{45} で再び下降を開始し、遅くとも時刻 t_{16} までにゼロになる。

[0106] このように、第1書き込み後の放電期間では、データ信号線Siの電圧はさらに上昇して、最終的には電圧VPに等しくなる。第2書き込み後の放電期間では、データ信号線Siの電圧はさらに下降して、最終的にはゼロになる。したがって、第1書き込みの後に第2書き込みを行うときに、データ信号線Siの電圧を電圧VPから変化させて所望のレベルに到達させると共に、第2書き込みの後に第1書き込みを行うときに、データ信号線Siの電圧をゼロから変化させて所望のレベルに到達させることができる。

[0107] 本実施形態では、トランジスタ431を制御する第1制御信号は、第1期間では充電制御信号であり、第2期間では放電制御信号である。トランジスタ432を制御する第2制御信号は、第1期間では放電制御信号であり、第2期間では充電制御信号である。トランジスタ431は、第1制御信号に従い充電用トランジスタまたは放電用トランジスタとして機能する。トランジスタ432は、第2制御信号に従い充電用トランジスタまたは放電用トラン

ジスタとして機能する。本実施形態に係るデータ信号線駆動回路40によれば、ライン反転駆動と対向反転駆動を行うときに、第1の実施形態と同様の効果が得られる。

[0108] ここまで、ライン反転駆動と対向反転駆動を行うときに第1の実施形態の方法を適用することを説明したが、ライン反転駆動と対向反転駆動を行うときに第2または第3の実施形態の方法を適用してもよい。第3の実施形態の方法を適用する場合には、図16に示す充放電回路51を使用する。充放電回路51は、複数のP型トランジスタ511を並列に接続した回路と、複数のN型トランジスタ512を並列に接続した回路とを直列に接続したCMOSスイッチである。充放電回路51は、トランジスタ511、512を複数個ずつ含み、第1書き込み時の充電期間では、複数のトランジスタ511の中から、データ信号線S_jごとに温度に応じて指定された1個以上のトランジスタを使用し、第2書き込み時の充電期間では、複数のトランジスタ512の中から、データ信号線S_jごとに温度に応じて指定された1個以上のトランジスタを使用する。これにより、温度が変化したときでも、データ信号線S_jごとに好適な充電用トランジスタを用いてデータ信号線S_jを正確に駆動することができる。

[0109] 本発明の実施形態に係るデータ信号線駆動回路については、以下に示す変形例を構成することができる。上記各実施形態に係るデータ信号線駆動回路では、PWMパターン生成回路12は、1水平期間に1回ハイレベルになるPWMパターンを生成することとした。これに代えて、PWMパターン生成回路は1水平期間に2回以上ハイレベルになるPWMパターンを生成してもよい。この場合、PWMパターン生成回路は、図5に示すオンタイミングに加えて、各PWMパターンについて、ハイレベルおよびローレベルへの変化タイミングを1組以上記憶する。これにより、データ信号線の電圧の変化をより正確に制御し、データ信号線をより正確に駆動することができる。ただし、データ信号線の消費電力を削減するためには、PWMパターンの変化回数が少ないことが好ましい。また、本発明は、液晶表示装置以外にも、階調

表示を行う各種の表示装置にも適用することができる。

[0110] 以上に示すように、本発明のデータ信号線駆動回路によれば、パルス幅変調駆動を行うことにより消費電力を削減すると共に、各種の補正を行うことによりデータ信号線を正確に駆動することができる。また、本発明の表示装置によれば、本発明のデータ信号線駆動回路を用いて階調を正確に表示することができる。

産業上の利用可能性

[0111] 本発明の駆動回路は、パルス幅変調駆動を用いてデータ信号線を正確に駆動できるという特徴を有するので、液晶表示装置など、各種の表示装置の駆動回路に利用することができる。

符号の説明

[0112] 1…液晶表示装置
2…液晶パネル
3…表示制御回路
4…走査信号線駆動回路
5…画素回路
10、20、30、40…データ信号線駆動回路
11…データレジスタ
12…PWMパターン生成回路
13…制御信号生成回路
14…PWMパターン指定回路
15、41…セクタ
16、23、32、42…充放電制御回路
17、33、43、51…充放電回路
18…極性選択回路
21…補正パルス生成回路
22…補正パルス指定回路
31…トランジスタ指定回路

171、172、173、174、331、334、431、432、5
11、512…トランジスタ
181、182、183、184…スイッチ

請求の範囲

- [請求項1] 表示装置のデータ信号線を駆動する駆動回路であって、
 階調に応じたパルス幅を有するパターンを各階調について複数組生成するパターン生成回路と、
 前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、前記パターン生成回路で生成されたパターンの中から1個のパターンを選択する選択回路と、
 前記選択回路で選択されたパターンに基づき、充電制御信号と放電制御信号を求める充放電制御回路と、
 前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加する充放電回路とを備えた、駆動回路。
- [請求項2] 前記充放電回路は、前記充電制御信号に従い前記データ信号線に前記充電電圧を印加する充電用トランジスタと、前記放電制御信号に従い前記データ信号線に前記放電電圧を印加する放電用トランジスタとを含むことを特徴とする、請求項1に記載の駆動回路。
- [請求項3] 所定の幅を有する補正パルスを複数種類生成する補正パルス生成回路をさらに備え、
 前記充放電制御回路は、前記補正パルス生成回路で生成された補正パルスの中から前記データ信号線ごとに指定された1個の補正パルスを選択し、選択した補正パルスに基づき、前記充電制御信号を充電を指示するレベルに変化させることを特徴とする、請求項2に記載の駆動回路。
- [請求項4] 前記充放電回路は、前記充電用トランジスタを複数個含み、充電時には、前記複数の充電用トランジスタの中から、前記データ信号線ごとに温度に応じて指定された1個以上のトランジスタを使用することを特徴とする、請求項2に記載の駆動回路。
- [請求項5] 前記充放電制御回路は、1水平期間内に設定された電圧保持期間で

は、前記充電用トランジスタと前記放電用トランジスタを共にオフ状態に制御することを特徴とする、請求項 2 に記載の駆動回路。

[請求項6] 前記充放電制御回路は、第 1 期間では前記充電制御信号であり、第 2 期間では前記放電制御信号である第 1 制御信号と、第 1 期間では前記放電制御信号であり、第 2 期間では前記充電制御信号である第 2 制御信号とを出力し、

前記充放電回路は、前記第 1 制御信号に従い前記充電用トランジスタまたは前記放電用トランジスタとして機能する第 1 トランジスタと、前記第 2 制御信号に従い前記放電用トランジスタまたは前記充電用トランジスタとして機能する第 2 トランジスタとを含むことを特徴とする、請求項 2 に記載の駆動回路。

[請求項7] 前記充放電回路は、前記第 1 および第 2 トランジスタを複数個ずつ含み、第 1 期間内の充電時には、前記複数の第 1 トランジスタの中から、前記データ信号線ごとに温度に応じて指定された 1 個以上のトランジスタを使用し、第 2 期間内の充電時には、前記複数の第 2 トランジスタの中から、前記データ信号線ごとに温度に応じて指定された 1 個以上のトランジスタを使用することを特徴とする、請求項 6 に記載の駆動回路。

[請求項8] 前記データ信号線の 1 水平期間内での充電時間は、前記データ信号線の充電時の時定数の 2 倍以下であることを特徴とする、請求項 1 に記載の駆動回路。

[請求項9] 前記データ信号線の 1 水平期間内での充電時間は、前記データ信号線の充電時の時定数の 2. 3 倍以下であることを特徴とする、請求項 1 に記載の駆動回路。

[請求項10] 1 水平期間が前記データ信号線の充電時の時定数の 4. 5 倍以上であることを特徴とする、請求項 1 に記載の駆動回路。

[請求項11] 階調表示を行う表示装置であって、
複数の走査信号線と複数のデータ信号線と複数の画素回路とを含む

表示パネルと、

前記走査信号線を順に選択する走査信号線駆動回路と、

前記データ信号線に対して映像信号に応じた階調電圧を印加するデータ信号線駆動回路とを備え、

前記データ信号線駆動回路は、

階調に応じたパルス幅を有するパターンを各階調について複数組生成するパターン生成回路と、

前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、前記パターン生成回路で生成されたパターンの中から1個のパターンを選択する選択回路と、

前記選択回路で選択されたパターンに基づき、充電制御信号と放電制御信号を求める充放電制御回路と、

前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加する充放電回路とを含むことを特徴とする、表示装置。

[請求項12]

表示装置のデータ信号線を駆動する駆動方法であって、

階調に応じたパルス幅を有するパターンを各階調について複数組生成するステップと、

前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、生成されたパターンの中から1個のパターンを選択するステップと、

選択されたパターンに基づき、充電制御信号と放電制御信号を求めるステップと、

前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加するステップとを備えた、駆動方法。

[請求項13]

複数の走査信号線と複数のデータ信号線と複数の画素回路とを有す

る表示パネルを有し、階調表示を行う表示装置の駆動方法であって、
前記走査信号線を順に選択するステップと、

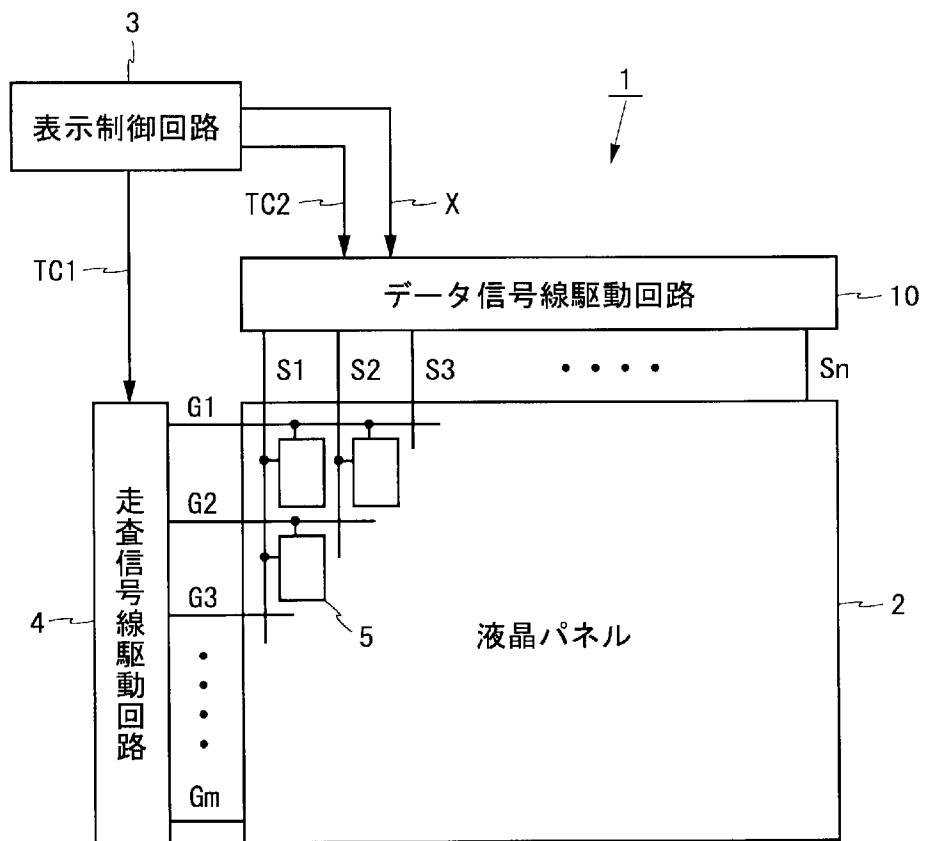
階調に応じたパルス幅を有するパターンを各階調について複数組生成するステップと、

前記データ信号線ごとに与えられた階調データと前記データ信号線ごとに指定されたパターンの組とに基づき、生成されたパターンの中から1個のパターンを選択するステップと、

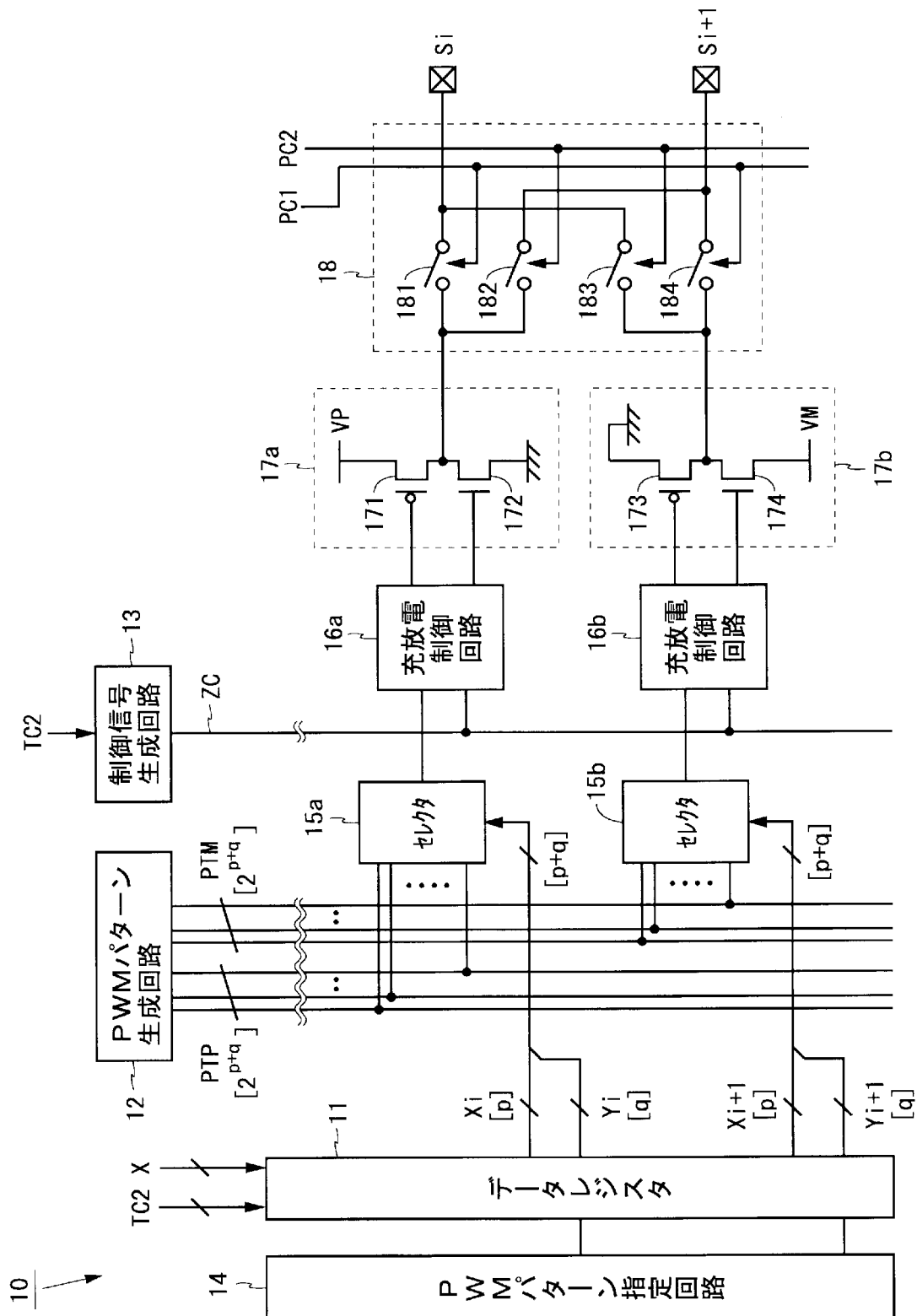
選択されたパターンに基づき、充電制御信号と放電制御信号を求めるステップと、

前記充電制御信号と前記放電制御信号に従い、前記データ信号線に充電電圧と放電電圧を切り替えて印加するステップとを備えた、表示装置の駆動方法。

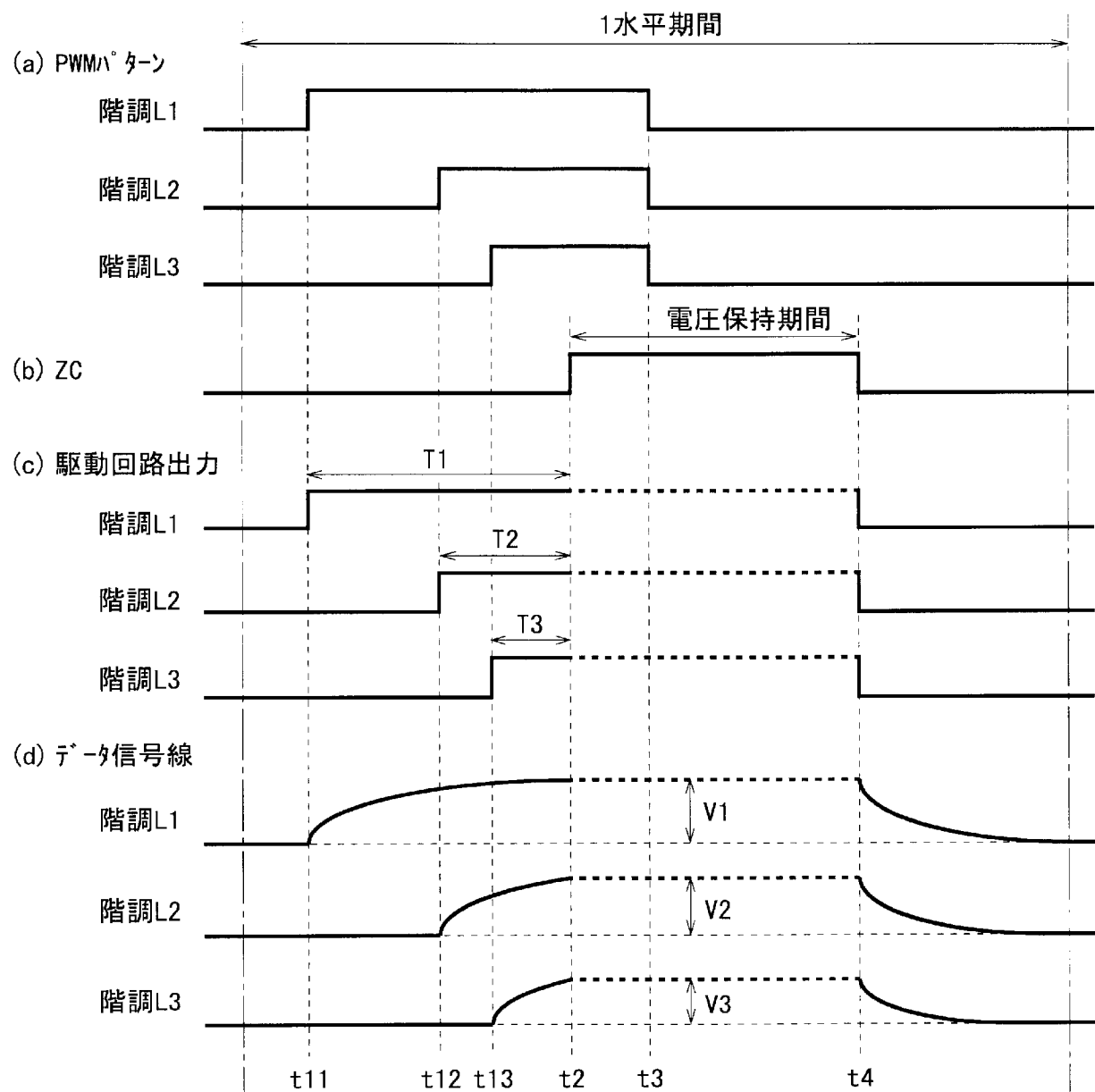
[図1]



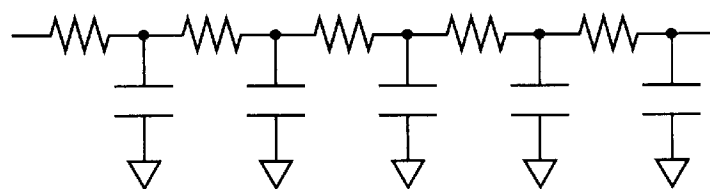
[図2]



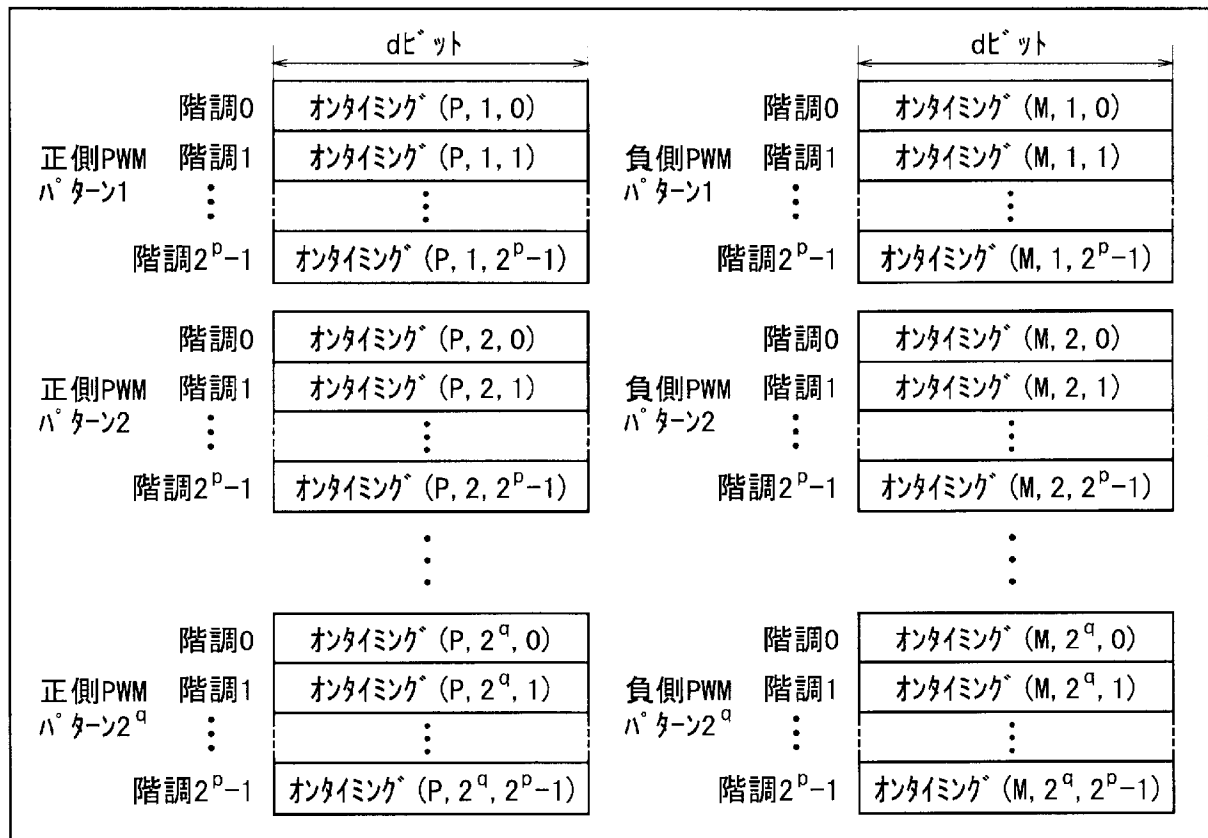
[図3]



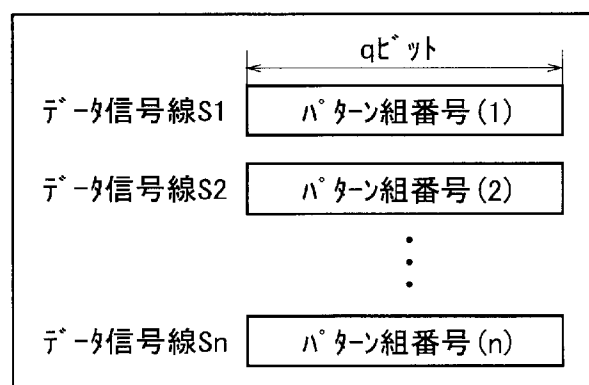
[図4]



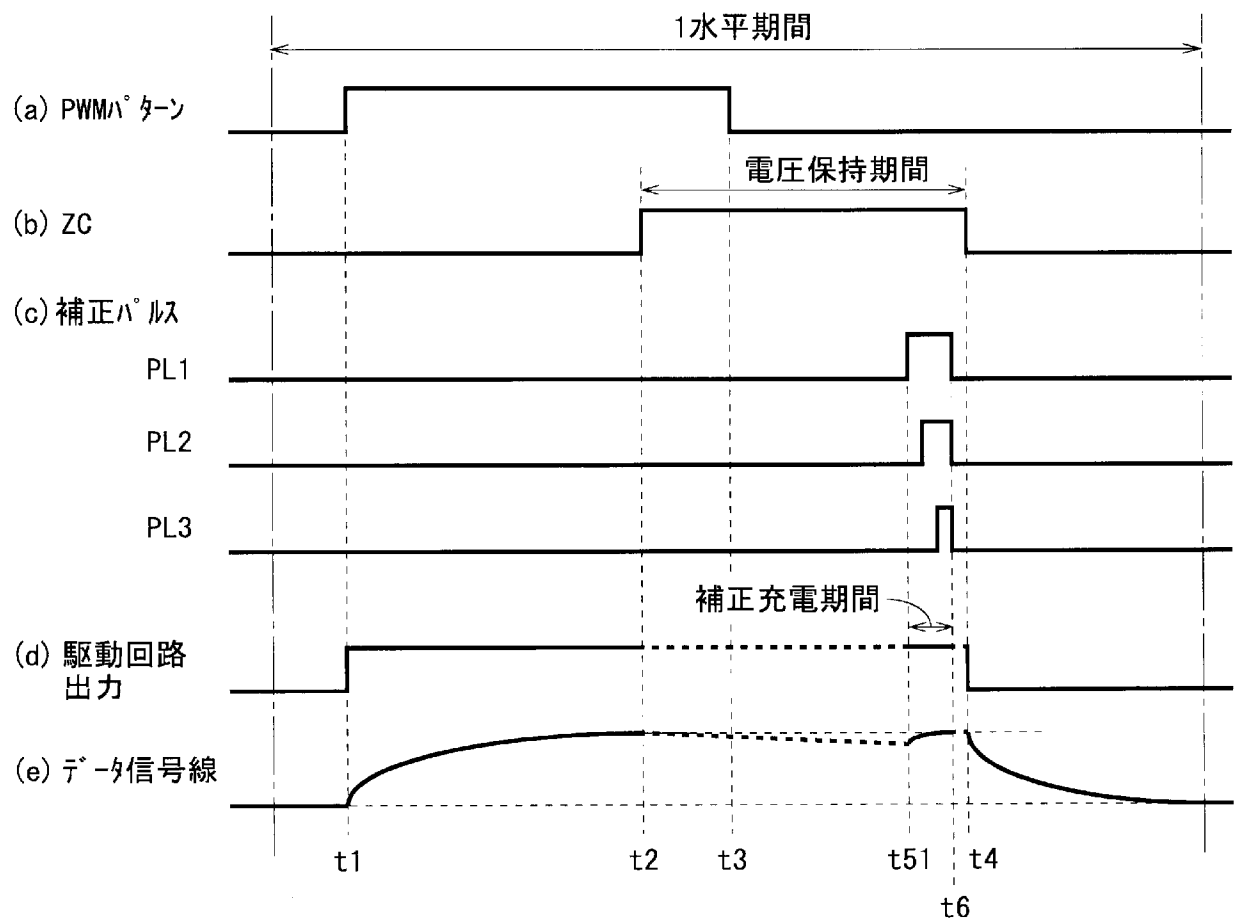
[図5]



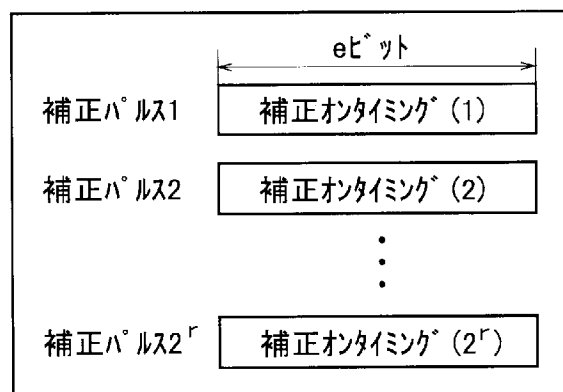
[図6]



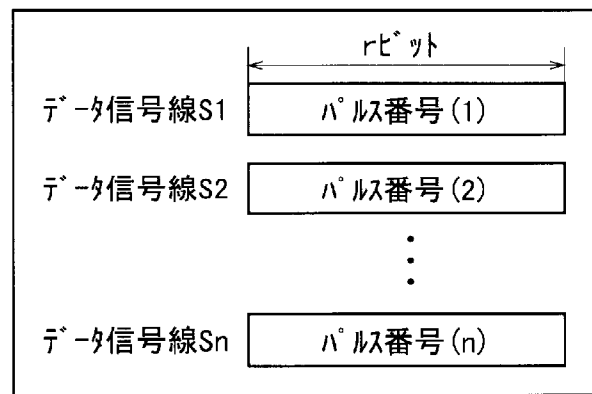
[図8]



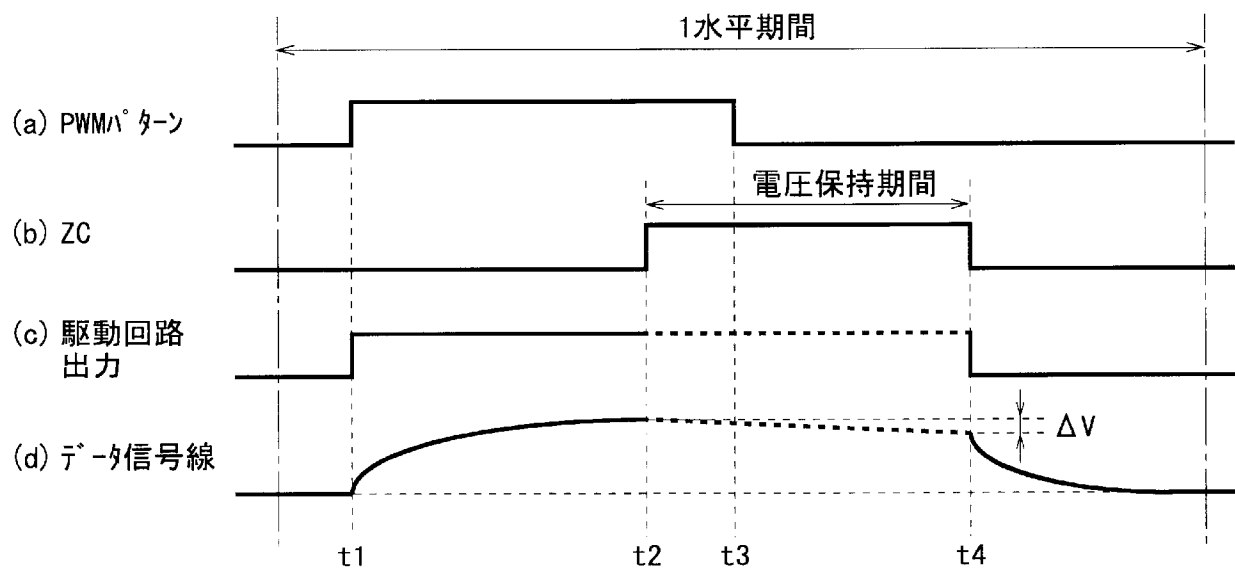
[図9]



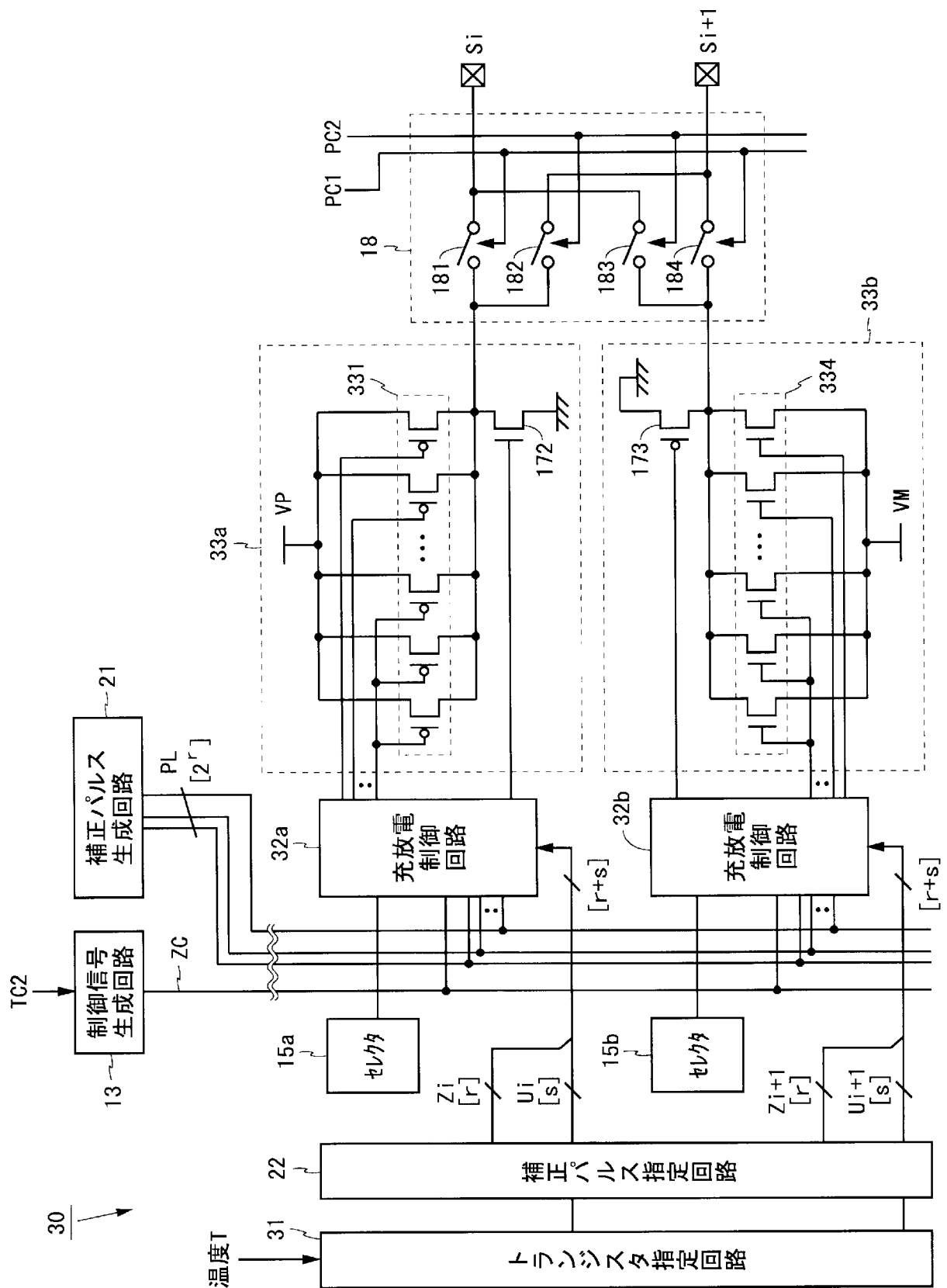
[図10]



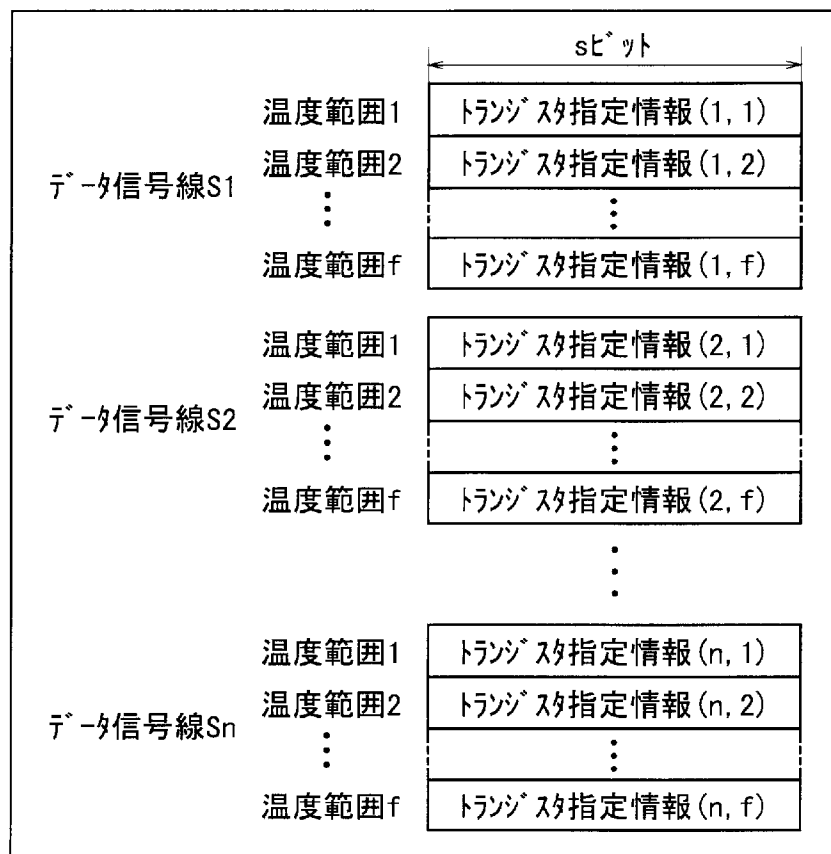
[図11]



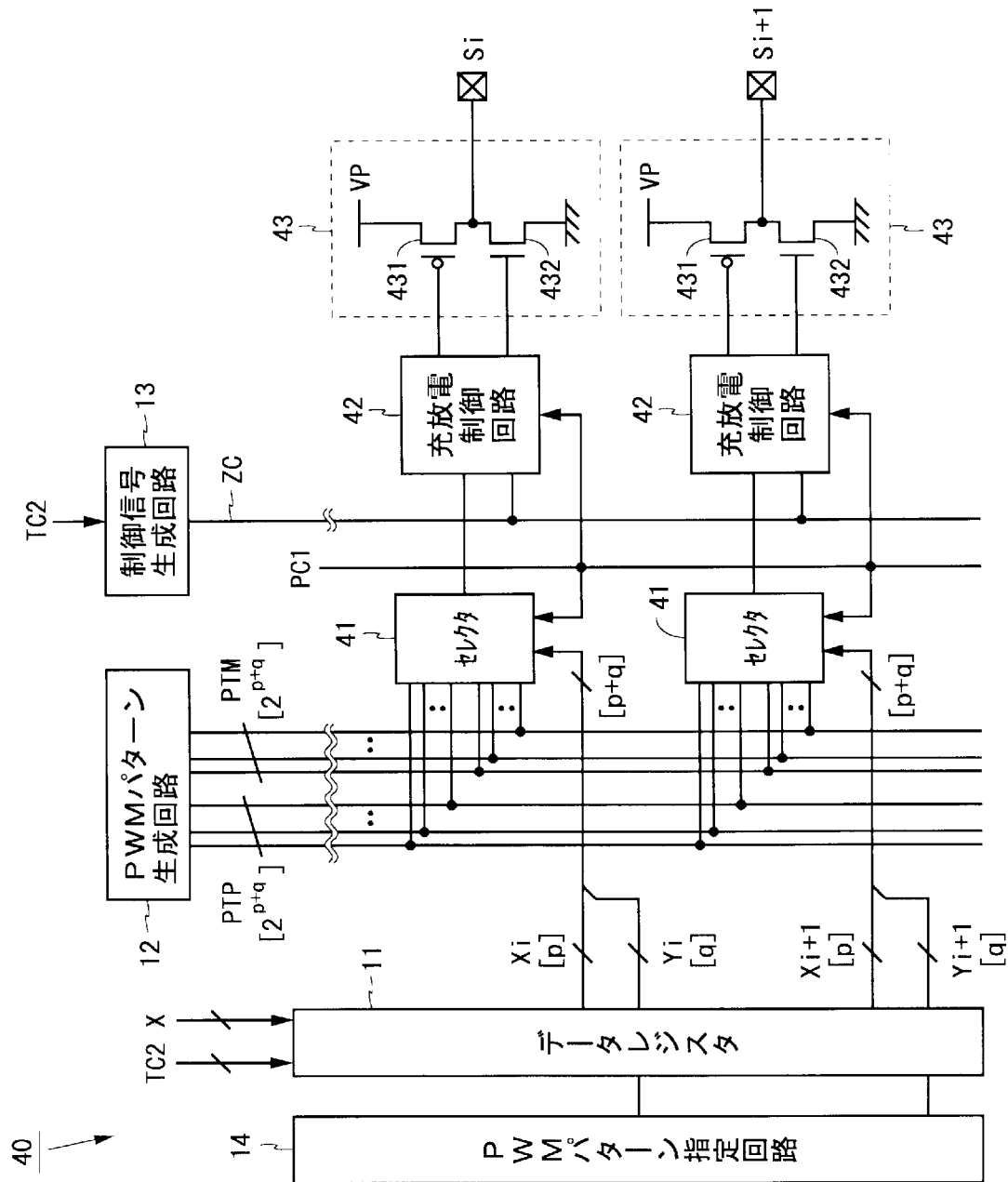
[図12]



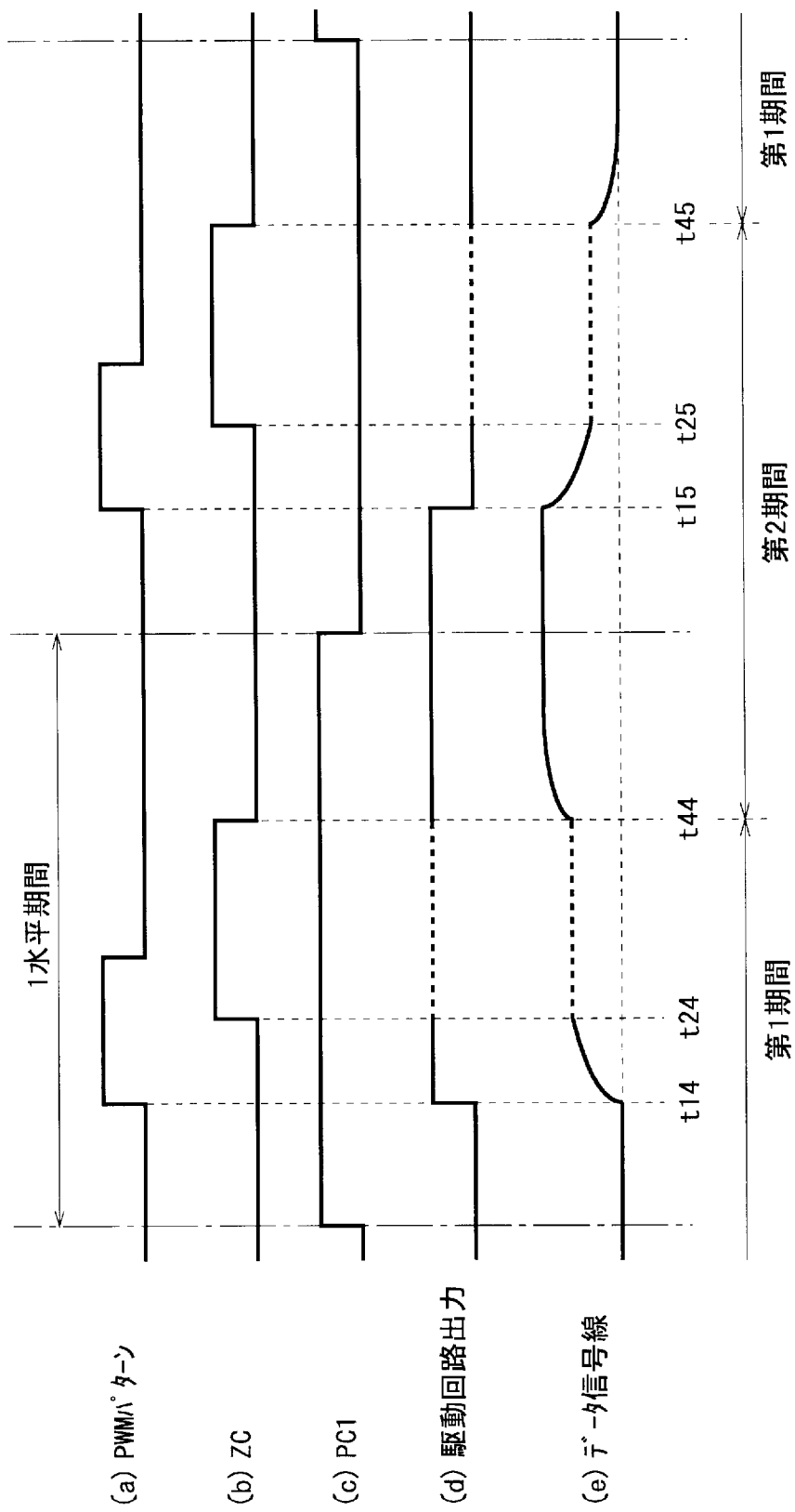
[図13]



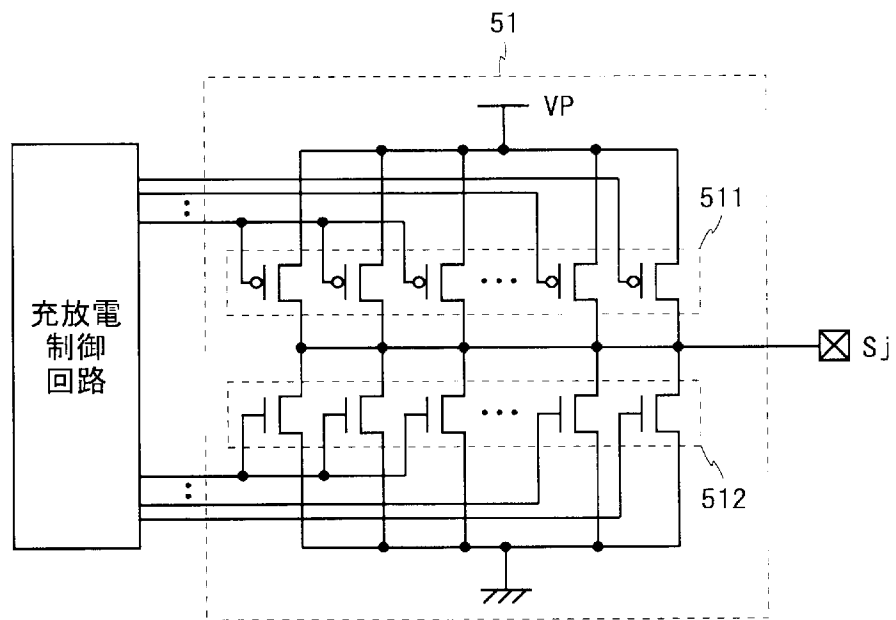
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/063295

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-134282 A (Sharp Corp.), 23 May 1995 (23.05.1995), paragraphs [0014] to [0025]; fig. 1 to 5 (Family: none)	1-13
A	JP 4-291394 A (Fujitsu Ltd.), 15 October 1992 (15.10.1992), paragraphs [0030] to [0047]; fig. 1 to 4 (Family: none)	1-13
A	JP 6-314084 A (Sharp Corp.), 08 November 1994 (08.11.1994), paragraphs [0002] to [0008]; fig. 4 to 6 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 June, 2012 (11.06.12)Date of mailing of the international search report
19 June, 2012 (19.06.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/063295

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-108034 A (Fuji Xerox Co., Ltd.), 30 April 1993 (30.04.1993), paragraphs [0008] to [0013]; fig. 1 to 3 (Family: none)	1-13
A	JP 2008-145822 A (Rohm Co., Ltd.), 26 June 2008 (26.06.2008), paragraphs [0017] to [0022]; fig. 1 to 4 (Family: none)	1-13
A	JP 2010-250114 A (Sanyo Electric Co., Ltd.), 04 November 2010 (04.11.2010), paragraphs [0013] to [0043]; fig. 1 to 5 (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-134282 A（シャープ株式会社）1995.05.23, 段落【0014】 －【0025】、【図1】－【図5】（ファミリーなし）	1－13
A	JP 4-291394 A（富士通株式会社）1992.10.15, 段落【0030】－ 【0047】、【図1】－【図4】（ファミリーなし）	1－13
A	JP 6-314084 A（シャープ株式会社）1994.11.08, 段落【0002】 －【0008】、【図4】－【図6】（ファミリーなし）	1－13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 6 . 2 0 1 2

国際調査報告の発送日

1 9 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-108034 A (富士ゼロックス株式会社) 1993. 04. 30, 段落【008】－【0013】, 【図1】－【図3】 (ファミリーなし)	1－13
A	JP 2008-145822 A (ローム株式会社) 2008. 06. 26, 段落【0017】－【0022】, 【図1】－【図4】 (ファミリーなし)	1－13
A	JP 2010-250114 A (三洋電機株式会社) 2010. 11. 04, 段落【0013】－【0043】, 【図1】－【図5】 (ファミリーなし)	1－13