

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-509059
(P2017-509059A)

(43) 公表日 平成29年3月30日(2017.3.30)

(51) Int.Cl.			F I			テーマコード (参考)	
G06F	9/48	(2006.01)	G06F	9/46	311F	5B011	
G06F	1/32	(2006.01)	G06F	1/32	Z	5B061	
G06F	13/24	(2006.01)	G06F	13/24	310A		

審査請求 有 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2016-550205 (P2016-550205)
 (86) (22) 出願日 平成26年3月24日 (2014. 3. 24)
 (85) 翻訳文提出日 平成28年8月31日 (2016. 8. 31)
 (86) 国際出願番号 PCT/CN2014/073926
 (87) 国際公開番号 WO2015/143594
 (87) 国際公開日 平成27年10月1日 (2015. 10. 1)

(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 ロー、ティアム ワー
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200 インテル
 ・コーポレーション内

最終頁に続く

(54) 【発明の名称】 電力消費を低減するための割り込み処理の同期化

(57) 【要約】

プロセッサは、第1のコアを含む少なくとも1つのコア及び割込遅延論理を開示し、かつ、これらを含む。割込遅延論理は、第1の時点で第1の割り込みを受信し、第2の割り込みが第1のコアにより処理されるときに、第1の割り込みが第2の時点でペンディングされていない限り、第1の割り込みが処理されることを、第1の時点で開始する第1の時間遅延で遅延させる。第1の割り込みが第2の時点でペンディング中である場合、割込遅延論理は、第1の時間遅延の完了前に第1の割り込みの処理を開始することを第1のコアに指示する。他の実施形態が開示され、特許請求される。

400

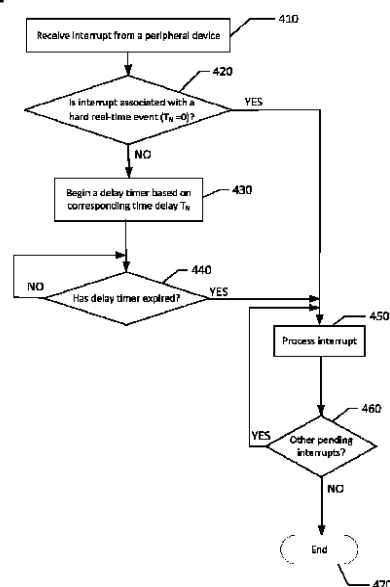


FIG. 4

【特許請求の範囲】**【請求項 1】**

第 1 のコアを含む少なくとも 1 つのコアと、
割込遅延論理と
を備え、

前記割込遅延論理は、

第 1 の時点で第 1 の割り込みを受信し、

第 2 の割り込みが前記第 1 のコアにより処理される第 2 の時点で第 1 の割り込みがペン
ディングされていない限り、前記第 1 の割り込みの処理を、前記第 1 の時点で開始する第
1 の時間遅延で遅延させ、

前記第 1 の割り込みが前記第 2 の時点でペンディング中である場合、前記第 1 の時間遅
延の完了の前に前記第 1 の割り込みの処理を開始することを前記第 1 のコアに指示する、
プロセッサ。

【請求項 2】

受信された複数の割り込みが前記第 2 の時点でペンディング中であるときに、前記第 1
のコアは、前記第 2 の時点に開始する第 1 のアクティブ期間の間に、前記ペンディング中
の複数の割り込みを処理し、前記第 1 のコアは、前記第 1 のアクティブ期間を通してアク
ティブ状態にある、請求項 1 に記載のプロセッサ。

【請求項 3】

前記第 1 のコアは、前記第 2 の割り込み及び前記ペンディング中の複数の割り込みが処
理された後に、前記アクティブ状態からインアクティブ状態に遷移する、請求項 2 に記載
のプロセッサ。

【請求項 4】

前記第 1 のコアは、前記第 1 の割り込み及び前記第 2 の割り込みが処理されている間、
アクティブ状態にあり、前記第 1 の割り込み及び前記第 2 の割り込みが処理された後にイ
ンアクティブ状態に遷移する、請求項 1 に記載のプロセッサ。

【請求項 5】

前記第 2 の割り込みは、周期的に受信され、受信した前記第 2 の割り込みの発生ごとに
、前記第 2 の割り込みは、意図的に遅延させられることなく前記第 1 のコアにより処理さ
れ、前記割込遅延論理は、対応する時間遅延の完了前、かつ、前記コアがアクティブ状態
にある間に、各追加のペンディング中である割り込みの処理を開始することを前記第 1 の
コアに指示する、請求項 1 に記載のプロセッサ。

【請求項 6】

前記第 2 の割り込みの受信の発生ごとに、第 2 の割り込み及び複数の前記追加のペンデ
ィング中である割り込みの処理が完了すると、前記第 1 のコアは、インアクティブ状態に
遷移することを更に備える、請求項 5 に記載のプロセッサ。

【請求項 7】

前記割込遅延論理は、更に、第 3 の時点で第 3 の割り込みを受信し、第 2 の時間遅延を
前記第 3 の割り込みに割り当て、

前記割込遅延論理は、

前記第 1 の割り込み又は前記第 2 の割り込みが処理されている間、前記第 3 の割り込み
がペンディングされていない限り、前記第 3 の時点から前記第 2 の時間遅延に前記第 3 の
割り込みの処理を遅延させ、

前記第 1 の割り込み又は前記第 2 の割り込みが処理されている間、前記第 3 の割り込み
がペンディング中である場合、前記第 2 の時間遅延を完了することなく前記第 3 の割り込
みを処理することを前記第 1 のコアに指示する、請求項 1 に記載のプロセッサ。

【請求項 8】

前記第 1 の割り込み又は前記第 2 の割り込みが処理されている間、前記第 3 の割り込み
がペンディング中でない場合、前記割込遅延論理は、前記第 2 の時間遅延の完了後に前記
第 3 の割り込みを処理することを前記コアに指示する、請求項 7 に記載のプロセッサ。

10

20

30

40

50

【請求項 9】

前記割込遅延論理は、前記第 1 の時間遅延をカウントするカウンタを含む、請求項 1 に記載のプロセッサ。

【請求項 10】

ダイナミックランダムアクセスメモリ (DRAM) と、
プロセッサと
を備え、
前記プロセッサは、
1 又は複数のコアと、
1 又は複数の受信された割り込みのそれぞれを前記 1 又は複数のコアのうちの第 1 のコアに振り分ける割込コントローラと、
割込遅延コントローラと
を有し、
前記割込遅延コントローラは、
対応する割り込みを処理するための各時間遅延をカウントする 1 又は複数の遅延カウンタと、
第 1 の割り込みが処理されることに応答して、前記各時間遅延の満了前に、各ペンディング中の割り込みを前記割込コントローラに送信するペンディング割込リリース論理と
を含み、
各遅延カウンタは、前記プロセッサが前記対応する割り込みを受信すると、各カウントを開始する、システム。

【請求項 11】

第 2 の割り込みに関連する時間遅延の間に処理中の割り込みがない場合、前記割込遅延コントローラは、前記対応する遅延カウンタの前記カウントが完了すると、前記割り込みを前記割込コントローラに送信する、請求項 10 に記載のシステム。

【請求項 12】

第 2 の遅延カウンタの前記カウントが完了したときに、前記ペンディング割込リリース論理は、各ペンディング中の割り込みを前記割込コントローラに送信し、前記各ペンディング中の割り込みは、前記第 1 のコアが前記アクティブ状態にある間に処理される、請求項 10 に記載のシステム。

【請求項 13】

前記ペンディング中の割り込みが処理された後に、前記対応するコアは、インアクティブになる、請求項 10 に記載のシステム。

【請求項 14】

前記プロセッサは、ハード割り込みを受信すると、意図的に遅延させることなく前記ハード割り込みを前記割込コントローラに送信する割込検出論理を更に含む、請求項 10 に記載のシステム。

【請求項 15】

前記プロセッサは、受信した各ソフト割り込みに対して、対応する遅延カウンタを割り当てるカウンタ割当論理を更に含む、請求項 10 に記載のシステム。

【請求項 16】

プロセッサのコアにより第 1 の時点で開始する第 1 の割り込みを処理する段階と、
前記プロセッサが、第 2 の時点で受信した第 2 の割り込みに対して時間遅延を割り当てる段階と、
前記第 2 の割り込みが前記第 1 の時点でペンディングされていない限り、前記第 2 の時点で開始した前記時間遅延が満了した後に、前記コアが、前記第 2 の割り込みを処理する段階と、
前記第 2 の割り込みが前記第 1 の時点でペンディング中である場合、前記時間遅延の満了前に、前記コアが、前記第 2 の割り込みを処理する段階と
を備える方法。

【請求項 17】

前記第2の割り込みが前記第1の時点でペンディング中である場合、前記第1の割り込みの処理に応答して、前記コアがアクティブ状態にある間に、前記第2の割り込みを処理する、請求項16に記載の方法。

【請求項 18】

前記第1の割り込み及び前記第2の割り込みが処理された後に、前記コアをインアクティブ状態に遷移させる段階を更に備える、請求項16に記載の方法。

【請求項 19】

複数の割り込みが前記第1の時点でペンディング中である場合、前記複数の割り込みのそれぞれの各時間遅延の完了前に、前記コアにより処理させるべく、前記複数の割り込みを前記コアに送信する段階

10

を更に備え、

前記コアは、前記複数の割り込みが処理されている間、アクティブ状態に維持される、請求項16に記載の方法。

【請求項 20】

全てのペンディング中の割り込みが処理された後に、前記コアをインアクティブ状態に遷移させる段階

を更に備える、請求項19に記載の方法。

【請求項 21】

前記時間遅延は、前記第2の割り込みの送信元である周辺デバイスの1又は複数の特性に基づいて判断される、請求項16に記載の方法。

20

【請求項 22】

複数の割り込みのそれぞれに対応する時間遅延を割り当てる段階

を更に備え、

前記複数の割り込みのそれぞれは、別の割り込みが処理されていない限り、各受信時点から開始する前記対応する時間遅延で処理が遅延させられる、請求項16に記載の方法。

【請求項 23】

特定の割り込みの処理が開始したときに、前記対応する時間遅延を完了させることなく処理するために、各ペンディング中の割り込みを前記コアに送信する段階

を更に備える、請求項22に記載の方法。

30

【請求項 24】

請求項16から23のいずれか一項に記載の方法を実行するための手段を備える、装置。

【請求項 25】

実行されるときに、システムに、請求項16から23のいずれか一項に記載の方法を実行させることを可能とする複数の命令を含む、少なくとも1つのコンピュータ可読媒体。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、割り込み処理に関連する。

40

【背景技術】

【0002】

例えば、スマートフォン、タブレット等の携帯デバイスのようなデバイスは、入力を提供し得る周辺デバイスの多様化の結果として生じる高レートの高同期イベントを有し得る。例えば、高同期イベントは、モーションセンサ、光センサ、タッチスクリーン等を含み得る。また、これらの携帯デバイスは、セルラーネットワークページング、周期的なタイムイベント等に関連する周期的な割り込みのような同期イベントを受信し得る。

【0003】

プロセッサに入力される割り込みメッセージ(「割り込み」)は、同期イベント及び非同期イベントに関連し、プロセッサに、スラッシングさせ、例えば、アクティブ状態とイ

50

ンアクティブ状態との間を過度に変動させる恐れがあり、次に、インアクティブからアクティブ状態への遷移の結果としての「ウェイクアップ」電力コストに起因する高い電力消費を引き起こす恐れがあり、その結果、例えば、バッテリー等の電源の再充電間の期間が短縮される可能性がある。

【図面の簡単な説明】

【0004】

【図1】本発明の実施形態に係るシステムのブロック図である。

【0005】

【図2】本発明の複数の実施形態に係る割込遅延コントローラのブロック図である。

【0006】

【図3A】本発明の実施形態に係るプロセッサコアのブロック図である。

【0007】

【図3B】本発明の複数の実施形態に係る処理されるべき複数の割り込みのタイミング図である。

【0008】

【図4】本発明の実施形態に係るプロセッサにより複数の割り込みイベントを処理する方法のフロー図である。

【0009】

【図5】本発明の実施形態に係るシステムのブロック図である。

【0010】

【図6】本発明の別の実施形態に係るシステムのブロック図である。

【0011】

【図7】本発明の実施形態に係るシステムオンチップのブロック図である。

【発明を実施するための形態】

【0012】

複数の割り込みソースは、ソースの特性及びソースから受信した複数の割り込みを処理するための要求に従って分類されることができる。例えば、いくつかの割り込み（本明細書における「ハード割り込み」又は「クリティカルな割り込み」、例えば、セルラー伝送規格に関連する、例えば、周期的な割り込み）は、処理する前に、意図的に遅延させられることなくサービス提供される。他の割り込み（本明細書における「ソフト割り込み」又は「非クリティカルな割り込み」）は、時間的制約が少なく、例えば、周辺デバイス/アプリケーション等の割り込みソースの性質に従って割り当てられる時間遅延で、意図的に遅延させることができる。

【0013】

実施形態において、プログラム可能な遅延値をイベントごと又は複数のイベントのグループごとに確立することができる。複数の割り込みは、プロセッサがインアクティブ（「スリープ」）状態からアクティブ化（「アウェイク化」）されたときに、プロセッサが複数の割り込みを処理（例えば、「バッチ処理」）することができるように、グループ化されることができる。複数の割り込みのバッチ処理は、プロセッサが特定の時間フレームで経験するアクティブ/インアクティブサイクルの総数を低減でき、プロセッサの全体的な消費電力を低くできる。

【0014】

複数の実施形態において、プログラムされた遅延タイマー値は、例えば、プロセッサ及び/又はシステムオンチップ（SoC）が節電（インアクティブ）状態にあるときに、例えば、アドバンスドコンピューティングアンドパワーインタフェース（ACPI）パワーダウン状態C1～C6のうちの1つにあるときに、（例えば、割り込みに関連するハンドラの実行を利用した）割り込み処理を遅延させるべく、オペレーティングシステムで利用可能である。様々なタイプの割り込みに対する複数のプログラムされた遅延値は、プロセッサ又はSoCの各インアクティブからアクティブへの遷移に起因して大きな電力消費を引き起こす可能性がある、各割り込みの個別処理の代わりに割り込み処理のバッチ処理を

10

20

30

40

50

可能とする。実施形態において、割り込み処理は、各割り込みに割り当てられる対応する遅延時間に動的に基づいて複数のイベントを自動的にグループ化する。

【0015】

図1は、本発明の実施形態に係るシステム100のブロック図である。システム100は、1又は複数のコア102₀ - 102_N、割込コントローラ104及び割込遅延コントローラ106を含むプロセッサ110と、プロセッサ110に連結される複数の周辺デバイス120₀ - 120_Mと、プロセッサ110に連結されるダイナミックランダムアクセスメモリ(DRAM)130とを含む。

【0016】

動作中、プロセッサ110は、周辺デバイス120₀ - 120_Mのうちの1又は複数から、複数の割り込みメッセージ(また、本明細書において「複数の割り込み」)を受信してよい。複数の割り込み(「ハード割り込み」)の1又は複数は、割り込みが、例えば、意図的に遅延させられずに、受信したときに処理されるための対応するハードリアルタイム割り込みイベントに関連してよい。例えば、ハード割り込みは、セルラー規格に関連する周期的なイベントに関連してよく、ハード割り込みは、例えば、意図的に時間遅延させられることなく、受信されると、プロセッサ110により処理される。

10

【0017】

他の割り込みは、周期的(例えば、同期)又は非周期的(例えば、非同期)であってもよいが、複数のハードリアルタイム割り込みイベントに関連しておらず、従って、そのような複数の割り込み(「ソフト割り込み」)の処理は、遅延させられてよい、例えば、意図的に時間を遅延させられてよい。例えば、複数の非同期の割り込みは、センサ入力、タッチスクリーン、周期的に受信され得るデータ等のような複数の非同期イベントに関連してよい。

20

【0018】

複数のソフトイベントを作成する(例えば、複数のソフト割り込みを生成する)周辺デバイス120₀ - 120_Mごとに、各ソフト割り込みを処理する対応する時間遅延が割り当てられてよい。発信元の周辺デバイスから受信された複数のソフト割り込みを処理する時間遅延は、発信元の周辺デバイスの特性に基づいて判断されてよく、システム100の使用の前に判断されてよい。例えば、複数のソフト割り込みに対する許容可能な時間遅延の判断において考慮されるべき1つの要因は、関連するイベント発生之最悪ケースの周期(worst case frequency)であってもよい。例えば、最悪ケース推定において、イベントが100ミリ秒毎に発生する場合、関連する割り込みを処理する100µsの遅延は、性能に対する影響を無視できる。時間遅延は、プロセッサ110による1又は複数の割り込みの受信前に、提供されてよい(例えば、プロセッサ110内に格納されてよい)。

30

【0019】

周辺デバイス120₀ - 120_Mの1又は複数から割込遅延コントローラ106により受信された複数のハード割り込みは、意図的に時間遅延させられることなく処理されるべく、割込コントローラ104に渡されてよい。ソフト割り込みがプロセッサ110により受信されたときに、割込遅延コントローラ106は、ソフト割り込みを提供した周辺デバイス120に基づいて、対応する時間遅延(例えば、割込遅延コントローラ106内に格納されている)を選択してよい。受信したソフト割り込みごとに、割込遅延コントローラは、例えば、対応するタイマーを用いて、対応する時間遅延のカウントを開始してよく、対応するタイマーが時間遅延の終了に至ったときに、ソフト割り込みは、割込コントローラ104へとリリースされてよく、ソフト割り込みは、コア102₀ - 102_Nのうちの1つにより処理されるべく、割込コントローラ104により振り分けられてよい。

40

【0020】

実施形態において、ハード割り込みが、即時処理のためにプロセッサ110により受信されたときに、割込遅延コントローラ106は、いずれのソフト割り込みがペンディング中であるか否かを判断してよく、例えば、関連するタイマーが、ソフト割り込みに対する

50

時間遅延をカウントすることを開始しており、かつ、そのカウントを完了していないかを判断してよい。割込遅延コントローラ106は、コア102₀ - 102_Nのうちの1つによる処理のために、例えば、関連するタイマーのカウントを完了することなく、1又は複数のペンディング中のソフト割り込みを割込コントローラ104へとリリースしてよい。コアによる処理のためにリリースされる複数の割り込みは、コアがアクティブである間、例えば、コアが、リリースされた全てのソフト割り込みの処理が完了するまでに、ハード割り込みが受信された時点からアクティブを維持している間、に処理される。

【0021】

別の実施形態において、第1のソフト割り込みは、タイマーの満了に起因して、例えば、関連するタイマーが各時間遅延のそのカウントを完了したことに起因して、コア102₀ - 102_Nのうちの第1のコアにより処理される。割込遅延コントローラ106は、各時間遅延のそれぞれの完了前に第1のコアに処理させるために、他の1又は複数のペンディング中のソフト割り込みを割込コントローラ104へとリリースしてよい。第1のコアによる処理のためにリリースされる複数の割り込みは、バッチ処理され、例えば、第1のソフト割り込みの処理の結果として、第1のコアがアクティブである間に処理される。コアは、リリースされた複数の割り込みの処理が完了するまでアクティブを維持する。

10

【0022】

上記で説明した複数の実施形態のそれぞれにおいて、特定の割り込みが、処理されるべく、割込コントローラに送信されるときに、割込遅延コントローラ106は、コアの単一アクティブ期間の間に処理されるべく、1又は複数のペンディング中の割り込みをリリースしてよい。従って、特定のコアは、処理される割り込みごとにインアクティブとアクティブ状態との間を変動しない。複数の割り込みのバッチ処理は、スラッシングを低減することができ、さもなければ「ウェイクアップ」電力コストに起因して費やされることになるプロセッサの消費電力を低減することができる。つまり、複数の割り込みをバッチ処理することにより、処理される複数の割り込みに対して、ウェイクアップの複数の過程から単一のウェイクアップ過程となって、コアを再アクティブ化するために費やされる電力は、低減され得る。

20

【0023】

図2は、本発明の複数の実施形態に係る割込遅延コントローラ200のブロック図である。割込遅延コントローラ200は、時間遅延カウンタ210₁ - 210_Lと、時間遅延レジスタ220₁ - 220_Lと、割込検出論理224、カウンタ割当論理226、及びペンディング割込リリース論理228を含む割込遅延論理222とを含む。割込検出論理224、カウンタ割当論理226、及びペンディング割込リリース論理228を含む割込遅延論理222は、ソフトウェア、ハードウェア、ファームウェア又はこれらの組み合わせに実装されてよい。

30

【0024】

動作中、複数の周辺デバイスは、割り込み202₁ - 202_jを生成してよい。いくつかの周辺デバイスから受信された複数の割り込みのいくつかは、例えば、意図的に遅延させられることなく処理される複数のハード割り込みであってよい。他の割り込みは、複数のソフト割り込みであってよく、処理の前に遅延させられてよい。

40

【0025】

割込検出論理224は、受信される各ハード割り込みを検出してよく、処理のために特定のコアに出力されるべく、遅延させることなく割込コントローラ230に各ハード割り込みを送信してよい。

【0026】

各カウンタ210₁ - 210_Lは、複数のソフト割り込みを発行する特定の周辺デバイスに対応する判断された時間遅延を格納する、関連する時間遅延レジスタ210₁ - 210_Lを有する。上記で説明されるように、特定の周辺デバイスに対する時間遅延は、(例えば、割込遅延コントローラ200の動作の前に、)関連する時間遅延レジスタ210₁ - 210_Lに格納されてよく、複数の要因(例えば、性能に対する影響)に依存してよい

50

。カウンタ割当論理 226 は、特定の周辺デバイスから受信した各割り込みを当該特定の周辺デバイスに関連する時間遅延レジスタ 220_i に対応するカウンタ 210_i に割り当ててよい。例えば、第 1 の割り込みが第 1 の周辺デバイスから受信されたときに、第 1 の割り込みは、第 1 の周辺デバイスに関連する第 1 の時間遅延値に対する時間カウントを開始する第 1 のタイマー 210₁ に対して、カウンタ割当論理 226 により割り当てられてよく、レジスタ 220₁ に格納される（例えば、第 1 の時間遅延値からのカウントダウンする又は、第 1 の時間遅延値へのカウントアップする）。時間カウントが満了したときに、割り込みは、割込コントローラ 230 により判断された複数のコアのうちの選択されたコアによる処理のために、割込コントローラ 230 へとリリースされる。

【0027】

割込検出論理 224 は、ハード割り込みの受信を検出してよく、意図的に遅延させることなく、受信したハード割り込みを割込コントローラ 230 に振り分けてよい。ハード割り込みを処理することは、ペンディング割込リリース論理 228 をトリガして、割り当て時間遅延の完了前に、例えば、時間遅延カウンタ 210 を介して意図的に遅延させられている、ペンディング中である 1 又は複数のソフト割り込みを割込コントローラ 230 へとリリースしてよい。

【0028】

また、カウンタ 210 がその関連する時間遅延のカウントを完了する過程ごとに、対応する割り込みは、プロセッサの特定のコア（割込コントローラ 230 により判断される特定のコア）により処理されるべく、割込コントローラ 230 へとリリースされる。割り込みのリリースによって、ペンディング割込リリース論理 228 が 1 又は複数のペンディング中の割り込みを、特定のコアにより処理されるべく、割込コントローラ 230 へとリリースさせてよい。

【0029】

図 3A を参照すると、本発明の一実施形態に係るプロセッサコア 300 のブロック図が示されている。図 3A に示されるように、プロセッサコア 300 は、複数段のパイプライン化されたアウトオブオーダープロセッサであってよい。

【0030】

コア 300 は、本発明の複数の実施形態に係る割り込み遅延ユニット 302 を含んでよい。複数の割り込みは、様々な周辺デバイスから受信されてよく、割込検出論理 304 は、受信した割り込みがハード割り込みかソフト割り込みかを検出してよい。受信した割り込みがハード割り込みである場合、受信した割り込みは、フロントエンドユニット 310 に送信され、遅延させられることなく（例えば、意図的に時間遅延させられることを導入することなく）実行ユニット 320 により処理される。受信した割り込みがソフト割り込みである場合、割込検出論理 304 は、受信した割り込みに対して遅延カウンタ 307₁ - 307_L のうちの 1 つを割り当てるように、カウンタ割当論理 306 に指示してよい。割り当てられた遅延カウンタ 307_i は、判断された時間遅延 T_i をカウントしてよく、ここで、T_i は、対応する時間遅延レジスタ 309₁ - 309_L に格納されており、割り込み遅延ユニット 302 は、対応する遅延カウンタ 307_i が各時間遅延 T_i をカウントする間に受信したソフト割り込みが処理されることを遅延させてよい。

【0031】

本発明の複数の実施形態によれば、別の割り込み（例えば、ハード割り込み又は遅延カウンタが満了した別のソフト割り込み）が処理されるときに、受信した（ソフト）割り込みがペンディング中である（例えば、各遅延カウンタ 307_i が満了するまで割り込み遅延ユニット 302 によりストールされている）場合、ペンディング割込リリース論理 308 は、その各遅延カウンタ 307_i の満了前、かつ、実行ユニット 320 がアクティブである間に処理するために、ペンディング中のソフト割り込みをリリースさせてよい。

【0032】

何の割り込みも処理されておらず、かつ、何の命令も処理されていない場合、電力調整論理 318 は、消費電力の完全にアクティブなレベルからより低いレベルに消費電力を低

10

20

30

40

50

減することを実行ユニット 320 に指示してよい。複数の割り込み及び / 又は複数の命令が処理されるべくキューに並べられたときに、電力調整論理 318 は、電源を入れた状態を再開することを実行ユニット 320 に指示してよい。

【0033】

図 3A に示されるように、コア 300 は、フロントエンドユニット 310 を含み、フロントエンドユニット 310 は、実行される複数の命令をフェッチし、プロセッサにおける後の使用のためにそれらの命令を準備するために使用されてよい。例えば、フロントエンドユニット 310 は、フェッチユニット 301、命令キャッシュ 303 及び命令デコーダ 305 を含んでよい。いくつかの実装において、フロントエンドユニット 310 は、マイクロコード記憶装置及びマイクロオペレーション記憶装置と併せて、トレースキャッシュを更に含んでよい。フェッチユニット 301 は、例えば、メモリ又は命令キャッシュ 303 から複数のマクロ命令をフェッチし、当該複数のマクロ命令を基本命令に、すなわち、プロセッサによる実行のための複数のマイクロオペレーションにデコードするべく、命令デコーダ 305 に供給してよい。

10

【0034】

フロントエンドユニット 310 と、実行ユニット 320 との間には、複数のマイクロ命令を受信し、実行のために複数のマイクロ命令を準備することに使用され得るアウトオブオーダー (OOO) エンジン 315 が連結される。より具体的には、OOO エンジン 315 は、レジスタファイル 330 及び拡張レジスタファイル 335 のような様々なレジスタファイル内における複数の格納位置上の複数の論理レジスタの名前を変更することを提供するだけでなく、マイクロ命令フローを再度順序付けし、実行のために必要な様々なリソースを割り当てる様々なバッファを含んでよい。レジスタファイル 330 は、整数及び浮動小数点操作に対する別個のレジスタファイルを含んでよい。拡張レジスタファイル 335 は、ストレージをベクトルサイズの単位、例えば、1 レジスタあたり 256 又は 512 ビットで提供してよい。

20

【0035】

様々なリソースは、実行ユニット 320 内に存在してよく、例えば、専用ハードウェアの中でも特に、様々な整数、浮動小数点及び単一命令複数データ (SIMD) 論理ユニットを含む。例えば、そのような複数の実行ユニットは、他のそのような複数の実行ユニットの中でも特に、1 又は複数の算術論理演算ユニット (ALU) 322 を含んでよい。

30

【0036】

複数の実行ユニットからの複数の結果は、リタイア論理、すなわち、リオーダーバッファ (ROB) 340 に提供されてよい。より具体的には、ROB 340 は、実行される複数の命令に関連する情報を受信する様々なアレイ及び論理を含んでよい。この情報は、その後、ROB 340 により検証され、複数の命令が正当にリタイアされ、かつ、プロセッサのアーキテクチャ状態にコミットしたデータをもたらすことができるか否か、又は、複数の命令の適切なリタイアを防ぐ 1 又は複数の例外が発生したか否かが判断される。当然ながら、ROB 340 は、リタイアに関連する他の動作を処理してよい。

【0037】

図 3A に示されるように、ROB 340 は、キャッシュ 350 に連結され、一実施形態において、キャッシュ 350 は、低レベルキャッシュ (例えば、L1 キャッシュ) であってよいが、本発明の範囲は、この点に限定されない。また、実行ユニット 320 は、キャッシュ 350 に直接連結されることができる。キャッシュ 350 からのデータ通信は、より高いレベルのキャッシュ、システムメモリ等と行われてよい。図 3A の実施形態では、この高レベルとともに示されるが、本発明の範囲は、この点に限定されないことと理解されたい。例えば、図 3A の実装は、いわゆる x86 命令セットアーキテクチャ (ISA) のようなアウトオブオーダーマシンに関するが、本発明の範囲は、この点に限定されない。つまり、他の実施形態は、インオーダープロセッサ、ARM ベースのプロセッサのような縮小命令セットコンピューティング (RISC) プロセッサ、又は、エミュレーションエンジン及び関連する論理回路を介して異なる ISA の複数の命令及び複数の動作をエミュレ

40

50

ートできるISAの別のタイプのプロセッサに実装されてよい。

【0038】

図3Bは、本発明の複数の実施形態に係る、処理されるべき複数の割り込みのタイミング図である。

【0039】

割り込み1メッセージ(354 - 360)は、ハード割り込みである。割り込み2メッセージ(362、366、370、374)は、周期的なソフト割り込みである。割り込み3メッセージ(378、382)は、非周期的なソフト割り込みである。

【0040】

全ての割り込みは、同一のコアにより処理される。複数のソフト割り込みは、遅延させられてよく、図2に関して上記で説明されたように、各ソフト割り込みは、対応する時間遅延を有する。周期的なソフト割り込み362、366、370及び374のそれぞれは、遅延させられた割り込み364、368、372、及び376としてそれぞれ処理されるべく、時間的に遅延させられる。非同期ソフト割り込み378及び382のそれぞれは、割り込み380及び384としてそれぞれ処理されるべく、時間的に遅延させられる。

【0041】

ハード割り込み354 - 360のそれぞれは、意図的に遅延させられることなく処理され、各割り込み354 - 360は、複数の割り込みを処理するコアにおけるインアクティブからアクティブへの遷移(386、390、394、396)に関連する。割り込み354、356、358及び360は、コアの時点386、390、394及び396で、

【0042】

各割り込み354、356、358、360が処理されるにつれて、(例えば、まだ処理されておらず、対応する時間遅延期間の満了を待っている)1又は複数のペンディング中の割り込みは、コアがアクティブ状態にある間に処理されるべく、リリースされてよい。例えば、割り込み370は、372への処理のために遅延させられており(本明細書において、370 372と表記される)、割り込み358が処理されているときにはペンディング中である。従って、割り込み(370 372)は、時点394での処理のためにリリースされ、リリースは、割り込み358の処理によりトリガされる。このようにして、2つの割り込み(358及び370 372)は、394で開始するコアの同一のアクティブ期間において処理される。

【0043】

割り込み374は、376へ遅延させられており、例えば、時点396で割り込み360が処理されるときにペンディング中である。従って、割り込み(374 376)は、396で開始するコアアクティビティの期間の間の処理のためにリリースされる。更に、割り込み382は、384へ遅延させられており、割り込み360の処理が開始するときにペンディング中である。従って、割り込み(382 384)は、396で開始するコアアクティビティの期間の間の処理のためにリリースされる。このようにして、3つの割り込み、360、(374 376)及び(382 384)は、396で開始するコアの連続的にアクティブな期間の間に処理される。

【0044】

割り込み366は、368での処理のために遅延させられる。他の割り込みが366と368との間の期間で処理されるためにスケジューリングされていないので、遅延させられた割り込み(366 368)は、時点392で処理され、処理は、コアを時点392でインアクティブからアクティブへ遷移させる。コアは、遅延させられた割り込み(366 368)が処理された後に、インアクティブ状態に戻る。

【0045】

割り込み362は、364へ遅延させられる(362 364)。非同期ソフト割り込み378は、380へ遅延させられる(378 380)。いずれかの他の割り込みが処理されることが予定されている一方、遅延させられた割り込み(362 364)は、ペ

10

20

30

40

50

ンディング中ではなく、従って、364に対応する時点388で処理され、当該時点は、その時間遅延の終了時点である。遅延させられた割り込み(378 380)は、時点388でペンディング中であり、従って、遅延させられた割り込み(362 364)の処理に起因して、コアがアクティブ状態にある間の処理のためにリリースされる。このようにして、2つの割り込み364及び(378 380)は、388で開始する1つのアクティブ期間内に処理される。

【0046】

コアのインアクティブからアクティブ状態への6つの遷移(386 - 396)の合計は、受信した10回の割り込みを処理することに起因する。従って、複数のソフト割り込みの処理の前における時間遅延の導入は、コアのインアクティブからアクティブへの遷移の総数を低減できる。コアのインアクティブからアクティブへの遷移の回数の低減は、コアのインアクティブからアクティブへの遷移に関連する電力コストの低減に起因して総電力消費量を低減できる。

10

【0047】

図4は、本発明の実施形態に係る、プロセッサによる複数の割り込みイベントを処理する方法のフロー図400である。ブロック410で、プロセッサは、周辺デバイスから割り込みを受信する。判断ひし形420へと続くと、第1の割り込みが、例えば、遅延時間 $T_N = 0$ のハードリアルタイムイベントに関連するハード割り込みである場合、ブロック450に進み、割り込みは、意図されない時間遅延でプロセッサにより処理される。判断ひし形460に進むと、他のペンディング中の割り込みがある場合、ブロック450に戻り、当該ペンディング中の割り込みが処理される。判断ひし形460で、他のペンディング中の割り込みがない場合、方法は、470で終了する。

20

【0048】

判断ひし形420で、N番目の割り込みがハード割り込みでない場合、例えば、N番目の割り込みがハードリアルタイムイベントに関連していない場合、ブロック430へ進み、対応する遅延タイマーがN番目の割り込みの対応する時間遅延 T_N をカウントすることを開始する。判断ひし形440へと移動すると、遅延タイマーが満了したときに、ブロック450へと進み、N番目の割り込みが処理される。判断ひし形460へと進むと、N番目の割り込みが処理されるときに、他のペンディング中の割り込みがある場合、ブロック450に戻り、例えば、N番目の割り込みの処理の代わりに、これらの遅延時間のそれぞれの満了前に、当該他のペンディング中の割り込みが処理される。判断ひし形460で、他のペンディング中の割り込みがない場合、方法は、470で終了する。

30

【0049】

複数の実施形態は、様々なシステムのタイプに実装されてよい。図5を参照すると、本発明の実施形態に係るシステムのブロック図が示される。図5に示されるように、マルチプロセッサシステム500は、ポイントツーポイント相互接続システムであり、ポイントツーポイント相互接続550を介して連結される第1のプロセッサ570及び第2のプロセッサ580を含む。図5に示すように、プロセッサ570及び580のそれぞれは、マルチコアプロセッサであってよく、第1及び第2のプロセッサコア(すなわち、コア574a及び574b並びにコア584a及び584b)を含むが、潜在的により多くのコアがプロセッサ内に存在してよい。本発明の複数の実施形態に従って、プロセッサ570は、割込遅延コントローラ502及び割込コントローラ504を含み、プロセッサ580は、割込遅延コントローラ506及び割込コントローラ508を含む。各割込遅延コントローラ502、506は、複数の入力割り込みを検出する。入力割り込みがハードリアルタイムイベントに関連する場合、割り込みは、意図的に遅延させられることなく処理されるべく、各割込コントローラ504、508に送信される。

40

【0050】

ソフト割り込みである第1の割り込みに対し、第2の割り込みが処理されている間、第1の割り込みがペンディングされていない限り、処理されるべき第1の割り込みをコアに振り分ける各割込コントローラ504、508に第1の割り込みを送信する前に、割込遅

50

延コントローラ502、506は、特定の遅延時間で割り込みの処理を遅延させる。本発明の複数の実施形態に従って、第2の割り込みが処理されている間、第1の割り込みがペンディング中である場合、割込遅延コントローラ502、506は、コアが第2の割り込みの処理によりトリガされるアクティブ状態にある間に処理するためにコアに振り分けられるべく、第1の割り込みを各割込コントローラ504、508へ送信する。

【0051】

図5を更に参照すると、第1のプロセッサ570は、メモリコントローラハブ(MCH)572及びポイントツーポイント(P-P)インタフェース576及び578を更に含む。同様に、第2のプロセッサ580は、MCH582並びにP-Pインタフェース586及び588を含む。図5に示されるように、MCH572及び582は、プロセッサを各メモリ、すなわち、メモリ532及びメモリ534に連結し、これらのメモリは、各プロセッサに対してローカルに取り付けられるシステムメモリ(例えば、DRAM)の一部であってよい。第1のプロセッサ570及び第2のプロセッサ580は、それぞれP-P相互接続562及び584を介してチップセット590に連結される。図5に示されるように、チップセット590は、P-Pインタフェース594及び598を含む。

10

【0052】

更に、チップセット590は、P-P相互接続539を介してチップセット590と高性能グラフィックスエンジン538とを連結するインタフェース592を含む。次に、チップセット590は、インタフェース596を介して第1のバス516に連結されてよい。図5に示されるように、様々な入力/出力(I/O)デバイス514は、バスブリッジ518と併せて、第1のバス516に連結されてよく、バスブリッジ518は、第1のバス516を第2のバス520に連結する。一実施形態において、例えば、キーボード/マウス522、通信デバイス526、及び、コード530を含み得るディスクドライブ又は他の大容量ストレージデバイスのようなデータストレージユニット528を含む、様々なデバイスが、第2のバス520に連結されてよい。更に、オーディオ入力/出力(I/O)524は、第2のバス520に連結されてよい。本発明の複数の実施形態に従って、デバイス514、522、524、526のうちの1又は複数は、プロセッサ570又はプロセッサ580により処理されるべく、複数の割り込みを提供してよい。複数の実施形態は、スマート携帯電話、タブレットコンピュータ、ネットブック、ウルトラブック(登録商標)等のようなモバイルデバイスを含む他のタイプのシステムに組み込まれ得る。

20

30

【0053】

複数の実施形態は、携帯電話のようなモバイルデバイスを含む他のタイプのシステムに組み込まれ得る。図6を参照すると、本発明の別の実施形態に係るシステムのブロック図が示される。図6に示されるように、システム600は、モバイルデバイスであってよく、様々なコンポーネントを含んでよい。図6の俯瞰図に示されるように、アプリケーションプロセッサ610は、デバイスの中央処理ユニットであってよく、ストレージ615を含む、様々なコンポーネントと通信を行う。ストレージ615は、様々な実施形態において、プログラム及びデータストレージ部分の両方を含んでよい。

【0054】

アプリケーションプロセッサ610は、更に、入力/出力システム620に連結されてよく、様々な実施形態において、入力/出力システム620は、ディスプレイ及びタッチキーボードのような1又は複数の入力デバイスを含んでよく、処理されるときにタッチキーボード自体をディスプレイ上に表示することができる。システム600は、1又は複数のセンサ670からデータを受信し得る統合センサハブ(ISH)660も含んでよい。いくつかの実施形態において、統合センサハブは、複数のソフト割り込みを検出し、対応する遅延時間(T_N)でソフト割り込みの実行を遅延させる割込遅延コントローラ(IDC)662を含む。本発明の複数の実施形態に従って、割り込みがペンディング中である間に別の割り込みが処理される場合、当該割り込みは、その時間遅延を完了することなく処理される。

40

【0055】

50

本発明の複数の実施形態に従って、アプリケーションプロセッサ610は、割込遅延コントローラ（IDC）602を含んでよい。IDC602は、（例えば、送受信機640及び/又はベースバンドプロセッサ630から）ハードリアルタイムイベントに関連する入力ハード割り込みを検出してよく、処理（例えば、操作）されるべきアプリケーションプロセッサ610のコアに割り込みを送信する割込コントローラ（不図示）にハード割り込みを、意図的に遅延させることなく、送信してよい。

【0056】

（例えば、I/O620及び/又は統合センサハブ660から受信した）ソフト割り込みである第1の割り込みについて、割込遅延コントローラ602は、第2の割り込みが第1のコアで処理されているときに、第1の割り込みがペンディングされていない限り、割込コントローラに第1の割り込みをリリースする前に第1の遅延時間で第1の割り込みの処理を遅延させてよい。割込コントローラは、処理されるべきアプリケーションプロセッサ610の第1のコアに第1の割り込みを送信する。本発明の複数の実施形態に従って、第1のコアで第2の割り込みが処理されているときに、第1の割り込みがペンディング中である場合、コアが第2の割り込みの処理によりトリガされるアクティブ状態にある間に処理するために第1のコアに振り分けられるべく、第2の割り込みの処理は、割込遅延コントローラ602をトリガして、時間遅延を完了することなく第1の割り込みを割込コントローラに送信する。第2の割り込みは、ハード割り込み又は時間遅延が完了（例えば、時間遅延カウンタが満了）したソフト割り込みであってよい。

10

【0057】

アプリケーションプロセッサ610は、ベースバンドプロセッサ630に連結してもよく、入力電話信号及び他の信号を調整することと同様に、出力用の音声及びデータ通信のような複数の信号を調整してよい。本発明の複数の実施形態に従って、ベースバンドプロセッサ630は、複数の周辺デバイス634から複数の割り込みを受信し、別の割り込みが処理されている間、ソフト割り込みがペンディングされていない限り、受信したソフト割り込みの実行を遅延させることができるIDC632を含んでよい。示されるように、ベースバンドプロセッサ630は、送受信機640に連結し、送受信機640は、受信機能及び送信機能の両方を有効にし得る。次に、送受信機640は、アンテナ650、例えば、無線ワイドエリアネットワーク（例えば、3G又は4Gネットワーク）、及び/又は、BLUETOOTH（登録商標）又は米国電気電子技術者協会802.11規格に従ういわゆるWi-Fi（登録商標）ネットワークのような無線ローカルエリアネットワークを介したような1又は複数の通信プロトコルを介して、音声及びデータ信号を送信及び受信することを可能とする任意のタイプのアンテナと通信を行ってよい。

20

30

【0058】

示されるように、システム600は、モバイル環境における動作を有効にする充電式バッテリーを有する充電式電源625を更に含んでよい。図6の実施形態では、この特定の実装例で示されているが、本発明の範囲は、この点に限定されない。

【0059】

図7は、本発明の実施形態に係るシステムオンチップ（SoC）のブロック図である。SoC700は、マルチコアサブシステム710、モデムサブシステム720、マルチメディアサブシステム730、システムファブリック740、電源750、及び、1又は複数の外部デバイスをインタフェース接続するインタフェース760を含む。SoC700は、複数のタスク、例えば、モデムタスク、マルチメディアタスク及び他の処理タスクを同時に実行してよい。

40

【0060】

マルチコアサブシステム710は、マルチコアプロセッサ712及び714、L1キャッシュ716及び718、L2キャッシュ742を含む。マルチコアプロセッサ712及び714のそれぞれは、対応する割込遅延コントローラ（IDC）702、704を含んでよい。各割込遅延コントローラ702、704は、（例えば、インタフェース760から）複数のハードリアルタイムイベントに関連する複数の入力ハード割り込みを検出し、

50

受信すると、処理されるべきプロセッサ 712、714 のそれぞれのコアに割り込みを振り分ける割込コントローラ（不図示）のそれぞれに対して、各ハード割り込みを送信する。

【0061】

（例えば、インタフェース 760 から受信した）ソフト割り込みである第 1 の割り込みについて、割込遅延コントローラ 702、704 は、第 2 の割り込みがコアにより処理されている間に第 1 の割り込みがペンディングされていない限り、処理されるべきコアに割り込みを振り分ける割込コントローラのそれぞれに第 1 の割り込みを送信することを、第 1 の時間遅延で、遅延させる。本発明の複数の実施形態に従って、第 2 の割り込みがコアにより処理されている間、第 1 の割り込みがペンディング中である場合、割込遅延コントローラ 702、704 は、コアが、第 2 の割り込みの処理によりトリガされるアクティブ状態にある間に処理するためにコアに振り分けられるべく、時間遅延を完了することなく第 1 の割り込みを割込コントローラに送信する。

10

【0062】

モデムサブシステム 720 は、高速データの無線通信のためのロングタームエボリューション（LTE）モデム 722 を含んでよい。モデムサブシステム 720 は、全地球測位システム（GPS）724、及び、少なくとも 2 つのデジタル信号プロセッサ（DSP）コア 726 及び 728 を含んでもよい。本発明の複数の実施形態に従って、LTE モデム 722 は、モデムサブシステム 720 から（例えば、GPS 724 から）入力される複数の割り込みを検出し、複数のソフト割り込みを遅延させる IDC 721 を含んでよい。

20

【0063】

マルチメディアサブシステム 730 は、グラフィックス処理ユニット（GPU）732、オーディオ/ビデオハードウェアアクセラレータ 734、デジタル信号処理コア 736、及び、MMX プロセッサ 738 を含んでよく、例えば、単一命令複数データ（SIMD）命令を処理することを可能としてよい。

【0064】

他の実施形態が以下に説明される。

【0065】

第 1 の実施例において、プロセッサは、第 1 のコアを有する少なくとも 1 つのコアを備える。プロセッサは、第 1 の時点で第 1 の割り込みを受信し、第 1 のコアによる第 2 の割り込みの処理を開始するときに第 2 の時点で第 1 の割り込みがペンディングされていない限り、第 1 のコアによる第 1 の割り込みの処理を、第 1 の時点で開始する第 1 の時間遅延で遅延させ、第 1 の割り込みが第 2 の時点でペンディング中である場合、第 1 の時間遅延の完了前に第 1 の割り込みの処理を開始することを第 1 のコアに指示する割込遅延論理も含む。

30

【0066】

第 1 の実施例のプロセッサを含む第 2 の実施例において、割込遅延論理は、第 1 の割り込みを含み、第 2 の時点でペンディング中である複数の割り込みを受信し、第 1 のコアは、第 2 の時点で開始する第 1 のアクティブ期間の間に、複数のペンディング中の割り込みを処理し、第 1 のコアは、第 1 のアクティブ期間を通してアクティブ状態にある。

40

【0067】

第 2 の実施例のプロセッサを含む第 3 の実施例において、第 1 のコアは、第 2 の割り込み及び複数のペンディング中の割り込みが処理された後にアクティブ状態からインアクティブ状態に遷移する。

【0068】

第 1 の実施例のプロセッサを含む第 4 の実施例において、第 1 のコアは、第 1 の割り込み及び第 2 の割り込みが処理されている間、アクティブ状態にあり、第 1 の割り込み及び第 2 の割り込みが処理された後にインアクティブ状態に遷移する。

【0069】

第 1 の実施例のプロセッサを含む第 5 の実施例において、第 2 の割り込みは、周期的に

50

受信され、受信した第2の割り込みの発生ごとに、第2の割り込みは、意図的に遅延させられることなく第1のコアにより処理され、割込遅延論理は、対応する時間遅延の完了前、かつ、コアがアクティブ状態にある間、追加のペンディング中である割り込みの処理を開始することを第1のコアに指示する。

【0070】

第5の実施例のプロセッサを含む第6の実施例において、第2の割り込みの受信の発生ごとに、第2の割り込み及び追加のペンディング中である割り込みの処理が完了すると、第1のコアは、インアクティブ状態に遷移する。

【0071】

第1の実施例のプロセッサを含む第7の実施例において、割込遅延論理は、更に、第3の時点で第3の割り込みを受信し、第2の時間遅延を第3の割り込みに割り当て、割込遅延論理は、第1の割り込み又は第2の割り込みが処理されている間、第3の割り込みがペンディングされていない限り、第3の時点から第2の時間遅延で、第3の割り込みの処理を遅延させ、第1の割り込み又は第2の割り込みが処理されている間、第3の割り込みがペンディング中である場合、第2の時間遅延を完了することなく第3の割り込みを処理することを第1のコアに指示する。

10

【0072】

第7の実施例のプロセッサを含む第8の実施例において、第1の割り込み又は第2の割り込みが処理されている間、第3の割り込みがペンディング中でない場合、割込遅延論理は、第2の時間遅延の完了後に第3の割り込みを処理することをコアに指示する。

20

【0073】

第1の実施例のプロセッサを含む第9の実施例において、割込遅延論理は、第1の時間遅延をカウントするカウンタを含む。

【0074】

第10の実施例において、システムは、ダイナミックランダムアクセスメモリ(DRAM)と、1又は複数のコアを有するプロセッサと、1又は複数のコアのうちの第1のコアに、受信した1又は複数の割り込みのそれぞれを振り分ける割込コントローラとを備える。プロセッサはまた、対応する割り込みを処理するべく、各時間遅延をカウントする1又は複数の遅延カウンタを有する割込遅延コントローラと、別の割り込みの実行に応答して、第1のコアがアクティブ状態にある間、第1のコアに振り分けられるべく、各ペンディング中の割り込みを割込コントローラに送信するペンディング割込リリース論理とを有し、プロセッサが、対応する非クリティカルな割り込みを受信すると、各遅延カウンタは、各カウントを開始する。

30

【0075】

第10の実施例のシステムを含む第11の実施例において、第2の割り込みに関連する各時間遅延の間に他の割り込みが処理されていない場合、割込遅延コントローラは、対応する遅延カウンタのカウントを完了すると、割り込みを割込コントローラに送信する。

【0076】

第10の実施例のシステムを含む第12の実施例において、第2の遅延カウンタのカウントが完了したときに、ペンディング割込リリース論理は、第1のコアがアクティブ状態である間に処理されるべく、各ペンディング中の割り込みを割込コントローラに送信する。

40

【0077】

第10の実施例のシステムを含む第13の実施例において、ペンディング中の割り込みが処理された後に、対応するコアは、インアクティブになる。

【0078】

第10の実施例のシステムを含む第14の実施例において、プロセッサは、ハード割り込みを受信すると、意図的に遅延させることなくハード割り込みを割込コントローラに送信するクリティカルな割込検出論理を更に有する。

【0079】

50

第10の実施例のシステムを含む第15の実施例において、プロセッサは、対応する遅延カウンタを受信した各非クリティカルな割り込みに割り当てるカウンタ割当論理を更に有する。

【0080】

第16の実施例において、方法は、プロセッサのコアが、第1の時点で開始する第1の割り込みを処理する段階と、プロセッサが、第2の時点で受信した第2の割り込みに時間遅延を割り当てる段階と、コアが、第2の割り込みが第1の時点でペンディングされていない限り、第2の時点で開始する時間遅延の満了後に第2の割り込みを処理する段階と、第2の割り込みが第1の時点でペンディング中である場合、コアが、時間遅延の満了前に第2の割り込みを処理する段階とを含む。

10

【0081】

第16の実施例の方法を含む第17の実施例において、方法は、第2の割り込みが第1の時点でペンディング中である場合、第1の割り込みの処理に応答して、コアがアクティブ状態である間に第2の割り込みを処理する段階を含む。

【0082】

第16の実施例の方法を含む第18の実施例において、方法は、第1の割り込み及び第2の割り込みが処理された後に、コアをインアクティブ状態に遷移させる段階を含む。

【0083】

第16の実施例の方法を含む第19の実施例において、方法は、複数の割り込みが第1の時点でペンディング中の場合、複数の割り込みのそれぞれの各時間遅延の完了前に、コアにより処理されるべく、複数の割り込みをコアに送信する段階を含み、コアは、複数の割り込みが処理されている間、アクティブ状態に維持される。

20

【0084】

第19の実施例の方法を含む第20の実施例において、方法は、全てのペンディング中の割り込みが処理された後に、コアをインアクティブ状態に遷移させる段階を含む。

【0085】

第16の実施例の方法を含む第21の実施例において、時間遅延は、周辺デバイスの1又は複数の特性に基づいて判断され、第2の割り込みは、周辺デバイスから受信される。

【0086】

第16の実施例の方法を含む第22の実施例において、方法は、複数の割り込みのそれぞれに対応する時間遅延を割り当てる段階を含み、当該複数の割り込みのそれぞれは、別の割り込みが処理されない限り、処理されることが、各受信時点から開始する対応する時間遅延で遅延させられる。

30

【0087】

第22の実施例の方法を含む第23の実施例において、方法は、特定の割り込みの処理が開始するときに、対応する時間遅延を完了することなく、処理するためにコアにペンディング中の割り込みを送信する段階を含む。

【0088】

第24の実施例において、装置は、第16実施例～第23の実施例のいずれか一つの方法を実行する手段を含む。

40

【0089】

第25の実施例において、少なくとも1つのコンピュータ可読媒体は、実行されるときに、第16実施例～第23の実施例のいずれか一つの方法をシステムに実行させることを有効にする複数の命令を含む。

【0090】

複数の実施形態は、様々なタイプのシステムに使用されてよい。例えば、一実施形態において、通信デバイスは、本明細書で説明された様々な方法及び技術を実行するように構成されることができる。当然ながら、本発明の範囲は、通信デバイスに限定されず、代わりに、他の実施形態は、複数の命令を処理するための他のタイプの装置を対象とすることができ、又は、コンピューティングデバイス上で処理されることに応答して、本明細書で説

50

明された方法及び技術の1又は複数をデバイスに実行させる複数の命令を含む1又は複数の機械可読媒体を対象とすることができる。

【0091】

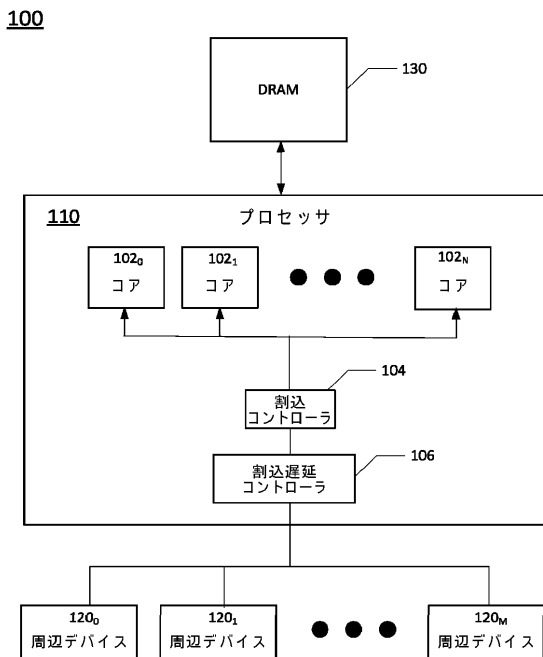
複数の実施形態は、コードで実装されてよく、複数の命令を実行するシステムをプログラムするのに使用できる複数の命令をそれに格納した非一時的記憶媒体に格納されてよい。記憶媒体は、フロッピー（登録商標）ディスク、光ディスク、ソリッドステートドライブ（SSD）、コンパクトディスクリードオンリメモリ（CD-ROM）、コンパクトディスクリライタブル（CD-RW）、及び、磁気-光ディスクを含む任意のタイプのディスク、リードオンリメモリ（ROM）、ダイナミックランダムアクセスメモリ（DRAM）のようなランダムアクセスメモリ（RAM）、スタティックランダムアクセスメモリ（SRAM）、消去可能プログラマブルリードオンリメモリ（EPROM）、フラッシュメモリ、電氣的消去可能プログラマブルリードオンリメモリ（EEPROM）、磁気又は光カード、又は、複数の電子命令を格納するのに適した任意の他のタイプの媒体のような半導体デバイスを含んでよいが、これらに限定されない。

10

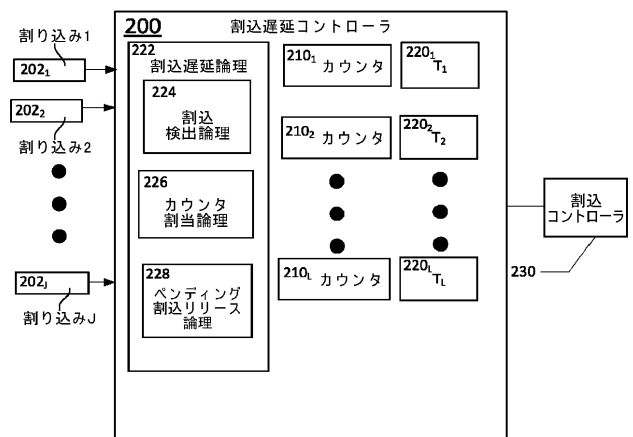
【0092】

本発明は、限定された数の実施形態に関して説明されてきたが、当業者は、そこから多数の修正形態及び改変形態を想起するであろう。添付の特許請求の範囲は、本発明の真の趣旨及び範囲内に入るようにそのような全ての修正形態及び改変形態を網羅することが意図される。

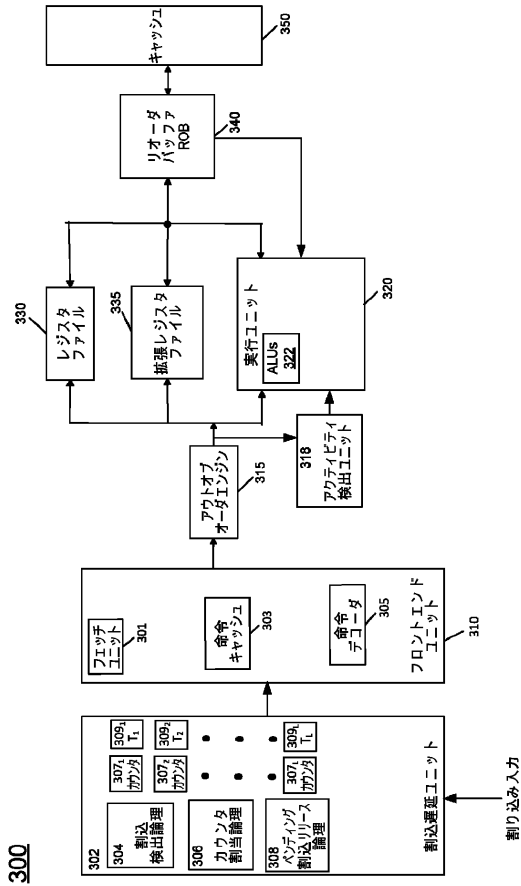
【図1】



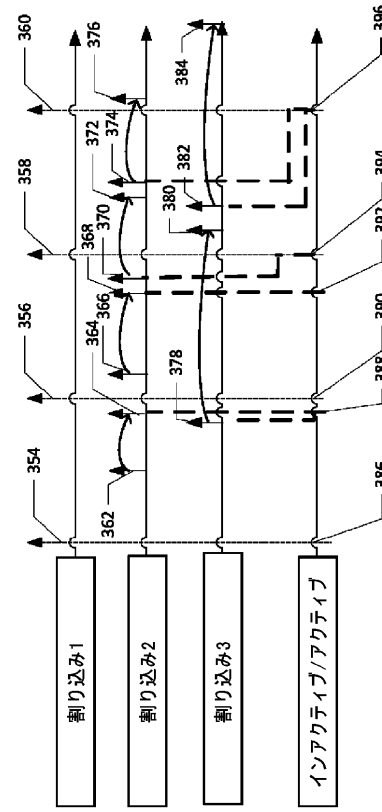
【図2】



【図3A】

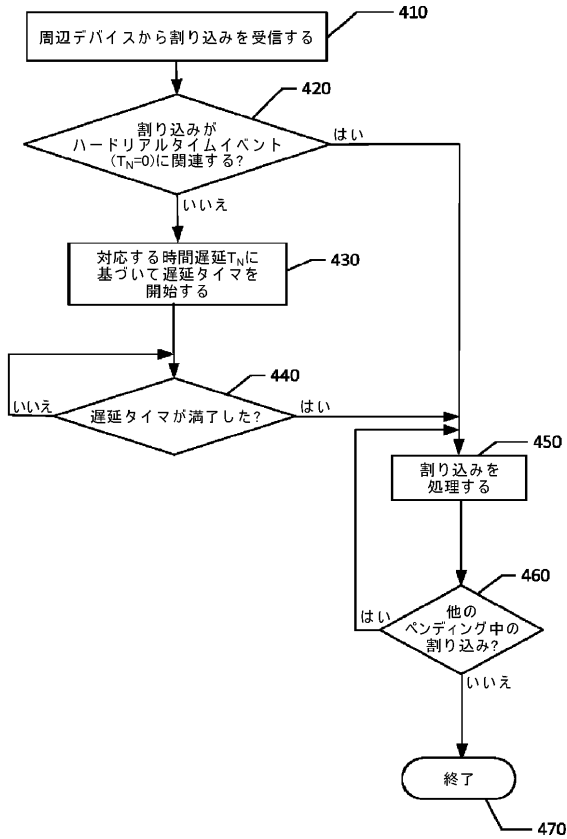


【図3B】



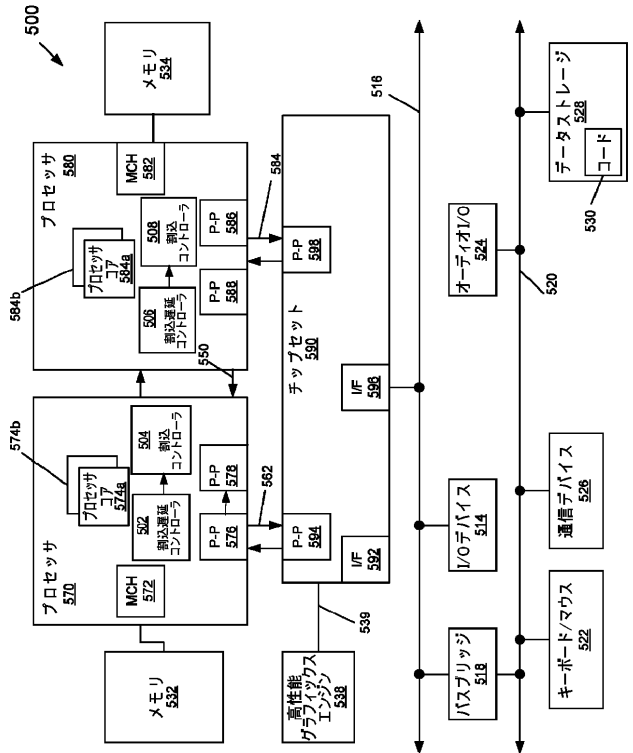
【図4】

400

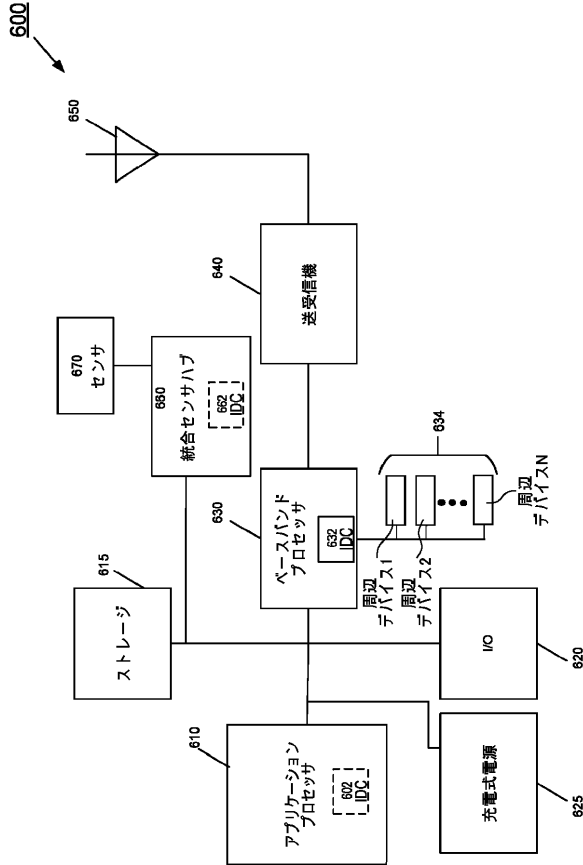


【図5】

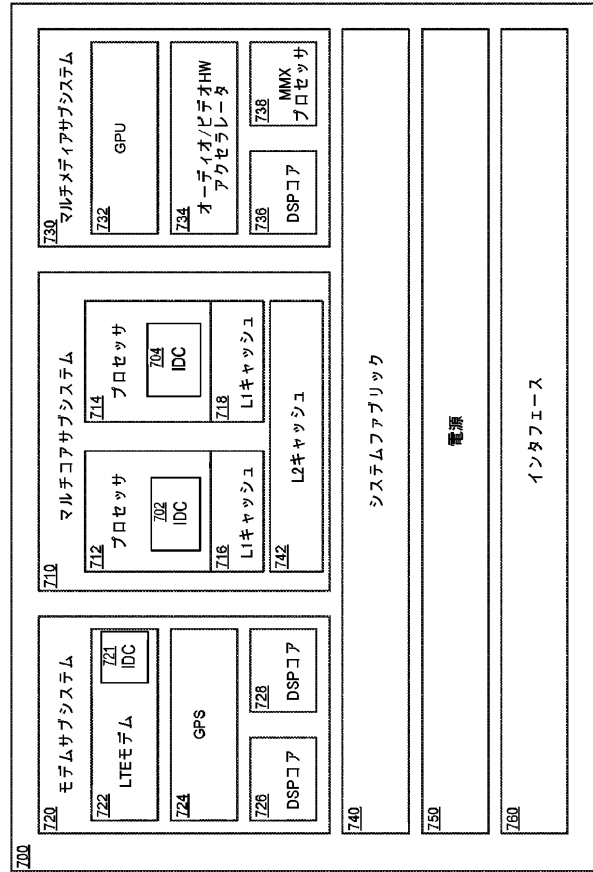
500



【 図 6 】



【 図 7 】



【 手続 補正 書 】

【 提出 日 】 平成 28 年 8 月 31 日 (2016.8.31)

【 手続 補正 1 】

【 補正 対 象 書 類 名 】 特 許 請 求 の 範 囲

【 補正 対 象 項 目 名 】 全 文

【 補正 方 法 】 変 更

【 補正 の 内 容 】

【 特 許 請 求 の 範 囲 】

【 請 求 項 1 】

第 1 の コア を 含 む 少 な く と も 1 つ の コア と、
割 込 遅 延 論 理 と

を 備 え、
前 記 割 込 遅 延 論 理 は、

第 1 の 時 点 で 第 1 の 割 り 込 み を 受 信 し、

第 2 の 割 り 込 み が 前 記 第 1 の コア に よ り 処 理 さ れ る 第 2 の 時 点 で 第 1 の 割 り 込 み が ペ ン
デ ィ ン グ さ れ て い な い 限 り、 前 記 第 1 の 割 り 込 み の 処 理 を、 前 記 第 1 の 時 点 で 開 始 す る 第
1 の 時 間 遅 延 で 遅 延 さ せ、

前 記 第 1 の 割 り 込 み が 前 記 第 2 の 時 点 で ペ ン デ ィ ン グ 中 で あ る 場 合、 前 記 第 1 の 時 間 遅
延 の 完 了 の 前 に 前 記 第 1 の 割 り 込 み の 処 理 を 開 始 す る こ と を 前 記 第 1 の コア に 指 示 す る、
プ ロ セ ッ サ。

【 請 求 項 2 】

受 信 さ れ た 複 数 の 割 り 込 み が 前 記 第 2 の 時 点 で ペ ン デ ィ ン グ 中 で あ る と き に、 前 記 第 1
の コア は、 前 記 第 2 の 時 点 に 開 始 す る 第 1 の ア ク テ ィ ブ 期 間 の 間 に、 前 記 ペ ン デ ィ ン グ 中
の 複 数 の 割 り 込 み を 処 理 し、 前 記 第 1 の コア は、 前 記 第 1 の ア ク テ ィ ブ 期 間 を 通 し て ア ク
テ ィ ブ 状 態 に あ る、 請 求 項 1 に 記 載 の プ ロ セ ッ サ。

【請求項 3】

前記第 1 のコアは、前記第 2 の割り込み及び前記ペンディング中の複数の割り込みが処理された後に、前記アクティブ状態からインアクティブ状態に遷移する、請求項 2 に記載のプロセッサ。

【請求項 4】

前記第 1 のコアは、前記第 1 の割り込み及び前記第 2 の割り込みが処理されている間、アクティブ状態にあり、前記第 1 の割り込み及び前記第 2 の割り込みが処理された後にインアクティブ状態に遷移する、請求項 1 から 3 のいずれか一項に記載のプロセッサ。

【請求項 5】

前記第 2 の割り込みは、周期的に受信され、受信した前記第 2 の割り込みの発生ごとに、前記第 2 の割り込みは、意図的に遅延させられることなく前記第 1 のコアにより処理され、前記割込遅延論理は、対応する時間遅延の完了前、かつ、前記コアがアクティブ状態にある間に、各追加のペンディング中である割り込みの処理を開始することを前記第 1 のコアに指示する、請求項 1 から 4 のいずれか一項に記載のプロセッサ。

【請求項 6】

前記第 2 の割り込みの受信の発生ごとに、第 2 の割り込み及び複数の前記追加のペンディング中である割り込みの処理が完了すると、前記第 1 のコアは、インアクティブ状態に遷移することを更に備える、請求項 5 に記載のプロセッサ。

【請求項 7】

前記割込遅延論理は、更に、第 3 の時点で第 3 の割り込みを受信し、第 2 の時間遅延を前記第 3 の割り込みに割り当て、

前記割込遅延論理は、

前記第 1 の割り込み又は前記第 2 の割り込みが処理されている間、前記第 3 の割り込みがペンディングされていない限り、前記第 3 の時点から前記第 2 の時間遅延に前記第 3 の割り込みの処理を遅延させ、

前記第 1 の割り込み又は前記第 2 の割り込みが処理されている間、前記第 3 の割り込みがペンディング中である場合、前記第 2 の時間遅延を完了することなく前記第 3 の割り込みを処理することを前記第 1 のコアに指示する、請求項 1 から 6 のいずれか一項に記載のプロセッサ。

【請求項 8】

前記第 1 の割り込み又は前記第 2 の割り込みが処理されている間、前記第 3 の割り込みがペンディング中でない場合、前記割込遅延論理は、前記第 2 の時間遅延の完了後に前記第 3 の割り込みを処理することを前記コアに指示する、請求項 7 に記載のプロセッサ。

【請求項 9】

前記割込遅延論理は、前記第 1 の時間遅延をカウントするカウンタを含む、請求項 1 から 8 のいずれか一項に記載のプロセッサ。

【請求項 10】

ダイナミックランダムアクセスメモリ (DRAM) と、

プロセッサと

を備え、

前記プロセッサは、

1 又は複数のコアと、

1 又は複数の受信された割り込みのそれぞれを前記 1 又は複数のコアのうちの第 1 のコアに振り分ける割込コントローラと、

割込遅延コントローラと

を有し、

前記割込遅延コントローラは、

対応する割り込みを処理するための各時間遅延をカウントする 1 又は複数の遅延カウンタと、

第 1 の割り込みが処理されることに応答して、前記各時間遅延の満了前に、各ペンディ

ング中の割り込みを前記割込コントローラに送信するペンディング割込リリース論理とを含み、

各遅延カウンタは、前記プロセッサが前記対応する割り込みを受信すると、各カウントを開始する、システム。

【請求項 1 1】

第 2 の割り込みに関連する時間遅延の間に処理中の割り込みがない場合、前記割込遅延コントローラは、前記対応する遅延カウンタの前記カウントが完了すると、前記割り込みを前記割込コントローラに送信する、請求項 1 0 に記載のシステム。

【請求項 1 2】

第 2 の遅延カウンタの前記カウントが完了したときに、前記ペンディング割込リリース論理は、各ペンディング中の割り込みを前記割込コントローラに送信し、前記各ペンディング中の割り込みは、前記第 1 のコアがアクティブ状態にある間に処理される、請求項 1 0 又は 1 1 に記載のシステム。

【請求項 1 3】

前記ペンディング中の割り込みが処理された後に、前記対応するコアは、インアクティブになる、請求項 1 0 から 1 2 のいずれか一項に記載のシステム。

【請求項 1 4】

前記プロセッサは、ハード割り込みを受信すると、意図的に遅延させることなく前記ハード割り込みを前記割込コントローラに送信する割込検出論理を更に含む、請求項 1 0 から 1 3 のいずれか一項に記載のシステム。

【請求項 1 5】

前記プロセッサは、受信した各ソフト割り込みに対して、対応する遅延カウンタを割り当てるカウンタ割当論理を更に含む、請求項 1 0 から 1 4 のいずれか一項に記載のシステム。

【請求項 1 6】

プロセッサのコアにより第 1 の時点で開始する第 1 の割り込みを処理する段階と、前記プロセッサが、第 2 の時点で受信した第 2 の割り込みに対して時間遅延を割り当てる段階と、

前記第 2 の割り込みが前記第 1 の時点でペンディングされていない限り、前記第 2 の時点で開始した前記時間遅延が満了した後に、前記コアが、前記第 2 の割り込みを処理する段階と、

前記第 2 の割り込みが前記第 1 の時点でペンディング中である場合、前記時間遅延の満了前に、前記コアが、前記第 2 の割り込みを処理する段階とを備える方法。

【請求項 1 7】

前記第 2 の割り込みが前記第 1 の時点でペンディング中である場合、前記第 1 の割り込みの処理に応答して、前記コアがアクティブ状態にある間に、前記第 2 の割り込みを処理する、請求項 1 6 に記載の方法。

【請求項 1 8】

前記第 1 の割り込み及び前記第 2 の割り込みが処理された後に、前記コアをインアクティブ状態に遷移させる段階を更に備える、請求項 1 6 又は 1 7 に記載の方法。

【請求項 1 9】

複数の割り込みが前記第 1 の時点でペンディング中である場合、前記複数の割り込みのそれぞれの各時間遅延の完了前に、前記コアにより処理させるべく、前記複数の割り込みを前記コアに送信する段階

を更に備え、

前記コアは、前記複数の割り込みが処理されている間、アクティブ状態に維持される、請求項 1 6 から 1 8 のいずれか一項に記載の方法。

【請求項 2 0】

全てのペンディング中の割り込みが処理された後に、前記コアをインアクティブ状態に

遷移させる段階

を更に備える、請求項 19 に記載の方法。

【請求項 21】

前記時間遅延は、前記第 2 の割り込みの送信元である周辺デバイスの 1 又は複数の特性に基づいて判断される、請求項 16 から 20 のいずれか一項に記載の方法。

【請求項 22】

複数の割り込みのそれぞれに対応する時間遅延を割り当てる段階
を更に備え、

前記複数の割り込みのそれぞれは、別の割り込みが処理されていない限り、各受信時点から開始する前記対応する時間遅延で処理が遅延させられる、請求項 16 から 21 のいずれか一項に記載の方法。

【請求項 23】

特定の割り込みの処理が開始したときに、前記対応する時間遅延を完了させることなく処理するために、各ペンディング中の割り込みを前記コアに送信する段階

を更に備える、請求項 22 に記載の方法。

【請求項 24】

請求項 16 から 23 のいずれか一項に記載の方法を実行するための手段を備える、装置

。

【請求項 25】

システムに、請求項 16 から 23 のいずれか一項に記載の方法を実行させるためのプログラム。

【請求項 26】

請求項 25 に記載のプログラムを格納するコンピュータ可読記録媒体。

【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2014/073926
A. CLASSIFICATION OF SUBJECT MATTER G06F 13/24(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CPRSABS,DWPI,IEEE:interrupt?,delay+,postpon+,wait+,pend+,batch,coalesc+,synchron+.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010077394 A1 (MICROSOFT CORPORATION) 25 March 2010 (2010-03-25) see description, paragraphs [0001], [0025]-[0048] and [0061]-[0066], and figures 1-14	1-25
A	US 6115779 A (ADVANCED MICRO DEVICES INC.) 05 September 2000 (2000-09-05) see the whole document	1-25
A	US 7478186 B1 (INTEGRATED DEVICE TECHNOLOGY, INC.) 13 January 2009 (2009-01-13) see the whole document	1-25
A	US 2012284444 A1 (BROCADE COMMUNICATIONS SYSTEMS, INC.) 08 November 2012 (2012-11-08) see the whole document	1-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 August 2014		Date of mailing of the international search report 09 October 2014
Name and mailing address of the ISA/ STATE INTELLECTUAL PROPERTY OFFICE OF THE P.R.CHINA (ISA/CN) 6,Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer ZHANG,Hui Telephone No. (86-10)62089289

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/073926

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2010077394	A1	25 March 2010	Non e			
US	6115779	A	05 September 2000	Non e			
US	7478186	B1	13 January 2009	Non e			
US	2012284444	A1	08 November 2012	US	2011093637	A1	21 April 2011
				US	8677042	B2	18 March 2014
				US	2013151744	A1	13 June 2013
				US	8397007	B2	12 March 2013
				US	8244946	B2	14 August 2012

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 チンヤ、ゴースム エヌ.

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

(72)発明者 ハマーランド、パー

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

(72)発明者 フォータス、レザ

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

(72)発明者 ワン、ホン

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

(72)発明者 スン、ホアジン

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

Fターム(参考) 5B011 DA06 DA13 EA04 KK02

5B061 BA02 BC06 SS03