

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 11 月 20 日(20.11.2014)

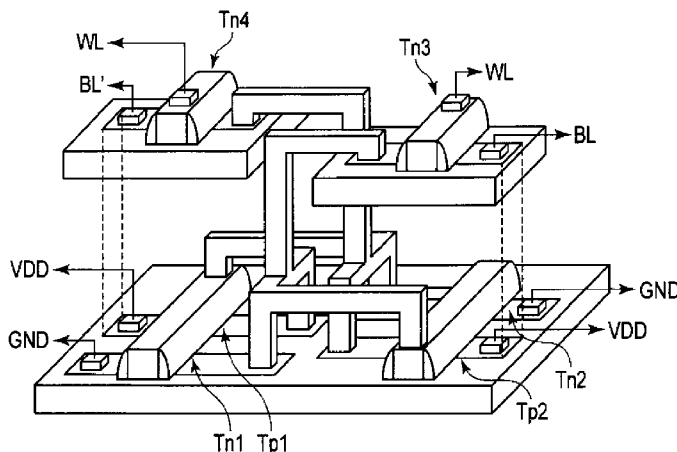


(10) 国際公開番号
WO 2014/185085 A1

- (51) 国際特許分類:
H01L 21/8244 (2006.01) H01L 27/11 (2006.01)
H01L 21/8238 (2006.01) H01L 29/786 (2006.01)
H01L 27/092 (2006.01)
- (21) 国際出願番号: PCT/JP2014/051221
- (22) 国際出願日: 2014 年 1 月 22 日(22.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-102480 2013 年 5 月 14 日(14.05.2013) JP
- (71) 出願人: 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者: 小野 瑞城 (ONO, Mizuki); 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP).
- (74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050001 東京都港区虎ノ門一丁目三番二号 勤銀不二屋ビル六階 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor device comprises: first and second p-type field-effect transistors (Tp1, Tp2), and first and second n-type field-effect transistors (Tn1, Tn2) formed on a semiconductor substrate; an insulating film formed on each transistor; and third and fourth n-type field-effect transistors (Tn3, Tn4) formed on the insulating film. An SRAM is composed of these six transistors. In addition, the transistors (Tn3, Tn4) have a planar structure; at least a portion of a channel region of the transistor (Tn3) is formed on at least a portion of gate electrodes of the transistors (Tp2, Tn2) in such a manner as to overlap when viewed from the normal direction of the semiconductor substrate; and at least a portion of a channel region of the transistor (Tn4) is formed on at least a portion of gate electrodes of the transistors (Tp1, Tn1) in such a manner as to overlap when viewed from the normal direction of the semiconductor substrate.

(57) 要約: 半導体記憶装置であって、半導体基板に形成された第 1、第 2 の p 型電界効果トランジスタ (Tp1, Tp2) 及び第 1、第 2 の n 型電界効果トランジスタ (Tn1, Tn2) と、各トランジスタ上に形成された絶縁膜と、絶縁膜の上に形

成された第 3 及び第 4 の n 型電界効果トランジスタ (Tn3, Tn4) とを含み、これらの 6 トランジスタで SRAM を構成している。そして、トランジスタ (Tn3, Tn4) は平面構造を有し、トランジスタ (Tn3) のチャネル領域の少なくとも一部は、トランジスタ (Tp2, Tn2) の各ゲート電極の少なくとも一部に、半導体基板の法線方向から見て重なるように形成され、トランジスタ (Tn4) のチャネル領域の少なくとも一部は、トランジスタ (Tp1, Tn1) の各ゲート電極の少なくとも一部に、半導体基板の法線方向から見て重なるように形成されている。

WO 2014/185085 A1

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本発明の実施形態は、半導体記憶装置に係わり、特にSRAM (Static Random Access

Memory) を3次元構造に作製した半導体記憶装置に関する。

背景技術

[0002] 半導体集積回路においては、低消費電力化を図るための低電源電圧化が進められているが、それを遂行する上での障壁の一つに、SRAMのスタティック・ノイズ・マージン (Static Noise Margin、以下ではSNMと略記する) の問題がある。SNMとは、記憶されている情報の失われないノイズの大きさの上限を表す。仮にSNMがゼロであると、記憶されている情報の失われないノイズの大きさの上限はゼロ、即ち如何なるノイズであっても記憶されている情報が失われることを意味する。それは即ち、ノイズは全く許容されないことを意味するので、そのようなSRAMは使用することができない。一般に、電源電圧の低電圧化に伴いSNMは減少する。それ故、低電源電圧化に伴うSNMの減少により、電源電圧の低電圧化に制約が課されていた。

先行技術文献

非特許文献

[0003] 非特許文献1: Benton H. Calhoun, Anantha P.Chandrakasan, "Static Noise Margin Variation for Sub-threshold SRAM in 65-nm CMOS," in IEEE Journal of Solid-State Circuits, vol.41, no.7, (2006) pp.1673-1679

発明の概要

発明が解決しようとする課題

[0004] このように従来、SRAMにおいてSNMを大きくすることと、電源電圧を低減することとの間には、二律背反の関係が存在する。それ故、低電源電

圧化に制約が生じており、特に一定の電源電圧の下でのS N Mの増大を図ることが求められている。

[0005] 発明が解決しようとする課題は、S R A M構造において、一定の電源電圧の下でのS N Mの増大を図り得る半導体記憶装置を提供することである。

課題を解決するための手段

[0006] 実施形態の半導体記憶装置は、半導体基板と、前記半導体基板に形成された第1、第2のp型電界効果トランジスタ及び第1、第2のn型電界効果トランジスタと、前記各トランジスタ上に形成された絶縁膜と、前記絶縁膜の上に形成された第3及び第4のn型電界効果トランジスタと、を含んでいる。前記第1及び第2のp型電界効果トランジスタの各ソース領域と各基板電極とは電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域と各基板電極とは電位が接地電位に保たれた配線に接続され、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続されている。そして、前記第3及び第4のn型電界効果トランジスタは平面構造を有し、前記第3のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線と前記第2のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線との少なくとも一部に、前記半導体基板の法線方向から見

て重なるように形成され、前記第4のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線と前記第1のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線との少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている。

発明の効果

[0007] 本発明では、SRAMを構成する電界効果トランジスタの少なくとも一つを、記憶ノードを形成する電界効果トランジスタの上に絶縁膜を介して形成する。このようにすると、情報の書き込まれた状態において、SRAMを構成する二組のインバータの中で出力端子が電源電圧の電位となるインバータを構成する電界効果トランジスタの少なくとも一つのしきい値電圧が正の方向に変化する、或いはそのインバータの出力端子とビット線ないし反転ビット線とを繋ぐ電界効果トランジスタのしきい値電圧が負の方向に変化する。又は、SRAMを構成する二組のインバータの中で出力端子が接地電位となるインバータを構成する電界効果トランジスタの少なくとも一つのしきい値電圧が負の方向に変化する、或いはそのインバータの出力端子とビット線ないし反転ビット線とを繋ぐ電界効果トランジスタのしきい値電圧が正の方向に変化する。その結果、記憶されている情報の失われないノイズの大きさの上限は増大する。即ち、一定の電源電圧の下における、SNMの増大が図られる。

図面の簡単な説明

[0008] [図1]図1は、第1の実施形態に係わる半導体記憶装置を示す回路構成図である。

[図2]図2は、第1の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。

[図3]図3は、第1の実施形態に係わる半導体記憶装置の概略構造を示す断面図である。

[図4]図4は、第1の実施形態に係わる半導体記憶装置の製造工程を示す断面

図である。

[図5]図5は、第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図である。

[図6]図6は、第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図である。

[図7]図7は、第1の実施形態に係わる半導体記憶装置の性能を説明するためのもので、しきい値電圧に変動の無い場合のバタフライ曲線を示す特性図である。

[図8A]図8Aは、第1の実施形態に係わる半導体記憶装置の性能を説明するためのもので、しきい値電圧に変動の有る場合のバタフライ曲線を示す特性図である。

[図8B]図8Bは、第1の実施形態に係わる半導体記憶装置の性能を説明するためのもので、しきい値電圧に変動の有る場合のバタフライ曲線を示す特性図である。

[図9]図9は、第1の実施形態の第1の変形例の構造を示す鳥瞰図である。

[図10]図10は、第1の実施形態の第1の変形例の製造工程を示す断面図である。

[図11]図11は、第1の実施形態の第2の変形例の構造を示す鳥瞰図である。

[図12]図12は、第1の実施形態の第3の変形例の構造を示す鳥瞰図である。

[図13]図13は、第2の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。

[図14A]図14Aは、第2の実施形態に係わる半導体記憶装置の性能を説明するための特性図である。

[図14B]図14Bは、第2の実施形態に係わる半導体記憶装置の性能を説明するための特性図である。

[図15]図15は、第2の実施形態の変形例の半導体記憶装置の概略構造を示

す鳥瞰図である。

[図16A]図16Aは、第2の実施形態の変形例の半導体記憶装置の性能を説明するための特性図である。

[図16B]図16Bは、第2の実施形態の変形例の半導体記憶装置の性能を説明するための特性図である。

[図17]図17は、第3の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。

[図18A]図18Aは、第3の実施形態に係わる半導体記憶装置の性能を説明するための特性図である。

[図18B]図18Bは、第3の実施形態に係わる半導体記憶装置の性能を説明するための特性図である。

[図19]図19は、第3の実施形態の変形例の半導体記憶装置の概略構造を示す鳥瞰図である。

[図20A]図20Aは、第3の実施形態の変形例の半導体記憶装置の性能を説明するための特性図である。

[図20B]図20Bは、第3の実施形態の変形例の半導体記憶装置の性能を説明するための特性図である。

[図21]図21は、第4の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。

[図22]図22は、第4の実施形態の変形例の半導体記憶装置の概略構造を示す鳥瞰図である。

[図23]図23は、第5の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。

[図24]図24は、第5の実施形態の変形例の半導体記憶装置の概略構造を示す鳥瞰図である。

発明を実施するための形態

[0009] 以下、実施形態の半導体記憶装置を、図面を参照して説明する。

[0010] (第1の実施形態)

図 1 は、本発明の第 1 の実施形態に係わる半導体記憶装置を示す回路構成図である。

[0011] 図中の T_{pi} ($i = 1, 2$) は第 i の p 型電界効果トランジスタ、 T_{nj} ($j = 1, 2, 3, 4$) は第 j の n 型電界効果トランジスタ、 VDD は電位が電源電圧に保たれた配線、 GND は電位が接地電位に保たれた配線、 WL はワード線、 BL はビット線、 BL' は反転ビット線、を各々表す。なお、電界効果トランジスタの基板電極は省略してある。

[0012] 図 2 に、第 1 の実施形態の構造を模式的に鳥瞰図で示す。なお、以下の鳥瞰図においては、半導体基板上に形成された絶縁膜及び配線は一部のみを示す。また、半導体基板上に形成された絶縁膜の上に形成された電界効果トランジスタの形成されている半導体層の厚みは省略してあり、その上の層間絶縁膜も省略してある。また、半導体基板上に形成された電界効果トランジスタの基板電極は省略してある。そして、図を見やすくするために半導体基板上に形成された電界効果トランジスタと、絶縁膜上に形成された電界効果トランジスタとの、半導体基板の表面に垂直な方向の間隔は拡大して示してある。一般に、図の縮尺は正確ではない。

[0013] 本実施形態の半導体記憶装置は、半導体基板上に第 1 及び第 2 の p 型電界効果トランジスタ T_{p1} , T_{p2} と第 1 及び第 2 の n 型電界効果トランジスタ T_{n1} , T_{n2} が形成されており、それらの上に形成された絶縁膜上に第 3 及び第 4 の n 型電界効果トランジスタ T_{n3} , T_{n4} が形成されている。そして、第 3 の n 型電界効果トランジスタ T_{n3} のチャネル領域は半導体基板の法線方向より見て第 2 の p 型電界効果トランジスタ T_{p2} のゲート電極と重なるように形成されており、第 4 の n 型電界効果トランジスタ T_{n4} のチャネル領域は半導体基板の法線方向より見て第 1 の p 型電界効果トランジスタ T_{p1} のゲート電極と重なるように形成されている。なお、法線方向は半導体基板の面に対して垂直な方向である。

[0014] また、図 3 に本実施形態の断面構造を模式的に示す。なお、以下の断面図においては、

第1のp型電界効果トランジスタTp1と第1及び第4のn型電界効果トランジスタTn1, Tn4のみの断面を模式的に且つ三者が等しい向きに形成されているかの如く示す。また、図の縮尺は正確ではない。さらに、配線乃至第2層以上の層間絶縁膜は省略してある。

[0015] 例えばシリコンよりなる半導体基板1内に、例えば酸化シリコンからなる素子分離領域2が形成され、それにより隔てられた領域中にnウエル領域3とpウエル領域4とが形成されている。そして、nウエル領域3及びpウエル領域4の上にはそれぞれ、ゲート絶縁膜5を介してゲート電極6が形成されている。nウエル領域3内とpウエル領域4内には各々ゲート電極6を挟むようにソース・ドレイン領域7が形成されており、且つゲート電極に接してゲート側壁8が形成されている。これにより、nウエル領域3中には第1のp型電界効果トランジスタTp1が、pウエル領域4中には第1のn型電界効果トランジスタTn1が各々形成されている。そして、第1のp型電界効果トランジスタTp1と第1のn型電界効果トランジスタTn1との上には、例えば酸化シリコンよりなる層間絶縁膜9が形成されており、その上に例えばシリコンよりなり、且つp型の不純物を含む半導体層10が形成されている。

[0016] 半導体層10上には、ゲート絶縁膜5を介してゲート電極6が形成されている。そして、半導体層10内にゲート電極6を挟むようにソース・ドレイン領域7が形成されており、且つゲート電極に接してゲート側壁8が形成されており、第4のn型電界効果トランジスタTn4が形成されている。第4のn型電界効果トランジスタTn4のソース・ドレイン領域7に挟まれて形成されているチャンネル領域11は、半導体基板1の法線方向より見て第1のp型電界効果トランジスタTp1のゲート電極6と重なるように形成されている。

[0017] 図3においては記していないが、同様に第2のp型電界効果トランジスタTp2と第2及び第3のn型電界効果トランジスタTn2, Tn3も形成され、且つ第3のn型電界効果トランジスタTn3のチャンネル領域は、半導体基板1の法線方向より見て第2のp型電界効果トランジスタTp2のゲート電極と重なるように形成されている。

[0018] なお、本発明は本実施形態乃至以下の実施形態に限定されるものではなく、種々変更して用いることができる。

[0019] 本実施形態の半導体記憶装置の製造工程を、図4～図6を参照して説明する。

[0020] まず、図4（a）に示すように、シリコン基板1に対し、例えばシャロー・トレンチ・アイソレーション法（STI）等の方法により素子分離領域2を形成する。

[0021] 次いで、図4（b）に示すように、半導体基板1のp型電界効果トランジスタ形成領域に例えばAs（砒素）を注入し、半導体基板1のn型電界効果トランジスタ形成領域に例えばB（硼素）を注入し、続いて熱工程を施すことによりnウエル領域3とpウエル領域4とを形成する。なお、特定の領域にのみ不純物を導入することは、例えば光蝕刻法ないしリソグラフィ工程等の方法を用いることにより可能である。

[0022] 次いで、図4（c）に示すように、例えば化学的気相成長法等の方法により、半導体基板1の上に厚さ5nmのHfO₂膜12を形成する。

[0023] 次いで、図4（d）に示すように、例えば化学的気相成長法等の方法により厚さ50nmのタングステン膜13を形成する。

[0024] 次いで、図4（e）に示すように、タングステン膜13に例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、ゲート電極6を形成する。続いて、HfO₂膜12に例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、ゲート絶縁膜5を形成する。

[0025] 次いで、図5（f）に示すように、p型電界効果トランジスタ形成領域に例えばBを注入し、n型電界効果トランジスタ形成領域に例えばAsを注入することにより、エクステンション領域14を形成する。

[0026] 次いで、図5（g）に示すように、例えば化学的気相成長法等の方法により厚さ20nmの酸化シリコン膜（図示せず）を形成する。続いて、例えば活性イオンエッチング法等の方法でエッチバックすることにより前記酸化シ

リコン膜の一部を選択的に除去し、ゲート側壁 8 を形成する。

[0027] 次いで、図 5 (h) に示すように、p 型電界効果トランジスタ形成領域に例えば B を注入し、n 型電界効果トランジスタ形成領域に例えば A s を注入し、熱工程を施すことにより、エクステンション領域 1 4 と共にソース・ドレイン領域 7 を形成する。

[0028] 次いで、図 5 (i) に示すように、例えば化学的気相成長法等の方法により、半導体基板 1 の全面に厚さ 1 0 0 n m の酸化シリコン膜（図示せず）を形成し、平坦化を行うことで層間絶縁膜 9 を形成する。そして、図示は省略するが、従来技術と同様の配線工程等を行う。

[0029] 次いで、図 6 (j) に示すように、例えば化学的気相成長法等の方法により、層間絶縁膜 9 の上に B を含む厚さ 2 0 n m のシリコン層（図示せず）を形成し、例えばメサ型素子分離法等の方法により素子分離を行い、半導体層 1 0 を形成する。

[0030] 次いで、図 6 (k) に示すように、例えば化学的気相成長法等の方法により、半導体層 1 0 の上に厚さ 5 n m の H f O₂ 膜（図示せず）を形成する。続いて、H f O₂ 膜（図示せず）の上に例えば化学的気相成長法等の方法により厚さ 5 0 n m のタングステン膜（図示せず）を形成する。そして、タングステン膜（図示せず）に例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、ゲート電極 6 を形成する。続いて、H f O₂ 膜（図示せず）に例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、ゲート絶縁膜 5 を形成する。

[0031] 次いで、図 6 (l) に示すように、半導体層 1 0 の表面部に、例えば A s を注入することによりエクステンション領域 1 4 を形成する。次に、例えば化学的気相成長法等の方法により厚さ 2 0 n m の酸化シリコン膜（図示せず）を形成する。続いて、例えば活性イオンエッチング法等の方法でエッチバックすることにより酸化シリコン膜の一部を選択的に除去し、ゲート側壁 8 を形成する。

[0032] 次いで、例えば A s を注入し、熱工程を施すことによりエクステンション

領域 1 4 と共にソース・ドレイン領域 7 を形成する。これ以降は、従来技術と同様にして層間絶縁膜形成工程乃至配線工程等を経て前記図 3 に示す構造を形成する。

[0033] 本実施形態においては、バルク基板を用いて半導体記憶装置を形成する場合を例に取って示したが、支持基板の上に絶縁膜を介して半導体層が形成された半導体基板を用いても同様に半導体記憶装置を形成することができ、同様の効果が得られる。また、上記構造の半導体基板を用いて素子を形成する場合に、半導体層上に形成した素子においては、チャネル領域の上下にゲート電極を設けた構造の素子を形成しても同様の効果が得られる。そのような構造とすると、チャネル領域の電位に対するゲート電極の制御性の向上が図られるので好ましい。

[0034] また、本実施形態においては、平面構造の素子の場合を例に取って示したが、半導体基板上に形成した素子においては、例えば F i n F E T、トリプルゲート (Triple Gate) 構造、ゲートオールアラウンド (Gate All Around) 構造、縦型構造等の立体構造の素子の場合も、同様の効果が得られる。そのような構造の素子を用いて半導体記憶装置を形成すると、チャネル領域の電位に対するゲート電極の制御性の向上が図られるので好ましい。

[0035] また、本実施形態においては単一の半導体記憶装置のみの形成工程を示したが、単一の半導体記憶装置の他に、電界効果トランジスタやバイポーラ型トランジスタや単一電子トランジスタ等の能動素子、抵抗体やダイオードやインダクターやキャパシタ等の受動素子、又は例えば磁性体を用いた素子をも含む半導体装置の一部として半導体記憶装置を形成する場合にも用いることができる。O E I C (オプト・エレクトリカル・インテグレートッド・サーキット) や M E M S (マイクロ・エレクトロ・メカニカル・システム) の一部として半導体記憶装置を形成する場合もまた同様である。

[0036] また、本実施形態においては、n 型半導体領域を形成するための不純物としては A s (砒素) を、p 型半導体領域を形成するための不純物としては B

(硼素)を用いたが、n型半導体領域を形成するための不純物として他のV族不純物を用いる、或いはp型半導体領域を形成するための不純物として他のIII族不純物を用いてもよい。また、III族やV族の不純物の導入はそれらを含む化合物の形で行ってもよい。

[0037] また、本実施形態においては、ソース・ドレイン領域への不純物の導入はイオン注入を用いて行ったが、イオン注入以外の例えば固相拡散や気相拡散等の方法を用いて行ってもよい。さらに、不純物を含有する半導体を堆積する又は成長させる等の方法を用いてもよい。イオン注入の方法を用いると、n型半導体素子とp型半導体素子とを含む相補型の半導体装置の形成が容易であると言う利点があり、不純物を含有する半導体を堆積する或いは固相拡散や気相拡散等の方法を用いて不純物の導入を行うと、高い不純物濃度の実現が容易であると言う利点がある。

[0038] また、本実施形態では言及していないが、ソース・ドレイン領域上にストレッサーを形成してもよい。そのようにしてチャネル領域に歪を印加すると電流キャリアの移動度が向上するので好ましい。

[0039] また、本実施形態においては、素子のしきい値電圧を調節するための不純物導入は行っていないが、前記ウエル領域形成のシリコン基板への不純物導入とは別にしきい値電圧調節のための不純物導入を行ってもよい。このようにすると、しきい値電圧を所望の値に設定しやすくなるという利点が得られる。また、本実施形態のようにすると工程の簡略化が図られると言う利点がある。

[0040] また、本実施形態においては、素子を形成する半導体層としてシリコンを用いたが、半導体層としてはシリコンに限るものではなく、ゲルマニウム或いはシリコンとゲルマニウムとの混晶を用いても良い。ゲルマニウム或いはシリコンとゲルマニウムとの混晶は、シリコンに比べて電流キャリアの移動度が高いという利点があるので好ましい。

[0041] また、素子を形成する半導体層としてIII族元素とV族元素との化合物である半導体を用いても良い。そのような化合物もまたシリコンに比べて電流

キャリアの移動度が高いという利点があるので好ましい。特に、 InAs （インジウム砒素）、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ （ $0 \leq x \leq 1$ ）（インジウムガリウム砒素）、 InSb （インジウムアンチモン）等は電流キャリアの移動度が特に高いので好ましい。また、チャネル領域に歪を印加することも、移動度の向上が図られるので好ましい。一方、半導体層としてシリコンを用いると、従来の製造工程をそのまま用いることができるので、製造工程の構築が容易であるという他の利点がある。

[0042] また、本実施形態においては、ソース・ドレイン領域の形成をゲート電極及びゲート絶縁膜の加工の後に行っているが、これらの順序は本質ではなく、逆の順序で行ってもよい。ゲート電極或いはゲート絶縁膜の材質によっては熱工程を施すことが好ましくない場合がある。そのような場合には、ソース・ドレイン領域への不純物の導入及び活性化の熱工程をゲート電極或いはゲート絶縁膜の加工に先立って行うことが好ましい。

[0043] また、本実施形態においては、ゲート電極はタングステンを用いて形成しているが、他の金属を用いて形成してもよい。また、単結晶シリコンや非晶質シリコン等の半導体、金属を含む化合物等、又はそれらの積層等で形成してもよい。半導体を用いてゲート電極を形成するとしきい値電圧の制御が容易であるという利点があり、また相補型の半導体装置を形成する場合に n 型半導体素子と p 型半導体素子との何れに対しても、しきい値電圧を所望の値に設定することが容易であるという他の利点もある。また、金属或いは金属を含む化合物でゲート電極を形成すると、ゲート電極の抵抗が抑制されるので素子の高速動作が得られ、好ましい。さらに、金属でゲート電極を形成すると酸化反応が進みにくいので、ゲート電極と絶縁膜との界面に於ける準位が抑制される等の界面の制御性が良いという利点もある。

[0044] また、本実施形態においては、ゲート電極の形成はその材料を堆積した後、異方性エッチングを施すという方法を用いて形成しているが、例えばダマシンプロセス等のような埋め込み等の方法を用いて形成してもよい。ゲート電極の形成に先立ってソース・ドレイン領域を形成する場合には、ダマシ

プロセスを用いるとソース・ドレイン領域とゲート電極とが自己整合的に形成されるので好ましい。

[0045] また、本実施形態においては、素子を流れる電流の主方向に測ったゲート電極の長さは、ゲート電極の上部も下部も等しいが、このことは本質的ではない。例えば、ゲート電極の上部を測った長さの方が下部を測った長さよりも長いアルファベットの「T」の字のような形であってもよい。この場合には、ゲート抵抗を低減することができるという利点を得られる。

[0046] また、本実施形態においては、シリサイド或いはジャーマナイド等の工程には言及しなかったが、ソース・ドレイン領域上にシリサイド或いはジャーマナイド層等を形成してもよい。また、ソース・ドレイン領域上に金属を含む層を堆積或いは成長させる等の方法を用いてもよい。このようにすると、ソース・ドレイン領域の抵抗が低減されるので好ましい。また、ゲート電極を多結晶シリコン等で形成する場合には、ゲート電極に対してのシリサイド或いはジャーマナイド化等の工程を施してもよい。その場合に、シリサイド或いはジャーマナイド化等の工程を施すとゲート抵抗が低減されるので好ましい。また、エレベート構造を用いてもよい。エレベート構造によってもソース・ドレイン領域の抵抗が低減されるので好ましい。

[0047] また、本実施形態においては、ゲート電極の上部は電極が露出する構造であるが、上部に例えば酸化シリコンや窒化シリコンや酸化窒化シリコン等の絶縁物を設けてもよい。特に、ゲート電極が金属を含む材料で形成されており、且つソース・ドレイン領域上にシリサイド或いはジャーマナイド層等を形成する場合等、製造工程の途中でゲート電極を保護する必要性がある場合等は、ゲート電極の上部に酸化シリコンや窒化シリコンや酸化窒化シリコン等の保護材料を設けることは必須である。

[0048] また、本実施形態においては、ゲート絶縁膜として HfO_2 膜を用いたが、酸化シリコン膜或いは酸化窒化シリコン膜等の絶縁膜、或いはそれらの積層等の他の絶縁膜を用いてもよい。絶縁膜中に窒素が存在すると、ゲート電極として不純物を含有する多結晶シリコンを用いる場合に不純物が基板中に拡

散することが抑制されるために、しきい値電圧のバラツキが抑制されると言う利点があるので好ましい。一方、酸化シリコンを用いると、ゲート電極との界面の界面準位ないしは絶縁膜中の固定電荷が少ないために素子特性のバラツキが抑制されると言う利点を得られる。

[0049] また、絶縁膜として或る物質の酸化物を用いる等の場合には、まずその物質の膜を形成しておいてそれを酸化する等の方法を用いてもよい。また、必ずしも昇温を伴わない励起状態の酸素気体に晒してもよい。昇温を伴わない励起状態の酸素気体に晒すと言う方法を用いて形成すれば、チャネル領域中の不純物が拡散により濃度分布を変えることが抑制されるので好ましい。

[0050] さらに、酸化窒化シリコンを用いる場合には、まず酸化シリコン膜を形成し、その後に昇温状態或いは励起状態の窒素を含む気体に晒すことにより絶縁膜中に窒素を導入してもよい。昇温を伴わない励起状態の窒素気体に晒すと言う方法を用いて形成すれば、チャネル領域中の不純物が拡散により濃度分布を変えることが抑制されるので好ましい。又は、まず窒化シリコン膜を形成し、その後に昇温状態或いは励起状態の酸素を含む気体に晒すことにより絶縁膜中に酸素を導入してもよい。昇温を伴わない励起状態の酸素気体に晒すと言う方法を用いて形成すれば、チャネル領域中の不純物が拡散により濃度分布を変えることが抑制されるので好ましい。

[0051] また、H f（ハフニウム）、Z r（ジルコニウム）、T i（チタン）、S c（スカンジウム）、Y（イットリウム）、T a（タンタル）、A l（アルミニウム）、L a（ランタン）、C e（セリウム）、P r（プラセオジウム）、或いは他のランタノイド系列の元素等

の金属等の酸化物等或いはこれらの元素を初めとする様々な元素を含むシリケート材料等、或いはそれらに窒素をも含有させた絶縁膜等、の高誘電体膜或いはそれらの積層等の他の絶縁膜を用いてもよい。また、絶縁膜の形成方法は化学的气相成長法に限るものではなく、熱酸化法等の方法、蒸着法或い

はスパッタ法或いはエピタキシャル成長法等の他の方法を用いてもよい。

[0052] また、本実施形態においては、ゲート電極形成後の後酸化には言及していないが、ゲート電極の材料等に鑑みて可能であれば、後酸化工程を行ってもよい。また、必ずしも後酸化に限らず、例えば薬液処理或いは反応性の気体に晒す等の方法を用いてゲート電極の角を丸める処理を行ってもよい。これらの工程が可能な場合にはそれによりゲート電極の下端角部の電場が緩和されるのでゲート絶縁膜の信頼性が向上し、好ましい。

[0053] また、本実施形態においては層間絶縁膜としては酸化シリコン膜を用いたが、例えば低誘電率材料等の酸化シリコン以外の物質を層間絶縁膜に用いてもよい。層間絶縁膜の誘電率を低く設定すると、素子の寄生容量が低減されるので素子の高速動作が得られると言う利点がある。

[0054] また、コンタクト孔に関しては言及していないが、自己整合コンタクトを形成することも可能である。自己整合コンタクトを用いると素子の面積を低減することができるので、集積度の向上が図られ、好ましい。

[0055] また、本実施形態においては明記していないが、配線のための金属層の形成は、例えばスパッタ法等を用いて行ってもよいし、堆積法等の方法を用いて行ってもよい。さらに、金属の選択成長等の方法を用いてもよいし、ダマシン法等の方法を用いてもよい。また、配線金属の材料は、例えばシリコンを含有するA l（アルミニウム）等を用いてもよいし、例えばC u（銅）等の金属を用いてもよい。特に、C uは抵抗率が低いので好ましい。

[0056] また、本実施形態においては明記していないが、層間絶縁膜上に形成した半導体層の結晶化を行ってもよい。結晶化を行うとキャリアの移動度が増大するので動作速度の向上が図られるという利点がある。

[0057] また、本実施形態の構造の模式図はあくまで一例であり、電界効果トランジスタの半導体基板の表面と垂直方向の配置は本質的であるが、それらの半導体基板の表面と平行方向の配置は本質的ではない。他の配置を用いたとしても同様の効果が得られる。また、配線の配置ないし形状も本質的ではなく、接続関係が保たれるのであれば他の配置ないし形状としても同様の効果が

得られる。

[0058] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。素子のゲート長は25 nm、第1及び第2のp型電界効果トランジスタTp1、Tp2は相互に同一の特性の素子、第1から第4のn型電界効果トランジスタTn1～Tn4は全て相互に同一の特性の素子、とした。また、ゲート絶縁膜は厚さ1 nmの酸化シリコンとした。

[0059] 図7に、しきい値電圧に変動の無い場合のバタフライ曲線 (Butterfly Curve) を示す。なお、図7においては、第1のp型電界効果トランジスタTp1のドレイン領域と第1のn型電界効果トランジスタTn1のドレイン領域と第2のp型電界効果トランジスタTp2のゲート電極と第2のn型電界効果トランジスタTn2のゲート電極と第3のn型電界効果トランジスタTn3のドレイン領域との相互に接続されている接続点の電位をV1、第2のp型電界効果トランジスタTp2のドレイン領域と第2のn型電界効果トランジスタTn2のドレイン領域と第1のp型電界効果トランジスタTp1のゲート電極と第1のn型電界効果トランジスタTn1のゲート電極と第4のn型電界効果トランジスタTn4のドレイン領域との相互に接続されている接続点の電位をV2、と記してある。

[0060] 書き込み時にビット線BLの電位を電源電圧、反転ビット線BL'の電位を接地電位とし、書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP1となる。また、書き込み時にビット線BLの電位を接地電位、反転ビット線BL'の電位を電源電圧とし、書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP2となる。

[0061] ノイズによりバタフライ曲線の形が変わり、図中のL1の閉曲線が消滅するとP1の状態は不安定となり、それまでの状態がP1であったかP2であったかを問わずP2の状態となる。また、ノイズによりバタフライ曲線の形が変わり、図中のL2の閉曲線が消滅するとP2の状態は不安定となり、そ

れまでの状態がP 1であったかP 2であったかを問わずP 1の状態となる。即ち、何れの場合も記憶されていた情報は失われる。それ故、L 1ないしL 2の閉曲線が大きいほど、情報の失われないノイズの大きさの上限は大きくなる。その上限を示す指標が上述のS N Mであり、具体的な値はL 1 或いはL 2に含まれ且つ辺が図の縦軸と横軸とに平行な正方形の内で最大のもの、即ち各々S Q 1 或いはS Q 2の辺の長さで与えられる。ここに示した例では、P 1の安定性を示すS N M（即ちS Q 1の辺の長さ）とP 2の安定性を示すS N M（即ちS Q 2の辺の長さ）とは等しく0. 144 Vとなる。

[0062] 次に、本実施形態の半導体記憶装置を考える。まず、書き込み時にビット線B Lの電位を電源電圧、反転ビット線B L'の電位を接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線B Lの電位と反転ビット線B L'の電位とワード線W Lの電位とが電源電圧の電位にある場合には、V 1とV 2とは図中のP 1となる。それ故、第1のp型電界効果トランジスタT p1のゲート電極は0. 18 V、第2のp型電界効果トランジスタT p2のゲート電極は1. 0 Vとなる。それ故、第1のp型電界効果トランジスタT p1のゲート電極の上にチャネル領域が形成されているところの第4のn型電界効果トランジスタT n4のしきい値電圧に比べると、第2のp型電界効果トランジスタT p2のゲート電極の上にチャネル領域が形成されているところの第3のn型電界効果トランジスタT n3のしきい値電圧は、負の方向に変化している。

[0063] それで、ここでは図7に示した場合と比較して、第3のn型電界効果トランジスタT n3のしきい値電圧は負の方向に50 m V変化し、第4のn型電界効果トランジスタT n4のしきい値電圧は正の方向に50 m V変化しているとして、バタフライ曲線を計算した。即ち、両者のしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果を、図8 Aに示す。図7に示したしきい値電圧に変化の無い場合と比較すると、閉曲線L 1は大きくなっていること、それに伴ってP 1の安定性を示すところのS N Mを表す正方形S Q 1も大きくなっていることが判る

。この場合のS N Mの具体的な値は0. 1 7 0 Vである。

[0064] 次に、書き込み時にビット線B Lの電位を接地電位、反転ビット線B L'の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線B Lの電位と反転ビット線B L'の電位とワード線W Lの電位とが電源電圧の電位にある場合には、V 1とV 2とは図中のP 2となる。それ故、第1のp型電界効果トランジスタT p1のゲート電極は1. 0 V、第2のp型電界効果トランジスタT p2のゲート電極は0. 1 8 Vとなる。それ故、第2のp型電界効果トランジスタT p2のゲート電極の上にチャネル領域が形成されているところの第3のn型電界効果トランジスタT n3のしきい値電圧に比べると、第1のp型電界効果トランジスタT p1のゲート電極の上にチャネル領域が形成されているところの第4のn型電界効果トランジスタT n4のしきい値電圧は、負の方向に変化している。

[0065] それで、ここでは図7に示した場合と比較して、第3のn型電界効果トランジスタT n3のしきい値電圧は正の方向に5 0 m V変化し、第4のn型電界効果トランジスタT n4のしきい値電圧は負の方向に5 0 m V変化しているとして、バタフライ曲線を計算した。即ち、両者のしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果を、図8 Bに示す。この場合には、図8 Aに示したバタフライ曲線の縦軸と横軸とを入れ替えた曲線となる。図7に示したしきい値電圧に変化の無い場合と比較すると、閉曲線L 2は大きくなっていること、それに伴ってP 2の安定性を示すところのS N Mを表す正方形S Q 2も大きくなっていることが判る。この場合のS N Mの具体的な値は、図8 Aに結果を示した場合と等しく0. 1 7 0 Vである。

[0066] 従って、しきい値電圧に変化の無い従来構造の半導体記憶装置と比較して、本実施形態の半導体記憶装置においてはS N Mの増大が図られていること、即ちノイズに対する耐性の向上が図られていることが判る。

[0067] なお、本実施形態の半導体記憶装置においてS N Mの増大が図られたことの理由は、第3及び第4のn型電界効果トランジスタT n3, T n4のチャネル

領域が各々第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極と重ねて形成されていることの結果として、第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極が各々実効的に第3及び第4のn型電界効果トランジスタTn3, Tn4の裏面ゲート電極として作用することにある。仮に、第3及び第4のn型電界効果トランジスタTn3, Tn4のチャネル領域が各々第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極と重ねて形成されていたとしても、第3及び第4のn型電界効果トランジスタTn3, Tn4が例えば柱状構造等の平面構造以外の構造を有しては、しきい値電圧の変化は生じないので本実施形態の効果は得られない。それ故、第3及び第4のn型電界効果トランジスタTn3, Tn4が平面構造を有することは本質的である。

[0068] また、本実施形態においては、第3及び第4のn型電界効果トランジスタTn3, Tn4のチャネル領域が各々第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極と重ねて形成されている。そのことの結果としてS_{NM}の増大が図られたことに本質的であるのは、第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極が各々実効的に第3及び第4のn型電界効果トランジスタTn3, Tn4の裏面ゲート電極として作用していることにある。それ故、第3及び第4のn型電界効果トランジスタTn3, Tn4のチャネル領域は必ずしも各々第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極と重ねて形成されている必要はなく、各々第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極に接続された配線と重ねて形成されていても同様の効果が得られる。

[0069] なお、本実施形態の半導体記憶装置においてS_{NM}の増大が図られたことの本質は、第2及び第1のp型電界効果トランジスタTp2, Tp1のゲート電極が各々実効的に第3及び第4のn型電界効果トランジスタTn3, Tn4の裏面ゲート電極として作用したことの結果として、第3及び第4のn型電界効果トランジスタTn3, Tn4のしきい値電圧が変化したことにある。常温における電位には揺らぎが存在し、それは熱電位即ち kT/q (k は Boltzmann

の定数、 T は絶対温度即ち常温では 300 K 、 q は素電荷即ち $1.6 \times 10^{-19}\text{ C}$ 、 kT/q の常温での値は 26 mV となる)程度となる。それ故、 SNM の増大による半導体記憶装置の安定領域の拡大を得るためには、半導体記憶装置を構成する電界効果トランジスタのしきい値電圧を電位揺らぎの3倍即ち、 78 mV 程度に変化させる必要がある。

[0070] 上記の数値計算に用いた素子を用いて、裏面ゲート電極への電圧の印加に伴うしきい値電圧の変化を計算したところ、ここにおいて仮定した電源電圧の 1 V を裏面ゲート電極に印加することで、 78 mV のしきい値電圧の変化量が得られるためには、チャネル領域と裏面ゲート電極との間の絶縁膜の厚さは 70 nm 以下である必要があることが判った。それ故、絶縁膜上に形成された電界効果トランジスタのチャネル領域の下端と、半導体基板上に形成された電界効果トランジスタのゲート電極とゲート電極に接続された配線との内で絶縁膜上に形成された電界効果トランジスタのチャネル領域と重なる領域の上端との、半導体基板の表面に垂直な方向に測った間隔は 70 nm 以下であることが好ましい。

[0071] また、上に記した二つの場合の、半導体基板上に形成された電界効果トランジスタのゲート電圧の値の差である $1\text{ V} - 0.18\text{ V} = 0.82\text{ V}$ の電圧を裏面ゲート電極に印加することに伴い、 78 mV のしきい値電圧の変化が得られるためには、チャネル領域と裏面ゲート電極との間の絶縁膜の厚さは 40 nm 以下である必要があることが判った。それ故、絶縁膜上に形成された電界効果トランジスタのチャネル領域の下端と、半導体基板上に形成された電界効果トランジスタのゲート電極とゲート電極に接続された配線との内で絶縁膜上に形成された電界効果トランジスタのチャネル領域と重なる領域の上端との、半導体基板の表面に垂直な方向に測った間隔は 40 nm 以下であると更に好ましい。

[0072] (第1の実施形態の第1の変形例)

次に、第1の実施形態の第1の変形例を説明する。

[0073] 本変形例の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を

有しているが、立体的な構造が異なっている。即ち本変形例においては、図 9 に模式的に構造を示すように、半導体基板上に第 1 及び第 2 の p 型電界効果トランジスタ T_{p1} , T_{p2} と第 1 及び第 2 の n 型電界効果トランジスタ T_{n1} , T_{n2} とが形成されており、それらの上に形成された絶縁膜上に第 3 及び第 4 の n 型電界効果トランジスタ T_{n3} , T_{n4} が形成されている。そして、第 3 の n 型電界効果トランジスタ T_{n3} のチャネル領域は半導体基板の法線方向より見て第 2 の n 型電界効果トランジスタ T_{n2} のゲート電極と重なるように形成されており、第 4 の n 型電界効果トランジスタ T_{n4} のチャネル領域は半導体基板の法線方向より見て第 1 の n 型電界効果トランジスタ T_{n1} のゲート電極と重なるように形成されている。

[0074] 本変形例の半導体記憶装置の製造工程を、図 10 を参照して説明する。

[0075] 前記図 4 (a) ~ 図 5 (i) に示す工程に引き続いて、図 10 (a) に示すように、例えば化学的気相成長法等の方法により、前記層間絶縁膜 9 の上に B を含む厚さ 20 nm のシリコン層（図示せず）を形成し、例えばメサ型素子分離法等の方法により素子分離を行い、半導体層 10 を形成する。

[0076] 次いで、図 10 (b) に示すように、例えば化学的気相成長法等の方法により、半導体層 10 上に厚さ 5 nm の HfO_2 膜（図示せず）を形成する。続いて、 HfO_2 膜（図示せず）の上に、例えば化学的気相成長法等の方法により厚さ 50 nm のタングステン膜（図示せず）を形成する。そして、前記タングステン膜（図示せず）に、例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、ゲート電極 6 を形成する。続いて、 HfO_2 膜（図示せず）に、例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、ゲート絶縁膜 5 を形成する。

[0077] 次いで、図 10 (c) に示すように、半導体層 10 の表面部に、例えば As を注入することによりエクステンション領域 14 を形成する。続いて、例えば化学的気相成長法等の方法により厚さ 20 nm の酸化シリコン膜（図示せず）を形成する。その後、例えば活性イオンエッチング法等の方法を用いてエッチバックすることにより酸化シリコン膜の一部を選択的に除去し、ゲ

ート側壁 8 を形成する。

[0078] その次に、例えば As を注入し、熱工程を施すことによりエクステンション領域 14 と共にソース・ドレイン領域 7 を形成する。これ以降は、従来技術と同様にして層間絶縁膜形成工程乃至配線工程等を経て、前記図 9 に示す構造の半導体記憶装置を形成する。

[0079] 第 1 の n 型電界効果トランジスタ T_{n1} のゲート電極と第 1 の p 型電界効果トランジスタ T_{p1} のゲート電極とは相互に接続され、且つ第 2 の n 型電界効果トランジスタ T_{n2} のゲート電極と第 2 の p 型電界効果トランジスタ T_{p2} のゲート電極とは相互に接続されている。このため、第 1 の n 型電界効果トランジスタ T_{n1} のゲート電極と第 1 の p 型電界効果トランジスタ T_{p1} のゲート電極とは相互に等しい電位であり、且つ第 2 の n 型電界効果トランジスタ T_{n2} のゲート電極と第 2 の p 型電界効果トランジスタ T_{p2} のゲート電極とは相互に等しい電位である。それ故、本変形例の半導体記憶装置においても、第 3 及び第 4 の n 型電界効果トランジスタ T_{n3}, T_{n4} のしきい値電圧には上記実施形態の半導体記憶装置と同様の変化が生ずる。それ故、本変形例の半導体記憶装置においても上記実施形態の半導体記憶装置と同様の効果が得られる。

[0080] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0081] (第 1 の実施形態の第 2 の変形例)

次に、第 1 の実施形態の第 2 の変形例を説明する。

[0082] 本変形例の半導体記憶装置は、図 1 に示す第 1 の実施形態と同様の回路を有しているが、立体的な構造が異なっている。即ち本変形例においては、図 11 に模式的に構造を示すように、半導体基板上に第 1 及び第 2 の p 型電界効果トランジスタ T_{p1}, T_{p2} と第 1 及び第 2 の n 型電界効果トランジスタ T_{n1}, T_{n2} とが形成されており、それらの上に形成された絶縁膜上に第 3 及び第 4 の n 型電界効果トランジスタ T_{n3}, T_{n4} が形成されている。そして、第 3 の n 型電界効果トランジスタ T_{n3} のチャネル領域は半導体基板の法線方向よ

り見て第2のp型電界効果トランジスタTp2のゲート電極と重なるように形成されており、第4のn型電界効果トランジスタTn4のチャネル領域は半導体基板の法線方向より見て第1のn型電界効果トランジスタTn1のゲート電極と重なるように形成されている。

[0083] 本変形例の半導体記憶装置の製造工程は、本質的に第1の実施形態ないしその第1の変形例の製造工程と同様であるので省略する。

[0084] 第1のn型電界効果トランジスタTn1のゲート電極と第1のp型電界効果トランジスタTp1のゲート電極とは相互に接続され、且つ第2のn型電界効果トランジスタTn2のゲート電極と第2のp型電界効果トランジスタTp2のゲート電極とは相互に接続されている。このため、第1のn型電界効果トランジスタTn1のゲート電極と第1のp型電界効果トランジスタTp1のゲート電極とは相互に等しい電位であり、且つ第2のn型電界効果トランジスタTn2のゲート電極と第2のp型電界効果トランジスタTp2のゲート電極とは相互に等しい電位である。それ故、本変形例の半導体記憶装置においても、第3及び第4のn型電界効果トランジスタTn3、Tn4のしきい値電圧には上記実施形態の半導体記憶装置と同様の变化が生ずる。それ故、本変形例の半導体記憶装置においても上記実施形態の半導体記憶装置と同様の効果が得られる。

[0085] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0086] (第1の実施形態の第3の変形例)

次に、第1の実施形態の第3の変形例を説明する。

[0087] 本変形例の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、立体的な構造が異なっている。即ち本変形例においては、図12に模式的に構造を示すように、半導体基板上に第1及び第2のp型電界効果トランジスタTp1、Tp2と第1及び第2のn型電界効果トランジスタTn1、Tn2とが形成されており、それらの上に形成された絶縁膜上に第3及び第4のn型電界効果トランジスタTn3、Tn4が形成されている。そして、第3

のn型電界効果トランジスタT_{n3}のチャネル領域は半導体基板の法線方向より見て第2のn型電界効果トランジスタT_{n2}のゲート電極と重なるように形成されており、第4のn型電界効果トランジスタT_{n4}のチャネル領域は半導体基板の法線方向より見て第1のp型電界効果トランジスタT_{p1}のゲート電極と重なるように形成されている。

[0088] 本変形例の半導体記憶装置の製造工程は、本質的に第1の実施形態ないしその第1ないし第2の変形例の製造工程と同様であるので省略する。

[0089] 第1のn型電界効果トランジスタT_{n1}のゲート電極と第1のp型電界効果トランジスタT_{p1}のゲート電極とは相互に接続され、且つ第2のn型電界効果トランジスタT_{n2}のゲート電極と第2のp型電界効果トランジスタT_{p2}のゲート電極とは相互に接続されている。このため、第1のn型電界効果トランジスタT_{n1}のゲート電極と第1のp型電界効果トランジスタT_{p1}のゲート電極とは相互に等しい電位であり、且つ第2のn型電界効果トランジスタT_{n2}のゲート電極と第2のp型電界効果トランジスタT_{p2}のゲート電極とは相互に等しい電位である。それ故、本変形例の半導体記憶装置においても、第3及び第4のn型電界効果トランジスタT_{n3}、T_{n4}のしきい値電圧には上記実施形態の半導体記憶装置と同様の变化が生ずる。それ故、本変形例の半導体記憶装置においても上記実施形態の半導体記憶装置と同様の効果が得られる。

[0090] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0091] (第2の実施形態)

次に、本発明の半導体記憶装置の第2の実施形態を説明する。

[0092] 図13は、本発明の第2の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

[0093] 本実施形態の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、図13に構造を模式的に示すように、第1及び第2のp型

電界効果トランジスタ T_{p1} , T_{p2} と第 3 及び第 4 の n 型電界効果トランジスタ T_{n3} , T_{n4} とは半導体基板上に形成され、それらの上に形成された層間絶縁膜上に第 1 及び第 2 の n 型電界効果トランジスタ T_{n1} , T_{n2} が形成されている。そして、第 1 の n 型電界効果トランジスタ T_{n1} のチャネル領域は、半導体基板の法線方向より見て第 1 の p 型電界効果トランジスタ T_{p1} のゲート電極と重なるように形成されており、且つ第 2 の n 型電界効果トランジスタ T_{n2} のチャネル領域は、半導体基板の法線方向より見て第 2 の p 型電界効果トランジスタ T_{p2} のゲート電極と重なるように形成されている。

[0094] 本実施形態の半導体記憶装置の製造工程は、本質的に第 1 の実施形態ないしその変形例の製造工程と同様であるので省略する。

[0095] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、

書き込み時にビット線 BL の電位を電源電圧、反転ビット線 BL' の電位を接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線 BL の電位と反転ビット線 BL' の電位とワード線 WL の電位とが電源電圧の電位にある場合には、 V_1 と V_2 とは図中の P_1 となる。それ故、第 1 の p 型電界効果トランジスタ T_{p1} のゲート電極は $0.18V$ 、第 2 の p 型電界効果トランジスタ T_{p2} のゲート電極は $1.0V$ となる。それ故、第 1 の p 型電界効果トランジスタ T_{p1} のゲート電極の上にチャネル領域が形成されているところの第 1 の n 型電界効果トランジスタ T_{n1} のしきい値電圧に比べると、第 2 の p 型電界効果トランジスタ T_{p2} のゲート電極の上にチャネル領域が形成されているところの第 2 の n 型電界効果トランジスタ T_{n2} のしきい値電圧は、負の方向に変化している。

[0096] それで、ここでは前記図 7 に示した場合と比較して、第 1 の n 型電界効果トランジスタ T_{n1} のしきい値電圧は正の方向に $50mV$ 変化し、第 2 の n 型電界効果トランジスタ T_{n2} のしきい値電圧は負の方向に $50mV$ 変化しているとして、バタフライ曲線を計算した。即ち、両者のしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節し

ておく。結果を、図14Aに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線L1は大きくなっていること、それに伴ってP1の安定性を示すところのSNMを表す正方形SQ1も大きくなっていることが判る。この場合のSNMの具体的な値は0.188Vである。

[0097] 次に、書き込み時にビット線BLの電位を接地電位、反転ビット線BL'の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP2となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は1.0V、第2のp型電界効果トランジスタTp2のゲート電極は0.18Vとなる。それ故、バタフライ曲線は図14Aに示した場合の縦軸と横軸とを入れ替えた曲線となる。結果を、図14Bに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線L2は大きくなっていること、それに伴ってP2の安定性を示すところのSNMを表す正方形SQ2も大きくなっていることが判る。この場合のSNMの具体的な値は、図14Aに示した場合と等しく0.188Vである。

[0098] 本実施形態においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0099] (第2の実施形態の変形例)

次に、第2の実施形態の変形例を説明する。

[0100] 本変形例の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、立体的な構造が異なっている。即ち本変形例においては、図15に構造を模式的に示すように、第1から第4のn型電界効果トランジスタTn1~Tn4は半導体基板上に形成され、それらの上に形成された層間絶縁膜上に第1及び第2のp型電界効果トランジスタTp1, Tp2が形成されている。そして、第1のp型電界効果トランジスタTp1のチャネル領域は、半導体基板の法線方向より見て第1のn型電界効果トランジスタTn1のゲート電極と重なるように形成されており、且つ第2のp型電界効果トランジスタTp

2のチャネル領域は、半導体基板の法線方向より見て第2のn型電界効果トランジスタT_{n2}のゲート電極と重なるように形成されている。

[0101] 本変形例の半導体記憶装置の製造工程は、本質的に上記実施形態ないしその変形例の製造工程と同様であるので省略する。

[0102] 次に、変形例の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、書き込み時にビット線B_Lの電位を電源電圧、反転ビット線B_L'の電位を接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線B_Lの電位と反転ビット線B_L'の電位とワード線W_Lの電位とが電源電圧の電位にある場合には、V₁とV₂とは図中のP₁となる。それ故、第1のn型電界効果トランジスタT_{n1}のゲート電極は0.18V、第2のn型電界効果トランジスタT_{n2}のゲート電極は1.0Vとなる。それ故、第1のn型電界効果トランジスタT_{n1}のゲート電極の上にチャネル領域が形成されているところの第1のp型電界効果トランジスタT_{p1}のしきい値電圧に比べると、第2のn型電界効果トランジスタT_{n2}のゲート電極の上にチャネル領域が形成されているところの第2のp型電界効果トランジスタT_{p2}のしきい値電圧は、負の方向に変化している。

[0103] それで、ここでは前記図7に示した場合と比較して、第1のp型電界効果トランジスタT_{p1}のしきい値電圧は正の方向に50mV変化し、第2のp型電界効果トランジスタT_{p2}のしきい値電圧は負の方向に50mV変化しているとして、バタフライ曲線を計算した。即ち、両者のしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果を、図16Aに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線L₁は大きくなっていること、それに伴ってP₁の安定性を示すところのS_{NM}を表す正方形SQ₁も大きくなっていることが判る。この場合のS_{NM}の具体的な値は0.156Vである。

[0104] 次に、書き込み時にビット線B_Lの電位を接地電位、反転ビット線B_L'の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線B_Lの電位と反転ビット線B_L'の電位とワード線W_Lの電

位とが電源電圧の電位にある場合には、 V_1 と V_2 とは図中の P_2 となる。それ故、第1のn型電界効果トランジスタ T_{n1} のゲート電極は1.0V、第2のn型電界効果トランジスタ T_{n2} のゲート電極は0.18Vとなる。それ故、バタフライ曲線は図16Aに示した場合の縦軸と横軸とを入れ替えた曲線となる。結果を、図16Bに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線 L_2 は大きくなっていること、それに伴って P_2 の安定性を示すところのSNMを表す正方形 SQ_2 も大きくなっていることが判る。この場合のSNMの具体的な値は、図16Aに示した場合と等しく0.156Vである。

[0105] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0106] (第3の実施形態)

次に、本発明の半導体記憶装置の第3の実施形態を説明する。

[0107] 図17は、本発明の第3の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

[0108] 本実施形態の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、図17に模式的に構造を示すように、第1及び第2のp型電界効果トランジスタ T_{p1} 、 T_{p2} は半導体基板上に形成され、それらの上に形成された層間絶縁膜上に第1から第4のn型電界効果トランジスタ $T_{n1} \sim T_{n4}$ が形成されている。そして、第1及び第4のn型電界効果トランジスタ T_{n1} 、 T_{n4} のチャネル領域は、半導体基板の法線方向より見て第1のp型電界効果トランジスタ T_{p1} のゲート電極と重なるように形成されており、且つ第2及び第3のn型電界効果トランジスタ T_{n2} 、 T_{n3} のチャネル領域は、半導体基板の法線方向より見て第2のp型電界効果トランジスタ T_{p2} のゲート電極と重なるように形成されている。

[0109] 本実施形態の半導体記憶装置の製造工程は、本質的に上記実施形態ないしその変形例の製造工程と同様であるので省略する。

[0110] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、

書き込み時にビット線BLの電位を電源電圧、反転ビット線BL'の電位を接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP1となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は0.18V、第2のp型電界効果トランジスタTp2のゲート電極は1.0Vとなる。それ故、第1のp型電界効果トランジスタTp1のゲート電極の上にチャネル領域が形成されているところの第1及び第4のn型電界効果トランジスタTn1, Tn4のしきい値電圧に比べると、第2のp型電界効果トランジスタTp2のゲート電極の上にチャネル領域が形成されているところの第2及び第3のn型電界効果トランジスタTn2, Tn3のしきい値電圧は、負の方向に変化している。

[0111] それで、ここでは前記図7に示した場合と比較して、第1及び第4のn型電界効果トランジスタTn1, Tn4のしきい値電圧は正の方向に50mV変化し、第2及び第3のn型電界効果トランジスタTn2, Tn3のしきい値電圧は負の方向に50mV変化しているとして、バタフライ曲線を計算した。即ち、それらのしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果を、図18Aに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線L1は大きくなっていること、それに伴ってP1の安定性を示すところのSNMを表す正方形SQ1も大きくなっていることが判る。この場合のSNMの具体的な値は0.213Vである。

[0112] 次に、書き込み時にビット線BLの電位を接地電位、反転ビット線BL'の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP2となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は1.0V、第

2のp型電界効果トランジスタT_{p2}のゲート電極は0.18Vとなる。それ故、バタフライ曲線は図18Aに示した場合の縦軸と横軸とを入れ替えた曲線となる。結果を、図18Bに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線L₂は大きくなっていること、それに伴ってP₂の安定性を示すところのSNMを表す正方形SQ₂も大きくなっていることが判る。この場合のSNMの具体的な値は、図18Aに示した場合と等しく0.213Vである。

[0113] 本実施形態においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0114] (第3の実施形態の変形例)

次に、第3の実施形態の変形例を説明する。

[0115] 本変形例の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、立体的な構造が異なっている。即ち本変形例においては、図19に模式的に構造を示すように、第1及び第2のn型電界効果トランジスタT_{n1}、T_{n2}は半導体基板上に形成され、それらの上に形成された層間絶縁膜上に第1及び第2のp型電界効果トランジスタT_{p1}、T_{p2}と第3及び第4のn型電界効果トランジスタT_{n3}、T_{n4}が形成されている。そして、第1のp型電界効果トランジスタT_{p1}及び第4のn型電界効果トランジスタT_{n4}のチャネル領域は、半導体基板の法線方向より見て第1のn型電界効果トランジスタT_{n1}のゲート電極と重なるように形成されており、且つ第2のp型電界効果トランジスタT_{p2}及び第3のn型電界効果トランジスタT_{n3}のチャネル領域は、半導体基板の法線方向より見て第2のn型電界効果トランジスタT_{n2}のゲート電極と重なるように形成されている。

[0116] 本変形例の半導体記憶装置の製造工程は、本質的に上記実施形態ないしその変形例の製造工程と同様であるので省略する。

[0117] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、

書き込み時にビット線BLの電位を電源電圧、反転ビット線BL'の電位を

接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP1となる。それ故、第1のn型電界効果トランジスタTn1のゲート電極は0.18V、第2のn型電界効果トランジスタTn2のゲート電極は1.0Vとなる。それ故、第1のn型電界効果トランジスタTn1のゲート電極の上にチャネル領域が形成されているところの第1のp型電界効果トランジスタTp1及び第4のn型電界効果トランジスタTn4のしきい値電圧に比べると、第2のn型電界効果トランジスタTn2のゲート電極の上にチャネル領域が形成されているところの第2のp型電界効果トランジスタTp2及び第3のn型電界効果トランジスタTn3のしきい値電圧は、負の方向に変化している。

[0118] それで、ここでは前記図7に示した場合と比較して、第1のp型電界効果トランジスタTp1及び第4のn型電界効果トランジスタTn4のしきい値電圧は正の方向に50mV変化し、第2のp型電界効果トランジスタTp2及び第3のn型電界効果トランジスタTn3のしきい値電圧は負の方向に50mV変化しているとして、バタフライ曲線を計算した。即ち、それらのしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果を、図20Aに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線L1は大きくなっていること、それに伴ってP1の安定性を示すところのSNMを表す正方形SQ1も大きくなっていることが判る。この場合のSNMの具体的な値は0.182Vである。

[0119] 次に、書き込み時にビット線BLの電位を接地電位、反転ビット線BL'の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP2となる。それ故、第1のn型電界効果トランジスタTn1のゲート電極は1.0V、第2のn型電界効果トランジスタTn2のゲート電極は0.18Vとなる。それ故、バタフライ曲線は図20Aに示した場合の縦軸と横軸とを入れ替えた曲

線となる。結果を、図20Bに示す。図7に示したしきい値電圧に変化の無い場合と比較すると閉曲線L2は大きくなっていること、それに伴ってP2の安定性を示すところのSNMを表す正方形SQ2も大きくなっていることが判る。この場合のSNMの具体的な値は、図20Aに示した場合と等しく0.182Vである。

[0120] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0121] (第4の実施形態)

次に、本発明の半導体記憶装置の第4の実施形態を説明する。

[0122] 図21は、本発明の第4の実施形態に係わる半導体記憶装置の概略構造を示す鳥瞰図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

[0123] 本実施形態の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、図21に構造を模式的に示すように、第1及び第2のp型電界効果トランジスタTp1、Tp2は半導体基板上に形成され、それらの上に形成された層間絶縁膜上に第1から第4のn型電界効果トランジスタTn1～Tn4が形成されている。そして、第1のn型電界効果トランジスタTn1のチャネル領域は、半導体基板の法線方向より見て第1のp型電界効果トランジスタTp1のゲート電極と重なるように形成されており、且つ第2のn型電界効果トランジスタTn2のチャネル領域は、半導体基板の法線方向より見て第2のp型電界効果トランジスタTp2のゲート電極と重なるように形成されている。

[0124] 本実施形態の半導体記憶装置の製造工程は、本質的に上記実施形態ないしその変形例の製造工程と同様であるので省略する。

[0125] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、

書き込み時にビット線BLの電位を電源電圧、反転ビット線BL'の電位を接地電位とした場合を考える。この場合には、上述のように書き込み後にビ

ット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP1となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は0.18V、第2のp型電界効果トランジスタTp2のゲート電極は1.0Vとなる。それ故、第1のp型電界効果トランジスタTp1のゲート電極の上にチャネル領域が形成されているところの第1のn型電界効果トランジスタTn1のしきい値電圧に比べると、第2のp型電界効果トランジスタTp2のゲート電極の上にチャネル領域が形成されているところの第2のn型電界効果トランジスタTn2のしきい値電圧は、負の方向に変化している。

[0126] それで、ここでは前記図7に示した場合と比較して、第1のn型電界効果トランジスタTn1のしきい値電圧は正の方向に50mV変化し、第2のn型電界効果トランジスタTn2のしきい値電圧は負の方向に50mV変化しているとして、バタフライ曲線を計算した。即ち、それらのしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果は、前記図14Aに示した第2の実施形態の半導体記憶装置に対する計算結果と等しい。それ故、この場合のSNMの具体的な値は0.188Vである。

[0127] 次に、書き込み時にビット線BLの電位を接地電位、反転ビット線BL'の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP2となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は1.0V、第2のp型電界効果トランジスタTp2のゲート電極は0.18Vとなる。それ故、バタフライ曲線は、前記図14Bに示した第2の実施形態の半導体記憶装置に対する計算結果と等しい。それ故、この場合のSNMの具体的な値は0.188Vである。

[0128] 本実施形態においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0129] (第4の実施形態の変形例)

次に、第4の実施形態の変形例を説明する。

[0130] 本変形例の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、図22に模式的に構造を示すように第1及び第2のn型電界効果トランジスタ T_{n1} 、 T_{n2} は半導体基板上に形成され、それらの上に形成された層間絶縁膜上に第1及び第2のp型電界効果トランジスタ T_{p1} 、 T_{p2} と第3及び第4のn型電界効果トランジスタ T_{n3} 、 T_{n4} とが形成されている。そして、第1のp型電界効果トランジスタ T_{p1} のチャネル領域は、半導体基板の法線方向より見て第1のn型電界効果トランジスタ T_{n1} のゲート電極と重なるように形成されており、且つ第2のp型電界効果トランジスタ T_{p2} のチャネル領域は、半導体基板の法線方向より見て第2のn型電界効果トランジスタ T_{n2} のゲート電極と重なるように形成されている。

[0131] 本変形例の半導体記憶装置の製造工程は、本質的に上記実施形態ないしその変形例の製造工程と同様であるので省略する。

[0132] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、

書き込み時にビット線 BL の電位を電源電圧、反転ビット線 BL' の電位を接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線 BL の電位と反転ビット線 BL' の電位とワード線 WL の電位とが電源電圧の電位にある場合には、 V_1 と V_2 とは図中の P_1 となる。それ故、第1のn型電界効果トランジスタ T_{n1} のゲート電極は $0.18V$ 、第2のn型電界効果トランジスタ T_{n2} のゲート電極は $1.0V$ となる。それ故、第1のn型電界効果トランジスタ T_{n1} のゲート電極の上にチャネル領域が形成されているところの第1のp型電界効果トランジスタ T_{p1} のしきい値電圧に比べると、第2のn型電界効果トランジスタ T_{n2} のゲート電極の上にチャネル領域が形成されているところの第2のp型電界効果トランジスタ T_{p2} のしきい値電圧は、負の方向に変化している。

[0133] それで、ここでは前記図7に示した場合と比較して、第1のp型電界効果

トランジスタ T_{p1} のしきい値電圧は正の方向に 50 mV 変化し、第2の p 型電界効果トランジスタ T_{p2} のしきい値電圧は負の方向に 50 mV 変化しているとして、バタフライ曲線を計算した。即ち、それらのしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果は、図16Aに示した第2の実施形態の変形例に対する計算結果と等しい。それ故、 SNM の具体的な値は 0.156 V である。

[0134] 次に、書き込み時にビット線 BL の電位を接地電位、反転ビット線 BL' の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線 BL の電位と反転ビット線 BL' の電位とワード線 WL の電位とが電源電位の電位にある場合には、 V_1 と V_2 とは図中の P_2 となる。それ故、第1の n 型電界効果トランジスタ T_{n1} のゲート電極は 1.0 V 、第2の n 型電界効果トランジスタ T_{n2} のゲート電極は 0.18 V となる。それ故、バタフライ曲線は、前記図16Bに示した第2の実施形態の変形例に示した場合の計算結果と等しい。それ故、 SNM の具体的な値は 0.156 V である。

[0135] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0136] (第5の実施形態)

次に、本発明の半導体記憶装置の第5の実施形態を説明する。

[0137] 図23は、本発明の第5の実施形態に係わる半導体記憶装置を示す回路構成図である。

[0138] なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

[0139] 本実施形態の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、図23に構造を模式的に示すように、第1及び第2の p 型電界効果トランジスタ T_{p1} 、 T_{p2} は半導体基板上に形成され、第1及び第2の p 型電界効果トランジスタ T_{p1} 、 T_{p2} の上に形成された層間絶縁膜の上に、第1から第4の n 型電界効果トランジスタ $T_{n1} \sim T_{n4}$ が形成されている。そして、第3の n 型電界効果トランジスタ T_{n3} のチャネル領域は、半導体基

板の法線方向より見て第2のp型電界効果トランジスタTp2のゲート電極と重なるように形成されており、且つ第4のn型電界効果トランジスタTn4のチャネル領域は、半導体基板の法線方向より見て第1のp型電界効果トランジスタTp1のゲート電極と重なるように形成されている。

[0140] 本実施形態の半導体記憶装置の製造工程は、本質的に上記実施形態ないしその変形例の製造工程と同様であるので省略する。

[0141] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、

書き込み時にビット線BLの電位を電源電圧、反転ビット線BL'の電位を接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP1となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は0.18V、第2のp型電界効果トランジスタTp2のゲート電極は1.0Vとなる。それ故、第1のp型電界効果トランジスタTp1のゲート電極の上にチャネル領域が形成されているところの第4のn型電界効果トランジスタTn4のしきい値電圧に比べると、第2のp型電界効果トランジスタTp2のゲート電極の上にチャネル領域が形成されているところの第3のn型電界効果トランジスタTn3のしきい値電圧は、負の方向に変化している。

[0142] それで、ここでは前記図7に示した場合と比較して、第3のn型電界効果トランジスタTn3のしきい値電圧は負の方向に50mV変化し、第4のn型電界効果トランジスタTn4のしきい値電圧は正の方向に50mV変化しているとして、バタフライ曲線を計算した。即ち、それらのしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果は前記図8Aに示した第1の実施形態の半導体記憶装置に対する計算結果と等しい。それ故、この場合のSNMの具体的な値は0.170Vである。

[0143] 次に、書き込み時にビット線BLの電位を接地電位、反転ビット線BL'

の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP2となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は1.0V、第2のp型電界効果トランジスタTp2のゲート電極は0.18Vとなる。それ故、バタフライ曲線は前記図8Bに示した第1の実施形態の半導体記憶装置に対する計算結果と等しい。それ故、この場合のSNMの具体的な値は0.170Vである。

[0144] 本実施形態においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0145] (第5の実施形態の変形例)

次に、第5の実施形態の変形例を説明する。

[0146] 本変形例の半導体記憶装置は、図1に示す第1の実施形態と同様の回路を有しているが、立体的な構造が異なっている。即ち本変形例においては、図24に構造を模式的に示すように、第1及び第2のn型電界効果トランジスタTn1、Tn2は半導体基板上に形成され、それらの上に形成された層間絶縁膜上に第1及び第2のp型電界効果トランジスタTp1、Tp2と第3及び第4のn型電界効果トランジスタTn3、Tn4とが形成されている。そして、第3のn型電界効果トランジスタTn3のチャネル領域は、半導体基板の法線方向より見て第2のn型電界効果トランジスタTn2のゲート電極と重なるように形成されており、且つ第4のn型電界効果トランジスタTn4のチャネル領域は、半導体基板の法線方向より見て第1のn型電界効果トランジスタTn1のゲート電極と重なるように形成されている。

[0147] 本変形例の半導体記憶装置の製造工程は、本質的に上記実施形態ないしその変形例の製造工程と同様であるので省略する。

[0148] 次に、本実施形態の構造を持つ半導体記憶装置に関する数値計算の結果を記す。まず、

書き込み時にビット線BLの電位を電源電圧、反転ビット線BL'の電位を

接地電位とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP1となる。それ故、第1のn型電界効果トランジスタTn1のゲート電極は0.18V、第2のn型電界効果トランジスタTn2のゲート電極は1.0Vとなる。それ故、第1のn型電界効果トランジスタTn1のゲート電極の上にチャネル領域が形成されているところの第4のn型電界効果トランジスタTn4のしきい値電圧に比べると、第2のn型電界効果トランジスタTn2のゲート電極の上にチャネル領域が形成されているところの第3のn型電界効果トランジスタTn3のしきい値電圧は、負の方向に変化している。

[0149] それで、ここでは前記図7に示した場合と比較して、第3のn型電界効果トランジスタTn3のしきい値電圧は負の方向に50mV変化し、第4のn型電界効果トランジスタTn4のしきい値電圧は正の方向に50mV変化しているとして、バタフライ曲線を計算した。即ち、それらのしきい値電圧が変化の結果、ここに記した値となるように変化の無い場合のしきい値電圧を調節しておく。結果は、前記図8Aに示した第1の実施形態に対する計算結果と等しい。それ故、SNMの具体的な値は0.170Vである。

[0150] 次に、書き込み時にビット線BLの電位を接地電位、反転ビット線BL'の電位を電源電圧とした場合を考える。この場合には、上述のように書き込み後にビット線BLの電位と反転ビット線BL'の電位とワード線WLの電位とが電源電圧の電位にある場合には、V1とV2とは図中のP2となる。それ故、第1のp型電界効果トランジスタTp1のゲート電極は1.0V、第2のp型電界効果トランジスタTp2のゲート電極は0.18Vとなる。それ故、バタフライ曲線は前記図8Bに示した第1の実施形態に対する計算結果と等しい。それ故、SNMの具体的な値は0.170Vである。

[0151] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0152] (変形例)

なお、本発明は上述した各実施形態に限定されるものではない。

[0153] 本発明の特徴である、上側の電界効果トランジスタのチャネルを下側の電界効果トランジスタのゲート電極上に重ねることに関して、必ずしも上側のトランジスタのチャネル領域の全体が下側のトランジスタのゲート電極に重なる必要はなく、一部が重なるようにしても良い。さらに、ゲート電極自体ではなく、ゲート電極に接続された配線に重なるようにしても良い。即ち、上側のトランジスタのチャネル領域の少なくとも一部が下側のトランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に重なるようにすればよい。

[0154] また、各トランジスタの構成は、図3に示す構造に限定されるものではなく、仕様に応じて適宜変更可能である。さらに、各部の膜厚や材料等も、仕様に応じて適宜変更可能である。

[0155] 本発明の幾つかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

- [0156] 1…シリコン基板（半導体基板）
2…素子分離領域
3…nウエル領域
4…pウエル領域
5…ゲート絶縁膜
6…ゲート電極
7…ソース・ドレイン領域
8…ゲート側壁
9…層間絶縁膜

1 0 ...半導体層

1 1 ...チャネル領域

1 2 ...H f O₂ 膜

1 3 ...タングステン膜

1 4 ...エクステンション領域

請求の範囲

[請求項1]

半導体基板と、

前記半導体基板に形成された第1、第2のp型電界効果トランジスタ及び第1、第2のn型電界効果トランジスタと、

前記第1、第2のp型電界効果トランジスタ上及び前記第1、第2のn型電界効果トランジスタ上に形成された絶縁膜と、

前記絶縁膜の上に形成された第3及び第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域と各基板電極とは電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域と各基板電極とは電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と、前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と、前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、

前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第3及び第4のn型電界効果トランジスタは平面構造を有し、
前記第3のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線と、前記第2のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線との少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第4のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線と、前記第1のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線との少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている半導体記憶装置。

[請求項2]

半導体基板と、

前記半導体基板に形成された第1及び第2のp型電界効果トランジスタと、

前記第1及び第2のp型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1及び第2のn型電界効果トランジスタと、

前記半導体基板に形成された第3及び第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域と各基板電極とは電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域と、前記第3及び第4のn型電界効果トランジスタの各基板電極は電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果

トランジスタの各ドレイン領域と、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と、前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と、前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、

前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第1及び第2のn型電界効果トランジスタは平面構造を有し、

前記第1のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第2のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている半導体記憶装置。

[請求項3]

半導体基板と、

前記半導体基板に形成された第1及び第2のp型電界効果トランジスタと、

前記第1及び第2のp型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1乃至第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域と各基板電極とは電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域は電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と、前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と、前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、

前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第1乃至第4のn型電界効果トランジスタは平面構造を有し、

前記第1のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第2のn型電界効果トランジスタのチャネル領域の少なくとも

一部は、前記第2のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第3のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第4のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている半導体記憶装置。

[請求項4]

半導体基板と、

前記半導体基板に形成された第1及び第2のp型電界効果トランジスタと、

前記第1及び第2のp型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1乃至第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域と各基板電極とは電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域は電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果

トランジスタの各ドレイン領域と前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、

前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第1及び第2のn型電界効果トランジスタは平面構造を有し、

前記第1のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第2のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のp型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されていることを特徴とする半導体記憶装置。

[請求項5]

半導体基板と、

前記半導体基板に形成された第1及び第2のp型電界効果トランジスタと、

前記第1及び第2のp型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1乃至第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域と各基板電極とは電位が電源電圧に保たれた配線に接続され、且つ前記第

1 及び第 2 の n 型電界効果トランジスタの各ソース領域は電位が接地電位に保たれた配線に接続され、

前記第 1 の p 型電界効果トランジスタ及び前記第 1 の n 型電界効果トランジスタの各ドレイン領域と、前記第 2 の p 型電界効果トランジスタ及び前記第 2 の n 型電界効果トランジスタの各ゲート電極と、前記第 3 の n 型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第 2 の p 型電界効果トランジスタ及び前記第 2 の n 型電界効果トランジスタの各ドレイン領域と、前記第 1 の p 型電界効果トランジスタ及び前記第 1 の n 型電界効果トランジスタの各ゲート電極と、前記第 4 の n 型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第 3 及び第 4 の n 型電界効果トランジスタの各ゲート電極はワード線に接続され、前記第 3 の n 型電界効果トランジスタのソース領域はビット線に接続され、前記第 4 の n 型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第 3 及び第 4 の n 型電界効果トランジスタは平面構造を有し、

前記第 3 の n 型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第 2 の p 型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第 4 の n 型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第 1 の p 型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されていることを特徴とする半導体記憶装置。

[請求項6]

半導体基板と、

前記半導体基板に形成された第 1 乃至第 4 の n 型電界効果トランジ

スタと、

前記第1乃至第4のn型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1及び第2のp型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタのソース領域は電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域と、前記第1乃至第4のn型電界効果トランジスタの各基板電極とは電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と、前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と、前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第1及び第2のp型電界効果トランジスタは平面構造を有し、

前記第1のp型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のn型電界効果トランジスタのゲート電極及び該ゲ

ート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第2のp型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている半導体記憶装置。

[請求項7]

半導体基板と、

前記半導体基板に形成された第1及び第2のn型電界効果トランジスタと、

前記第1及び第2のn型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1、第2のp型電界効果トランジスタ及び第3、第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域は電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域と各基板電極とは電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と、前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と、前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、

前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第1、第2のp型電界効果トランジスタ及び前記第3、第4のn型電界効果トランジスタは平面構造を有し、

前記第1のp型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第2のp型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第3のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第4のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている半導体記憶装置。

[請求項8]

半導体基板と、

前記半導体基板に形成された第1及び第2のn型電界効果トランジスタと、

前記第1及び第2のn型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1、第2のp型電界効果トランジスタ及び第3、第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域は電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域と各基板電極とは電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と、前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と、前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、

前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソース領域は反転ビット線に接続され、

前記第1及び第2のp型電界効果トランジスタは平面構造を有し、

前記第1のp型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第2のp型電界効果トランジスタのチャネル領域の少なくとも

一部は、前記第2のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている半導体記憶装置。

[請求項9]

半導体基板と、

前記半導体基板に形成された第1及び第2のn型電界効果トランジスタと、

前記第1及び第2のn型電界効果トランジスタの上に形成された絶縁膜と、

前記絶縁膜の上に形成された第1、第2のp型電界効果トランジスタ及び第3、第4のn型電界効果トランジスタと、

を含み、

前記第1及び第2のp型電界効果トランジスタの各ソース領域は電位が電源電圧に保たれた配線に接続され、且つ前記第1及び第2のn型電界効果トランジスタの各ソース領域と各基板電極とは電位が接地電位に保たれた配線に接続され、

前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ドレイン領域と、前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ゲート電極と、前記第3のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第2のp型電界効果トランジスタ及び前記第2のn型電界効果トランジスタの各ドレイン領域と、前記第1のp型電界効果トランジスタ及び前記第1のn型電界効果トランジスタの各ゲート電極と、前記第4のn型電界効果トランジスタのドレイン領域とは相互に接続され、

前記第3及び第4のn型電界効果トランジスタの各ゲート電極はワード線に接続され、前記第3のn型電界効果トランジスタのソース領域はビット線に接続され、前記第4のn型電界効果トランジスタのソ

ース領域は反転ビット線に接続され、

前記第3及び第4のn型電界効果トランジスタは平面構造を有し、

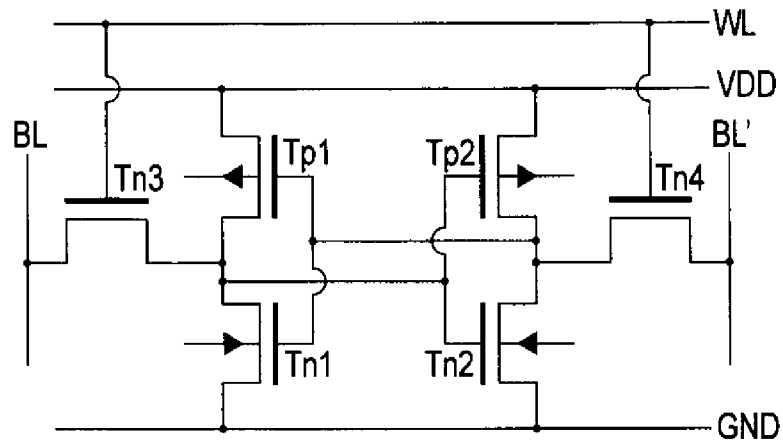
前記第3のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第2のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成され、

前記第4のn型電界効果トランジスタのチャネル領域の少なくとも一部は、前記第1のn型電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の少なくとも一部に、前記半導体基板の法線方向から見て重なるように形成されている半導体記憶装置。

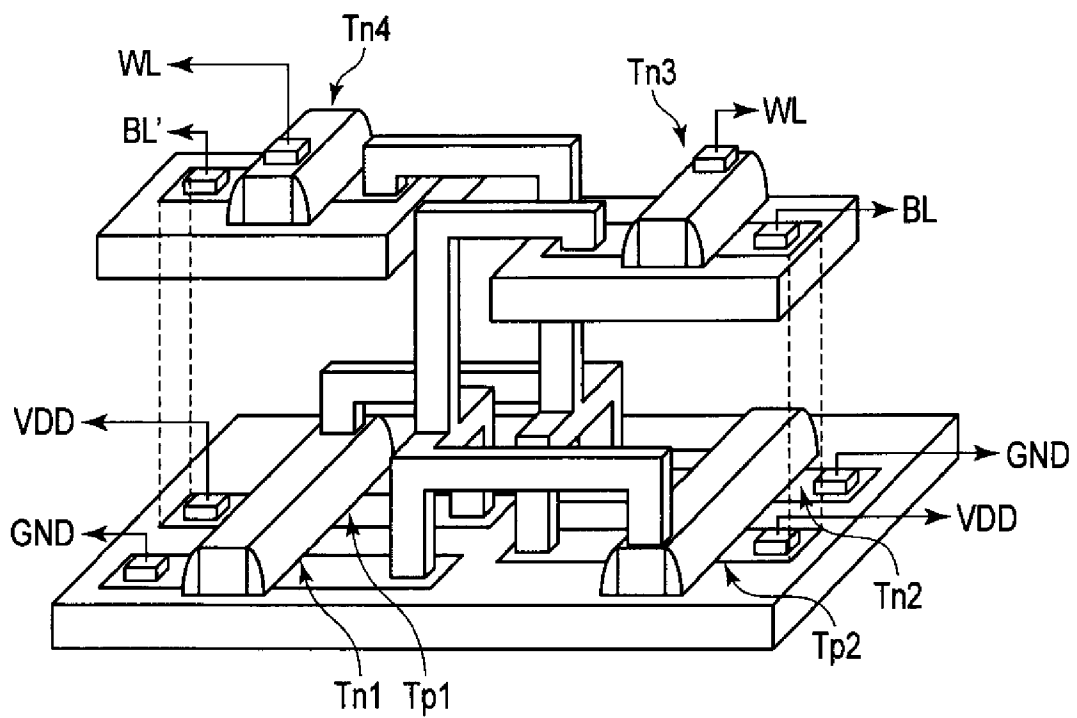
[請求項10] 前記半導体基板の表面に垂直な方向において、前記半導体基板に形成された前記電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の中で前記絶縁膜上に形成された前記電界効果トランジスタのチャネル領域と重なる領域の上端と、前記絶縁膜上に形成された前記電界効果トランジスタのチャネル領域の下端との間隔が70 nm以下である請求項1乃至9の何れかに記載の半導体記憶装置。

[請求項11] 前記半導体基板の表面に垂直な方向において、前記半導体基板に形成された前記電界効果トランジスタのゲート電極及び該ゲート電極に接続された配線の中で前記絶縁膜上に形成された前記電界効果トランジスタのチャネル領域と重なる領域の上端と、前記絶縁膜上に形成された前記電界効果トランジスタのチャネル領域の下端との間隔が40 nm以下である請求項1乃至9の何れかに記載の半導体記憶装置。

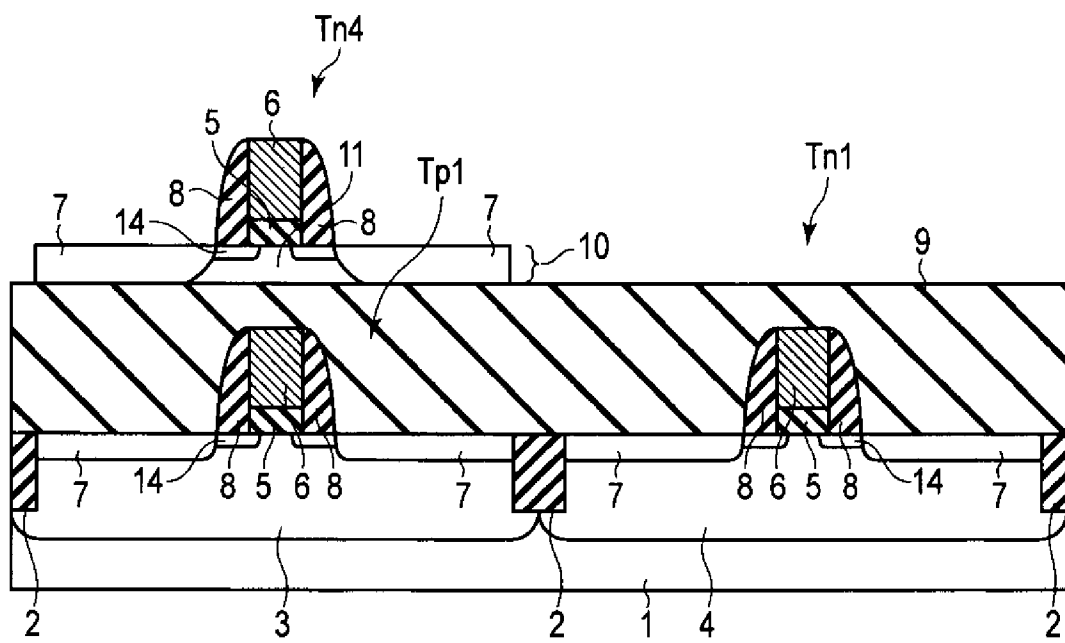
[図1]



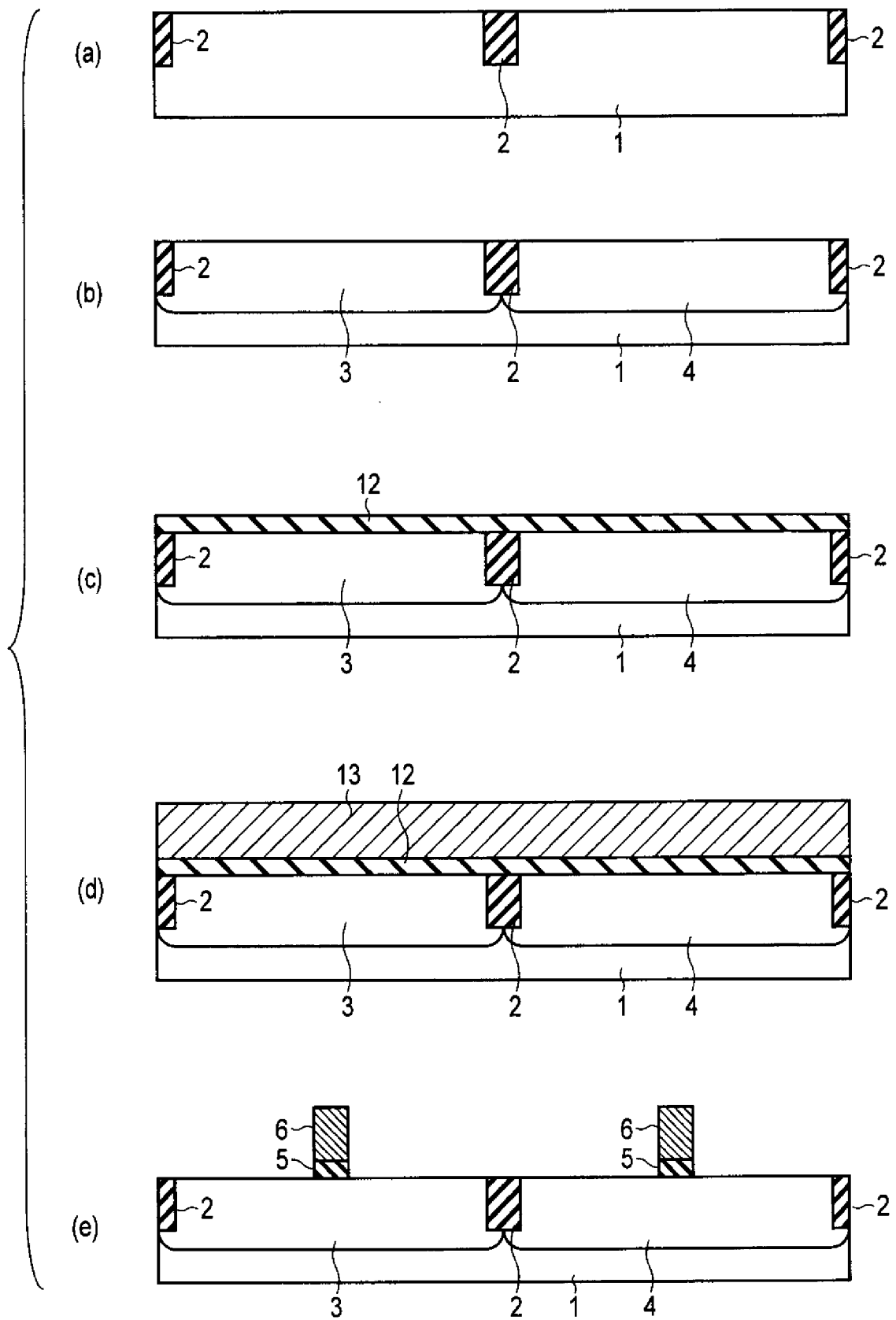
[図2]



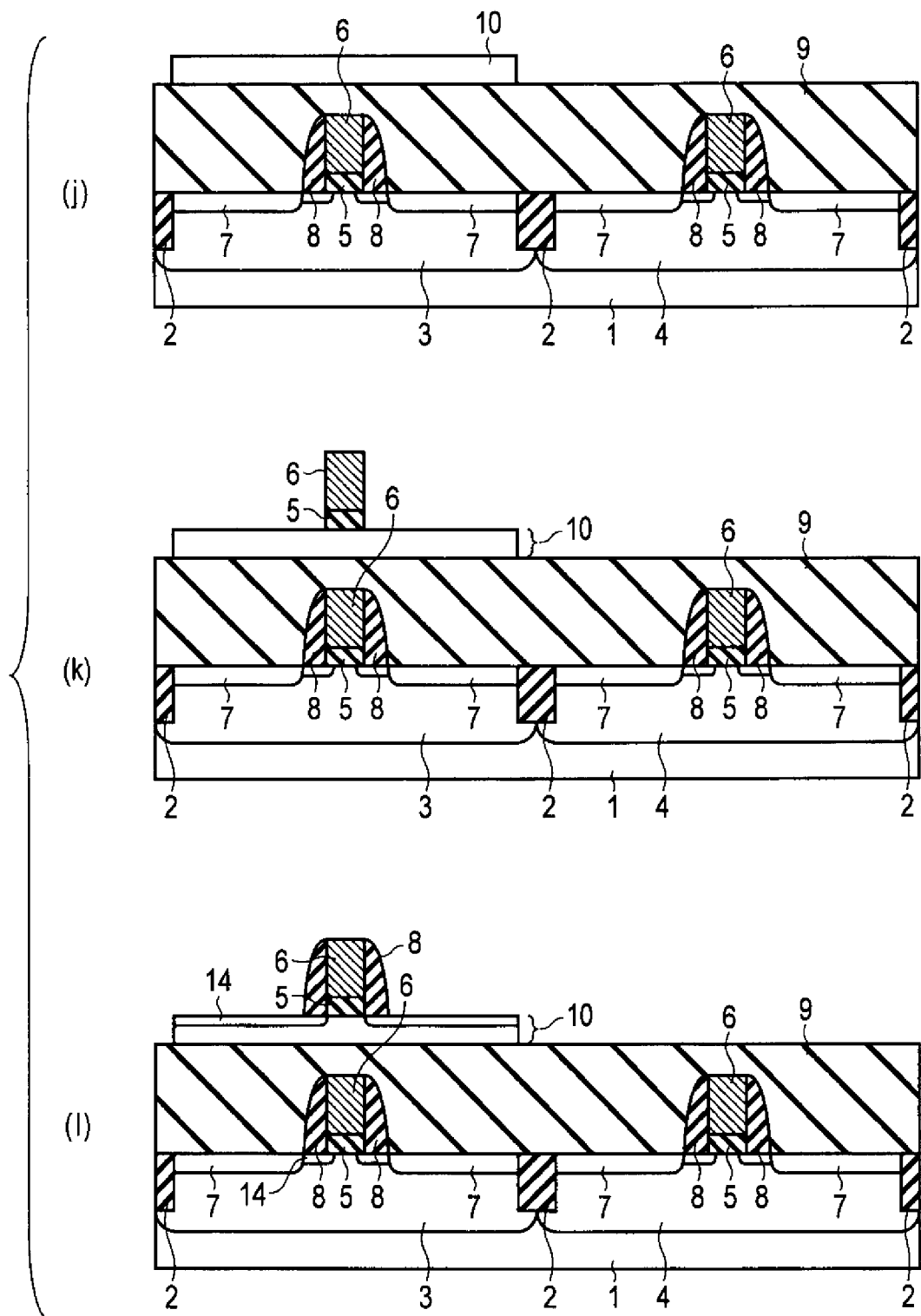
[図3]



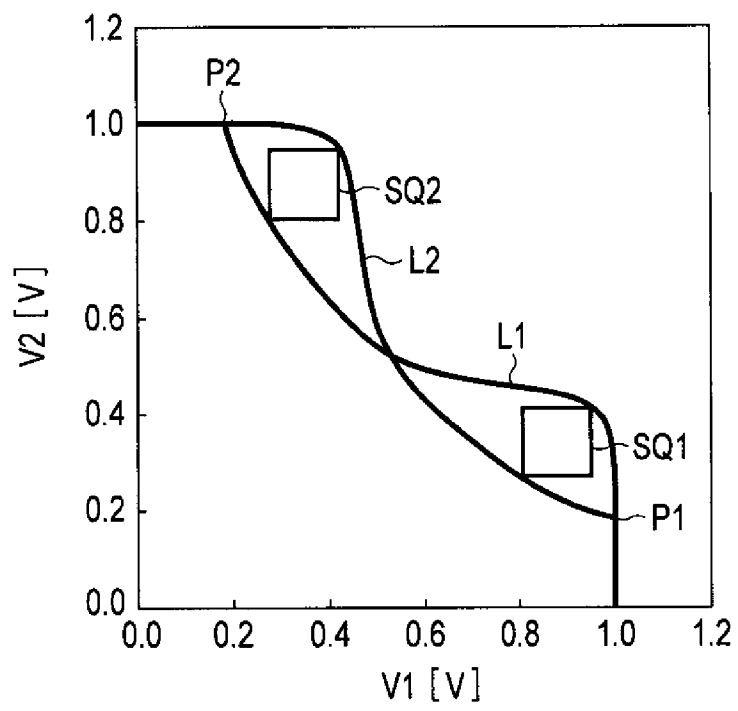
[図4]



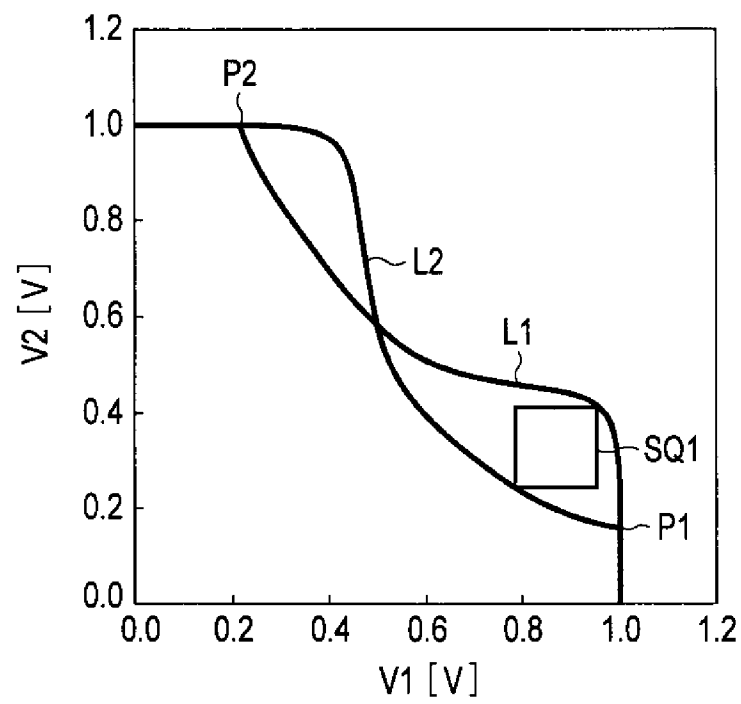
[図6]



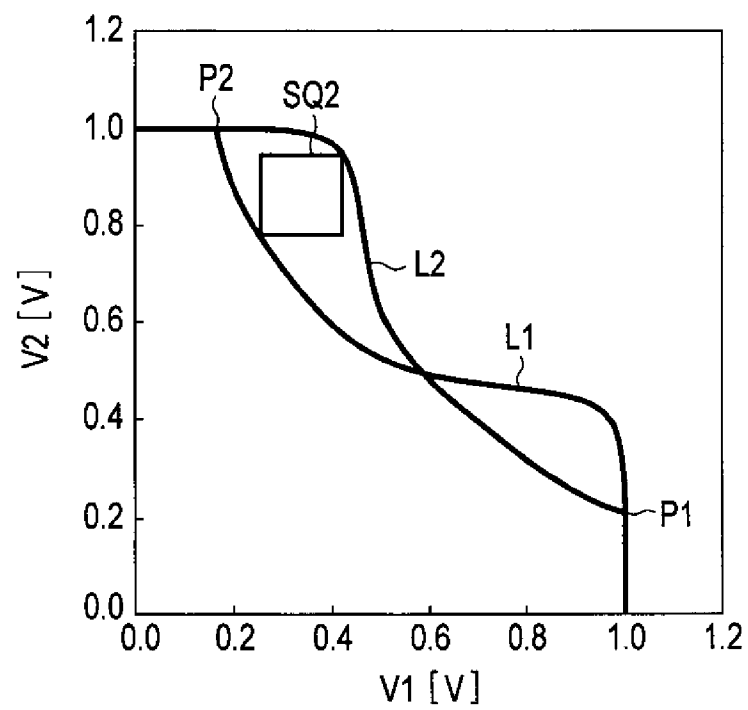
[図7]



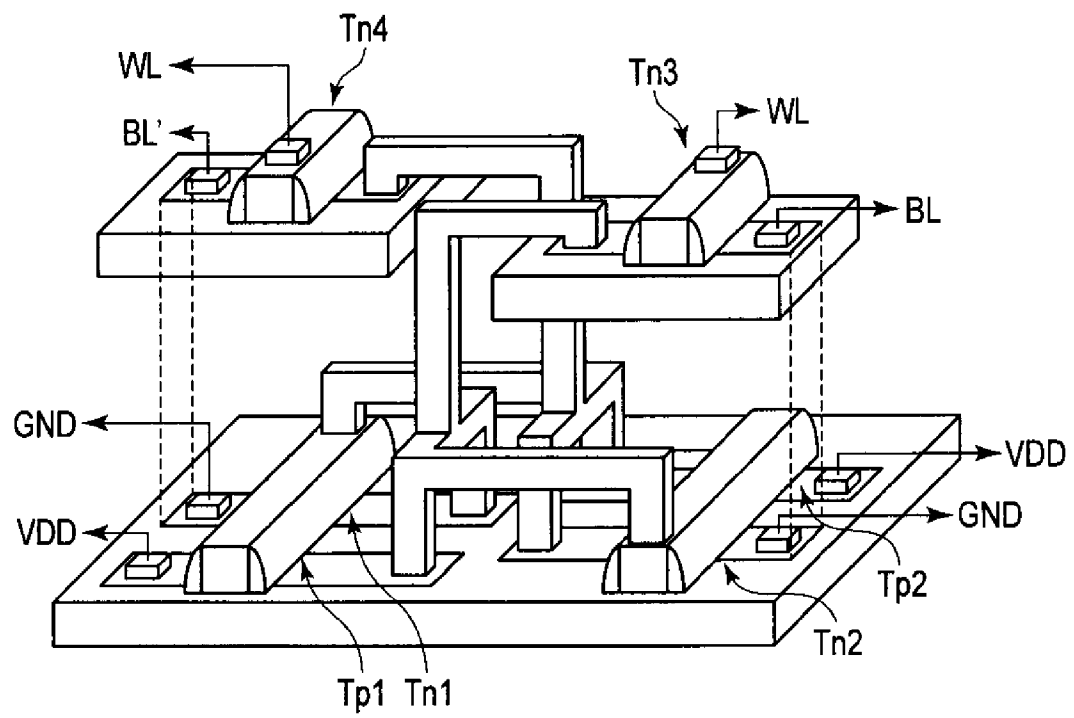
[図8A]



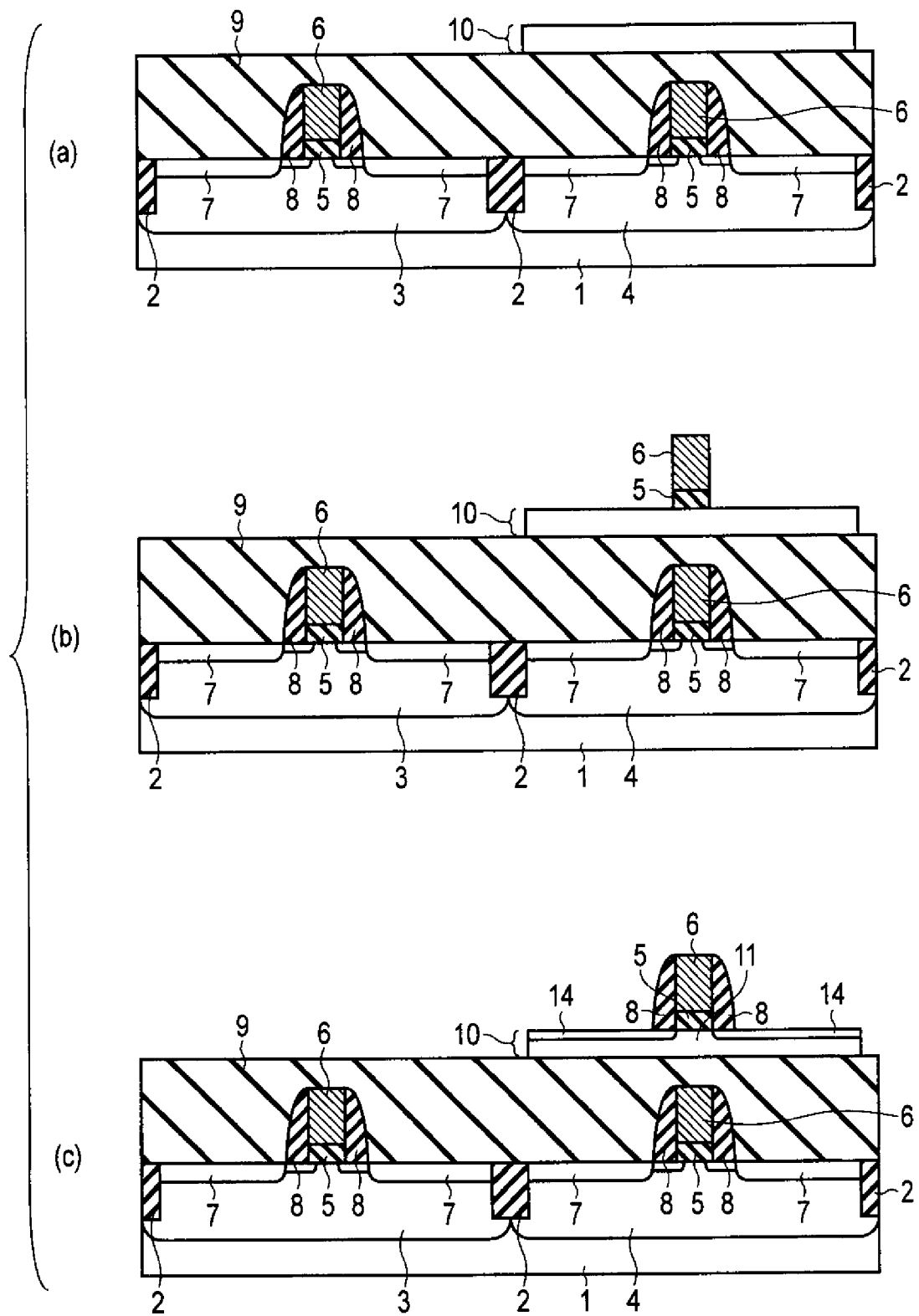
[図8B]



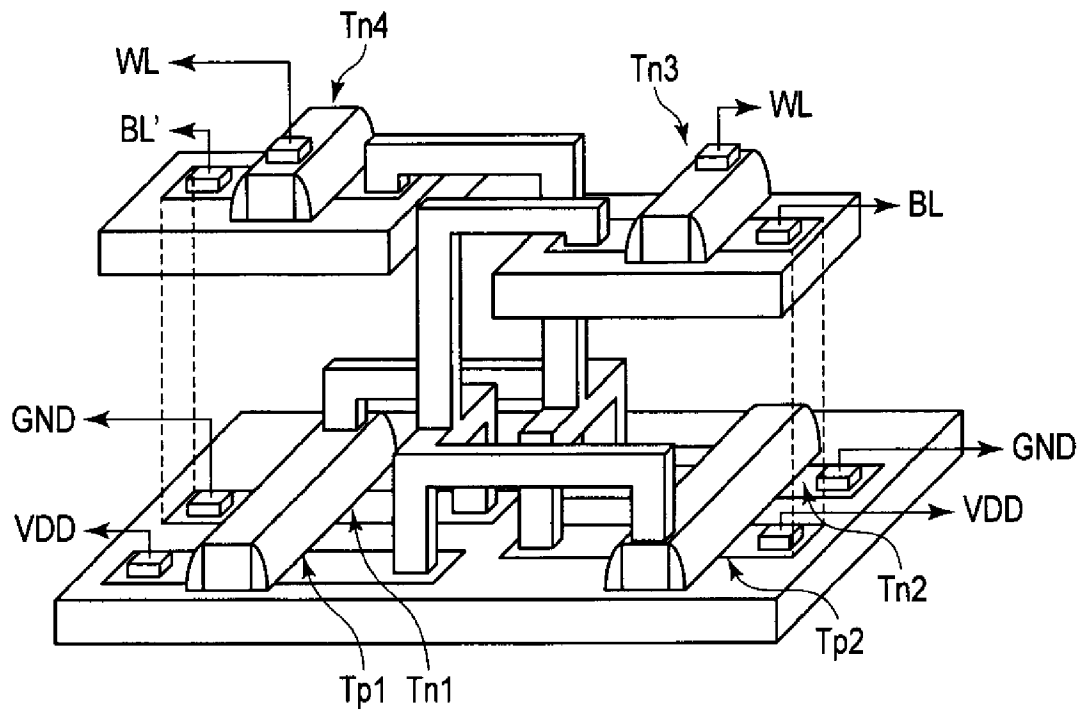
[図9]



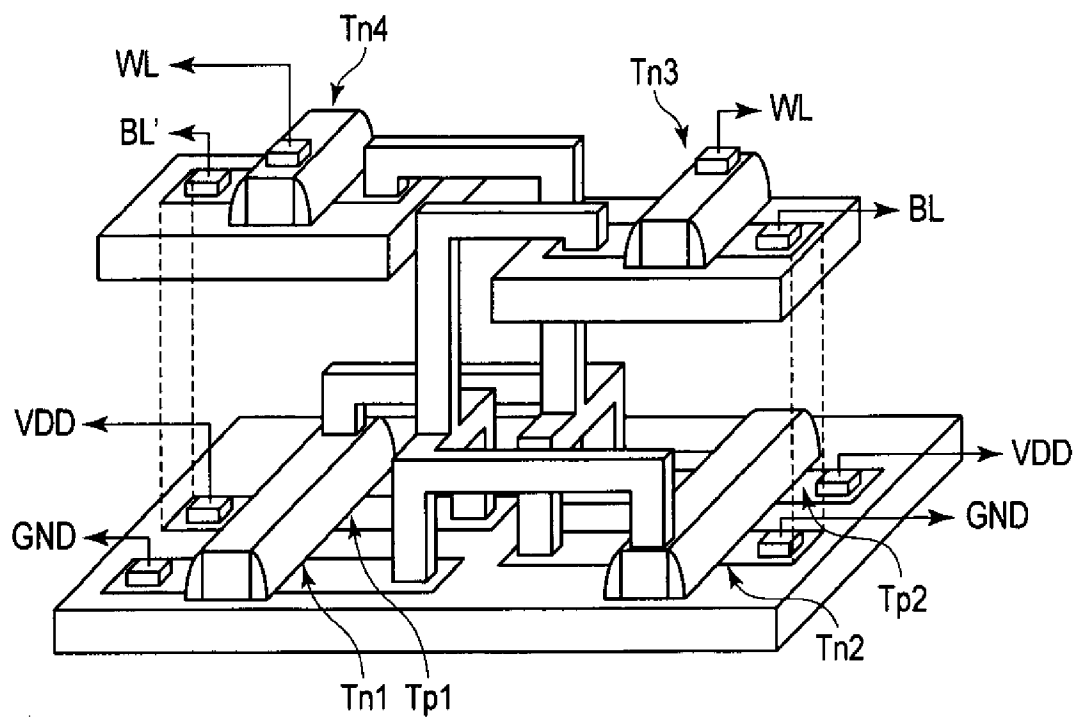
[図10]



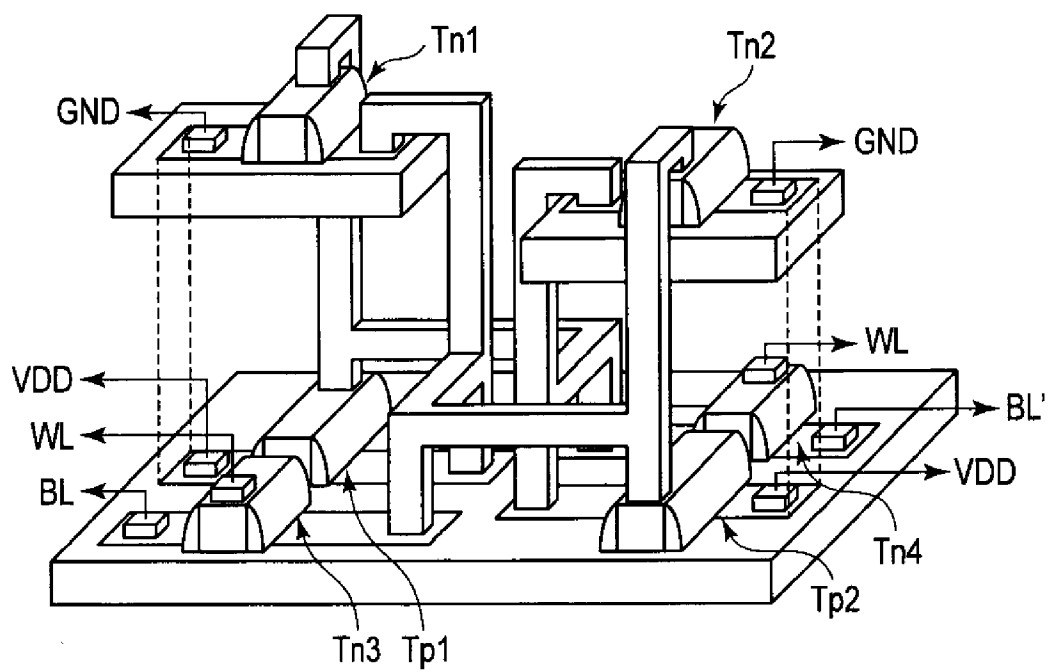
[図11]



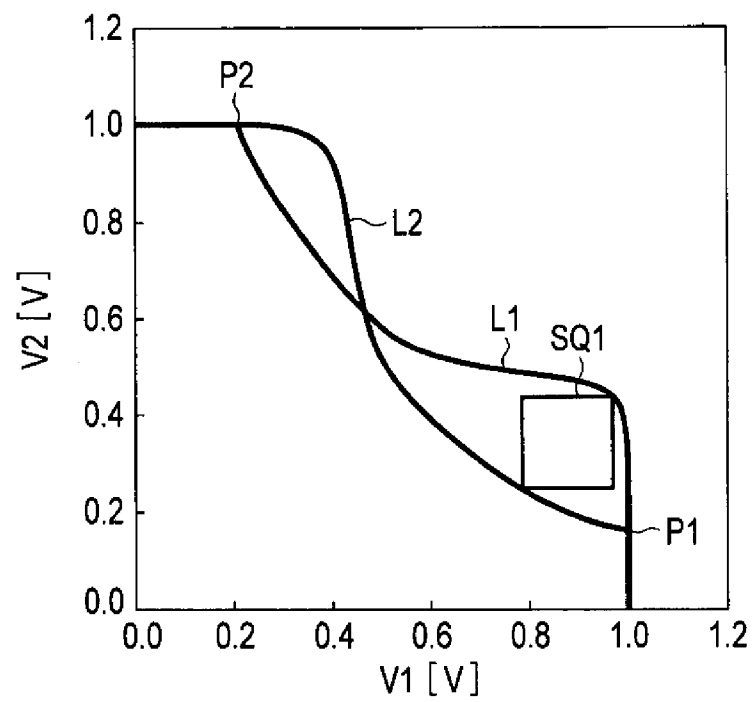
[図12]



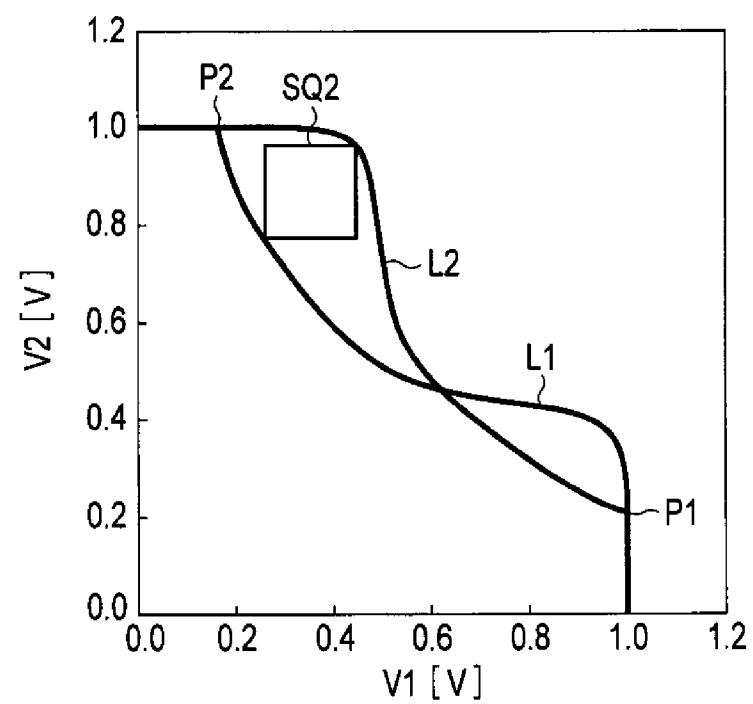
[図13]



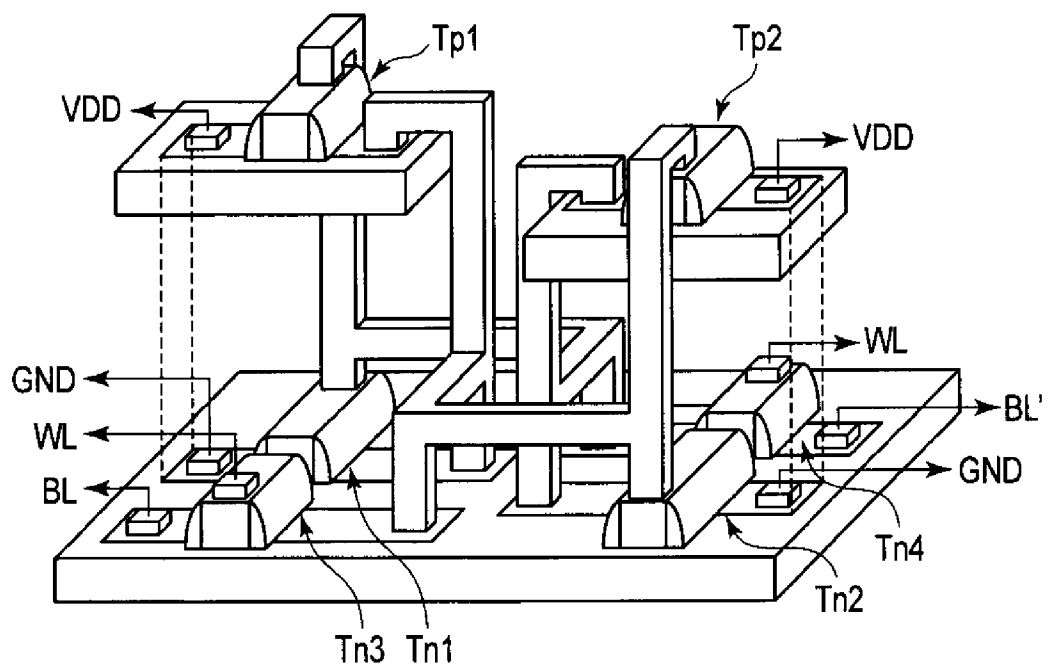
[図14A]



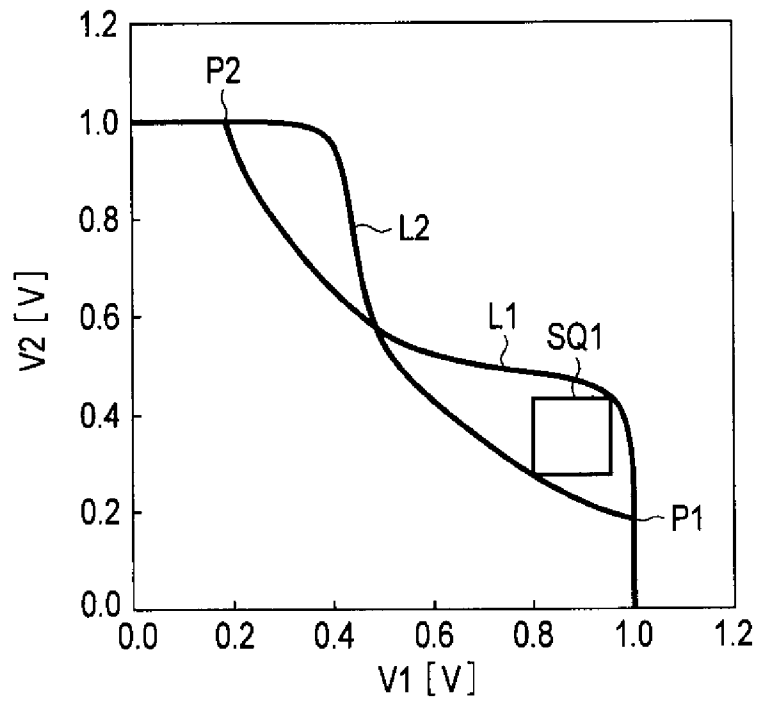
[図14B]



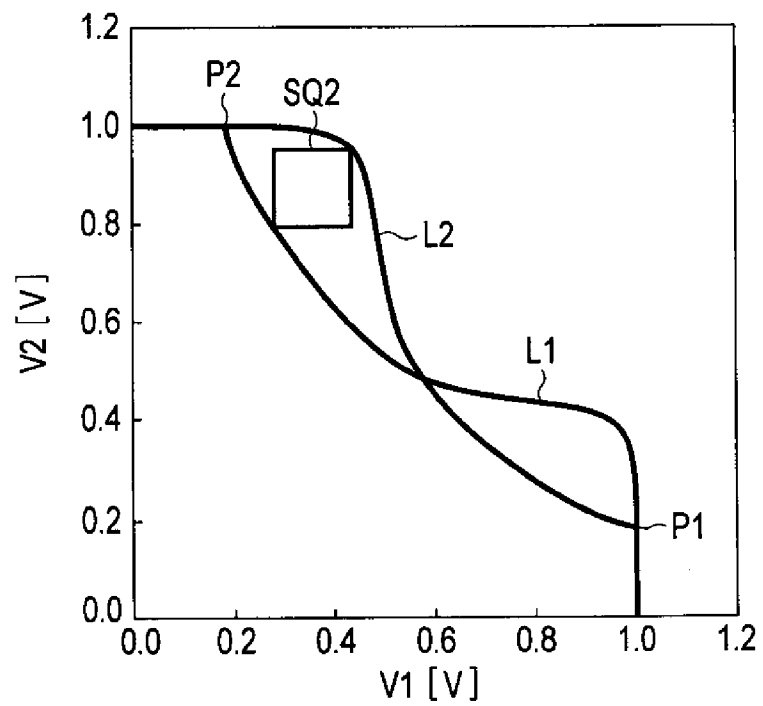
[図15]



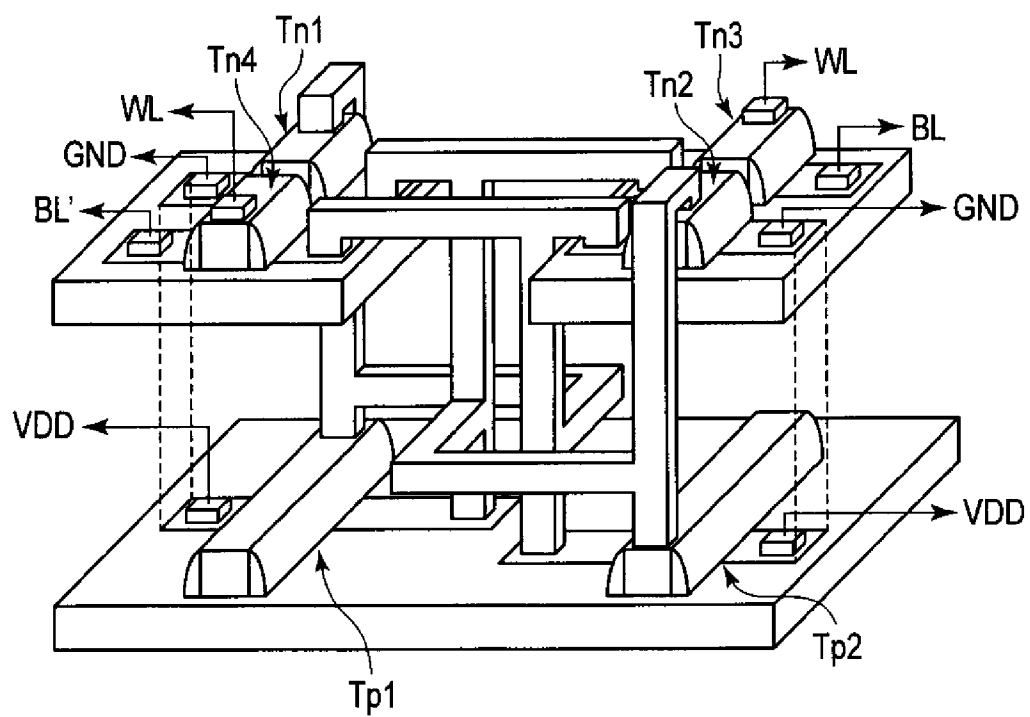
[図16A]



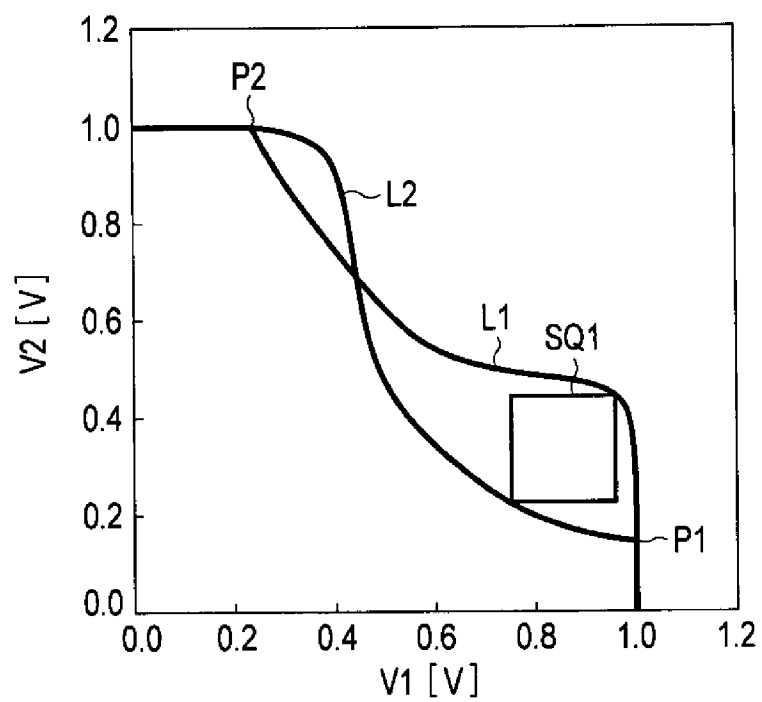
[図16B]



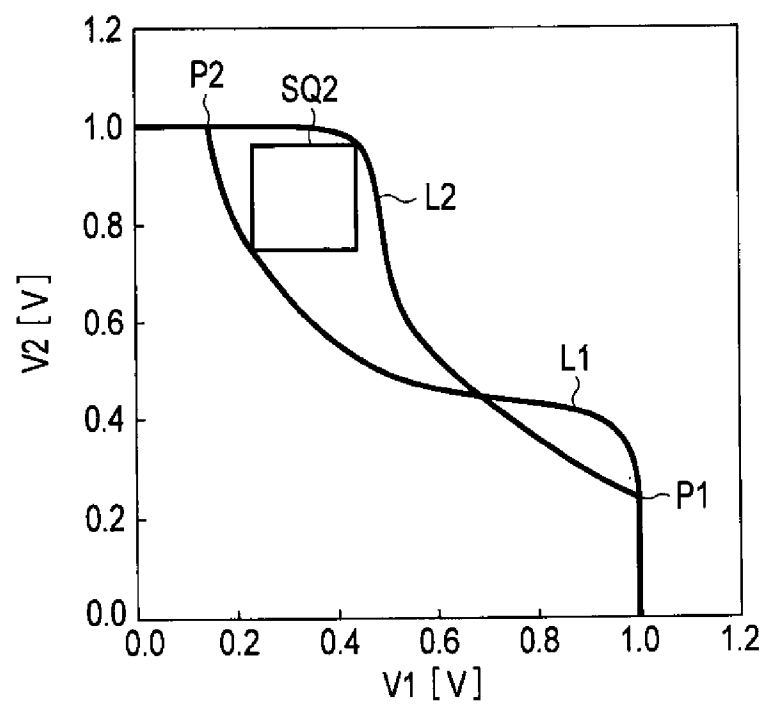
[図17]



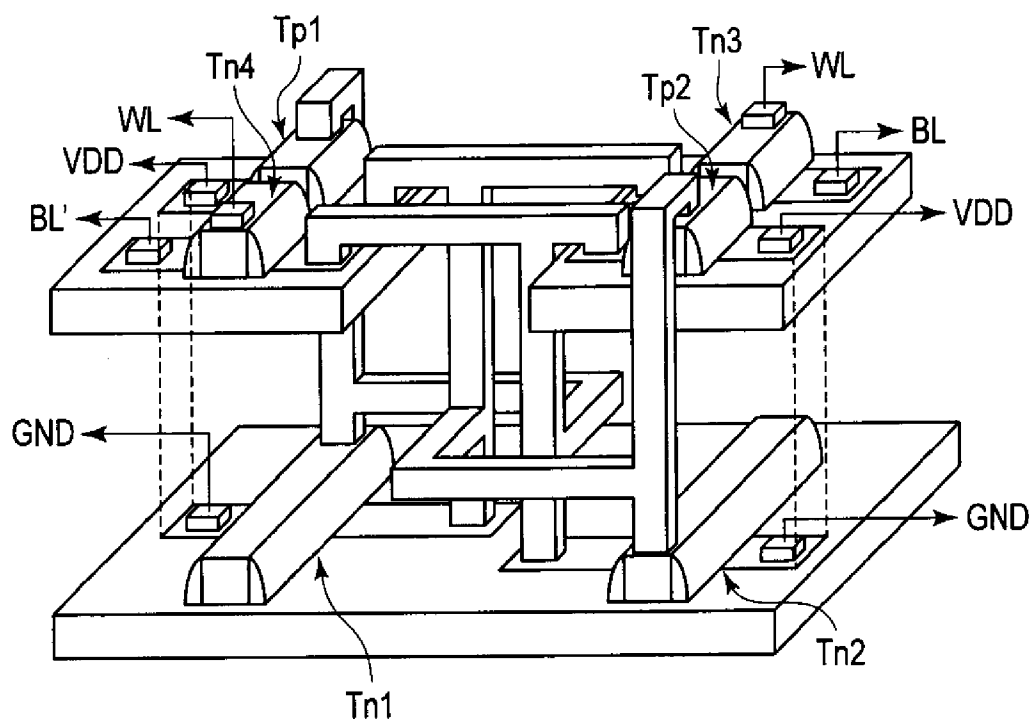
[図18A]



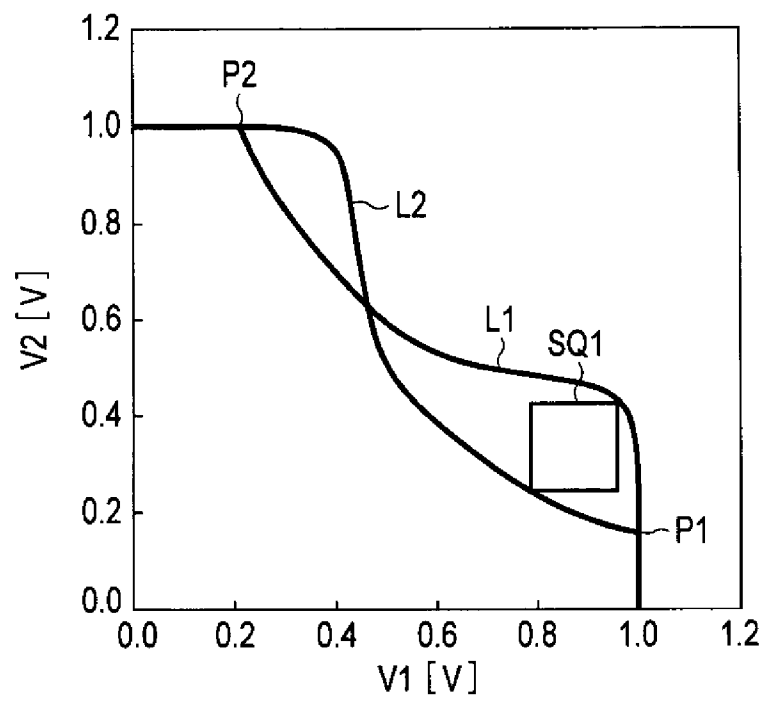
[図18B]



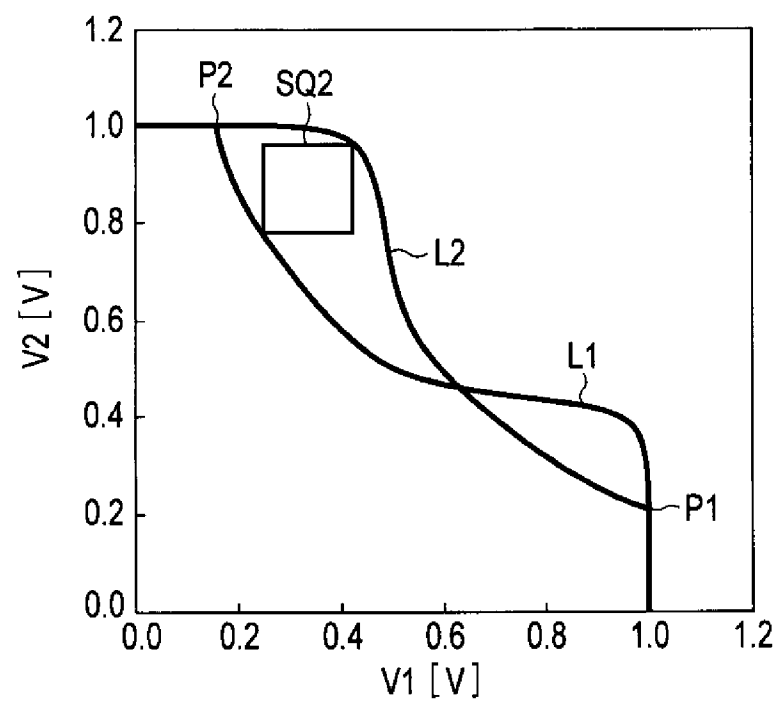
[図19]



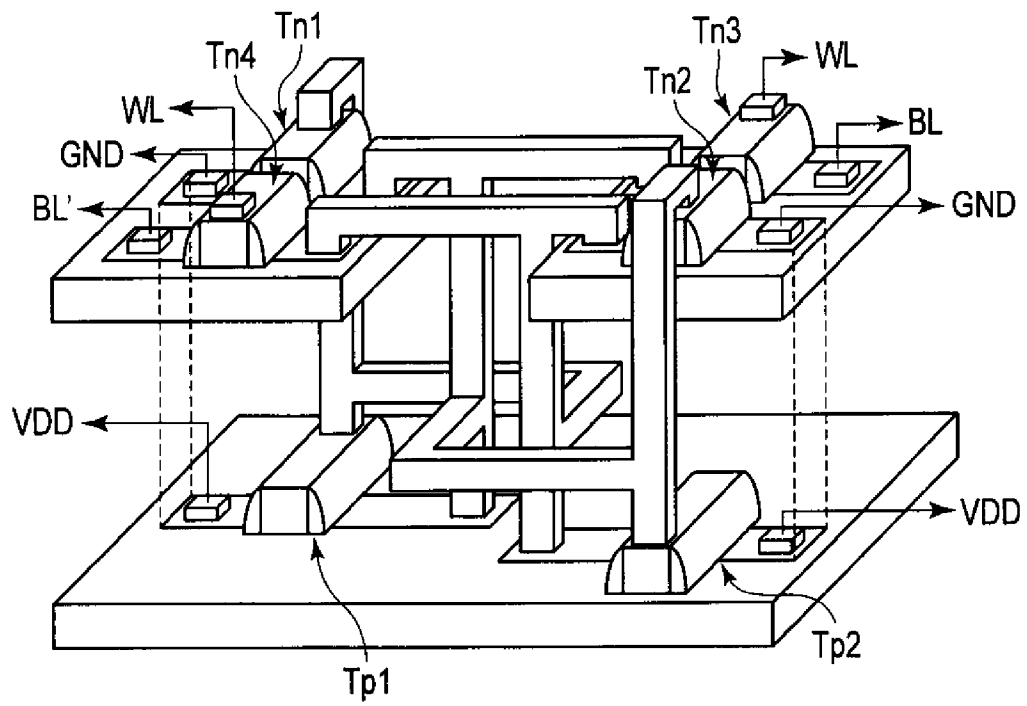
[図20A]



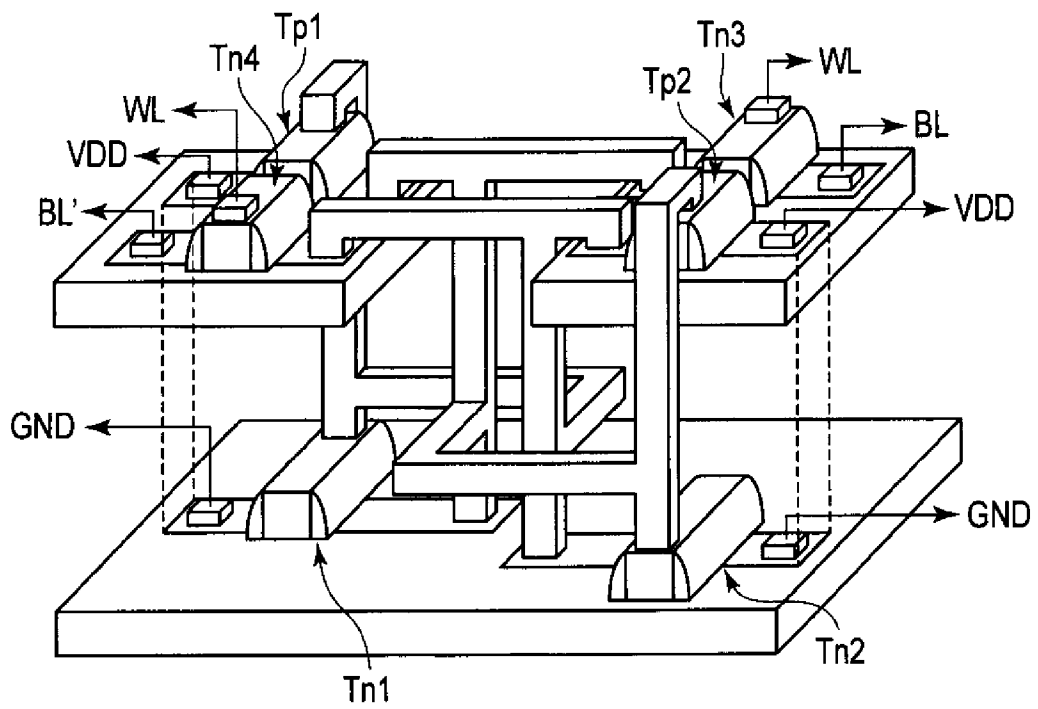
[図20B]



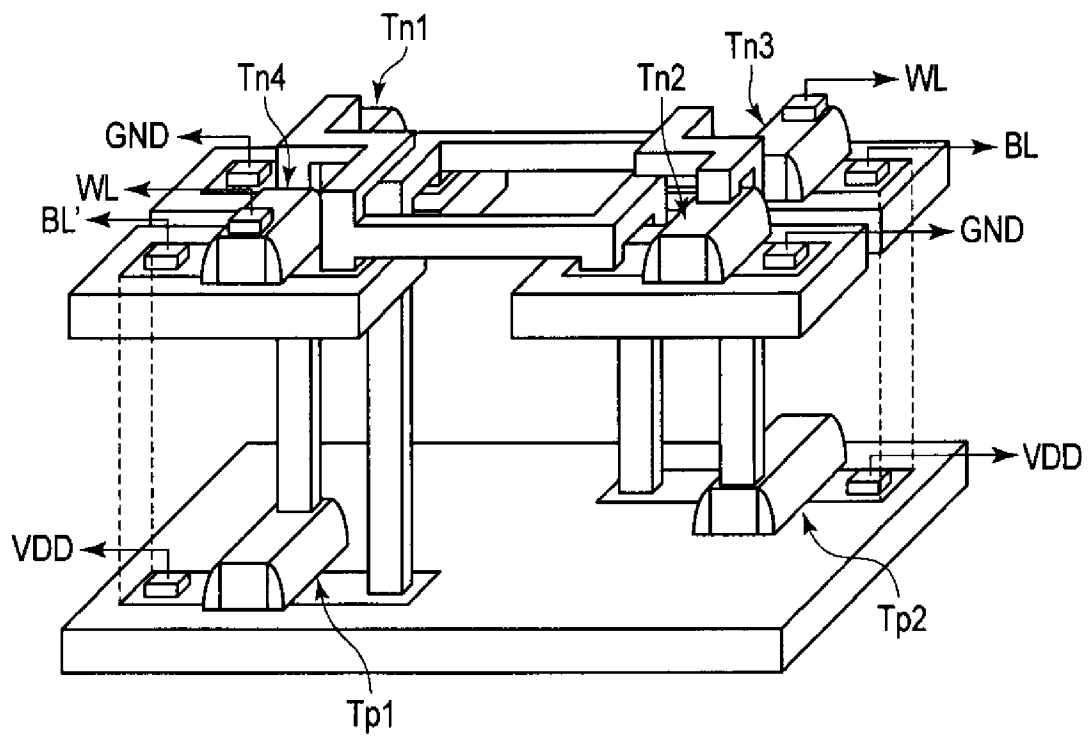
[図21]



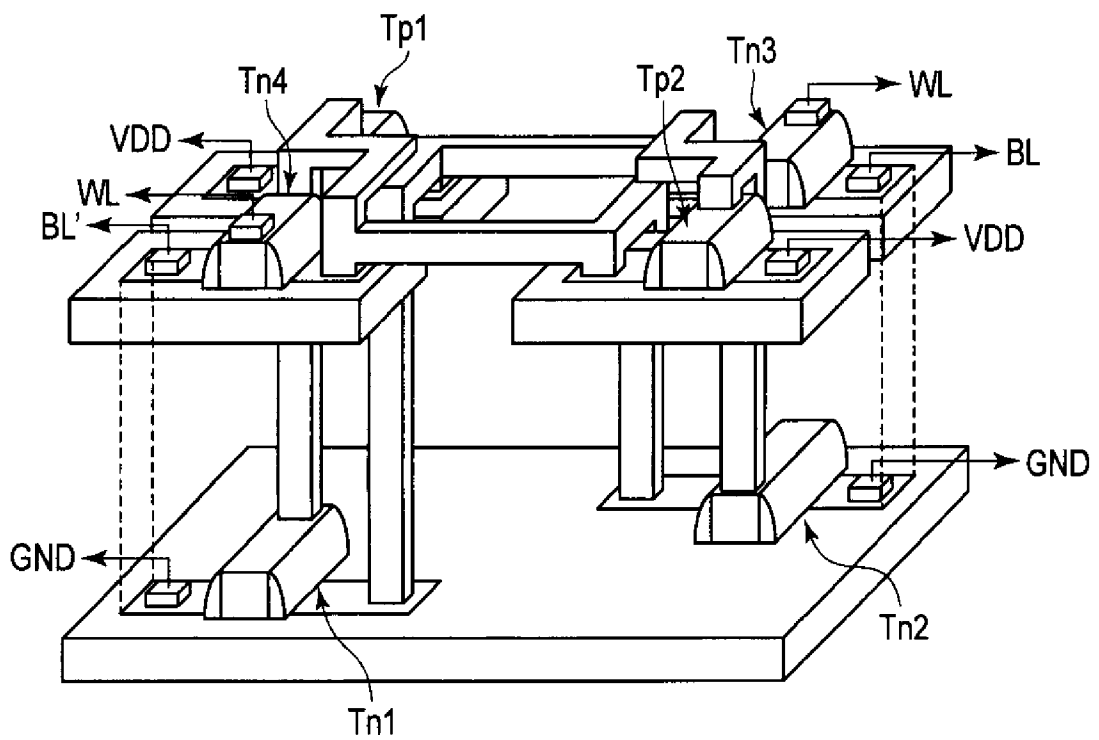
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/051221

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8244(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i,
H01L27/11(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8244, H01L21/8238, H01L27/092, H01L27/11, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-295975 A (Commissariat A L'energie Atomique), 17 December 2009 (17.12.2009), paragraphs [0047] to [0066], [0196] to [0203]; fig. 1 to 10 & US 2009/0294861 A1 & EP 2131396 A1 & FR 2932003 A	1-11
X	JP 2005-203780 A (Samsung Electronics Co., Ltd.), 28 July 2005 (28.07.2005), paragraphs [0049] to [0051], [0062] to [0073], [0098] to [0109]; fig. 1 to 17 & US 2005/0151276 A1 & DE 102005001134 A & KR 10-2005-0073948 A & CN 1641882 A & TWB 00I300270	6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 March, 2014 (31.03.14)

Date of mailing of the international search report
08 April, 2014 (08.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/051221

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2-21654 A (Mitsubishi Electric Corp.), 24 January 1990 (24.01.1990), page 2, lower right column, line 6 to page 3, upper right column, line 6; fig. 1 to 12 & US 5001539 A & KR 10-1992-0001078 B	6
A	JP 11-233789 A (Semiconductor Energy Laboratory Co., Ltd.), 27 August 1999 (27.08.1999), paragraphs [0152] to [0158]; fig. 1 to 14 (Family: none)	1-11
A	JP 5-13766 A (Sony Corp.), 22 January 1993 (22.01.1993), paragraphs [0015] to [0018]; fig. 1 to 4 (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8244(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L27/11(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8244, H01L21/8238, H01L27/092, H01L27/11, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-295975 A（コミツサリア タ レネルジー アトミック） 2009. 12. 17, 段落 0047-0066, 0196-0203, 第 1-10 図 & US 2009/0294861 A1 & EP 2131396 A1 & FR 2932003 A	1-11
X	JP 2005-203780 A（三星電子株式会社）2005. 07. 28, 段落 0049-0051, 0062-0073, 0098-0109, 第 1-17 図 & US 2005/0151276 A1 & DE 102005001134 A & KR 10-2005-0073948 A & CN 1641882 A & TWB 00I300270	6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 1 . 0 3 . 2 0 1 4

国際調査報告の発送日

0 8 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小山 満

5 O

9 4 5 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2-21654 A (三菱電機株式会社) 1990.01.24, 2 頁右下欄 6 行目-3 頁右上欄 6 行目, 第 1-12 図 & US 5001539 A & KR 10-1992-0001078 B	6
A	JP 11-233789 A (株式会社半導体エネルギー研究所) 1999.08.27, 段落 0152-0158, 第 1-14 図 (ファミリーなし)	1-11
A	JP 5-13766 A (ソニー株式会社) 1993.01.22, 段落 0015-0018, 第 1-4 図 (ファミリーなし)	1-11