(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월26일
(11) 등록번호 10-1128260
(24) 등록일자 2012년03월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) *B82Y 40/00* (2011.01)
(21) 출원번호 10-2006-7016205
(22) 출원일자(국제) 2005년01월12일
심사청구일자 2009년12월30일
(85) 번역문제출일자 2006년08월11일
(65) 공개번호 10-2006-0114716
(43) 공개일자 2006년11월07일
(86) 국제출원번호 PCT/US2005/000961
(87) 국제공개번호 WO 2005/082122
국제공개일자 2005년09월09일
(30) 우선권주장
10/779,007 2004년02월13일 미국(US)
(56) 선행기술조사문헌
US06716571 B2
US06815359 B2
JP08031720 A
JP2002305181 A
전체 청구항 수 : 총 18 항

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
가르사, 세자르, 엠.
미국 78681 텍사스주 라운드 락 로즈버드 플레이스 18024
다링톤, 윌리암, 디.
미국 78749 텍사스주 오스틴 몰로카이 드라이브 4202
(뒷면에 계속)
(74) 대리인
백만기, 이중희, 주성민

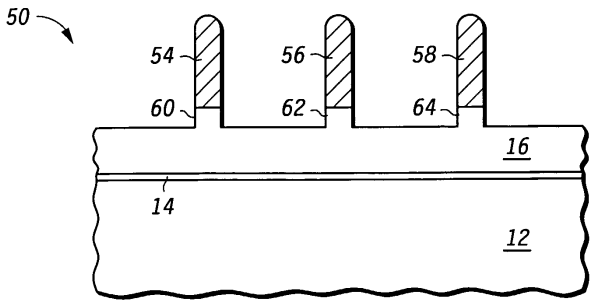
심사관 : 설관식

(54) 발명의 명칭 **처리된 포토레지스트를 사용하는 반도체 디바이스의 제조방법**

(57) 요 약

반도체 디바이스(50)는 트랜지스터(80, 82, 84)의 게이트(60, 62, 64)를 형성하는 도전층(16)을 패터닝하여 만들어진다. 게이트(60, 62, 64)를 형성하는 프로세스는 도전층(16) 위에 놓이는 포토레지스트(54, 56, 58)를 패터닝하는 단계를 갖는다. 패터닝된 포토레지스트(54, 56, 58)는 트리밍되어, 그것의 너비가 감소된다. 플루오르, 양호하게는 F_2가 트리밍된 포토레지스트(54, 56, 58)에 도포되어 그것의 경도와 도전층으로의 그것의 선택성(selectivity)을 증가시킨다. 트리밍되고 플루오르화된 포토레지스트(54, 56, 58)를 마스크로서 사용하여, 도전층(16)은 게이트(60, 62, 64)로서 유용한 도전 특징부들을 형성하기 위해 에칭된다. 도전 탑들(conductive pillars)이 게이트(60, 62, 64)인 트랜지스터(80, 82, 84)가 형성된다. 다른 할로겐들, 특히 염소가 플루오르를 대체할 수 있다.

대 표 도 - 도7



(72) 발명자

필리피아크, 스탠리, 엠.

미국 78660 텍사스주 플루거빌 그린웨이 드라이브 500

바세크, 제임스, 이.

미국 78732 오스틴 존 심프슨 트레일 3902

특허청구의 범위

청구항 1

반도체 디바이스를 형성하는 방법으로서,

기판을 제공하는 단계;

상기 기판 위에 패터닝될 층을 제공하는 단계;

상기 패터닝될 층 위에 패터닝된 포토레지스트 층을 제공하는 단계 - 상기 패터닝된 포토레지스트 층은 최소 치수를 가짐 - ;

상기 패터닝된 포토레지스트 층을 트리밍(trimming)하는 단계;

상기 패터닝되고 트리밍된 포토레지스트 층을 프로세싱하여, 후속하는 에칭 프로세싱에 대하여 더욱 내성이 있도록 상기 포토레지스트 층의 특성을 변화시키는 단계; 및

상기 패터닝되고 트리밍된 포토레지스트 층의 패턴을 상기 패터닝될 층으로 전사하는 단계

를 포함하며,

상기 프로세싱은 할로겐화(halogenation)를 포함하는 반도체 디바이스 형성 방법.

청구항 2

제1항에 있어서,

상기 패터닝될 층은 층들의 스택(stack)을 포함하는 반도체 디바이스 형성 방법.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 트리밍 단계는, 기계적 프로세싱 및 화학적 프로세싱 중 적어도 하나를 통해 상기 최소 치수를 감소시키는 단계를 포함하는 반도체 디바이스 형성 방법.

청구항 5

제4항에 있어서,

상기 기계적 프로세싱은, RIE(reactive ionic etching)와 이온 충격 에칭(ionic bombardment etching) 중 적어도 하나를 포함하는 반도체 디바이스 형성 방법.

청구항 6

제4항에 있어서,

상기 화학적 프로세싱은 적어도 산소와의 반응을 포함하는 반도체 디바이스 형성 방법.

청구항 7

제4항에 있어서,

상기 최소 치수는 상기 최소 치수의 80%까지만큼 감소되는, 반도체 디바이스 형성 방법.

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 특성은 화학적 속성 및 물리적 속성 중 적어도 하나를 포함하는 반도체 디바이스 형성 방법.

청구항 10

삭제

청구항 11

제1항에 있어서,

상기 할로겐화는 원자 할로겐화 및 분자 할로겐화 중 적어도 하나를 포함하는 반도체 디바이스 형성 방법.

청구항 12

제1항에 있어서,

상기 할로겐화는 플루오르화(fluorination)와 염소화(chlorination) 중 적어도 하나를 포함하는 반도체 디바이스 형성 방법.

청구항 13

제12항에 있어서,

상기 플루오르화는 원자 플루오르화 및 분자 플루오르화 중 적어도 하나를 포함하는 반도체 디바이스 형성 방법.

청구항 14

제12항에 있어서,

상기 염소화는 원자 염소화 및 분자 염소화 중 적어도 하나를 포함하는 반도체 디바이스 형성 방법.

청구항 15

제1항에 있어서,

상기 후속하는 에칭 프로세싱은 적어도 패턴 전사 에칭 프로세싱을 포함하는 반도체 디바이스 형성 방법.

청구항 16

제1항에 있어서,

상기 패터닝된 포토레지스트 층은 라인 에지 조악성(line edge roughness)의 제1 양에 의해 특징지어지며, 상기 패터닝되고 트리밍된 포토레지스트 층을 프로세싱하는 것은 i) 라인 에지 조악성의 감소, 및 ii) 추가적인 라인 에지 조악성에 대한 내성 중 적어도 하나를 촉진하는, 반도체 디바이스 형성 방법.

청구항 17

제1항에 있어서,

상기 트리밍 단계와 상기 프로세싱 단계는, 동일한 툴(tool)과 개별적인 툴들 중 적어도 하나로 수행되는, 반도체 디바이스 형성 방법.

청구항 18

제1항에 있어서,

상기 패터닝될 층은 도전성 재료, 반도전성(semiconductive) 재료, 및 절연 재료 중 적어도 하나를 포함하는 반도체 디바이스 형성 방법.

청구항 19

제1항에 있어서,

상기 패터닝되고 트리밍된 포토레지스트 층은 트랜지스터의 제어 전극을 형성하는 부분을 포함하는 반도체 디바이스 형성 방법.

청구항 20

반도체 디바이스로서,

기판;

상기 기판 위에 형성된 절연층;

상기 절연층 위에 형성된 도전층; 및

상기 도전층 위에 형성된 포토레지스트 층

을 포함하고,

상기 포토레지스트 층은 패터닝된 포토레지스트 층을 포함하고, 상기 패터닝된 포토레지스트 층은 또한, 패터닝되고 트리밍된 포토레지스트 층을 포함하며, 상기 패터닝되고 트리밍된 포토레지스트 층은, 후속하는 에칭 프로세싱에 대해 더욱 내성이 있도록 상기 포토레지스트 층의 특성을 변화시키도록 프로세싱되어 있으며,

상기 프로세싱은 할로겐화(halogenation)를 포함하는 반도체 디바이스.

청구항 21

반도체 디바이스를 제조하는 장치로서,

상기 반도체 디바이스는 기판, 상기 기판 위에 형성된 절연층, 상기 절연층 위에 형성된 도전층, 및 상기 도전층 위에 형성된 포토레지스트 층을 포함하며, 상기 포토레지스트 층은 패터닝된 포토레지스트 층을 포함하며,

상기 장치는,

상기 패터닝된 포토레지스트 층을 트리밍하는 트리밍 모듈; 및

후속하는 에칭 프로세싱에 대해 더욱 내성이 있도록 상기 포토레지스트 층의 특성을 변화시키도록 상기 패터닝되고 트리밍된 포토레지스트 층을 프로세싱하는 프로세싱 모듈

을 포함하며,

상기 프로세싱은 할로겐화를 포함하는 반도체 디바이스 제조 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 디바이스를 제조하는 방법에 관한 것이고, 더 구체적으로는 그런 방법에서 포토레지스트(photoresist)의 사용에 관한 것이다.

배 경 기 술

[0002] 반도체 제조가 더 소형의 크기와 관련됨에 따라, 포토리소그래피(photolithography)는 더 단파로 이동해 갔다. 이들 감소된 파장들에서 제공된 광(light)은 다른 포토레지스트들에 대한 필요성을 가져왔다. 이것은 파장으로 인한 광 특성의 변화뿐만이 아니라 감소된 광강도(intensity of light) 때문이었다. 이들 포토레지스트의 요구되는 변화로, 포토레지스트는 그들의 합성물에 있어서도 변화하였고, 따라서 에칭액에 대한 그들의 반응에 있어서도 변화하였다. 부정적 효과들 중의 하나는 통상적으로 포토레지스트가 이전 포토레지스트보다도 더 신속하게 에칭한다는 것이었다. 예를 들어, 248 나노미터에서, 폴리실리콘 대 포토레지스트의 에칭 비율의 비는 약 3 대 1이다. 193 나노미터에서 유용한 포토레지스트들에 대해서, 이 비는 약 1.5 대 1로 크게 감소되었다. 포토레지스트의 두께의 증가는 포커스(focus)의 깊이와 관련된 문제들(issues) 때문에 바람직하지 못하다. 다른 부정적 특성은, 에칭 프로세스 동안, 포토레지스트는 작은 치수들에 대하여, 에칭 동안 본질적으로 발생하는 박막화 중에 붕괴할 수도 있다. 이 붕괴 문제는 짧은 파장에 대해 사용되는 포토레지스트의 감소된 경도(hardnes

s)에 기인한다고 믿어진다. 예를 들어, 통상적 경도 측정치인, 신장 탄성률(Young's modulus)은 일반적 248 나노미터 포토레지스트에 대한 것보다 일반적 193 나노미터 포토레지스트에 대해 약 40% 감소한다.

[0003] 그러므로, 이들 문제점들 중의 하나 이상을 경감시키거나 감소시키는 반도체 제조 프로세스에 대한 필요성이 존재한다.

실 시 예

[0016] 일 양태에서, 반도체 디바이스는 트랜지스터의 게이트들을 형성하기 위한 도전층을 패터닝(patterning)하여 만들어진다. 게이트들을 형성하는 프로세스는 도전층 위에 놓이는 포토레지스트를 패터닝하는 단계를 갖는다. 패터닝된 포토레지스트는 트리밍(trimming)되어 그것의 너비가 감소된다. 그 트리밍된 포토레지스트에 플루오르(Fluorine), 양호하게는 F_2가 도포되어 그것의 경도 및 도전층에 대한 그것의 선택성을 증가시킨다. 트리밍되고 플루오르화된 포토레지스트를 마스크로서 사용하여, 도전층은 게이트들로서 유용한 도전 특징부들을 형성하기 위해 에칭된다. 도전 탑들(conductive pillars)이 게이트들인 트랜지스터들이 형성된다. 이것은 도면들과 이하 설명을 참조하여 더 잘 이해된다.

[0017] 도 1에는 기판(12), 기판(12) 위의 유전체(dielectric)(14), 층(16), 포토레지스트 특징부(18), 포토레지스트 특징부(20), 및 포토레지스트 특징부(22)를 포함하는 반도체 디바이스(10)가 도시된다. 기판(12)은 유전체(14) 아래에 소스와 드레인을 형성하기에 유용한 반도체층을 가진다. 기판(12)은 유전체 층이 반도체층 아래에 있는 SOI 기판일 수 있다. 층(16)은 이 예에서 폴리실리콘이지만, 다른 재료, 특히 금속과 같은 도전 재료일 수 있다. 또한, 도시되지 않은 다른 층들도 또한 포함될 수 있다. 예를 들어, ARC(antireflective coating)는 층(16) 상에, 그러므로 층(16)과 포토레지스트 특징부(18, 20, 22) 사이에 있을 수 있다. 포토레지스트 특징부(18 내지 22)는 수소를 포함하는 상업적으로 이용가능한 193 나노미터 포토레지스트 재료로 형성된다. 포토레지스트 특징부(18 내지 22)는 193 나노미터 기술에 대해 100 나노미터와 같은 최소 치수를 가질 수 있다.

[0018] 도 2는 포토레지스트 특징부(18 내지 22)가 원래 너비의 약 40%까지 너비가 감소되어 결과적인 너비가 각각에 대해 약 40 나노미터가 되는 트리밍 단계 후의 디바이스(10)이다. 이 트리밍(trimming)은, 바람직하게는 건식 등방성 에칭(dry isotropic etch)인 등방성 에칭 프로세스로 달성된다. 횡방향 에칭 비율이 비교적 높게 되는 것은 바람직하지만, 그것은 포토레지스트 특징부(18 내지 22)의 높이를 감소시키는 에칭 비율과 비교해서 어렵다. 포토레지스트 특징부(18 내지 22)의 높이는 실제로 너비보다 더 감소된다. 도 2에 트리밍된 것처럼 이들 포토레지스트 특징부(18 내지 22)는 트랜지스터의 게이트의 형성을 위한 마스크가 되려고 의도된다.

[0019] 도 3에는 마스크로서 포토레지스트 특징부(18 내지 22)를 사용하는 층(16)의 부분 에칭이 도시된다. 도시된 바와 같은 부분 에칭은 층(16)에 형성된 의도된 게이트(36, 38, 및 40)의 부분들을 도시하는 층(16)을 통해 약 1/3을 진행하였다. 통상적인 결과는 포토레지스트 특징부들이 붕괴되거나 또는 변형되는 것이다. 포토 레지스트 부분(30)은 에칭 동안에 붕괴되는 포토레지스트 특징부(18)의 결과물이다. 변형된 포토레지스트 특징부(32, 34)는, 에칭 조건 하에, 각각 포토레지스트 특징부(20, 22)로부터 형성된다. 폴리실리콘인 층(16)에 대한 에칭 조건들의 예로는 100 밀리토르(millitorr) 이하의 압력, 섭씨 30 내지 100도의 범위의 온도, 10 내지 200 SCCM의 범위의 다양한 가스들의 흐름 비율, 200 내지 2000 와트(watts)의 범위의 소스 전력, 및 0 내지 200 와트의 범위의 바이어스 전력과 함께 염소, 수소 브롬, 산소, 및 아르곤을 포함하는 플라즈마이다. 변형된 포토레지스트 특징부들은 또한 계속되는 프로세싱에서 붕괴될 수 있고, 그것이 발생하지 않더라도 그것들은 층(16)의 에칭에 좋지 않은 영향을 미친다. 붕괴된 포토레지스트 특징부(30)는 바람직한 것보다 훨씬 더 넓은 영역에서의 에칭을 블록킹하지만, 또한 완전히 투과하여 에칭하게 될만큼 얇게 되어 게이트가 형성되는 곳에 폴리실리콘이 에칭되게 된다. 이것은 수리될 수 없는 결함의 위치이고, 디바이스가 적절히 동작하도록 하는 것을 막는 오류를 야기할 것이다.

[0020] 도 4는 도 3의 디바이스(10)의 상면도를 도시한다. 이것은, 포토 레지스트 특징부(30, 32, 34)가 이들 특징부들의 사용에 부정적인 영향을 미치는 낮은 빈도와 높은 빈도의 변동을 갖는 것을 도시한다. 붕괴되지 않은 영역 내의 특징부(30)의 에지에서의 변동(40)은 낮은 빈도의 변동의 효과의 크기를 나타낸다. 변동에 대해 20 나노미터의 크기는 보통이다. 높은 빈도의 변동은 종종 8 나노미터일 수 있다. 이들 높은 빈도와 낮은 빈도의 변동은 가능한 작은 것이 바람직하다.

[0021] 도 4에는 플루오르 소스(52)를 사용하여 층(16)의 에칭을 시작하기 전에 포토레지스터 특징부(18 내지 22)를 플루오르화하는 것의 양호한 대안이 도시된다. 양호하게는, 플루오르 소스(52)는 F_2(분자 플루오르)의 형태로 플루오르를 제공한다. 도 6의 반도체 디바이스(50)에 도시된 바와 같이, 이것은 포토레지스트 특징부(18 내지

22)의 특성을 각각 플루오르화된 포토레지스트 특징부(54, 56, 58)가 되도록 변환한다. 분자 플루오르는, 그것이 포토레지스트 특징부(18 내지 22)의 표면에서 반응할 뿐만이 아니라 또한 반응 전에 내부로 확산되므로, 원자 플루오르, F보다 선호된다. 포토레지스트 특징부(18 내지 22)가 너무 얇으면, 결과적으로 플루오르화된 포토레지스트 특징부(54 내지 58)는 전체적으로 플루오르를 갖는다. 플루오르는 질소에 희석된 분자 플루오르 가스로서 도포되는 것이 선호된다. 온도는 섭씨 30도가 바람직하다. 다른 경우, 효과적 온도 범위는 섭씨 10 내지 40도일 수 있다. 또한 다른 온도들이 유효할 수도 있을 것이지만, 섭씨 70도와 같은 높은 온도에서는 좋지 못한 효과가 관찰되었다. 플루오르 농도는 약 1%이다. 이 농도는 변경될 수 있다. 더 낮은 농도는 필요한 시간을 증가시킬 것이다. 1% 농도에 대해 10분이 효과적이라는 것이 관찰되었다. 압력은 대기압이 바람직하지만, 폴리실리콘층이 에칭되는, 동일한 챔버(chamber), 또는 적어도 동일한 툴(tool)을 사용할 수 있는 것과 같은 감소된 압력의 이점들이 있을 것이다. 압력이 감소되면, 초기 플루오르 농도는 프로세싱 시간을 동일하게 유지하기 위해 비례하여 증가시킬 필요가 있다. 통상적으로 전체 툴은 대기압 아래에서 유지된다. 플루오르는 수소 원자들을 대체하는 효과를 가지므로, 플루오르화된 특징부(54 내지 58)는 포토레지스트 특징부(18 내지 22)보다 더 많은 플루오르를 가질 뿐만이 아니라 또한 더 적은 수소를 갖는다고 믿어진다. 이것은 에칭 비율을 감소시키고 플루오르화된 포토레지스트 특징부(54 내지 58)의 강도(stiffness)를 증가시키는 효과를 갖는다. 이 플루오르화 단계 후, 층(16)의 에칭이 수행된다.

[0022] 도 7은 도 3과 도 4에 도시된 반도체 디바이스(10)의 에칭과 동일 시간과 조건 하에 층(16)의 부분 에칭 후의 반도체 디바이스(50)가 도시된다. 플루오르화된 포토레지스트 특징부(54 내지 58)의 감소된 에칭 비율과 증가된 강도로, 이들 특징부(54 내지 58)는 붕괴되지 않고, 그들의 형상을 유지하여, 층(16)의 의도된 게이트(60, 62, 64)의 부분들을 형성한다. 크기 감소의 양은 도 3과 도 4에 도시된 것과 같은 포토레지스트 특징부(32, 34)에 대한 것보다 훨씬 더 작다. 도 8은 도 7의 반도체 디바이스(50)의 상면도이다. 이것은 높은 빈도와 낮은 빈도의 변동이 향상되었슴을 나타낸다. 이들 변동이 완전히 제거된 것 같지는 않지만, 크게 감소되었다. 1/3의 감소도 크게 향상된 것이다.

[0023] 도 9는 층(16)의 에칭을 완료한 후의 반도체 디바이스(50)를 도시한다. 이것은 층(16)으로부터 게이트(60, 62, 64)의 형성의 완료를 도시한다. 이것은 게이트 형성을 위한 바람직한 결과이다. 플루오르화된 포토레지스트 부분(54 내지 58)은 층(16)의 패터닝의 완료 후에도 남아있는 실질적인 높이를 갖는다. 이것은 프로세스에서 여유를 제공하고, 또한 포토레지스트 두께를 감소시키는 기회를 제공하여 포토레지스트 프로세스 포커스 버짓(budget)을 증가시킬 수 있다.

[0024] 도 10은 게이트(60, 62, 64)를 사용하여 트랜지스터(80, 82, 84)의 형성 후의 반도체 디바이스(50)를 도시한다. 게이트(60, 62, 64) 주변에 측벽 스페이서(66, 68, 70) 각각이 존재한다. 소스/드레인 영역(72)은 게이트(60)의 한 쪽에 인접해 있고, 소스/드레인 영역(74)은 게이트(60, 62) 사이에 있고, 소스/드레인 영역(76)은 게이트(62, 64) 사이에 있고, 소스/드레인 영역(78)은, 소스/드레인 영역(76)과 반대편의, 게이트(64)의 한 쪽에 있다. 소스/드레인 영역(74)은 트랜지스터(80, 82)에 대해 공통적이지만, 격리 영역에 의해 2개의 영역들로 분리되는 것이 바람직할 수 있다. 유사하게, 소스/드레인 영역은 트랜지스터(82, 84)에 대해 공통적이지만, 격리 영역에 의해 2개의 영역들로 분리될 수 있다.

[0025] 그러므로, 193 나노미터 포토레지스트를 사용하는 프로세스가 리소그래피 자체의 분해능(resolution) 훨씬 아래의 치수로 트리밍되는 게이트들을 생성하기 위해 사용될 수 있다는 것과, 이 프로세스가 한 개의 툴로 수행될 수 있다는 것이 보여졌다. 포토레지스트가 도포된 후, 반도체 디바이스는 한 개의 종래의 툴에 삽입하여 게이트가 완성될 때까지 거기에서 프로세스될 수 있다.

[0026] 트리밍 후에 포토레지스트 특징부들을 플루오르화하는 것에 추가하여, 트리밍 전에, 특히 측정 목적으로, 플루오르화가 또한 적용될 수 있다. 통상적으로 193 나노미터 포토레지스트의 너비를 측정하는 프로세스도 포토레지스트를 열화시킨다. 트리밍 전에 원자 플루오르화가 적용되고, 그 후 측정이 되어 포토레지스트의 시작 너비가 원하는 바대로 되었음을 확인한다. 만약 그렇다면, 트리밍 프로세스는 그 플루오르화된 포토레지스트를 이용하여 시작할 수 있다. 원자 플루오르화의 사용이 단지 플루오르화의 외부 코팅만을 하는 결과를 가져오므로, 플루오르화의 외부층이 제거된 후, 트리밍 프로세스는, 플루오르화 단계가 존재하지 않았던 것처럼 실질적으로 계속할 수 있다. 플루오르화는 측정이 될 수 있는 임의의 단계에 있을 수 있다. 플루오르화는 보호제(protectant)로서 사용되어, 임의의 다양한 목적으로 웨이퍼가 툴로부터 제거되고나서 계속 프로세싱하기 위해 툴로 복귀될 수 있다.

[0027] 또한 다른 할로겐, 특히 염소는 유사한 목적을 달성하기 위해 플로오르를 대체할 수 있다. 예를 들어, 플루오

르가 사용되는 곳마다, 염소가 대체될 수 있다. 또한, 다른 할로겐도 또한 효과적일 수 있고, 그때 단순히 할로겐이 플루오르를 대체할 수 있다. 그런 경우, 수소 원자들을 할로겐 원자들로 대체하기 위해 할로겐으로 포토레지스트 특징부를 처리하는 프로세스는 포토레지스트 특징부의 할로겐화로서 간주될 수 있다.

[0028] 전술한 명세서에서, 본 발명은 특정한 실시예들을 참조하여 기재되었다. 그러나, 당업자라면, 아래 청구범위에 기재된 바와 같이 본 발명의 범위를 벗어나지 않고 다양한 수정과 변형이 만들어질 수 있음을 이해할 것이다. 예를 들어, 게이트들은 폴리실리콘으로서 기재되었지만, 그들은 또한 금속과 같은 다른 재료일 수도 있다. 따라서, 명세서와 도면들은 제한적이기보다는 설명적 관점에서 보아져야 할 것이고, 모든 그런 수정들은 본 발명의 범위 내에 포함되도록 의도된다.

[0029] 특정 실시예들에 대해 이득, 다른 이점, 및 문제점들의 해결책이 상술되었다. 그러나, 이득, 이점, 문제점들의 해결책, 그리고 임의의 이득, 이점, 또는 해결책이 발생하거나 또는 더 공표되도록 하는 임의의 소자(들)는 임의의 또는 모든 청구항들의 중요한, 필수의, 또는 기본 특징이나 소자로서 해석되어서는 안 된다. 본 명세서에서 사용되는 바와 같이, "포함한다(comprises)", "포함하는(comprising)", 또는 그들의 임의의 다른 변형의 용어들은 비배타적 포함을 망라하려고 의도되어서, 요소들의 목록을 포함하는 프로세스, 방법, 제품, 또는 장치는 단지 이들 요소들만을 포함할 뿐만이 아니라, 그런 프로세스, 방법, 제품, 또는 장치에 명백히 목록화되거나 고유하지 않은 다른 요소들도 포함할 수 있다.

도면의 간단한 설명

[0004] 본 발명은 예를 통해 설명되고, 유사한 부호들이 유사한 소자들을 나타내는 첨부 도면들에 의해 제한되지는 않는다.

[0005] 도 1은 종래 기술에 따른 프로세싱의 한 단계에서 반도체 디바이스의 단면도이다.

[0006] 도 2는 종래 기술에 따른 유용한 프로세싱의 한 후속 단계에서 도 1의 반도체 디바이스의 단면도이다.

[0007] 도 3은 종래 기술에 따른 한 후속 단계에서 도 2의 반도체 디바이스의 단면도이다.

[0008] 도 4는 도 3의 반도체 디바이스의 상면도이다.

[0009] 도 5는 본 발명의 일 실시예에 따른 프로세싱의 한 후속 단계에서 도 2의 반도체 디바이스의 단면도이다.

[0010] 도 6은 본 발명의 실시예에 따른 프로세싱의 한 후속 단계에서 도 5의 반도체 디바이스의 단면도이다.

[0011] 도 7은 본 발명의 일 실시예에 따른 프로세싱의 한 후속 단계에서 도 6의 반도체 디바이스의 단면도이다.

[0012] 도 8은 도 7의 반도체 디바이스의 상면도이다.

[0013] 도 9는 본 발명의 실시예에 따른 프로세싱의 한 후속 단계에서 도 7과 도 8의 반도체 디바이스의 단면도이다.

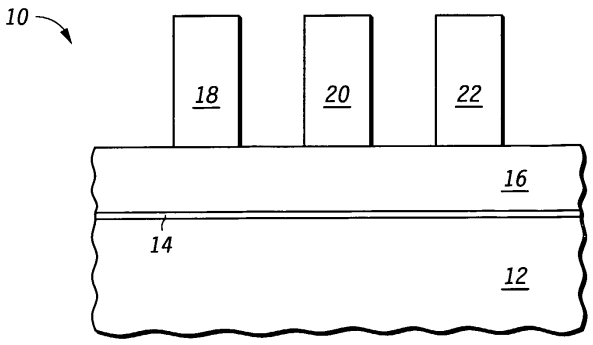
[0014] 도 10은 본 발명의 실시예에 따른 프로세싱의 한 후속 단계에서 도 9의 반도체 디바이스의 단면도이다.

[0015] 당업자라면, 도면들의 소자들이 단순성과 명료성을 위해 도시되었고 반드시 스케일링하기 위해 그려진 것은 아님을 이해할 것이다. 예를 들어, 도면의 소자들 중의 일부의 크기는 다른 소자들에 비해 과장되어서 본 발명의 실시예들의 이해를 돕기 위해 사용될 것이다.

도면

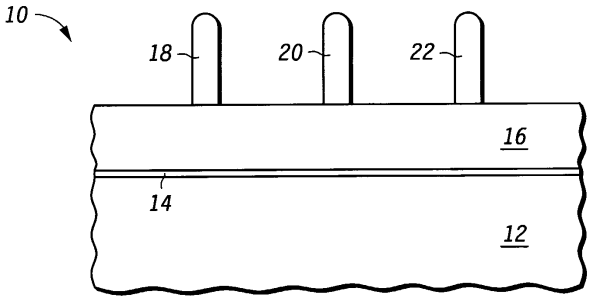
도면1

(종래 기술)



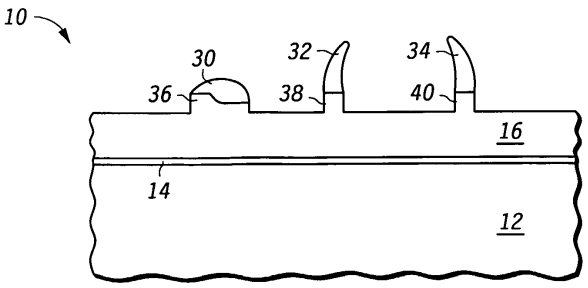
도면2

(종래 기술)



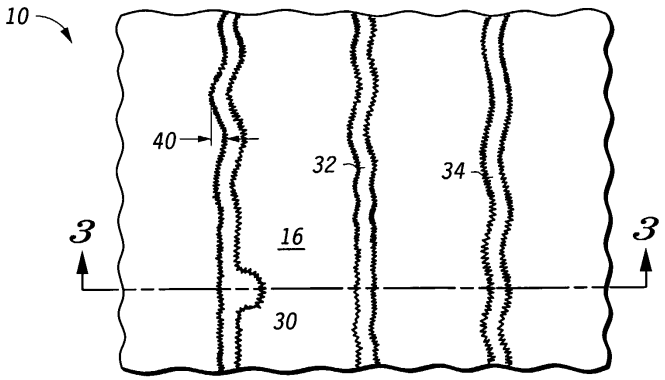
도면3

(종래 기술)

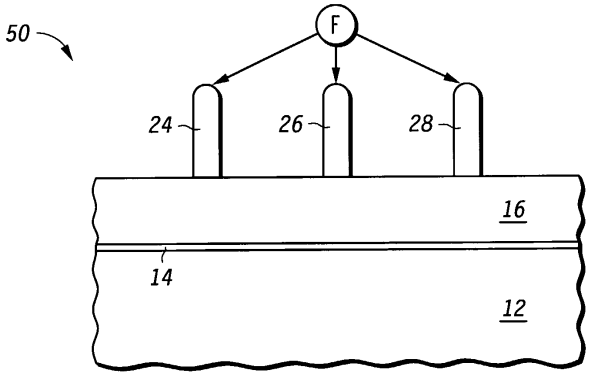


도면4

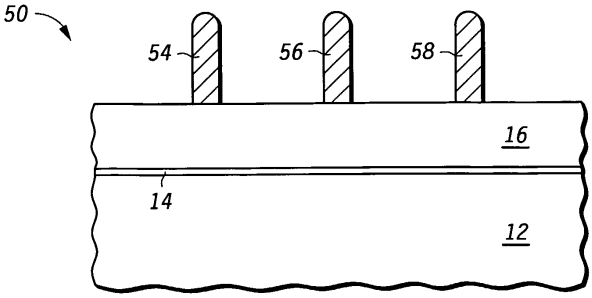
(종래 기술)



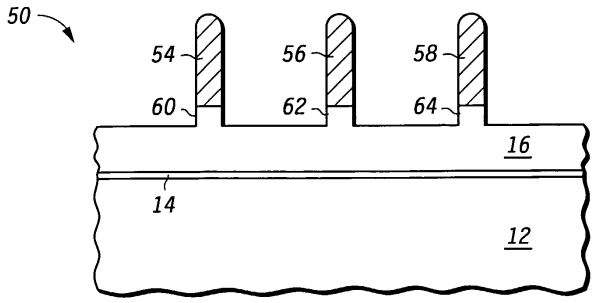
도면5



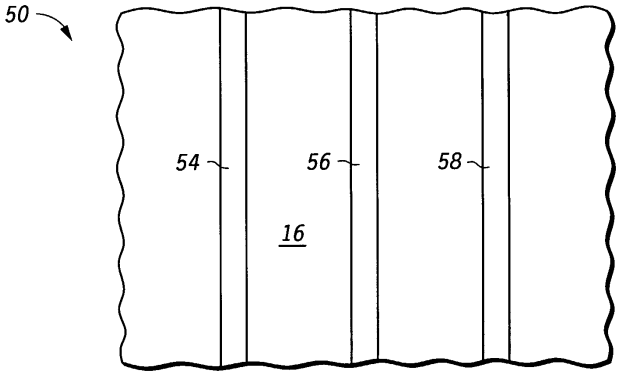
도면6



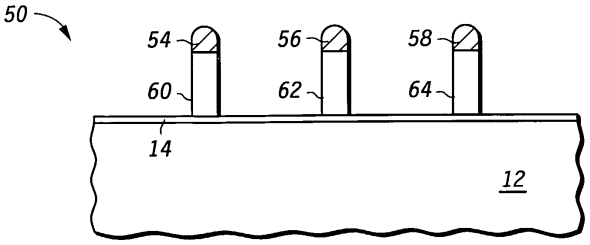
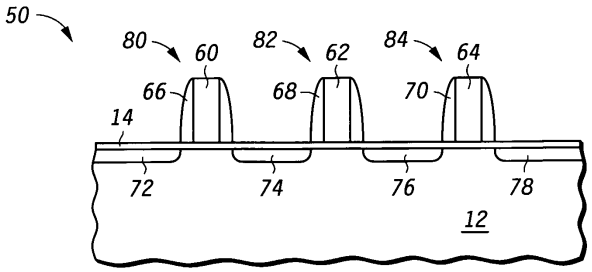
도면7



도면8



도면9



도면10