

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5118051号
(P5118051)

(45) 発行日 平成25年1月16日 (2013. 1. 16)

(24) 登録日 平成24年10月26日 (2012. 10. 26)

(51) Int. Cl. F I
G O 6 F 12/10 (2006.01) G O 6 F 12/10 5 O 1 Z
G O 6 F 12/10 5 4 1

請求項の数 26 (全 19 頁)

(21) 出願番号	特願2008-538210 (P2008-538210)	(73) 特許権者	595020643
(86) (22) 出願日	平成18年10月30日 (2006. 10. 30)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2009-514115 (P2009-514115A)		Q U A L C O M M I N C O R P O R A T
(43) 公表日	平成21年4月2日 (2009. 4. 2)		E D
(86) 国際出願番号	PCT/US2006/060371		アメリカ合衆国、カリフォルニア州 9 2
(87) 国際公開番号	W02007/051205		1 2 1 - 1 7 1 4、サン・ディエゴ、モア
(87) 国際公開日	平成19年5月3日 (2007. 5. 3)		ハウス・ドライブ 5 7 7 5
審査請求日	平成20年6月26日 (2008. 6. 26)	(74) 代理人	100108855
(31) 優先権主張番号	11/262, 063		弁理士 蔵田 昌俊
(32) 優先日	平成17年10月28日 (2005. 10. 28)	(74) 代理人	100091351
(33) 優先権主張国	米国 (US)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 格納された符号化キーを使った高速CAM検索

(57) 【特許請求の範囲】

【請求項 1】

複数の符号化されたキーフィールドを有する連想メモリ (CAM) にアクセスする方法であって、

ハミング距離で、検索キーを符号化することと、
前記符号化された検索キーを、トランスレーションルックアサイドバッファ (TLB) の中に格納することと、
前記格納された、符号化された検索キーを使って、前記CAMにアクセスすることと、
を備え、
前記CAMは、前記TLBから構造的に分離されたキャッシュの中に含まれている、
前記検索キーは、ページアドレスである、

10

方法。

【請求項 2】

前記検索キーを符号化することは、前記検索キーを2のハミング距離で符号化することを備える、請求項1に記載の方法。

【請求項 3】

前記検索キーを符号化することは、前記検索キーを3のハミング距離で符号化することを備える、請求項1に記載の方法。

【請求項 4】

前記格納された、符号化された検索キーを使って、前記CAMにアクセスすることは、

20

一つ以上の符号化されたキーフィールドにおける単一のビットエラーにもかかわらず正しい結果を生成する、請求項 1 に記載の方法。

【請求項 5】

前記検索キーを符号化することは、物理アドレスの第一部分を符号化することを備え、前記符号化された検索キーを格納することは、前記物理アドレスの前記符号化された第一部分を格納することを備える、請求項 1 に記載の方法。

【請求項 6】

前記物理アドレスの第二部分を符号化すること、をさらに備え、前記格納された、符号化された検索キーを使って、前記 C A M にアクセスすることは、前記物理アドレスの前記符号化された第二部分に連結された前記物理アドレスの、前記格納された符号化された第一部分を使って、前記 C A M にアクセスすること、を備える、請求項 5 に記載の方法。

10

【請求項 7】

一つ以上のページオフセットビットは、前記物理アドレスの前記第二部分である、請求項 6 に記載の方法。

【請求項 8】

前記ページアドレスは、前記物理アドレスの前記第一部分である、請求項 6 に記載の方法。

【請求項 9】

前記ページアドレスから、2 つ以上のサブページアドレスを生成することと、なお、各サブページアドレスは前記ページアドレスよりも小さなメモリページサイズをアドレス指定する；

20

少なくとも一つのサブページアドレスを符号化することと；

前記符号化されたサブページアドレスをマイクロ T L B の中に格納することと；

をさらに備え、

前記格納された、符号化された検索キーを使って、前記 C A M にアクセスすることは、前記マイクロ T L B 中の前記符号化されたサブページアドレスの一つを使って、前記 C A M にアクセスすること、を備える、

請求項 8 に記載の方法。

【請求項 10】

各符号化されたキーフィールドは、2 のハミング距離で符号化され、パリティビットを含み、

30

前記符号化された検索キーと符号化されたキーフィールドとの間でマッチングが検出される場合は、

前記 C A M から、前記格納されたパリティビットを含む、前記符号化されたキーフィールドを読み出すことと、

前記符号化されたキーフィールドに対するパリティビットを再生成することと、

前記再生成されたパリティビットを前記格納されたパリティビットと比較することとを、

そして、前記両パリティビットが不一致の場合は、エラーを生成すること

を、

40

さらに備える、

請求項 1 に記載の方法。

【請求項 11】

連想メモリ (C A M) 中のアドレスをマッチングする方法であって、

前記 C A M 中に、キーフィールドとして前記アドレスの符号化バージョンを格納することと、

トランシェーションルックアサイドバッファ (T L B) 中に、前記アドレスのページアドレス部分の符号化バージョンを格納することと、

マッチング検出のために、前記 T L B からの前記符号化されたページアドレスを、前記 C A M 中の複数の符号化されたキーフィールドと比較することと、

50

を備え、前記アドレスの前記符号化バージョンは、ハミング距離で符号化された前記アドレスである、

前記 C A M は、前記 T L B から構造的に分離されたキャッシュの中に含まれている、方法。

【請求項 1 2】

前記アドレスの前記符号化バージョンは、2 のハミング距離で符号化された前記アドレスである、請求項 1 1 に記載の方法。

【請求項 1 3】

前記アドレスの前記符号化バージョンは、3 のハミング距離で符号化された前記アドレスである、請求項 1 1 に記載の方法。

10

【請求項 1 4】

前記 T L B からの前記符号化されたページアドレスを、前記 C A M 中の前記複数の符号化されたキーフィールドと比較することは、前記 C A M 中の前記複数の符号化されたキーフィールドのうち 1 つ以上の符号化されたキーフィールド中の単一のビットエラーにかかわらずに、前記マッピングを正しく検出する、請求項 1 1 に記載の方法。

【請求項 1 5】

前記アドレスのページオフセット部分を符号化することをさらに備え、前記 T L B からの前記符号化されたページアドレスを前記 C A M 中の前記複数の符号化されたキーフィールドと比較することは、前記符号化されたページオフセットに連結された、前記 T L B からの前記符号化されたページアドレスを、前記 C A M 中の前記複数の符号化されたキー

20

【請求項 1 6】

前記ページアドレスから、2 つ以上のサブページアドレスを生成することと、なお、各サブページアドレスは、前記ページアドレスよりも小さなメモリページサイズをアドレス指定する；

少なくとも一つのサブページアドレスを符号化することと；

前記符号化されたサブページアドレスをマイクロ T L B 中に格納することと；

をさらに備え、

前記 T L B からの前記符号化されたページアドレスを前記 C A M 中の前記複数の符号化キーフィールドと比較することは、前記マイクロ T L Bからの符号化されたサブページアドレスを前記 C A M 中の前記複数の符号化されたキーフィールドと比較すること、を備える、

30

請求項 1 1 に記載の方法。

【請求項 1 7】

前記 C A M 中の各符号化されたキーフィールドは、2 のハミング距離で符号化され、パリティビットを含み、

前記 T L B からの前記符号化されたページアドレスと前記 C A M 中の符号化されたキーフィールドとの間でマッピングが検出される場合は、

前記 C A M から、前記格納されたパリティビットを含む、前記符号化されたキーフィールドを読み出すことと、

40

前記符号化されたキーフィールドに対するパリティビットを再生成することと、

前記再生成されたパリティビットを前記格納されたパリティビットと比較することとを、

前記両パリティビットが不一致の場合は、エラーを生成すること

を、

さらに備える、

請求項 1 1 に記載の方法。

【請求項 1 8】

連想メモリ (C A M) 及びランダムアクセスメモリ (R A M) を備えるキャッシュメモリと、なお、前記のキャッシュメモリは、検索キーが前記 C A M 中に格納された対応する

50

キーフィールドにマッチングするとき、データをRAMエントリに格納する又はRAMエントリから供給するように作動し、前記キーフィールドは、少なくとも2のハミング距離で符号化される；

前記キャッシュメモリから構造的に分離されたトランスレショナルックアサイドバッファ（TLB）と、なお、前記TLBは、前記CAMキーフィールドと同じアルゴリズムによって符号化されたページアドレスを格納し、前記CAMに対する検索キーとして前記格納された符号化されたページアドレスを出力するように作動する；

を備えるプロセッサ。

【請求項19】

前記CAMキーフィールドと前記TLBページアドレスとは、3のハミング距離で符号化される、請求項18に記載のプロセッサ。

【請求項20】

前記TLB中の一つのページアドレスに対応する2つ以上のサブページアドレスを格納するよう作動するマイクロTLBをさらに備え、前記サブページアドレスは、前記TLBページアドレスよりも小さなメモリページサイズをアドレス指定し、前記マイクロTLBは、前記CAMに対する検索キーとして前記サブページアドレスの一つを供給するように作動する、請求項18に記載のプロセッサ。

【請求項21】

各CAMエントリは、high状態にプリチャージされ、当該エントリに格納された前記キーフィールドの対応するビットとミスマッチする前記検索キーの各ビットに対し放電トランジスタを通してディスチャージされる、マッチラインを備え、パリティビットと関連付けられた前記放電トランジスタは、前記CAMエントリ中の他の放電トランジスタよりも多くの電流をディスチャージするように作動する、請求項18に記載のプロセッサ。

【請求項22】

検索キーがキーフィールドとマッチングするとき、前記キャッシュメモリは、前記キーフィールド及び格納されたキーフィールドパリティビットを読み出し、前記キーフィールドに対するパリティビットを再生成し、前記再生成されたパリティビットと前記格納されたパリティビットとを比較し、前記両ビットがミスマッチする場合は、エラーを生成するようにさらに作動する、請求項18に記載のプロセッサ。

【請求項23】

前記検索キーを符号化することは、キャッシュミスの発生にかかわらずに実行中にソフトウェアを用いて行なわれる、請求項1に記載の方法。

【請求項24】

前記キャッシュは、命令キャッシュまたはデータキャッシュに対応する、請求項1に記載の方法。

【請求項25】

ハミング距離で検索キーを符号化するための手段と、

前記符号化された検索キーを、トランスレショナルックアサイドバッファ（TLB）の中に格納するための手段と、

前記格納された、符号化された検索キーを使って、複数の符号化されたキーフィールドを有する連想メモリ（CAM）にアクセスするための手段と、

を備え、

前記CAMは、前記TLBから構造的に分離されたキャッシュの中に含まれている、

前記検索キーは、ページアドレスである、

プロセッサ。

【請求項26】

記録された命令を有するコンピュータ可読記憶媒体であって、前記命令は、プロセッサによって実行されるとき、前記プロセッサに、

ハミング距離で検索キーを符号化する第1のオペレーションを実行させ、

前記符号化された検索キーを、トランスレショナルックアサイドバッファ（TLB）

10

20

30

40

50

の中に格納する第2のオペレーションを実行させ、

前記格納された、符号化された検索キーを使って、複数の符号化されたキーフィールドを有する連想メモリ(CAM)にアクセスする第3のオペレーションを実行させ、

前記CAMは、前記TLBから構造的に分離されたキャッシュの中に含まれている、

前記検索キーは、ページアドレスである、

コンピュータ可読記憶媒体。

【発明の詳細な説明】

【背景】

【0001】

本発明は、一般に電子回路の分野に関し、特に、符号化されたキーフィールド(encoded key fields)と格納された符号化されたキー(stored encoded key)とを使って、連想メモリ(content addressable memory)に高速アクセスする方法に関する。

10

【0002】

マイクロプロセッサは、ポータブル電子機器のような内蔵アプリケーションを含む多種多様なアプリケーションにおいて、計算タスクを実行する。そのような機器の拡大し続けるフィーチャーセット(feature set)と強化された機能は、より一層、計算的に、強力なプロセッサを必要とする。したがって、実行速度を増大するプロセッサの改良が望まれている。

【0003】

ほとんどの最近のプロセッサは、命令実行パイプラインによるすばやいアクセス(ready access)のために、直近に実行した命令及び直近にアクセスしたデータを一つ以上のキャッシュメモリに格納することによって、ほとんどのプログラムの空間的及び時間的な局所的プロパティを活用する。キャッシュは、高速の、通常はオンチップの、ランダムアクセスメモリ(RAM)及び対応する連想メモリ(Content Addressable Memory)(CAM)を備えるメモリ構造である。命令又あるいはデータは、RAMに格納されたキャッシュ「ライン」(cache “line”)にある。特定のデータがRAM中にあるかどうかを決定するために、そのアドレスの一部分がCAMに適用される。CAMは特殊なメモリ構造をしており、適用された比較入力(ここではキー又は検索キー(search key)と呼ばれる)は、各CAMエントリ(ここではキーフィールド(key field)と呼ばれる)中に格納されたデータと同時に比較され、CAMの出力は、もしあれば、どのキーフィールドがキーとマッチする(matches)かの表示となる。キャッシュの中で、キー及びキーフィールドは(仮想あるいは物理)アドレスの一部(portions)であり、マッチング(match)が生じる(すなわち、アクセスがキャッシュ中で「ヒットする(hits)」)と、マッチングの場所がRAMにインデックスされ、対応するキャッシュラインがアクセスされる。

20

30

【0004】

図1は、CAM構造の1つのキーフィールドの1部分の機能ブロック図を表しており、その全体が番号100によって示されている。CAMキーフィールドjは、第jキーフィールド110の全ビット位置にわたるマッチライン(match line)102を含む。マッチライン102は、マッチライン102を電源に接続しているパストランジスタ(pass transistor)104のゲートをターンオンするプリチャージ(PRECHARGE)信号によって、highに引き上げられる(pulled high)。第jCAMエントリの各ビットで、パストランジスタ106が、マッチライン102とグランドとの間に挿入されている。放電トランジスタ(discharge transistor)106のゲートは、キー112のビットと対応するキーフィールド110のビットとの論理XOR108である。各第iビット位置で、キー112のビットとキーフィールド110のビットとがマッチすれば、XORゲート108の出力はlowであり、パストランジスタ106はマッチライン102からグランドへチャージを導通させない。もしキー112のビットとキーフィールド110のビットとがミスマッチ(mismatch)すれば、XORゲート108の出力はhighであり、パストランジスタ106をターンオンして、マッチライン102をlowに引き下げる。

40

【0005】

50

このように、もしキー112のいずれかのビットが、その対応するいずれかのキーフィールド110のビットとミスマッチする場合、マッチライン102はlowに引き下げられる。逆に、キー112のすべてのビットとそのキーフィールド110とがマッチする場合においてのみ、グラウンドへのパスは確立されず、マッチライン102はhighのままである。センス回路114は、ワーストケースのマッチライン102の放電時間によって決定される時間で、第jマッチライン102のレベルを検出する。各キーフィールド110が固有(unique)であれば、これは通常のキャッシュオペレーションのケースであるが、そのときは、1つだけのキーフィールド110がキー112とマッチすることになる。そのケースでは、CAM内の一つだけのマッチライン102がhighのままである。これがそのケースであることを確実にするために、各マッチラインセンス回路114の出力は、コリジョン検出回路(collision detection circuit)116に送られ、この検出回路は、複数のマッチングを検出し、もしそれらがあれば、エラー信号を生成する。キャッシュメモリ以外のCAMアプリケーションにおいては、複数のマッチングが生ずることがあり、プライオリティエンコーダ(示されていない)が、適用されたキー112とマッチする2つ以上のキーフィールド110から選択することができる。

10

【0006】

典型的なCAMのキーフィールド110は、20から30ビットの幅であり得て、CAMは、256のエントリを含むことができる。このように、CAMには5,000から7,000個を超えるマッチライン放電トランジスタ106を含むことができる。小さなチップの面積の中にこのように多数のトランジスタ106をインプリメントする(implement)ためには、各トランジスタ106が小さいことが要求される。小さなトランジスタ106は低い通電容量を有しているので、それらは、データ不一致(data miscompare)の場合には、マッチライン102をディスチャージするためにより長い持続時間(duration)を必要とする。ワーストケースは、キー112とキーフィールド110との間の単一ビットの不一致であり、ここでは、一つのトランジスタ106だけがターンオンされ、それが、マッチライン102上の全チャージを消散するように電流を搬送してしまう。2つ以上のビットが不一致する場合、そのときは、2つ以上のトランジスタ106が、もっと迅速にマッチライン102をディスチャージするように、並行して動作する。従って、CAMの全体的な動作速度は、単一ビット不一致のタイミングによって決定される。

20

【0007】

より速いCAM動作は、従って、すべてのミスマッチング(mismatching)キーフィールド110の少なくとも2つのビットが不一致であることを確実にすることによって、達成されることができる。キーフィールド110(及び対応して、キー112)を符号化して、これらの、いずれかの2つのデジタル値の間の不一致であるビットの数であるハミング距離(Hamming distance)、を増やすことは、当該分野では知られている。例えば、シングルビットパリティとしても知られる、2のハミング距離は、1ビットが異なるキー112とキーフィールド110について、キー112の符号化されたバージョンとキーフィールド110の符号化されたバージョンとの間で2ビット不一致になることを確実にする。特に、符号化されたバージョンにおける2つの不一致ビットは、符号化されないデータにおいて異なるビット、およびパリティビットである。このように、シングルビットパリティを使ってキー112及びキーフィールド110を符号化することは、キー112とキーフィールド110との間に少なくとも1ビットの相違がある場合、すべてのマッチライン102上で、少なくとも2つのビットが不一致であることを確実にする。これは、少なくとも2つのトランジスタ106が並行してマッチライン102をひき下げ、結果としてより速いCAMの動作となる、ことを確実にする。

30

40

【0008】

キャッシュミス(cache miss)に続く処理において、キャッシュラインが置き換えられるとき、キーフィールド112は、CAMに書き込まれる前に容易に符号化されることができる。しかしながら、物理的にタグ付けされた(tagged)キャッシュについては、キー110の一部、すなわちページアドレス(page address)が、仮想アドレスから物理アドレスへ

50

の変換を行うトランスレーショナルックアサイドバッファ(Translation Lookaside Buffer) (TLB) から読み出され、そして、残りの部分、すなわちページオフセット(page offset)は、パイプライン中に生成された仮想アドレスの低位ビットを備える。バーチャルにタグ付けされたキャッシュの場合、全体のキー112はパイプラインにおいて生成される。いずれの場合においても、アドレスの読み出し／生成及びCAMへのアクセスはクリティカルタイミングパス上で行われ、そして、マシンのサイクルタイムの増加なしに、キー112を符号化キーフィールド110と比較する前に、キー112の全体又は大部分を符号化するには、時間が十分でない。

【発明の開示】

【0009】

10

[概要]

一つ以上の実施形態において、CAM検索(CAM look-up)のための検索キーである物理アドレスのページアドレス部分は、TLBに格納される前に符号化される。符号化されたページアドレスは、次いで、アドレス変換(address translation)においてTLBから読み出され、CAM中の符号化キーフィールドに対して検索するために符号化検索キー(encoded search key)としてCAMに適用される。符号化は、少なくとも2のハミング距離を確実にものとし、したがって、CAM中の各マッチングしていないキーフィールドに対して、少なくとも2つのトランジスタが並行してマッチラインをディスチャージすることを確実にする。TLB中に格納されない物理アドレスのページオフセットは、TLBへのアクセスと並行して符号化されることができ、2つの符号化された物理アドレス部分は、CAMにアクセスする前に連結される(concatenated)。TLB中に格納されたページアドレスが大きなメモリページサイズをアドレス指定する一つの実施形態において、ページアドレスは、複数のサブページアドレスに分割され、各々は、より小さなページサイズをアドレス指定する。これらのサブページアドレスは、それらをマイクロTLB中に格納する前に、符号化されることができる。

20

【0010】

一つの実施形態は、複数の符号化されたキーフィールドを有する連想メモリ(CAM)にアクセスする方法に関する。検索キーは符号化され、格納される。この格納された、符号化された検索キーを使って、CAMはアクセスされる。

【0011】

30

別の実施形態は、連想メモリ(CAM)中のアドレスにマッチングする方法に関する。アドレスの符号化されたバージョンが、CAM中に、キーフィールドとして格納される。アドレスの少なくとも第一部分の符号化されたバージョンが、トランスレーショナルックアサイドバッファ(TLB)中に格納される。TLBからの符号化されたアドレスが、マッチングを検出するためCAM中の複数の符号化キーフィールドと比較される。

【0012】

別の実施形態はプロセッサに関する。プロセッサは、連想メモリ(CAM)及びランダムアクセスメモリ(RAM)を備えるキャッシュメモリ、を含む。検索キーが、CAMに格納された対応するキーフィールドとマッチするとき、キャッシュメモリは、RAMエントリにデータを格納し又はこれから供給(supply)するように作動する。キーフィールドは、少なくとも2のハミング距離で符号化される。プロセッサは、CAMに対する検索キーとして物理アドレスを格納し出力するように作動するトランスレーショナルックアサイドバッファ(TLB)をさらに含む。物理アドレスは、CAMキーフィールドと同じアルゴリズムによって符号化される。

40

【0013】

[詳細な説明]

図2は、典型的なプロセッサ10の機能ブロック図を示す。プロセッサ10は、制御ロジック14に従い命令実行パイプライン12中の命令を実行する。該パイプラインは、パイプ・ステージに配列されたさまざまなレジスタ又はラッチ16、及び一つ以上の演算論理ユニット(ALU)18を含む。汎用レジスタ(GPR)ファイル20は、メモリ階層

50

の最上部を含むレジスタを備える。

【0014】

パイプラインは、CAM 22 及び RAM 23 を含む命令キャッシュ (I キャッシュ) 21 から命令をフェッチする。命令メモリへのアクセス及び許可は、命令側トランスレーションルックアサイドバッファ (ITLB) 24 によって管理される。データへのアクセスは、CAM 26 及び RAM 27 を含むデータキャッシュ 25 から行われる。データ・メモリへのアクセス及び許可は、主 TLB 28 によって管理される。さまざまな実施形態において、ITLB 24 は TLB 28 の部分コピーを備えることができる。これに換えて、ITLB 24 と TLB 28 とを一体化することができる。

【0015】

さらに、プロセッサ 10 は、マイクロ TLB 29 を含むことができる。このマイクロ TLB 29 は、小型高速の回路で、主 TLB 28 から直近にアクセスされた物理アドレスを保持している。プロセッサ 10 は、まずマイクロ TLB 29 に仮想アドレスを適用し、マイクロ TLB 29 中に対応するページアドレス及び属性が見つからない場合にだけ主 TLB 28 にアクセスすることができる。一つの実施形態において、ここに説明されているように、マイクロ TLB 29 のエントリは、対応する TLB 28 のエントリよりも小さなページサイズでアドレス指定することができる。

【0016】

プロセッサ 10 のさまざまな実施形態において、I キャッシュ 22 と D キャッシュ 26 とを一体化ないし統合することができる。I キャッシュ 22 及び／又は D キャッシュ 26 中における (misses) は、メモリインタフェース 30 の制御の下で、メイン (オフチップ) メモリ 32 へのアクセスの原因となる。プロセッサ 10 は、各種の周辺装置 36 へのアクセスを制御する入力／出力 (I/O) インタフェース 34 を含むことができる。当業者は、プロセッサ 10 の多数の変形バージョンが可能であることを認識するであろう。例えば、プロセッサ 10 は、I 及び D キャッシュ 21、25 のいずれか又は双方に対する第二レベル (L2) のキャッシュを含むことができる。さらに、特定の実施形態においては、プロセッサ 10 中に図示された一つ以上の機能ブロックは、省略されてもよい。

【0017】

当該技術分野においてよく知られているように、ほとんどのプログラムは、あたかもプロセッサがアドレス可能なメモリ (例、32 アドレスビット) 全体を独占使用しているように実行される。これは、仮想アドレス (virtual address) として知られ、パイプラインにおいて活用されるアドレス指定モードである。実際のメモリにアクセスする場合、TLB 28 (又は命令用の ITLB 24) によってこの仮想アドレスは物理アドレスに変換される。オペレーティングシステムは、プログラムの仮想アドレスを、メモリページとして知られる具体的なメモリ領域にマッピングする (maps)。一般に、仮想アドレスの上位のあるいは最上位ビット (upper or most significant bits) は、ページアドレス (TLB 28 によって提供された部分) にマッピングされる。ページオフセットとして知られる、仮想アドレスの低位のあるいは最下位 (lower or least significant bits) ビットは、メモリページ内のデータをインデックスする。すなわちページオフセットは変換されない。簡単に且つ明確にするために、TLB 28 から得られるアドレスを CAM 26 と比較する、D キャッシュ 25 からのデータアクセスにおけるコンテキストにおいて、以下の検討が提供される。しかしながら、同じ開示内容は、I キャッシュ 21、ITLB 24、及び I キャッシュ CAM 22 からの命令アクセスにも適用される。

【0018】

一つ以上の実施形態において、物理的にタグ付けされたキャッシュ 25 にアクセスする場合、物理アドレスである CAM 26 に適用されるほとんどのキー 112 の符号化は、ページアドレスを TLB 28 中に格納する前に符号化を行うことによって、クリチカルタイミングパス (critical timing path) から除かれる。プログラムが初期設定されるとき、オペレーティングシステムソフトウェアによって、ページテーブルは、TLB 28 中にセットアップされる。ページアドレスは、プロセッサのパフォーマンスに影響することなく、

10

20

30

40

50

そのとき、符号化されることができる。続いて、キャッシュ 25 へアクセスすることによって、パイプラインからの仮想アドレスは、符号化されたページアドレスを得るために TLB 28 によって変換される (translated)。必要なページオフセットビットは、TLB 検索と並行して符号化されることができ、アドレスのこの部分はページアドレスよりもずっと短いので、符号化オペレーション (encoding operation) は、利用可能な時間内に完了されることができる。次いで、符号化されたページオフセット (encoded page offset) は、TLB 28 によって提供される符号化されたページアドレス (encoded page address) と、最終パリティビットを得るために XOR 処理された (XORed) 各符号化オペレーションによって生成されたパリティビットと、に連結されることができる。次に符号化された物理アドレスは、キー 112 として CAM 26 に適用され、符号化キーフィールド 110 と比較される。これにより、CAM 26 は、符号化キーフィールド 110 と符号化キー 112 とを使うことによって、より短い比較時間で、単一ビットのミスマッチのワーストケースイベントにおいて、少なくとも 2 つの不一致が、したがって、少なくとも 2 つのターンオンされた放電トランジスタ 106 が、マッチラインをディスチャージすることを確実にするように動作することが可能になる。

【0019】

TLB 28 に格納されたページアドレスのサイズは、それがアドレス指定するメモリページのサイズと逆に変わる。より大きなページサイズに対しては、より少ないビットが変換され、TLB 28 中に格納される、そして、仮想アドレスのより多くのビットが、オフセットに使われる。非常に大きなメモリページ有するアプリケーションにおいては、多数のページオフセットビットは、TLB 28 アクセスと並行して、「オンザフライで (on the fly)」これらのビットを符号化することを除外することができる。この場合、ページアドレスを 2 以上のサブページに分割し、その各々がより小さなメモリページサイズをアドレス指定するようにできる。例えば、64 K のメモリページをアドレス指定するページアドレスを、4 つのサブページアドレスに分けてその各々が 4 K のメモリページをアドレス指定するようにできる。64 K ページに対する TLB 28 の属性は、複製され (replicated)、サブページの各々に関連付けられることができる。

【0020】

4 K サブページアドレスは、変換オペレーションを実行するとき、それらが 64 K ページアドレスと衝突する (collide) であろうから、TLB 28 中に格納されることはできない。一つの実施形態において、サブページアドレスは、符号化されマイクロ TLB 29 に格納される。これは、例えば、主 TLB 28 では一つのエントリしか必要としない同じ範囲の仮想アドレスを変換するのに 4 つのエントリが必要になるなど、マイクロ TLB 29 の非効率的な使い方である。しかしながら、マイクロ TLB 2 中に格納された符号化されたサブページアドレスは、各々が対応するページアドレスよりも多くのビットを備えており、CAM 26 にアクセスする前にオンザフライで変換されなければならないビット数を少なくする。

【0021】

さまざまな実施形態に従い、キー 112 を符号化し、格納し、格納された符号化されたキー 112 にアクセスし、それを CAM 26 に適用するプロセスが、図 3 及び 4 に図示されている。図 3 は、オペレーティングシステムソフトウェアが TLB 28 をセットアップときに取られる動作を示し、図 4 は、プログラム実行の間に (例えば、クリティカルタイミングパス上で) CAM 26 にアクセスするステップを示す。

【0022】

図 3 を参照すると、オペレーティングシステムは、TLB 28 中にページテーブルをセットアップする (ブロック 40)。メモリページのサイズに応じて (ブロック 42)、符号化は、異なるプロセスによって進むことができる。もし、ページが比較的小さく (ブロック 42)、ページアドレスが長く且つページオフセットが短いことを意味する場合は、ページアドレスは、少なくとも 2 のハミング距離によって符号化される (ブロック 44)。次いで、符号化されたページアドレスは、TLB 28 中に格納される (ブロック 46)

。

【0023】

他方、もしメモリページが大きく（ブロック42）、ページアドレスがより短く、ページオフセットがより長い場合は、アドレス変換の間に、オンザフライでページオフセットの必要部分を符号化するための時間が不十分であるかもしれない。この場合、2つ以上のサブページが生成されることができ、その各々は、対応するページアドレスよりも小さなメモリページをアドレス指定する（ブロック48）。これにより、サブページの長さを増し、対応するページオフセットを減らし、マシンサイクルに影響を与えることなく、実行時にオフセットを符号化することが可能になる。各サブページアドレスは、少なくとも2のハミング距離で符号化され（ブロック50）、符号化されたサブページエントリは、マイクロTLB29に格納される。

10

【0024】

決定ブロック(decision block)42からの出口パス(exit paths)に注記された「大きい」及び「小さい」のラベルは相対的なものである。ここに使用されているように、小さいメモリページサイズは、TLB28へのアクセスと並行して少なくとも2のハミング距離によってオンザフライで符号化されるのに十分小さなページオフセットを生成するものである。逆に、大きいメモリページサイズは、TLB28へのアクセスと並行してオンザフライで符号化されるのには大きすぎるページオフセットを生成するものである。大きい、あるいは小さいとして資格付けする実際のメモリページサイズは、半導体技術、クロック速度、動作電圧などの多くのファクタに応じて、各インプリテーションで変わる。図3の流れ図の終わりに、十分な長さの符号化された（サブ）ページアドレスは、TLB28又はマイクロTLB29の中に格納される。

20

【0025】

引き続きプログラム実行の間に、メモリアクセス命令は、実行パイプライン中に仮想アドレスを生成し（ブロック54）、仮想アドレスを変換のためにTLB28及び／又はマイクロTLB29に送る。TLB28又はマイクロTLB29は、仮想アドレスを変換し、符号化された（サブ）ページアドレスを生成する（ブロック56）。TLB28又はTLB29の検索(look-up)と並行して、ページオフセットの必要部分は、少なくとも2のハミング距離によって符号化される（ブロック58）。一つの実施形態では、次いで、符号化された（サブ）ページアドレスと符号化されたページオフセットとは、連結され、そして、2つのパリティビットがXOR処理され、単一のパリティビットを有する符号化された物理アドレスを生む（ブロック60）。次に、物理アドレスは、複数の符号化されたキーフィールド110との比較のために、検索キー112としてCAM26に提供される（ブロック62）。

30

【0026】

別の実施形態において、ページアドレスとページオフセットとは、CAMエントリ100ごとに別々のキーフィールド110として格納される。すなわち、各CAMエントリ100は、2つのマッチライン102セグメントを含んでおり、いずれかのセグメントの放電(discharge)がミスマッチを信号で示す(signal)であろう。一つの実施形態において、各マッチライン102セグメントは、マッチラインセンス回路114を含み、マッチラインセンス回路114の出力は、コリジョン検出ロジック(collision detection logic)116に適用される前に、一緒にAND処理される(AND'ed)。この場合、TLB28からの符号化されたページアドレス、又はマイクロTLB29からのサブページアドレスは、CAM26の対応するページアドレス部分に適用される。符号化されたページオフセットは、TLB28又はマイクロTLB29のアクセスと並行して、少なくとも2のハミング距離で符号化される。次いで、符号化されたページオフセットは、（サブ）ページアドレスと並行してCAM26に適用される。符号化（サブ）されたページアドレス及び符号化されたページオフセットの各々は、パリティビットを含む。

40

【0027】

他の実施形態においては、CAM26のマッチライン102（及び対応して、キー11

50

0) は、速度、ファンアウト、パワー消費、又は他の設計考慮事項について、必要に応じ、あるいは望まれるように、さらにセグメント化される(segmented)ことができる。各セグメントの数及びビット長は、インプリメンテーションの技術、レイアウト、比較されるべきビットの数、必要なサイクル速度などによって、決定される(dictated)ことができる。さらに、セグメントは、CAMエントリ100ごとに一つだけのセンス回路114が必要となる様々な方式で構成、配置されることができる。例えば、一つの実施形態においては、任意のセグメント中の、アクティブな放電回路106が、マッチライン102全体をディスチャージするように、マッチライン102のセグメントは、一緒にカスケード接続されても、あるいはリップルされ(rippled)てもよい。別の実施形態においては、マッチライン102は、階層的構造をとる(assume)ことができ、ここでは、各セグメントは、グローバルマッチライン(global match line)102に接続し、それは、接続されたセグメントのいずれかがディスチャージするときは常にディスチャージ。当業者は、マッチライン102が有利に分離されることができる多種多様な方法を認識するであろう。

10

【0028】

当業者によって理解されるように、符号化されたキーフィールド110は、キャッシュミス処理オペレーションによって、時間とともにCAM26中にロードされる。キャッシュミスが生じると、メモリアクセス命令は、主メモリから望ましいデータをフェッチし、既存の情報と置換えてRAM27中にそれらを格納する。対応するCAM26エントリは、ミスした、符号化された物理アドレス、によって置換えられる。

【0029】

20

少なくとも2のハミング距離を使ってCAM26のキー112及びキーフィールド110を符号化することによって、キー112と少なくとも1ビット異なる各キーフィールド110に対し、少なくとも2つの放電トランジスタ106がマッチライン102をグラウンドにディスチャージするであろう。CAM26全体としてのタイミングは、一つのトランジスタ106がマッチライン102をディスチャージするのに必要な時間というよりは寧ろ、2つのトランジスタ106がマッチライン102をディスチャージするのに必要な時間に有利に設定されることができ、したがって、CAM26の動作速度を改善することができる。

【0030】

全ての固体メモリ(solid-state)は、ソフトエラーを起こし易い傾向があり、このエラーは、荷電粒子又は放射によってもたらされる、格納されたデータ中のエラーである。ソフトエラーは、アルファ粒子又は宇宙線に起因する電氣的かく乱によってもたらされることがある。両方の放射形態ともランダムであり、ソフトエラーは、キーフィールド110中に単一ビットのエラーを引き起こすことがある。このことは、キー112とキーフィールド110との間の単一ビットミスマッチの可能性を高くする。いくつかの可能性が考慮される。

30

【0031】

第一に、もしキー112がキーフィールド110にマッチしており、マッチングするキーフィールド110が単一ビットのソフトエラーを被った場合は、対応するCAM26エントリが、ヒット(hit)として検出されるかもしれないし、されないかもしれない。CAM26の全体のタイミング(overall CAM 26 timing)は、マッチライン102あたり2つの不一致の最悪のケースのシナリオを用いて設定されているので、単一ビット不一致は、センス回路114による評価に先立って、対応するマッチライン102を十分にディスチャージするには時間が不十分である可能性がある。この場合、マッチライン102はhigh状態(high state)で検出され、マッチングを示す。キー112は、このキーフィールド110とマッチしており、ソフトエラーに起因するミスマッチとして解釈される危険な状態のみにあるので、このときは、マッチングを検出することは、キャッシュ26の適切なオペレーションをもたらし、ソフトエラーは少しも問題とはならない。

40

【0032】

第2のケースにおいては、ソフトエラーに起因する単一ビットの不一致は、関連するセ

50

ンス回路114がCAM26エントリをミスマッチと見なしてしまうほど、マッチライン102を十分低く、瞬時に引き下げてしまう可能性がある。キー112はさらに、すべての他のCAM26エントリとミスマッチなので、これは、あるアドレスがヒットされるべきときに、そのアドレスが、キャッシュにおいて誤って紛失している(missing)という原因となる。プロセッサ10は、キャッシュミスを検出し、メインメモリ32へのアクセスを実行し、キャッシュ25中の対応するラインを置き換え、CAM26エントリを紛失している符号化されたアドレスに更新し、このようにして、(主メモリへのアクセス待ち時間を犠牲にして)、ソフトエラーを訂正する。

【0033】

別の可能性は、キー112が、第一キーフィールド110とマッチし、第二キーフィールド110と単一ビット異なることである。キー112及びキーフィールド110を2以上のハミング距離で符号化するために、第二の(ミスマッチしている(mismatching))キーフィールド110は、通常は、少なくとも2つの放電トランジスタ106を通してディスチャージするであろう。ミスマッチしているビット又はパリティビットのいずれかがソフトエラーによって破損されている場合は、対応するマッチライン102は、一つのみのトランジスタ106によってディスチャージされ、これが非常に長い時間をとるかもしれないために、対応するセンス回路114が、マッチライン102をhighとして検出し、マッチングを示すかもしれない。キー112は、さらに、第一キーフィールド110とマッチする、したがって、キー112は、一つよりも多いCAM26エントリとマッチしたように、あるいはヒットしたように見える。この場合、全てのマッチラインセンス回路114の出力を監視する(monitors)コリジョン検出回路116は、見かけの重複マッチング(apparent duplicate match)を検出し、エラーの原因となる。

【0034】

さらに別の可能性は、キー112がキーフィールド110と2つのビットで異なることである。キー112及びキーフィールド110を、2のハミング距離で符号化することは、それらが同一のパリティビットを有するということを意味する。例えば、偶数パリティで、全てが0のビットを備えているキーフィールド110は、0パリティビットを有する。あるキー112は2つの1のビットを備え、他の全てのビットが0である、すなわち、このキー112もまた、0パリティビットを有する。もしソフトエラーが、キー112中の1のビットの一つに対応する位置において、キーフィールド110の0ビットの一つを1に破損する場合、そのときは、キー112とキーフィールド110とは、一つのビットのみが異なる(キー112における、もう一つの1のビット)。もしCAM26のタイミングが、不一致について(per miscompare)2つの放電回路106の最悪のケースに設定されている場合、マッチライン102はこのケースにおいてhighに留まるかもしれず、誤ったマッチングがCAM26によって検出され、キャッシュ21、25において誤ったヒットを生成する可能性がある。

【0035】

この可能性を回避する方法は、3又はそれより多いハミング距離によってキー112とキーフィールド110とを符号化することである。これは、計算上、より複雑になり、CAM26中の各エントリ100について、並びにTLB28又はマイクロTLB29中の各(サブ)ページアドレスについて、1よりも多いパリティビットが必要となる。他方では、3のハミング距離は、少なくとも3つの放電106が、各不一致マッチライン102をディスチャージする(少なくともソフトエラーが無いときに)ので、(同一技術に対し)CAM26の速度を増大する。高次のハミング距離(higher order Hamming distances)は、勿論可能であり、本開示の教示を与えられると、当業者にとっては、自明のインプリメンテーションであろう。しかしながら、さらに多くの冗長な記憶エレメント110、XORゲート108、及び放電トランジスタ106を追加することによってCAM26のサイズ及びその電力消費を増大することを犠牲にして、CAM26のスピードアップにおける見返り(return)は減少してくる。

【0036】

ハミング距離を増加することの代替として、上記に説明された誤った状態は、（誤った）キャッシュヒットに続いてキャッシュコントローラによって検出されることができ、そして、状態が検出される場合はエラーが生成される。キャッシュヒットに続いて、キャッシュコントローラは、キーフィールド110を読み出す。パリティビットが無視され(set aside)、残りのキーフィールド110に対するパリティが再生成され、CAM26から読み取られたパリティと比較される。もし両パリティビットがマッチしない場合、キャッシュコントローラは、エントリ100を無効にし、例外を生成する(generates an exception)。マシン状態をキャッシュアクセスの前の状態に戻した後、プロセッサは、再度、キャッシュ21、25にアクセスし、キャッシュミスを生成する。次いで、正しい、符号化されたキーフィールド110が、キャッシュミス処理オペレーションの一部としてCAM26に書き込まれる。キャッシュコントローラは、キャッシュラインをプロセッサパイプライン12に届けた後に、フィールドキー110を読み出してパリティチェックするので、このオペレーションはキャッシュパフォーマンスに悪影響を与えない。

10

【0037】

本発明は、キャッシュメモリ25の一部としてのCAM26のコンテキストにおいて、ここに説明されているが、当業者は、本発明がこのようなアプリケーションに限定されないことを容易に認識するであろう。連想メモリは、キャッシュコヒーレンスキームをサポートするためにアドレスが「スヌープされる(snooped)」データバッファ、CAMに対してIPアドレスが検索されるパケットルータ、などを含む、さまざまな回路及びシステムに使われている。多くのそのようなアプリケーションにおいては、CAMの速度は、CAMに対して適用されるべき符号化キーを格納することによって全体的なサイクルタイムに影響を与えることなく、ミスマッチがあり次第、2つ以上の放電回路を作動させるようにキーフィールドを符号化することによって、改善されることができる。

20

【0038】

本発明は、特定の機能、態様、及び実施形態に関して説明されているが、多数の変形、修正、及び他の実施形態が本発明の広い範囲内では可能であることは明らかであり、従って、すべての変形、修正及び実施形態は、本発明の範囲にあると見なされるべきである。従って、本実施形態は、全ての面において説明のためのものであって、限定するものではないとして解釈されるべきであり、添付の特許請求の範囲の意味する、また、均等の範囲内に入る全ての変更は、その中に包含されるように意図されている。

30

以下に、本願発明の当初の〔特許請求の範囲〕に記載された発明を付記する。

〔1〕

複数の符号化されたキーフィールドを有する連想メモリ（CAM）にアクセスする方法であって、

検索キーを符号化することと、

前記符号化された検索キーを格納することと、

前記格納された、符号化された検索キーを使って、前記CAMにアクセスすることと、
を備える方法。

〔2〕

検索キーを符号化することは、前記検索キーを2のハミング距離で符号化することを備える、〔1〕に記載の方法。

40

〔3〕

検索キーを符号化することは、前記検索キーを3のハミング距離で符号化することを備える、〔1〕に記載の方法。

〔4〕

前記格納された、符号化された検索キーを使って、前記CAMにアクセスすることは、一つ以上の符号化されたキーフィールドにおける単一のビットエラーにもかかわらず正しい結果を生成する、〔1〕に記載の方法。

〔5〕

検索キーを符号化することは、前記検索キーの第一部分を符号化することを備え、前記

50

符号化された検索キーを格納することは、前記検索キーの前記符号化された第一部分を格納することを備える、[1]に記載の方法。

[6]

前記検索キーの第二部分を符号化すること、をさらに備え、前記格納された、符号化された検索キーを使って、前記CAMにアクセスすることは、前記検索キーの前記符号化された第二部分に連結された前記検索キーの、前記格納された符号化された第一部分を使って、前記CAMにアクセスすること、を備える、[5]に記載の方法。

[7]

前記検索キーは、物理アドレスを備える、[1]に記載の方法。

[8]

前記符号化された検索キーを格納することは、前記物理アドレスの符号化されたページアドレス部分をトランシェーションルックアサイドバッファ(TLB)の中に格納すること、を備える、[7]に記載の方法。

[9]

前記ページアドレスから、2つ以上のサブページアドレスを生成することと、なお、各サブページアドレスは前記ページアドレスよりも小さなメモリページサイズをアドレス指定する；

少なくとも一つのサブページアドレスを符号化することと；

前記符号化されたサブページアドレスをマイクロTLBの中に格納することと；

をさらに備え、

前記格納された、符号化された検索キーを使って、前記CAMにアクセスすることは、前記マイクロTLB中の前記符号化されたサブページアドレスの一つを使って、前記CAMにアクセスすること、を備える、

[8]に記載の方法。

[10]

各符号化されたキーフィールドは、2のハミング距離で符号化され、パリティビットを含み、

前記符号化された検索キーと符号化されたキーフィールドとの間でマッチングが検出される場合は、

前記CAMから、前記格納されたパリティビットを含む、前記符号化されたキーフィールドを読み出すことと、

前記符号化されたキーフィールドに対するパリティビットを再生成することと、

前記再生されたパリティビットを前記格納されたパリティビットと比較することと

を、

そして、前記両パリティビットが不一致の場合は、エラーを生成すること

を、

さらに備える、

[1]に記載の方法。

[11]

連想メモリ(CAM)中のアドレスをマッチングする方法であって、

前記CAM中に、前記アドレスの符号化バージョンをキーフィールドとして格納することと、

トランシェーションルックアサイドバッファ(TLB)中に、前記アドレスのページアドレス部分の符号化バージョンを格納することと、

マッチング検出のために、前記TLBからの前記符号化されたアドレスを、前記CAM中の複数の符号化されたキーフィールドと比較することと、

を備える方法。

[12]

前記アドレスの前記符号化バージョンは、2のハミング距離で符号化された前記アドレスである、[11]に記載の方法。

10

20

30

40

50

[1 3]

前記アドレスの前記符号化バージョンは、3のハミング距離で符号化された前記アドレスである、[1 1] に記載の方法。

[1 4]

前記TLBからの前記符号化されたアドレスを、前記CAM中の複数の符号化されたキーフィールドと比較することは、1つ以上の符号化されたキーフィールド中の単一のビットエラーにかかわらずに、マッチングを正しく検出する、[1 1] に記載の方法。

[1 5]

前記アドレスのページオフセット部分を符号化することをさらに備え、前記TLBからの前記符号化されたアドレスを前記CAM中の複数の符号化されたキーフィールドと比較することは、前記符号化されたページオフセットに連結された、前記TLBからの前記符号化されたページアドレスを、前記CAM中の複数の符号化されたキーフィールドと比較することを備える、[1 1] に記載の方法。

10

[1 6]

前記ページアドレスから、2つ以上のサブページアドレスを生成することと、なお、各サブページアドレスは、前記ページアドレスよりも小さなメモリページサイズをアドレス指定する；

少なくとも一つのサブページアドレスを符号化することと；

前記符号化されたサブページアドレスをマイクロTLB中に格納することと；

をさらに備え、

20

前記TLBからの前記符号化されたアドレスを前記CAM中の複数の符号化キーフィールドと比較することは、前記TLBからの符号化されたサブページアドレスを前記CAM中の複数の符号化されたキーフィールドと比較すること、を備える、

[1 1] に記載の方法。

[1 7]

前記CAM中の各符号化されたキーフィールドは、2のハミング距離で符号化され、パリティビットを含み、

前記TLBからの前記符号化されたアドレスと前記CAM中の符号化されたキーフィールドとの間でマッチングが検出される場合は、

前記CAMから、前記格納されたパリティビットを含む、前記符号化されたキーフィールドを読み出すことと、

30

前記符号化されたキーフィールドに対するパリティビットを再生成することと、

前記再生されたパリティビットを前記格納されたパリティビットと比較することと

を、

前記両パリティビットが不一致の場合は、エラー信号を生成すること

を、

さらに備える、

[1 1] に記載の方法。

[1 8]

連想メモリ（CAM）及びランダムアクセスメモリ（RAM）を備えるキャッシュメモリと、なお、前記のキャッシュは、検索キーが前記CAM中に格納された対応するキーフィールドにマッチングするとき、データをRAMエントリに格納する又はRAMエントリから供給するように作動し、前記キーフィールドは、少なくとも2のハミング距離で符号化される；

40

前記CAMに対する検索キーとして、ページアドレスを格納し、出力するように作動するトランスレーションルックアサイドバッファ（TLB）と、なお、前記ページアドレスは、前記CAMキーフィールドと同じアルゴリズムによって符号化される；

を備えるプロセッサ。

[1 9]

前記CAMキーフィールドと前記TLB物理アドレスとは、3のハミング距離で符号化

50

される、[18]に記載のプロセッサ。

[20]

前記TLB中の一つのページアドレスに対応する2つ以上のサブページアドレスを格納するよう作動するマイクロTLBをさらに備え、前記サブページアドレスは、前記TLBページアドレスよりも小さなメモリページサイズをアドレス指定し、前記マイクロTLBは、前記CAMに対する検索キーとして前記サブページアドレスの一つを供給するように作動する、[18]に記載のプロセッサ。

[21]

各CAMエントリは、high状態にプリチャージされ、当該エントリに格納された前記キーフィールドの対応するビットとミスマッチする前記検索キーの各ビットに対し放電トランジスタを通してディスチャージされる、マッチラインを備え、パリティビットと関連付けられた前記放電トランジスタは、前記CAMエントリ中の他の放電トランジスタよりも多くの電流をディスチャージするように作動する、[18]に記載のプロセッサ。

10

[22]

検索キーがキーフィールドとマッチングするとき、前記キャッシュは、前記キーフィールド及び格納されたキーフィールドパリティビットを読み出し、前記キーフィールドに対するパリティビットを再生成し、前記再生成パリティビットと前記格納されたパリティビットとを比較し、前記両ビットがミスマッチする場合は、エラー信号を生成するようにさらに作動する、[18]に記載のプロセッサ。

【図面の簡単な説明】

20

【0039】

【図1】CAM構造における典型的なマッチラインの部分機能ブロック図。

【図2】プロセッサの機能ブロック図。

【図3】ページアドレスの符号化及び格納の流れ図。

【図4】符号化ページアドレスの読み出し、ページオフセットの符号化、及び符号化物理アドレスのCAMへの適用、の流れ図。

【図 1】

図 1

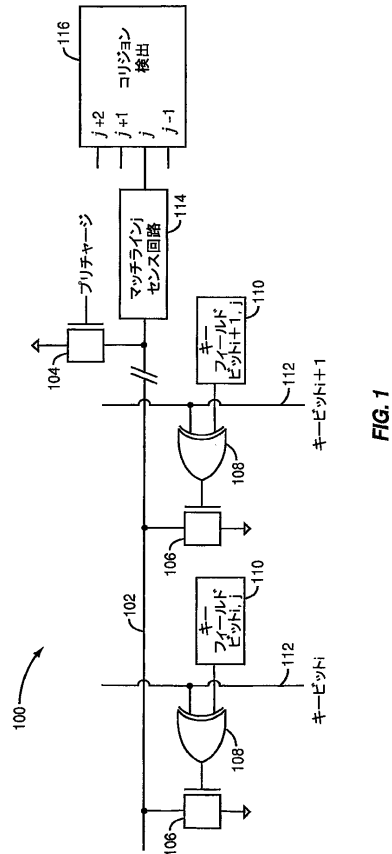


FIG. 1

【図 2】

図 2

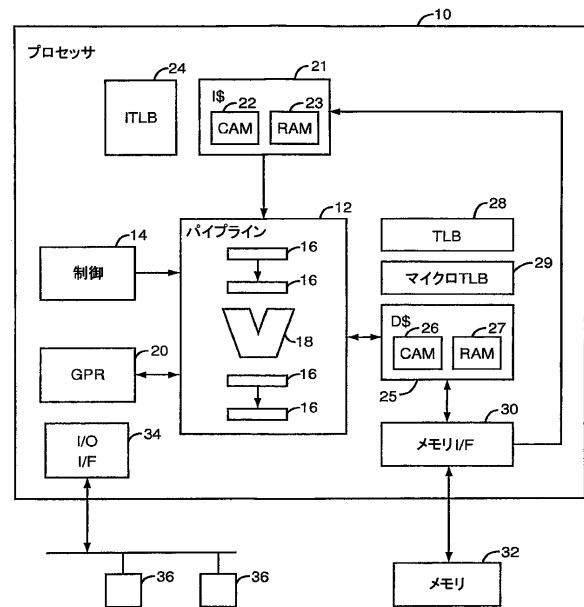


FIG. 2

【図 3】

図 3

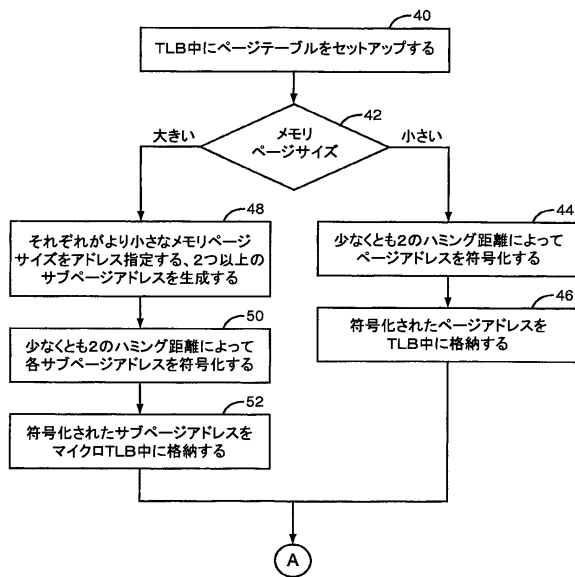


FIG. 3

【図 4】

図 4

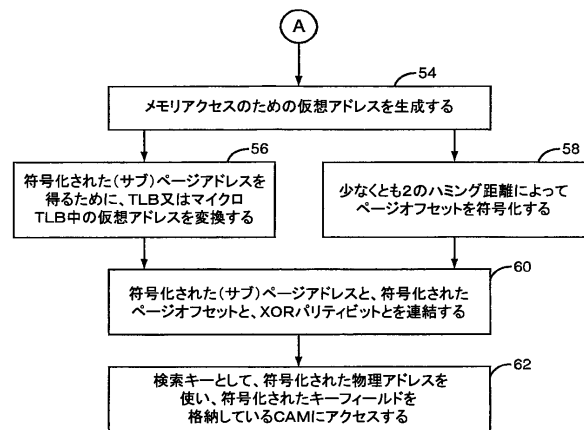


FIG. 4

フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 フィッシャー、ジェフリー・ハーバート
アメリカ合衆国、ノースカロライナ州 27511、カーリー、コナーズ・サークル 203
- (72)発明者 ファン、マイケル・タイタン
アメリカ合衆国、ノースカロライナ州 27519、カーリー、ヘック・アンドリュース・ウェイ
105
- (72)発明者 チャイ、チャミング
アメリカ合衆国、ノースカロライナ州 27517、チャペル・ヒル、バックスター 30094
- (72)発明者 ディーフェンダーファー、ジェームズ・ノリス
アメリカ合衆国、ノースカロライナ州 27539、アベックス、インクベリー・コート 4000

審査官 野田 佳邦

(56)参考文献 米国特許第05455834 (US, A)

米国特許出願公開第2005/0010719 (US, A1)
米国特許出願公開第2005/0027961 (US, A1)
英国特許出願公開第02268297 (GB, A)
特開平09-223070 (JP, A)
特開平10-027481 (JP, A)
特開平09-022595 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G06F 12/08-12/12