

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6309548号
(P6309548)

(45) 発行日 平成30年4月11日 (2018. 4. 11)

(24) 登録日 平成30年3月23日 (2018. 3. 23)

(51) Int. Cl.	F I	
H03M 1/68 (2006.01)	H03M 1/68	
H03M 1/08 (2006.01)	H03M 1/08	B
H03M 1/74 (2006.01)	H03M 1/74	

請求項の数 41 (全 34 頁)

(21) 出願番号	特願2015-561554 (P2015-561554)	(73) 特許権者	595020643
(86) (22) 出願日	平成26年3月4日 (2014. 3. 4)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2016-513915 (P2016-513915A)		QUALCOMM INCORPORATED
(43) 公表日	平成28年5月16日 (2016. 5. 16)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2014/020373		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02014/138098		ハウス・ドライブ 5775
(87) 国際公開日	平成26年9月12日 (2014. 9. 12)	(74) 代理人	100108855
審査請求日	平成27年11月25日 (2015. 11. 25)		弁理士 蔵田 昌俊
審査番号	不服2016-19389 (P2016-19389/J1)	(74) 代理人	100109830
審査請求日	平成28年12月26日 (2016. 12. 26)		弁理士 福原 淑弘
(31) 優先権主張番号	13/791, 536	(74) 代理人	100158805
(32) 優先日	平成25年3月8日 (2013. 3. 8)		弁理士 井関 守三
(33) 優先権主張国	米国 (US)	(74) 代理人	100112807
早期審査対象出願			弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 低グリッチノイズDAC

(57) 【特許請求の範囲】

【請求項 1】

Nビットデジタルアナログコンバータ (DAC) であって、

前記DACのM個の最上位ビットに関連する $2^M - 1$ 個の並列の段と、前記 $2^M - 1$ 個の段の各々は、電流を生成し、差動データに応じて1対のスイッチを介して前記DACの1対の電流加算ノードに前記電流を加えるように適合される、

前記DACの(N - M)個の最下位ビットに関連する(N - M)個の段と、前記(N - M)個の段の各々は、前記電流を生成し、抵抗回路網を備え、前記(N - M)個の段の各々は、差動データに応じて前記段の関連する抵抗回路網に、前記段で生成された前記電流を加えるように適合された1対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケールリングし、前記抵抗回路網の関連する段の2進重みによって定義される前記スケールリングされた電流を加えるように動作可能であり、前記(N - M)個の段は、前記(N - M)個の段のスケールリングされた電流を前記1対の電流加算ノードに加える、

前記1対の電流加算ノードに結合され、前記電流加算ノードの各々のインピーダンスおよび前記電流加算ノードの間の電圧の差を差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、

前記1対の電流加算ノードに結合され、前記(N - M)個の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、Nビットデジタルアナログコンバータ (D

10

20

A C)。

【請求項 2】

前記 (N - M) 個の段の段 i に関連する前記抵抗回路網は、前記 (N - M) 個の段の段 ($i + 1$) の前記抵抗回路網に結合され、ここにおいて、 i は、前記 DAC 内の前記段のビット位置を表す整数である、請求項 1 に記載の N ビット DAC。

【請求項 3】

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、基準電圧を受け取る、請求項 2 に記載の N ビット DAC。

【請求項 4】

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2R 回路網である、請求項 1 に記載の N ビット DAC。 10

【請求項 5】

前記インピーダンス減衰器は、

前記電流加算ノードのうちの第 1 の電流加算ノードに結合されたソース端子と、前記 DAC の第 1 の出力端子に結合されたドレイン端子と、前記増幅器の第 1 の出力端子に結合されたゲート端子とを有する、第 1 の PMOS トランジスタと、

前記電流加算ノードのうちの第 2 の電流加算ノードに結合されたソース端子と、前記 DAC の第 2 の出力端子に結合されたドレイン端子と、前記増幅器の第 2 の出力端子に結合されたゲート端子とを有する、第 2 の PMOS トランジスタと、をさらに備える、請求項 1 に記載の N ビット DAC。 20

【請求項 6】

前記 DAC の前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々は、前記電流を生成するカスコード電流源を備える、請求項 1 に記載の N ビット DAC。

【請求項 7】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、前記 DAC によって受け取られる真データビットを表すビットに応答し、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、前記 DAC によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段のすべての段で、同様のサイズを 有する、請求項 1 に記載の N ビット DAC。 30

【請求項 8】

前記 (N - M) 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、R - 2R 回路網である、請求項 1 に記載の N ビット DAC。

【請求項 9】

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記 DAC の前記電流加算ノードに結合され、前記第 2 のサブセットは、前記第 1 のサブセットを含んでいない、請求項 8 に記載の N ビット DAC。

【請求項 10】

前記 (N - M) 個の段のうちの少なくとも 1 つは、前記電流加算ノードの前記電圧を追跡し、前記追跡された電圧を前記 (N - M) 個の段のうちの前記少なくとも 1 つの前記抵抗回路網に供給するように適合された電圧追跡回路を備える、請求項 1 に記載の N ビット DAC。 40

【請求項 11】

前記電圧追跡回路は、

前記電流加算ノードのうちの第 1 の電流加算ノードに結合された第 1 の入力端子と、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網に配置された第 1 の抵抗要素に結合された第 2 の入力端子と、第 1 の増幅器の第 2 の入力端子に結合された出力端子とを有する第 1 の増幅器と、

前記電流加算ノードのうちの第 2 の電流加算ノードに結合された第 1 の入力端子と、前 50

記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網に配置された第 2 の抵抗要素に結合された第 2 の入力端子と、第 2 の増幅器の第 2 の入力端子に結合された出力端子とを有する第 2 の増幅器と、を備える、請求項 10 に記載の N ビット D A C。

【請求項 12】

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つは、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つに配置された前記トランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に配置された第 1 の抵抗要素と、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つに配置された前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に配置された第 2 の抵抗要素と、を備える、請求項 7 に記載の N ビット D A C。

10

【請求項 13】

前記 (N - M) 個の段の第 1 のサブセットの各々は、

前記段に関連する前記抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合された第 1 の容量要素と、

前記段に関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合された第 2 の容量要素と、を備える請求項 1 に記載の N ビット D A C。

【請求項 14】

20

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、M O S トランジスタを備え、前記 (N - M) 個の段の前記第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 M O S トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、請求項 13 に記載の N ビット D A C。

【請求項 15】

デジタルアナログコンバータ (D A C) であって、

前記 D A C の最上位ビットに関連する第 1 の複数の並列の段と、前記第 1 の複数の段の各々は、電流を生成し、差動データに応じて 1 対のスイッチを介して前記 D A C の 1 対の電流加算ノードに前記電流を加えるように適合される、

30

前記 D A C の最下位ビットに関連する第 2 の複数の段と、前記第 2 の複数の段の各々は、前記電流を生成し、抵抗回路網を備え、前記第 2 の複数の段の各々は、差動データに応じて前記段の関連する抵抗回路網に前記段で生成された前記電流を加えるように適合された 1 対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケールリングし、前記抵抗回路網の関連する段の 2 進重みによって定義されるスケールリングされた電流を加えるように動作可能であり、前記第 2 の複数の段は、前記第 2 の複数の段のスケールリングされた電流を前記 1 対の電流加算ノードに加える、

前記 1 対の電流加算ノードに結合され、前記電流加算ノードの各々のインピーダンスと、前記電流加算ノードの間の電圧の差とを差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、

40

前記 1 対の電流加算ノードに結合され、前記 D A C の最下位ビットに関連する第 2 の複数の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、デジタルアナログコンバータ (D A C)。

【請求項 16】

N ビットのデジタル信号をアナログ信号に変換する方法であって、

デジタルデータの M 個の最上位ビットに関連する $2^M - 1$ 個の並列の段を形成することと、

前記 $2^M - 1$ 個の段の各々で電流を生成することと、

差動データに応じて、前記 $2^M - 1$ 個の段の各々で生成された前記電流を第 1 の 1 対の

50

スイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成することと、

前記 (N - M) 個の段の各々で前記電流を生成することと、

前記 (N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成することと、

差動データに応じて、前記 (N - M) 個の抵抗回路網の各々の関連する段で生成された前記電流を、第 2 の 1 対のスイッチを介して前記 (N - M) 個の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングすることと、 10

前記スケールリングされた電流を前記 1 対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

前記 1 対の電流加算ノードの間で、前記 (N - M) 個の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すこととを備える、方法。 20

【請求項 17】

前記 (N - M) 個の段の段 i に関連する前記抵抗回路網を前記 (N - M) 個の段の段 (i + 1) の前記抵抗回路網に結合すること、ここにおいて、i は、DAC 内の前記段のビット位置を表す整数である、をさらに備える、請求項 16 に記載の方法。

【請求項 18】

前記 (N - M) 個の段の各々に基準電圧を供給することをさらに備える、請求項 17 に記載の方法。

【請求項 19】

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2R 回路網である、請求項 16 に記載の方法。 30

【請求項 20】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々でカスコード電流源を形成することと、

前記段で形成された前記カスコード電流源を用いて前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々で前記電流を生成することと、をさらに備える、請求項 16 に記載の方法。

【請求項 21】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、DAC によって受け取られる真データビットを表すビットに応答し、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、前記 DAC によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段のすべての段で、同様のサイズを有する、請求項 16 に記載の方法。 40

【請求項 22】

前記 (N - M) 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、R - 2R 回路網である、請求項 16 に記載の方法。

【請求項 23】

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第 2 のサブセットは、第 1 のサブセットを含んでいない、 50

請求項 17 に記載の方法。

【請求項 24】

前記電流加算ノードの前記電圧を追跡することと、

前記 (N - M) 個の段のうちの少なくとも 1 つの前記抵抗回路網に前記追跡された電圧を供給することと、をさらに備える、請求項 16 に記載の方法。

【請求項 25】

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つの前記トランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素を結合することと、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合することと、をさらに備える、請求項 21 に記載の方法。

【請求項 26】

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合することと、

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合することと、をさらに備える、請求項 16 に記載の方法。

【請求項 27】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、MOS トランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、請求項 26 に記載の方法。

【請求項 28】

デジタル信号をアナログ信号に変換する方法であって、

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成することと、

前記第 1 の複数の並列の段の各々で電流を生成することと、

差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を第 1 の 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの最下位ビットに関連する第 2 の複数の段を形成することと、

前記第 2 の複数の段の各々で前記電流を生成することと、

前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成することと、

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、第 2 の 1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じて前記第 1 の複数の抵抗回路網の各々によって受け取られる前記電流をスケールリングすることと、

前記スケールリングされた電流を前記 1 対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

前記 1 対の電流加算ノードに結合され、前記デジタルデータの最下位ビットに関連する第 2 の複数の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、方法。

【請求項 29】

N ビットデジタルアナログコンバータ (DAC) であって、

デジタルデータの M 個の最上位ビットに関連する $2^M - 1$ 個の並列の段を形成するため

の手段と、

前記 $2^M - 1$ 個の段の各々で電流を生成するための手段と、

前記 $2^M - 1$ 個の段の各々で生成された前記電流を 1 対の電流加算ノードに加えるための手段と、

前記デジタルデータの $(N - M)$ 個の最下位ビットに関連する $(N - M)$ 個の段を形成するための手段と、

前記 $(N - M)$ 個の段の各々で前記電流を生成するための手段と、

前記 $(N - M)$ 個の段の異なる 1 つにそれぞれが関連する $(N - M)$ 個の抵抗回路網を形成するための手段と、

前記 $(N - M)$ 個の抵抗回路網の各々の関連する段で生成された前記電流を前記 $(N - M)$ 個の抵抗回路網の各々に加えるための手段と、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングするための手段と、

前記スケールリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

前記 1 対の電流加算ノードに結合され、前記 $(N - M)$ 個の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すための手段とを備える、 N ビットデジタルアナログコンバータ (DAC)。

【請求項 30】

前記 $(N - M)$ 個の段の段 i に関連する前記抵抗回路網を前記 $(N - M)$ 個の段の段 $(i + 1)$ の前記抵抗回路網に結合するための手段、ここにおいて、 i は、前記 DAC 内の前記段のビット位置を表す整数である、をさらに備える、請求項 29 に記載の N ビットデジタルアナログコンバータ (DAC)。

【請求項 31】

前記 $(N - M)$ 個の段の各々に基準電圧を供給するための手段をさらに備える、請求項 30 に記載の N ビットデジタルアナログコンバータ (DAC)。

【請求項 32】

前記 $(N - M)$ 個の段の各々に関連する前記抵抗回路網は、 $R - 2R$ 回路網である、請求項 29 に記載の N ビットデジタルアナログコンバータ (DAC)。

【請求項 33】

前記 $2^M - 1$ 個の並列の段及び前記 $(N - M)$ 個の段の各々でカスコード電流源を形成するための手段と、

前記段で形成された前記カスコード電流源を用いて前記 $2^M - 1$ 個の並列の段及び前記 $(N - M)$ 個の段の各々で前記電流を生成するための手段と、をさらに備える、請求項 29 に記載の N ビットデジタルアナログコンバータ (DAC)。

【請求項 34】

前記 $2^M - 1$ 個の並列の段及び前記 $(N - M)$ 個の段の各々のスイッチは、トランジスタスイッチであり、前記 $(N - M)$ 個の段の前記トランジスタスイッチのうちの 1 つは、前記 DAC によって受け取られる真データビットを表すビットに応答し、前記 $(N - M)$ 個の段の前記トランジスタスイッチのうちの 1 つは、前記 DAC によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、前記 $2^M - 1$ 個の並列の段及び前記 $(N - M)$ 個の段のすべての段で、同様のサイズを有する、請求項 29 に記載の N ビットデジタルアナログコンバータ (DAC)。

【請求項 35】

前記 $(N - M)$ 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、 $R - 2R$ 回路網である、請求項 29 に記載の N ビットデジタルアナログコンバータ (DAC)

10

20

30

40

50

)。

【請求項 3 6】

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第 2 のサブセットは、前記第 1 のサブセットを含んではない、請求項 3 0 に記載の N ビットデジタルアナログコンバータ (D A C) 。

【請求項 3 7】

前記電流加算ノードの前記電圧を追跡するための手段と、

前記 (N - M) 個の段のうちの少なくとも 1 つの前記抵抗回路網に前記追跡された電圧を供給するための手段と、をさらに備える、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C) 。

10

【請求項 3 8】

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つの前記トランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素を結合するための手段と、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合するための手段と、をさらに備える、請求項 3 4 に記載の N ビットデジタルアナログコンバータ (D A C) 。

【請求項 3 9】

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合するための手段と、

20

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合するための手段と、をさらに備える、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C) 。

【請求項 4 0】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々のスイッチは、M O S トランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 M O S トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、請求項 3 9 に記載の N ビットデジタルアナログコンバータ (D A C) 。

30

【請求項 4 1】

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成するための手段と、

前記第 1 の複数の並列の段の各々で電流を生成するための手段と、

前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対の電流加算ノードに加えるための手段と、

前記デジタルデータの (N - M) 個の最下位ビットに関連する第 2 の複数の段を形成するための手段と、

前記第 2 の複数の段の各々で前記電流を生成するための手段と、

前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成するための手段と、

40

前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を前記第 1 の複数の抵抗回路網の各々に加えるための手段と、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングするための手段と、

前記スケールリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、アナログ信号の値を定義

50

する、

前記 1 対の電流加算ノードに結合され、前記デジタルデータの (N - M) 個の最下位ビットに関連する第 2 の複数の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、デジタルアナログコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

合衆国法典第 35 編 (米国特許法) 第 119 条の下での優先権の主張

[0001] 本出願は、2013 年 3 月 8 日に提出した米国特許出願第 13 / 791, 536 号の利益を主張するものであり、この特許出願は、その全体が参照により本明細書に組み込まれている。

10

【0002】

[0002] 本開示は、電子回路に関し、より詳細には、デジタルアナログコンバータに関する。

【背景技術】

【0003】

[0003] デジタルアナログコンバータ (DAC: digital-to-analog converter) は、デジタル信号をアナログ信号に変換する電子回路である。いくつかのパラメータが、任意の所与のアプリケーションへの DAC の適性を決定するために使用される。これらのパラメータの中には、DAC がデジタルアナログ変換を実行する速度、DAC の解像度 (resolution)、および DAC によって生じる雑音がある。

20

【0004】

[0004] セルラ電話などのワイヤレス通信デバイスは、高速で高解像度の DAC を用いて、通信デバイスに配置されたアナログ回路によるさらなる処理のためにデジタル信号をアナログ信号に変換することが多い。そのような DAC で生じるグリッチ (glitch) は、ノイズフロア (noise floor) を高くし、そのノイズフロアが、ひいては、ワイヤレス通信デバイスによって送信される信号と干渉する可能性がある。グリッチノイズ (glitch noise) の主な原因の 1 つは、DAC のデジタル入力で遷移 (transition) が起こるときに DAC のさまざまな段 (stage) の間に存在する遅延の差である。

30

【0005】

[0005] 低雑音、低電力、広帯域、高解像度の DAC が、ロングタームエボリューション (LTE) 規格などの先進的なワイヤレス規格のためにますます重要になっている。無線周波数 (RF) の応用において、送信機の DAC によって生じる高周波数のグリッチノイズは、受信機のチャネルに入り、感度を落とす可能性がある帯域外雑音である。低電力、高解像度、広帯域の DAC でグリッチノイズを制御することが、課題として残っている。

【発明の概要】

【0006】

[0006] 本発明の実施形態によるデジタルアナログコンバータ (DAC) は、同じ量の電流を生じ、同様にサイズを決められたトランジスタスイッチを有する入力段 (input stage) を含む。したがって、トランジスタスイッチを流れる電流、およびグリッチノイズは、DAC のすべての入力段 (input stage) に関して同じである。DAC の最下位ビット (least significant bits) に対応する入力段は、抵抗回路網 (resistive network) を含む。それぞれのそのような段の抵抗回路網は、その抵抗回路網が受け取る電流を、DAC 内の段のビット位置の 2 進重み (binary weight) に応じてスケールリングする。

40

【0007】

[0007] 本発明の一実施形態による N ビット DAC は、一部に、DAC の M 個の最上位ビット (most significant bits) に関連する $2^M - 1$ 個の並列の段と、DAC の (N - M) 個の最下位ビットに関連する (N - M) 個の段と、インピーダンス減衰器 (impedance

50

attenuator) とを含む。 $2^M - 1$ 個の段の各々は、1 対のスイッチを含み、同じ電流を生成し、その段のスイッチの対を介して D A C の 1 対の電流加算ノード (current summing node) にこの電流を加えるように適合される。 $(N - M)$ 個の段の各々は、抵抗回路網を含み、 $2^M - 1$ 個の段で生成される電流と同じ電流を生成する。 $(N - M)$ 個の段の各々は、 M S B の段のスイッチと同じサイズを有する 1 対のスイッチをさらに含み、差動データ (differential data) に応じて、その段で生成された電流を段に関連する抵抗回路網に加えるように適合される。それぞれの抵抗回路網は、その抵抗回路網が受け取る電流を、その抵抗回路網の関連する段の 2 進重みに応じてスケールリングするように動作可能である。 $(N - M)$ 個の段は、それらの段のスケールリングされた電流を 1 対の電流加算ノードに加える。インピーダンス減衰器は、一部に、電流加算ノードに結合され、電流加算ノードの各々のインピーダンスと、電流加算ノードの間の電圧の差とを、差動増幅器の利得によって定義される範囲内に保つように適合された差動増幅器を含む。

10

【 0 0 0 8 】

[0008] 一実施形態において、ビット位置が 1 つの D A C のビットだけ異なる入力段に関連する抵抗回路網が、互いに結合される。一実施形態において、それぞれの抵抗回路網は、基準電圧を受け取る。さらに別の実施形態において、それぞれの抵抗回路網は、 $R - 2 R$ 回路網である。

【 0 0 0 9 】

[0009] 一実施形態において、インピーダンス減衰器は、一部に、第 1 の P M O S トランジスタと第 2 の P M O S トランジスタとをさらに含む。第 1 の P M O S トランジスタは、第 1 の電流加算ノードに結合されたソース端子と、D A C の第 1 の出力端子に結合されたドレイン端子と、増幅器の第 1 の出力端子に結合されたゲート端子とを有する。第 2 の P M O S トランジスタは、第 2 の電流加算ノードに結合されたソース端子と、D A C の第 2 の出力端子に結合されたドレイン端子と、増幅器の第 2 の出力端子に結合されたゲート端子とを有する。

20

【 0 0 1 0 】

[0010] 一実施形態において、D A C の N 個の段の各々は、その段のトランジスタスイッチを通過する同じ電流を生成するカスコード電流源 (cascode current source) を含む。一実施形態においては、 N 個の段の各々のトランジスタスイッチのうちの 1 つが、D A C によって受け取られる真データビット (true data bit) を表すビットに応答する。 N 個の段の各々の他のトランジスタスイッチが、D A C によって受け取られるビットの補数 (complement) を表すビットに応答する。

30

【 0 0 1 1 】

[0011] 一実施形態において、 $(N - M)$ 個の段の第 1 のサブセットのみの各々に関連する抵抗回路網は、 $R - 2 R$ 回路網である。別の実施形態において、 $(N - M)$ 個の段の第 2 のサブセットの各々に関連する抵抗回路網は、D A C の電流加算ノードに結合される。第 2 のサブセットは、第 1 のサブセットを含まない。

【 0 0 1 2 】

[0012] 一実施形態において、 $(N - M)$ 個の段のうちの少なくとも 1 つは、電流加算ノードの電圧を追跡し、追跡された電圧をその段の抵抗回路網に供給するように適合された電圧追跡回路 (voltage tracking circuit) をさらに含む。一実施形態において、電圧追跡回路は、第 1 の増幅器と第 2 の増幅器とを含む。第 1 の増幅器は、第 1 の電流加算ノードに結合された第 1 の入力端子と、その段の抵抗回路網に配置された第 1 の抵抗要素に結合された第 2 の入力端子と、第 1 の増幅器の第 2 の入力端子に結合された出力端子とを有する。第 2 の増幅器は、第 2 の電流加算ノードに結合された第 1 の入力端子と、その段の抵抗回路網に配置された第 2 の抵抗要素に結合された第 2 の入力端子と、第 2 の増幅器の第 2 の入力端子に結合された出力端子とを有する。

40

【 0 0 1 3 】

[0013] 一実施形態において、D A C の $(N - M)$ 個の段のうちの少なくとも 1 つは、その段の抵抗回路網に電圧を供給する基準電圧と、電流加算ノードとの間の電流の流れを

50

打ち消すように適合された歪みキャンセル回路 (distortion cancellation circuit) をさらに含む。一実施形態において、DACの $2^M - 1$ 個の段のうちの少なくとも1つは、第1の抵抗要素と第2の抵抗要素とをさらに含む。第1の抵抗要素は、その段のトランジスタスイッチのうちの1つと第1の電流加算ノードとの間に配置される。第2の抵抗要素は、その段のトランジスタスイッチのうちの別の1つと第2の電流加算ノードとの間に配置される。

【0014】

[0014] 一実施形態において、 $(N - M)$ 個の段の各々は、第1の容量要素 (capacitive element) と第2の容量要素とをさらに含む。それぞれのそのような段の第1の容量要素が、その段の抵抗回路網に配置された第1の抵抗要素の端子の間に平行に結合される。それぞれのそのような段の第2の容量要素が、その段の抵抗回路網に配置された第2の抵抗要素の端子の間に平行に結合される。そのような実施形態において、それぞれのそのような段の第1の容量要素および第2の容量要素は、DACに配置されたMOSトランジスタスイッチのドレイン - 基板静電容量 (drain-to-substrate capacitance) の実質的に2倍の静電容量を有する。

【0015】

[0015] 本発明の一実施形態による、 N ビットのデジタル信号をアナログ信号に変換するための方法は、一部に、デジタルデータの M 個の最上位ビットに関連する $2^M - 1$ 個の並列の段を形成することと、 $2^M - 1$ 個の段の各々で同じ電流を生成することと、それぞれのそのような段に配置された1対のスイッチを介して $2^M - 1$ 個の段からの電流を第1の電流加算ノードと第2の電流加算ノードとに加えることとを含む。方法は、デジタルデータの $(N - M)$ 個の最下位ビットに関連する $(N - M)$ 個の段を形成することと、 $2^M - 1$ 個の段の各々で生成された電流と同じである電流を $(N - M)$ 個の段の各々で生成することとさらに含む。方法は、 $(N - M)$ 個の段の異なる1つにそれぞれが関連する $(N - M)$ 個の抵抗回路網を形成することと、 $(N - M)$ 個の抵抗回路網の各々の関連する段で生成された電流を、1対のスイッチを介して $(N - M)$ 個の抵抗回路網の各々に加えることと、抵抗回路網の関連する段の2進重みに応じてそれぞれの抵抗回路網によって受け取られる電流をスケールリングすることと、スケールリングされた電流を1対の電流加算ノードに加えることとをさらに含む。方法は、電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、電流加算ノードの間の電圧の差を利得の値によって定義される範囲内に保つこととをさらに含む。電流加算ノードに加えられる電流の差は、アナログ信号の値を定義する。

【0016】

[0016] 本開示の態様が、例として示される。添付の図面において、同様の参照番号は、同様の要素を示す。

【図面の簡単な説明】

【0017】

【図1】[0017] 本発明のさまざまな態様が具現化され得るワイヤレス通信デバイスのブロック図。

【図2】[0018] 本発明の1つの例示的な実施形態による、低グリッチノイズを有するように適合された電流ステアリング (current steering) DACの簡略化されたブロック図。

【図3】[0019] 本発明の1つの例示的な実施形態による、図2に示されたDACのインピーダンス減衰器の簡略化されたブロック図。

【図4】[0020] 本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された電流ステアリングDACの簡略化されたブロック図。

【図5】[0021] 本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された電流ステアリングDACの簡略化されたブロック図。

【図6】[0022] 本発明の別の例示的な実施形態による電流ステアリングDACのセグメントの簡略化されたブロック図。

【図 7】[0023] 本発明の別の例示的なものによる電流ステアリング D A C のセグメントの簡略化されたブロック図。

【図 8】[0024] 本発明の別の例示的な実施形態による電流ステアリング D A C のセグメントの簡略化されたブロック図。

【図 9】[0025] 本発明の別の例示的な実施形態による電流ステアリング D A C のセグメントの簡略化されたブロック図。

【図 10】[0026] 本発明の別の例示的な実施形態による電流ステアリング D A C のセグメントの簡略化されたブロック図。

【図 11】[0027] 本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された電流ステアリング D A C の簡略化されたブロック図。

【図 12】[0028] 本発明の一実施形態による、デジタル信号をアナログ信号に変換するための方法の流れ図。

【発明を実施するための形態】

【0018】

[0029] いくつかの例示的な実施形態が、以降、本明細書の一部を形成する添付の図面に関連して説明される。本開示の 1 つまたは複数の態様が実装され得る特定の実施形態が以下で説明されるが、本開示の範囲を逸脱することなく他の実施形態が使用される可能性があり、さまざまな修正がなされる可能性がある。

【0019】

[0030] 本発明の実施形態によるデジタルアナログコンバータ (D A C) は、同じ量の電流を生じ、同様にサイズを決められたトランジスタスイッチを有する入力段を含む。トランジスタスイッチを流れる電流は、したがって、D A C のすべての入力段に関して同じである。D A C の最下位ビットに対応する入力段は、抵抗回路網を含む。それぞれのそのような段の抵抗回路網は、その抵抗回路網が受け取る電流を、D A C 内の段のビット位置の 2 進重みに応じてスケールリングする。

【0020】

[0031] 図 1 は、本発明の一実施形態による、ワイヤレス通信システムで使用されるワイヤレス通信デバイス 150 (以降、代替的に、デバイスと呼ばれる) のブロック図である。デバイス 150 は、セルラ電話、携帯情報端末 (P D A) 、モデム、ハンドヘルドデバイス、ラップトップコンピュータなどであり得る。

【0021】

[0032] デバイス 150 は、任意の所与の時間にダウンリンク (D L) および / またはアップリンク (U L) で 1 つまたは複数の基地局と通信し得る。ダウンリンク (または順方向リンク) は、基地局からデバイスへの通信リンクを指す。アップリンク (または逆方向リンク) は、デバイスから基地局への通信リンクを指す。

【0022】

[0033] ワイヤレス通信システムは、利用可能なシステムリソース (たとえば、帯域幅と送信電力と) を共有することによって複数のユーザとの通信をサポートすることができる多元接続システムであり得る。そのようなシステムの例は、符号分割多元接続 (C D M A) システム、時分割多元接続 (T D M A) システム、周波数分割多元接続 (F D M A) システム、直交周波数分割多元接続 (O F D M A) システム、空間分割多元接続 (S D M A) システムを含む。

【0023】

[0034] ワイヤレス通信デバイス 150 は、ロングタームエボリューション (L T E) システムなどのワイヤレス通信システムで使用される可能性がある。ワイヤレス通信システム 150 は、高データレートまたは帯域幅で連続して動作させられ、したがって、ワイヤレス通信システム 150 で使用される D A C のために大きくされた帯域幅を必要とする可能性がある。大きくされた帯域幅は、広い範囲の周波数とデジタルプリディストーション動作とを扱うことができるシステムオンチップで実装された広帯域の D A C を必要とする可能性がある。プリディストーション動作は、そのようなワイヤレスシステムにおける

低コストの非線形電力増幅器の使用を可能にし得る。

【0024】

[0035] デバイス150は、一部に、変調器104と、DAC100と、フィルタ108と、増幅器110とを含むものとして示されており、これらは、集合的に送信チャネルを形成する。変調器104は、到着するデジタル信号IN2を変調し、それに応じて、変調された信号MOD_OUT4をDAC100に供給するように適合される。以下でさらに説明されるように、DAC100は、組み込み負荷（インピーダンス）減衰器を有する。DAC100によって供給される変換された信号DAC_OUT6は、フィルタ108によって受け取られ、フィルタリングされる。フィルタ108の出力信号FIL_OUT8は、それに応じて信号AMP1_OUT10を生成する増幅器110によって受け取られ、増幅される。増幅器110によって生成された信号AMP1_OUTは、アンテナ114によって送信される前に信号AMP2_OUTを生成するために電力増幅器112を用いてさらに増幅される可能性がある。

10

【0025】

[0036] 低電力ワイヤレスまたはコンシューマデバイスは、より少ない電流で動作するDACを必要とする可能性がある。そのような応用においては、信号対雑音歪み比（SNDR：signal-to-noise distortion ratio）と、スプリアスフリーダイナミックレンジ（SFDR：spurious free dynamic range）と、全高調波歪み（THD：total harmonic distortion）とを含む動的線形性性能基準が、重要なシステムパラメータである。

20

【0026】

[0037] 図2は、本発明の1つの例示的な実施形態による、低グリッチノイズを有するように適合された14ビット電流ステアリングDAC100のブロック図である。DAC100は、図1に示されたデバイス150で使用され得る。DAC100は14ビットの解像度を有するものとして示されているが、本発明による低グリッチノイズのDACは、14ビットより高いまたはより低い解像度を有していてもよいことが理解される。DAC100は、DACの6つの最上位ビット（MSB：most significant bits）を形成するために並列に接続される63個の同様の入力段110_j - - jは1から63まで変化する整数である - - を含む（簡単にするために、段110のうちの1つのみが示されている）。DAC100は、DACの8つの最下位ビット（LSB：least significant bits）を形成する8つの段120_i - - iは1から8まで変化する整数である - - も含む。63個の入力段110_jは、代替的および集合的に入力段110と呼ばれる。同様に、8つの入力段120_iは、代替的および集合的に入力段120と呼ばれる。簡単にするために、入力段120_iのうちの3つだけが示されている。

30

【0027】

[0038] また、DAC100は、以下で詳細に説明される出力段190を含むものとして示されている。また、DAC100は、14ビットの入力信号D_{in}[13:0]を受け取り、さまざまな入力段110、120のトランジスタ140、145に印可されるさまざまな真ビット（true bit）Dと相補ビット（complement bit）DBとを復号するデコーダ160を含むものとして示されている。

40

【0028】

[0039] それぞれの入力段120_iは、カスコード電流源と一緒に形成する1対のトランジスタ130と135とを含むものとして示されている。また、それぞれの入力段120_iは、入力段に関連し、入力段によって受け取られる1対の差動データDとDBとに回答する1対のトランジスタスイッチ140と145とを含むものとして示されている。それぞれの入力段110_jも、カスコード電流源と一緒に形成する1対のトランジスタ130と135とを含むものとして示されている。また、それぞれの入力段110_jは、入力段に関連し、入力段によって受け取られる1対の差動データDとDBとに回答する1対のトランジスタスイッチ140と145とを含むものとして示されている。入力段120_iと110_jとに配置されるトランジスタ130は、実質的に同じサイズを有する。同様に、入力段120_iと110_jとに配置されるトランジスタ135は、実質的に同じサイズを

50

有する。したがって、段 120_i と 110_j とで生成される電流 I_0 は、同じ大きさを有する。

【0029】

[0040] また、DAC100は、8つのLSBの段 120 のうちの異なる1つにそれぞれが関連する8つの抵抗回路網 155_i を含むものとして示されている。それぞれの抵抗回路網 155_i は、入力段 120_i に関連付けられ、抵抗回路網がその関連する入力段から受け取る電流をスケールリングするように適合される。各入力段に関連する抵抗回路網は、その入力段に配置されたトランジスタスイッチ 140 、 145 のドレイン端子から見られるとき、 $R-2R$ 回路網を形成する。たとえば、段 120_2 は、 $R-2R$ 抵抗回路網 155_2 を含むものとして示されている。同様に、段 120_8 は、 $R-2R$ 抵抗回路網 155_8 を含むものとして示されている。

10

【0030】

[0041] 図2から分かるように、それぞれの抵抗回路網 155_i は、4つの抵抗器、すなわち、抵抗器 152_i と、 154_i と、 156_i と、 158_i とを含むものとして示されている。各入力段 120_i の抵抗器 152_i および 156_i は、その入力段に配置されたトランジスタスイッチ 140_i のドレイン端子に結合された共通端子を有する。同様に、各入力段 120_i の抵抗器 154_i および 158_i は、その入力段に配置されたトランジスタスイッチ 145_i のドレイン端子に結合された共通端子を有する。抵抗器 152_i と 154_i との第2の端子は、基準電圧 V_{ref} を受け取る。 k が1から7までの範囲の整数であるそれぞれの段 120_k に関して、抵抗器 156_k の第2の端子は、トランジスタスイッチ 140_{k+1} 、すなわち、真入力データ (true input data) D_{k+1} を受け取り、入力段 120_k のビット位置よりも1つ上のビット位置を有する入力段 120_{k+1} に配置されたトランジスタスイッチのドレイン端子に結合される。同様に、抵抗器 158_k の第2の端子は、トランジスタスイッチ 145_{k+1} 、すなわち、相補入力データ (complementary input data) DB_{k+1} を受け取り、入力段 120_{k+1} に配置されたトランジスタスイッチのドレイン端子に結合される。

20

【0031】

[0042] たとえば、入力段 120_2 に関連する抵抗回路網 155_2 は、抵抗器 152_2 と、 154_2 と、 156_2 と、 158_2 とを含むものとして示されている。抵抗器 152_2 および 156_2 は、入力段 120_2 に配置されたトランジスタスイッチ 140_2 のドレイン端子に結合された共通端子を有する。同様に、入力段 120_2 の抵抗器 154_2 および 158_2 は、入力段 120_2 に配置されたトランジスタスイッチ 145_2 のドレイン端子に結合された共通端子を有する。抵抗器 152_2 と 154_2 との第2の端子は、基準電圧 V_{ref} を受け取る。抵抗器 156_2 の第2の端子は、トランジスタスイッチ 140_3 のドレイン端子に結合される。同様に、抵抗器 158_2 の第2の端子は、トランジスタスイッチ 145_3 のドレイン端子に結合される。

30

【0032】

[0043] 最後のLSBの段に関連する抵抗回路網 155_8 の抵抗器 152_8 および 156_8 は、入力段 120_8 に配置されたトランジスタスイッチ 140_8 のドレイン端子に結合された共通端子を有する。同様に、各入力段 120_8 の抵抗器 154_8 および 158_8 は、入力段 120_8 に配置されたトランジスタスイッチ 145_8 のドレイン端子に結合された共通端子を有する。抵抗器 152_8 および 154_8 の第2の端子は、基準電圧 V_{ref} を受け取る。抵抗器 156_8 の第2の端子は、出力段 190 の加算ノード B に結合される。同様に、抵抗器 158_8 の第2の端子は、出力段 190 の加算ノード B' に結合される。

40

【0033】

[0044] 抵抗器 156_i と 158_i との各々は、抵抗 R を有する。抵抗器 152_i と 154_i もまた、 R の抵抗を有する。残り7個の段の抵抗器 152_i と 154_i との各々は、 $2R$ の抵抗を有する。したがって、各入力段 120_i に関連する抵抗回路網 155_i は、その入力段に配置されたトランジスタスイッチ 140_i と 145_i とのドレイン端子から見られるとき、 $R-2R$ 回路網を形成する。

50

【0034】

[0045] 各抵抗回路網 155_i の抵抗は、各抵抗回路網を流れる電流が抵抗回路網の関連する入力段 120_i の2進重みに比例するように選択される。したがって、各入力段のカスコードトランジスタ 130 と 135 とを流れる電流が I_0 であると仮定される場合、たとえば - - 7番目の最上位ビットに関連する - - 段 120_8 の抵抗回路網 155_8 に配置されたレジスタ 156_8 と 158_8 とを通過して加算ノード B 、 B' に流れる電流は、 $(1/2) * I_0$ である。同様に、- - 最下位ビットに関連する - - 段 120_1 の抵抗回路網 155_1 を通過して加算ノード B 、 B' に流れる電流は、 $(1/2^{56}) * I_0$ である。抵抗回路網 150_i を流れる電流は、出力段 190 に入力信号を与える電流加算ノード B 、 B' に加えられる。DAC 100 の例示的な実施形態において、抵抗回路網は $R - 2R$ 回路網として示されているが、2進重みを用いて電流をスケールリングするように適合された任意の他の抵抗回路網が使用され得ることが理解される。

10

【0035】

[0046] 本発明の一態様による出力段 190 は、インピーダンス減衰器 190 を含む。代替的に、出力段 190 は、本明細書において、インピーダンス減衰器 190 と呼ばれる。インピーダンス減衰器 190 の出力ノード O 、 O' の間の差動電圧は、DAC 100 の出力電圧を表す。抵抗器 174 、 176 は、キャパシタ 178 および電圧源 172 と一緒に、出力負荷 170 を表す。電流源 162 、 164 は、ノード B 、 B' に電流 I_{offset} をそれぞれ与え、電流シンク 166 および 168 は、ノード O 、 O' から電流 I_{offset} をそれぞれ引き出す。電流源 162 、 164 と、電流シンク 166 、 168 とは、減衰器 190 に配置されたトランジスタを、動作の活性領域 (active region) でバイアスをかけられるように保つように適合される。

20

【0036】

[0047] DAC のすべての入力段 110 、 120 のトランジスタスイッチ 140 と 145 とを流れる電流が実質的に同じであり、それらの入力段 110 、 120 の関連する抵抗回路網によってのみ - - トランジスタスイッチを通過した後に - - スケールリングされるため、さらには、すべての段のスイッチ 140 および 145 が同じサイズを有するため、DAC 100 のMSBの段とLSBの段との間のグリッチエネルギー (glitch energy) が整合 (match) させられる。したがって、DAC 100 は、従来のDACよりもずっと低いグリッチノイズを有する。抵抗回路網は、2進重みを用いて、スイッチを通過する電流を正確に分ける。例示的な14ビットDAC 106 の8ビットの精度の抵抗器の整合は、比較的容易に達成可能である。

30

【0037】

[0048] 各入力段 120_k によって見られる $R - 2R$ 回路網のために、各入力段 120_i のトランジスタ 140_i を流れる電流の半分が、電圧 V_{ref} に供給され、一方、この電流の残り半分は、トランジスタ $140_{(i+1)}$ のドレイン端子に供給される。同様に、各入力段 120_i のトランジスタ 145_i を流れる電流の半分が、電圧 V_{ref} に供給され、一方、この電流の残り半分は、トランジスタ $145_{(i+1)}$ のドレイン端子に供給される。したがって、各抵抗回路網 155_i を流れる電流は、抵抗回路網 $155_{(i+1)}$ を流れる電流の半分である。したがって、各入力段 120_i の抵抗回路網を流れる電流は、DACの抵抗回路網の関連する入力段 120_i の2進重みに比例する。

40

【0038】

[0049] 有利なことに、インピーダンス減衰器 190 は、出力負荷 170 が持ち得るインピーダンスの範囲を広げる。インピーダンス減衰器 190 は、プロセスと、電圧と、温度との変化による出力負荷のインピーダンスの変化を考慮するようにさらに適合される。結果として、DAC 100 のすべての入力段が同じ量の電流を生成し、同様のスイッチのサイズを有するので、DAC 100 は、従来のDACよりも、プロセス、電圧、および温度にわたって、ずっと小さな帯域外雑音の変化 (out-of-band noise variation) を有する。さらに、本発明によるインピーダンス減衰器 190 は、DAC 100 のSFDRおよびSND Rが所望の値の範囲内であることを保証するために抵抗器 152_i と、 154_i と

50

、 156_i と、 158_i との抵抗を選択する際のより大きな柔軟性を提供する。換言すると、本発明によるインピーダンス減衰器は、抵抗回路網の抵抗を負荷抵抗から切り離す。

【0039】

【0050】 図3は、負荷170に結合されたインピーダンス減衰器190の簡略化されたブロック図である。インピーダンス減衰器190は、1組の差動入力と1組の差動出力とを有する増幅器180と、トランジスタ182、184とを含むものとして示されている。インピーダンス減衰器は、米国特許第8,169,353号で説明されている。電流源162、164は、ノードB、B'に電流 I_{offset} をそれぞれ与え、電流シンク166および168は、ノードO、O'から電流 I_{offset} をそれぞれ引き出す。電流源162、164と、電流シンク166、168とは、トランジスタ182、184を動作の活性領域に保つように適合される。

10

【0040】

【0051】 減衰器190は、ノードB、B'の間の電圧差を増幅器180のDC利得によって定義される比較的狭い範囲内に保つように適合される。たとえば、増幅器180が60dBのDC利得を有し、出力ノードO、O'の間の電圧差が1Vである場合、ノードB、B'の間の電圧差は、以下でさらに説明されるように、ほぼ1mVに保たれる。

【0041】

【0052】 たとえば、DAC100が、DACの入力の変化に応じてノードBにより大きな電流をステアリングすると仮定する。これは、ノードBの電圧を高める。増幅器180の入力端子が比較的高いインピーダンスを有するので、ノードBに注入されるさらなる電流が、トランジスタ182に流され、それによって、出力ノードOの電圧を高める。増幅器180は、PMOSトランジスタ182のソース電圧を比較的一定に保つようにPMOSトランジスタ182のゲート電圧を下げるように適合される。トランジスタ182のソース電圧を比較的一定に保つことによって、ノードB、B'の間の電圧差が、増幅器180のDC利得によって定義される非常に狭い範囲内に保たれる。ノードO、O'のインピーダンスに対するノードB、B'のインピーダンスの比も、増幅器180の利得によって定義される。図3のインピーダンス減衰器190は完全な差動増幅器(fully differential amplifier)180を含むものとして示されているが、他の実施形態においては、インピーダンス減衰器190は、米国特許第8,169,353号に示されるように、その代わりに1対のシングルエンド増幅器を含む可能性があることが理解される。

20

30

【0042】

【0053】 図4は、本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された電流ステアリングDAC200の簡略化されたブロック図である。DAC200は、一部に、DAC200の6つのMSBを形成するために並列に接続される63個の同様の段110_j(段110のうちの1つのみが示されている)を含むものとして示された14ビットDACである。DAC200は、DAC200の4つの中間ビット(MID)を形成する4つの段210₁、220₂、220₃、220₄(代替的および集合的に段210と呼ばれる)も含む。DAC200は、DACの4つのLSBを形成する4つの段120₁、120₂、120₃、120₄(代替的および集合的に段120または120_iと呼ばれる)も含む。示されていないが、DAC200は、図2に示されたデコーダと同様のデコーダも含むことが理解される。DAC200は、インピーダンス減衰器190も含む。DAC200は14ビットDACであるものとして示されているが、本発明による低グリッチノイズのDACは、14ビットよりも高いまたは低い解像度を有する可能性があることが理解される。

40

【0043】

【0054】 入力段120_i、110_j、および210_m(mは1から4まで変化する整数である)に配置されるトランジスタ130は、実質的に同じサイズを有する。同様に、入力段120_iと110_jと210_mとに配置されるトランジスタ135は、実質的に同じサイズを有する。したがって、すべての段120_iと、110_jと、210_mとで生成される電流 I_0 は、同じ大きさを有する。

50

【 0 0 4 4 】

[0055] D A C 2 0 0 の入力段 1 2 0_i は、上述の D A C 1 0 0 の入力段 1 2 0_i (図 2 参照) と同様である。D A C 2 0 0 の各 M I D の段 2 1 0_m は、その段に割り当てられた 2 進重みに応じて、抵抗回路網がその関連する段に配置されたスイッチから受け取る電流をスケールリングする抵抗回路網 2 1 5_m を含む。たとえば、段 2 1 0₄ は、抵抗回路網 2 1 5₄ がその関連するスイッチ 1 4 0₄ と 1 4 5₄ とから受け取る電流を (1 / 2 × I₀) にスケールリングし、この電流を D A C 2 0 0 の加算ノード B、B' に加える抵抗回路網 2 1 5₄ を含むものとして示されている。入力段 2 1 0_m に関連する各抵抗回路網の抵抗は、それぞれのそのような抵抗回路網を流れる電流が D A C の抵抗回路網の関連する入力段の 2 進重みに比例するように選択される。

10

【 0 0 4 5 】

[0056] 各抵抗回路網 2 1 5_m は、4 つの抵抗器を含むものとして示されている。抵抗回路網 2 1 5_m の抵抗器 2 2 2_m および 2 2 6_m は、入力段 2 1 0_m に配置されたトランジスタスイッチ 1 4 0_m のドレイン端子に結合された共通端子を有する。同様に、各入力段 2 1 5_m の抵抗器 2 2 4_m および 2 2 8_m は、入力段 2 1 0_m に配置されたトランジスタスイッチ 1 4 5_m のドレイン端子に結合された共通端子を有する。抵抗器 2 2 2_m と 2 2 4_m との第 2 の端子は、基準電圧 V_{ref} を受け取る。抵抗器 2 2 6_m の第 2 の端子は、インピーダンス減衰器 1 9 0 の加算ノード B に結合される。同様に、抵抗器 2 2 8_m の第 2 の端子は、出力インピーダンス減衰器 1 9 0 の加算ノード B' に結合される。

20

【 0 0 4 6 】

[0057] 抵抗回路網 2 1 5₄ の 4 つの抵抗器 2 2 2₄ と、2 2 4₄ と、2 2 6₄ と、2 2 8₄ との各々は、2 R の抵抗を有する。したがって、入力段 2 1 0₄ のトランジスタ 1 4 0₄、1 4 5₄ を通過する電流 I₀ の半分が、電圧 V_{ref} に流れるようにされる一方、この電流の残り半分は、加算ノード B、B' に流れるようにされる。抵抗回路網 2 1 5₃ の抵抗器 2 2 2₃、2 2 4₃ は、2 R の抵抗を有するものとして示されており、抵抗回路網 2 1 5₃ の抵抗器 2 2 6₃ と 2 2 8₃ とは、6 R の抵抗を有するものとして示されている。したがって、入力段 2 1 0₃ のトランジスタ 1 4 0₃、1 4 5₃ を流れる電流 I₀ の 3 / 4 (すなわち、6 / (6 + 2)) が、電圧 V_{ref} を流れるようにされ、入力段 2 1 0₃ のトランジスタ 1 4 0₃、1 4 5₃ を流れる電流 I₀ の 1 / 4 (すなわち、2 / (6 + 2)) は、加算ノード B、B' に流れるようにされる。抵抗回路網 2 1 5₂ の抵抗器 2 2 2₂、2 2 4₂ は、2 R の抵抗を有するものとして示されており、抵抗回路網 2 1 5₂ の抵抗器 2 2 6₂ と 2 2 8₂ とは、1 4 R の抵抗を有するものとして示されている。したがって、入力段 2 1 0₂ のトランジスタ 1 4 0₂、1 4 5₂ を流れる電流 I₀ の 7 / 8 (すなわち、1 4 / (1 4 + 2)) が、電圧 V_{ref} を流れるようにされ、入力段 2 1 0₂ のトランジスタ 1 4 0₁、1 4 5₂ を流れる電流 I₀ の 1 / 8 (すなわち、2 / (1 4 + 2)) は、加算ノード B、B' に流れるようにされる。抵抗回路網 2 1 5₁ の抵抗器 2 2 2₁、2 2 4₁ は、2 R の抵抗を有するものとして示されており、抵抗回路網 2 1 5₁ の抵抗器 2 2 6₁ と 2 2 8₁ とは、1 5 R の抵抗を有するものとして示されている。しかし、図 4 から分かるように、入力段 2 1 0₁ の抵抗器 2 2 2₁ と 2 2 4₁ とは、L S B の段 1 2 0₄ の抵抗回路網 1 5 5₄ にやはり接続される。したがって、抵抗器 2 2 2₁、2 2 6₁ の共通端子と V_{ref} との間の実効抵抗は、R である。同様に、抵抗器 2 2 4₁、2 2 8₁ の共通端子と V_{ref} との間の実効抵抗は、R である。したがって、入力段 2 1 0₁ のトランジスタ 1 4 0₁、1 4 5₁ を流れる電流 I₀ の 1 / 1 6 (すなわち、1 5 / (1 5 + 1)) が、電圧 V_{ref} を流れるようにされ、入力段 2 1 0₁ のトランジスタ 1 4 0₁、1 4 5₁ を流れる電流 I₀ の 1 / 1 6 (すなわち、1 / (1 5 + 1)) は、加算ノード B、B' に流れるようにされる。換言すると、R - 2 R 回路網ではないにもかかわらず、段 2 2 2₄ と、2 2 4₄ と、2 2 6₄ と、2 2 8₄ との各々に関連する抵抗回路網は、D A C のその段の 2 進重みに比例して加算ノード B、B' に電流を提供する。

30

40

【 0 0 4 7 】

[0058] それぞれの L S B の段 1 2 0_i は、抵抗回路網を通過する電流を抵抗回路網の

50

関連する入力段に割り当てられた2進重みに応じてスケーリングする抵抗回路網を含む。それぞれの抵抗回路網によってスケーリングされた電流が、ビット位置が1ビット分だけ高い直前の段の抵抗回路網に加えられる。たとえば、図4に示されるように、鎖状に、抵抗回路網155₄によってスケーリングされた電流が、MIDの段210₁に関連する抵抗回路網215₁に加えられ、抵抗回路網155₃によってスケーリングされた電流が、抵抗回路網155₄に加えられ、抵抗回路網155₂によってスケーリングされた電流が、抵抗回路網155₃に加えられ、抵抗回路網155₁によってスケーリングされた電流が、抵抗回路網155₂に加えられる。

【0048】

[0059] 図5は、本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された電流ステアリング14ビットDAC300の簡略化されたブロック図である。示されていないが、DAC300は、図2に示されたデコーダと同様のデコーダも含むことが理解される。また、DAC300は14ビットよりも高いまたは低い解像度を有する可能性があることが、理解される

[0060] DAC300は、DACの6つのMSBを形成するために並列に接続される63個の同様の段110を含むものとして示されている。DAC300は、図2のDAC100と同様にしてDACの8つのLSBを形成する8つの段120_iをさらに含む。DAC300は、基準電圧V_{ref}の必要性をなくし、差動DACである。図5に示されるように、抵抗回路網155_iの各々の抵抗器152_iと154_iとが、電圧源V_{ref}（図2参照）に結合される代わりに互いに結合される。抵抗器152_i、154_iの各々は、2Rの抵抗を有するものとして示されている。抵抗器152_i、154_iの各々は、Rの抵抗を有するものとして示されている。

【0049】

[0061] 図5から分かるように、たとえば、抵抗回路網155₈の抵抗器156₈と158₈とを流れる電流は、それぞれ、 $[(1/4 + (1/2) * b) * I_0]$ と $[(1/4 + (1/2) * (1 - b)) * I_0]$ とに等しいものとして示されており、ここで、bは、14ビットDAC300のビット8の2進値である。やはり図5から分かるように、段120₈以外、他の段120_iの各々で生じる電流は、図2のDAC100に関連してやはり説明されたように、段の関連する抵抗回路網によってスケーリングされ、直前の段の抵抗回路網に加えられ、その直前の段のビット位置は、その抵抗回路網が電流を受け取る段のビット位置よりも1高い。たとえば、段120₁の抵抗回路網155₁によってスケーリングされた電流は、段120₂の抵抗回路網155₂に加えられる。

【0050】

[0062] DAC100、200、または300のいずれかのインピーダンス減衰器190に配置された増幅器が制限された利得帯域幅積（gain-bandwidth product）を有するので、ノードB、B'の電圧は、DACの出力電流が変わるときに変わる可能性がある。図3を参照すると、PMOSトランジスタ182、184のゲート-ソース間容量が比較的大きいので、インピーダンス減衰器の出力ノード、すなわち、トランジスタ182、184のゲート端子の非線形の電流の変化が、インピーダンス減衰器B、B'の入力ノードに結合され、それによって、ノードB、B'の電流を非線形に変化させる可能性がある。そして、そのような非線形の電流が、抵抗回路網を通じて電圧源V_{ref}に流れ込む可能性がある。抵抗回路網の抵抗RはDACトランジスタの寄生容量のインピーダンスよりも小さい可能性があるので、そのような電流の流れは、DACのSFDRを低下させる可能性がある。抵抗Rが小さいほど、低下は顕著になる。

【0051】

[0063] 本発明の一実施形態によるインピーダンス減衰器の入力ノードからのノへの非線形の電流の流れが原因であるSFDRの低下を最小化するために、抵抗器の電圧が追跡される。図6は、本発明の一実施形態によるDAC400のセグメントの簡略化されたブロック図である。DAC400は、たとえば、図2に示されたDAC100のセグメントであり得る。DACのMSBの段110₁のうちの1つとLSBの段120₈のうちの1つ

とだけが図6に示されているが、DAC400は多くのさらなる入力段を有することが理解される。入力段120_gの抵抗回路網は、1対の増幅器230₁と230₂とを含むように適合される。示されるように、増幅器230₁の負入力端子は、増幅器の出力端子と、抵抗器152_gの端子のうちの1つとに結合される。増幅器230₁の正入力端子は、ノードBに結合される。同様に、示されるように、増幅器230₂の負入力端子は、増幅器の出力端子と、抵抗器154_gの端子のうちの1つとに結合される。増幅器230₂の正入力端子は、ノードB'に結合される。2つの増幅器の各々の2つの入力端子の間の仮想接地(virtual ground)の存在により、増幅器230₁の出力電圧は、ノードBの電圧を追跡し、増幅器230₂の出力電圧は、ノードB'の電圧を追跡し、それによって、SFDRの低下を最小化する。言い換えれば、ノードBの電圧の変化が抵抗器152_gの端子に反映され、ノードB'の電圧の変化が抵抗器154_gの端子に反映されるので、そのような電圧の変化は、抵抗器を通じたノードBとB'とからV_{ref}への、またはその逆の電流の流れを引き起こさない - - したがって、SFDRの低下を抑制する。図6に示されていないが、DAC300の他の段120_iの各々は同じ追跡回路を共有することが理解される。

10

【0052】

[0064] 図7は、本発明の一実施形態によるDAC500のセグメントの簡略化されたブロック図である。DAC500は、たとえば、図2に示されたDAC100のセグメントであり得る。DACのMSBの段110_iのうちの1つとLSBの段120_gのうちの1つとだけが図7に示されているが、DAC500は多くのさらなる入力段を有することが理解される。DAC500は、抵抗器240、250と、トランジスタ242、252と、増幅器244、254と、キャパシタ244、156とを含む歪みキャンセル回路260をそのDAC500内に配置する。

20

【0053】

[0065] 歪みキャンセル回路260は、以下でさらに説明されるように、電源電圧V_{ref}とノードB、B'との間の電流の流れに抗し、打ち消すように適合される。ノードBの(つまり、増幅器244の正端子の)電圧V_pのあらゆる低下は、増幅器244の入力端子の間の仮想接地の存在のために、増幅器244の負端子(PMOS242のソース端子)の電圧を下げ、それによって、トランジスタ242を通じた電流の流れの増加を引き起こす。キャパシタ246を介してノードB'にAC結合されるこの電流の増加は、ノードB'に流れ込み、それによって、抵抗器152_gと158_gとを通じたV_{ref}からノードBへの差動電流(differential current)の流れを打ち消す。同様に、ノードBの電圧V_pのあらゆる増加は、増幅器244の負端子の電圧を高め、それによって、トランジスタ242を通じた電流の流れの減少を引き起こす。キャパシタ246を介してノードB'にAC結合されるこの電流の減少は、ノードB'から流れ、それによって、抵抗器152_gと158_gとを通じたV_{ref}からノードBへの差動電流の流れを打ち消す。また、トランジスタ242のソース端子の電圧のあらゆる増加/減少は、抵抗器240を介したV_{ref}への/からの電流の流れを引き起こす。同様に、トランジスタ252のソース端子の電圧のあらゆる増加/減少は、抵抗器250を介したV_{ref}への/からの電流の流れを引き起こす。

30

40

【0054】

[0066] 図8は、本発明の一実施形態によるDAC600のセグメントの簡略化されたブロック図である。DAC600は、たとえば、図2に示されたDAC100のセグメントであり得る。DACのMSBの段110_iのうちの1つとLSBの段120_gのうちの1つとだけが図8に示されているが、DAC600は多くのさらなる入力段を有することが理解される。DAC600は、トランジスタ260、262、264、266、270、272、274、276と、抵抗器268、278と、電流源282、284、286、および288とを含む歪みキャンセル回路280をそのDAC600内に配置する。

【0055】

[0067] トランジスタ266と276とのゲートでノードB、B'から電圧V_pとV_mと

50

をそれぞれ受け取るそれらのトランジスタ 266 および 276 は、歪みキャンセル回路 280 への入力段を形成する。トランジスタ 266 と 276 とを通じた電流が電流源 282 と 286 とによってそれぞれ設定されるので、電圧 V_p が高まり、電圧 V_m が変わらない場合、トランジスタ 266 のゲート - ソース電圧をほぼ一定に保つために、ノード A のトランジスタ 266 のソース電圧も高くなる。ノード A' の電圧は、変わらない。したがって、電流が、ノード A からノード A' に流れる。ノード A からノード A' に流れる電流は、トランジスタ 262 によって生じる。このさらなる電流に対応するために、トランジスタ 262 のゲート電圧が下げられ、ひいては、トランジスタ 260 を通じた電流の流れの同様の増加をもたらす。トランジスタ 262 とカレントミラーを形成するトランジスタ 260 を通じた増加した電流は、電圧 V_p をさらにもっと高める。しかし、ノード B のインピーダンスがインピーダンス減衰器によって比較的低い値に保たれるので、電圧 V_p は、ほんのわずかしこ上昇しない。たとえば、 $V_p = 1.0002$ 、 $V_m = 999.8 \text{ mV}$ 、負荷インピーダンスが 1 k オームであり、インピーダンス減衰器が負荷のインピーダンスを 1 オームだけ減衰させると仮定する。これは、注入される電流を約 400 nA にし、したがって、電圧 V_p を 200 nV ($400 \text{ nA} / 2 * 1 \text{ オーム}$) だけ高める。したがって、ループ利得は、 1 (unity) よりもずっと小さい。したがって、歪みキャンセル回路 280 は、正帰還回路を用いて動作する。ノード B、B' の比較的小さな入力インピーダンスは、安定性を与え、発振を防ぐために、この帰還ループの利得が 1 よりも小さいことを保証する。

10

【0056】

20

[0068] また、ノード A からノード A' への電流の流れは、トランジスタ 272 を通じた電流を減少させる。トランジスタ 270 および 272 がやはりカレントミラーを形成するので、トランジスタ 272 を通じた電流の減少は、トランジスタ 270 を通じた電流の同様の低下を引き起こし、それによって、電圧 V_m の低下をもたらす。しかし、上述のように、ノード B' が比較的低いインピーダンスを有するので、電圧 V_m の低下は比較的小さい。

【0057】

[0069] トランジスタ 264 は、ソースフォロワ増幅器として構成される。したがって、トランジスタ 264 のゲート電圧の変化が、トランジスタ 264 のソースの対応する電圧の変化に反映される。電流源 284 は、トランジスタ 264 を通じて流れるように適合される。トランジスタ 274 も、ソースフォロワ増幅器として構成される。したがって、トランジスタ 274 のゲート電圧の変化が、トランジスタ 274 のソースの対応する電圧の変化に反映される。電流源 288 は、トランジスタ 274 を通じて流れるように適合される。キャンセル回路 280 は、よく知られており、IEEE、International Solid-State Circuits Conferences、1193、session 7、Analog Techniques、paper TA 7.2、112~114 ページに示されている。歪みキャンセル回路が図 8 を参照して説明されているが、同様の一定の電圧 - 電流変換を実行する任意の他の歪みキャンセル回路が使用され得ることが理解される。

30

【0058】

40

[0070] 知られているように、グリッチノイズおよびしたがってグリッチエネルギーは、DAC の動作の周波数が上がるにつれて大きくなる。たとえば、図 2 を参照すると、動作の周波数が上がるにつれて、グリッチエネルギーの一部は、トランジスタ 140、145 のドレイン - 基板寄生キャパシタ (drain-to-substrate parasitic capacitor) または配線の寄生容量 (parasitic capacitance) を介して接地に流れる。接地に流れるグリッチエネルギーは、概して、LSB よりも MSB に関して少ない。DAC の異なる入力段から接地に流れるグリッチエネルギーの不均衡は、グリッチノイズをさらに増加させる可能性がある不均衡を生み出す可能性がある。

【0059】

[0071] 図 9 は、本発明の一実施形態による DAC 700 のセグメントの簡略化された

50

ブロック図である。DAC700は、たとえば、図2に示されたDAC100のセグメントであり得る。DAC700のMSBの段 110_1 のうちの1つとLSBの段 120_8 のうちの1つとだけが図9に示されているが、DAC700は多くのさらなる入力段を有することが理解される。図9は、入力段 120_8 のトランジスタ140、145のドレイン端子と接地との間に存在する寄生容量290、292と、入力段 110_1 のトランジスタ140、145のドレイン端子と接地との間に存在する寄生容量294、296とも示す。
【0060】

【0072】 入力段 120_8 、 110_1 から接地に流れるグリッチエネルギーの不均衡によって引き起こされるグリッチノイズを最小化するために、本発明の一実施形態によれば、抵抗器112、114が、DAC700のMSBの段 110_1 のトランジスタ140、145のドレイン端子と加算ノードB、B'との間に配置される。抵抗器112と114との各々は、Rの抵抗を有する。抵抗器112、114は、入力段 120_8 のトランジスタ140、145のドレイン端子に見られるRC値を入力段 110_8 のトランジスタ140、145のドレイン端子によって見られるRC値とそれぞれ整合させる。このRCの整合は、接地へのグリッチエネルギーの再配分の不均衡を抑制し、したがって、入力段 110_1 からのグリッチノイズを入力段 120_8 からのグリッチノイズと整合させる。DAC700の並列の段 110 の各々が抵抗器112、114を含む可能性があることが、理解される。

【0061】

【0073】 図10は、本発明の一実施形態によるDAC800のセグメントの簡略化されたブロック図である。DAC800は、たとえば、図2に示されたDAC100のセグメントであり得る。DAC800のLSBの段 120_1 と 120_2 とのうちの3つだけが図10に示されているが、DAC800は多くのさらなる入力段を有することが理解される。図10は、入力段 120_1 のトランジスタ140₁、145₁に関連する寄生容量302₁、304₁と、入力段 120_2 のトランジスタ140₂、145₂に関連する寄生容量302₂、304₂と、入力段 120_8 のトランジスタ140₈、145₈に関連する寄生容量302₈、304₈とも示す。異なる入力段の間でグリッチノイズを整合させるために、DAC800の各入力段は、その段の抵抗器156_iと158_iとの間に並列に配置された1対のキャパシタ306_i、308_iを含むように適合される。たとえば、示されているように、キャパシタ306₁、308₁が、入力段 120_1 の抵抗器156₁と158₁との間に並列に配置される。同様に、キャパシタ306₈、308₈が、入力段 120_8 の抵抗器156₈と158₈との間に並列に配置される。各段のキャパシタ306_i、308_iは、その段の寄生容量302_i、304_iを介した接地へのグリッチエネルギーの損失に対抗し、打ち消すようにグリッチエネルギーをフィードフォワード(feedforward)するように適合される。一実施形態において、キャパシタ306_i、308_iの各々は、キャパシタ302_i、304_iの寄生容量の2倍の静電容量を有するように選択される。

【0062】

【0074】 図11は、本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された14ビット電流ステアリングDAC900のブロック図である。DAC900は、図1に示されたデバイス150で使用され得る。DAC900は14ビットの解像度を有するものとして示されているが、本発明による低グリッチノイズのDACは、14ビットより高いまたはより低い解像度を有してもよいことが理解される。DAC900は、DACの6つの最上位ビット(MSB)を形成するために並列に接続される63個の同様の入力段 910_j - j は1から63まで変化する整数である - を含む(簡単にするために、段 910 のうちの1つのみが示されている)。DAC900は、DACの8つの最下位ビット(LSB)を形成する8つの段 920_i - i は1から8まで変化する整数である - も含む。63個の入力段 910_j は、代替的および集成的に入力段 910 と呼ばれる。同様に、8つの入力段 920_i は、代替的および集成的に入力段 920 と呼ばれる。簡単にするために、入力段 920_i のうちの3つだけが示されている。

【0063】

10

20

30

40

50

【0075】 また、DAC900は、以下で詳細に説明されるインピーダンス減衰器190を含むものとして示されている。また、DAC900は、14ビットの入力信号 $D_{in}[13:0]$ を受け取り、さまざまな入力段910、920のスイッチ940、945に印可されるさまざまな真ビットDと相補ビットDBとを復号するデコード160を含むものとして示されている。

【0064】

【0076】 各入力段920_iは、1対の電流源930、935を含むものとして示されている。また、それぞれの入力段920_iは、入力段に関連し、入力段によって受け取られる1対の差動データDおよびDBと、電流源930、935によって供給される電流とに
10 応答する1対のスイッチ940および945を含むものとして示されている。段920_iと910_jとの電流源930、935によって生成される電流 I_0 は、実質的に同じ大きさを有する。

【0065】

【0077】 また、DAC900は、8つのLSBの段920のうちの異なる1つにそれぞれが関連する8つの抵抗回路網955_iを含むものとして示されている。それぞれの抵抗回路網955_iは、入力段920_iに関連付けられ、抵抗回路網がその関連する入力段から受け取る電流をスケールリングするように適合される。一実施形態において、各入力段に関連する抵抗回路網は、その入力段に配置されたスイッチ940、945から見られるとき、 $R - 2R$ 回路網を形成する。

【0066】

【0078】 図11から分かるように、 k が1から7までの範囲の整数である各段920_kに関連する抵抗回路網は、入力段920_kのビット位置よりも1つ上のビット位置を有する入力段920_{k+1}の抵抗回路網に結合される。たとえば、入力段920₂に関連する抵抗回路網955₂は、入力段920₃に関連する抵抗回路網955₃に結合されるものとして示されている。抵抗回路網955₈は、インピーダンス減衰器190の加算ノードB、B'に結合される。

【0067】

【0079】 したがって、各抵抗回路網を流れる電流は、抵抗回路網の関連する入力段920_iの2進重みに比例する。したがって、各入力段の電流源930と935とを流れる電流が I_0 であると仮定される場合、たとえば、- 7番目の最上位ビットに関連する - 段
30 920₈の抵抗回路網955₈を通して加算ノードB、B'に流れる電流は、 $(1/2) * I_0$ である。同様に、- 最下位ビットに関連する - 段920₁の抵抗回路網955₁を通して加算ノードB、B'に流れる電流は、 $(1/256) * I_0$ である。抵抗回路網955_iを流れる電流は、減衰器190に入力信号を与える電流加算ノードB、B'に加えられる。2進重みを用いて電流をスケールリングするように適合された任意の抵抗回路網が使用され得ることが、理解される。

【0068】

【0080】 DACのすべての入力段910、920のスイッチ940と945とを流れる電流が実質的に同じであり、それらの入力段910、920の関連する抵抗回路網によってのみ（トランジスタスイッチを通過した後に）スケールリングされるので、DAC900
40 のMSBの段とLSBの段との間のグリッチエネルギーが整合させられる。したがって、DAC900は、従来のDACよりもずっと低いグリッチノイズを有する。抵抗回路網は、2進重みを用いて、スイッチを通過する電流を正確に分ける。例示的な14ビットDAC900の8ビットの精度の抵抗器の整合は、比較的容易に達成可能である。

【0069】

【0081】 有利なことに、インピーダンス減衰器190は、出力負荷170が持ち得るインピーダンスの範囲を広げる。インピーダンス減衰器190は、プロセス、電圧、および温度の変化による出力負荷のインピーダンスの変化を考慮するようにさらに適合される。結果として、DAC900のすべての入力段が同じ量の電流を生成し、同様のスイッチの
50 サイズを有するので、DAC900は、従来のDACよりもずっと小さな、プロセス、電

圧、および温度にわたる、帯域外雑音の変化を有する。

【 0 0 7 0 】

[0082] 図 1 2 は、本発明の一実施形態による、N ビットのデジタル信号をアナログ信号に変換するための方法の流れ図 1 0 0 0 である。この変換を実現するために、デジタルデータのM個の最上位ビットに関連する(2M - 1)個の並列の段が形成される(1 0 0 2)。(2M - 1)個の段の各々において、電流が生成され(1 0 0 4)、1 対の差動データにตอบสนองする1 対のスイッチを介して1 対の電流加算ノードに出力される(1 0 0 6)。さらに、方法によれば、デジタルデータの(N - M)個の最下位ビットに関連する(N - M)個の段も、形成される(1 0 0 8)。また、(2M - 1)個の並列の段で生成される電流と同じレベルを有する電流が、(N - M)個の段の各々で生成される(1 0 1 0)。さらに形成される(1 0 1 2)のは、(N - M)個の段の異なる1 つにそれぞれが関連する(N - M)個の抵抗回路網である。(N - M)個の段の各々で生成された電流は、異なるデータの異なるビットに応じて、1 対のスイッチを介してその段に関連する抵抗回路網に加えられる(1 0 1 4)。それぞれの抵抗回路網によって受け取られる電流が、抵抗回路網の関連する段の2 進重みに従ってスケールングされ(1 0 1 6)、電流加算ノードに加えられる(1 0 1 8)。電流加算ノードの各々のインピーダンスが、利得の値によって定義される範囲内に保たれる(1 0 2 0)。さらに、電流加算ノードの間の電圧の差も、利得の値によって定義される範囲内に保たれる(1 0 2 2)。電流加算ノードに加えられる電流の差が、変換されるアナログ信号の値を定義する。

【 0 0 7 1 】

[0083] 本発明の上述の実施形態は、例示的であり、限定的でない。本発明の実施形態は、DACの解像度によって限定されない。本発明の実施形態は、入力段のスイッチと電流加算ノードとの間に配置され得る抵抗回路網の構成、R - 2 Rまたはそれ以外によって限定されない。本発明の実施形態は、DACが配置され得るデバイスの種類、ワイヤレスまたはそれ以外によって限定されない。他の追加、削減、または修正は、本開示に鑑みて明らかであり、添付の特許請求の範囲内に入るように意図される。

以下に、出願当初の特許請求の範囲に記載された発明を付記する。

【 C 1 】

N ビットデジタルアナログコンバータ(DAC)であって、

前記DACのM個の最上位ビットに関連する $2^M - 1$ 個の並列の段と、前記 $2^M - 1$ 個の段の各々は、電流を生成し、差動データに応じて1 対のスイッチを介してDACの1 対の電流加算ノードに前記電流を加えるように適合される、

前記DACの(N - M)個の最下位ビットに関連する(N - M)個の段と、前記(N - M)個の段の各々は、前記電流を生成し、抵抗回路網を備え、前記(N - M)個の段の各々は、差動データに応じて前記段の関連する抵抗回路網に、前記段で生成された前記電流を加えるように適合された1 対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケールングし、前記抵抗回路網の関連する段の2 進重みによって定義されるスケールングされた電流を加えるように動作可能であり、前記(N - M)個の段は、前記(N - M)個の段のスケールングされた電流を前記1 対の電流加算ノードに加える、

前記1 対の加算ノードに結合され、前記電流加算ノードの各々のインピーダンスおよび前記複数の電流加算ノードの間の電圧の差を差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、
を備える、N ビットデジタルアナログコンバータ(DAC)。

【 C 2 】

前記(N - M)個の段の段iに関連する前記抵抗回路網は、前記(N - M)個の段の段(i + 1)の前記抵抗回路網に結合され、ここにおいて、i は、前記DAC内の前記段のビット位置を表す整数である、C 1 に記載のN ビットDAC。

【 C 3 】

前記(N - M)個の段の各々に関連する前記抵抗回路網は、基準電圧を受け取る、C 2

に記載のNビットDAC。

[C 4]

前記(N - M)個の段の各々に関連する前記抵抗回路網は、R - 2R回路網であるC 1に記載のNビットDAC。

[C 5]

前記インピーダンス減衰器は、

前記電流加算ノードのうちの第1の電流加算ノードに結合されたソース端子と、前記DACの第1の出力端子に結合されたドレイン端子と、前記増幅器の第1の出力端子に結合されたゲート端子とを有する、第1のPMOSトランジスタと、

前記電流加算ノードのうちの第2の電流加算ノードに結合されたソース端子と、前記DACの第2の出力端子に結合されたドレイン端子と、前記増幅器の第2の出力端子に結合されたゲート端子とを有する、第2のPMOSトランジスタとをさらに備える、C 1に記載のNビットDAC。

[C 6]

前記DACのN個の段の各々は、前記電流を生成するカスコード電流源を備える、C 1に記載のNビットDAC。

[C 7]

N個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの1つは、前記DACによって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの1つは、前記DACに受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、N個すべての段で、同様のサイズを有する、C 1に記載のNビットDAC。

[C 8]

前記(N - M)個の段の第1のサブセットのみの各々に関連する前記抵抗回路網は、R - 2R回路網である、C 1に記載のNビットDAC。

[C 9]

前記(N - M)個の段の第2のサブセットの各々に関連する前記抵抗回路網は、前記DACの前記電流加算ノードに結合され、前記第2のサブセットは、前記第1のサブセットを含んでいない、C 8に記載のNビットDAC。

[C 1 0]

前記(N - M)個の段のうちの少なくとも1つは、前記電流加算ノードの電圧を追跡し、追跡された電圧を前記(N - M)個の段のうちの前記少なくとも1つの前記抵抗回路網に供給するように適合された電圧追跡回路を備える、C 1に記載のNビットDAC。

[C 1 1]

前記電圧追跡回路は、

前記電流加算ノードのうちの第1の電流加算ノードに結合された第1の入力端子と、前記(N - M)個の段のうちの前記少なくとも1つに関連する前記抵抗回路網に配置された第1の抵抗要素に結合された第2の端子と、第1の増幅器の第2の入力端子に結合された出力端子とを有する第1の増幅器と、

前記電流加算ノードのうちの第2の電流加算ノードに結合された第1の入力端子と、前記(N - M)個の段のうちの前記少なくとも1つに関連する前記抵抗回路網に配置された第2の抵抗要素に結合された第2の端子と、第2の増幅器の第2の入力端子に結合された出力端子とを有する第2の増幅器と、
を備える、C 1 0に記載のNビットDAC。

[C 1 2]

前記(N - M)個の段のうちの少なくとも1つは、前記(N - M)個の段のうちの少なくとも1つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路を備える、C 1に記載のNビットDAC。

[C 1 3]

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つは、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つに配置されたトランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に配置された第 1 の抵抗要素と、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つに配置された前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に配置された第 2 の抵抗要素と、

を備える、C 1 に記載の N ビット DAC。

[C 1 4]

前記 (N - M) 個の段の第 1 のサブセットの各々は、

前記段に関連する前記抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合された第 1 の容量要素と、

前記段に関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合された第 2 の容量要素と、

を備える C 1 に記載の N ビット DAC。

[C 1 5]

N 個の段の各々の前記スイッチは、MOS トランジスタを備え、前記 (N - M) 個の段の前記第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 1 4 に記載の N ビット DAC。

[C 1 6]

デジタルアナログコンバータ (DAC) であって、

DAC の最上位ビットに関連する第 1 の複数の並列の段と、前記第 1 の複数の段の各々は、電流を生成し、差動データに応じて 1 対のスイッチを介して DAC の 1 対の電流加算ノードに前記電流を加えるように適合される、

DAC の最下位ビットに関連する第 2 の複数の段と、前記第 2 の複数の段の各々は、前記電流を生成し、抵抗回路網を備え、前記第 2 の複数の段の各々は、差動データに応じて前記段の関連する抵抗回路網に前記段で生成された前記電流を加えるように適合された 1 対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケールリングし、前記抵抗回路網の関連する段の 2 進重みによって定義されるスケールリングされた電流を加えるように動作可能であり、前記第 2 の複数の段は、前記第 2 の複数の段のスケールリングされた電流を前記 1 対の電流加算ノードに加える、

前記 1 対の加算ノードに結合され、前記電流加算ノードの各々のインピーダンスと、前記電流加算ノードの間の電圧の差とを差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、

を備える、デジタルアナログコンバータ (DAC)。

[C 1 7]

N ビットのデジタル信号をアナログ信号に変換する方法であって、

デジタルデータの M 個の最上位ビットに関連する $2^M - 1$ 個の並列の段を形成することと、

前記 $2^M - 1$ 個の段の各々で電流を生成することと、

差動データに応じて、前記 $2^M - 1$ 個の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成することと、

前記 (N - M) 個の段の各々で前記電流を生成することと、

前記 (N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成することと、

差動データに応じて、前記 (N - M) 個の抵抗回路網の各々の関連する段で生成された前記電流を、1 対のスイッチを介して前記 (N - M) 個の抵抗回路網の各々に加えること

10

20

30

40

50

と、

前記抵抗回路網の関連する段の2進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングし、スケールリングされた電流を前記1対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、を備える、方法。

[C 1 8]

10

前記 (N - M) 個の段の段 i に関連する前記抵抗回路網を前記 (N - M) 個の段の段 (i + 1) の前記抵抗回路網に結合すること、ここにおいて、 i は、 D A C 内の前記段のビット位置を表す整数である、をさらに備える、 C 1 7 に記載の方法。

[C 1 9]

前記 (N - M) 個の段の各々に基準電圧を供給することをさらに備える、 C 1 8 に記載の方法。

[C 2 0]

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、 R - 2 R 回路網である、 C 1 7 に記載の方法。

[C 2 1]

20

N 個の段の各々でカスコード電流源を形成することと、

前記段で形成された前記カスコード電流源を用いて前記 N 個の段の各々で前記電流を生成することと、

をさらに備える、 C 1 7 に記載の方法。

[C 2 2]

N 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの1つは、 D A C によって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの1つは、前記 D A C によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、 N 個すべての段で、同様のサイズを有する、 C 1 7 に記載の方法。

30

[C 2 3]

前記 (N - M) 個の段の第1のサブセットのみの各々に関連する前記抵抗回路網は、 R - 2 R 回路網である、 C 1 7 に記載の方法。

[C 2 4]

前記 (N - M) 個の段の第2のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第2のサブセットは、第1のサブセットを含んでいない、 C 1 8 に記載の方法。

[C 2 5]

前記電流加算ノードの電圧を追跡することと、

前記 (N - M) 個の段のうちの少なくとも1つの前記抵抗回路網に追跡された電圧を供給することと、

40

をさらに備える、 C 1 7 に記載の方法。

[C 2 6]

前記 (N - M) 個の段のうちの少なくとも1つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すこと
をさらに備える、 C 1 7 に記載の方法。

[C 2 7]

前記 $2^M - 1$ 個の段のうちの少なくとも1つのトランジスタスイッチのうちの第1のトランジスタスイッチと、前記電流加算ノードのうちの第1の電流加算ノードとの間に第1の抵抗要素結合することと、

50

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合することと、
をさらに備える、C 17 に記載の方法。

[C 2 8]

第 1 の容量要素を、前記 $(N - M)$ 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合することと、

第 2 の容量要素を、前記 $(N - M)$ 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合することと、
をさらに備える、C 17 に記載の方法。

10

[C 2 9]

N 個の段の各々の前記スイッチは、MOS トランジスタを備え、前記 $(N - M)$ 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 28 に記載の方法。

[C 3 0]

デジタル信号をアナログ信号に変換する方法であって、
デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成することと、
前記第 1 の複数の並列の段の各々で電流を生成することと、
差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、
前記デジタルデータの最下位ビットに関連する第 2 の複数の段を形成することと、
前記第 2 の複数の段の各々で前記電流を生成することと、
前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成することと、

20

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じて前記第 1 の複数の抵抗回路網の各々によって受け取られる前記電流をスケールリングし、スケールリングされた電流を前記 1 対の電流加算ノードに加えることと、

30

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、
を備える、方法。

[C 3 1]

プロセッサによって実行されるときに前記プロセッサに、
デジタルデータの M 個の最上位ビットに関連する $2^M - 1$ 個の並列の段を形成することと、

40

前記 $2^M - 1$ 個の段の各々で電流を生成することと、
差動データに応じて、前記 $2^M - 1$ 個の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの $(N - M)$ 個の最下位ビットに関連する $(N - M)$ 個の段を形成することと、

前記 $(N - M)$ 個の段の各々で前記電流を生成することと、
前記 $(N - M)$ 個の段の異なる 1 つにそれぞれが関連する $(N - M)$ 個の抵抗回路網を形成することと、

差動データに応じて、前記 $(N - M)$ 個の抵抗回路網の各々の関連する段で生成された前記電流を、1 対のスイッチを介して前記 $(N - M)$ 個の抵抗回路網の各々に加えること

50

と、

前記抵抗回路網の関連する段の2進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングし、スケールリングされた電流を前記1対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

を行わせる命令を備える、非一時的コンピュータ可読記憶媒体。

10

[C 3 2]

前記命令は、さらに、前記プロセッサに、

前記 (N - M) 個の段の段 i に関連する前記抵抗回路網を前記 (N - M) 個の段の段 (i + 1) の前記抵抗回路網に結合すること、ここにおいて、i は、DAC 内の前記段のビット位置を表す整数である、を行わせる、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

[C 3 3]

前記命令は、さらに、前記プロセッサに、

前記 (N - M) 個の段の各々に基準電圧を供給させる、C 3 2 に記載の非一時的コンピュータ可読記憶媒体。

20

[C 3 4]

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2 R 回路網である、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

[C 3 5]

前記命令は、さらに、前記プロセッサに、

N 個の段の各々でカスコード電流源を形成することと、

前記段で形成された前記カスコード電流源を用いて前記 N 個の段の各々で前記電流を生成することとを行わせる、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

[C 3 6]

N 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの1つは、DAC によって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの1つは、前記 DAC によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、N 個すべての段で、同様のサイズを有する、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

30

[C 3 7]

前記 (N - M) 個の段の第1のサブセットのみの各々に関連する前記抵抗回路網は、R - 2 R 回路網である、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

[C 3 8]

前記 (N - M) 個の段の第2のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第2のサブセットは、第1のサブセットを含んでいない、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

40

[C 3 9]

前記命令は、さらに、前記プロセッサに、

前記電流加算ノードの電圧を追跡することと、

前記 (N - M) 個の段のうちの少なくとも1つの前記抵抗回路網に追跡された電圧を供給することとを行わせる、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

[C 4 0]

前記命令は、さらに、前記プロセッサに、

前記 (N - M) 個の段のうちの少なくとも1つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消させる、C 3 1 に記載

50

の非一時的コンピュータ可読記憶媒体。

[C 4 1]

前記命令は、さらに、前記プロセッサに、

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つのトランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素を結合することと、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合することと、

を行わせる、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

10

[C 4 2]

前記命令は、さらに、前記プロセッサに、

第 1 の容量要素を、前記 $(N - M)$ 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合することと、

第 2 の容量要素を、前記 $(N - M)$ 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合することと、

を行わせる、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

[C 4 3]

N 個の段の各々の前記スイッチは、MOS トランジスタを備え、前記 $(N - M)$ 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 4 2 に記載の非一時的コンピュータ可読記憶媒体。

20

[C 4 4]

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つの前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 4 3 に記載の非一時的コンピュータ可読記憶媒体。

[C 4 5]

プロセッサによって実行されるときに前記プロセッサに、

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成することと、

前記第 1 の複数の並列の段の各々で電流を生成することと、

差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

30

前記デジタルデータの最下位ビットに関連する第 2 の複数の段を形成することと、

前記第 2 の複数の段の各々で前記電流を生成することと、

前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成することと、

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングし、スケールリングされた電流を前記 1 対の電流加算ノードに加えることと、

40

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

を行わせる命令を備える、非一時的コンピュータ可読記憶媒体。

[C 4 6]

デジタルデータの M 個の最上位ビットに関連する $2^M - 1$ 個の並列の段を形成するための手段と、

50

前記 $2^M - 1$ 個の段の各々で電流を生成するための手段と、
 差動データに応じて、前記 $2^M - 1$ 個の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えるための手段と、
 前記デジタルデータの $(N - M)$ 個の最下位ビットに関連する $(N - M)$ 個の段を形成するための手段と、
 前記 $(N - M)$ 個の段の各々で前記電流を生成するための手段と、
 前記 $(N - M)$ 個の段の異なる 1 つにそれぞれが関連する $(N - M)$ 個の抵抗回路網を形成するための手段と、
 差動データに応じて、前記 $(N - M)$ 個の抵抗回路網の各々の関連する段で生成された前記電流を、1 対のスイッチを介して前記 $(N - M)$ 個の抵抗回路網の各々に加えるための手段と、
 前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングするための手段と、
 スケールリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、
 前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、
 前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、
 を備える N ビットデジタルアナログコンバータ (DAC)。

10

[C 4 7]
 前記 $(N - M)$ 個の段の段 i に関連する前記抵抗回路網を前記 $(N - M)$ 個の段の段 $(i + 1)$ の前記抵抗回路網に結合するための手段、ここにおいて、 i は、前記 DAC 内の前記段のビット位置を表す整数である、をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (DAC)。

20

[C 4 8]
 前記 $(N - M)$ 個の段の各々に基準電圧を供給するための手段をさらに備える、C 4 7 に記載の N ビットデジタルアナログコンバータ (DAC)。

[C 4 9]
 前記 $(N - M)$ 個の段の各々に関連する前記抵抗回路網は、 $R - 2R$ 回路網である C 4 6 に記載の N ビットデジタルアナログコンバータ (DAC)。

30

[C 5 0]
 N 個の段の各々でカスコード電流源を形成するための手段と、
 前記段で形成された前記カスコード電流源を用いて前記 N 個の段の各々で前記電流を生成するための手段と、
 をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (DAC)。

[C 5 1]
 N 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの 1 つは、前記 DAC によって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの 1 つは、前記 DAC によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、 N 個すべての段で、同様のサイズを有する、C 4 6 に記載の N ビットデジタルアナログコンバータ (DAC)。

40

[C 5 2]
 前記 $(N - M)$ 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、 $R - 2R$ 回路網である、C 4 6 に記載の N ビットデジタルアナログコンバータ (DAC)。

[C 5 3]
 前記 $(N - M)$ 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第 2 のサブセットは、前記第 1 のサブセットを含んではいない、C 4 7 に記載の N ビットデジタルアナログコンバータ (DAC)。

50

[C 5 4]

前記電流加算ノードの電圧を追跡するための手段と、

前記 (N - M) 個の段のうちの少なくとも 1 つの前記抵抗回路網に追跡された電圧を供給するための手段と、

をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C) 。

[C 5 5]

前記 (N - M) 個の段のうちの少なくとも 1 つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すための手段をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C) 。

[C 5 6]

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つのトランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素結合するための手段と、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合するための手段と、

をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C) 。

[C 5 7]

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合するための手段と、

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合するための手段と、

をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C) 。

[C 5 8]

N 個の段の各々の前記スイッチは、M O S トランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 M O S トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 5 7 に記載の N ビットデジタルアナログコンバータ (D A C) 。

[C 5 9]

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成するための手段と、

前記第 1 の複数の並列の段の各々で電流を生成するための手段と、

差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えるための手段と、

前記デジタルデータの (N - M) 個の最下位ビットに関連する第 2 の複数の段を形成するための手段と、

前記第 2 の複数の段の各々で前記電流を生成するための手段と、

前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成するための手段と、

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えるための手段と、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケールリングするための手段と、

スケールリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

を備える、デジタルアナログコンバータ。

10

20

30

40

50

【図 1】

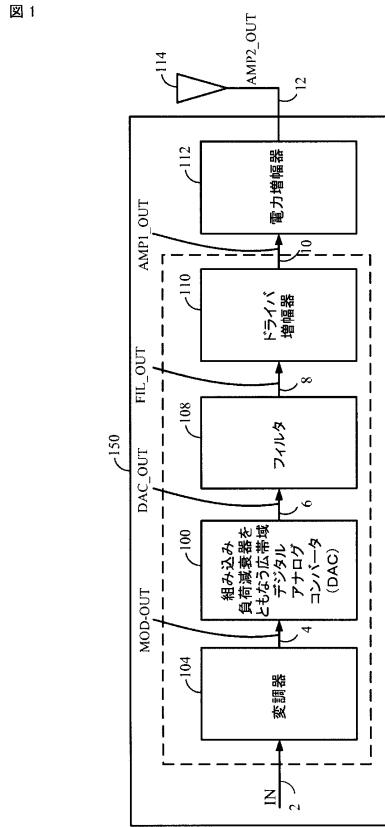


FIG. 1

【図 2】

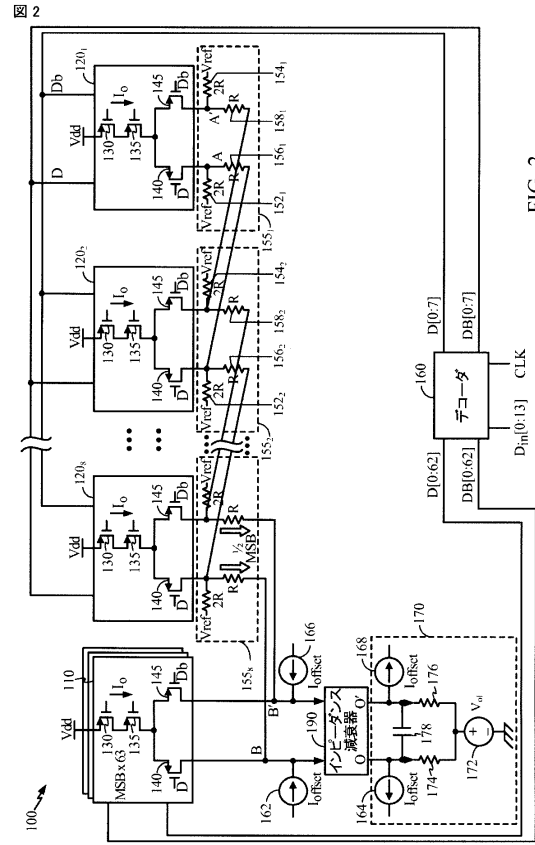


FIG. 2

【図 3】

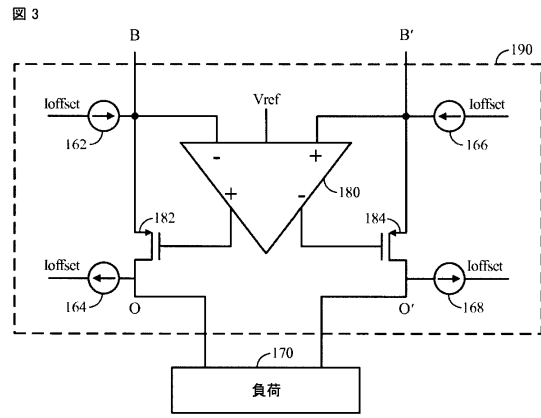


FIG. 3

【図 4】

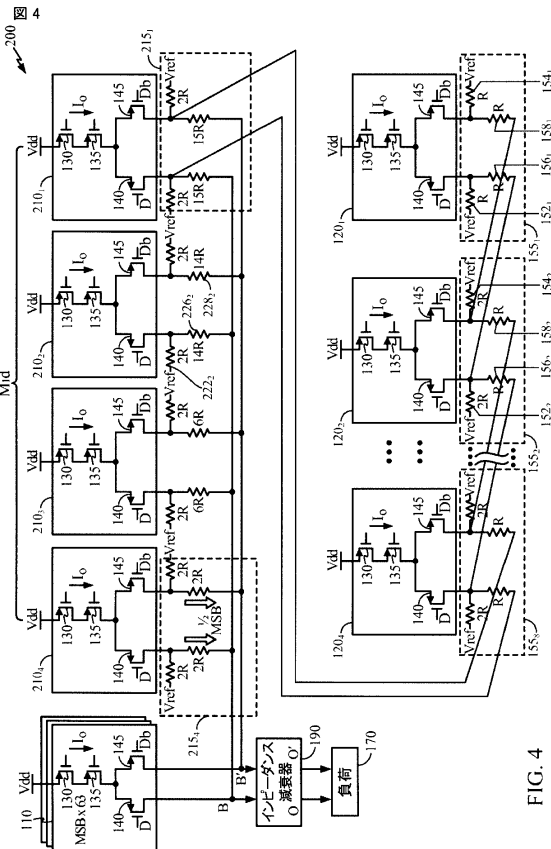


FIG. 4

【図 5】

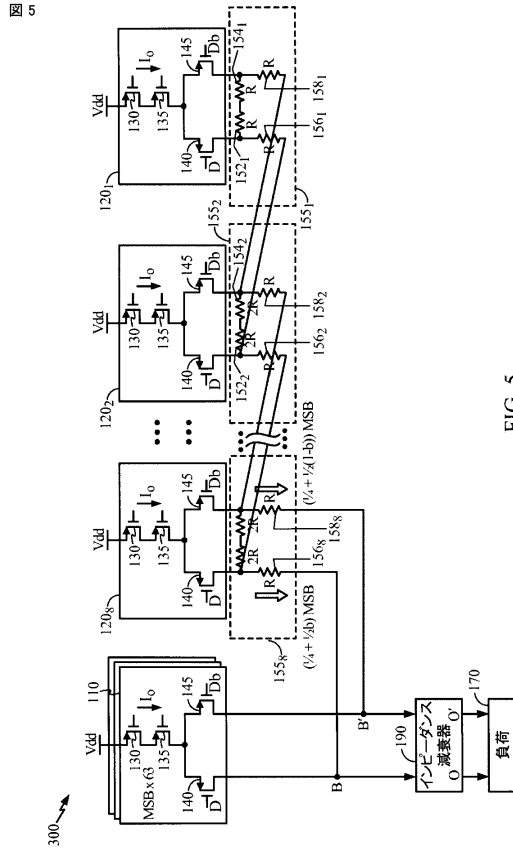


FIG. 5

【図 6】

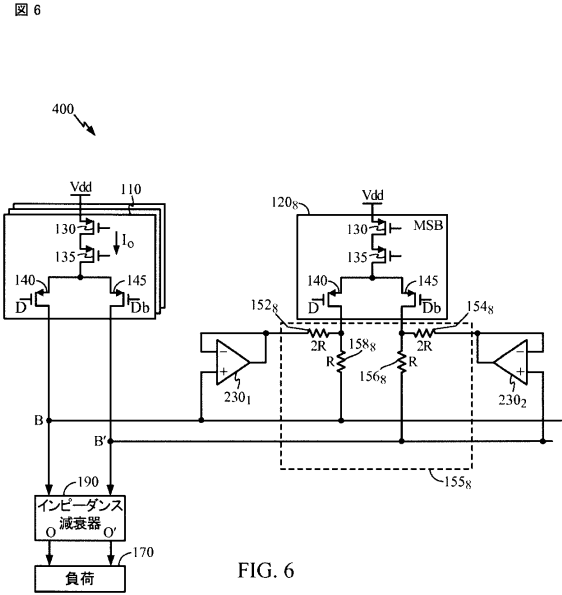


FIG. 6

【図 7】

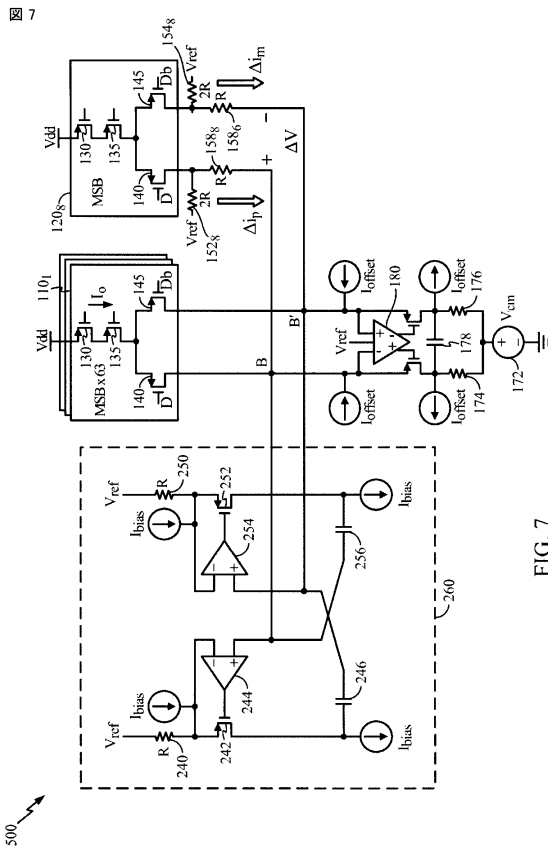


FIG. 7

【図 8】

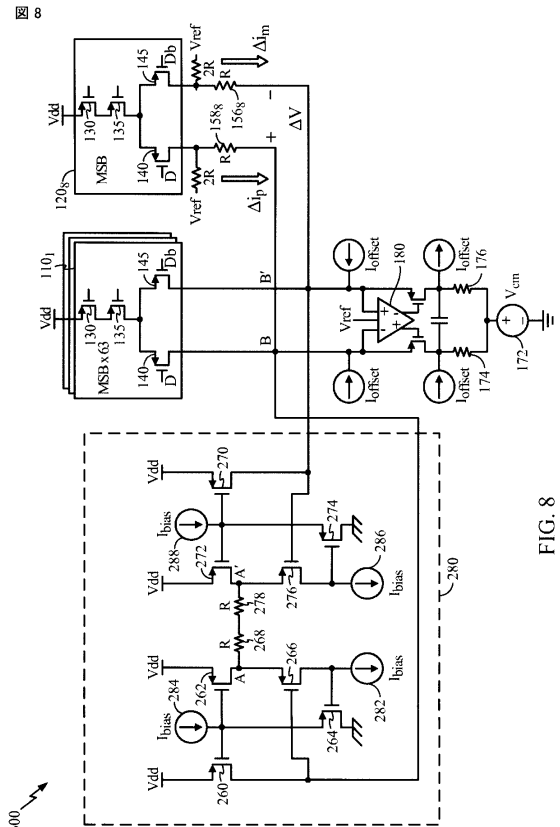


FIG. 8

【図 9】

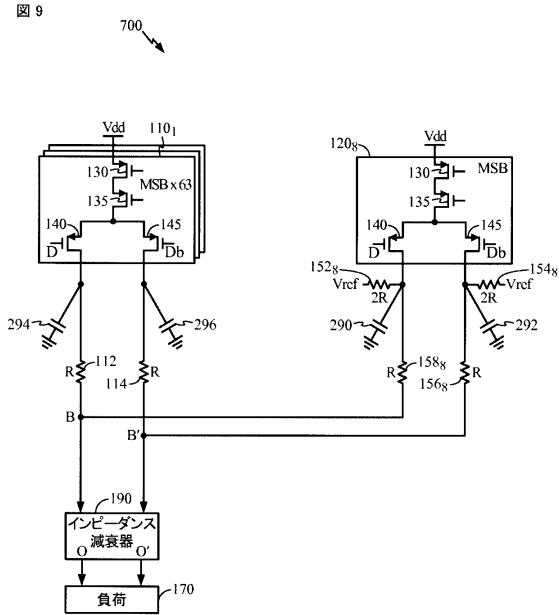


FIG. 9

【図 10】

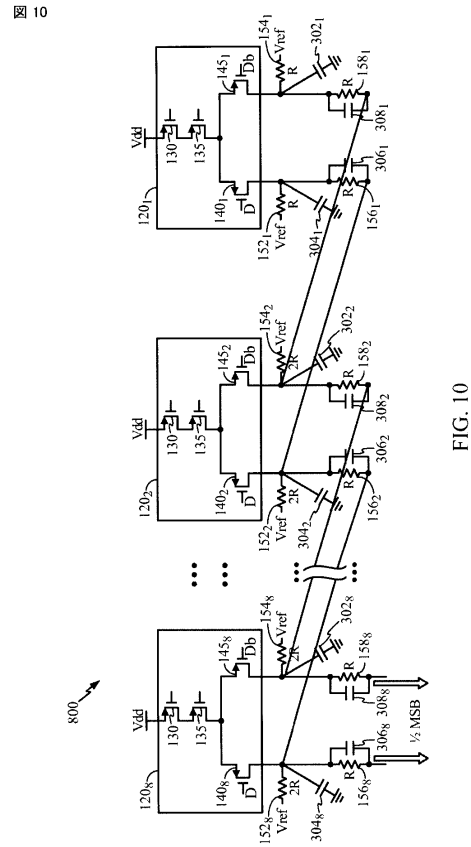


FIG. 10

【図 11】

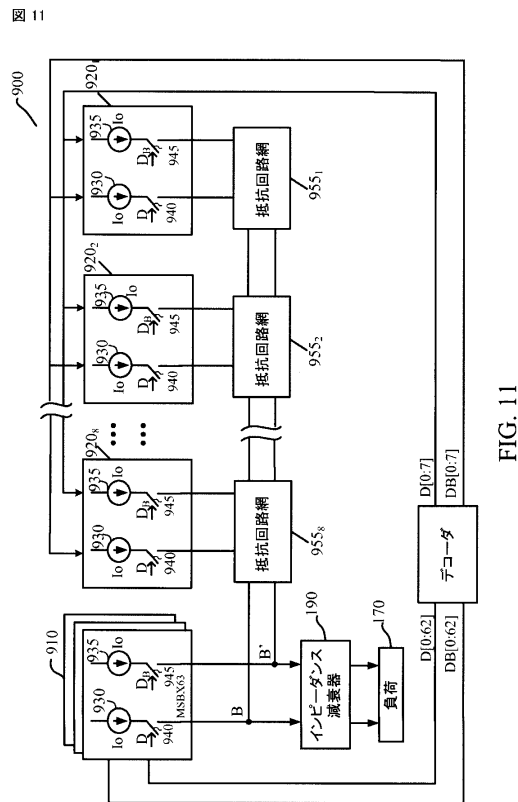


FIG. 11

【図 12】

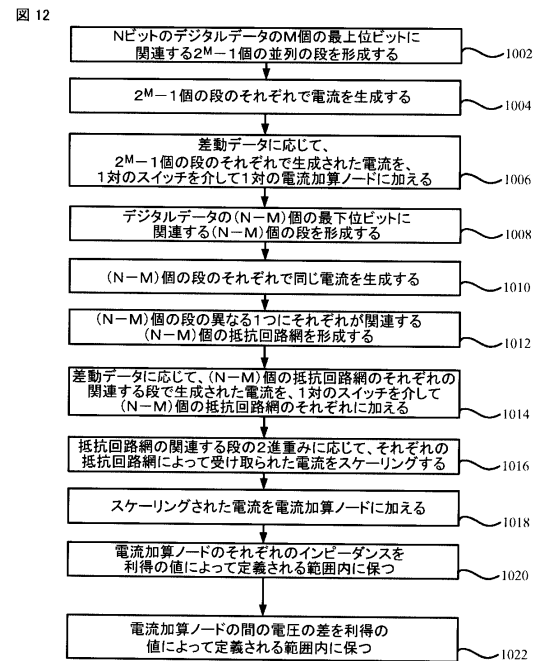


FIG. 12

フロントページの続き

- (72)発明者 セオ、ドンウォン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 リ、サン・ミン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

合議体

審判長 大塚 良平

審判官 中野 浩昌

審判官 吉田 隆之

- (56)参考文献 米国特許出願公開第2003/0001766(US,A1)
米国特許出願公開第2002/0030619(US,A1)
米国特許出願公開第2006/0092065(US,A1)
特開平10-112654(JP,A)
特表2013-507066(JP,A)
特開2006-279172(JP,A)
特開2002-100936(JP,A)

- (58)調査した分野(Int.Cl., DB名)

H03M