

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6309548号
(P6309548)

(45) 発行日 平成30年4月11日(2018.4.11)

(24) 登録日 平成30年3月23日(2018.3.23)

(51) Int.Cl.

F 1

H03M	1/68	(2006.01)	HO 3M	1/68
H03M	1/08	(2006.01)	HO 3M	1/08
H03M	1/74	(2006.01)	HO 3M	1/74

B

請求項の数 41 (全 34 頁)

(21) 出願番号	特願2015-561554 (P2015-561554)
(86) (22) 出願日	平成26年3月4日 (2014.3.4)
(65) 公表番号	特表2016-513915 (P2016-513915A)
(43) 公表日	平成28年5月16日 (2016.5.16)
(86) 國際出願番号	PCT/US2014/020373
(87) 國際公開番号	W02014/138098
(87) 國際公開日	平成26年9月12日 (2014.9.12)
審査請求日	平成27年11月25日 (2015.11.25)
審判番号	不服2016-19389 (P2016-19389/J1)
審判請求日	平成28年12月26日 (2016.12.26)
(31) 優先権主張番号	13/791,536
(32) 優先日	平成25年3月8日 (2013.3.8)
(33) 優先権主張国	米国 (US)

早期審査対象出願

(73) 特許権者	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(74) 代理人	100108855 弁理士 蔵田 昌俊
(74) 代理人	100109830 弁理士 福原 淑弘
(74) 代理人	100158805 弁理士 井関 守三
(74) 代理人	100112807 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】低グリッチノイズD A C

(57) 【特許請求の範囲】

【請求項 1】

N ビットデジタルアナログコンバータ (D A C) であって、

前記 D A C の M 個の最上位ビットに関連する $2^M - 1$ 個の並列の段と、前記 $2^M - 1$ 個の段の各々は、電流を生成し、差動データに応じて 1 対のスイッチを介して前記 D A C の 1 対の電流加算ノードに前記電流を加えるように適合される、

前記 D A C の (N - M) 個の最下位ビットに関連する (N - M) 個の段と、前記 (N - M) 個の段の各々は、前記電流を生成し、抵抗回路網を備え、前記 (N - M) 個の段の各々は、差動データに応じて前記段の関連する抵抗回路網に、前記段で生成された前記電流を加えるように適合された 1 対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケーリングし、前記抵抗回路網の関連する段の 2 進重みによって定義される前記スケーリングされた電流を加えるように動作可能であり、前記 (N - M) 個の段は、前記 (N - M) 個の段のスケーリングされた電流を前記 1 対の電流加算ノードに加える、

前記 1 対の電流加算ノードに結合され、前記電流加算ノードの各々のインピーダンスおよび前記電流加算ノードの間の電圧の差を差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、

前記 1 対の電流加算ノードに結合され、前記 (N - M) 個の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、N ビットデジタルアナログコンバータ (D A C)

10

20

A C)。

【請求項 2】

前記 (N - M) 個の段の段 i に関連する前記抵抗回路網は、前記 (N - M) 個の段の段 ($i + 1$) の前記抵抗回路網に結合され、ここにおいて、 i は、前記 D A C 内の前記段のビット位置を表す整数である、請求項 1 に記載の N ビット D A C。

【請求項 3】

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、基準電圧を受け取る、請求項 2 に記載の N ビット D A C。

【請求項 4】

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2 R 回路網である、請求項 1 に記載の N ビット D A C。

10

【請求項 5】

前記インピーダンス減衰器は、

前記電流加算ノードのうちの第 1 の電流加算ノードに結合されたソース端子と、前記 D A C の第 1 の出力端子に結合されたドレイン端子と、前記増幅器の第 1 の出力端子に結合されたゲート端子とを有する、第 1 の P M O S トランジスタと、

前記電流加算ノードのうちの第 2 の電流加算ノードに結合されたソース端子と、前記 D A C の第 2 の出力端子に結合されたドレイン端子と、前記増幅器の第 2 の出力端子に結合されたゲート端子とを有する、第 2 の P M O S トランジスタと、をさらに備える、請求項 1 に記載の N ビット D A C。

20

【請求項 6】

前記 D A C の 前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々 は、前記電流を生成するカスコード電流源を備える、請求項 1 に記載の N ビット D A C。

【請求項 7】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記 (N - M) 個の段の前記トランジスタスイッチ のうちの 1 つは、前記 D A C によって受け取られる真データビットを表すビットに応答し、前記 (N - M) 個の段の前記トランジスタスイッチ のうちの 1 つは、前記 D A C によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段のすべての段で、同様のサイズを有する、請求項 1 に記載の N ビット D A C。

30

【請求項 8】

前記 (N - M) 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、R - 2 R 回路網である、請求項 1 に記載の N ビット D A C。

【請求項 9】

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記 D A C の前記電流加算ノードに結合され、前記第 2 のサブセットは、前記第 1 のサブセットを含んでいない、請求項 8 に記載の N ビット D A C。

【請求項 10】

前記 (N - M) 個の段のうちの少なくとも 1 つは、前記電流加算ノードの前記電圧を追跡し、前記追跡された電圧を前記 (N - M) 個の段のうちの前記少なくとも 1 つの前記抵抗回路網に供給するように適合された電圧追跡回路を備える、請求項 1 に記載の N ビット D A C。

40

【請求項 11】

前記電圧追跡回路は、

前記電流加算ノードのうちの第 1 の電流加算ノードに結合された第 1 の入力端子と、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網に配置された第 1 の抵抗要素に結合された第 2 の入力端子と、第 1 の増幅器の第 2 の入力端子に結合された出力端子とを有する第 1 の増幅器と、

前記電流加算ノードのうちの第 2 の電流加算ノードに結合された第 1 の入力端子と、前

50

記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網に配置された第 2 の抵抗要素に結合された第 2 の入力端子と、第 2 の増幅器の第 2 の入力端子に結合された出力端子とを有する第 2 の増幅器と、を備える、請求項 10 に記載の N ビット D A C。

【請求項 12】

前記 2^M - 1 個の段のうちの少なくとも 1 つは、

前記 2^M - 1 個の段のうちの前記少なくとも 1 つに配置された前記トランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に配置された第 1 の抵抗要素と、

前記 2^M - 1 個の段のうちの前記少なくとも 1 つに配置された前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に配置された第 2 の抵抗要素と、を備える、請求項 7 に記載の N ビット D A C。 10

【請求項 13】

前記 (N - M) 個の段の第 1 のサブセットの各々は、

前記段に関連する前記抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合された第 1 の容量要素と、

前記段に関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合された第 2 の容量要素と、を備える請求項 1 に記載の N ビット D A C。 20

【請求項 14】

前記 2^M - 1 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、M O S トランジスタを備え、前記 (N - M) 個の段の前記第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記M O S トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、請求項 13 に記載の N ビット D A C。 20

【請求項 15】

デジタルアナログコンバータ (D A C) であって、

前記 D A C の最上位ビットに関連する第 1 の複数の並列の段と、前記第 1 の複数の段の各々は、電流を生成し、差動データに応じて 1 対のスイッチを介して前記 D A C の 1 対の電流加算ノードに前記電流を加えるように適合される、 30

前記 D A C の最下位ビットに関連する第 2 の複数の段と、前記第 2 の複数の段の各々は、前記電流を生成し、抵抗回路網を備え、前記第 2 の複数の段の各々は、差動データに応じて前記段の関連する抵抗回路網に前記段で生成された前記電流を加えるように適合された 1 対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケーリングし、前記抵抗回路網の関連する段の 2 進重みによって定義されるスケーリングされた電流を加えるように動作可能であり、前記第 2 の複数の段は、前記第 2 の複数の段のスケーリングされた電流を前記 1 対の電流加算ノードに加える。

前記 1 対の電流加算ノードに結合され、前記電流加算ノードの各々のインピーダンスと、前記電流加算ノードの間の電圧の差とを差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、 40

前記 1 対の電流加算ノードに結合され、前記 D A C の最下位ビットに関連する第 2 の複数の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、デジタルアナログコンバータ (D A C)。

【請求項 16】

N ビットのデジタル信号をアナログ信号に変換する方法であって、

デジタルデータの M 個の最上位ビットに関連する 2^M - 1 個の並列の段を形成することと、

前記 2^M - 1 個の段の各々で電流を生成することと、

差動データに応じて、前記 2^M - 1 個の段の各々で生成された前記電流を第 1 の 1 対の 50

スイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成することと、

前記 (N - M) 個の段の各々で前記電流を生成することと、

前記 (N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成することと、

差動データに応じて、前記 (N - M) 個の抵抗回路網の各々の関連する段で生成された前記電流を、第 2 の 1 対のスイッチを介して前記 (N - M) 個の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングすることと、

前記スケーリングされた電流を前記 1 対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

前記 1 対の電流加算ノードの間で、前記 (N - M) 個の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すこととを備える、方法。

【請求項 17】

前記 (N - M) 個の段の段 i に関連する前記抵抗回路網を前記 (N - M) 個の段の段 ($i + 1$) の前記抵抗回路網に結合すること、ここにおいて、 i は、D A C 内の前記段のビット位置を表す整数である、をさらに備える、請求項 16 に記載の方法。

【請求項 18】

前記 (N - M) 個の段の各々に基準電圧を供給することをさらに備える、請求項 17 に記載の方法。

【請求項 19】

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2 R 回路網である、請求項 16 に記載の方法。

【請求項 20】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々でカスコード電流源を形成することと、

前記段で形成された前記カスコード電流源を用いて前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々で前記電流を生成することと、をさらに備える、請求項 16 に記載の方法。

【請求項 21】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、D A C によって受け取られる真データビットを表すビットに応答し、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、前記 D A C によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段のすべての段で、同様のサイズを有する、請求項 16 に記載の方法。

【請求項 22】

前記 (N - M) 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、R - 2 R 回路網である、請求項 16 に記載の方法。

【請求項 23】

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第 2 のサブセットは、第 1 のサブセットを含んでいない、

10

20

30

40

50

請求項 1 7 に記載の方法。

【請求項 2 4】

前記電流加算ノードの前記電圧を追跡することと、

前記 (N - M) 個の段のうちの少なくとも 1 つの前記抵抗回路網に前記追跡された電圧を供給することと、をさらに備える、請求項 1 6 に記載の方法。

【請求項 2 5】

前記 2^M - 1 個の段のうちの少なくとも 1 つの前記トランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素を結合することと、

前記 2^M - 1 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合することと、をさらに備える、請求項 2 1 に記載の方法。 10

【請求項 2 6】

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合することと、

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合することと、をさらに備える、請求項 1 6 に記載の方法。

【請求項 2 7】

前記 2^M - 1 個の並列の段及び前記 (N - M) 個の段の各々の前記スイッチは、MOS トランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、請求項 2 6 に記載の方法。 20

【請求項 2 8】

デジタル信号をアナログ信号に変換する方法であって、

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成することと、

前記第 1 の複数の並列の段の各々で電流を生成することと、

差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を第 1 の 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの最下位ビットに関連する第 2 の複数の段を形成することと、 30

前記第 2 の複数の段の各々で前記電流を生成することと、

前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成することと、

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、第 2 の 1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じて前記第 1 の複数の抵抗回路網の各々によって受け取られる前記電流をスケーリングすることと、

前記スケーリングされた電流を前記 1 対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、 40

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

前記 1 対の電流加算ノードに結合され、前記デジタルデータの最下位ビットに関連する第 2 の複数の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、方法。

【請求項 2 9】

N ビットデジタルアナログコンバータ (DAC) であって、

デジタルデータの M 個の最上位ビットに関連する 2^M - 1 個の並列の段を形成するため 50

の手段と、

前記 2^M - 1 個の段の各々で電流を生成するための手段と、

前記 2^M - 1 個の段の各々で生成された前記電流を 1 対の電流加算ノードに加えるための手段と、

前記デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成するための手段と、

前記 (N - M) 個の段の各々で前記電流を生成するための手段と、

前記 (N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成するための手段と、

前記 (N - M) 個の抵抗回路網の各々の関連する段で生成された前記電流を前記 (N - M) 個の抵抗回路網の各々に加えるための手段と、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングするための手段と、

前記スケーリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

前記 1 対の電流加算ノードに結合され、前記 (N - M) 個の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すための手段とを備える、N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 0】

前記 (N - M) 個の段の段 i に関連する前記抵抗回路網を前記 (N - M) 個の段の段 ($i + 1$) の前記抵抗回路網に結合するための手段、ここにおいて、 i は、前記 D A C 内の前記段のビット位置を表す整数である、をさらに備える、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 1】

前記 (N - M) 個の段の各々に基準電圧を供給するための手段をさらに備える、請求項 3 0 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 2】

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2 R 回路網である、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 3】

前記 2^M - 1 個の並列の段及び前記 (N - M) 個の段の各々でカスコード電流源を形成するための手段と、

前記段で形成された前記カスコード電流源を用いて前記 2^M - 1 個の並列の段及び前記 (N - M) 個の段の各々で前記電流を生成するための手段と、をさらに備える、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 4】

前記 2^M - 1 個の並列の段及び前記 (N - M) 個の段の各々のスイッチは、トランジスタスイッチであり、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、前記 D A C によって受け取られる真データビットを表すビットに応答し、前記 (N - M) 個の段の前記トランジスタスイッチのうちの 1 つは、前記 D A C によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、前記 2^M - 1 個の並列の段及び前記 (N - M) 個の段のすべての段で、同様のサイズを有する、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 5】

前記 (N - M) 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、R - 2 R 回路網である、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C)

10

20

30

40

50

)。

【請求項 3 6】

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第 2 のサブセットは、前記第 1 のサブセットを含んではない、請求項 3 0 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 7】

前記電流加算ノードの前記電圧を追跡するための手段と、

前記 (N - M) 個の段のうちの少なくとも 1 つの前記抵抗回路網に前記追跡された電圧を供給するための手段と、をさらに備える、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C)。

10

【請求項 3 8】

前記 $2^M - 1$ 個の段のうちの少なくとも 1 つの前記トランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素を結合するための手段と、

前記 $2^M - 1$ 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合するための手段と、をさらに備える、請求項 3 4 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 3 9】

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合するための手段と、

20

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合するための手段と、をさらに備える、請求項 2 9 に記載の N ビットデジタルアナログコンバータ (D A C)。

【請求項 4 0】

前記 $2^M - 1$ 個の並列の段及び前記 (N - M) 個の段の各々のスイッチは、MOS トランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、請求項 3 9 に記載の N ビットデジタルアナログコンバータ (D A C)。

30

【請求項 4 1】

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成するための手段と、

前記第 1 の複数の並列の段の各々で電流を生成するための手段と、

前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対の電流加算ノードに加えるための手段と、

前記デジタルデータの (N - M) 個の最下位ビットに関連する第 2 の複数の段を形成するための手段と、

前記第 2 の複数の段の各々で前記電流を生成するための手段と、

前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成するための手段と、

40

前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を前記第 1 の複数の抵抗回路網の各々に加えるための手段と、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングするための手段と、

前記スケーリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、アナログ信号の値を定義

50

する、

前記 1 対の電流加算ノードに結合され、前記デジタルデータの (N - M) 個の最下位ビットに関連する第 2 の複数の段に関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路とを備える、デジタルアナログコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

合衆国法典第 35 編（米国特許法）第 119 条の下での優先権の主張

[0001] 本出願は、2013 年 3 月 8 日に出願した米国特許出願第 13 / 791,536 号の利益を主張するものであり、この特許出願は、その全体が参照により本明細書に組み込まれている。

【0002】

[0002] 本開示は、電子回路に関し、より詳細には、デジタルアナログコンバータに関する。

【背景技術】

【0003】

[0003] デジタルアナログコンバータ (D A C : digital-to-analog converter) は、デジタル信号をアナログ信号に変換する電子回路である。いくつかのパラメータが、任意の所与のアプリケーションへの D A C の適性を決定するために使用される。これらのパラメータの中には、D A C がデジタルアナログ変換を実行する速度、D A C の解像度 (resolution)、および D A C によって生じる雑音がある。

【0004】

[0004] セルラ電話などのワイヤレス通信デバイスは、高速で高解像度の D A C を用いて、通信デバイスに配置されたアナログ回路によるさらなる処理のためにデジタル信号をアナログ信号に変換することが多い。そのような D A C で生じるグリッチ (glitch) は、ノイズフロア (noise floor) を高くし、そのノイズフロアが、ひいては、ワイヤレス通信デバイスによって送信される信号と干渉する可能性がある。グリッチノイズ (glitch noise) の主な原因の 1 つは、D A C のデジタル入力で遷移 (transition) が起こるときに D A C のさまざまな段 (stage) の間に存在する遅延の差である。

【0005】

[0005] 低雑音、低電力、広帯域、高解像度の D A C が、ロングタームエボリューション (LTE) 規格などの先進的なワイヤレス規格のためにますます重要になっている。無線周波数 (RF) の応用において、送信機の D A C によって生じる高周波数のグリッチノイズは、受信機のチャネルに入り、感度を落とす可能性がある帯域外雑音である。低電力、高解像度、広帯域の D A C でグリッチノイズを制御することが、課題として残っている。

【発明の概要】

【0006】

[0006] 本発明の実施形態によるデジタルアナログコンバータ (D A C) は、同じ量の電流を生じ、同様にサイズを決められたトランジスタスイッチを有する入力段 (input stage) を含む。したがって、トランジスタスイッチを流れる電流、およびグリッチノイズは、D A C のすべての入力段 (input stage) に関して同じである。D A C の最下位ビット (least significant bits) に対応する入力段は、抵抗回路網 (resistive network) を含む。それぞれのそのような段の抵抗回路網は、その抵抗回路網が受け取る電流を、D A C 内の段のビット位置の 2 進重み (binary weight) に応じてスケーリングする。

【0007】

[0007] 本発明の一実施形態による N ビット D A C は、一部に、D A C の M 個の最上位ビット (most significant bits) に関連する $2^M - 1$ 個の並列の段と、D A C の (N - M) 個の最下位ビットに関連する (N - M) 個の段と、インピーダンス減衰器 (impedance

10

20

30

40

50

attenuator) とを含む。 $2^M - 1$ 個の段の各々は、1 対のスイッチを含み、同じ電流を生成し、その段のスイッチの対を介して D A C の 1 対の電流加算ノード (current summing node) にこの電流を加えるように適合される。 $(N - M)$ 個の段の各々は、抵抗回路網を含み、 $2^M - 1$ 個の段で生成される電流と同じ電流を生成する。 $(N - M)$ 個の段の各々は、M S B の段のスイッチと同じサイズを有する 1 対のスイッチをさらに含み、差動データ (differential data) に応じて、その段で生成された電流を段に関連する抵抗回路網に加えるように適合される。それぞれの抵抗回路網は、その抵抗回路網が受け取る電流を、その抵抗回路網の関連する段の 2 進重みに応じてスケーリングするように動作可能である。 $(N - M)$ 個の段は、それらの段のスケーリングされた電流を 1 対の電流加算ノードに加える。インピーダンス減衰器は、一部に、電流加算ノードに結合され、電流加算ノードの各々のインピーダンスと、電流加算ノードの間の電圧の差とを、差動増幅器の利得によって定義される範囲内に保つように適合された差動増幅器を含む。

【0008】

[0008] 一実施形態において、ビット位置が 1 つの D A C のビットだけ異なる入力段に関連する抵抗回路網が、互いに結合される。一実施形態において、それぞれの抵抗回路網は、基準電圧を受け取る。さらに別の実施形態において、それぞれの抵抗回路網は、R - 2 R 回路網である。

【0009】

[0009] 一実施形態において、インピーダンス減衰器は、一部に、第 1 の P M O S ドレインジスタと第 2 の P M O S ドレインジスタとをさらに含む。第 1 の P M O S ドレインジスタは、第 1 の電流加算ノードに結合されたソース端子と、D A C の第 1 の出力端子に結合されたドレイン端子と、増幅器の第 1 の出力端子に結合されたゲート端子とを有する。第 2 の P M O S ドレインジスタは、第 2 の電流加算ノードに結合されたソース端子と、D A C の第 2 の出力端子に結合されたドレイン端子と、増幅器の第 2 の出力端子に結合されたゲート端子とを有する。

【0010】

[0010] 一実施形態において、D A C の N 個の段の各々は、その段のトランジスタスイッチを通過する同じ電流を生成するカスコード電流源 (cascode current source) を含む。一実施形態においては、N 個の段の各々のトランジスタスイッチのうちの 1 つが、D A C によって受け取られる真データビット (true data bit) を表すビットに応答する。N 個の段の各々の他のトランジスタスイッチが、D A C によって受け取られるビットの補数 (complement) を表すビットに応答する。

【0011】

[0011] 一実施形態において、 $(N - M)$ 個の段の第 1 のサブセットのみの各々に関連する抵抗回路網は、R - 2 R 回路網である。別の実施形態において、 $(N - M)$ 個の段の第 2 のサブセットの各々に関連する抵抗回路網は、D A C の電流加算ノードに結合される。第 2 のサブセットは、第 1 のサブセットを含まない。

【0012】

[0012] 一実施形態において、 $(N - M)$ 個の段のうちの少なくとも 1 つは、電流加算ノードの電圧を追跡し、追跡された電圧をその段の抵抗回路網に供給するように適合された電圧追跡回路 (voltage tracking circuit) をさらに含む。一実施形態において、電圧追跡回路は、第 1 の増幅器と第 2 の増幅器とを含む。第 1 の増幅器は、第 1 の電流加算ノードに結合された第 1 の入力端子と、その段の抵抗回路網に配置された第 1 の抵抗要素に結合された第 2 の入力端子と、第 1 の増幅器の第 2 の入力端子に結合された出力端子とを有する。第 2 の増幅器は、第 2 の電流加算ノードに結合された第 1 の入力端子と、その段の抵抗回路網に配置された第 2 の抵抗要素に結合された第 2 の入力端子と、第 2 の増幅器の第 2 の入力端子に結合された出力端子とを有する。

【0013】

[0013] 一実施形態において、D A C の $(N - M)$ 個の段のうちの少なくとも 1 つは、その段の抵抗回路網に電圧を供給する基準電圧と、電流加算ノードとの間の電流の流れを

10

20

30

40

50

打ち消すように適合された歪みキャンセル回路 (distortion cancellation circuit) をさらに含む。一実施形態において、D A C の $2^M - 1$ 個の段のうちの少なくとも 1 つは、第 1 の抵抗要素と第 2 の抵抗要素とをさらに含む。第 1 の抵抗要素は、その段のトランジスタスイッチのうちの 1 つと第 1 の電流加算ノードとの間に配置される。第 2 の抵抗要素は、その段のトランジスタスイッチのうちの別の 1 つと第 2 の電流加算ノードとの間に配置される。

【0014】

[0014] 一実施形態において、(N - M) 個の段の各々は、第 1 の容量要素 (capacitive element) と第 2 の容量要素とをさらに含む。それぞれのそのような段の第 1 の容量要素が、その段の抵抗回路網に配置された第 1 の抵抗要素の端子の間に平行に結合される。それぞれのそのような段の第 2 の容量要素が、その段の抵抗回路網に配置された第 2 の抵抗要素の端子の間に平行に結合される。そのような実施形態において、それぞれのそのような段の第 1 の容量要素および第 2 の容量要素は、D A C に配置されたM O S トランジスタスイッチのドレイン - 基板静電容量 (drain-to-substrate capacitance) の実質的に 2 倍の静電容量を有する。

【0015】

[0015] 本発明の一実施形態による、N ビットのデジタル信号をアナログ信号に変換するための方法は、一部に、デジタルデータのM 個の最上位ビットに関連する $2^M - 1$ 個の並列の段を形成することと、 $2^M - 1$ 個の段の各々で同じ電流を生成することと、それぞれのそのような段に配置された 1 対のスイッチを介して $2^M - 1$ 個の段からの電流を第 1 の電流加算ノードと第 2 の電流加算ノードとに加えることとを含む。方法は、デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成することと、 $2^M - 1$ 個の段の各々で生成された電流と同じである電流を (N - M) 個の段の各々で生成することとさらに含む。方法は、(N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成することと、(N - M) 個の抵抗回路網の各々の関連する段で生成された電流を、1 対のスイッチを介して (N - M) 個の抵抗回路網の各々に加えることと、抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる電流をスケーリングすることと、スケーリングされた電流を 1 対の電流加算ノードに加えることをさらに含む。方法は、電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、電流加算ノードの間の電圧の差を利得の値によって定義される範囲内に保つことをさらに含む。電流加算ノードに加えられる電流の差は、アナログ信号の値を定義する。

【0016】

[0016] 本開示の態様が、例として示される。添付の図面において、同様の参照番号は、同様の要素を示す。

【図面の簡単な説明】

【0017】

【図 1】[0017] 本発明のさまざまな態様が具現化され得るワイヤレス通信デバイスのブロック図。

【図 2】[0018] 本発明の 1 つの例示的な実施形態による、低グリッチノイズを有するよう 40 に適合された電流ステアリング (current steering) D A C の簡略化されたブロック図。

【図 3】[0019] 本発明の 1 つの例示的な実施形態による、図 2 に示されたD A C のインピーダンス減衰器の簡略化されたブロック図。

【図 4】[0020] 本発明の別の例示的な実施形態による、低グリッチノイズを有するよう 40 に適合された電流ステアリングD A C の簡略化されたブロック図。

【図 5】[0021] 本発明の別の例示的な実施形態による、低グリッチノイズを有するよう 40 に適合された電流ステアリングD A C の簡略化されたブロック図。

【図 6】[0022] 本発明の別の例示的な実施形態による電流ステアリングD A C のセグメントの簡略化されたブロック図。

【図7】[0023] 本発明の別の例示的なものによる電流ステアリングD A Cのセグメントの簡略化されたブロック図。

【図8】[0024] 本発明の別の例示的な実施形態による電流ステアリングD A Cのセグメントの簡略化されたブロック図。

【図9】[0025] 本発明の別の例示的な実施形態による電流ステアリングD A Cのセグメントの簡略化されたブロック図。

【図10】[0026] 本発明の別の例示的な実施形態による電流ステアリングD A Cのセグメントの簡略化されたブロック図。

【図11】[0027] 本発明の別の例示的な実施形態による、低グリッチノイズを有するよう10に適合された電流ステアリングD A Cの簡略化されたブロック図。

【図12】[0028] 本発明の一実施形態による、デジタル信号をアナログ信号に変換するための方法の流れ図。

【発明を実施するための形態】

【0018】

[0029] いくつかの例示的な実施形態が、以降、本明細書の一部を形成する添付の図面に関連して説明される。本開示の1つまたは複数の態様が実装され得る特定の実施形態が以下で説明されるが、本開示の範囲を逸脱することなく他の実施形態が使用される可能性があり、さまざまな修正がなされる可能性がある。

【0019】

[0030] 本発明の実施形態によるデジタルアナログコンバータ（D A C）は、同じ量の電流を生じ、同様にサイズを決められたトランジスタスイッチを有する入力段を含む。トランジスタスイッチを流れる電流は、したがって、D A Cのすべての入力段に関して同じである。D A Cの最下位ビットに対応する入力段は、抵抗回路網を含む。それぞれのそのような段の抵抗回路網は、その抵抗回路網が受け取る電流を、D A C内の段のビット位置の2進重みに応じてスケーリングする。20

【0020】

[0031] 図1は、本発明の一実施形態による、ワイヤレス通信システムで使用されるワイヤレス通信デバイス150（以降、代替的に、デバイスと呼ばれる）のブロック図である。デバイス150は、セルラ電話、携帯情報端末（P D A）、モデム、ハンドヘルドデバイス、ラップトップコンピュータなどであり得る。30

【0021】

[0032] デバイス150は、任意の所与の時間にダウンリンク（D L）および／またはアップリンク（U L）で1つまたは複数の基地局と通信し得る。ダウンリンク（または順方向リンク）は、基地局からデバイスへの通信リンクを指す。アップリンク（または逆方向リンク）は、デバイスから基地局への通信リンクを指す。

【0022】

[0033] ワイヤレス通信システムは、利用可能なシステムリソース（たとえば、帯域幅と送信電力と）を共有することによって複数のユーザとの通信をサポートすることができる多元接続システムであり得る。そのようなシステムの例は、符号分割多元接続（C D M A）システム、時分割多元接続（T D M A）システム、周波数分割多元接続（F D M A）システム、直交周波数分割多元接続（O F D M A）システム、空間分割多元接続（S D M A）システムを含む。40

【0023】

[0034] ワイヤレス通信デバイス150は、ロングタームエボリューション（L T E）システムなどのワイヤレス通信システムで使用される可能性がある。ワイヤレス通信システム150は、高データレートまたは帯域幅で連続して動作させられ、したがって、ワイヤレス通信システム150で使用されるD A Cのために大きくされた帯域幅を必要とする可能性がある。大きくされた帯域幅は、広い範囲の周波数とデジタルプリディストーション動作とを扱うことができるシステムオンチップで実装された広帯域のD A Cを必要とする可能性がある。プリディストーション動作は、そのようなワイヤレスシステムにおける50

低成本の非線形電力増幅器の使用を可能にし得る。

【0024】

[0035] デバイス150は、一部に、変調器104と、DAC100と、フィルタ108と、増幅器110とを含むものとして示されており、これらは、集合的に送信チャネルを形成する。変調器104は、到着するデジタル信号IN2を変調し、それに応じて、変調された信号MOD_OUT4をDAC100に供給するように適合される。以下でさらに説明されるように、DAC100は、組み込み負荷（インピーダンス）減衰器を有する。DAC100によって供給される変換された信号DAC_OUT6は、フィルタ108によって受け取られ、フィルタリングされる。フィルタ108の出力信号FIL_OUT8は、それに応じて信号AMP1_OUT10を生成する増幅器110によって受け取られ、増幅される。増幅器110によって生成された信号AMP1_OUTは、アンテナ114によって送信される前に信号AMP2_OUTを生成するために電力増幅器112を用いてさらに増幅される可能性がある。
10

【0025】

[0036] 低電力ワイヤレスまたはコンシューマデバイスは、より少ない電流で動作するDACを必要とする可能性がある。そのような応用においては、信号対雑音歪み比（SNDR : signal-to-noise distortion ratio）と、スプリアスフリーダイナミックレンジ（S F D R : spurious free dynamic range）と、全高調波歪み（T H D : total harmonic distortion）とを含む動的線形性性能基準が、重要なシステムパラメータである。
20

【0026】

[0037] 図2は、本発明の1つの例示的な実施形態による、低グリッチノイズを有するように適合された14ビット電流ステアリングDAC100のブロック図である。DAC100は、図1に示されたデバイス150で使用され得る。DAC100は14ビットの解像度を有するものとして示されているが、本発明による低グリッチノイズのDACは、14ビットより高いまたはより低い解像度を有していてもよいことが理解される。DAC100は、DACの6つの最上位ビット（MSB : most significant bits）を形成するために並列に接続される63個の同様の入力段_{110_j-j}は1から63まで変化する整数である- - を含む（簡単にするために、段110のうちの1つのみが示されている）。DAC100は、DACの8つの最下位ビット（LSB : least significant bits）を形成する8つの段_{120_i-i}は1から8まで変化する整数である- - も含む。63個の入力段_{110_j}は、代替的および集合的に入力段110と呼ばれる。同様に、8つの入力段_{120_i}は、代替的および集合的に入力段120と呼ばれる。簡単にするために、入力段_{120_i}のうちの3つだけが示されている。
30

【0027】

[0038] また、DAC100は、以下で詳細に説明される出力段190を含むものとして示されている。また、DAC100は、14ビットの入力信号D_{in}[13:0]を受け取り、さまざまな入力段110、120のトランジスタ140、145に印可されるさまざまな真ビット（true bit）Dと相補ビット（complement bit）DBとを復号するデコーダ160を含むものとして示されている。
40

【0028】

[0039] それぞれの入力段_{120_i}は、カスコード電流源と一緒に形成する1対のトランジスタ130と135とを含むものとして示されている。また、それぞれの入力段_{120_i}は、入力段に関連し、入力段によって受け取られる1対の差動データDとDBとに応答する1対のトランジスタスイッチ140と145とを含むものとして示されている。それぞれの入力段_{110_j}も、カスコード電流源と一緒に形成する1対のトランジスタ130と135とを含むものとして示されている。また、それぞれの入力段_{110_j}は、入力段に関連し、入力段によって受け取られる1対の差動データDとDBとに応答する1対のトランジスタスイッチ140と145とを含むものとして示されている。入力段_{120_i}と_{110_j}とに配置されるトランジスタ130は、実質的に同じサイズを有する。同様に、入力段_{120_i}と_{110_j}とに配置されるトランジスタ135は、実質的に同じサイズを
50

有する。したがって、段 120_i と 110_j とで生成される電流 I_0 は、同じ大きさを有する。

【0029】

[0040] また、DAC100は、8つのLSBの段 120 のうちの異なる1つにそれぞれが関連する8つの抵抗回路網 155_i を含むものとして示されている。それぞれの抵抗回路網 155_i は、入力段 120_i に関連付けられ、抵抗回路網がその関連する入力段から受け取る電流をスケーリングするように適合される。各入力段に関連する抵抗回路網は、その入力段に配置されたトランジスタスイッチ 140 、 145 のドレイン端子から見られるとき、R-2R回路網を形成する。たとえば、段 120_2 は、R-2R抵抗回路網 155_2 を含むものとして示されている。同様に、段 120_8 は、R-2R抵抗回路網 155_8 を含むものとして示されている。10

【0030】

[0041] 図2から分かるように、それぞれの抵抗回路網 155_i は、4つの抵抗器、すなわち、抵抗器 152_i と、 154_i と、 156_i と、 158_i とを含むものとして示されている。各入力段 120_i の抵抗器 152_i および 156_i は、その入力段に配置されたトランジスタスイッチ 140_i のドレイン端子に結合された共通端子を有する。同様に、各入力段 120_i の抵抗器 154_i および 158_i は、その入力段に配置されたトランジスタスイッチ 145_i のドレイン端子に結合された共通端子を有する。抵抗器 152_i と 154_i との第2の端子は、基準電圧 V_{ref} を受け取る。 k が1から7までの範囲の整数であるそれぞれの段 120_k に関して、抵抗器 156_k の第2の端子は、トランジスタスイッチ 140_{k+1} 、すなわち、真入力データ(true input data) D_{k+1} を受け取り、入力段 120_k のビット位置よりも1つ上のビット位置を有する入力段 120_{k+1} に配置されたトランジスタスイッチのドレイン端子に結合される。同様に、抵抗器 158_k の第2の端子は、トランジスタスイッチ 145_{k+1} 、すなわち、相補入力データ(complementary input data) $D_{B_{k+1}}$ を受け取り、入力段 120_{k+1} に配置されたトランジスタスイッチのドレイン端子に結合される。20

【0031】

[0042] たとえば、入力段 120_2 に関連する抵抗回路網 155_2 は、抵抗器 152_2 と、 154_2 と、 156_2 と、 158_2 とを含むものとして示されている。抵抗器 152_2 および 156_2 は、入力段 120_2 に配置されたトランジスタスイッチ 140_2 のドレイン端子に結合された共通端子を有する。同様に、入力段 120_2 の抵抗器 154_2 および 158_2 は、入力段 120_2 に配置されたトランジスタスイッチ 145_2 のドレイン端子に結合された共通端子を有する。抵抗器 152_2 と 154_2 との第2の端子は、基準電圧 V_{ref} を受け取る。抵抗器 156_2 の第2の端子は、トランジスタスイッチ 140_3 のドレイン端子に結合される。同様に、抵抗器 158_2 の第2の端子は、トランジスタスイッチ 145_3 のドレイン端子に結合される。30

【0032】

[0043] 最後のLSBの段に関連する抵抗回路網 155_8 の抵抗器 152_8 および 156_8 は、入力段 120_8 に配置されたトランジスタスイッチ 140_8 のドレイン端子に結合された共通端子を有する。同様に、各入力段 120_8 の抵抗器 154_8 および 158_8 は、入力段 120_8 に配置されたトランジスタスイッチ 145_8 のドレイン端子に結合された共通端子を有する。抵抗器 152_8 および 154_8 の第2の端子は、基準電圧 V_{ref} を受け取る。抵抗器 156_8 の第2の端子は、出力段 190 の加算ノードBに結合される。同様に、抵抗器 158_8 の第2の端子は、出力段 190 の加算ノードB'に結合される。40

【0033】

[0044] 抵抗器 156_i と 158_i との各々は、抵抗Rを有する。抵抗器 152_1 と 154_1 もまた、Rの抵抗を有する。残り7個の段の抵抗器 152_i と 154_i との各々は、2Rの抵抗を有する。したがって、各入力段 120_i に関連する抵抗回路網 155_i は、その入力段に配置されたトランジスタスイッチ 140_i と 145_i とのドレイン端子から見られるとき、R-2R回路網を形成する。50

【0034】

[0045] 各抵抗回路網 155_i の抵抗は、各抵抗回路網を流れる電流が抵抗回路網の関連する入力段 120_i の2進重みに比例するように選択される。したがって、各入力段のカスコードトランジスタ 130 と 135 とを流れる電流が I_0 であると仮定される場合、たとえば--7番目の最上位ビットに関連する--段 120_8 の抵抗回路網 155_8 に配置されたレジスタ 156_8 と 158_8 とを通じて加算ノードB、B'に流れる電流は、 $(1/2) * I_0$ である。同様に、--最下位ビットに関連する--段 120_1 の抵抗回路網 155_1 を通じて加算ノードB、B'に流れる電流は、 $(1/2^{56}) * I_0$ である。抵抗回路網 150_i を流れる電流は、出力段 190 に入力信号を与える電流加算ノードB、B'に加えられる。D A C 1 0 0 の例示的な実施形態において、抵抗回路網はR - 2 R回路網として示されているが、2進重みを用いて電流をスケーリングするように適合された任意の他の抵抗回路網が使用され得ることが理解される。
10

【0035】

[0046] 本発明の一態様による出力段 190 は、インピーダンス減衰器 190 を含む。代替的に、出力段 190 は、本明細書において、インピーダンス減衰器 190 と呼ばれる。インピーダンス減衰器 190 の出力ノードO、O'の間の差動電圧は、D A C 1 0 0 の出力電圧を表す。抵抗器 174 、 176 は、キャパシタ 178 および電圧源 172 と一緒に、出力負荷 170 を表す。電流源 162 、 164 は、ノードB、B'に電流 I_{offset} をそれぞれ与え、電流シンク 166 および 168 は、ノードO、O'から電流 I_{offset} をそれぞれ引き出す。電流源 162 、 164 と、電流シンク 166 、 168 とは、減衰器 190 に配置されたトランジスタを、動作の活性領域(active region)でバイアスをかけられるように保つように適合される。
20

【0036】

[0047] D A C のすべての入力段 110 、 120 のトランジスタスイッチ 140 と 145 とを流れる電流が実質的に同じであり、それらの入力段 110 、 120 の関連する抵抗回路網によってのみ--トランジスタスイッチを通過した後に--スケーリングされるため、さらには、すべての段のスイッチ 140 および 145 が同じサイズを有するため、D A C 1 0 0 のM S B の段とL S B の段との間のグリッチエネルギー(glitch energy)が整合(match)させられる。したがって、D A C 1 0 0 は、従来のD A C よりもずっと低いグリッチノイズを有する。抵抗回路網は、2進重みを用いて、スイッチを通過する電流を正確に分ける。例示的な14ビットD A C 1 0 6 の8ビットの精度の抵抗器の整合は、比較的容易に達成可能である。
30

【0037】

[0048] 各入力段 120_k によって見られるR - 2 R回路網のために、各入力段 120_i のトランジスタ 140_i を流れる電流の半分が、電圧 V_{ref} に供給され、一方、この電流の残り半分は、トランジスタ $140_{(i+1)}$ のドレイン端子に供給される。同様に、各入力段 120_i のトランジスタ 145_i を流れる電流の半分が、電圧 V_{ref} に供給され、一方、この電流の残り半分は、トランジスタ $145_{(i+1)}$ のドレイン端子に供給される。したがって、各抵抗回路網 155_i を流れる電流は、抵抗回路網 $155_{(i+1)}$ を流れる電流の半分である。したがって、各入力段 120_i の抵抗回路網を流れる電流は、D A C の抵抗回路網の関連する入力段 120_i の2進重みに比例する。
40

【0038】

[0049] 有利なことに、インピーダンス減衰器 190 は、出力負荷 170 が持ち得るインピーダンスの範囲を広げる。インピーダンス減衰器 190 は、プロセスと、電圧と、温度との変化による出力負荷のインピーダンスの変化を考慮するようにさらに適合される。結果として、D A C 1 0 0 のすべての入力段が同じ量の電流を生成し、同様のスイッチのサイズを有するので、D A C 1 0 0 は、従来のD A C よりも、プロセス、電圧、および温度にわたって、ずっと小さな帯域外雑音の変化(out-of-band noise variation)を有する。さらに、本発明によるインピーダンス減衰器 190 は、D A C 1 0 0 のS F D R およびS N D R が所望の値の範囲内であることを保証するために抵抗器 152_i と、 154_i と
50

、 156_j と、 158_j との抵抗を選択する際のより大きな柔軟性を提供する。換言すると、本発明によるインピーダンス減衰器は、抵抗回路網の抵抗を負荷抵抗から切り離す。

【0039】

[0050] 図3は、負荷 170 に結合されたインピーダンス減衰器 190 の簡略化されたブロック図である。インピーダンス減衰器 190 は、1組の差動入力と1組の差動出力を有する増幅器 180 と、トランジスタ 182 、 184 とを含むものとして示されている。インピーダンス減衰器は、米国特許第8,169,353号で説明されている。電流源 162 、 164 は、ノードB、B'に電流 I_{offset} をそれぞれ与え、電流シンク 166 および 168 は、ノードO、O'から電流 I_{offset} をそれぞれ引き出す。電流源 162 、 164 と、電流シンク 166 、 168 とは、トランジスタ 182 、 184 を動作の活性領域に保つように適合される。
10

【0040】

[0051] 減衰器 190 は、ノードB、B'の間の電圧差を増幅器 180 のDC利得によって定義される比較的狭い範囲内に保つように適合される。たとえば、増幅器 180 が 60dB のDC利得を有し、出力ノードO、O'の間の電圧差が 1V である場合、ノードB、B'の間の電圧差は、以下でさらに説明されるように、ほぼ 1mV に保たれる。

【0041】

[0052] たとえば、DAC 100 が、DACの入力の変化に応じてノードBにより大きな電流をステアリングすると仮定する。これは、ノードBの電圧を高める。増幅器 180 の入力端子が比較的高いインピーダンスを有するので、ノードBに注入されるさらなる電流が、トランジスタ 182 に流れ、それによって、出力ノードOの電圧を高める。増幅器 180 は、PMOSトランジスタ 182 のソース電圧を比較的一定に保つようにPMOSトランジスタ 182 のゲート電圧を下げるようによく適合される。トランジスタ 182 のソース電圧を比較的一定に保つことによって、ノードB、B'の間の電圧差が、増幅器 180 のDC利得によって定義される非常に狭い範囲内に保たれる。ノードO、O'のインピーダンスに対するノードB、B'のインピーダンスの比も、増幅器 180 の利得によって定義される。図3のインピーダンス減衰器 190 は完全な差動増幅器(fully differential amplifier) 180 を含むものとして示されているが、他の実施形態においては、インピーダンス減衰器 190 は、米国特許第8,169,353号に示されるように、その代わりに1対のシングルエンド増幅器を含む可能性があることが理解される。
20
30

【0042】

[0053] 図4は、本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された電流ステアリングDAC 200 の簡略化されたブロック図である。DAC 200 は、一部に、DAC 200 の6つのMSBを形成するために並列に接続される63個の同様の段 110_j (段 110 のうちの1つのみが示されている)を含むものとして示された14ビットDACである。DAC 200 は、DAC 200 の4つの中間ビット(MID)を形成する4つの段 210_1 、 220_2 、 220_3 、 220_4 (代替的および集合的に段 210 と呼ばれる)も含む。DAC 200 は、DACの4つのLSBを形成する4つの段 120_1 、 120_2 、 120_3 、 120_4 (代替的および集合的に段 120 または 120_i と呼ばれる)も含む。示されていないが、DAC 200 は、図2に示されたデコーダと同様のデコーダも含むことが理解される。DAC 200 は、インピーダンス減衰器 190 も含む。DAC 200 は14ビットDACであるものとして示されているが、本発明による低グリッチノイズのDACは、14ビットよりも高いまたは低い解像度を有する可能性があることが理解される。
40

【0043】

[0054] 入力段 120_i 、 110_j 、および 210_m (m は1から4まで変化する整数である)に配置されるトランジスタ 130 は、実質的に同じサイズを有する。同様に、入力段 120_i と 110_j と 210_m とに配置されるトランジスタ 135 は、実質的に同じサイズを有する。したがって、すべての段 120_i と、 110_j と、 210_m とで生成される電流 I_o は、同じ大きさを有する。
50

【0044】

[0055] DAC200の入力段120_iは、上述のDAC100の入力段120_i(図2参照)と同様である。DAC200の各MIDの段210_mは、その段に割り当てられた2進重みに応じて、抵抗回路網がその関連する段に配置されたスイッチから受け取る電流をスケーリングする抵抗回路網215_mを含む。たとえば、段210₄は、抵抗回路網215₄がその関連するスイッチ140₄と145₄とから受け取る電流を(1/2×I₀)にスケーリングし、この電流をDAC200の加算ノードB、B'に加える抵抗回路網215₄を含むものとして示されている。入力段210_mに関連する各抵抗回路網の抵抗は、それぞれのそのような抵抗回路網を流れる電流がDACの抵抗回路網の関連する入力段の2進重みに比例するように選択される。

10

【0045】

[0056] 各抵抗回路網215_mは、4つの抵抗器を含むものとして示されている。抵抗回路網215_mの抵抗器222_mおよび226_mは、入力段210_mに配置されたトランジスタスイッチ140_mのドレイン端子に結合された共通端子を有する。同様に、各入力段215_mの抵抗器224_mおよび228_mは、入力段210_mに配置されたトランジスタスイッチ145_mのドレイン端子に結合された共通端子を有する。抵抗器222_mと224_mとの第2の端子は、基準電圧V_{ref}を受け取る。抵抗器226_mの第2の端子は、インピーダンス減衰器190の加算ノードBに結合される。同様に、抵抗器228_mの第2の端子は、出力インピーダンス減衰器190の加算ノードB'に結合される。

【0046】

20

[0057] 抵抗回路網215₄の4つの抵抗器222₄と、224₄と、226₄と、228₄との各々は、2Rの抵抗を有する。したがって、入力段210₄のトランジスタ140、145を通過する電流I₀の半分が、電圧V_{ref}に流れるようになる一方、この電流の残り半分は、加算ノードB、B'に流れるようになる。抵抗回路網215₃の抵抗器222₃、224₃は、2Rの抵抗を有するものとして示されており、抵抗回路網215₃の抵抗器226₃と228₃とは、6Rの抵抗を有するものとして示されている。したがって、入力段210₃のトランジスタ140₃、145₃を流れる電流I₀の3/4(すなわち、6/(6+2))が、電圧V_{ref}を流れるようになり、入力段210₃のトランジスタ140₃、145₃を流れる電流I₀の1/4(すなわち、2/(6+2))は、加算ノードB、B'に流れるようになる。抵抗回路網215₂の抵抗器222₂、224₂は、2Rの抵抗を有するものとして示されており、抵抗回路網215₂の抵抗器226₂と228₂とは、14Rの抵抗を有するものとして示されている。したがって、入力段210₂のトランジスタ140₂、145₂を流れる電流I₀の7/8(すなわち、14/(14+2))が、電圧V_{ref}を流れるようになり、入力段210₂のトランジスタ140₁、145₂を流れる電流I₀の1/8(すなわち、2/(14+2))は、加算ノードB、B'に流れるようになる。抵抗回路網215₁の抵抗器222₁、224₁は、2Rの抵抗を有するものとして示されており、抵抗回路網215₁の抵抗器226₁と228₁とは、15Rの抵抗を有するものとして示されている。しかし、図4から分かるように、入力段210₁の抵抗器222₁と224₁とは、LSBの段120₄の抵抗回路網155₄にやはり接続される。したがって、抵抗器222₁、226₁の共通端子とV_{ref}との間の実効抵抗は、Rである。同様に、抵抗器224₁、228₁の共通端子とV_{ref}との間の実効抵抗は、Rである。したがって、入力段210₁のトランジスタ140₁、145₁を流れる電流I₀の1/16(すなわち、15/(15+1))が、電圧V_{ref}を流れるようになり、入力段210₁のトランジスタ140₁、145₁を流れる電流I₀の1/16(すなわち、1/(15+1))は、加算ノードB、B'に流れるようになる。換言すると、R-2R回路網ではないにもかかわらず、段222₄と、224₄と、226₄と、228₄との各々に関連する抵抗回路網は、DACのその段の2進重みに比例して加算ノードB、B'に電流を提供する。

30

【0047】

40

[0058] それぞれのLSBの段120_iは、抵抗回路網を通過する電流を抵抗回路網の

50

関連する入力段に割り当てられた2進重みに応じてスケーリングする抵抗回路網を含む。それぞれの抵抗回路網によってスケーリングされた電流が、ビット位置が1ビット分だけ高い直前の段の抵抗回路網に加えられる。たとえば、図4に示されるように、鎖状に、抵抗回路網 155_4 によってスケーリングされた電流が、MIDの段 210_1 に関連する抵抗回路網 215_1 に加えられ、抵抗回路網 155_3 によってスケーリングされた電流が、抵抗回路網 155_4 に加えられ、抵抗回路網 155_2 によってスケーリングされた電流が、抵抗回路網 155_3 に加えられ、抵抗回路網 155_1 によってスケーリングされた電流が、抵抗回路網 155_2 に加えられる。

【0048】

[0059] 図5は、本発明の別の例示的な実施形態による、低グリッチノイズを有するよう10に適合された電流ステアリング14ビットDAC300の簡略化されたブロック図である。示されていないが、DAC300は、図2に示されたデコーダと同様のデコーダも含むことが理解される。また、DAC300は14ビットよりも高いまたは低い解像度を有する可能性があることが、理解される

[0060] DAC300は、DACの6つのMSBを形成するために並列に接続される63個の同様の段 110 を含むものとして示されている。DAC300は、図2のDAC100と同様にしてDACの8つのLSBを形成する8つの段 120_i をさらに含む。DAC300は、基準電圧 V_{ref} の必要性をなくし、差動DACである。図5に示されるように、抵抗回路網 155_i の各々の抵抗器 152_i と 154_i とが、電圧源 V_{ref} (図2参照)に結合される代わりに互いに結合される。抵抗器 152_i 、 154_i の各々は、 $2R$ の抵抗を有するものとして示されている。抵抗器 152_i 、 154_i の各々は、 R の抵抗を有するものとして示されている。
20

【0049】

[0061] 図5から分かるように、たとえば、抵抗回路網 155_8 の抵抗器 156_8 と 158_8 とを流れる電流は、それぞれ、 $[(1/4 + (1/2) * b) * I_o]$ と $[(1/4 + (1/2) * (1 - b)) * I_o]$ とに等しいものとして示されており、ここで、 b は、14ビットDAC300のビット8の2進値である。やはり図5から分かるように、段 120_8 以外、他の段 120_i の各々で生じる電流は、図2のDAC100に関連してやはり説明されたように、段の関連する抵抗回路網によってスケーリングされ、直前の段の抵抗回路網に加えられ、その直前の段のビット位置は、その抵抗回路網が電流を受け取る段のビット位置よりも1高い。たとえば、段 120_1 の抵抗回路網 155_1 によってスケーリングされた電流は、段 120_2 の抵抗回路網 155_2 に加えられる。
30

【0050】

[0062] DAC100、200、または300のいずれかのインピーダンス減衰器 190 に配置された増幅器が制限された利得帯域幅積(gain-bandwidth product)を有するので、ノードB、B'の電圧は、DACの出力電流が変わるとときに変わる可能性がある。図3を参照すると、PMOSトランジスタ 182 、 184 のゲート-ソース間容量が比較的大きいので、インピーダンス減衰器の出力ノード、すなわち、トランジスタ 182 、 184 のゲート端子の非線形の電流の変化が、インピーダンス減衰器B、B'の入力ノードに結合され、それによって、ノードB、B'の電流を非線形に変化させる可能性がある。そして、そのような非線形の電流が、抵抗回路網を通じて電圧源 V_{ref} に流れ込む可能性がある。抵抗回路網の抵抗 R はDACトランジスタの寄生容量のインピーダンスよりも小さい可能性があるので、そのような電流の流れは、DACのSFRを低下させる可能性がある。抵抗 R が小さいほど、低下は顕著になる。
40

【0051】

[0063] 本発明の一実施形態によるインピーダンス減衰器の入力ノードからの/ Δ への非線形の電流の流れが原因であるSFRの低下を最小化するために、抵抗器の電圧が追跡される。図6は、本発明の一実施形態によるDAC400のセグメントの簡略化されたブロック図である。DAC400は、たとえば、図2に示されたDAC100のセグメントであり得る。DACのMSBの段 110_1 のうちの1つとLSBの段 120_8 のうちの1つ
50

とだけが図 6 に示されているが、D A C 4 0 0 は多くのさらなる入力段を有することが理解される。入力段 1 2 0₈ の抵抗回路網は、1 対の増幅器 2 3 0₁ と 2 3 0₂ を含むように適合される。示されるように、増幅器 2 3 0₁ の負入力端子は、増幅器の出力端子と、抵抗器 1 5 2₈ の端子のうちの 1 つとに結合される。増幅器 2 3 0₁ の正入力端子は、ノード B に結合される。同様に、示されるように、増幅器 2 3 0₂ の負入力端子は、増幅器の出力端子と、抵抗器 1 5 4₈ の端子のうちの 1 つとに結合される。増幅器 2 3 0₂ の正入力端子は、ノード B' に結合される。2 つの増幅器の各々の 2 つの入力端子の間の仮想接地 (virtual ground) の存在により、増幅器 2 3 0₁ の出力電圧は、ノード B の電圧を追跡し、増幅器 2 3 0₂ の出力電圧は、ノード B' の電圧を追跡し、それによって、S F D R の低下を最小化する。言い換えれば、ノード B の電圧の変化が抵抗器 1 5 2₈ の端子に反映され、ノード B' の電圧の変化が抵抗器 1 5 4₈ の端子に反映されるので、そのような電圧の変化は、抵抗器を通じたノード B と B' とから V_{ref} への、またはその逆の電流の流れを引き起こさない - - したがって、S F D R の低下を抑制する。図 6 に示されていないが、D A C 3 0 0 の他の段 1 2 0₁ の各々は同じ追跡回路を共有することが理解される。
10

【 0 0 5 2 】

[0064] 図 7 は、本発明の一実施形態による D A C 5 0 0 のセグメントの簡略化されたブロック図である。D A C 5 0 0 は、たとえば、図 2 に示された D A C 1 0 0 のセグメントであり得る。D A C の M S B の段 1 1 0₁ のうちの 1 つと L S B の段 1 2 0₈ のうちの 1 つとだけが図 7 に示されているが、D A C 5 0 0 は多くのさらなる入力段を有することが理解される。D A C 5 0 0 は、抵抗器 2 4 0、2 5 0 と、トランジスタ 2 4 2、2 5 2 と、増幅器 2 4 4、2 5 4 と、キャパシタ 2 4 4、1 5 6 とを含む歪みキャンセル回路 2 6 0 をその D A C 5 0 0 内に配置する。
20

【 0 0 5 3 】

[0065] 歪みキャンセル回路 2 6 0 は、以下でさらに説明されるように、電源電圧 V_{ref} とノード B、B' との間の電流の流れに抗し、打ち消すように適合される。ノード B の (つまり、増幅器 2 4 4 の正端子の) 電圧 V_p のあらゆる低下は、増幅器 2 4 4 の入力端子の間の仮想接地の存在のために、増幅器 2 4 4 の負端子 (P M O S 2 4 2 のソース端子) の電圧を下げ、それによって、トランジスタ 2 4 2 を通じた電流の流れの増加を引き起こす。キャパシタ 2 4 6 を介してノード B' に A C 結合されるこの電流の増加は、ノード B' に流れ込み、それによって、抵抗器 1 5 2₈ と 1 5 8₈ とを通じた V_{ref} からノード B への差動電流 (differential current) の流れを打ち消す。同様に、ノード B の電圧 V_p のあらゆる増加は、増幅器 2 4 4 の負端子の電圧を高め、それによって、トランジスタ 2 4 2 を通じた電流の流れの減少を引き起こす。キャパシタ 2 4 6 を介してノード B' に A C 結合されるこの電流の減少は、ノード B' から流れ、それによって、抵抗器 1 5 2₈ と 1 5 8₈ とを通じた V_{ref} からノード B への差動電流の流れを打ち消す。また、トランジスタ 2 4 2 のソース端子の電圧のあらゆる増加 / 減少は、抵抗器 2 4 0 を介した V_{ref} への / からの電流の流れを引き起こす。同様に、トランジスタ 2 5 2 のソース端子の電圧のあらゆる増加 / 減少は、抵抗器 2 5 0 を介した V_{ref} への / からの電流の流れを引き起こす。
30

。

【 0 0 5 4 】

[0066] 図 8 は、本発明の一実施形態による D A C 6 0 0 のセグメントの簡略化されたブロック図である。D A C 6 0 0 は、たとえば、図 2 に示された D A C 1 0 0 のセグメントであり得る。D A C の M S B の段 1 1 0₁ のうちの 1 つと L S B の段 1 2 0₈ のうちの 1 つとだけが図 8 に示されているが、D A C 6 0 0 は多くのさらなる入力段を有することが理解される。D A C 6 0 0 は、トランジスタ 2 6 0、2 6 2、2 6 4、2 6 6、2 7 0、2 7 2、2 7 4、2 7 6 と、抵抗器 2 6 8、2 7 8 と、電流源 2 8 2、2 8 4、2 8 6、および 2 8 8 とを含む歪みキャンセル回路 2 8 0 をその D A C 6 0 0 内に配置する。
40

【 0 0 5 5 】

[0067] トランジスタ 2 6 6 と 2 7 6 とのゲートでノード B、B' から電圧 V_p と V_m と
50

をそれぞれ受け取るそれらのトランジスタ 266 および 276 は、歪みキャンセル回路 280 への入力段を形成する。トランジスタ 266 と 276 とを通じた電流が電流源 282 と 286 とによってそれぞれ設定されるので、電圧 V_p が高まり、電圧 V_m が変わらない場合、トランジスタ 266 のゲート - ソース電圧をほぼ一定に保つために、ノード A のトランジスタ 266 のソース電圧も高くなる。ノード A' の電圧は、変わらない。したがって、電流が、ノード A からノード A' に流れる。ノード A からノード A' に流れる電流は、トランジスタ 262 によって生じる。このさらなる電流に対応するために、トランジスタ 262 のゲート電圧が下げられ、ひいては、トランジスタ 260 を通じた電流の流れの同様の増加をもたらす。トランジスタ 262 とカレントミラーを形成するトランジスタ 260 を通じた増加した電流は、電圧 V_p をさらにもっと高める。しかし、ノード B のインピーダンスがインピーダンス減衰器によって比較的低い値に保たれるので、電圧 V_p は、ほんのわずかしか上昇しない。たとえば、 $V_p = 1.0002$ 、 $V_m = 999.8 \text{ mV}$ 、負荷インピーダンスが 1 k オームであり、インピーダンス減衰器が負荷のインピーダンスを 1 オームだけ減衰させると仮定する。これは、注入される電流を約 400 nA にし、したがって、電圧 V_p を 200 nV ($400 \text{ nA} / 2 * 1 \text{ オーム}$) だけ高める。したがって、ループ利得は、1 (unity) よりもずっと小さい。したがって、歪みキャンセル回路 280 は、正帰還回路を用いて動作する。ノード B、B' の比較的小さな入力インピーダンスは、安定性を与え、発振を防ぐために、この帰還ループの利得が 1 よりも小さいことを保証する。

【0056】

10

[0068] また、ノード A からノード A' への電流の流れは、トランジスタ 272 を通じた電流を減少させる。トランジスタ 270 および 272 がやはりカレントミラーを形成するので、トランジスタ 272 を通じた電流の減少は、トランジスタ 270 を通じた電流の同様の低下を引き起こし、それによって、電圧 V_m の低下をもたらす。しかし、上述のように、ノード B' が比較的低いインピーダンスを有するので、電圧 V_m の低下は比較的小さい。

【0057】

20

[0069] トランジスタ 264 は、ソースフォロワ增幅器として構成される。したがって、トランジスタ 264 のゲート電圧の変化が、トランジスタ 264 のソースの対応する電圧の変化に反映される。電流源 284 は、トランジスタ 264 を通じて流れるように適合される。トランジスタ 274 も、ソースフォロワ增幅器として構成される。したがって、トランジスタ 274 のゲート電圧の変化が、トランジスタ 274 のソースの対応する電圧の変化に反映される。電流源 288 は、トランジスタ 274 を通じて流れるように適合される。キャンセル回路 280 は、よく知られており、IEEE International Solid-State Circuits Conferences, 1193 session 7, Analog Techniques, paper TA 7.2, 112 ~ 114 ページに示されている。歪みキャンセル回路が図 8 を参照して説明されているが、同様の一定の電圧 - 電流変換を実行する任意の他の歪みキャンセル回路が使用され得ることが理解される。

30

【0058】

40

[0070] 知られているように、グリッチノイズおよびしたがってグリッチエネルギーは、DAC の動作の周波数が上がるにつれて大きくなる。たとえば、図 2 を参照すると、動作の周波数が上がるにつれて、グリッチエネルギーの一部は、トランジスタ 140、145 のドレイン - 基板寄生キャパシタ (drain-to-substrate parasitic capacitor) または配線の寄生容量 (parasitic capacitance) を介して接地に流れる。接地に流れるグリッチエネルギーは、概して、LSB よりも MSB に関して少ない。DAC の異なる入力段から接地に流れるグリッチエネルギーの不均衡は、グリッチノイズをさらに増加させる可能性がある不均衡を生み出す可能性がある。

【0059】

[0071] 図 9 は、本発明の一実施形態による DAC 700 のセグメントの簡略化された

50

ブロック図である。D A C 7 0 0 は、たとえば、図2に示されたD A C 1 0 0 のセグメントであり得る。D A C 7 0 0 のM S B の段1 1 0₁のうちの1つとL S B の段1 2 0₈のうちの1つだけが図9に示されているが、D A C 7 0 0 は多くのさらなる入力段を有することが理解される。図9は、入力段1 2 0₈のトランジスタ1 4 0、1 4 5 のドレイン端子と接地との間に存在する寄生容量2 9 0、2 9 2と、入力段1 1 0₁のトランジスタ1 4 0、1 4 5 のドレイン端子と接地との間に存在する寄生容量2 9 4、2 9 6とも示す。

【0 0 6 0】

[0072] 入力段1 2 0₈、1 1 0₁から接地に流れるグリッチエネルギーの不均衡によって引き起こされるグリッチノイズを最小化するために、本発明の一実施形態によれば、抵抗器1 1 2、1 1 4が、D A C 7 0 0 のM S B の段1 1 0₁のトランジスタ1 4 0、1 4 5 のドレイン端子と加算ノードB、B'との間に配置される。抵抗器1 1 2と1 1 4との各々は、Rの抵抗を有する。抵抗器1 1 2、1 1 4は、入力段1 2 0₈のトランジスタ1 4 0、1 4 5 のドレイン端子に見られるR C 値を入力段1 1 0₈のトランジスタ1 4 0、1 4 5 のドレイン端子によって見られるR C 値とそれぞれ整合させる。このR C の整合は、接地へのグリッチエネルギーの再配分の不均衡を抑制し、したがって、入力段1 1 0₁からのグリッチノイズを入力段1 2 0₈からのグリッチノイズと整合させる。D A C 7 0 0 の並列の段1 1 0の各々が抵抗器1 1 2、1 1 4を含む可能性があることが、理解される。

【0 0 6 1】

[0073] 図1 0 は、本発明の一実施形態によるD A C 8 0 0 のセグメントの簡略化されたブロック図である。D A C 8 0 0 は、たとえば、図2に示されたD A C 1 0 0 のセグメントであり得る。D A C 8 0 0 のL S B の段1 2 0₁と1 2 0₂とのうちの3つだけが図1 0 に示されているが、D A C 8 0 0 は多くのさらなる入力段を有することが理解される。図1 0 は、入力段1 2 0₁のトランジスタ1 4 0₁、1 4 5₁に関連する寄生容量3 0 2₁、3 0 4₁と、入力段1 2 0₂のトランジスタ1 4 0₂、1 4 5₂に関連する寄生容量3 0 2₂、3 0 4₂と、入力段1 2 0₈のトランジスタ1 4 0₈、1 4 5₈に関連する寄生容量3 0 2₈、3 0 4₈とも示す。異なる入力段の間でグリッチノイズを整合させるために、D A C 8 0 0 の各入力段は、その段の抵抗器1 5 6_iと1 5 8_iとの間に並列に配置された1対のキャパシタ3 0 6_i、3 0 8_iを含むように適合される。たとえば、示されているように、キャパシタ3 0 6_i、3 0 8_iが、入力段1 2 0₁の抵抗器1 5 6_iと1 5 8_iとの間に並列に配置される。同様に、キャパシタ3 0 6₈、3 0 8₈が、入力段1 2 0₈の抵抗器1 5 6₈と1 5 8₈との間に並列に配置される。各段のキャパシタ3 0 6_i、3 0 8_iは、その段の寄生容量3 0 2_i、3 0 4_iを介した接地へのグリッチエネルギーの損失に対抗し、打ち消すようにグリッチエネルギーをフィードフォワード(feedforward)するように適合される。一実施形態において、キャパシタ3 0 6_i、3 0 8_iの各々は、キャパシタ3 0 2_i、3 0 4_iの寄生容量の2倍の静電容量を有するように選択される。

【0 0 6 2】

[0074] 図1 1 は、本発明の別の例示的な実施形態による、低グリッチノイズを有するように適合された1 4 ビット電流ステアリングD A C 9 0 0 のブロック図である。D A C 9 0 0 は、図1に示されたデバイス1 5 0 で使用され得る。D A C 9 0 0 は1 4 ビットの解像度を有するものとして示されているが、本発明による低グリッチノイズのD A C は、1 4 ビットより高いまたはより低い解像度を有してもよいことが理解される。D A C 9 0 0 は、D A C の6つの最上位ビット(M S B)を形成するために並列に接続される6 3 個の同様の入力段9 1 0_j - - j は1から6 3まで変化する整数である - - を含む(簡単にするために、段9 1 0のうちの1つのみが示されている)。D A C 9 0 0 は、D A C の8つの最下位ビット(L S B)を形成する8つの段9 2 0_i - - i は1から8まで変化する整数である - - も含む。6 3 個の入力段9 1 0_jは、代替的および集合的に入力段9 1 0と呼ばれる。同様に、8つの入力段9 2 0_iは、代替的および集合的に入力段9 2 0と呼ばれる。簡単にするために、入力段9 2 0_iのうちの3つだけが示されている。

【0 0 6 3】

10

20

30

40

50

[0075] また、D A C 9 0 0 は、以下で詳細に説明されるインピーダンス減衰器 1 9 0 を含むものとして示されている。また、D A C 9 0 0 は、1 4 ビットの入力信号 D_{in} [13 : 0] を受け取り、さまざまな入力段 9 1 0、9 2 0 のスイッチ 9 4 0、9 4 5 に印可されるさまざまな真ビット D と相補ビット D B とを復号するデコーダ 1 6 0 を含むものとして示されている。

【 0 0 6 4 】

[0076] 各入力段 9 2 0_i は、1 対の電流源 9 3 0、9 3 5 を含むものとして示されている。また、それぞれの入力段 9 2 0_i は、入力段に関連し、入力段によって受け取られる1対の差動データ D および D B と、電流源 9 3 0、9 3 5 によって供給される電流とに応答する1対のスイッチ 9 4 0 および 9 4 5 を含むものとして示されている。段 9 2 0_i と 9 1 0_j との電流源 9 3 0、9 3 5 によって生成される電流 I_o は、実質的に同じ大きさを有する。
10

【 0 0 6 5 】

[0077] また、D A C 9 0 0 は、8 つの L S B の段 9 2 0 のうちの異なる 1 つにそれぞれが関連する 8 つの抵抗回路網 9 5 5_i を含むものとして示されている。それぞれの抵抗回路網 9 5 5_i は、入力段 9 2 0_i に関連付けられ、抵抗回路網がその関連する入力段から受け取る電流をスケーリングするように適合される。一実施形態において、各入力段に関連する抵抗回路網は、その入力段に配置されたスイッチ 9 4 0、9 4 5 から見られるとき、R - 2 R 回路網を形成する。
20

【 0 0 6 6 】

[0078] 図 1 1 から分かるように、k が 1 から 7 までの範囲の整数である各段 9 2 0_k に関連する抵抗回路網は、入力段 9 2 0_k のビット位置よりも 1 つ上のビット位置を有する入力段 9 2 0_{k+1} の抵抗回路網に結合される。たとえば、入力段 9 2 0₂ に関連する抵抗回路網 9 5 5₂ は、入力段 9 2 0₃ に関連する抵抗回路網 9 5 5₃ に結合されるものとして示されている。抵抗回路網 9 5 5₈ は、インピーダンス減衰器 1 9 0 の加算ノード B、B' に結合される。
20

【 0 0 6 7 】

[0079] したがって、各抵抗回路網を流れる電流は、抵抗回路網の関連する入力段 9 2 0_i の 2 進重みに比例する。したがって、各入力段の電流源 9 3 0 と 9 3 5 とを流れる電流が I_o であると仮定される場合、たとえば - - 7 番目の最上位ビットに関連する - - 段 9 2 0₈ の抵抗回路網 9 5 5₈ を通って加算ノード B、B' に流れる電流は、(1 / 2) * I_o である。同様に、- - 最下位ビットに関連する - - 段 9 2 0₁ の抵抗回路網 9 5 5₁ を通って加算ノード B、B' に流れる電流は、(1 / 2⁵⁶) * I_o である。抵抗回路網 9 5 5_i を流れる電流は、減衰器 1 9 0 に入力信号を与える電流加算ノード B、B' に加えられる。2 進重みを用いて電流をスケーリングするように適合された任意の抵抗回路網が使用され得ることが、理解される。
30

【 0 0 6 8 】

[0080] D A C のすべての入力段 9 1 0、9 2 0 のスイッチ 9 4 0 と 9 4 5 とを流れる電流が実質的に同じであり、それらの入力段 9 1 0、9 2 0 の関連する抵抗回路網によってのみ(トランジスタスイッチを通過した後に)スケーリングされるので、D A C 9 0 0 の M S B の段と L S B の段との間のグリッチエネルギーが整合させられる。したがって、D A C 9 0 0 は、従来の D A C よりもずっと低いグリッチノイズを有する。抵抗回路網は、2 進重みを用いて、スイッチを通過する電流を正確に分ける。例示的な 1 4 ビット D A C 9 0 0 の 8 ビットの精度の抵抗器の整合は、比較的容易に達成可能である。
40

【 0 0 6 9 】

[0081] 有利なことに、インピーダンス減衰器 1 9 0 は、出力負荷 1 7 0 が持ち得るインピーダンスの範囲を広げる。インピーダンス減衰器 1 9 0 は、プロセス、電圧、および温度の変化による出力負荷のインピーダンスの変化を考慮するようにさらに適合される。結果として、D A C 9 0 0 のすべての入力段が同じ量の電流を生成し、同様のスイッチのサイズを有するので、D A C 9 0 0 は、従来の D A C よりもずっと小さな、プロセス、電
50

圧、および温度にわたる、帯域外雑音の変化を有する。

【0070】

[0082] 図12は、本発明の一実施形態による、Nビットのデジタル信号をアナログ信号に変換するための方法の流れ図1000である。この変換を実現するために、デジタルデータのM個の最上位ビットに関連する(2M-1)個の並列の段が形成される(1002)。(2M-1)個の段の各々において、電流が生成され(1004)、1対の差動データに応答する1対のスイッチを介して1対の電流加算ノードに出力される(1006)。さらに、方法によれば、デジタルデータの(N-M)個の最下位ビットに関連する(N-M)個の段も、形成される(1008)。また、(2M-1)個の並列の段で生成される電流と同じレベルを有する電流が、(N-M)個の段の各々で生成される(1010)。さらに形成される(1012)のは、(N-M)個の段の異なる1つにそれぞれが関連する(N-M)個の抵抗回路網である。(N-M)個の段の各々で生成された電流は、異なるデータの異なるビットに応じて、1対のスイッチを介してその段に関連する抵抗回路網に加えられる(1014)。それぞれの抵抗回路網によって受け取られる電流が、抵抗回路網の関連する段の2進重みに従ってスケーリングされ(1016)、電流加算ノードに加えられる(1018)。電流加算ノードの各々のインピーダンスが、利得の値によって定義される範囲内に保たれる(1020)。さらに、電流加算ノードの間の電圧の差も、利得の値によって定義される範囲内に保たれる(1022)。電流加算ノードに加えられる電流の差が、変換されるアナログ信号の値を定義する。

【0071】

[0083] 本発明の上述の実施形態は、例示的であり、限定的でない。本発明の実施形態は、D A Cの解像度によって限定されない。本発明の実施形態は、入力段のスイッチと電流加算ノードとの間に配置され得る抵抗回路網の構成、R - 2 Rまたはそれ以外によって限定されない。本発明の実施形態は、D A Cが配置され得るデバイスの種類、ワイヤレスまたはそれ以外によって限定されない。他の追加、削減、または修正は、本開示に鑑みて明らかであり、添付の特許請求の範囲内に入るように意図される。

以下に、出願当初の特許請求の範囲に記載された発明を付記する。

[C 1]

Nビットデジタルアナログコンバータ(D A C)であって、

前記D A CのM個の最上位ビットに関連する $2^M - 1$ 個の並列の段と、前記 $2^M - 1$ 個の段の各々は、電流を生成し、差動データに応じて1対のスイッチを介してD A Cの1対の電流加算ノードに前記電流を加えるように適合される、

前記D A Cの(N-M)個の最下位ビットに関連する(N-M)個の段と、前記(N-M)個の段の各々は、前記電流を生成し、抵抗回路網を備え、前記(N-M)個の段の各々は、差動データに応じて前記段の関連する抵抗回路網に、前記段で生成された前記電流を加えるように適合された1対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケーリングし、前記抵抗回路網の関連する段の2進重みによって定義されるスケーリングされた電流を加えるように動作可能であり、前記(N-M)個の段は、前記(N-M)個の段のスケーリングされた電流を前記1対の電流加算ノードに加える、

前記1対の加算ノードに結合され、前記電流加算ノードの各々のインピーダンスおよび前記複数の電流加算ノードの間の電圧の差を差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、
を備える、Nビットデジタルアナログコンバータ(D A C)。

[C 2]

前記(N-M)個の段の段*i*に関連する前記抵抗回路網は、前記(N-M)個の段の段(*i*+1)の前記抵抗回路網に結合され、ここにおいて、*i*は、前記D A C内の前記段のビット位置を表す整数である、C 1に記載のNビットD A C。

[C 3]

前記(N-M)個の段の各々に関連する前記抵抗回路網は、基準電圧を受け取る、C 2

10

20

30

40

50

に記載の N ビット D A C。

[C 4]

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2 R 回路網である C 1 に記載の N ビット D A C。

[C 5]

前記インピーダンス減衰器は、

前記電流加算ノードのうちの第 1 の電流加算ノードに結合されたソース端子と、前記 D A C の第 1 の出力端子に結合されたドレイン端子と、前記増幅器の第 1 の出力端子に結合されたゲート端子とを有する、第 1 の P M O S トランジスタと、

前記電流加算ノードのうちの第 2 の電流加算ノードに結合されたソース端子と、前記 D A C の第 2 の出力端子に結合されたドレイン端子と、前記増幅器の第 2 の出力端子に結合されたゲート端子とを有する、第 2 の P M O S トランジスタとをさらに備える、C 1 に記載の N ビット D A C。

[C 6]

前記 D A C の N 個の段の各々は、前記電流を生成するカスコード電流源を備える、C 1 に記載の N ビット D A C。

[C 7]

N 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの 1 つは、前記 D A C によって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの 1 つは、前記 D A C に受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、N 個すべての段で、同様のサイズを有する、C 1 に記載の N ビット D A C。

[C 8]

前記 (N - M) 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、R - 2 R 回路網である、C 1 に記載の N ビット D A C。

[C 9]

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記 D A C の前記電流加算ノードに結合され、前記第 2 のサブセットは、前記第 1 のサブセットを含んでいない、C 8 に記載の N ビット D A C。

[C 10]

前記 (N - M) 個の段のうちの少なくとも 1 つは、前記電流加算ノードの電圧を追跡し、追跡された電圧を前記 (N - M) 個の段のうちの前記少なくとも 1 つの前記抵抗回路網に供給するように適合された電圧追跡回路を備える、C 1 に記載の N ビット D A C。

[C 11]

前記電圧追跡回路は、

前記電流加算ノードのうちの第 1 の電流加算ノードに結合された第 1 の入力端子と、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網に配置された第 1 の抵抗要素に結合された第 2 の端子と、第 1 の増幅器の第 2 の入力端子に結合された出力端子とを有する第 1 の増幅器と、

前記電流加算ノードのうちの第 2 の電流加算ノードに結合された第 1 の入力端子と、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網に配置された第 2 の抵抗要素に結合された第 2 の端子と、第 2 の増幅器の第 2 の入力端子に結合された出力端子とを有する第 2 の増幅器と、

を備える、C 10 に記載の N ビット D A C。

[C 12]

前記 (N - M) 個の段のうちの少なくとも 1 つは、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すように適合された歪みキャンセル回路を備える、C 1 に記載の N ビット D A C。

[C 13]

10

20

30

40

50

前記 2^M - 1 個の段のうちの少なくとも 1 つは、

前記 2^M - 1 個の段のうちの前記少なくとも 1 つに配置されたトランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に配置された第 1 の抵抗要素と、

前記 2^M - 1 個の段のうちの前記少なくとも 1 つに配置された前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に配置された第 2 の抵抗要素と、

を備える、C 1 に記載の N ビット D A C。

[C 1 4]

前記 (N - M) 個の段の第 1 のサブセットの各々は、

10

前記段に関連する前記抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合された第 1 の容量要素と、

前記段に関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合された第 2 の容量要素と、

を備える C 1 に記載の N ビット D A C。

[C 1 5]

N 個の段の各々の前記スイッチは、M O S トランジスタを備え、前記 (N - M) 個の段の前記第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 M O S トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 1 4 に記載の N ビット D A C。

20

[C 1 6]

デジタルアナログコンバータ (D A C) であって、

D A C の最上位ビットに関連する第 1 の複数の並列の段と、前記第 1 の複数の段の各々は、電流を生成し、差動データに応じて 1 対のスイッチを介して D A C の 1 対の電流加算ノードに前記電流を加えるように適合される、

D A C の最下位ビットに関連する第 2 の複数の段と、前記第 2 の複数の段の各々は、前記電流を生成し、抵抗回路網を備え、前記第 2 の複数の段の各々は、差動データに応じて前記段の関連する抵抗回路網に前記段で生成された前記電流を加えるように適合された 1 対のスイッチをさらに備え、それぞれの抵抗回路網は、前記抵抗回路網が受け取る前記電流をスケーリングし、前記抵抗回路網の関連する段の 2 進重みによって定義されるスケーリングされた電流を加えるように動作可能であり、前記第 2 の複数の段は、前記第 2 の複数の段のスケーリングされた電流を前記 1 対の電流加算ノードに加える、

30

前記 1 対の加算ノードに結合され、前記電流加算ノードの各々のインピーダンスと、前記電流加算ノードの間の電圧の差とを差動増幅器の利得によって定義される範囲内に保つように適合された前記差動増幅器を備えるインピーダンス減衰器と、

を備える、デジタルアナログコンバータ (D A C)。

[C 1 7]

N ビットのデジタル信号をアナログ信号に変換する方法であって、

デジタルデータの M 個の最上位ビットに関連する 2^M - 1 個の並列の段を形成することと、

40

前記 2^M - 1 個の段の各々で電流を生成することと、

差動データに応じて、前記 2^M - 1 個の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成することと、

前記 (N - M) 個の段の各々で前記電流を生成することと、

前記 (N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成することと、

差動データに応じて、前記 (N - M) 個の抵抗回路網の各々の関連する段で生成された前記電流を、1 対のスイッチを介して前記 (N - M) 個の抵抗回路網の各々に加えること

50

と、

前記抵抗回路網の関連する段の2進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングし、スケーリングされた電流を前記1対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、を備える、方法。

[C 1 8]

10

前記(N - M)個の段の段iに関連する前記抵抗回路網を前記(N - M)個の段の段(i + 1)の前記抵抗回路網に結合すること、ここにおいて、iは、DAC内の前記段のビット位置を表す整数である、をさらに備える、C 1 7に記載の方法。

[C 1 9]

前記(N - M)個の段の各々に基準電圧を供給することをさらに備える、C 1 8に記載の方法。

[C 2 0]

前記(N - M)個の段の各々に関連する前記抵抗回路網は、R - 2 R回路網である、C 1 7に記載の方法。

[C 2 1]

20

N個の段の各々でカスコード電流源を形成することと、

前記段で形成された前記カスコード電流源を用いて前記N個の段の各々で前記電流を生成することと、

をさらに備える、C 1 7に記載の方法。

[C 2 2]

30

N個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの1つは、DACによって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの1つは、前記DACによって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、N個すべての段で、同様のサイズを有する、C 1 7に記載の方法。

[C 2 3]

前記(N - M)個の段の第1のサブセットのみの各々に関連する前記抵抗回路網は、R - 2 R回路網である、C 1 7に記載の方法。

[C 2 4]

前記(N - M)個の段の第2のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第2のサブセットは、第1のサブセットを含んでいない、C 1 8に記載の方法。

[C 2 5]

40

前記電流加算ノードの電圧を追跡することと、

前記(N - M)個の段のうちの少なくとも1つの前記抵抗回路網に追跡された電圧を供給することと、

をさらに備える、C 1 7に記載の方法。

[C 2 6]

前記(N - M)個の段のうちの少なくとも1つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すこと

をさらに備える、C 1 7に記載の方法。

[C 2 7]

前記2^M - 1個の段のうちの少なくとも1つのトランジスタスイッチのうちの第1のトランジスタスイッチと、前記電流加算ノードのうちの第1の電流加算ノードとの間に第1の抵抗要素結合することと、

50

前記 2^M - 1 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合することと、
をさらに備える、C 17 に記載の方法。

[C 28]

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合することと、

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合することと、
をさらに備える、C 17 に記載の方法。

10

[C 29]

N 個の段の各々の前記スイッチは、MOSトランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOSトランジスタのうちの 1 つのドレン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 28 に記載の方法。

[C 30]

デジタル信号をアナログ信号に変換する方法であって、

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成することと、

前記第 1 の複数の並列の段の各々で電流を生成することと、

差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

20

前記デジタルデータの最下位ビットに関連する第 2 の複数の段を形成することと、

前記第 2 の複数の段の各々で前記電流を生成することと、

前記第 2 の複数の段の異なる 1 つにそれぞれが関連する第 1 の複数の抵抗回路網を形成することと、

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じて前記第 1 の複数の抵抗回路網の各々によって受け取られる前記電流をスケーリングし、スケーリングされた電流を前記 1 対の電流加算ノードに加えることと、

30

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

を備える、方法。

[C 31]

プロセッサによって実行されるときに前記プロセッサに、

デジタルデータの M 個の最上位ビットに関連する 2^M - 1 個の並列の段を形成することと、

40

前記 2^M - 1 個の段の各々で電流を生成することと、

差動データに応じて、前記 2^M - 1 個の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成することと、

前記 (N - M) 個の段の各々で前記電流を生成することと、

前記 (N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成することと、

差動データに応じて、前記 (N - M) 個の抵抗回路網の各々の関連する段で生成された前記電流を、1 対のスイッチを介して前記 (N - M) 個の抵抗回路網の各々に加えること

50

と、

前記抵抗回路網の関連する段の2進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングし、スケーリングされた電流を前記1対の電流加算ノードに加えることと、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

を行わせる命令を備える、非一時的コンピュータ可読記憶媒体。

10

[C 3 2]

前記命令は、さらに、前記プロセッサに、

前記(N-M)個の段の段iに関連する前記抵抗回路網を前記(N-M)個の段の段(i+1)の前記抵抗回路網に結合すること、ここにおいて、iは、DAC内の前記段のビット位置を表す整数である、を行わせる、C31に記載の非一時的コンピュータ可読記憶媒体。

[C 3 3]

前記命令は、さらに、前記プロセッサに、

前記(N-M)個の段の各々に基準電圧を供給させる、C32に記載の非一時的コンピュータ可読記憶媒体。

20

[C 3 4]

前記(N-M)個の段の各々に関連する前記抵抗回路網は、R-2R回路網である、C31に記載の非一時的コンピュータ可読記憶媒体。

[C 3 5]

前記命令は、さらに、前記プロセッサに、

N個の段の各々でカスコード電流源を形成することと、

前記段で形成された前記カスコード電流源を用いて前記N個の段の各々で前記電流を生成することを行わせる、C31に記載の非一時的コンピュータ可読記憶媒体。

[C 3 6]

N個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの1つは、DACによって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの1つは、前記DACによって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、N個すべての段で、同様のサイズを有する、C31に記載の非一時的コンピュータ可読記憶媒体。

30

[C 3 7]

前記(N-M)個の段の第1のサブセットのみの各々に関連する前記抵抗回路網は、R-2R回路網である、C31に記載の非一時的コンピュータ可読記憶媒体。

[C 3 8]

前記(N-M)個の段の第2のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第2のサブセットは、第1のサブセットを含んでいない、C31に記載の非一時的コンピュータ可読記憶媒体。

40

[C 3 9]

前記命令は、さらに、前記プロセッサに、

前記電流加算ノードの電圧を追跡することと、

前記(N-M)個の段のうちの少なくとも1つの前記抵抗回路網に追跡された電圧を供給することを行わせる、C31に記載の非一時的コンピュータ可読記憶媒体。

[C 4 0]

前記命令は、さらに、前記プロセッサに、

前記(N-M)個の段のうちの少なくとも1つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消させる、C31に記載

50

の非一時的コンピュータ可読記憶媒体。

[C 4 1]

前記命令は、さらに、前記プロセッサに、

前記 2^M - 1 個の段のうちの少なくとも 1 つのトランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素を結合することと、

前記 2^M - 1 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合することと、

を行わせる、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

10

[C 4 2]

前記命令は、さらに、前記プロセッサに、

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合することと、

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合することと、

を行わせる、C 3 1 に記載の非一時的コンピュータ可読記憶媒体。

[C 4 3]

N 個の段の各々の前記スイッチは、MOS トランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 4 2 に記載の非一時的コンピュータ可読記憶媒体。

20

[C 4 4]

前記 2^M - 1 個の段のうちの少なくとも 1 つの前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレイン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 4 3 に記載の非一時的コンピュータ可読記憶媒体。

[C 4 5]

プロセッサによって実行されるときに前記プロセッサに、

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成することと、

前記第 1 の複数の並列の段の各々で電流を生成することと、

30

差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えることと、

前記デジタルデータの最下位ビットに関連する第 2 の複数の段を形成することと、

前記第 2 の複数の段の各々で前記電流を生成することと、

前記第 2 の複数の段の異なる 1 つにそれが関連する第 1 の複数の抵抗回路網を形成することと、

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えることと、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングし、スケーリングされた電流を前記 1 対の電流加算ノードに加えることと、

40

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つことと、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つことと、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

を行わせる命令を備える、非一時的コンピュータ可読記憶媒体。

[C 4 6]

デジタルデータの M 個の最上位ビットに関連する 2^M - 1 個の並列の段を形成するための手段と、

50

前記 2^M - 1 個の段の各々で電流を生成するための手段と、
差動データに応じて、前記 2^M - 1 個の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えるための手段と、
前記デジタルデータの (N - M) 個の最下位ビットに関連する (N - M) 個の段を形成するための手段と、
前記 (N - M) 個の段の各々で前記電流を生成するための手段と、
前記 (N - M) 個の段の異なる 1 つにそれぞれが関連する (N - M) 個の抵抗回路網を形成するための手段と、
差動データに応じて、前記 (N - M) 個の抵抗回路網の各々の関連する段で生成された前記電流を、1 対のスイッチを介して前記 (N - M) 個の抵抗回路網の各々に加えるための手段と、
前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングするための手段と、
スケーリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、
前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、
前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、
を備える N ビットデジタルアナログコンバータ (D A C)。

10

20

[C 4 7]
前記 (N - M) 個の段の段 i に関連する前記抵抗回路網を前記 (N - M) 個の段の段 ($i + 1$) の前記抵抗回路網に結合するための手段、ここにおいて、 i は、前記 D A C 内の前記段のビット位置を表す整数である、をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 4 8]

前記 (N - M) 個の段の各々に基準電圧を供給するための手段をさらに備える、C 4 7 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 4 9]

前記 (N - M) 個の段の各々に関連する前記抵抗回路網は、R - 2 R 回路網である C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

30

[C 5 0]

N 個の段の各々でカスコード電流源を形成するための手段と、
前記段で形成された前記カスコード電流源を用いて前記 N 個の段の各々で前記電流を生成するための手段と、
をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 5 1]

N 個の段の各々の前記スイッチは、トランジスタスイッチであり、前記トランジスタのうちの 1 つは、前記 D A C によって受け取られる真データビットを表すビットに応答し、前記トランジスタのうちの 1 つは、前記 D A C によって受け取られる前記ビットの補数を表すビットに応答し、ここにおいて、前記トランジスタスイッチは、N 個すべての段で、同様のサイズを有する、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。
。

40

[C 5 2]

前記 (N - M) 個の段の第 1 のサブセットのみの各々に関連する前記抵抗回路網は、R - 2 R 回路網である、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 5 3]

前記 (N - M) 個の段の第 2 のサブセットの各々に関連する前記抵抗回路網は、前記電流加算ノードに結合され、前記第 2 のサブセットは、前記第 1 のサブセットを含んでいない、C 4 7 に記載の N ビットデジタルアナログコンバータ (D A C)。

50

[C 5 4]

前記電流加算ノードの電圧を追跡するための手段と、

前記 (N - M) 個の段のうちの少なくとも 1 つの前記抵抗回路網に追跡された電圧を供給するための手段と、

をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 5 5]

前記 (N - M) 個の段のうちの少なくとも 1 つに関連する前記抵抗回路網に電圧を供給する基準電圧と、前記電流加算ノードとの間の電流の流れを打ち消すための手段をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 5 6]

前記 2^M - 1 個の段のうちの少なくとも 1 つのトランジスタスイッチのうちの第 1 のトランジスタスイッチと、前記電流加算ノードのうちの第 1 の電流加算ノードとの間に第 1 の抵抗要素結合するための手段と、

前記 2^M - 1 個の段のうちの前記少なくとも 1 つの前記トランジスタスイッチのうちの第 2 のトランジスタスイッチと、前記電流加算ノードのうちの第 2 の電流加算ノードとの間に第 2 の抵抗要素を結合するための手段と、

をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 5 7]

第 1 の容量要素を、前記 (N - M) 個の段のうちの少なくとも 1 つに関連する抵抗回路網の第 1 の抵抗要素の端子の間に並列に結合するための手段と、

第 2 の容量要素を、前記 (N - M) 個の段のうちの前記少なくとも 1 つに関連する前記抵抗回路網の第 2 の抵抗要素の端子の間に並列に結合するための手段と、

をさらに備える、C 4 6 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 5 8]

N 個の段の各々の前記スイッチは、MOS トランジスタを備え、前記 (N - M) 個の段の第 1 のサブセットの各々の前記第 1 の容量要素および前記第 2 の容量要素は、前記 MOS トランジスタのうちの 1 つのドレン - 基板静電容量の実質的に 2 倍の静電容量を有する、C 5 7 に記載の N ビットデジタルアナログコンバータ (D A C)。

[C 5 9]

デジタルデータの最上位ビットに関連する第 1 の複数の並列の段を形成するための手段と、

前記第 1 の複数の並列の段の各々で電流を生成するための手段と、

差動データに応じて、前記第 1 の複数の並列の段の各々で生成された前記電流を 1 対のスイッチを介して 1 対の電流加算ノードに加えるための手段と、

前記デジタルデータの (N - M) 個の最下位ビットに関連する第 2 の複数の段を形成するための手段と、

前記第 2 の複数段の各々で前記電流を生成するための手段と、

前記第 2 の複数の段の異なる 1 つにそれが関連する第 1 の複数の抵抗回路網を形成するための手段と、

差動データに応じて、前記第 1 の複数の抵抗回路網の関連する段で生成された前記電流を、1 対のスイッチを介して前記第 1 の複数の抵抗回路網の各々に加えるための手段と、

前記抵抗回路網の関連する段の 2 進重みに応じてそれぞれの抵抗回路網によって受け取られる前記電流をスケーリングするための手段と、

スケーリングされた電流を前記 1 対の電流加算ノードに加えるための手段と、

前記電流加算ノードの各々のインピーダンスを利得の値によって定義される範囲内に保つための手段と、

前記電流加算ノードの間の電圧の差を前記利得の値によって定義される範囲内に保つための手段と、前記電流加算ノードに加えられる前記電流の差が、前記アナログ信号の値を定義する、

を備える、デジタルアナログコンバータ。

10

20

30

40

50

【 叴 1 】

図 1

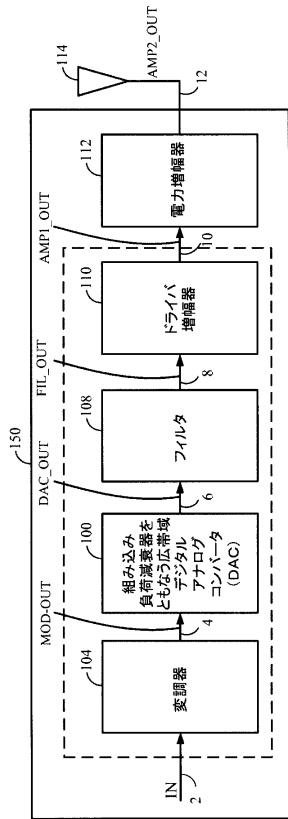


FIG. 1

【 図 2 】

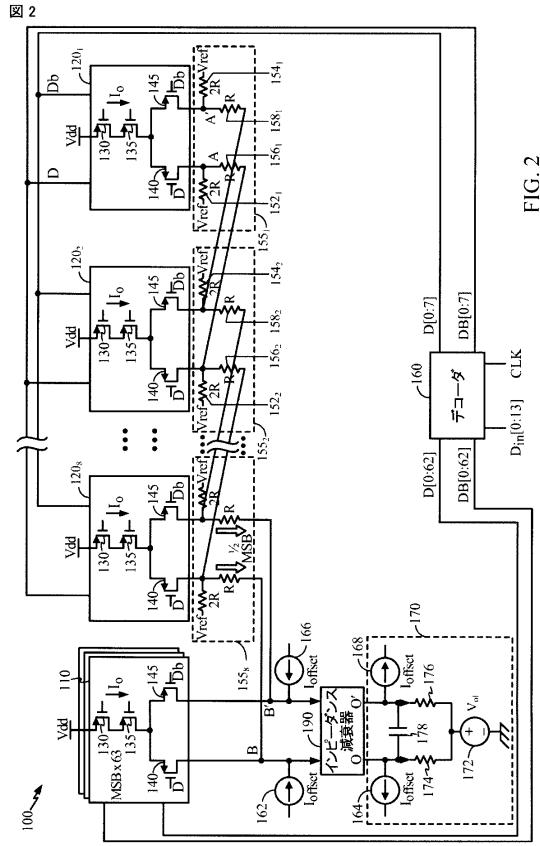


FIG. 2

【図3】

图 3

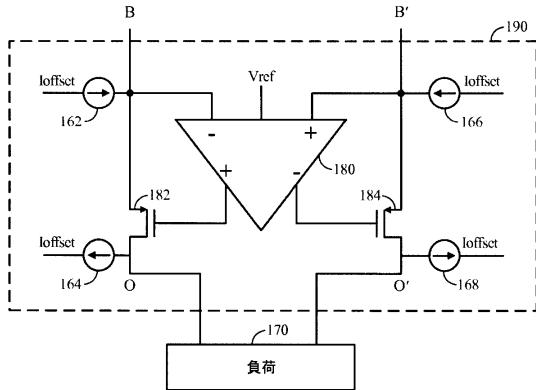


FIG. 3

【 四 4 】

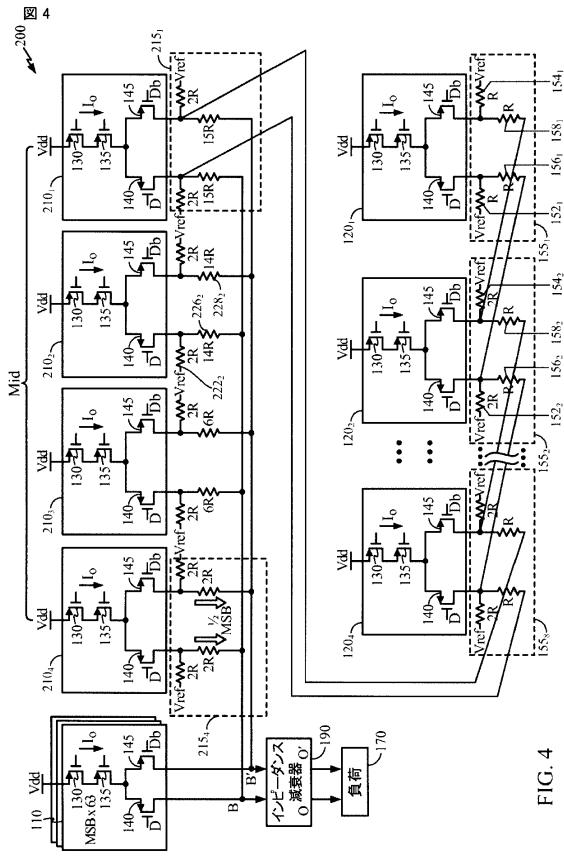


FIG. 4

【図5】

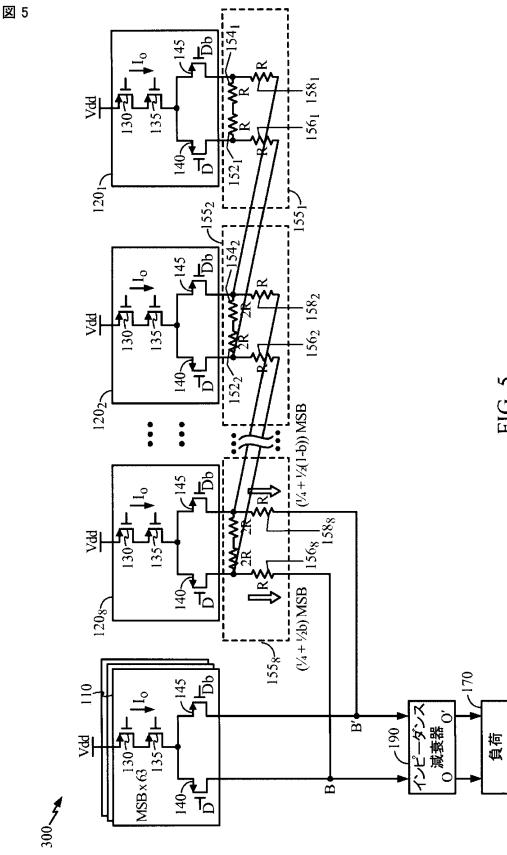


FIG. 5

【図6】

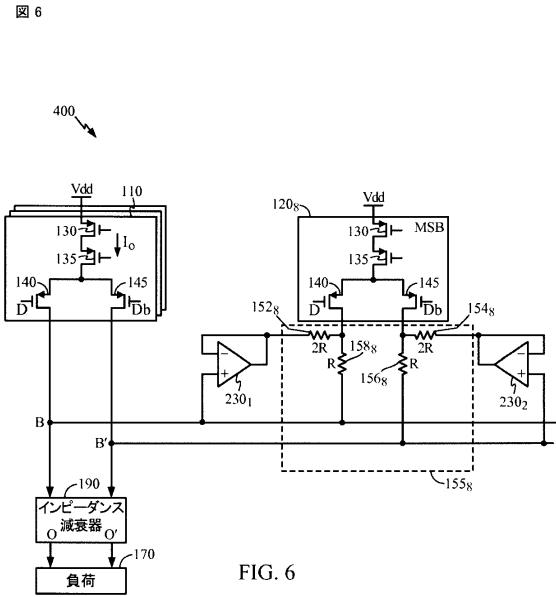


FIG. 6

【図7】

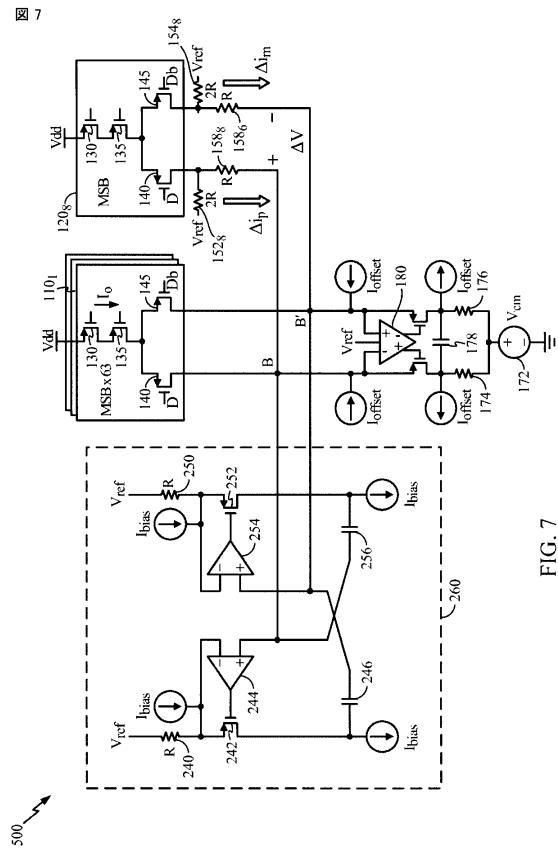


FIG. 7

【図8】

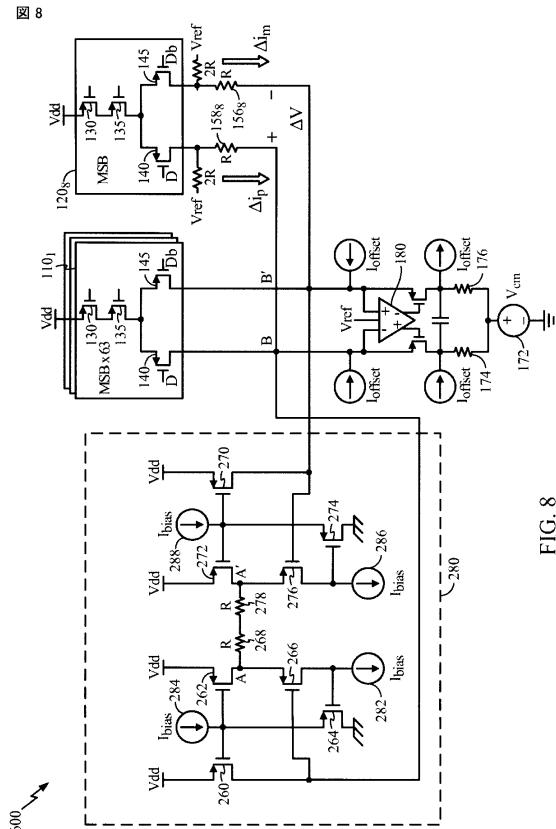


FIG. 8

【図9】

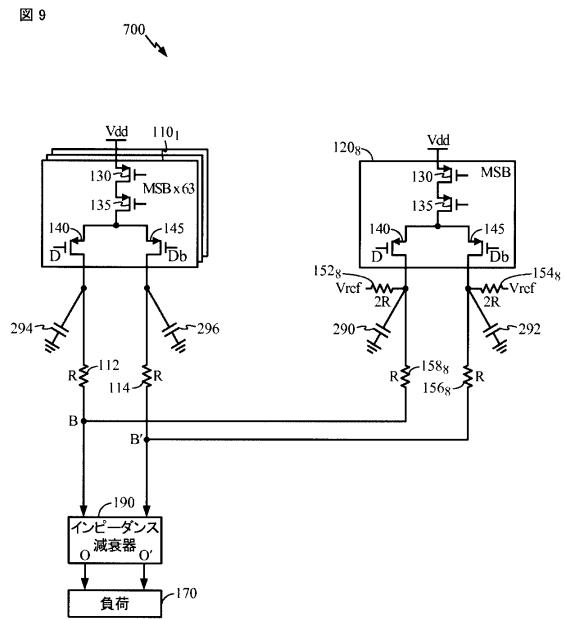


FIG. 9

【図10】

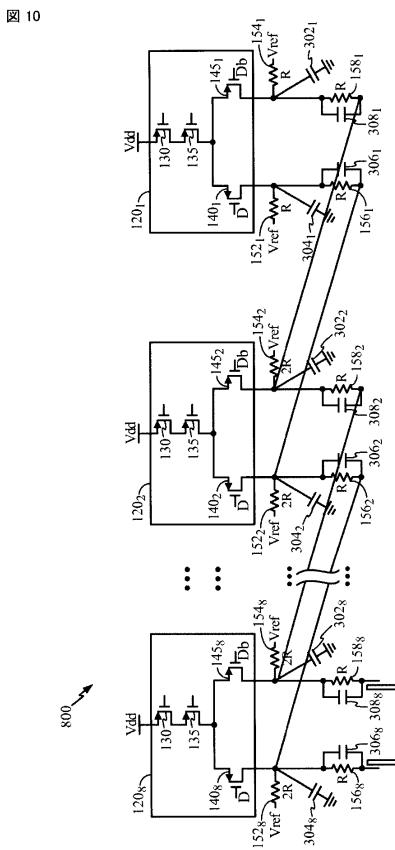


FIG. 10

【図11】

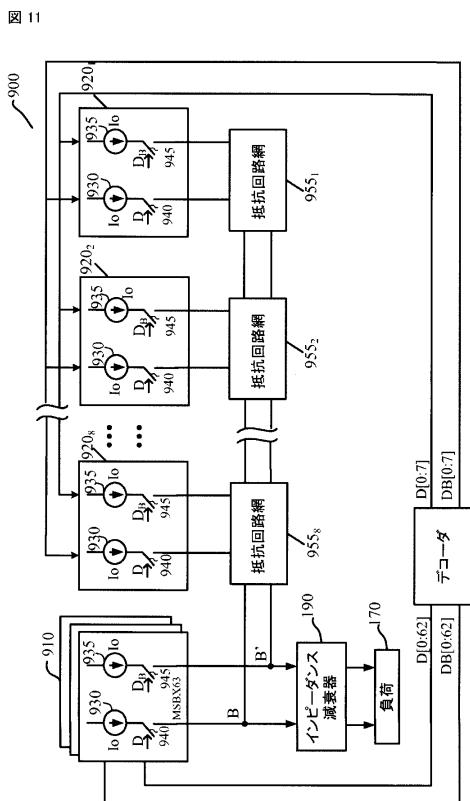


FIG. 11

【図12】

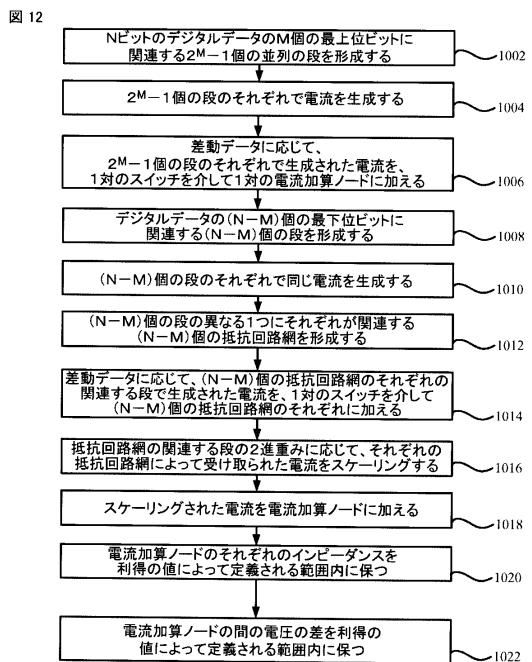


FIG. 12

フロントページの続き

(72)発明者 セオ、ドンウォン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 リ、サン・ミン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

合議体

審判長 大塚 良平

審判官 中野 浩昌

審判官 吉田 隆之

(56)参考文献 米国特許出願公開第2003/0001766(US, A1)

米国特許出願公開第2002/0030619(US, A1)

米国特許出願公開第2006/0092065(US, A1)

特開平10-112654(JP, A)

特表2013-507066(JP, A)

特開2006-279172(JP, A)

特開2002-100936(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M