

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6476114号
(P6476114)

(45) 発行日 平成31年2月27日(2019.2.27)

(24) 登録日 平成31年2月8日(2019.2.8)

(51) Int.Cl.

F I

H O 1 L 21/338 (2006.01)

H O 1 L 29/80

E

H O 1 L 29/812 (2006.01)

H O 1 L 29/80

H

H O 1 L 29/778 (2006.01)

H O 1 L 29/80

C

H O 1 L 21/337 (2006.01)

H O 1 L 27/095

H O 1 L 29/808 (2006.01)

請求項の数 20 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2015-526712 (P2015-526712)
 (86) (22) 出願日 平成25年8月8日(2013.8.8)
 (65) 公表番号 特表2015-529019 (P2015-529019A)
 (43) 公表日 平成27年10月1日(2015.10.1)
 (86) 国際出願番号 PCT/US2013/054168
 (87) 国際公開番号 W02014/026018
 (87) 国際公開日 平成26年2月13日(2014.2.13)
 審査請求日 平成28年7月28日(2016.7.28)
 (31) 優先権主張番号 13/886,410
 (32) 優先日 平成25年5月3日(2013.5.3)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 61/681,298
 (32) 優先日 平成24年8月9日(2012.8.9)
 (33) 優先権主張国 米国(US)

(73) 特許権者 390020248
 日本テキサス・インスツルメンツ合同会社
 東京都新宿区西新宿六丁目24番1号
 (73) 特許権者 507107291
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メール ステーショ
 ン 3999 ピーオーボックス 655
 474
 (74) 上記1名の代理人 100098497
 弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 調整可能な及び高いゲート・ソース定格電圧を備える I I I -窒化物エンハンスメントモードトランジスタ

(57) 【特許請求の範囲】

【請求項 1】

半導体デバイスであって、
 エンハンスメントモード G a N F E T と、
 デプリーションモード G a N F E T と、
 を含み、
 前記エンハンスメントモード G a N F E T のソースノードが、前記半導体デバイスの
 ソース端子に電氣的に結合され、
 前記エンハンスメントモード G a N F E T のドレインノードが、前記半導体デバイスの
 ドレイン端子に電氣的に結合され、
 前記エンハンスメントモード G a N F E T のゲートノードが、前記デプリーションモ
 ード G a N F E T のソースノードに電氣的に結合され、
 前記デプリーションモード G a N F E T のゲートノードが、前記エンハンスメントモ
 ード G a N F E T の前記ソースノードに電氣的に結合され、
 前記デプリーションモード G a N F E T のドレインノードが、前記半導体デバイスの
 ゲート端子に電氣的に結合され、
 最大所望ゲート・ソースバイアスよりも高いゲートバイアスが前記ゲート端子に印加され
 ると前記デプリーションモード G a N F E T がピンチ・オフモードで動作するように構
 成される、半導体デバイス。

【請求項 2】

請求項 1 に記載の半導体デバイスであって、

前記エンハンスメントモード GaN FET のゲートが、ガリウム窒化物の低欠陥層上の障壁層上の p 型 $III-N$ 半導体材料の層を含む、半導体デバイス。

【請求項 3】

請求項 2 に記載のデバイスであって、

前記エンハンスメントモード GaN FET のゲートが、前記 p 型 $III-N$ 半導体材料の層上の金属の層を含む、半導体デバイス。

【請求項 4】

請求項 1 に記載の半導体デバイスであって、

前記エンハンスメントモード GaN FET のゲートが絶縁されたゲートである、半導体デバイス。 10

【請求項 5】

請求項 1 に記載の半導体デバイスであって、

前記エンハンスメントモード GaN FET が、ガリウム窒化物の低欠陥層上の障壁層における窪みを含み、前記エンハンスメントモード GaN FET のゲートが前記窪みに配置される、半導体デバイス。

【請求項 6】

請求項 1 に記載の半導体デバイスであって、

前記エンハンスメントモード GaN FET が、ガリウム窒化物の低欠陥層上の障壁層上のガリウム窒化物のキャップ層を含む、半導体デバイス。 20

【請求項 7】

請求項 1 に記載の半導体デバイスであって、

前記デブリーションモード GaN FET が、ガリウム窒化物の低欠陥層と前記低欠陥層上の障壁層とを含み、前記障壁層が、 $Al_xGa_{1-x}N$ と $In_xAl_yGa_{1-x-y}N$ とから成るグループから選択される半導体材料を含む、半導体デバイス。

【請求項 8】

請求項 1 に記載の半導体デバイスであって、

前記デブリーションモード GaN FET のゲートが、金属のデブリーションモードゲートを含む、半導体デバイス。

【請求項 9】

請求項 1 に記載の半導体デバイスであって、

前記デブリーションモード GaN FET のゲートが、 $III-N$ 半導体材料のデブリーションモードゲートを含む、半導体デバイス。

【請求項 10】

請求項 1 に記載の半導体デバイスであって、

前記デブリーションモード GaN FET と前記エンハンスメントモード GaN FET とが、同じ基板で $III-N$ 半導体材料の同じ層構造上に形成される、半導体デバイス。

【請求項 11】

半導体デバイスを形成するプロセスであって、 40

エンハンスメントモード GaN FET を形成する工程であって、

ガリウム窒化物を含む第 1 の低欠陥層を第 1 の基板の上に形成することと、

前記第 1 の低欠陥層に二次元電子ガスが生成されるように、アルミニウムガリウム窒化物を含む第 1 の障壁層を前記低欠陥層の上に形成することであって、前記エンハンスメントモード GaN FET の導電性チャネルを提供する、前記第 1 の障壁層を形成することと、

前記第 1 の障壁層の上にエンハンスメントモードゲートを形成することと、

を含むプロセスにより、エンハンスメントモード GaN FET を形成する、前記形成する工程と、

デブリーションモード GaN FET を形成する工程であって、 50

ガリウム窒化物を含む第2の低欠陥層を第2の基板の上に形成することと、

前記第2の低欠陥層に二次元電子ガスが生成されるように、アルミニウムガリウム窒化物を含む第2の障壁層を前記第2の低欠陥層の上に形成することであって、前記デプリーションモードGaN FETの導電性チャネルを提供する、前記第2の障壁層を形成することと、

前記第2の障壁層の上にデプリーションモードゲートを形成することと、

を含むプロセスにより、デプリーションモードGaN FETを形成する、前記形成する工程と、

前記エンハンスメントモードGaN FETのソースノードを前記半導体デバイスのソース端子に電氣的に結合する工程と、

前記エンハンスメントモードGaN FETのドレインノードを前記半導体デバイスのドレイン端子に電氣的に結合する工程と、

前記エンハンスメントモードGaN FETの前記エンハンスメントモードゲートを前記デプリーションモードGaN FETのソースノードに電氣的に結合する工程と、

前記デプリーションモードGaN FETの前記デプリーションモードゲートを前記エンハンスメントモードGaN FETの前記ソースノードに電氣的に結合する工程と、

前記デプリーションモードGaN FETのドレインノードを前記半導体デバイスのゲート端子に電氣的に結合する工程と、

を含み、

最大所望ゲート・ソースバイアスよりも高いゲートバイアスが前記ゲート端子に印加されると前記デプリーションモードGaN FETがピンチ・オフモードで動作するように構成される、プロセス。

【請求項12】

請求項11に記載のプロセスであって、

前記エンハンスメントモードGaN FETを形成する工程が、ガリウム窒化物の低欠陥層上の障壁層上にp型III-N半導体材料の層を形成することにより前記エンハンスメントモードGaN FETのゲートを形成することを含む、プロセス。

【請求項13】

請求項12に記載のプロセスであって、

前記エンハンスメントモードGaN FETのゲートの前記p型III-N半導体材料の層上に金属の層を形成することを更に含む、プロセス。

【請求項14】

請求項11に記載のプロセスであって、

前記エンハンスメントモードGaN FETを形成する工程が、ガリウム窒化物の低欠陥層上の障壁層の上のゲート誘電体層の上に金属ゲートを形成することにより前記エンハンスメントモードGaN FETの絶縁されたゲートを形成することを含む、プロセス。

【請求項15】

請求項11に記載のプロセスであって、

前記エンハンスメントモードGaN FETを形成する工程が、ガリウム窒化物の低欠陥層上の障壁層に窪みを形成することと、前記窪みに前記エンハンスメントモードGaN FETのゲートを形成することとを含む、プロセス。

【請求項16】

請求項11に記載のプロセスであって、

前記エンハンスメントモードGaN FETを形成する工程が、ガリウム窒化物の低欠陥層上の障壁層上にガリウム窒化物のキャップ層を形成することを含む、プロセス。

【請求項17】

請求項11に記載のプロセスであって、

前記デプリーションモードGaN FETを形成する工程が、ガリウム窒化物の低欠陥層と、前記低欠陥層上の障壁層とを形成することを含み、前記障壁層が、 $Al_xGa_{1-x}N$ と $In_xAl_yGa_{1-x-y}N$ とから成るグループから選択される半導体材料を含

10

20

30

40

50

む、プロセス。

【請求項 18】

請求項 11 に記載のプロセスであって、

前記デプリーションモードゲートを形成する工程が、金属のデプリーションモードゲートを形成することを含む、プロセス。

【請求項 19】

請求項 11 に記載のプロセスであって、

前記デプリーションモードゲートを形成する工程が、III-N 半導体材料のデプリーションモードゲートを形成することを含む、プロセス。

【請求項 20】

請求項 11 に記載のプロセスであって、

前記デプリーションモード GaN FET と前記エンハンスメントモード GaN FET とが、同じ基板上で III-N 半導体材料の同じ層構造上に形成される、プロセス。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、半導体デバイスの分野に関し、更に特定して言えば、半導体デバイスにおけるガリウム窒化物 FET に関連する。

【背景技術】

【0002】

GaN などの III-N 材料でつくられた電界効果トランジスタ (FET) は、シリコン FET に比べて高バンドギャップ及び高熱伝導率などの、パワースイッチに対する望ましい特性を呈する。しかしながら、半導体ゲートを備えるエンハンスメントモード GaN FET は、望ましくないことに、ゲートがオーバーバイアスされるとき過度なゲート漏れ電流の影響を受け易い。同様に、絶縁されたゲートを備えるエンハンスメントモード GaN FET は、ゲートがオーバーバイアスされるときゲート誘電体ブレイクダウンの影響を受け易い。

【発明の概要】

【0003】

半導体デバイスが、p 型半導体材料のゲート又は絶縁されたゲートを備えるエンハンスメントモード GaN FET、及びエンハンスメントモード GaN FET のゲートノードと半導体デバイスのゲート端子との間に直列に電氣的に結合されるデプリーションモード GaN FET を含む。デプリーションモード GaN FET のゲートノードが、エンハンスメントモード GaN FET のソースノードに電氣的に結合される。

【0004】

半導体デバイスのオペレーションの間、最大所望ゲート・ソースバイアスを下回る低ゲートバイアスが、半導体デバイスのゲート端子に印加され得る。この低ゲートバイアスは、デプリーションモード GaN FET を介して搬送され、デプリーションモード GaN FET の小さな電圧降下を備えたエンハンスメントモード GaN FET のゲートノードに印加される。最大所望ゲート・ソースバイアスを上回る高ゲートバイアスが、半導体デバイスのゲート端子に印加され得る。この高ゲートバイアスは、デプリーションモード GaN FET をピンチオフモードに入らせて、デプリーションモード GaN FET のソースノードがピンチオフ電圧に保たれ、デプリーションモード GaN FET のドレイン・ソース電圧降下がこの高ゲートバイアスと共に増大するようにし、そしてそのためエンハンスメントモード GaN FET のゲートノードでのゲートバイアスが、最大所望ゲート・ソースバイアスを下回るピンチオフ電圧に保たれる。

【図面の簡単な説明】

【0005】

【図 1】例示の半導体デバイスの回路図である。

【0006】

10

20

30

40

50

【図 2】例示の半導体デバイスの断面図である。

【図 3】例示の半導体デバイスの断面図である。

【図 4】例示の半導体デバイスの断面図である。

【発明を実施するための形態】

【0007】

半導体デバイスが、p 型半導体材料のゲート又は絶縁されたゲートを備えるエンハンスメントモード GaN FET、及びエンハンスメントモード GaN FET のゲートノードと半導体デバイスのゲート端子との間に直列に電氣的に結合されるデプリーションモード GaN FET を含む。デプリーションモード GaN FET のゲートノードが、エンハンスメントモード GaN FET のソースノードに電氣的に結合される。

10

【0008】

半導体デバイスのオペレーションの間、最大所望ゲート・ソースバイアスを下回る低ゲートバイアスが、半導体デバイスのゲート端子に印加され得る。この低ゲートバイアスは、デプリーションモード GaN FET を介して搬送され、デプリーションモード GaN FET の小さい電圧降下を備えたエンハンスメントモード GaN FET のゲートノードに印加される。最大所望ゲート・ソースバイアスを上回る高ゲートバイアスが、半導体デバイスのゲート端子に印加され得る。この高ゲートバイアスは、デプリーションモード GaN FET をピンチオフモードに入らせ、デプリーションモード GaN FET のソースノードがピンチオフ電圧に保たれ、デプリーションモード GaN FET のドレイン・ソース電圧降下が高ゲートバイアスと共に増大するようにし、そしてそのためエンハンスメントモード GaN FET のゲートノードでのゲートバイアスが、最大所望ゲート・ソースバイアスを下回るピンチオフ電圧に保たれる。

20

【0009】

「III N」という用語は、III 族要素（アルミニウム、ガリウム、インジウム、及びボロン）がその半導体材料における原子の一部を提供し、窒素原子が半導体材料における残りの原子を提供する、半導体材料を指す。III N 半導体材料の例は、ガリウム窒化物、ボロンガリウム窒化物、アルミニウムガリウム窒化物、インジウム窒化物、及びインジウムアルミニウムガリウム窒化物である。材料の元素式を説明する用語は、要素の特定のストイキオメトリーを暗示しない。III N 材料は、あり得るストイキオメトリーの範囲を示すために可変の下付き文字を用いて書くことができる。例えば、アルミニウムガリウム窒化物は $Al_x Ga_{1-x} N$ と書くことができ、インジウムアルミニウムガリウム窒化物は $In_x Al_y Ga_{1-x-y} N$ と書くことができる。GaN FET という用語は、III N 半導体材料を含む電界効果トランジスタを指す。

30

【0010】

図 1 は、例示の半導体デバイスの回路図である。半導体デバイス 100 は、エンハンスメントモード GaN FET 102 及びデプリーションモード GaN FET 104 を含む。エンハンスメントモード GaN FET 102 のソースノード 106 が、半導体デバイス 100 のソース端子 108 に電氣的に結合される。エンハンスメントモード GaN FET 102 のドレインノード 110 が、半導体デバイス 100 のドレイン端子 112 に電氣的に結合される。

40

【0011】

デプリーションモード GaN FET 104 のドレインノード 114 が、半導体デバイス 100 のゲート端子 116 に電氣的に結合される。デプリーションモード GaN FET 104 のソースノード 118 が、エンハンスメントモード GaN FET 102 のゲートノード 120 に電氣的に結合される。デプリーションモード GaN FET 104 のゲートノード 122 が、半導体デバイス 100 のソース端子 108 に電氣的に結合される。

【0012】

エンハンスメントモード GaN FET 102 のゲートノード 120 は、エンハンスメントモード GaN FET 102 上のゲート・ソースバイアスが、例えば、5 ボルトの最大所望ゲート・ソースバイアスを超えるとき、不利なことに過度な電流を引き出し得る。

50

エンハンスメントモードGaN FET 102の閾値電圧が、最大所望ゲート・ソースバイアスより小さい。デプリーションモードGaN FET 104のゲート・ソースピンチオフ電圧が、エンハンスメントモードGaN FETの最大所望ゲート・ソースバイアスより小さい。

【0013】

図2～図4は、例示の半導体デバイスの断面を図示する。図2を参照すると、半導体デバイス200が、エンハンスメントモードGaN FET 202及びデプリーションモードGaN FET 204を含む。エンハンスメントモードGaN FET 202は、シリコン基板224上に形成される。シリコン基板224上にミスマッチ隔離層226が形成される。ミスマッチ隔離層226は、例えば、100～300ナノメートルのアルミニウム窒化物であり得る。

10

【0014】

ミスマッチ隔離層226上にバッファ層228が形成される。バッファ層228は、例えば、1～7ミクロンの厚みであり得、ミスマッチ隔離層226においてアルミニウムリッチであり、バッファ層228の頂部表面においてガリウムリッチである、 $Al_xGa_{1-x}N$ の段階的な(graded)層のスタックを含み得る。

【0015】

バッファ層228上に電氣的隔離層230が形成される。電氣的隔離層230は、例えば、300～2000ナノメートルの半絶縁性ガリウム窒化物であり得る。電氣的隔離層230は、電氣的隔離層230の上及び下の層間の所望のレベルの電氣的隔離を提供するため、例えば、半絶縁性層であり得る。

20

【0016】

電氣的隔離層230上に低欠陥層232が形成される。低欠陥層232は、例えば、25～1000ナノメートルのガリウム窒化物であり得る。低欠陥層232は、電子移動度に不利な影響を有し得る結晶欠陥を最小化するように形成され得、結果として、炭素、鉄、又は他のドーパント種で、例えば、 10^{17} cm^{-3} 未満のドーピング密度でドーパされた低欠陥層232となり得る。

【0017】

低欠陥層232上に障壁層234が形成される。障壁層234は、例えば、8～30ナノメートルの $Al_xGa_{1-x}N$ 又は $In_xAl_yGa_{1-x-y}N$ であり得る。障壁層234におけるIII族要素の組成は、例えば、24～28パーセントがアルミニウム窒化物、及び72～76パーセントがガリウム窒化物であり得る。低欠陥層232上に障壁層234を形成することで、障壁層234直下の低欠陥層232において、例えば、 $1 \times 10^{12} \sim 2 \times 10^{13} \text{ cm}^{-2}$ の電子密度の、二次元電子ガスが生成される。

30

【0018】

障壁層234上に任意選択のキャップ層236が形成され得る。キャップ層236は、例えば、2～5ナノメートルのガリウム窒化物であり得る。キャップ層236は、障壁層234におけるアルミニウムの酸化を低減し得る。

【0019】

エンハンスメントモードゲート220が、存在する場合はキャップ層236上に、或いはキャップ層が形成されない場合は障壁層234上に、形成される。エンハンスメントモードゲート220は、ガリウム窒化物、ガリウムアルミニウム窒化物、インジウムガリウムアルミニウム窒化物、インジウムアルミニウム窒化物、及びアルミニウム窒化物などの、p型III-N半導体の1つ又は複数の層を含む。エンハンスメントモードゲート220は、金属ゲートキャップ238を有し得、金属ゲートキャップ238は、電氣的性能を改善するためエンハンスメントモードゲート220へのオーミック又はショットキーコンタクトを形成する。

40

【0020】

ソースコンタクト206が、エンハンスメントモードGaN FET 202の低欠陥層232における二次元電子ガスへのトンネリング接続を形成するように、キャップ層23

50

6を介して及び障壁層234内へ延びて形成される。ソースコンタクト206は、エンハンスメントモードゲート220から、例えば、500～1500ナノメートル、横方向に離され得る。同様に、ドレインコンタクト210が、二次元電子ガスへのトンネリング接続を形成するように、キャップ層236を介して及び障壁層234内へ延びて形成される。ドレインコンタクト210は、エンハンスメントモードゲート220から、エンハンスメントモードGaN FET202の最大動作電圧に依存する距離、横方向に離される。例えば、200ボルトの最大動作電圧のために設計されたエンハンスメントモードGaN FET202では、ドレインコンタクト210は、エンハンスメントモードゲート220から2～8ミクロン横方向に離され得る。600ボルトの最大動作電圧のために設計されたエンハンスメントモードGaN FET202では、ドレインコンタクト210は、エンハンスメントモードゲート220から5～20ミクロン横方向に離され得る。

10

【0021】

デプリーションモードGaN FET204は、エンハンスメントモードGaN FET202と同じシリコン基板224上に、同じIII-N層、即ち、ミスマッチ隔離層226、バッファ層228、電氣的隔離層230、低欠陥層232、障壁層234、及び存在する場合任意選択のキャップ層236、を用いて形成され得る。デプリーションモードゲート222が、存在する場合はキャップ層236上に、或いはキャップ層が存在しない場合は障壁層234上に、形成される。デプリーションモードゲート222は、例えば、100～300ナノメートルのタングステン又はチタンタングステンで、形成され得る。デプリーションモードゲート222は、エッチングプロセス又は代替としてリフトオフプロセスを用いてパターニングされ得る。ソースコンタクト218及びドレインコンタクト214が、エンハンスメントモードGaN FET202を参照して説明したように、デプリーションモードGaN FET204の二次元電子ガスへのトンネリング接続を成すように形成される。

20

【0022】

エンハンスメントモードGaN FET202及び/又はデプリーションモードGaN FET204は、図2に示したものと異なる層構造の中及び上に形成され得る。例えば、電氣的隔離層230は、障壁層234がバッファ層228上に形成されるように省かれてもよい。サファイア又はシリコンオンインシュレータ基板が、シリコン基板224の代わりに用いられてもよい。

30

【0023】

エンハンスメントモードGaN FET202のエンハンスメントモードゲート220、ソースコンタクト206、及びドレインコンタクト210と、デプリーションモードGaN FET204のデプリーションモードゲート222、ソースコンタクト218、及びドレインコンタクト214とは、図1の回路図を参照して説明したように、互いに電氣的に結合され、そして、半導体デバイス200のゲート端子216、ソース端子208、及びドレイン端子212に、電氣的に結合される。電氣的結合は、例えば、誘電体の層、及びパターニングされた金属相互接続を形成することにより、達成され得る。

【0024】

半導体デバイス200の1つの構成において、シリコン基板224は、ソース端子208に電氣的に結合され得る。別の構成において、シリコン基板224は、ドレイン端子212に電氣的に結合され得る。更なる構成において、シリコン基板224は、ソース端子208及びドレイン端子212から電氣的に隔離され得る。

40

【0025】

本例の代替のバージョンにおいて、デプリーションモードGaN FET204は、エンハンスメントモードGaN FET202とは別個の基板上に形成され得、また、III-N半導体材料の異なる層構造を有し得る。このようなバージョンにおいて、電氣的結合は、例えば、ワイヤボンディングにより又はエンハンスメントモードGaN FET202及びデプリーションモードGaN FET204を、導電性のリードを備えたマルチチップキャリアに搭載することにより達成され得る。

50

【0026】

図3を参照すると、半導体デバイス300が、エンハンスメントモードGaN FET 302及びデプリーションモードGaN FET 304を含む。エンハンスメントモードGaN FET 302は、シリコン基板324上に、例えば、図2を参照して説明したように、ミスマッチ隔離層326、バッファ層328、電氣的隔離層330、低欠陥層332、障壁層334、及び場合によっては任意選択のキャップ層336を備えて形成される。ソースコンタクト306及びドレインコンタクト310が、図2のエンハンスメントモードGaN FET 202を参照して説明したように、エンハンスメントモードGaN FET 302の二次元電子ガスへのトンネリング接続を成すように形成される。

【0027】

エンハンスメントモードGaN FET 302において、任意選択のキャップ層336及びエンハンスメントモードゲート320が形成される前に、エンハンスメントモードゲート320の下の障壁層334に窪み340が形成される。窪み340の底部は、例えば、低欠陥層332の頂部表面より5～15ナノメートル上であり得る。キャップ層336及びエンハンスメントモードゲート320は、窪み340に実質的にコンフォーマルである。窪み340においてエンハンスメントモードゲート320を形成することは、エンハンスメントモードGaN FET 302のための一層低い閾値電圧を有利に提供し得る。

【0028】

デプリーションモードGaN FET 304は、エンハンスメントモードGaN FET 302と同じシリコン基板324上に、同じIII-N層、即ち、ミスマッチ隔離層326、バッファ層328、電氣的隔離層330、低欠陥層332、障壁層334、及び存在する場合任意選択のキャップ層336、を用いて形成され得る。III-N半導体材料のデプリーションモードゲート322が、存在する場合キャップ層336上に、或いはキャップ層が存在しない場合は障壁層334上に、形成される。デプリーションモードゲート322は、例えば、150～300ナノメートルの、ガリウム窒化物又はアルミニウムガリウム窒化物などのIII-N半導体材料で形成され得る。ソースコンタクト318及びドレインコンタクト314が、エンハンスメントモードGaN FET 302を参照して説明したように、デプリーションモードGaN FET 304の二次元電子ガスへのトンネリング接続を成すように形成される。

【0029】

上述のように、エンハンスメントモードGaN FET 302及び/又はデプリーションモードGaN FET 304は、同じ層構造の中及び上に形成され得る。代替として、エンハンスメントモードGaN FET 302及び/又はデプリーションモードGaN FET 304は、例えば図2を参照して説明したように、図3に示したものと異なる層構造の中及び上に形成され得る。

【0030】

エンハンスメントモードGaN FET 302のエンハンスメントモードゲート320、ソースコンタクト306、及びドレインコンタクト310と、デプリーションモードGaN FET 304のデプリーションモードゲート322、ソースコンタクト318、及びドレインコンタクト314とは、図1の回路図を参照して説明したように、互いに電氣的に結合され、そして、半導体デバイス300のゲート端子316、ソース端子308、及びドレイン端子312に、電氣的に結合される。シリコン基板324は、ソース端子308、ドレイン端子312に電氣的に結合され得、或いは、ソース端子308及びドレイン端子312から隔離され得る。

【0031】

図4を参照すると、半導体デバイス400が、エンハンスメントモード絶縁ゲートGaN FET 402及びデプリーションモードGaN FET 404を含む。エンハンスメントモード絶縁ゲートGaN FET 402は、シリコン基板424上に、例えば、図2を参照して説明したように、ミスマッチ隔離層426、バッファ層428、電氣的隔離層430、低欠陥層432、障壁層434、及び場合によっては任意選択のキャップ層43

10

20

30

40

50

6を備えて形成される。ソースコンタクト406及びドレインコンタクト410が、図2のエンハンスメントモードGaN FET202を参照して説明したように、エンハンスメントモード絶縁ゲートGaN FET402の二次元電子ガスへのトンネリング接続を成すように形成される。

【0032】

エンハンスメントモード絶縁ゲートGaN FET402において、窪み440が障壁層434に形成される。任意選択のキャップ層436及びゲート誘電体層442が窪み440に形成され、エンハンスメントモード絶縁ゲート420がゲート誘電体層442上に形成される。窪み440の底部が、例えば、低欠陥層432の頂部表面より5～15ナノメートル上であり得る。窪み440においてエンハンスメントモード絶縁ゲート420を形成することは、エンハンスメントモード絶縁ゲートGaN FET402のための一層低い閾値電圧を有利に提供し得る。

10

【0033】

デプリーションモードGaN FET404は、エンハンスメントモード絶縁ゲートGaN FET402と同じシリコン基板424上に、同じIII-N層、即ち、ミスマッチ隔離層426、バッファ層428、電氣的隔離層430、低欠陥層432、障壁層434、及び存在する場合は任意選択のキャップ層436、を用いて形成され得る。III-N半導体材料のデプリーションモードゲート422が、存在する場合キャップ層436上に、或いはキャップ層が存在しない場合は障壁層434上に、形成される。デプリーションモードゲート422は、例えば、150～300ナノメートルの、ガリウム窒化物又はアルミニウムガリウム窒化物などのIII-N半導体材料で形成され得、又は、図2を参照して説明されるように金属ゲートであり得る。ソースコンタクト418及びドレインコンタクト414が、エンハンスメントモード絶縁ゲートGaN FET402を参照して説明されるように、デプリーションモードGaN FET404の二次元電子ガスへのトンネリング接続を成すように形成される。

20

【0034】

上述のように、エンハンスメントモード絶縁ゲートGaN FET402及び/又はデプリーションモードGaN FET404は、同じ層構造の中及び上に形成され得る。代替として、エンハンスメントモード絶縁ゲートGaN FET402及び/又はデプリーションモードGaN FET404は、例えば、図2を参照して説明されるように、図4に示したものと異なる層構造の中及び上に形成され得る。

30

【0035】

エンハンスメントモード絶縁ゲートGaN FET402のエンハンスメントモードゲート420、ソースコンタクト406、及びドレインコンタクト410と、デプリーションモードGaN FET404のデプリーションモードゲート422、ソースコンタクト418、及びドレインコンタクト414とは、図1の回路図を参照して説明したように互いに電氣的に結合され、そして、半導体デバイス400のゲート端子416、ソース端子408、及びドレイン端子412に、電氣的に結合される。シリコン基板424は、ソース端子408、ドレイン端子412に電氣的に結合され得、或いはソース端子408及びドレイン端子412から隔離され得る。

40

【0036】

当業者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び多くの他の実施例が可能であることが分かるであろう。

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/095 (2006.01)

(72)発明者 サミール ペンハルカル

アメリカ合衆国 7 5 0 1 3 テキサス州 アレン , パーンサイド ドライブ 2 0 3 2

(72)発明者 ナヴィーン ティビルネニ

アメリカ合衆国 7 5 0 2 3 テキサス州 プラノ , コーチマン コート 5 3 0 5

審査官 杉山 芳弘

(56)参考文献 特開2000-252429(JP,A)

特開2011-165749(JP,A)

特開2012-028705(JP,A)

特開2007-066979(JP,A)

特開2012-199285(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 9 / 7 7 8

H 0 1 L 2 9 / 8 1 2

H 0 1 L 2 7 / 0 6

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 7 / 0 4