

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2014-63557
(P2014-63557A)

(43) 公開日 平成26年4月10日 (2014. 4. 10)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 Z	5 B 0 1 5
H 0 1 L 21/8244 (2006.01)	G 1 1 C 11/34 A	5 F 0 8 3
H 0 1 L 27/11 (2006.01)	H 0 1 L 27/10 3 8 1	

審査請求 未請求 請求項の数 8 O L (全 46 頁)

(21) 出願番号 特願2013-23969 (P2013-23969)	(71) 出願人 000153878
(22) 出願日 平成25年2月12日 (2013. 2. 12)	株式会社半導体エネルギー研究所
(31) 優先権主張番号 特願2012-38468 (P2012-38468)	神奈川県厚木市長谷 3 9 8 番地
(32) 優先日 平成24年2月24日 (2012. 2. 24)	(72) 発明者 小山 潤
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号 特願2012-105537 (P2012-105537)	半導体エネルギー研究所内
(32) 優先日 平成24年5月3日 (2012. 5. 3)	F ターム (参考) 5B015 HH01 HH03 HH04 JJ07 JJ43
(33) 優先権主張国 日本国 (JP)	KA10 QQ16
(31) 優先権主張番号 特願2012-192232 (P2012-192232)	5F083 BS14 BS17 BS27 BS30 BS49
(32) 優先日 平成24年8月31日 (2012. 8. 31)	BS50 GA05 GA10 HA02 JA60
(33) 優先権主張国 日本国 (JP)	LA03 LA07 LA09 PR22 PR33
	PR34

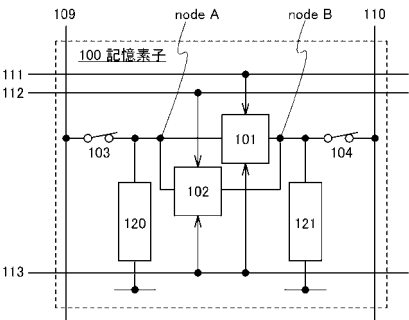
(54) 【発明の名称】 記憶装置及び半導体装置

(57) 【要約】

【課題】データの信頼性を高めることができる記憶装置の提供。

【解決手段】第1電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第1論理素子と、第1電源電圧とは異なる系統の第2電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第2論理素子と、上記第1論理素子が有する上記入力端子に接続された第1記憶回路と、上記第2論理素子が有する上記入力端子に接続された第2記憶回路と、上記第1論理素子が有する上記入力端子と第1配線の接続を制御する第1スイッチと、上記第2論理素子が有する上記入力端子と第2配線の接続を制御する第2スイッチと、を有する。そして、上記第1論理素子が有する上記入力端子に上記第2論理素子が有する上記出力端子が接続され、上記第2論理素子が有する上記入力端子に上記第1論理素子が有する上記出力端子が接続されている記憶装置。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第 1 電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第 1 論理素子と、

第 1 電源電圧とは異なる系統の第 2 電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第 2 論理素子と、

前記第 1 論理素子が有する前記入力端子に接続された第 1 記憶回路と、

前記第 2 論理素子が有する前記入力端子に接続された第 2 記憶回路と、

前記第 1 論理素子が有する前記入力端子と第 1 配線の接続を制御する第 1 スイッチと、

前記第 2 論理素子が有する前記入力端子と第 2 配線の接続を制御する第 2 スイッチと、を有し、

前記第 1 論理素子が有する前記入力端子に前記第 2 論理素子が有する前記出力端子が接続され、

前記第 2 論理素子が有する前記入力端子に前記第 1 論理素子が有する前記出力端子が接続されている記憶装置。

【請求項 2】

第 1 電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第 1 論理素子と、

第 1 電源電圧とは異なる系統の第 2 電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第 2 論理素子と、

第 1 容量素子、及び第 2 容量素子と、

前記第 1 論理素子が有する前記入力端子と前記第 1 容量素子の接続を制御する第 1 スイッチと、

前記第 2 論理素子が有する前記入力端子と前記第 2 容量素子の接続を制御する第 2 スイッチと、

前記第 1 論理素子が有する前記入力端子と第 1 配線の接続を制御する第 3 スイッチと、

前記第 2 論理素子が有する前記入力端子と第 2 配線の接続を制御する第 4 スイッチと、を有し、

前記第 1 論理素子が有する前記入力端子に前記第 2 論理素子が有する前記出力端子が接続され、

前記第 2 論理素子が有する前記入力端子に前記第 1 論理素子が有する前記出力端子が接続されている記憶装置。

【請求項 3】

請求項 2 において、前記第 1 スイッチまたは前記第 2 スイッチはトランジスタを有し、

前記トランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体をチャネル形成領域に含む記憶装置。

【請求項 4】

請求項 3 において、前記半導体は酸化物半導体である記憶装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、前記第 1 論理素子または前記第 2 論理素子はトランジスタを有し、

前記トランジスタは、結晶性を有するシリコンをチャネル形成領域に含む記憶装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の記憶装置を用いた半導体装置。

【請求項 7】

結晶性を有するシリコンをチャネル形成領域に含むトランジスタと、酸化物半導体をチャネル形成領域に含むトランジスタとを有する記憶装置をキャッシュとして用いる CPU と、

前記 CPU へ電源電圧を印加するか否かを制御するパワーコントローラと、を有する半導体装置。

10

20

30

40

50

【請求項 8】

結晶性を有するシリコンをチャネル形成領域に含むトランジスタと、酸化物半導体をチャネル形成領域に含むトランジスタとを有する、請求項 1 または請求項 2 に記載の記憶装置を、キャッシュとして用いる CPU と、
前記 CPU へ電源電圧を印加するか否かを制御するパワーコントローラと、を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置と、当該記憶装置を用いた半導体装置に関する。

10

【背景技術】

【0002】

中央演算処理装置 (CPU: Central Processing Unit) などの半導体装置は、動作速度や集積度を向上させるために半導体素子の微細化が進められており、チャネル長が 30 nm 程度のトランジスタが製造されるに至っている。一方で、CPU は、半導体素子が微細化されることにより、トランジスタのリーク電流に起因する消費電力 (リーク電力) が増加している。具体的に、従来では、CPU における消費電力のほとんどが演算時の消費電力 (動作電力) であったが、近年では CPU における消費電力の 1 割以上をリーク電力が占めるようになった。

20

【0003】

特にキャッシュは、高い処理能力の CPU を実現するために大容量化されていることが多く、CPU の中でも最もリーク電力が大きい集積回路に相当する。特に携帯電話や携帯情報端末などの携帯端末向けの CPU では、キャッシュが CPU のチップ面積やトランジスタ数の半分以上を占めているため、キャッシュにおけるリーク電力低減の要求が高い。そこで、パワーゲートを用いることで、使用していないキャッシュなどの集積回路において電源を遮断することで、CPU の消費電力を低減させる、ノーマリオフコンピュータと呼ばれる技術が注目されている (非特許文献 1)。上記ノーマリオフコンピュータでは、短い期間内に電源の遮断が行われるので、キャッシュとして用いる記憶素子には、不揮発性であることのみならず、動作の高速性が要求される。不揮発性のメモリであるフラッシュメモリは、上記高速性を満たせず、またデータの書き換え回数が、キャッシュとして用いるのには不十分であった。

30

【0004】

そこで、従来からキャッシュに用いられてきた揮発性の記憶素子に、フラッシュメモリよりも高速動作が可能で、なおかつ書き換え回数が多い不揮発性の記憶素子を付加した構成の記憶装置が、提案されている。下記の特許文献 1 では、インバータを用いた揮発性のデータ保持回路と、強誘電体コンデンサとを有し、データを強誘電体コンデンサに記憶させることで電源が遮断されてもデータを保持することができる電子回路について開示されている。また、下記の特許文献 2 では、クロスカップルされた第 1 及び第 2 インバータと、第 1 及び第 2 磁気抵抗素子とで構成された不揮発性ラッチ回路について開示されている。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2003 - 152506 号公報

【特許文献 2】国際公開第 2009 / 072511 号

【非特許文献】

【0006】

【非特許文献 1】安藤功児、「不揮発性磁気メモリ」、2002 年 3 月 14 日、F E D Review、vol. 1, No. 14

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 7 】

上記記憶装置では、データの待避及び復帰により消費される電力（オーバーヘッド）と、電源の遮断により削減される電力とが等しくなる電源の遮断時間、すなわち損益分岐時間（BET: Break Even Time）が長い場合、電源を遮断する期間が短いと却ってCPUの消費電力が増えやすいという問題がある。

【 0 0 0 8 】

また、上記記憶装置では、電源を遮断する前に揮発性の記憶素子から不揮発性の記憶素子にデータを待避させておき、電源の復帰後に上記データを揮発性の記憶素子に戻している。ところが、揮発性の記憶素子には、一般的にフリップフロップが用いられており、電源が遮断されている間は、フリップフロップを構成している各半導体素子間のノードのいずれかにおいて、電位が不定状態にある。そして、電位が不定状態にあるノードは、記憶装置において電源を復帰させた後、ハイレベルまたはローレベルのいずれの電位に定まるのかが確実ではない。そして、電源が復帰した後は、上記ノードの電位がハイレベルまたはローレベルのいずれの電位に定まったとしても、上記ノードの電位は電源により安定になる。そのため、不揮発性の記憶素子からデータを復帰させようとしても、上記ノードの電位によっては、データが打ち消されてしまう場合がある。よって、上記記憶装置では、電源の遮断により、データの信頼性が低くなりやすい。

10

【 0 0 0 9 】

上述したような技術的背景のもと、本発明は、データの書き込み時における消費電力を小さく抑えることができる記憶装置の提供を課題の一つとする。或いは、本発明は、データの信頼性を高めることができる記憶装置の提供を課題の一つとする。

20

【 0 0 1 0 】

或いは、本発明は、上記記憶装置を用いることで、消費電力を低く抑えることができる半導体装置の提供を課題の一つとする。或いは、本発明は、上記記憶装置を用いることで、信頼性を高めることができる半導体装置の提供を課題の一つとする。

【課題を解決するための手段】

【 0 0 1 1 】

上記課題を解決するために、本発明の第1の構成を有する記憶装置では、出力端子の電位が互いの入力端子に与えられ、なおかつ、入力端子の電位の極性を反転させて出力端子から出力する第1論理素子及び第2論理素子と、第1論理素子及び第2論理素子のデータが記憶される記憶回路と、を有する。そして、本発明の一態様では、第1論理素子と第2論理素子にそれぞれ与えられる電源電圧が、別系統であるものとする。

30

【 0 0 1 2 】

上記第1の構成を有する記憶装置では、第1論理素子及び第2論理素子に保持されているデータを、記憶装置への電源電圧の供給が停止される前に、記憶回路に待避させることができる。具体的に記憶回路には、記憶装置への電源電圧の供給が停止されている期間においてデータを保持することができる、容量素子、MRAM、ReRAM、FeRAMなどの回路素子を用いることができる。

【 0 0 1 3 】

そして、本発明の第1の構成を有する記憶装置では、第1論理素子に与えられる電源電圧と、第2論理素子に与えられる電源電圧を別系統とすることで、記憶回路に保持されていたデータを第1論理素子及び第2論理素子に戻す際に、第1論理素子及び第2論理素子において、一方に電源電圧を与えつつ、他方に電源電圧を与えない状態を、作ることができる。よって、第1論理素子及び第2論理素子のいずれか一方にのみ電源電圧を与える動作と、待避させていたデータを第1論理素子及び第2論理素子に書き込む動作と、第1論理素子及び第2論理素子の両方に電源電圧を与えることで上記データを第1論理素子及び第2論理素子に保持させる動作とを、同時にではなく、順に行うことができる。

40

【 0 0 1 4 】

したがって、本発明の一態様に係る記憶装置では、記憶装置への電源電圧の供給が停止されている間に、第1論理素子または第2論理素子の入力端子または出力端子などのノード

50

において、電位が不定状態にあっても、いずれか一方の論理素子に先に電源電圧を供給してから待避させていたデータを復帰させることができるので、不定状態にあった上記ノードの電位を、データに従って確実に定めることができる。よって、記憶回路から第1論理素子及び第2論理素子にデータを戻した後でも、データの高信頼性を確保することができる。

【0015】

或いは、本発明の第2の構成を有する記憶装置は、出力端子の電位が互いの入力端子に与えられ、入力端子の電位の極性を反転させて出力端子にそれぞれ与える第1論理素子及び第2論理素子と、スイッチと、スイッチを介して書き込まれた第1論理素子及び第2論理素子のデータが記憶される容量素子と、を有する。そして、本発明の一態様では、上記第2の構成を有する記憶装置において、第1論理素子と第2論理素子にそれぞれ与えられる電源電圧が、別系統であっても良い。

10

【0016】

上記第2の構成を有する記憶装置では、第1論理素子及び第2論理素子に保持されているデータを、記憶装置への電源電圧の供給が停止される前に、容量素子に待避させることができる。具体的に、データの待避は、容量素子への電荷の供給により行い、上記電荷の保持は、上記スイッチをオフにすることで行う。

【0017】

そして、本発明の第2の構成を有する記憶装置では、第1論理素子に与えられる電源電圧と、第2論理素子に与えられる電源電圧を別系統とすることで、容量素子に保持されていた電荷を放出して待避させておいたデータを第1論理素子及び第2論理素子に戻す際に、第1論理素子及び第2論理素子において、一方に電源電圧を与えつつ、他方に電源電圧を与えない状態を、作ることができる。よって、第1論理素子及び第2論理素子のいずれか一方にのみ電源電圧を与える動作と、待避させていたデータを第1論理素子及び第2論理素子に書き込む動作と、第1論理素子及び第2論理素子の両方に電源電圧を与えることで上記データを第1論理素子及び第2論理素子に保持させる動作とを、同時にではなく、順に行うことができる。

20

【0018】

したがって、本発明の第2の構成を有する記憶装置では、記憶装置への電源電圧の供給が停止されている間に、第1論理素子または第2論理素子の入力端子または出力端子などのノードにおいて、電位が不定状態にあっても、いずれか一方の論理素子に先に電源電圧を供給してから待避させていたデータを復帰させることができるので、不定状態にあった上記ノードの電位を、データに従って確実に定めることができる。よって、記憶回路から第1論理素子及び第2論理素子にデータを戻した後でも、データの高信頼性を確保することができる。

30

【0019】

また、本発明の第1の構成または第2の構成を有する記憶装置では、データを待避させることで、電源電圧の供給が停止されても、記憶装置内のデータの消失を防ぐことができる。よって、外部記憶装置にデータを待避させる必要がないため、記憶装置、もしくは記憶装置を用いた半導体装置へ、60秒のように長い時間であっても、ミリ秒程度の短い時間であっても、電源電圧の供給の停止を行うことができる。その結果、記憶装置、及び半導体装置の消費電力を低減させることができる。

40

【0020】

さらに、本発明の第2の構成を有する記憶装置では、オフ電流の小さいトランジスタで上記スイッチを構成することを、構成要件に加えても良い。例えば、バンドギャップが広く、電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された半導体を、チャネル形成領域に含むトランジスタは、オフ電流が著しく小さい。本発明の一態様では、上記構成を有するトランジスタをスイッチとして用いることで、容量素子において保持されている電荷のリークを防ぎ、データの信頼性を高めることができる。

50

【 0 0 2 1 】

そして、本発明の第2の構成を有する記憶装置では、容量素子への電荷の供給によりデータの書き込みを行っているので、MRAMなどに比べてデータの書き込みに要する電流を1/100程度に抑えることができる。そのため、本発明の一態様では、電源の遮断に要するオーバーヘッドをMRAMの場合よりも小さくすることができるので、損益分岐時間を短くすることができる。よって、上記記憶装置を用いた本発明の一態様に係る半導体装置では、MRAMを用いる場合より消費電力を抑えることができる。

【 0 0 2 2 】

具体的に、本発明の一態様に係る記憶装置では、第1電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第1論理素子と、第1電源電圧とは異なる系統の第2電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第2論理素子と、上記第1論理素子が有する上記入力端子に接続された第1記憶回路と、上記第2論理素子が有する上記入力端子に接続された第2記憶回路と、上記第1論理素子が有する上記入力端子と第1配線の接続を制御する第1スイッチと、上記第2論理素子が有する上記入力端子と第2配線の接続を制御する第2スイッチと、を有する。そして、上記第1論理素子が有する上記入力端子に上記第2論理素子が有する上記出力端子が接続され、上記第2論理素子が有する上記入力端子に上記第1論理素子が有する上記出力端子が接続されている。

10

【 0 0 2 3 】

具体的に、本発明の一態様に係る記憶装置では、第1電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第1論理素子と、第1電源電圧とは異なる系統の第2電源電圧が供給されると、入力端子の電位の極性を反転させて出力端子から出力する第2論理素子と、第1容量素子、及び第2容量素子と、上記第1論理素子が有する上記入力端子と上記第1容量素子の接続を制御する第1スイッチと、上記第2論理素子が有する上記入力端子と上記第2容量素子の接続を制御する第2スイッチと、上記第1論理素子が有する上記入力端子と第1配線の接続を制御する第3スイッチと、上記第2論理素子が有する上記入力端子と第2配線の接続を制御する第4スイッチと、を有する。そして、上記第1論理素子が有する上記入力端子に上記第2論理素子が有する上記出力端子が接続され、上記第2論理素子が有する上記入力端子に上記第1論理素子が有する上記出力端子が接続されている。

20

30

【 発明の効果 】

【 0 0 2 4 】

本発明の一態様により、データの信頼性を高めることができる記憶装置を提供することができる。本発明の一態様により、データの書き込み時における消費電力を小さく抑えることができ、不揮発性と高速性を兼ね備えた記憶装置を提供することができる。本発明の一態様により、信頼性を高めることができる半導体装置を提供することができる。本発明の一態様により、消費電力を低く抑えることができる半導体装置を提供することができる。

【 図面の簡単な説明 】

【 0 0 2 5 】

【 図 1 】 記憶素子の構成を示す図。

40

【 図 2 】 タイミングチャート。

【 図 3 】 記憶素子の構成を示す図。

【 図 4 】 タイミングチャート。

【 図 5 】 記憶素子の構成を示す図。

【 図 6 】 タイミングチャート。

【 図 7 】 記憶装置の構成を示す図。

【 図 8 】 CPUの構成を示す図。

【 図 9 】 半導体装置の構成を示す図。

【 図 10 】 記憶装置の構成を示す図。

【 図 11 】 記憶装置の断面図。

50

【図 1 2】電子機器の図。

【図 1 3】半導体装置の断面図。

【図 1 4】半導体装置のブロック図。

【図 1 5】記憶装置の光学顕微鏡による写真と、記憶装置の構成を示す図。

【図 1 6】記憶装置の構成を示す図と、記憶装置の光学顕微鏡による写真。

【図 1 7】記憶装置のデータ保持特性のグラフ。

【発明を実施するための形態】

【0026】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0027】

なお、本発明は、マイクロプロセッサ、画像処理回路、DSP (Digital Signal Processor)、マイクロコントローラなどの集積回路や、RFタグ、半導体表示装置等、記憶装置を用いることができる半導体装置を、その範疇に含む。半導体表示装置には、液晶表示装置、有機発光素子 (OLED) に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等や、記憶装置を駆動回路または制御回路に有しているその他の半導体表示装置が、その範疇に含まれる。

20

【0028】

(実施の形態 1)

本発明の一態様に係る記憶装置は、1ビットのデータを記憶することができる記憶素子 100 を、単数または複数有している。図 1 では、記憶素子 100 の構成を例示している。

【0029】

記憶素子 100 は、論理素子 101 及び論理素子 102 と、スイッチ 103 と、スイッチ 104 と、記憶回路 120 と、記憶回路 121 とを有する。

【0030】

論理素子 101 及び論理素子 102 は、入力端子の電位の極性を反転させて出力端子から出力する機能を有している。つまり、論理素子 101 及び論理素子 102 は、信号の論理レベルを反転させる機能を有している。具体的に、論理素子 101 及び論理素子 102 として、それぞれインバータ、またはクロックドインバータなどを用いることができる。そして、論理素子 101 と論理素子 102 は、入力端子が互いの出力端子に接続されている。

30

【0031】

また、記憶素子 100 には、配線 109 乃至配線 113 が接続されている。記憶素子 100 におけるデータの書き込みと読み出しは、配線 109 及び配線 110 を介して行われる。スイッチ 103 は、配線 109 に与えられたデータの論理素子 101 及び論理素子 102 への書き込みと、論理素子 101 及び論理素子 102 から配線 109 へのデータの読み出しとを、制御する機能を有する。また、スイッチ 104 は、配線 110 に与えられたデータの論理素子 101 及び論理素子 102 への書き込みと、論理素子 101 及び論理素子 102 から配線 110 へのデータの読み出しとを、制御する機能を有する。

40

【0032】

具体的に、図 1 では、スイッチ 103 は、論理素子 101 の入力端子と配線 109 の電気的な接続を制御する機能を有する。また、スイッチ 104 は、論理素子 102 の入力端子と配線 110 の電気的な接続を制御する機能を有する。

【0033】

配線 111 乃至配線 113 は、記憶素子 100 に電源電位を与える機能を有する。具体的に、図 1 では、配線 111 に与えられる電源電位と配線 113 に与えられる電源電位の差

50

が、電源電圧として論理素子 1 0 1 に与えられる。また、図 1 では、配線 1 1 2 に与えられる電源電位と配線 1 1 3 に与えられる電源電位の差が、電源電圧として論理素子 1 0 2 に与えられる。

【 0 0 3 4 】

本発明の一態様では、上記構成により、論理素子 1 0 1 に与えられる電源電圧と、論理素子 1 0 2 に与えられる電源電圧とを、別系統にすることができる。電源電圧を別系統にすることで、論理素子 1 0 1 に電源電圧を与えつつ、論理素子 1 0 2 に電源電圧を与えない状態を作ることができる。或いは、論理素子 1 0 2 に電源電圧を与えつつ、論理素子 1 0 1 に電源電圧を与えない状態を作ることができる。

【 0 0 3 5 】

なお、電源電圧を与えない状態とは、論理素子 1 0 1 の場合、配線 1 1 1 と配線 1 1 3 の電位差が限りなく 0 V に近い状態を意味し、論理素子 1 0 2 の場合、配線 1 1 2 と配線 1 1 3 の電位差が限りなく 0 V に近い状態を意味する。

【 0 0 3 6 】

論理素子 1 0 1 及び論理素子 1 0 2 は、電源電圧が与えられることで、スイッチ 1 0 3 及びスイッチ 1 0 4 を介して書き込まれたデータを、保持することができる。

【 0 0 3 7 】

記憶回路 1 2 0 及び記憶回路 1 2 1 は、電源電圧の供給が停止されていても、データを記憶する機能を有する。具体的に、図 1 では、記憶回路 1 2 0 が論理素子 1 0 1 の入力端子に接続されており、記憶回路 1 2 1 が論理素子 1 0 2 の入力端子に接続されている。上記構成により、記憶素子 1 0 0 への電源電圧の供給が停止する前に、論理素子 1 0 1 及び論理素子 1 0 2 に保持されているデータを記憶回路 1 2 0 及び記憶回路 1 2 1 に待避させ、データが消失するのを防ぐことができる。

【 0 0 3 8 】

なお、記憶回路 1 2 0 及び記憶回路 1 2 1 には、電源電圧の供給が停止されている期間においてデータを保持することができる、容量素子、M R A M、R e R A M、F e R A M などの回路素子を用いることができる。

【 0 0 3 9 】

また、記憶素子 1 0 0 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、インダクタなどの、その他の回路素子を、さらに有していても良い。

【 0 0 4 0 】

図 1 に示した記憶素子 1 0 0 の動作の一例は、図 2 に示したタイミングチャートで示される。図 2 に示すタイミングチャートでは、記憶素子 1 0 0 の動作が期間 T 1 乃至期間 T 8 によって異なる。期間 T 1、期間 T 2、及び期間 T 8 では、論理素子 1 0 1 及び論理素子 1 0 2 におけるデータの書き込みと、保持と、読み出しとが行われる。期間 T 3 乃至期間 T 7 では、論理素子 1 0 1 及び論理素子 1 0 2 への電源電圧の供給の停止及び再開と、データの待避及び復帰とが行われる。

【 0 0 4 1 】

以下、各期間における記憶素子 1 0 0 の動作について詳細に説明する。なお、配線 1 1 3 には常にローレベルの電源電位 V S S が与えられているものとして、以下の説明を行う。

【 0 0 4 2 】

期間 T 1 では、配線 1 0 9 及び配線 1 1 0 を介して、データが記憶素子 1 0 0 に書き込まれる。具体的に、スイッチ 1 0 3 及びスイッチ 1 0 4 がオン（導通状態）となる。そして、データを含む信号の第 1 電位が、配線 1 0 9 からスイッチ 1 0 3 を介して論理素子 1 0 1 の入力端子に与えられる。また、第 1 電位の極性が反転することで得られる第 2 電位が、配線 1 1 0 からスイッチ 1 0 4 を介して論理素子 1 0 2 の入力端子に与えられる。

【 0 0 4 3 】

また、配線 1 1 1 及び配線 1 1 2 には、ハイレベルの電源電位 V D D が与えられており、電源電位 V S S と電源電位 V D D の差に相当する電源電圧が、論理素子 1 0 1 及び論理素子 1 0 2 に与えられている。よって、論理素子 1 0 1 及び論理素子 1 0 2 は、電源電圧が

10

20

30

40

50

与えられることで、書き込まれたデータを保持する。

【0044】

期間T2では、記憶素子100に書き込まれたデータが、論理素子101及び論理素子102により保持される。具体的に、スイッチ103及びスイッチ104がオフ（非導通状態）となる。また、配線111及び配線112には電源電位VDDが与えられており、電源電位VSSと電源電位VDDの差に相当する電源電圧が、論理素子101及び論理素子102に与えられている。そして、データを含む信号の第1電位が、論理素子101の入力端子及び論理素子102の出力端子において保持され、第2電位が、論理素子102の入力端子及び論理素子101の出力端子において保持される。

【0045】

期間T3では、論理素子101及び論理素子102により保持されているデータを、記憶回路120及び記憶回路121に待避させる。具体的に、スイッチ103及びスイッチ104はオフである。また、配線111及び配線112には、電源電位VDDが与えられており、電源電位VSSと電源電位VDDの差に相当する電源電圧が、論理素子101及び論理素子102に与えられている。そして、データを含む信号の第1電位が、論理素子101の入力端子及び論理素子102の出力端子から記憶回路120に書き込まれ、第2電位が、論理素子102の入力端子及び論理素子101の出力端子から記憶回路121に書き込まれることで、記憶回路120及び記憶回路121にデータが書き込まれる。

【0046】

期間T4では、記憶素子100への電源電圧の供給を停止する。具体的に、スイッチ103及びスイッチ104はオフである。そして、配線111及び配線112には、電源電位VSSが与えられる。よって、配線111及び配線112と配線113の電位差は限りなく0Vに近くなり、論理素子101及び論理素子102への電源電圧の供給は停止する。よって、論理素子101及び論理素子102を構成するトランジスタのオフ電流に起因するリーク電力を、限りなく0に近づけることができる。また、記憶回路120及び記憶回路121では、期間T3において書き込まれた論理素子101及び論理素子102のデータが、保持される。

【0047】

なお、期間T4において、配線111及び配線112に与える電源電位を、電源電位VDDから電源電位VSSに切り換えるタイミングは、同じであっても良い。或いは、配線111及び配線112のいずれか一方に与える電源電位を、電源電位VDDから電源電位VSSに先に切り換えるようにしても良い。

【0048】

期間T5では、論理素子101及び論理素子102のいずれか一方への、電源電圧の供給を再開する。具体的に、スイッチ103及びスイッチ104はオフである。そして、配線111に与えられる電源電位は、電源電位VSSから電源電位VDDに切り換えられ、配線112には電源電位VSSが与えられ続ける。上記動作により、論理素子101への電源電圧の供給が再開され、論理素子102への電源電圧の供給は停止した状態を維持する。

【0049】

或いは、配線112に与えられる電源電位が、電源電位VSSから電源電位VDDに切り換えられ、配線111には電源電位VSSが与えられ続けても良い。上記動作の場合、論理素子102への電源電圧の供給が再開され、論理素子101への電源電圧の供給が停止した状態を維持する。

【0050】

記憶回路120及び記憶回路121では、期間T3において書き込まれた論理素子101及び論理素子102のデータが、保持され続ける。

【0051】

期間T6では、記憶回路120及び記憶回路121に保持されているデータを、論理素子101及び論理素子102に復帰させる。具体的に、スイッチ103及びスイッチ104

10

20

30

40

50

はオフである。また、期間 T 5 と同様に、配線 1 1 1 には電源電位 V D D が与えられ、配線 1 1 2 には電源電位 V S S が与えられている。或いは、期間 T 5 と同様に、配線 1 1 2 に電源電位 V D D が与えられ、配線 1 1 1 に電源電位 V S S が与えられていても良い。そして、データを含む信号の第 1 電位が記憶回路 1 2 0 から読み出されて、論理素子 1 0 1 の入力端子及び論理素子 1 0 2 の出力端子に与えられ、第 2 電位が記憶回路 1 2 1 から読み出されて、論理素子 1 0 2 の入力端子及び論理素子 1 0 1 の出力端子に与えられることで、論理素子 1 0 1 及び論理素子 1 0 2 にデータが書き込まれる。

【 0 0 5 2 】

なお、期間 T 6 では、論理素子 1 0 1 及び論理素子 1 0 2 の一方に、電源電圧が与えられた状態にあるため、論理素子 1 0 1 の入力端子 (n o d e A) の電位と、出力端子 (n o d e B) の電位とは、いずれか一方がハイレベルに、他方がローレベルになり、互いにその極性が反転した状態になる。そして、論理素子 1 0 1 及び論理素子 1 0 2 の他方には、電源電圧が供給されていない状態であるので、入力端子 (n o d e A) の電位と出力端子 (n o d e B) の電位のどちらがハイレベルでどちらがローレベルなのかは、記憶回路 1 2 0 及び記憶回路 1 2 1 からのデータに従って定まる。

10

【 0 0 5 3 】

期間 T 7 では、論理素子 1 0 1 及び論理素子 1 0 2 のうち、期間 T 5 において電源電圧が停止された状態にある他方の論理素子に、電源電圧の供給を再開する。具体的に、スイッチ 1 0 3 及びスイッチ 1 0 4 はオフである。そして、期間 T 5 において、論理素子 1 0 1 への電源電圧の供給が再開されている場合、期間 T 7 において、配線 1 1 2 に与えられる電源電位は、電源電位 V S S から電源電位 V D D に切り換えられ、配線 1 1 1 には電源電位 V D D が与えられ続ける。上記動作により、論理素子 1 0 1 のみならず、論理素子 1 0 2 への電源電圧の供給が再開される。

20

【 0 0 5 4 】

或いは、期間 T 5 において、論理素子 1 0 2 への電源電圧の供給が再開されている場合、期間 T 7 において、配線 1 1 1 に与えられる電源電位が、電源電位 V S S から電源電位 V D D に切り換えられ、配線 1 1 2 には電源電位 V D D が与えられ続ける。上記動作により、論理素子 1 0 2 のみならず、論理素子 1 0 1 への電源電圧の供給が再開される。

【 0 0 5 5 】

なお、期間 T 7 では、上記他方の論理素子に電源電圧の供給を再開する際に、記憶回路 1 2 0 及び記憶回路 1 2 1 から論理素子 1 0 1 及び論理素子 1 0 2 に第 1 電位及び第 2 電位を与えている状態を維持しておく。具体的には、第 1 電位を記憶回路 1 2 0 から論理素子 1 0 1 の入力端子及び論理素子 1 0 2 の出力端子に与え、第 2 電位が記憶回路 1 2 1 から論理素子 1 0 2 の入力端子及び論理素子 1 0 1 の出力端子に与えた状態を、期間 T 6 から引き続き維持しておく。そして、上記他方の論理素子において電源電圧の供給が再開された後、記憶回路 1 2 0 及び記憶回路 1 2 1 から論理素子 1 0 1 及び論理素子 1 0 2 への第 1 電位及び第 2 電位の供給を停止する。

30

【 0 0 5 6 】

上記動作により、期間 T 7 では、期間 T 6 において論理素子 1 0 1 及び論理素子 1 0 2 に書き込まれたデータが、保持される。

40

【 0 0 5 7 】

期間 T 8 では、論理素子 1 0 1 及び論理素子 1 0 2 に保持されているデータが、配線 1 0 9 及び配線 1 1 0 を介して読み出される。具体的に、スイッチ 1 0 3 及びスイッチ 1 0 4 がオンとなる。そして、データを含む信号の第 1 電位が、論理素子 1 0 1 の入力端子からスイッチ 1 0 3 を介して配線 1 0 9 に与えられる。また、第 2 電位が、論理素子 1 0 2 の入力端子からスイッチ 1 0 4 を介して配線 1 1 0 に与えられる。

【 0 0 5 8 】

また、配線 1 1 1 及び配線 1 1 2 には、ハイレベルの電源電位 V D D が与えられており、電源電位 V S S と電源電位 V D D の差に相当する電源電圧が、論理素子 1 0 1 及び論理素子 1 0 2 に与えられている。

50

【 0 0 5 9 】

なお、期間 T 1、期間 T 2、及び期間 T 8において、記憶回路 1 2 0 及び記憶回路 1 2 1 は、上記データの書き込み及び読み出しが可能な状態にあっても良いし、上記データの書き込み及び読み出しが不可の状態にあっても良い。

【 0 0 6 0 】

本発明の一態様に係る記憶装置では、論理素子 1 0 1 に与えられる電源電圧と、論理素子 1 0 2 に与えられる電源電圧を別系統とすることで、期間 T 5 のように、記憶回路 1 2 0 及び記憶回路 1 2 1 に保持されていたデータを論理素子 1 0 1 及び論理素子 1 0 2 に戻す際に、論理素子 1 0 1 及び論理素子 1 0 2 において、一方に電源電圧を与えつつ、他方に電源電圧を与えない状態を、作ることができる。よって、論理素子 1 0 1 及び論理素子 1 0 2 のいずれか一方にのみ電源電圧を与える期間 T 5 の動作と、待避させていたデータを論理素子 1 0 1 及び論理素子 1 0 2 に書き込む期間 T 6 の動作と、論理素子 1 0 1 及び論理素子 1 0 2 の両方に電源電圧を与えることで上記データを論理素子 1 0 1 及び論理素子 1 0 2 に保持させる期間 T 7 の動作とを、同時にではなく、順に行うことができる。したがって、本発明の一態様に係る記憶装置では、記憶回路 1 2 0 及び記憶回路 1 2 1 に待避させていたデータを論理素子 1 0 1 及び論理素子 1 0 2 に戻した後でも、データの高信頼性を確保することができる。

10

【 0 0 6 1 】

次いで、図 1 に示した記憶素子 1 0 0 の具体的な構成の一例について、図 3 を用いて示す。

20

【 0 0 6 2 】

図 3 に示す記憶素子 1 0 0 は、論理素子 1 0 1 の一例に相当するインバータ 1 0 1 i と、論理素子 1 0 2 の一例に相当するインバータ 1 0 2 i と、スイッチ 1 0 3 と、スイッチ 1 0 4 と、記憶回路 1 2 0 の一例に相当するスイッチ 1 0 7 及び容量素子 1 0 5 と、記憶回路 1 2 1 の一例に相当するスイッチ 1 0 8 及び容量素子 1 0 6 とを有する。インバータ 1 0 1 i とインバータ 1 0 2 i は、入力端子が互いの出力端子に接続されている。

【 0 0 6 3 】

インバータ 1 0 1 i 及びインバータ 1 0 2 i は、配線 1 1 1 乃至配線 1 1 3 から電源電圧が与えられることで、スイッチ 1 0 3 及びスイッチ 1 0 4 を介して書き込まれたデータを、保持することができる。

30

【 0 0 6 4 】

容量素子 1 0 5 は、インバータ 1 0 1 i 及びインバータ 1 0 2 i に保持されているデータを必要に応じて記憶できるように、スイッチ 1 0 7 を介して、インバータ 1 0 1 i の入力端子に接続されている。また、容量素子 1 0 6 は、インバータ 1 0 1 i 及びインバータ 1 0 2 i に保持されているデータを必要に応じて記憶できるように、スイッチ 1 0 8 を介して、インバータ 1 0 2 i の入力端子に接続されている。

【 0 0 6 5 】

具体的に、容量素子 1 0 5 は、一対の電極間に誘電体を有するコンデンサであり、その一方の電極は、スイッチ 1 0 7 を介してインバータ 1 0 1 i の入力端子に接続され、他方の電極は、接地電位などの電位が与えられているノードに接続されている。また、容量素子 1 0 6 は、一対の電極間に誘電体を有するコンデンサであり、その一方の電極は、スイッチ 1 0 8 を介してインバータ 1 0 2 i の入力端子に接続され、他方の電極は、接地電位などの電位が与えられているノードに接続されている。

40

【 0 0 6 6 】

そして、本発明の一態様では、スイッチ 1 0 7 及びスイッチ 1 0 8 に、オフ電流が著しく小さいトランジスタを用いる。上記構成により、記憶素子 1 0 0 への電源電圧の供給が停止されても、スイッチ 1 0 7 及びスイッチ 1 0 8 をオフにすることで、記憶回路 1 2 0 及び記憶回路 1 2 1 においてデータを保持することができる。よって、記憶素子 1 0 0 への電源電圧の供給が停止する前に、インバータ 1 0 1 i 及びインバータ 1 0 2 i に保持されているデータを記憶回路 1 2 0 及び記憶回路 1 2 1 に待避させ、データが消失するのを防

50

ることができる。

【0067】

なお、記憶素子100は、必要に応じて、トランジスタ、ダイオード、抵抗素子、インダクタなどの、その他の回路素子を、さらに有していても良い。

【0068】

図3に示した記憶素子100の動作の一例は、図4に示したタイミングチャートで示される。図4に示すタイミングチャートでは、図2と同様に、記憶素子100の動作が期間T1乃至期間T8によって異なる。期間T1、期間T2、及び期間T8では、インバータ101i及びインバータ102iにおけるデータの書き込みと、保持と、読み出しとが行われる。期間T3乃至期間T7では、インバータ101i及びインバータ102iへの電源電圧の供給の停止及び再開と、データの待避及び復帰とが行われる。

10

【0069】

以下、各期間における、図3に示した記憶素子100の動作について説明する。ただし、スイッチ103及びスイッチ104の動作と、配線111及び配線112に与えられる電源電位については、全ての期間において図2に示したタイミングチャートの場合と同じであるので、本実施の形態では各期間におけるスイッチ107及びスイッチ108の動作について詳細に説明する。また、配線113には常にローレベルの電源電位VSSが与えられているものとして、以下の説明を行う。

【0070】

期間T1及び期間T2では、スイッチ107及びスイッチ108はオフとする。上記期間T1及び期間T2においてスイッチ107またはスイッチ108がオンであっても良いが、期間T1においてスイッチ107及びスイッチ108がオフの場合、記憶素子100へのデータの書き込み時に、容量素子105及び容量素子106において電荷が充放電されないで、記憶素子100へのデータの書き込みを高速に行うことができる。

20

【0071】

期間T3では、スイッチ107及びスイッチ108をオンとする。そして、データを含む信号の第1電位が、インバータ101iの入力端子及びインバータ102iの出力端子から容量素子105の一方の電極に与えられ、第2電位が、インバータ102iの入力端子及びインバータ101iの出力端子から容量素子106の一方の電極に与えられることで、記憶回路120及び記憶回路121にデータが書き込まれる。上記動作により、インバータ101i及びインバータ102iに保持されているデータに従って、スイッチ107及びスイッチ108を介して、容量素子105及び容量素子106に電荷が供給されるため、上記データを記憶回路120及び記憶回路121に待避させることができる。

30

【0072】

期間T4及び期間T5では、スイッチ107及びスイッチ108をオフとする。上記動作により、容量素子105及び容量素子106に供給された電荷が、保持される。

【0073】

期間T6では、スイッチ107及びスイッチ108をオンとする。そして、容量素子105により保持されていた第1電位が、記憶回路120から読み出されて、インバータ101iの入力端子及びインバータ102iの出力端子に与えられる。また、容量素子106により保持されていた第2電位が記憶回路121から読み出されて、インバータ102iの入力端子及びインバータ101iの出力端子に与えられる。上記動作により、インバータ101i及びインバータ102iにデータが書き込まれる。

40

【0074】

期間T6においては、インバータ102iに電源電圧が供給されないため、インバータ102iは動作しない。そのため、容量素子105がインバータ102iによって充放電されることはない。従って、インバータ102iへの電源電圧の供給が開始された時に、インバータ102iの誤動作によって容量素子105のデータが消失することはない。一方、容量素子106のデータは、インバータ101iへの電源電圧の供給が開始された時に、インバータ101iの誤動作により消失する可能性がある。しかし、容量素子105に

50

はデータが残っているので、容量素子 105 のデータを用いて、インバータ 102 i により容量素子 106 のデータが書き直される。具体的には、容量素子 105 のデータが、インバータ 102 i によりデジタル値が反転させられ、容量素子 106 に書き込まれる。

【0075】

期間 T7 及び期間 T8 では、インバータ 101 i 及びインバータ 102 i への電源電圧の供給が再開されるまで、スイッチ 107 及びスイッチ 108 をオンとする。そして、インバータ 101 i 及びインバータ 102 i への電源電圧の供給が再開された後、スイッチ 107 及びスイッチ 108 をオフとする。なお、インバータ 101 i 及びインバータ 102 i への電源電圧の供給が再開された後も、スイッチ 107 及びスイッチ 108 をオンの状態にしておいても良いが、期間 T8 においてスイッチ 107 及びスイッチ 108 がオフの場合、記憶素子 100 からのデータの読み出し時に、容量素子 105 及び容量素子 106 において電荷が充放電されないので、記憶素子 100 からのデータの読み出しを高速に行うことができる。

10

【0076】

次いで、図 3 に示した記憶素子 100 のさらに具体的な構成の一例について、図 5 を用いて示す。

【0077】

図 5 に示す記憶素子 100 では、スイッチ 103 としてトランジスタ 103 t を用い、スイッチ 104 としてトランジスタ 104 t を用い、スイッチ 107 としてトランジスタ 107 t を用い、スイッチ 108 としてトランジスタ 108 t を用いている。トランジスタ 103 t 及びトランジスタ 104 t と、トランジスタ 107 t 及びトランジスタ 108 t とは、n チャネル型であっても p チャネル型であっても、どちらでも良い。図 5 では、トランジスタ 103 t 及びトランジスタ 104 t と、トランジスタ 107 t 及びトランジスタ 108 t とが全て n チャネル型である場合を例示している。

20

【0078】

また、図 5 では、インバータ 101 i は p チャネル型のトランジスタ 116 と、n チャネル型のトランジスタ 117 とを有する。インバータ 102 i は p チャネル型のトランジスタ 114 と、n チャネル型のトランジスタ 115 とを有する。

【0079】

そして、トランジスタ 103 t のソース端子及びドレイン端子は、一方が配線 109 に接続され、他方がトランジスタ 116 及びトランジスタ 117 のゲート電極に接続されている。トランジスタ 103 t のゲート電極は、配線 118 に接続されている。トランジスタ 104 t のソース端子及びドレイン端子は、一方が配線 110 に接続され、他方がトランジスタ 114 及びトランジスタ 115 のゲート電極に接続されている。トランジスタ 104 t のゲート電極は、配線 118 に接続されている。

30

【0080】

なお、トランジスタのソース端子とは、活性層の一部であるソース領域、或いは活性層に接続されたソース電極を意味する。同様に、トランジスタのドレイン端子とは、活性層の一部であるドレイン領域、或いは活性層に接続されたドレイン電極を意味する。

【0081】

40

また、トランジスタ 107 t のソース端子及びドレイン端子は、一方がトランジスタ 116 及びトランジスタ 117 のゲート電極に接続され、他方が容量素子 105 の一方の電極に接続されている。トランジスタ 107 t のゲート電極は、配線 119 に接続されている。トランジスタ 108 t のソース端子及びドレイン端子は、一方がトランジスタ 114 及びトランジスタ 115 のゲート電極に接続され、他方が容量素子 106 の一方の電極に接続されている。トランジスタ 108 t のゲート電極は、配線 119 に接続されている。

【0082】

また、トランジスタ 114 のソース端子及びドレイン端子は、一方が配線 112 に接続され、他方がトランジスタ 116 及びトランジスタ 117 のゲート電極に接続されている。トランジスタ 115 のソース端子及びドレイン端子は、一方が配線 113 に接続され、他

50

方がトランジスタ 116 及びトランジスタ 117 のゲート電極に接続されている。トランジスタ 116 のソース端子及びドレイン端子は、一方が配線 111 に接続され、他方がトランジスタ 114 及びトランジスタ 115 のゲート電極に接続されている。トランジスタ 117 のソース端子及びドレイン端子は、一方が配線 113 に接続され、他方がトランジスタ 114 及びトランジスタ 115 のゲート電極に接続されている。

【0083】

上記構成を有するインバータ 101 i では、トランジスタ 116 及びトランジスタ 117 のゲート電極が、その入力端子としての機能を有する。また、インバータ 101 i では、トランジスタ 116 のソース端子及びドレイン端子の他方と、トランジスタ 117 のソース端子及びドレイン端子の他方とが、その出力端子としての機能を有する。上記構成を有するインバータ 102 i では、トランジスタ 114 及びトランジスタ 115 のゲート電極が、その入力端子としての機能を有する。また、インバータ 102 i では、トランジスタ 114 のソース端子及びドレイン端子の他方と、トランジスタ 115 のソース端子及びドレイン端子の他方とが、その出力端子としての機能を有する。

10

【0084】

なお、記憶素子 100 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、インダクタなどの、その他の回路素子を、さらに有していても良い。

【0085】

また、図 5 では、各スイッチが一のトランジスタで構成されている場合を例示しているが、本発明はこの構成に限定されない。本発明の一態様では、複数のトランジスタにより一のスイッチが構成されていても良い。一のスイッチが複数のトランジスタで構成されている場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

20

【0086】

本明細書において、トランジスタが直列に接続されている状態とは、第 1 のトランジスタのソース端子とドレイン端子のいずれか一方のみが、第 2 のトランジスタのソース端子とドレイン端子のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第 1 のトランジスタのソース端子とドレイン端子のいずれか一方が、第 2 のトランジスタのソース端子とドレイン端子のいずれか一方に接続され、第 1 のトランジスタのソース端子とドレイン端子の他方が第 2 のトランジスタのソース端子とドレイン端子の他方に接続されている状態を意味する。

30

【0087】

また、トランジスタが有するソース端子とドレイン端子は、トランジスタのチャネル型、及びソース端子とドレイン端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、n チャネル型のトランジスタでは、ソース端子とドレイン端子のうち、低い電位が与えられる方がソース端子と呼ばれ、高い電位が与えられる方がドレイン端子と呼ばれる。また、p チャネル型のトランジスタでは、ソース端子とドレイン端子のうち、低い電位が与えられる方がドレイン端子と呼ばれ、高い電位が与えられる方がソース端子と呼ばれる。本明細書では、便宜上、ソース端子とドレイン端子とが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソース端子とドレイン端子の呼び方が入れ替わる。

40

【0088】

また、図 5 では、各スイッチを構成しているトランジスタがシングルゲート構造である場合を例示しているが、上記トランジスタは、電氣的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0089】

図 5 に示した記憶素子 100 の動作の一例を、図 6 のタイミングチャートに示す。図 6 では、トランジスタ 103 t 及びトランジスタ 104 t と、トランジスタ 107 t 及びトランジスタ 108 t とが、全て n チャネル型であると仮定したときの、配線 111 及び配線 112 と、配線 118 及び配線 119 とにおける電位の時間変化を示している。また、図

50

6に示すタイミングチャートでは、図2と同様に、記憶素子100の動作が期間T1乃至期間T8によって異なる。期間T1、期間T2、及び期間T8では、インバータ101i及びインバータ102iにおけるデータの書き込みと、保持と、読み出しとが行われる。期間T3乃至期間T7では、インバータ101i及びインバータ102iへの電源電圧の供給の停止及び再開と、データの待避及び復帰とが行われる。

【0090】

以下、図5に示した記憶素子100の各期間における動作について詳細に説明する。なお、配線113には常に電源電位VSSが与えられているものとして、以下の説明を行う。

【0091】

期間T1では、配線118にハイレベルの電位VHが与えられるので、トランジスタ103t及びトランジスタ104tはオンとなる。よって、配線109及び配線110のデータが、インバータ101i及びインバータ102iに書き込まれる。また、配線119にローレベルの電位VLが与えられるので、トランジスタ107t及びトランジスタ108tはオフである。配線111及び配線112には、電源電位VDDが与えられており、電源電位VSSと電源電位VDDの差に相当する電源電圧が、インバータ101i及びインバータ102iに与えられている。

10

【0092】

期間T2では、配線118に電位VLが与えられるので、トランジスタ103t及びトランジスタ104tはオフとなる。よって、インバータ101i及びインバータ102iは、データを保持する。また、配線119に電位VLが与えられるので、トランジスタ107t及びトランジスタ108tはオフである。配線111及び配線112には、電源電位VDDが与えられており、電源電位VSSと電源電位VDDの差に相当する電源電圧が、インバータ101i及びインバータ102iに与えられている。

20

【0093】

期間T3では、配線118に電位VLが与えられるので、トランジスタ103t及びトランジスタ104tはオフである。また、配線119に電位VHが与えられるので、トランジスタ107t及びトランジスタ108tはオンとなる。よって、インバータ101i及びインバータ102iのデータが、容量素子105及び容量素子106に書き込まれる。配線111及び配線112には、電源電位VDDが与えられており、電源電位VSSと電源電位VDDの差に相当する電源電圧が、インバータ101i及びインバータ102iに与えられている。

30

【0094】

期間T4では、配線118に電位VLが与えられるので、トランジスタ103t及びトランジスタ104tはオフである。また、配線119に電位VLが与えられるので、トランジスタ107t及びトランジスタ108tはオフである。配線111及び配線112には、電源電位VSSが与えられるので、インバータ101i及びインバータ102iへの電源電圧の供給は停止している。よって、トランジスタ114及びトランジスタ115のオフ電流により、配線112と配線113の間に流れる電流を限りなく0に近づけることができる。また、トランジスタ116及びトランジスタ117のオフ電流により、配線111と配線113の間に流れる電流を限りなく0に近づけることができる。よって、インバータ101i及びインバータ102iを構成するトランジスタのオフ電流に起因するリーク電力を、限りなく0に近づけることができる。そして、トランジスタ107t及びトランジスタ108tのオフ電流が十分に小さければ、容量素子105及び容量素子106のデータは、インバータ101i及びインバータ102iへの電源電圧の供給が停止した後も、保持され続ける。

40

【0095】

なお、特に断りがない限り、本明細書でトランジスタのオフ電流とは、nチャネル型のトランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも高い電圧とした状態において、ソース端子の電圧を基準としたときのゲート電極の電圧が0V以下であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。或いは、本明細書

50

でオフ電流とは、pチャネル型のトランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも低い電圧とした状態において、ソース端子の電圧を基準としたときのゲート電極の電圧が0V以上であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。

【0096】

また、図6に示すタイミングチャートでは、期間T3から期間T4へ移行する際に、配線112に与える電源電位を電源電位VDDから電源電位VSSに切り換えた後で、配線111に与える電源電位を電源電位VDDから電源電位VSSに切り換えている。本発明の一態様では、配線111に与える電源電位と、配線112に与える電源電位とを、同時に電源電位VDDから電源電位VSSに切り換えても良い。或いは、本発明の一態様では、配線111に与える電源電位を電源電位VDDから電源電位VSSに切り換えた後で、配線112に与える電源電位を電源電位VDDから電源電位VSSに切り換えても良い。

10

【0097】

期間T5では、配線118に電位VLが与えられるので、トランジスタ103t及びトランジスタ104tはオフである。また、配線119に電位VLが与えられるので、トランジスタ107t及びトランジスタ108tはオフである。配線111には、電源電位VDDが与えられるので、インバータ101iへの電源電圧の供給が再開される。また、配線112には電源電位VSSが与えられるので、インバータ102iへの電源電圧の供給は停止している。

【0098】

期間T6では、配線118に電位VLが与えられるので、トランジスタ103t及びトランジスタ104tはオフである。また、配線119に電位VHが与えられるので、トランジスタ107t及びトランジスタ108tはオンとなる。配線111には、電源電位VDDが与えられており、インバータ101iには電源電圧が供給されている。また、配線112には電源電位VSSが与えられるので、インバータ102iへの電源電圧の供給は停止している。

20

【0099】

期間T7では、配線118に電位VLが与えられるので、トランジスタ103t及びトランジスタ104tはオフである。また、配線119に与えられる電位は、電位VHから電位VLに変化するので、トランジスタ107t及びトランジスタ108tはオンからオフとなる。配線111には、電源電位VDDが与えられており、インバータ101iには電源電圧が供給されている。また、配線112には電源電位VDDが与えられるので、インバータ102iへの電源電圧の供給が再開される。

30

【0100】

なお、図6に示すタイミングチャートでは、期間T5においてインバータ101iへの電源電圧の供給を再開し、期間T7においてインバータ102iへの電源電圧の供給を再開しているが、期間T5においてインバータ102iへの電源電圧の供給を再開し、期間T7においてインバータ101iへの電源電圧の供給を再開しても良い。この場合、期間T5及び期間T6において、配線111に電源電位VSSが、配線112に電源電位VDDが与えられる。

40

【0101】

期間T8では、配線118にハイレベルの電位VHが与えられるので、トランジスタ103t及びトランジスタ104tはオンとなる。また、配線119にローレベルの電位VLが与えられるので、トランジスタ107t及びトランジスタ108tはオフである。配線111及び配線112には、電源電位VDDが与えられており、電源電位VSSと電源電位VDDの差に相当する電源電圧が、インバータ101i及びインバータ102iに与えられている。

【0102】

なお、期間T1、期間T2、及び期間T8において、記憶回路120及び記憶回路121は、上記データの書き込み及び読み出しが可能な状態にあっても良いし、上記データの書

50

き込み及び読み出しが不可の状態であっても良い。すなわち、上記期間 T 1、期間 T 2、及び期間 T 8 において、配線 1 1 9 にハイレベルの電位 V H が与えられていても良い。

【0103】

図 5 に示す記憶素子 1 0 0 では、トランジスタ 1 0 7 t をオフにすることで容量素子 1 0 5 における電荷の保持を行う。また、トランジスタ 1 0 8 t をオフにすることで容量素子 1 0 6 における電荷の保持を行う。よって、トランジスタ 1 0 7 t 及びトランジスタ 1 0 8 t は、オフ電流が小さいことが望ましい。オフ電流が小さいトランジスタ 1 0 7 t 及びトランジスタ 1 0 8 t をスイッチ 1 0 7 及びスイッチ 1 0 8 として用いることで、容量素子 1 0 5 及び容量素子 1 0 6 からリークする電荷の量を小さく抑えることができるので、記憶回路 1 2 0 及び記憶回路 1 2 1 においてデータを確実に保持することができる。

10

【0104】

バンドギャップが広く、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された半導体をチャネル形成領域に含むトランジスタは、オフ電流が著しく小さい。上記トランジスタをトランジスタ 1 0 7 t 及びトランジスタ 1 0 8 t に用いることで、記憶回路 1 2 0 及び記憶回路 1 2 1 においてデータを確実に保持することができる。

【0105】

なお、トランジスタ 1 0 3 t、トランジスタ 1 0 4 t、トランジスタ 1 1 4 乃至トランジスタ 1 1 7 は、酸化物半導体などのバンドギャップの広い半導体をチャネル形成領域に含むトランジスタであっても良いし、シリコンまたはゲルマニウムなどの半導体をチャネル形成領域に含むトランジスタであっても良い。結晶性を有するシリコンまたはゲルマニウムなどの半導体をチャネル形成領域に含むトランジスタは、移動度が高い。上記トランジスタをトランジスタ 1 0 3 t、トランジスタ 1 0 4 t、トランジスタ 1 1 4 乃至トランジスタ 1 1 7 に用いることで、記憶素子 1 0 0 におけるデータの書き込み及び読み出しを、高速に行うことができる。

20

【0106】

また、トランジスタ 1 0 3 t、トランジスタ 1 0 4 t、トランジスタ 1 1 4 乃至トランジスタ 1 1 7 が、シリコンまたはゲルマニウムなどの半導体をチャネル形成領域に含むトランジスタであり、トランジスタ 1 0 7 t 及びトランジスタ 1 0 8 t が、酸化物半導体をチャネル形成領域に含むトランジスタである場合、トランジスタ 1 0 3 t、トランジスタ 1 0 4 t、トランジスタ 1 1 4 乃至トランジスタ 1 1 7 と、トランジスタ 1 0 7 t 及びトランジスタ 1 0 8 t とを積層することで、記憶装置の高集積化を実現することができる。

30

【0107】

なお、図 3 及び図 5 に示した構成を有する記憶素子 1 0 0 は、M R A M などを記憶回路に用いた記憶素子に比べて、オーバーヘッドが小さい。具体的に、M R A M は、1 セルあたりの書き込み電流が $50 \mu A \sim 500 \mu A$ と言われているが、図 3 及び図 5 に示した構成を有する記憶素子 1 0 0 では、容量素子への電荷の供給によりデータの待避を行っている。そのため、図 3 及び図 5 に示した構成を有する本発明の一態様では、電源の遮断に要するオーバーヘッドを M R A M の場合よりも小さくすることができるので、損益分岐時間を短くすることができる。よって、上記記憶装置を用いた本発明の一態様に係る半導体装置では、M R A M を用いる場合より消費電力を抑えることができる。

40

【0108】

次いで、図 7 (A) に、記憶装置の構成を一例として示す。図 7 (A) に示す記憶装置は、スイッチ 1 3 0 及びスイッチ 1 3 1 と、記憶素子 1 0 0 を複数有する記憶素子群 1 7 0 とを有している。スイッチ 1 3 0 を介して配線 1 1 1 に与えられた電源電位 V D D が、各記憶素子 1 0 0 に供給される。また、スイッチ 1 3 1 を介して配線 1 1 2 に与えられた電源電位 V D D が、各記憶素子 1 0 0 に供給される。さらに、各記憶素子 1 0 0 には、配線 1 1 3 を介して電源電位 V S S が与えられる。

【0109】

50

図 7 (A) では、スイッチ 1 3 0 及びスイッチ 1 3 1 として、それぞれ一のトランジスタを用いている場合を例示している。そして、スイッチ 1 3 0 は信号 S i g A によりスイッチングが制御され、スイッチ 1 3 1 は信号 S i g B によりスイッチングが制御される。スイッチ 1 3 0 及びスイッチ 1 3 1 により、各記憶素子 1 0 0 への、二系統の電源電位 V D D の供給を制御することができる。

【 0 1 1 0 】

また、図 7 (A) では、各記憶素子 1 0 0 に、二系統の電源電位 V D D が供給される場合を例示しているが、本発明の一態様に係る記憶装置は、各記憶素子 1 0 0 に、二系統の電源電位 V S S が供給される構成を有していても良い。

【 0 1 1 1 】

図 7 (B) に示す記憶装置は、スイッチ 1 3 2 及びスイッチ 1 3 3 と、記憶素子 1 0 0 を複数有する記憶素子群 1 7 0 とを有している。スイッチ 1 3 2 を介して配線 1 5 2 に与えられた電源電位 V S S が、各記憶素子 1 0 0 に供給される。また、スイッチ 1 3 3 を介して配線 1 5 1 に与えられた電源電位 V S S が、各記憶素子 1 0 0 に供給される。さらに、各記憶素子 1 0 0 には、配線 1 5 0 を介して電源電位 V D D が与えられる。

【 0 1 1 2 】

図 7 (B) では、スイッチ 1 3 2 及びスイッチ 1 3 3 として、それぞれ一のトランジスタを用いている場合を例示している。そして、スイッチ 1 3 2 は信号 S i g A によりスイッチングが制御され、スイッチ 1 3 3 は信号 S i g B によりスイッチングが制御される。スイッチ 1 3 2 及びスイッチ 1 3 3 により、各記憶素子 1 0 0 への、二系統の電源電位 V S S の供給を制御することができる。

【 0 1 1 3 】

(実施の形態 2)

本実施の形態では、本発明の半導体装置の一形態に相当する C P U の、具体的な一形態について説明する。図 8 に、C P U の構成をブロック図で一例として示す。なお、本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

【 0 1 1 4 】

C P U 6 0 0 は、制御装置 6 0 1 と、演算装置に相当する A L U (A r i t h m e t i c l o g i c u n i t) 6 0 2 と、データキャッシュ 6 0 3 と、命令キャッシュ 6 0 4 と、プログラムカウンタ 6 0 5 と、命令レジスタ 6 0 6 と、主記憶装置 6 0 7 と、レジスタファイル 6 0 8 とを有する。

【 0 1 1 5 】

制御装置 6 0 1 は、入力された命令をデコードし、実行する機能を有する。A L U 6 0 2 は、四則演算、論理演算などの各種演算処理を行う機能を有する。データキャッシュ 6 0 3 は、使用頻度の高いデータを一時的に記憶しておく緩衝記憶装置である。命令キャッシュ 6 0 4 は、制御装置 6 0 1 に送られる命令 (プログラム) のうち、使用頻度の高い命令を一時的に記憶しておく緩衝記憶装置である。プログラムカウンタ 6 0 5 は、次に実行する命令のアドレスを記憶するレジスタである。命令レジスタ 6 0 6 は、次に実行する命令を記憶するレジスタである。主記憶装置 6 0 7 には、A L U 6 0 2 における演算処理に用いられるデータや、制御装置 6 0 1 において実行される命令が記憶されている。レジスタファイル 6 0 8 は、汎用レジスタを含む複数のレジスタを有しており、主記憶装置 6 0 7 から読み出されたデータ、A L U 6 0 2 の演算処理の途中で得られたデータ、或いは A L U 6 0 2 の演算処理の結果得られたデータ、などを記憶することができる。

【 0 1 1 6 】

次いで、C P U 6 0 0 の動作について説明する。

【 0 1 1 7 】

制御装置 6 0 1 は、プログラムカウンタ 6 0 5 に記憶されている、次に実行する命令のアドレスに従い、命令キャッシュ 6 0 4 の対応するアドレスから命令を読み出し、命令レジ

10

20

30

40

50

スタ 6 0 6 に上記命令を記憶させる。命令キャッシュ 6 0 4 の対応するアドレスに、該当する命令が記憶されていない場合は、主記憶装置 6 0 7 の対応するアドレスにアクセスし、主記憶装置 6 0 7 から命令を読み出し、命令レジスタ 6 0 6 に記憶させる。この場合、上記命令を命令キャッシュ 6 0 4 にも記憶させておく。

【 0 1 1 8 】

制御装置 6 0 1 は、命令レジスタ 6 0 6 に記憶されている命令をデコードし、命令を実行する。具体的には、上記命令に従って A L U 6 0 2 の動作を制御するための各種信号を生成する。

【 0 1 1 9 】

実行すべき命令が演算命令の場合は、レジスタファイル 6 0 8 に記憶されているデータを用いて A L U 6 0 2 に演算処理を行わせ、その演算処理の結果をレジスタファイル 6 0 8 に格納する。

10

【 0 1 2 0 】

実行すべき命令がロード命令の場合は、制御装置 6 0 1 は、まずデータキャッシュ 6 0 3 の対応するアドレスにアクセスし、該当するデータがデータキャッシュ 6 0 3 中にあるか否かを確認する。該当するデータがある場合は、上記データをデータキャッシュ 6 0 3 の対応するアドレスからレジスタファイル 6 0 8 にコピーする。該当するデータがない場合は、上記データを主記憶装置 6 0 7 の対応するアドレスからデータキャッシュ 6 0 3 の対応するアドレスにコピーした後、データキャッシュ 6 0 3 の対応するアドレスからレジスタファイル 6 0 8 に上記データをコピーする。なお、該当するデータがない場合は、上述のように低速な主記憶装置 6 0 7 にアクセスする必要があるため、データキャッシュ 6 0 3 などの緩衝記憶装置にのみアクセスする場合よりも、命令の実行に時間を要する。しかし、上記データのコピーに加えて、主記憶装置 6 0 7 における当該データのアドレス及びその近傍のアドレスのデータも緩衝記憶装置にコピーしておくことで、主記憶装置 6 0 7 における当該データのアドレス及びその近傍のアドレスへの 2 度目以降のアクセスを、高速に行うことができる。

20

【 0 1 2 1 】

実行すべき命令がストア命令の場合は、レジスタファイル 6 0 8 のデータを、データキャッシュ 6 0 3 の対応するアドレスに記憶させる。このとき、制御装置 6 0 1 は、まずデータキャッシュ 6 0 3 の対応するアドレスにアクセスし、該当するデータがデータキャッシュ 6 0 3 中に格納できるか否かを確認する。格納できる場合は、上記データをレジスタファイル 6 0 8 からデータキャッシュ 6 0 3 の対応するアドレスにコピーする。格納できない場合は、データキャッシュ 6 0 3 の一部領域に新たに対応するアドレスを割り振り、上記データをレジスタファイル 6 0 8 からデータキャッシュ 6 0 3 の対応するアドレスにコピーする。なお、データキャッシュ 6 0 3 にデータをコピーしたら直ちに、主記憶装置 6 0 7 にも上記データをコピーする構成も可能である。また、幾つかのデータをデータキャッシュ 6 0 3 にコピーした後、それらのデータをまとめて主記憶装置 6 0 7 にコピーする構成も可能である。

30

【 0 1 2 2 】

そして、制御装置 6 0 1 は、命令の実行が終了すると、再度プログラムカウンタ 6 0 5 にアクセスし、命令レジスタ 6 0 6 から読み出した命令をデコード、実行するという上記動作を繰り返す。

40

【 0 1 2 3 】

本発明の一態様では、データキャッシュ 6 0 3 や命令キャッシュ 6 0 4 などの緩衝記憶装置に、上記実施の形態で示した記憶装置を用いることで、電源電圧の供給の停止による緩衝記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を停止する前に保持していたデータの待避を短時間で行うことができ、さらに、電源電圧の供給を再開した後、短時間で上記データを復帰することができる。よって、C P U 6 0 0 全体、もしくは C P U 6 0 0 を構成する各種回路において、6 0 秒のように長い時間であっても、ミリ秒程度の短い時間であっても、電源電圧の供給の停止を行うことができる。従って、C P

50

Ｕ６００の消費電力を小さく抑えることができる。

【０１２４】

次いで、ＣＰＵ６００を有する半導体装置６５０の構成を、一例として図９に示す。図９に示す半導体装置６５０は、ＣＰＵ６００と、パワーコントローラ６５１と、スイッチ６５２と、ＢＵＦ（バッファ）６５３とを有する。

【０１２５】

ＣＰＵ６００は、パワーコントローラ６５１、ＢＵＦ６５３の動作を統括的に制御する機能を有する。ＢＵＦ６５３は、半導体装置６５０に入力されたデータをＣＰＵ６００に供給する機能を有する。

【０１２６】

パワーコントローラ６５１は、ＣＰＵ６００からの命令に従って、ＣＰＵ６００に、電源電圧及び駆動信号の供給を制御する機能を有する。ＣＰＵ６００は、パワーコントローラ６５１からの電源電圧及び駆動信号の供給が行われることで、動作状態となる。また、ＣＰＵ６００は、パワーコントローラ６５１からの電源電圧及び駆動信号の供給が停止されることで、停止状態となる。

【０１２７】

具体的に、パワーコントローラ６５１は、スイッチ６５２のオンまたはオフを制御するための、信号ＳｉｇＡ及びＳｉｇＢを生成する機能を有する。スイッチ６５２は、信号ＳｉｇＡ及びＳｉｇＢに従ってオンまたはオフのいずれかの状態が選択される。スイッチ６５２がオンだと、電源電位（図９では電源電位ＶＤＤを例示している）がスイッチ６５２を介してＣＰＵ６００に供給され、スイッチ６５２がオフだと、電源電位はＣＰＵ６００に供給されない。

【０１２８】

スイッチ６５２は、例えば図７（Ａ）に示したスイッチ１３０及びスイッチ１３１、または図７（Ｂ）に示したスイッチ１３２及びスイッチ１３３などを有する。

【０１２９】

また、ＣＰＵ６００の駆動信号には、クロック信号Ｃ－ＣＬＫなどがある。パワーコントローラ６５１は、半導体装置６５０に入力されたクロック信号ＣＬＫから、ＣＰＵ６００で用いられるクロック信号Ｃ－ＣＬＫを生成する機能を有する。

【０１３０】

次いで、図９に示した半導体装置６５０の動作の一例について説明する。

【０１３１】

電源電圧の供給を停止する際、まずＣＰＵ６００は、パワーコントローラ６５１に、ＣＰＵ６００への電源電圧及び駆動信号の供給を停止するよう、命令する。そして、上記命令に従って、パワーコントローラ６５１は、信号ＳｉｇＡ及びＳｉｇＢによりスイッチ６５２をオフさせることで、ＣＰＵ６００への電源電圧の供給を停止する。具体的に、本発明の一態様では、まず、ＣＰＵ６００では、緩衝記憶装置内において記憶回路へのデータの待避を行う。次いで、クロック信号Ｃ－ＣＬＫのＣＰＵ６００への供給を停止した後、二系統で行われている緩衝記憶装置への電源電圧の供給を両方とも停止する。

【０１３２】

パワーコントローラ６５１が、ＣＰＵ６００への電源電圧及び駆動信号の供給を停止すると、ＣＰＵ６００は停止状態になる。

【０１３３】

なお、ＣＰＵ６００への電源電圧の供給が停止した後に、ＣＰＵ６００への駆動信号の供給を停止させても良い。ただし、ＣＰＵ６００への駆動信号の供給を停止した後に、ＣＰＵ６００への電源電圧の供給を停止することで、ＣＰＵ６００が誤動作を起こすことなく、ＣＰＵ６００を停止状態にすることができるので好ましい。

【０１３４】

各種命令が半導体装置６５０に入力されると、パワーコントローラ６５１により電源電圧の供給が再開される。パワーコントローラ６５１は、上記命令の入力が行われると、Ｃ

10

20

30

40

50

U 6 0 0 への電源電圧及び駆動信号の供給を再開する。

【 0 1 3 5 】

具体的に、まず、パワーコントローラ 6 5 1 は、緩衝記憶装置への二系統の電源電圧の供給のうち、いずれか一方を再開する。次いで、C P U 6 0 0 では、緩衝記憶装置内において、記憶回路に待避させておいたデータを論理素子に書き込むことで、当該データを復帰させる。その後、緩衝記憶装置への二系統の電源電圧の供給のうち、他方を再開させる。そして、クロック信号 C - C L K の C P U 6 0 0 への供給を再開する。C P U 6 0 0 は、電源電圧及び駆動信号の供給が再開されることで、再び動作状態となる。

【 0 1 3 6 】

なお、C P U 6 0 0 への駆動信号の供給を再開した後に、C P U 6 0 0 への電源電圧の供給を再開しても良い。ただし、C P U 6 0 0 への電源電圧の供給を再開した後に、C P U 6 0 0 への駆動信号の供給を再開することで、C P U 6 0 0 が誤動作を起こすことなく、C P U 6 0 0 を動作状態にすることができる。

10

【 0 1 3 7 】

上記のように C P U 6 0 0 がパワーコントローラ 6 5 1 を制御する方式に換えて、パワーコントローラ 6 5 1 の動作を、ソフトウェアすなわち B I O S (b a s i c i n p u t / o u t p u t s y s t e m) やオペレーティングシステムと連動する電源管理プログラムによって制御することもできる。

【 0 1 3 8 】

例えば、B I O S によって C P U 6 0 0 が新たな命令をフェッチしないことを感知したとき、パワーコントローラ 6 5 1 にスイッチ 6 5 2 をオフにする命令を出力させるようにする。

20

【 0 1 3 9 】

また、半導体装置 6 5 0 がコンピュータに搭載されているとき、オペレーティングシステム上で動作する電源管理プログラムによってパワーコントローラ 6 5 1 を制御するようにしても良い。電源管理プログラムは、C P U 6 0 0 の動作状態、またはハードディスクやキーボードなどの入力デバイスが一定期間動作していないことを検知して、パワーコントローラ 6 5 1 にスイッチ 6 5 2 をオフにする命令を与える。あるいは、電源管理プログラムによらず、ファンクションキーを設定しておき、使用者の意思によってパワーコントローラ 6 5 1 の動作を制御する信号を入力されるようにすることもできる。

30

【 0 1 4 0 】

次いで、図 1 0 に、一列の記憶素子 1 0 0 に対応した、プリチャージ回路 1 6 1、スイッチ回路 1 6 2、センスアンプ 1 6 3、及び出力回路 1 6 4 の接続構造を例示する。なお、図 1 0 では、図 1 に示した記憶素子 1 0 0 の一つを、例示している。

【 0 1 4 1 】

プリチャージ回路 1 6 1 は、データの読み出し前に、配線 1 0 9 及び配線 1 1 0 の電位をリセットする機能を有する。スイッチ回路 1 6 2 は、記憶素子 1 0 0 に接続された配線 1 0 9 及び配線 1 1 0 と、センスアンプ 1 6 3 及び出力回路 1 6 4 との間の接続を制御する機能を有する。

40

【 0 1 4 2 】

センスアンプ 1 6 3 は、記憶素子 1 0 0 からデータを読み出すときに、配線 1 0 9 と配線 1 1 0 の電位差を増幅させる機能を有する。また、センスアンプ 1 6 3 は、記憶素子 1 0 0 から読み出されたデータを一時的に記憶する機能を有する。出力回路 1 6 4 は、センスアンプ 1 6 3 により増幅された電位差を用いて、データを読み出す機能を有する。

【 0 1 4 3 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【 0 1 4 4 】

(実施の形態 3)

本実施の形態では、図 5 に示した記憶素子 1 0 0 を有する記憶装置の、断面構造の一例について説明する。なお、本実施の形態では、トランジスタ 1 0 3 t、トランジスタ 1 0 4

50

t、トランジスタ114乃至トランジスタ117が、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体を活性層に用い、トランジスタ107t及びトランジスタ108tが、酸化物半導体を活性層に用いる場合を例に挙げて、記憶素子100の断面構造について説明する。

【0145】

なお、シリコンとしては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0146】

図11に、pチャネル型のトランジスタ114及びnチャネル型のトランジスタ115と、容量素子105と、トランジスタ107tの構成を、断面図で一例として示す。

【0147】

図11に示す記憶装置は、その表面に絶縁膜201が形成された基板200上に、トランジスタ115と、トランジスタ114とを有する。

【0148】

トランジスタ115は、結晶性を有するシリコンを有する半導体膜203nと、半導体膜203n上のゲート絶縁膜204nと、ゲート絶縁膜204nを間に挟んで半導体膜203nと重なる位置に設けられたゲート電極205nと、半導体膜203nに接続された導電膜206及び導電膜207とを有する。そして、半導体膜203nは、チャネル形成領域として機能する第1の領域208と、ソース領域またはドレイン領域として機能する第2の領域209及び第2の領域210とを有する。第2の領域209及び第2の領域210は、第1の領域208を間に挟んでいる。なお、図11では、半導体膜203nが、第1の領域208と第2の領域209及び第2の領域210との間に、LDD(Lightly Doped Drain)領域として機能する第3の領域211及び第3の領域212を有している場合を例示している。

【0149】

また、トランジスタ114は、結晶性を有するシリコンを有する半導体膜203pと、半導体膜203p上のゲート絶縁膜204pと、ゲート絶縁膜204pを間に挟んで半導体膜203pと重なる位置に設けられたゲート電極205pと、半導体膜203pに接続された導電膜207及び導電膜213とを有する。そして、半導体膜203pは、チャネル形成領域として機能する第1の領域214と、ソース領域またはドレイン領域として機能する第2の領域215及び第2の領域216とを有する。第2の領域215及び第2の領域216は、第1の領域214を間に挟んでいる。なお、図11では、半導体膜203pが、第1の領域214と第2の領域215及び第2の領域216との間に、LDD領域として機能する第3の領域217及び第3の領域218を有している場合を例示している。

【0150】

なお、図11では、トランジスタ115と、トランジスタ114とが導電膜207を共有している。

【0151】

また、図11では、トランジスタ115と、トランジスタ114とが、薄膜の半導体膜を用いている場合を例示しているが、トランジスタ115と、トランジスタ114とが、バルクの半導体基板にチャネル形成領域を有するトランジスタであっても良い。薄膜の半導体膜としては、例えば、非晶質シリコンをレーザー結晶化させることで得られる多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0152】

そして、図11に示す記憶装置は、導電膜206、導電膜207、及び導電膜213上に絶縁膜219が設けられている。そして、絶縁膜219上には、トランジスタ107tが設けられている。

10

20

30

40

50

【 0 1 5 3 】

トランジスタ 1 0 7 t は、絶縁膜 2 1 9 上に、酸化物半導体を含む半導体膜 2 3 0 と、半導体膜 2 3 0 上のゲート絶縁膜 2 3 1 とを有する。なお、ゲート絶縁膜 2 3 1 は半導体膜 2 3 0 を完全に覆ってはいない。トランジスタ 1 0 7 t は、半導体膜 2 3 0 上に、ソース電極またはドレイン電極として機能する導電膜 2 3 2 及び導電膜 2 3 3 を有しており、半導体膜 2 3 0 のうちゲート絶縁膜 2 3 1 に覆われていない領域において、半導体膜 2 3 0 と、導電膜 2 3 2 及び導電膜 2 3 3 とが、それぞれ接続されている。

【 0 1 5 4 】

そして、導電膜 2 3 3 は、絶縁膜 2 1 9 に設けられた開口部を介して、導電膜 2 0 7 に接続されている。

10

【 0 1 5 5 】

また、トランジスタ 1 0 7 t は、ゲート絶縁膜 2 3 1 上において、半導体膜 2 3 0 と重なる位置に、ゲート電極 2 3 4 及びサイドウォール 2 3 5 を有する。サイドウォール 2 3 5 はゲート電極 2 3 4 の側部に設けられている。そして、導電膜 2 3 2 の一部、及び導電膜 2 3 3 の一部は、サイドウォール 2 3 5 上に重なっている。また、導電膜 2 3 2 及び導電膜 2 3 3 上には、絶縁膜 2 3 7 が形成されている。

【 0 1 5 6 】

なお、導電膜 2 3 2 及び導電膜 2 3 3 は必ずしもサイドウォール 2 3 5 に接している必要はないが、サイドウォール 2 3 5 に接するように導電膜 2 3 2 及び導電膜 2 3 3 を形成することで、導電膜 2 3 2 及び導電膜 2 3 3 の位置が多少ずれて形成されたとしても、導電膜 2 3 2 及び導電膜 2 3 3 と半導体膜 2 3 0 との接する面積が、変動するのを防ぐことができる。よって、導電膜 2 3 2 及び導電膜 2 3 3 の位置がずれることによる、トランジスタ 1 0 7 t のオン電流の変動を防ぐことができる。

20

【 0 1 5 7 】

また、ゲート電極 2 3 4 上には絶縁膜 2 3 6 が設けられている。絶縁膜 2 3 6 は必ずしも設ける必要はないが、絶縁膜 2 3 6 をゲート電極 2 3 4 の上部に設けることで、導電膜 2 3 2 及び導電膜 2 3 3 の位置がずれて、ゲート電極 2 3 4 の上部にかかるように形成されても、導電膜 2 3 2 及び導電膜 2 3 3 とゲート電極 2 3 4 が接触するのを防ぐことができる。

【 0 1 5 8 】

また、トランジスタ 1 0 7 t 及び絶縁膜 2 3 7 上には、絶縁膜 2 3 8 が設けられており、絶縁膜 2 3 8 上には導電膜 2 3 9 が設けられている。絶縁膜 2 3 7 及び絶縁膜 2 3 8 を間に挟んで導電膜 2 3 2 及び導電膜 2 3 9 が重なっている部分が、容量素子 1 0 5 として機能する。

30

【 0 1 5 9 】

なお、図 1 1 では、容量素子 1 0 5 をトランジスタ 1 0 7 t と共に絶縁膜 2 1 9 の上に設けている場合を例示しているが、容量素子 1 0 5 は、トランジスタ 1 1 5 及びトランジスタ 1 1 4 と共に、絶縁膜 2 1 9 の下に設けられていても良い。

【 0 1 6 0 】

また、図 1 1 において、トランジスタ 1 0 7 t は、ゲート電極 2 3 4 を半導体膜 2 3 0 の片側において少なくとも有していれば良いが、半導体膜 2 3 0 を間に挟んで存在する一対のゲート電極を有していても良い。

40

【 0 1 6 1 】

シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料の一例として、酸化物半導体の他に、炭化珪素 (S i C)、窒化ガリウム (G a N) などの化合物半導体などがある。酸化物半導体は、炭化珪素や窒化ガリウムと異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコンまたは窒化ガリウムとは異なり、酸化物半導体は室温でも成膜が可能のため、ガラス基板上或いはシリコンを用いた集積回路上に電気的特性の優れたトランジスタを作製することが可能である。また

50

、基板の大型化にも対応が可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能（例えば電界効果移動度）を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250 から 800 の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

【0162】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（purified OS）は、i 型（真性半導体）又は i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく小さいという特性を有する。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を小さくすることができる。

10

【0163】

具体的に、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

20

【0164】

なお、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。

30

【0165】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

40

【0166】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物（IGZOとも表記する）、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化

50

物、In - Ce - Zn系酸化物、In - Pr - Zn系酸化物、In - Nd - Zn系酸化物、In - Sm - Zn系酸化物、In - Eu - Zn系酸化物、In - Gd - Zn系酸化物、In - Tb - Zn系酸化物、In - Dy - Zn系酸化物、In - Ho - Zn系酸化物、In - Er - Zn系酸化物、In - Tm - Zn系酸化物、In - Yb - Zn系酸化物、In - Lu - Zn系酸化物、四元系金属の酸化物であるIn - Sn - Ga - Zn系酸化物、In - Hf - Ga - Zn系酸化物、In - Al - Ga - Zn系酸化物、In - Sn - Al - Zn系酸化物、In - Sn - Hf - Zn系酸化物、In - Hf - Al - Zn系酸化物を用いることができる。

【0167】

なお、例えば、In - Ga - Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In - Ga - Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高いため、半導体装置に用いる半導体材料としては好適である。

10

【0168】

例えば、In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいはIn : Ga : Zn = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子比のIn - Ga - Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In : Sn : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、In : Sn : Zn = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいはIn : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子比のIn - Sn - Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0169】

しかし、これらに限られず、必要とする電気的特性（移動度、しきい値、またはこれらの特性のばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0170】

なお、例えば、酸化物半導体膜は、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。In - Ga - Zn系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比がIn : Ga : Zn = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3、または3 : 1 : 4で示されるIn - Ga - Zn系酸化物のターゲットを用いる。前述の原子数比を有するIn - Ga - Zn系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶または後述するCAAC-OSが形成されやすくなる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

30

【0171】

なお、酸化物半導体としてIn - Zn系酸化物の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、In : Zn = 50 : 1 ~ 1 : 2（モル数比に換算するとIn₂O₃ : ZnO = 25 : 1 ~ 1 : 4）、好ましくはIn : Zn = 20 : 1 ~ 1 : 1（モル数比に換算するとIn₂O₃ : ZnO = 10 : 1 ~ 1 : 2）、さらに好ましくはIn : Zn = 1.5 : 1 ~ 15 : 1（モル数比に換算するとIn₂O₃ : ZnO = 3 : 4 ~ 15 : 2）とする。例えば、In - Zn系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比がIn : Zn : O = X : Y : Zのとき、Z > 1.5X + Yとする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。

40

【0172】

また、酸化物半導体膜としてIn - Sn - Zn系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比がIn : Sn : Zn = 1 : 1 : 1、2 : 1 : 3、1 : 2 : 2、または4 : 9 : 7で示されるIn - Sn - Zn系酸化物ターゲットを用いる。

50

【0173】

そして、具体的に酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて形成すればよい。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

10

【0174】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素(水酸基を含む)が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減(脱水化または脱水素化)するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、加熱処理を施す。

20

【0175】

酸化物半導体膜に加熱処理を施すことで、酸化物半導体膜中の水分または水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

30

【0176】

なお、上記加熱処理により、酸化物半導体膜から酸素が脱離し、酸化物半導体膜内に酸素欠損が形成される場合がある。そこで、上記加熱処理の後に、半導体膜230に酸素を供給する処理を行い、酸素欠損を低減させることが望ましい。

40

【0177】

例えば、酸素を含むガス雰囲気下において加熱処理を行うことで、半導体膜230に酸素を供給することができる。酸素を供給するための加熱処理は、上述した、水分又は水素の濃度を低減するための加熱処理と同様の条件で行えば良い。ただし、酸素を供給するための加熱処理は、酸素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)などの酸素を含むガス雰囲気下において行う。

40

【0178】

上記酸素を含むガスには、水、水素などの濃度が低いことが好ましい。具体的には、酸素を含むガス内に含まれる不純物濃度を、1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

【0179】

或いは、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いて、半導体膜230に酸素を供給することができる。上記方法を用いて酸素を半導体膜230に供給した後、半導体膜230に含まれる結晶部が損傷を受けた場合は、加熱処理を行い、損傷を受けた結晶部を修復するようにしても

50

良い。

【0180】

また、酸化物半導体膜と接するゲート絶縁膜などの絶縁膜として、酸素を含む絶縁膜を用い、上記絶縁膜から酸化物半導体膜に酸素を供給するようにしても良い。酸素を含む絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーブなどにより、絶縁材料を化学量論的組成より酸素が多い状態とすることが好ましい。酸素ドーブとは、酸素を半導体膜に添加することをいう。また、酸素ドーブには、プラズマ化した酸素を半導体膜に添加する酸素プラズマドーブが含まれる。また、酸素ドーブは、イオン注入法又はイオンドーピング法を用いて行ってもよい。酸素ドーブ処理を行うことにより、化学量論的組成より酸素が多い領域を有する絶縁膜を形成することができる。そして、酸素を含む絶縁膜を形成した後、加熱処理を施すことで、上記絶縁膜から酸化物半導体膜に酸素が供与されるようにする。上記構成により、ドナーとなる酸素欠損を低減し、酸化物半導体膜に含まれる酸化物半導体の、化学量論的組成を満たすことができる。半導体膜には化学量論的組成を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜を*i*型に近づけることができ、酸素欠損によるトランジスタの電気的特性のばらつきを軽減し、電気的特性の向上を実現することができる。

10

【0181】

酸素を絶縁膜から酸化物半導体膜に供与するための加熱処理は、窒素、超乾燥空気、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは200 以上400 以下、例えば250 以上350 以下）で行う。上記ガスは、水の含有量が20 ppm以下、好ましくは1 ppm以下、より好ましくは10 ppb以下であることが望ましい。

20

【0182】

また、半導体膜230として、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態を有する酸化物半導体膜を用いることができる。好ましくは、酸化物半導体膜は、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜とする。

【0183】

CAAC-OS膜で構成された酸化物半導体膜は、スパッタリング法によっても作製することができる。スパッタリング法によってCAAC-OS膜を得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり（例えば、150 mm～200 mm程度）、基板加熱温度を100 ～500 、好適には200 ～400 、さらに好適には250 ～300 にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

30

【0184】

酸化物半導体膜は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC（C Axis Aligned Crystal）、多結晶、微結晶、非晶質を有する。非単結晶において、非晶質は最も欠陥準位密度が高く、CAACは最も欠陥準位密度が低い。なお、CAACを有する酸化物半導体を、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）と呼ぶ。

40

【0185】

酸化物半導体膜は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、*c*軸配向し、*a*軸または*ノ*及び*b*軸はマクロに揃っていない酸化物半導体を有している。

【0186】

酸化物半導体膜は、例えば微結晶を有してもよい。微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満のサイズの微結晶を膜中に含む酸化物半導体を有している。または、微結晶酸化物半導体膜は、例えば、非晶質相に1 nm以上10 nm未満の結晶部を有す

50

る結晶 - 非晶質混相構造の酸化物半導体を有している。

【0187】

酸化物半導体膜は、例えば非晶質を有してもよい。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分のない酸化物半導体を有している。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない酸化物半導体を有している。

【0188】

なお、酸化物半導体膜が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

10

【0189】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

【0190】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

【0191】

CAAC-OS膜は、完全な単結晶ではなく（非単結晶の一種）、完全な非晶質でもない。CAAC-OS膜は、例えば非晶質相に結晶部及び非晶質部を有する結晶 - 非晶質混相構造の酸化物半導体を有している。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

20

【0192】

CAAC-OS膜に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつa-b面に垂直な方向から見て三角形形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

30

【0193】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

40

【0194】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃っている。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される

50

。

【0195】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0196】

C A A C - O S 膜は、例えば、多結晶である金属酸化物ターゲットを用い、スパッタリング法によって成膜する。当該ターゲットにイオンが衝突すると、ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

10

【0197】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0198】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 80 以下、好ましくは - 100 以下である成膜ガスを用いる。

【0199】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

20

【0200】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30 体積 % 以上、好ましくは 100 体積 % とする。

【0201】

ターゲットの一例として、I n - G a - Z n 系酸化物ターゲットについて以下に示す。

30

【0202】

I n O_x 粉末、G a O_y 粉末および Z n O_z 粉末を所定の m o l 数比で混合し、加圧処理後、1000 以上 1500 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n 系酸化物ターゲットとする。なお、X、Y および Z は任意の正数である。ここで、所定の m o l 数比は、例えば、I n O_x 粉末、G a O_y 粉末および Z n O_z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、およびその混合する m o l 数比は、ターゲットによって適宜変更すればよい。

【0203】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

40

【0204】

(実施の形態 4)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には D V D : D i g i t a l V e r s a t i l e D i s c 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ

50

払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１２に示す。

【０２０５】

図１２（Ａ）は携帯型ゲーム機であり、筐体５００１、筐体５００２、表示部５００３、表示部５００４、マイクロホン５００５、スピーカー５００６、操作キー５００７、スタイルラス５００８等を有する。なお、図１２（Ａ）に示した携帯型ゲーム機は、２つの表示部５００３と表示部５００４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【０２０６】

図１２（Ｂ）は携帯情報端末であり、第１筐体５６０１、第２筐体５６０２、第１表示部５６０３、第２表示部５６０４、接続部５６０５、操作キー５６０６等を有する。第１表示部５６０３は第１筐体５６０１に設けられており、第２表示部５６０４は第２筐体５６０２に設けられている。そして、第１筐体５６０１と第２筐体５６０２とは、接続部５６０５により接続されており、第１筐体５６０１と第２筐体５６０２の間の角度は、接続部５６０５により変更できる。第１表示部５６０３における映像を、接続部５６０５における第１筐体５６０１と第２筐体５６０２との間の角度に従って、切り替える構成としても良い。また、第１表示部５６０３及び第２表示部５６０４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

20

【０２０７】

図１２（Ｃ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。

【０２０８】

図１２（Ｄ）は電気冷凍冷蔵庫であり、筐体５３０１、冷蔵室用扉５３０２、冷凍室用扉５３０３等を有する。

【０２０９】

図１２（Ｅ）はビデオカメラであり、第１筐体５８０１、第２筐体５８０２、表示部５８０３、操作キー５８０４、レンズ５８０５、接続部５８０６等を有する。操作キー５８０４及びレンズ５８０５は第１筐体５８０１に設けられており、表示部５８０３は第２筐体５８０２に設けられている。そして、第１筐体５８０１と第２筐体５８０２とは、接続部５８０６により接続されており、第１筐体５８０１と第２筐体５８０２の間の角度は、接続部５８０６により変更できる。表示部５８０３における映像の切り替えを、接続部５８０６における第１筐体５８０１と第２筐体５８０２との間の角度に従って行う構成としても良い。

30

【０２１０】

図１２（Ｆ）は普通自動車であり、車体５１０１、車輪５１０２、ダッシュボード５１０３、ライト５１０４等を有する。

【０２１１】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

40

【０２１２】

（実施の形態５）

図１３に、本発明の一態様に係る半導体装置の断面構造の一部を、一例として示す。なお、図１３では、トランジスタ１０７ｔ、容量素子１０５、及びトランジスタ１１５を、例示している。

【０２１３】

また、本実施の形態では、トランジスタ１１５が、単結晶のシリコン基板に形成され、酸化半導体を活性層に用いたトランジスタ１０７ｔと、容量素子１０５とが、トランジスタ１１５上に形成されている場合を例示している。トランジスタ１１５は、非晶質、微結

50

晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの薄膜の半導体を活性層に用いていても良い。或いは、トランジスタ 115 は、酸化物半導体を活性層に用いていても良い。全てのトランジスタが酸化物半導体を活性層に用いている場合、トランジスタ 107 t はトランジスタ 115 上に積層されていなくとも良く、トランジスタ 107 t とトランジスタ 115 とは、同一の層に形成されていても良い。

【0214】

薄膜のシリコンを用いてトランジスタ 115 を形成する場合、プラズマ CVD 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

10

【0215】

なお、記憶回路を構成するトランジスタのうち、トランジスタ 107 t に酸化物半導体を用い、トランジスタ 115 を含むその他のトランジスタにシリコンを用いる場合、シリコンを用いたトランジスタの数に対し、酸化物半導体を用いたトランジスタの数は少なくても済む。よって、シリコンを用いたトランジスタ上にトランジスタ 107 t を積層させることで、トランジスタ 107 t のデザインルールを緩和させることができる。

【0216】

図 13 では、半導体基板 400 に n チャンネル型のトランジスタ 115 が形成されている。

【0217】

半導体基板 400 は、例えば、n 型または p 型の導電性を有するシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等) 等を用いることができる。図 13 では、n 型の導電性を有する単結晶シリコン基板を用いた場合を例示している。

20

【0218】

また、トランジスタ 115 は、素子分離用絶縁膜 401 により、他のトランジスタと電氣的に分離されている。素子分離用絶縁膜 401 の形成には、選択酸化法 (Local Oxidation of Silicon) 法) またはトレンチ分離法等を用いることができる。

【0219】

具体的に、トランジスタ 115 は、半導体基板 400 に形成された、ソース領域またはドレイン領域として機能する不純物領域 402 及び不純物領域 403 と、ゲート電極 404 と、半導体基板 400 とゲート電極 404 の間に設けられたゲート絶縁膜 405 とを有する。ゲート電極 404 は、ゲート絶縁膜 405 を間に挟んで、不純物領域 402 と不純物領域 403 の間に形成されるチャンネル形成領域と重なる。

30

【0220】

トランジスタ 115 上には、絶縁膜 409 が設けられている。絶縁膜 409 には開口部が形成されている。そして、上記開口部には、不純物領域 402、不純物領域 403 にそれぞれ接する配線 410、配線 411 が形成されている。

【0221】

そして、配線 410 は、絶縁膜 409 上に形成された配線 415 に接続されており、配線 411 は、絶縁膜 409 上に形成された配線 416 に接続されている。

40

【0222】

配線 415 及び配線 416 上には、絶縁膜 420 が形成されている。絶縁膜 420 には開口部が形成されており、上記開口部に、配線 416 に接続された配線 421 が形成されている。

【0223】

そして、図 13 では、絶縁膜 420 上にトランジスタ 107 t 及び容量素子 105 が形成されている。

【0224】

50

トランジスタ 107t は、絶縁膜 420 上に、酸化物半導体を含む半導体膜 430 と、半導体膜 430 上の、ソース電極またはドレイン電極として機能する導電膜 432 及び導電膜 433 と、半導体膜 430、導電膜 432 及び導電膜 433 上のゲート絶縁膜 431 と、ゲート絶縁膜 431 上に位置し、導電膜 432 と導電膜 433 の間において半導体膜 430 と重なっているゲート電極 434 と、を有する。

【0225】

また、ゲート絶縁膜 431 上において導電膜 433 と重なる位置に、導電膜 435 が設けられている。ゲート絶縁膜 431 を間に挟んで導電膜 433 及び導電膜 435 が重なっている部分が、容量素子 105 として機能する。

【0226】

また、配線 421 は、導電膜 432 に接続されている。

【0227】

なお、図 13 では、容量素子 105 がトランジスタ 107t と共に絶縁膜 420 の上に設けられている場合を例示しているが、容量素子 105 は、トランジスタ 115 と共に、絶縁膜 420 の下に設けられていても良い。

【0228】

そして、トランジスタ 107t、容量素子 105 上に、絶縁膜 441 が設けられている。絶縁膜 441 には開口部が設けられており、上記開口部においてゲート電極 434 に接する導電膜 443 が、絶縁膜 441 上に設けられている。

【0229】

なお、図 13 において、トランジスタ 107t は、ゲート電極 434 を半導体膜 430 の片側において少なくとも有していれば良いが、半導体膜 430 を間に挟んで存在する一対のゲート電極を有していても良い。

【0230】

トランジスタ 107t が、半導体膜 430 を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極にはオンまたはオフを制御するための信号が与えられ、他方のゲート電極は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が他から与えられている状態であっても良い。後者の場合、一対の電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0231】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0232】

(実施の形態 6)

本実施の形態では、本発明の一態様に係る半導体装置の一例について、説明する。

【0233】

図 14 に、本発明の一態様に係る半導体装置 800 の構成を、ブロック図で示す。図 14 に示す半導体装置 800 は、CPU 801、DRAM 802、タイマー (Timer) 803、I/O ポート (I/O) 804、システムバス (System Bus) 805 などを有する。

【0234】

DRAM 802 は、CPU 801 において実行される命令やデータなどが記憶される、主記憶装置としての機能を有する。タイマー 803 は、時間を計測し、計測された時間を情報として含む信号を、生成する機能を有する。I/O ポート 804 は、半導体装置 800 の外部にある機器と、半導体装置 800 との信号の入出力におけるインターフェースとしての機能を有する。システムバス 805 は、CPU 801 と、DRAM 802、タイマー 803、及び I/O ポート 804 との間の、信号の伝送経路としての機能を有する。

【0235】

CPU 801 は、データバス (Data path) 806 と、パワースイッチ (Power

10

20

30

40

50

r Switches) 807と、パワーコントローラ(Power Controller) 808と、命令キャッシュ(I-cache) 809と、データキャッシュ(D-cache) 810と、コントローラ(Controller) 811とを有する。

【0236】

コントローラ811は制御装置に相当し、命令をデコードし、実行する機能を有する。

【0237】

データバス806は、レジスタ(Register) 812の他、例えば、ALU(Arithmetic Logic Unit)、シフタ、乗算器、または浮動小数点演算器などの、各種の演算処理を行う回路を含んでいる。

【0238】

パワーコントローラ808は、データバス806からの命令に従って、パワースイッチ807が有する各スイッチの、導通状態または非導通状態を選択することで、命令キャッシュ809、データキャッシュ810、データバス806への電源電圧の供給を制御する機能を有する。なお、図14では、パワーコントローラ808がCPU801の構成要素の1つとして図示されているが、パワーコントローラ808はCPU801の構成要素に必ずしも含まれるとは限らない。本発明の一態様に係る半導体装置では、パワーコントローラ808を、CPU801とは異なる構成要素として有していても良い。

【0239】

本発明の一態様に係る半導体装置800では、上記実施の形態で示した記憶素子100を、命令キャッシュ809、データキャッシュ810、またはレジスタ812に用いることができる。上記実施の形態で示した記憶素子100を、命令キャッシュ809、データキャッシュ810、またはレジスタ812などの緩衝記憶装置に用いることで、電源電圧の供給の停止による緩衝記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を停止する前に保持していたデータの待避を短時間で行うことができ、さらに、電源電圧の供給を再開した後、短時間で上記データを復帰することができる。よって、CPU801全体、もしくはCPU801を有する半導体装置において、60秒のように長い時間であっても、ミリ秒程度の短い時間であっても、電源電圧の供給の停止を行うことができる。従って、半導体装置800の消費電力を小さく抑えることができる。

【0240】

半導体装置800の仕様の一例を、下記の表1に示す。

【0241】

【表1】

Technology	Si	0.35 μ m
	OS	0.8 μ m
Architecture		32-bit RISC
Size (W x H)		12mm x 12mm
Number of transistors		Approx. 100k
Clock frequency		25MHz
Power supply voltage	Si	2.5V
	OS	3.2V

【0242】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0243】

(実施の形態7)

本実施の形態では、本発明の一態様に係る記憶装置における、1ビットのデータを記憶することができる記憶素子について、上記実施の形態とは別の構成についてその一例を示す

。なお本発明の一態様に係る記憶装置は、上記実施の形態２で説明したデータキャッシュ６０３又は命令キャッシュ６０４、上記実施の形態５で説明したデータキャッシュ８１０又は命令キャッシュ８０９に用いることができる。

【０２４４】

本発明の一態様に係る記憶装置は、１ビットのデータを記憶することができる記憶素子を、単数又は複数有している。図１５（Ａ）では、実際に作製した、記憶素子（Memory Cell）を複数備えた記憶装置の光学顕微鏡による写真を示している。

【０２４５】

図１５（Ａ）において示す記憶素子はマトリクス状に設けられ、周辺にカラムドライバ（COLUMN_DRV.）、ロードドライバ（ROW_DRV.）、及びセンスアンプ（SENSE_AMP.）を有する。

10

【０２４６】

図１５（Ｂ）には、図１５（Ａ）で実際に作製した記憶装置が有する、記憶素子の回路構成を示す。

【０２４７】

図１５（Ｂ）に示す記憶素子８２０は、スイッチとして機能するトランジスタSW_FET１及びトランジスタSW_FET２、入力端子の電位の極性を反転させて出力端子から出力する機能を有するインバータINV１及びインバータINV２、オフ電流が著しく小さいトランジスタをスイッチとして用いるトランジスタOS_FET１及びトランジスタOS_FET２、並びに電荷を保持する機能を有する容量素子Cap１及び容量素子Cap２、を有する。

20

【０２４８】

図１５（Ｂ）に示す構成において、トランジスタSW_FET１及びトランジスタSW_FET２は、実施の形態１で説明した、スイッチ１０３及びスイッチ１０４の一例に相当する。また、インバータINV１とインバータINV２は、実施の形態１で説明した、論理素子１０１及び論理素子１０２の一例に相当する。また、トランジスタOS_FET１及びトランジスタOS_FET２並びに容量素子Cap１及び容量素子Cap２は、実施の形態１で説明した、記憶回路１２０及び記憶回路１２１の一例に相当する。インバータINV１とインバータINV２とは、入力端子が互いの出力端子に接続されている。

【０２４９】

30

インバータINV１とインバータINV２は、同じ配線から電源電圧が与えられることで、トランジスタSW_FET１及びトランジスタSW_FET２を介して書き込まれたデータを、保持することができる。

【０２５０】

容量素子Cap１は、インバータINV１とインバータINV２に保持されているデータを必要に応じて記憶できるように、トランジスタOS_FET１を介して、インバータINV１の入力端子に接続されている。また、容量素子Cap２は、インバータINV１とインバータINV２に保持されているデータを必要に応じて記憶できるようにトランジスタOS_FET２を介して、インバータINV２の入力端子に接続されている。

【０２５１】

40

具体的に、容量素子Cap１は、一对の電極間に誘電体を有するコンデンサであり、その一方の電極は、トランジスタOS_FET１を介してインバータINV１の入力端子に接続され、他方の電極は、接地電位などの電位が与えられているノードに接続されている。また、容量素子Cap２は、一对の電極間に誘電体を有するコンデンサであり、その一方の電極は、トランジスタOS_FET２を介してインバータINV２の入力端子に接続され、他方の電極は、接地電位などの電位が与えられているノードに接続されている。

【０２５２】

そして、本発明の一態様では、トランジスタOS_FET１及びトランジスタOS_FET２に、オフ電流が著しく小さいトランジスタを用いる。上記構成により、記憶素子８２０への電源電圧の供給が停止されても、トランジスタOS_FET１及びトランジスタO

50

S_{__}FET2をオフにすることで、記憶回路120及び記憶回路121においてデータを保持することができる。よって、記憶素子820への電源電圧の供給が停止する前に、インバータINV1とインバータINV2に保持されているデータを記憶回路120及び記憶回路121に待避させ、データが消失するのを防ぐことができる。

【0253】

なお、図15(B)に示す記憶素子820の動作の一例は、図4に示したタイミングチャートに示すスイッチ103及びスイッチ104、並びにスイッチ107及びスイッチ108のように、トランジスタSW_{__}FET1及びトランジスタSW_{__}FET2、並びにトランジスタOS_{__}FET1及びトランジスタOS_{__}FET2で構成されるスイッチのオン又はオフを切り替えて動作させればよい。具体的には、トランジスタSW_{__}FET1及びトランジスタSW_{__}FET2、並びにトランジスタOS_{__}FET1及びトランジスタOS_{__}FET2に接続されるビット線BL、反転ビット線BLB、ワード線WL、制御線OS_{__}WEまたインバータINV1とインバータINV2への電源電圧の供給の停止及び再開は、データの待避及び復帰との間に行う構成とすればよい。

【0254】

(実施の形態8)

本実施の形態では、先の実施の形態に示すキャッシュとして用いることができる記憶素子の一例を、図16および図17を用いて説明する。図16(A)には、記憶素子の一例として記憶素子900の回路図を示す。

【0255】

図16(A)に示す記憶素子900は、トランジスタ910と、トランジスタ912と、容量素子914とを有し、配線920、配線922および配線924と電氣的に接続されている。トランジスタ910は、先の実施の形態に示すトランジスタ107tおよびトランジスタ108tと同様のものを用いることができ、本実施の形態では、酸化物半導体膜にチャネル形成領域を有するトランジスタを、用いるものとする。また、トランジスタ912は、先の実施の形態に示すトランジスタ103tおよびトランジスタ104tと同様のものを用いることができる。

【0256】

トランジスタ910のソース端子およびドレイン端子は、一方が配線920に接続され、他方がトランジスタ912のゲート電極及び容量素子914の一方の電極に接続されている。トランジスタ910のゲート電極は、配線922に接続されている。トランジスタ912のソース端子およびドレイン端子は、一方が配線920に接続され、他方には配線を介して所定の電位が与えられる。容量素子914の他方の電極は、配線924に接続されている。

【0257】

トランジスタ910は、オフ電流が著しく小さいという特徴を有しているため、トランジスタ910をオフとすることで、トランジスタ910のソース端子およびドレイン端子の他方と、トランジスタ912のゲート電極と、容量素子914の一方の電極とが接続されたノード(以下、ノードFGと呼ぶ)の電位を長時間に渡って保持することが可能である。そして、容量素子914を有することにより、ノードFGに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【0258】

記憶素子900に情報を記憶させる場合(書き込み)は、まず、配線922の電位を、トランジスタ910がオンとなる電位にして、トランジスタ910をオンとする。これにより、配線920の電位が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、配線924の電位を、トランジスタ910がオフとなる電位にして、トランジスタ910をオフとすることにより、ノードFGには所定の電荷が保持されたままの状態となる。以上のように、ノードFGに所定量の電荷を蓄積及び保持させることで、メモリセルに情報を記憶させることができる。

【0259】

10

20

30

40

50

記憶された情報を読み出す場合（読み出し）は、まず、トランジスタ 9 1 2 のソース端子及びドレイン端子の他方に所定の電位（定電位）を与えた状態で、ノード F G に保持された電荷によって、トランジスタ 9 1 2 のオンまたはオフが選択されるような電位（読み出し電位）を与える。その後、トランジスタ 9 1 2 のオンまたはオフを読み出す（配線 9 2 0 の電位を読み出す）ことで、記憶された情報を読み出すことができる。

【0260】

図 1 6 (A) に示す記憶素子 9 0 0 をマトリクス状に複数配列させて作製した記憶装置の光学顕微鏡写真を図 1 6 (B) に示す。図 1 6 (B) に示す記憶装置は、記憶素子 9 0 0 をメモリセルとしてマトリクス状に配列させたメモリセルアレイと、ロードライバと、センスラッチと、コントローラを有する。

10

【0261】

図 1 6 (B) に示す記憶装置は、行方向の幅が 4 . 0 mm、列方向の幅が 5 . 8 mm であり、記憶容量は 1 M ビットである。

【0262】

図 1 6 (B) に示す記憶装置のデータ保持特性を測定した結果を図 1 7 に示す。データ保持特性の測定は、図 1 6 (A) に示す配線 9 2 2 の電圧を - 2 V とし、温度 1 2 5 °C で行った。

【0263】

図 1 7 に示すグラフは横軸に時間（秒）、縦軸にデータが保持されているビット数をとっている。図 1 7 に示すように、図 1 6 (B) に示す記憶装置は、1 2 5 °C の環境で 1 0 日以上経っても十分データを保持していた。ここで、1 2 5 °C での加速係数は室温の加速係数の約 10^4 倍である。よって、図 1 6 (B) に示す記憶装置は、室温の環境で 1 0 年がそれ以上データを保持できることが推測される。

20

【0264】

このように、酸化物半導体などのバンドギャップの広い半導体をチャネル形成領域に含むトランジスタを、記憶装置に用いることにより、良好なデータ保持特性を有する記憶装置を提供することができる。

【0265】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

30

【符号の説明】

【0266】

1 0 0 記憶素子
 1 0 1 論理素子
 1 0 1 i インバータ
 1 0 2 論理素子
 1 0 2 i インバータ
 1 0 3 スイッチ
 1 0 3 t トランジスタ
 1 0 4 スイッチ
 1 0 4 t トランジスタ
 1 0 5 容量素子
 1 0 6 容量素子
 1 0 7 スイッチ
 1 0 7 t トランジスタ
 1 0 8 スイッチ
 1 0 8 t トランジスタ
 1 0 9 配線
 1 1 0 配線
 1 1 1 配線
 1 1 2 配線

40

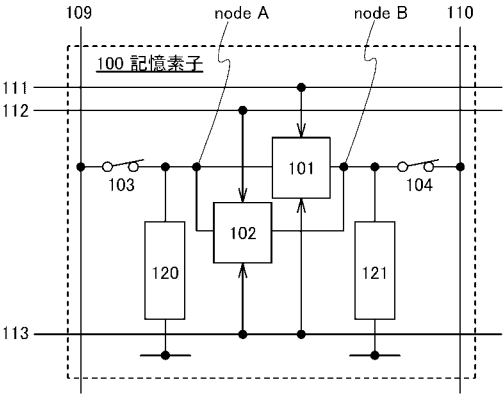
50

1 1 3	配線	
1 1 4	トランジスタ	
1 1 5	トランジスタ	
1 1 6	トランジスタ	
1 1 7	トランジスタ	
1 1 8	配線	
1 1 9	配線	
1 2 0	記憶回路	
1 2 1	記憶回路	
1 3 0	スイッチ	10
1 3 1	スイッチ	
1 3 2	スイッチ	
1 3 3	スイッチ	
1 5 0	配線	
1 5 1	配線	
1 5 2	配線	
1 6 1	ブリチャージ回路	
1 6 2	スイッチ回路	
1 6 3	センスアンプ	
1 6 4	出力回路	20
1 7 0	記憶素子群	
2 0 0	基板	
2 0 1	絶縁膜	
2 0 3 n	半導体膜	
2 0 3 p	半導体膜	
2 0 4 n	ゲート絶縁膜	
2 0 4 p	ゲート絶縁膜	
2 0 5 n	ゲート電極	
2 0 5 p	ゲート電極	
2 0 6	導電膜	30
2 0 7	導電膜	
2 0 8	領域	
2 0 9	領域	
2 1 0	領域	
2 1 1	領域	
2 1 2	領域	
2 1 3	導電膜	
2 1 4	領域	
2 1 5	領域	
2 1 6	領域	40
2 1 7	領域	
2 1 8	領域	
2 1 9	絶縁膜	
2 3 0	半導体膜	
2 3 1	ゲート絶縁膜	
2 3 2	導電膜	
2 3 3	導電膜	
2 3 4	ゲート電極	
2 3 5	サイドウォール	
2 3 6	絶縁膜	50

2 3 7	絶縁膜	
2 3 8	絶縁膜	
2 3 9	導電膜	
4 0 0	半導体基板	
4 0 1	素子分離用絶縁膜	
4 0 2	不純物領域	
4 0 3	不純物領域	
4 0 4	ゲート電極	
4 0 5	ゲート絶縁膜	
4 0 9	絶縁膜	10
4 1 0	配線	
4 1 1	配線	
4 1 5	配線	
4 1 6	配線	
4 2 0	絶縁膜	
4 2 1	配線	
4 3 0	半導体膜	
4 3 1	ゲート絶縁膜	
4 3 2	導電膜	
4 3 3	導電膜	20
4 3 4	ゲート電極	
4 3 5	導電膜	
4 4 1	絶縁膜	
4 4 3	導電膜	
6 0 0	C P U	
6 0 1	制御装置	
6 0 2	A L U	
6 0 3	データキャッシュ	
6 0 4	命令キャッシュ	
6 0 5	プログラムカウンタ	30
6 0 6	命令レジスタ	
6 0 7	主記憶装置	
6 0 8	レジスタファイル	
6 5 0	半導体装置	
6 5 1	パワーコントローラ	
6 5 2	スイッチ	
6 5 3	B U F	
8 0 0	半導体装置	
8 0 1	C P U	
8 0 2	D R A M	40
8 0 3	タイマー	
8 0 4	I / Oポート	
8 0 5	システムバス	
8 0 6	データバス	
8 0 7	パワースイッチ	
8 0 8	パワーコントローラ	
8 0 9	命令キャッシュ	
8 1 0	データキャッシュ	
8 1 1	コントローラ	
8 1 2	レジスタ	50

8 2 0	記憶素子	
9 0 0	記憶素子	
9 1 0	トランジスタ	
9 1 2	トランジスタ	
9 1 4	容量素子	
9 2 0	配線	
9 2 2	配線	
9 2 4	配線	
5 0 0 1	筐体	
5 0 0 2	筐体	10
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカ	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	20
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	30
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	

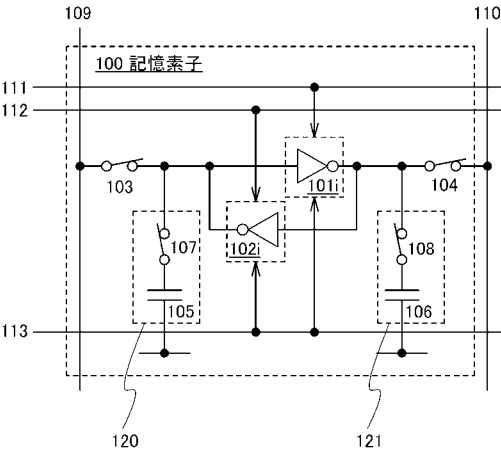
【図 1】



【図 2】

	T1	T2	T3	T4	T5	T6	T7	T8
スイッチ103,104	ON	OFF	OFF	OFF	OFF	OFF	OFF	ON
記憶回路120,121			Write	Hold		Read		
配線111	VDD	VDD	VDD	VSS	VDD	VDD	VDD	VDD
配線112	VDD	VDD	VDD	VSS	VSS	VSS	VDD	VDD

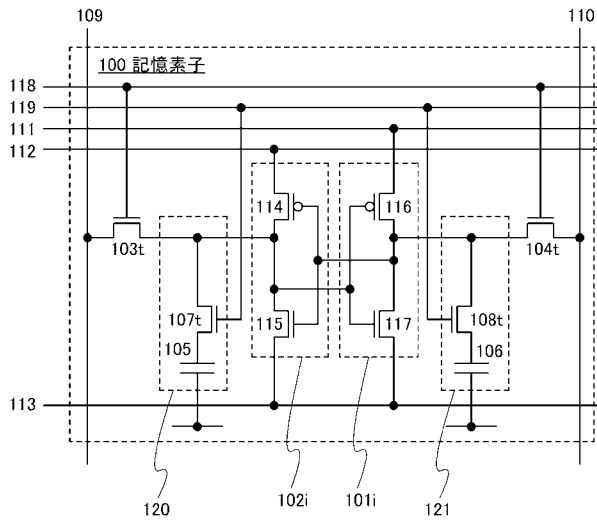
【図 3】



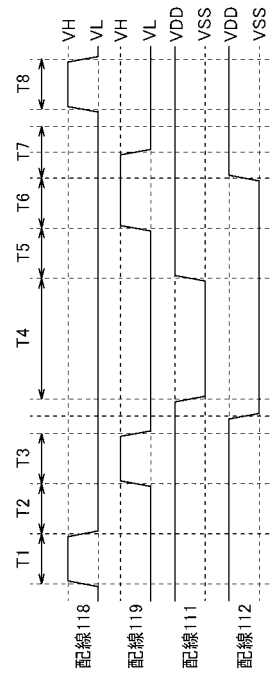
【図 4】

	T1	T2	T3	T4	T5	T6	T7	T8
スイッチ103,104	ON	OFF	OFF	OFF	OFF	OFF	OFF	ON
スイッチ107,108	OFF	OFF	ON	OFF	OFF	ON	ON	OFF
配線111	VDD	VDD	VDD	VSS	VDD	VDD	VDD	VDD
配線112	VDD	VDD	VDD	VSS	VSS	VSS	VDD	VDD

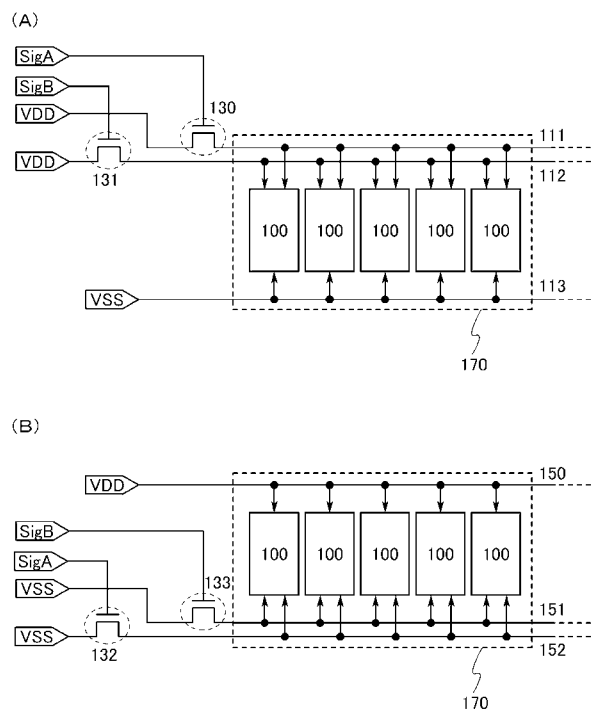
【図 5】



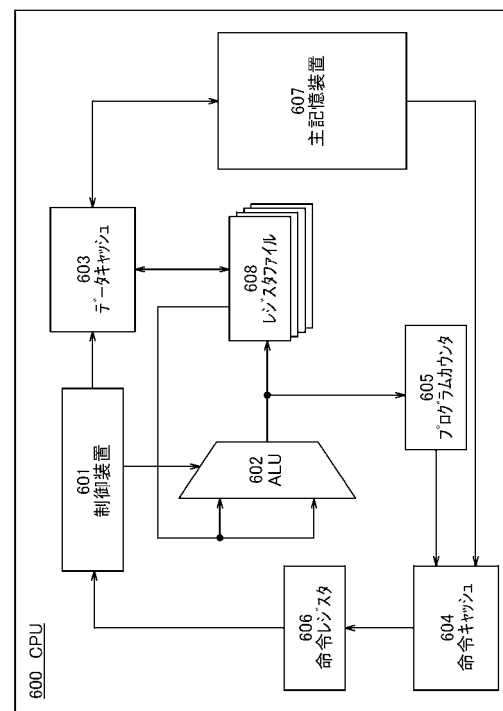
【図 6】



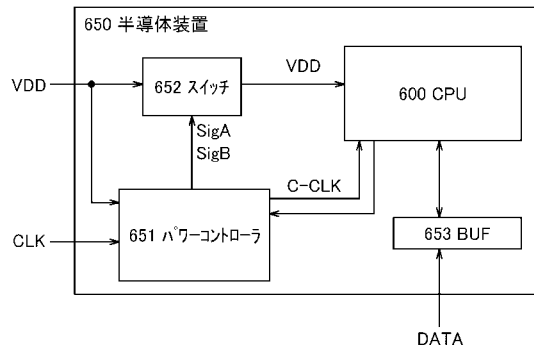
【図 7】



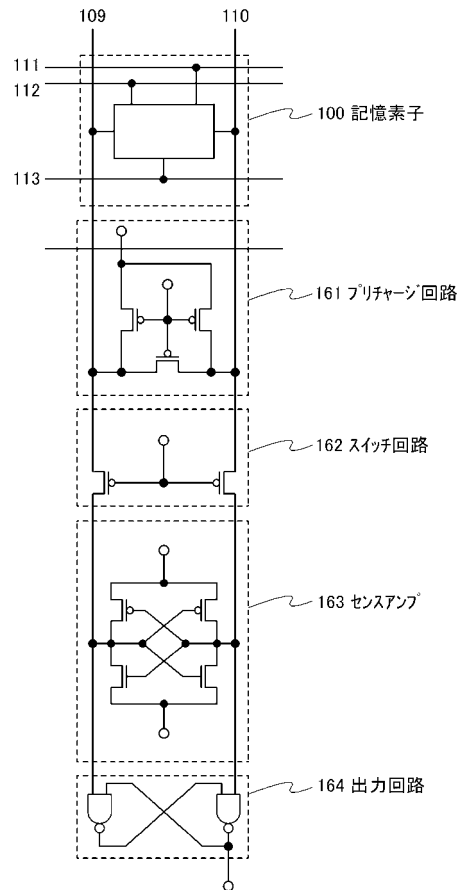
【図 8】



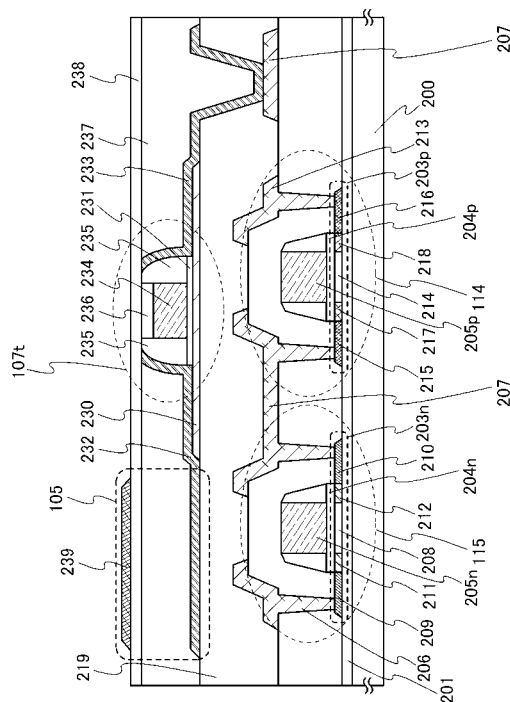
【図 9】



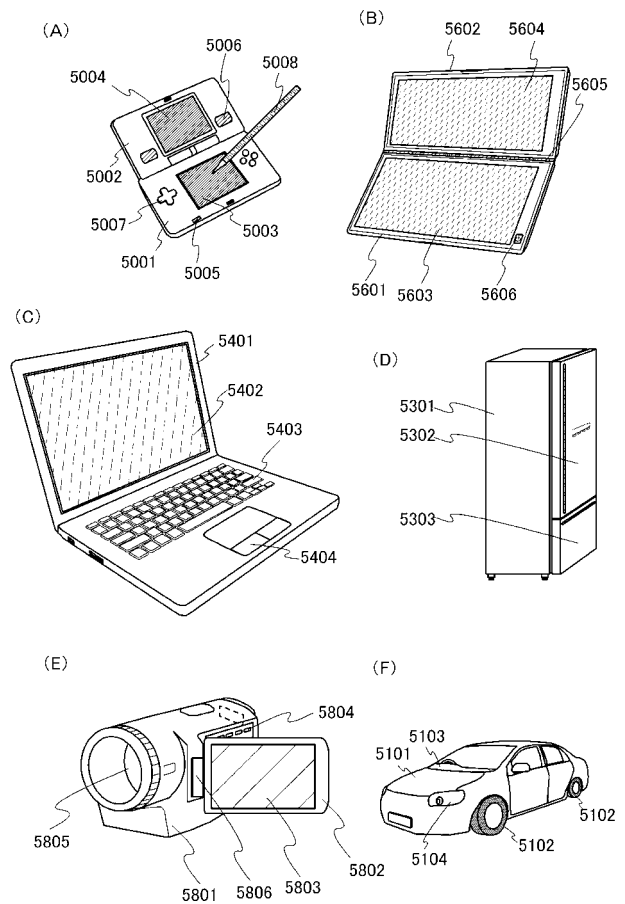
【図 10】



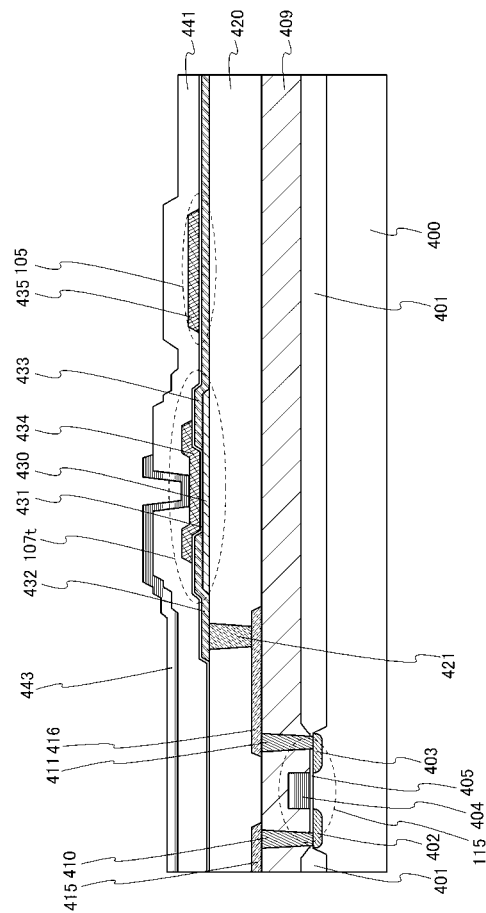
【図 11】



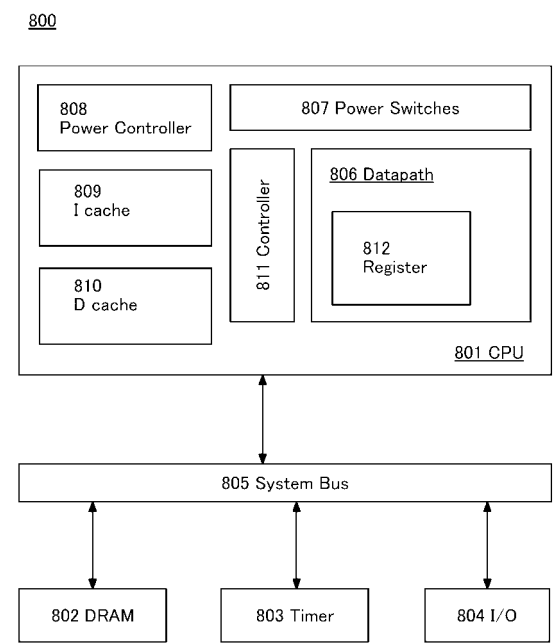
【図 12】



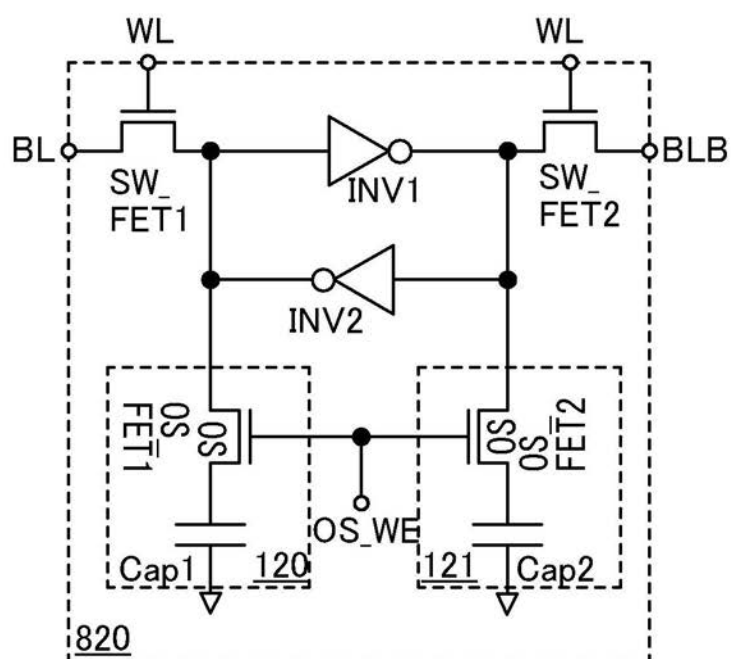
【図 1 3】



【図 1 4】

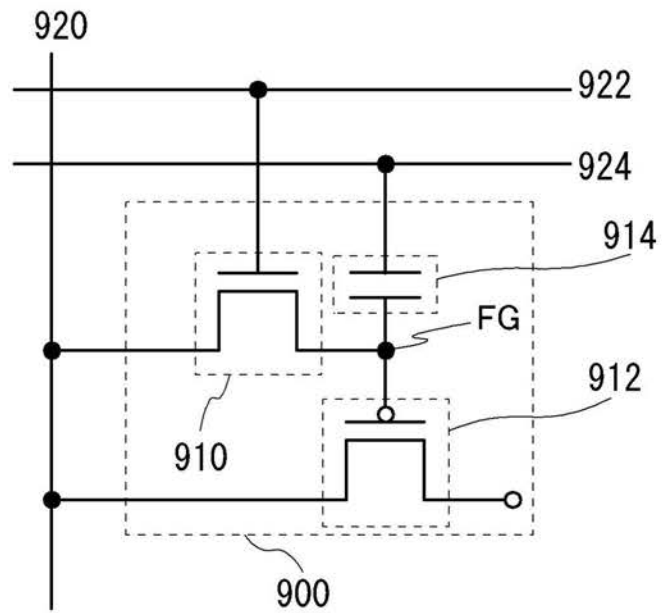


(A)

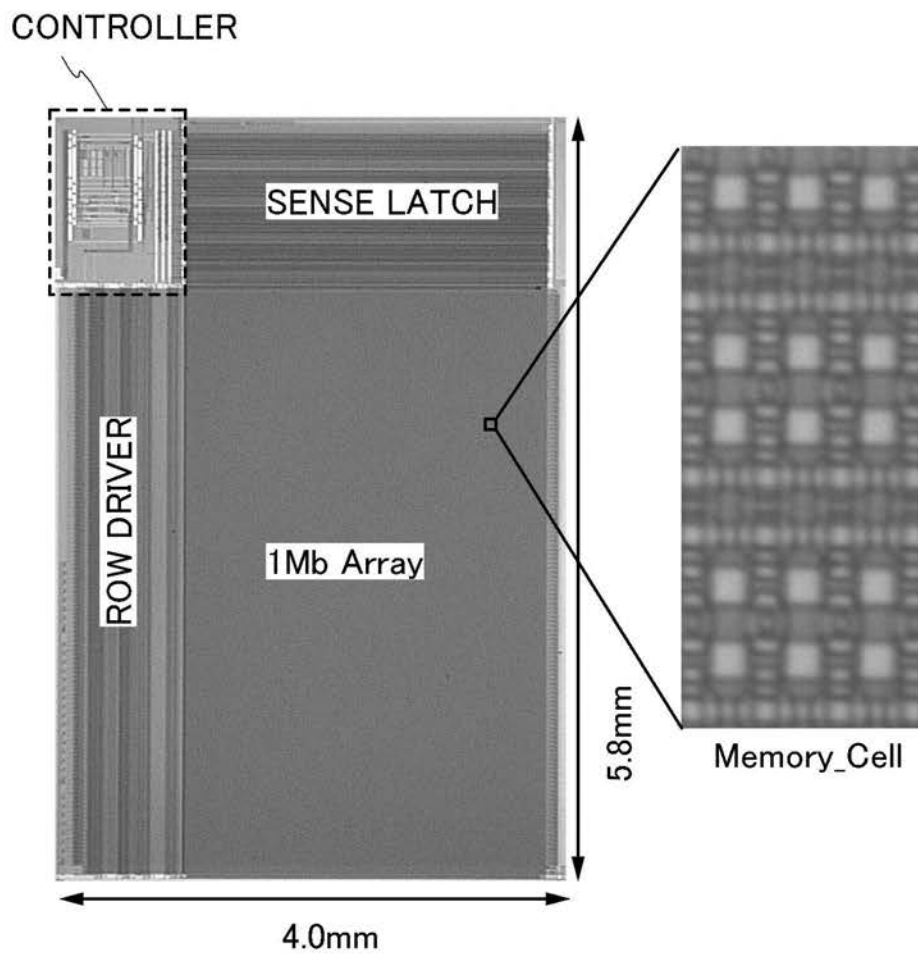


【図 16】

(A)



(B)



【図 17】

