

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年3月16日 (16.03.2017)



(10) 国际公布号
WO 2017/041684 A1

- (51) 国际专利分类号:
H02M 1/14 (2006.01)
- (21) 国际申请号: PCT/CN2016/098124
- (22) 国际申请日: 2016年9月5日 (05.09.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510562897.1 2015年9月7日 (07.09.2015) CN
- (71) 申请人: 比亚迪股份有限公司 (BYD COMPANY LIMITED) [CN/CN]; 中国广东省深圳市坪山新区比亚迪路3009号, Guangdong 518118 (CN)。
- (72) 发明人: 王文情 (WANG, Wenqing); 中国广东省深圳市坪山新区比亚迪路3009号, Guangdong 518118 (CN)。 侯永军 (HOU, Yongjun); 中国广东省深圳市坪山新区比亚迪路3009号, Guangdong 518118 (CN)。

- (74) 代理人: 北京清亦华知识产权代理事务所 (普通合伙) (TSINGYIHUA INTELLECTUAL PROPERTY LLC); 中国北京市海淀区清华园清华大学照澜院商业楼301室, Beijing 100084 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: SWITCH POWER SUPPLY AND PRIMARY CONTROL CHIP THEREOF, AND LOOP COMPENSATION APPARATUS

(54) 发明名称: 开关电源及其初级控制芯片和环路补偿装置

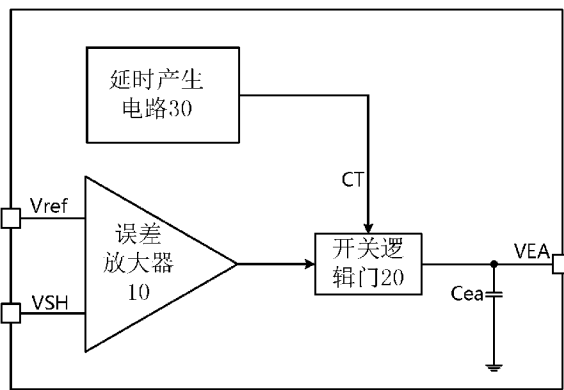


图 1

- 10 ERROR AMPLIFIER
- 20 SWITCH LOGIC GATE
- 30 TIME DELAY GENERATING CIRCUIT

(57) Abstract: A switch power supply and a primary control chip thereof, and a loop compensation apparatus. The loop compensation apparatus comprises: an error amplifier (10); a switch logic gate (20), wherein an input end of the switch logic gate (20) is connected to an output end of the error amplifier (10); a loop compensation capacitor (Cea), wherein one end of the loop compensation capacitor (Cea) is connected to an output end of the switch logic gate (20), and the other end of the loop compensation capacitor (Cea) is grounded; and a time delay generating circuit (30), wherein an output end of the time delay generating circuit (30) is connected to a control end of the switch logic gate (20), the time delay generating circuit (30) is used to output a valid switch control signal within a pre-set time period after a power switch tube of a switch power supply is switched off, so as to control the switch logic gate (20) to be in a connected state, so that an error amplification signal output by the error amplifier (10) charges and discharges the loop compensation capacitor (Cea). The loop compensation apparatus can solve the problem that the output of a switch power supply has a larger ripple, thereby ensuring the stability of a loop.

(57) 摘要:

[见续页]



WO 2017/041684 A1



IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种开关电源及其初级控制芯片和环路补偿装置，其中，环路补偿装置包括：误差放大器（10）；开关逻辑门（20），开关逻辑门（20）的输入端与误差放大器（10）的输出端相连；环路补偿电容（Cea），环路补偿电容（Cea）的一端与开关逻辑门（20）的输出端相连，环路补偿电容（Cea）的另一端接地；延时产生电路（30），延时产生电路（30）的输出端与开关逻辑门（20）的控制端相连，延时产生电路（30）用于在开关电源的功率开关管关断后的预设时间内输出有效开关控制信号以控制开关逻辑门（20）处于开通状态，以使误差放大器（10）输出的误差放大信号对环路补偿电容（Cea）进行充放电，该环路补偿装置能够解决开关电源输出纹波偏大的问题，保证环路稳定。

开关电源及其初级控制芯片和环路补偿装置

相关申请的交叉引用

本申请要求中国专利申请号 201510562897.1、申请日为 2015 年 9 月 7 日的优先权，该
5 中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本发明涉及充电电源技术领域，特别涉及一种用于开关电源的环路补偿装置、一种具
有该环路补偿装置的初级控制芯片以及一种开关电源。

10

背景技术

相关技术中，典型的反激式开关电源应用线路图如图 1 所示，通常采用变压器辅助绕
组采样反馈的形式实现对输出的反馈采样。其中，图 2 为典型的开关电源中初级控制芯片
的结构框图。

15

结合图 1 和图 2，系统的恒压实现是通过辅助绕组进行次级电压采样并将采样到的输出
电压提供给误差放大器输入，与基准电压进行误差放大，最终实现对外部功率开关管的导
通时间与工作频率控制。而环路的补偿主要通过误差放大器的输出端加补偿电容 C_{ea} 来
实现。但是，该补偿方式会带来在轻载到空载范围内环路无法稳定而导致输出纹波偏大的
问题。

20

发明内容

本发明旨在至少在一定程度上解决相关技术中的技术问题之一。为此，本发明的第一
个目的在于提出一种用于开关电源的环路补偿装置，通过对误差放大器的输出进行控制，
解决系统输出纹波偏大的问题，保证环路稳定。

25

本发明的第二个目的在于提出一种开关电源的初级控制芯片。本发明的第三个目的在
于提出一种开关电源。

30

为达到上述目的，本发明第一方面实施例提出的一种用于开关电源的环路补偿装置，
包括：误差放大器，所述误差放大器的第一输入端与所述开关电源中初级控制芯片的采样保
持电路的输出端相连，所述误差放大器的第二输入端与第一基准电压参考端相连，其中，
所述误差放大器用于根据所述采样保持电路的采样保持信号和第一基准电压参考端的第一
基准电压信号，得到误差放大信号；开关逻辑门，所述开关逻辑门的输入端与所述误差放
大器的输出端相连；环路补偿电容，所述环路补偿电容的一端与所述开关逻辑门的输出端相

连，所述环路补偿电容的另一端接地；延时产生电路，所述延时产生电路的输出端与所述开关逻辑门的控制端相连，所述延时产生电路用于在所述开关电源的功率开关管关断后的预设时间内输出有效开关控制信号以控制所述开关逻辑门处于开通状态，以使所述误差放大器输出的误差放大信号对所述环路补偿电容进行充放电。

5 根据本发明实施例的用于开关电源的环路补偿装置，通过在误差放大器的输出端增加开关逻辑门以及控制开关逻辑门的延时产生电路，这样延时产生电路在功率开关管关断后的预设时间内输出有效开关控制信号以控制开关逻辑门处于开通状态，这样误差放大器输出的误差放大信号对环路补偿电容进行充放电，使得开关电源实现环路补偿，从而对误差放大器的输出信号通过开关逻辑门控制。

10 为达到上述目的，本发明第二方面实施例提出了一种开关电源的初级控制芯片，其包括上述的用于开关电源的环路补偿装置。

根据本发明实施例的开关电源的初级控制芯片，能够对误差放大器的输出信号通过开关逻辑门控制，即只在功率开关管关断后的一小段时间即预设时间内误差放大器的输出对环路补偿电容进行充放电，实现环路补偿，从而可针对开关电源轻空载情况下的环路稳定性，并不影响开关电源较高频工作的前提下确保在很低频的情况下，使得误差放大器的输出能够比较真实反映次级输出电压的实际情况，解决开关电源输出纹波偏大的问题，保证环路稳定。

此外，本发明的实施例还提出了一种开关电源，其包括上述的开关电源的初级控制芯片。

20 本发明实施例的开关电源，针对轻空载情况下的环路稳定性，可在不影响较高频工作的前提下确保在很低频的情况下，使得误差放大器的输出能够比较真实反映次级输出电压的实际情况，解决输出纹波偏大的问题，保证环路稳定。

附图说明

25 图 1 为相关技术中一种典型的反激式开关电源应用线路图；

图 2 为相关技术中一种开关电源的初级控制芯片的结构框图；

图 3 为相关技术中一种典型的反激式开关电源的工作波形图；

图 4 为根据本发明一个实施例的用于开关电源的环路补偿装置的结构框图；

图 5 为根据本发明一个具体实施例的用于开关电源的环路补偿装置的电路示意图；

30 图 6 为根据本发明另一个具体实施例的用于开关电源的环路补偿装置的电路示意图；
以及

图 7 为根据本发明一个实施例的开关电源的工作波形图。

开关逻辑门 20 的控制端相连，延时产生电路 30 用于在开关电源的功率开关管关断后的预设时间内输出有效开关控制信号例如 CT 为“1”以控制开关逻辑门 20 处于开通状态，以使误差放大器 10 输出的误差放大信号 VEA 对环路补偿电容 C_{ea} 进行充放电，以实现开关电源进行环路补偿。

5 并且，延时产生电路 30 还用于在功率开关管关断后的预设时间外输出无效开关控制信号例如 CT 为“0”以控制开关逻辑门 20 处于断开状态，以使环路补偿电容 C_{ea} 的充放电通路断开，误差放大器 10 的输出电压被保持，即此时误差放大器 10 的输出电压为误差放大器 10 输出的误差放大信号 VEA 的电压。

也就是说，在本发明的实施例中，延时产生电路 30 主要用于产生一个周期性的开关控制信号 CT，CT 在周期的开始（功率开关管关断）为有效，功率开关管关断后延时一段时间即预设时间再跳变成无效。开关控制信号 CT 对误差放大器 10 的输出端所接的开关逻辑门 20 进行控制，开关控制信号 CT 有效时间内误差放大器 10 的输出 VEA 接到环路补偿电容 C_{ea} 上，误差放大器 10 对输出电压反馈的采样保持信号 VSH 与第一基准电压信号 V_{ref} 进行比较放大，当 $VSH > V_{ref}$ ，则误差放大器 10 将对环路补偿电容 C_{ea} 进行放电，环路补偿电容
15 C_{ea} 上的电压下降；反之当 $VSH < V_{ref}$ ，则误差放大器 10 对环路补偿电容 C_{ea} 进行充电，环路补偿电容 C_{ea} 上的电压上升，另外当 $VSH = V_{ref}$ 时，误差放大器 10 保持输出误差放大信号 VEA 的电压。开关控制信号 CT 有效时间外（功率开关管关断后的预设时间内 CT 有效即从功率开关管关断开始到预设时间结束的时段为有效时间，其余时间无效），则误差放大器 10 的输出端与环路补偿电容 C_{ea} 断开，此时由于环路补偿电容 C_{ea} 的充放电通路被断开，
20 环路补偿电容 C_{ea} 上的电压值将被保持直到下个 CT 有效时间的来临，由此实现在功率开关管关断一段时间后误差放大器 10 的输出电压被保持。初级控制芯片中的后级的电路例如恒流恒压控制模块（即脉冲宽度调制 PWM&脉冲频率调制 PFM 电路）、逻辑控制模块和输出驱动模块根据环路补偿电容 C_{ea} 的电压控制整个开关电源的工作频率和功率开关管导通时间。

25 根据本发明的一个实施例，延时产生电路 30 在触发信号 SIN 的控制下产生有效开关控制信号，其中，触发信号 SIN 可以为功率开关管的关断信号。具体而言，SIN 为 CT 的触发信号，用于产生 CT 有效时间的开始信号，由于 CT 在功率开关管关断后延时一段时间再跳变成无效，因此延时产生电路 30 的触发信号 SIN 一般为功率开关管的关断信号。其中，考虑到功率开关管的开启时间或次级消磁时间 TDS 比较短，在 CT 的有效时间内可以忽略，因此
30 SIN 也可以为功率开关管的开启信号或消磁信号，比如图 2 中的功率开关管的开启信号 ON、关断信号 OFF、驱动信号 DRI、逻辑控制信号 PUL 或次级消磁信号 TDS。

具体而言，在本发明的一个实施例中，如图 5 或图 6 所示，开关逻辑门 20 具体包括：

第一反相器 inv1、第一开关管 M1 和第二开关管 M2，第一反相器 inv1 的输入端与延时产生电路 30 的输出端相连，第一开关管 M1 的第一端和第二开关管 M2 的第一端相连后与误差放大器 10 的输出端相连，第一开关管 M1 的第二端与延时产生电路 30 的输出端相连，第二开关管 M2 的第二端与第一反相器 inv1 的输出端相连，第一开关管 M1 的第三端和第二开关管 M2 的第三端相连后作为开关逻辑门 20 的输出端。其中，第一开关管 M1 和第二开关管 M2 均为 MOS 管。

如图 5 所示，延时产生电路 30 具体包括：第一 NMOS 管 MN1、第一电容 C1、施密特触发器 301、第一或非门 nor1 和第二反相器 inv2。第一 NMOS 管 MN1 的栅极作为延时产生电路 30 的触发端以接收触发信号 SIN，第一 NMOS 管 MN1 的漏极与第一电流源 I1 相连，第一 NMOS 管 MN1 的源极接地；第一电容 C1 并联在第一 NMOS 管 MN1 的漏极与源极之间，施密特触发器 301 的输入端与第一 NMOS 管 MN1 的漏极相连，第一或非门 nor1 的第一输入端与施密特触发器 301 的输出端相连，第一或非门 nor1 的第二输入端与第一 NMOS 管 MN1 的栅极相连；第二反相器 inv2 的输入端与第一或非门 nor1 的输出端相连，第二反相器 inv2 的输出端作为延时产生电路 30 的输出端。

根据本发明的另一个实施例，如图 6 所示，延时产生电路 30 具体包括：第二 NMOS 管 MN2、第二电容 C2、比较器 302、第二或非门 nor2 和第三反相器 inv3。第二 NMOS 管 MN2 的栅极作为延时产生电路 30 的触发端以接收触发信号 SIN，第二 NMOS 管 MN2 的漏极与第二电流源 I2 相连，第二 NMOS 管 MN2 的源极接地；第二电容 C2 并联在第二 NMOS 管 MN2 的漏极与源极之间，比较器 302 的负输入端与第二 NMOS 管 MN2 的漏极相连，比较器 302 的正输入端与第二基准电压参考端相连，第二基准电压参考端提供第二基准电压信号 Vref2，第二或非门 nor2 的第一输入端与比较器 302 的输出端相连，第二或非门 nor2 的第二输入端与第二 NMOS 管 MN2 的栅极相连；第三反相器 inv3 的输入端与第二或非门 nor2 的输出端相连，第三反相器 inv3 的输出端作为延时产生电路 30 的输出端。

其中，以次级消磁信号 TDS 作为触发信号 SIN 为例，当功率开关管关断后次级开始消磁，此时 TDS= '1'，此时延时产生电路 30 中 MN1 导通，对电容 C1 进行复位，电容 C1 上的电压 VC1= '0'，于是施密特触发器 301 输出 '1'，此时或非门 nor1 输出为 '0'，CT= '1'；次级消磁结束后，TDS 由 '1' 到 '0'，由于此时施密特触发器 301 输出仍为 '1'，因此 CT 保持 '1'，TDS = '0'，第一电流源 I1 对电容 C1 进行充电，电容 C1 上电压逐渐上升，当电容 C1 上的电压 VC1 上升到施密特触发器输出翻转，此时输出 CT= '0'。在本发明的一个实施例中，可以通过调整电容 C1 和第一电流源 I1 来调整 CT= '1' 的时间，电容越大，电流越小，则延时时间越长，即 CT 的有效时间越长，即言，预设时间根据所述第一电容 C1 的容值和所述第一电流源 I1 的电流幅值确定，并且所述预设时间与所述第一电容的容值之

间呈正相关关系，所述预设时间与所述第一电流源的电流幅值呈反相关关系。CT= '1' 时，开关逻辑门 20 中的开关管 M1、M2 导通，此时误差放大器 10 的输出接到环路补偿电容 Cea 上，误差放大器 10 将对输入的采样保持信号 VSH 与第一基准电压信号 Vref 进行正常的比较放大；一旦 CT= '0'，开关逻辑门 20 中的开关管 M1、M2 关断，则误差放大器 10 的输出与环路补偿电容 Cea 断开，使得环路补偿电容 Cea 充放电回路断开，而由于环路补偿电容 Cea 充放电回路断开，因此环路补偿电容 Cea 将保持之前的比较放大值，并且环路补偿电容 Cea 上的电压实现对后级电路进行控制。

图 6 是本发明实施例的用于开关电源的环路补偿装置的另一种电路实现方案，采用比较器 302 来替代图 5 中的施密特触发器 301。其中，SIN= '1' 时电容 C2 被复位，比较器 302 输出= '1'，此时 CT= '1'，当 SIN= '0'，第二电流源 I2 对电容 C2 充电，一旦电容 C2 上的电压 VC2 超过 Vref2，则比较器 302 翻转，CT= '0'。同样 CT= '1' 时，误差放大器 10 的输出接到环路补偿电容 Cea 上，反之 CT= '0' 时，则误差放大器 10 的输出与环路补偿电容 Cea 断开，环路补偿电容 Cea 上电压被保持直到下一个 SIN= '1' 的到来。

具体地，如图 7 所示，在 CT= '1' 的时间内，VEA 随着输入信号的变化而变化，而 CT= '0' 的时间内（一个周期之内 CT= '1' 以外的时间）VEA 保持不变。与图 3 对比，在较低的频率下，VEA 比较能跟随输出电压的变化，从而有效促进开关电源环路的稳定性。

根据本发明实施例的用于开关电源的环路补偿装置，通过在误差放大器的输出端增加开关逻辑门以及控制开关逻辑门的延时产生电路，这样延时产生电路在功率开关管关断后的预设时间内输出有效开关控制信号以控制开关逻辑门处于开通状态，这样误差放大器输出的误差放大信号对环路补偿电容进行充放电，使得开关电源实现环路补偿，从而对误差放大器的输出信号通过开关逻辑门控制，即只在功率开关管关断后的一小段时间即预设时间内误差放大器的输出对环路补偿电容进行充放电，实现环路补偿。因此，本发明实施例的用于开关电源的环路补偿装置主要是针对轻空载情况下的环路稳定性，在不影响开关电源较高频工作的前提下确保在很低频的情况下，误差放大器的输出能够比较真实反映次级输出电压的实际情况，从而解决开关电源输出纹波偏大的问题，保证环路稳定。

此外，本发明的实施例提出了一种开关电源的初级控制芯片，其包括上述的用于开关电源的环路补偿装置。

根据本发明实施例的开关电源的初级控制芯片，能够对误差放大器的输出信号通过开关逻辑门控制，即只在功率开关管关断后的一小段时间即预设时间内误差放大器的输出对环路补偿电容进行充放电，实现环路补偿，从而可针对开关电源轻空载情况下的环路稳定性，并不影响开关电源较高频工作的前提下确保在很低频的情况下，使得误差放大器的输出能够比较真实反映次级输出电压的实际情况，解决开关电源输出纹波偏大的问题，保

证环路稳定。

最后，本发明的实施例还提出了一种开关电源，其包括上述的开关电源的初级控制芯片。

5 本发明实施例的开关电源，针对轻空载情况下的环路稳定性，可在不影响较高频工作的前提下确保在很低频的情况下，使得误差放大器的输出能够比较真实反映次级输出电压的实际情况，解决输出纹波偏大的问题，保证环路稳定。

10 在本发明的描述中，需要理解的是，术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。

15 此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中，“多个”的含义是至少两个，例如两个，三个等，除非另有明确具体的限定。

20 在本发明中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或成一体；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系，除非另有明确的限定。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本发明中的具体含义。

25 在本发明中，除非另有明确的规定和限定，第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触，或第一和第二特征通过中间媒介间接接触。而且，第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方，或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方，或仅仅表示第一特征水平高度小于第二特征。

30 在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不必针对的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域

域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

5 尽管上面已经示出和描述了本发明的实施例，可以理解的是，上述实施例是示例性的，不能理解为对本发明的限制，本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

权利要求书

1、一种用于开关电源的环路补偿装置，其特征在于，包括：

5 误差放大器，所述误差放大器的第一输入端与所述开关电源中初级控制芯片的采样保持电路的输出端相连，所述误差放大器的第二输入端与第一基准电压参考端相连，其中，所述误差放大器用于根据所述采样保持电路的采样保持信号和第一基准电压参考端的第一基准电压信号，得到误差放大信号；

开关逻辑门，所述开关逻辑门的输入端与所述误差放大器的输出端相连；

10 环路补偿电容，所述环路补偿电容的一端与所述开关逻辑门的输出端相连，所述环路补偿电容的另一端接地；

延时产生电路，所述延时产生电路的输出端与所述开关逻辑门的控制端相连，所述延时产生电路用于在所述开关电源的功率开关管关断后的预设时间内输出有效开关控制信号以控制所述开关逻辑门处于开通状态，以使所述误差放大器输出的误差放大信号对所述环路补偿电容进行充放电。

15 2、根据权利要求1所述的用于开关电源的环路补偿装置，其特征在于，所述延时产生电路还用于在所述功率开关管关断后的预设时间外输出无效开关控制信号以控制所述开关逻辑门处于断开状态，以使所述环路补偿电容的充放电通路断开，所述误差放大器的输出电压被保持。

20 3、根据权利要求1或2所述的用于开关电源的环路补偿装置，其特征在于，所述延时产生电路在触发信号的控制下产生所述有效开关控制信号，其中，所述触发信号为所述功率开关管的关断信号。

4、根据权利要求3所述的用于开关电源的环路补偿装置，其特征在于，所述开关逻辑门具体包括：

第一反相器，所述第一反相器的输入端与所述延时产生电路的输出端相连；

25 第一开关管和第二开关管，所述第一开关管的第一端和所述第二开关管的第一端相连后与所述误差放大器的输出端相连，所述第一开关管的第二端与所述延时产生电路的输出端相连，所述第二开关管的第二端与所述第一反相器的输出端相连，所述第一开关管的第三端和所述第二开关管的第三端相连后作为所述开关逻辑门的输出端。

30 5、根据权利要求3或4所述的用于开关电源的环路补偿装置，其特征在于，所述延时产生电路具体包括：

第一NMOS管，所述第一NMOS管的栅极作为所述延时产生电路的触发端以接收所述触发信号，所述第一NMOS管的漏极与第一电流源相连，所述第一NMOS管的源极接地；

第一电容，所述第一电容并联在所述第一 NMOS 管的漏极与源极之间；

施密特触发器，所述施密特触发器的输入端与所述第一 NMOS 管的漏极相连；

第一或非门，所述第一或非门的第一输入端与所述施密特触发器的输出端相连，所述第一或非门的第二输入端与所述第一 NMOS 管的栅极相连；

5 第二反相器，所述第二反相器的输入端与所述第一或非门的输出端相连，所述第二反相器的输出端作为所述延时产生电路的输出端。

6、根据权利要求 3 或 4 所述的用于开关电源的环路补偿装置，其特征在于，所述延时产生电路具体包括：

10 第二 NMOS 管，所述第二 NMOS 管的栅极作为所述延时产生电路的触发端以接收所述触发信号，所述第二 NMOS 管的漏极与第二电流源相连，所述第二 NMOS 管的源极接地；

第二电容，所述第二电容并联在所述第二 NMOS 管的漏极与源极之间；

比较器，所述比较器的负输入端与所述第二 NMOS 管的漏极相连，所述比较器的正输入端与第二基准电压参考端相连；

15 第二或非门，所述第二或非门的第一输入端与所述比较器的输出端相连，所述第二或非门的第二输入端与所述第二 NMOS 管的栅极相连；

第三反相器，所述第三反相器的输入端与所述第二或非门的输出端相连，所述第三反相器的输出端作为所述延时产生电路的输出端。

7、根据权利要求 5 所述的用于开关电源的环路补偿装置，其特征在于，所述预设时间根据所述第一电容的容值和所述第一电流源的电流幅值确定。

20 8、根据权利要求 7 所述的用于开关电源的环路补偿装置，其特征在于，所述预设时间与所述第一电容的容值之间呈正相关关系，所述预设时间与所述第一电流源的电流幅值呈反相关关系。

9、一种开关电源的初级控制芯片，其特征在于，包括根据权利要求 1-8 中任一项所述的用于开关电源的环路补偿装置。

25 10、一种开关电源，其特征在于，包括根据权利要求 9 所述的初级控制芯片。

附图

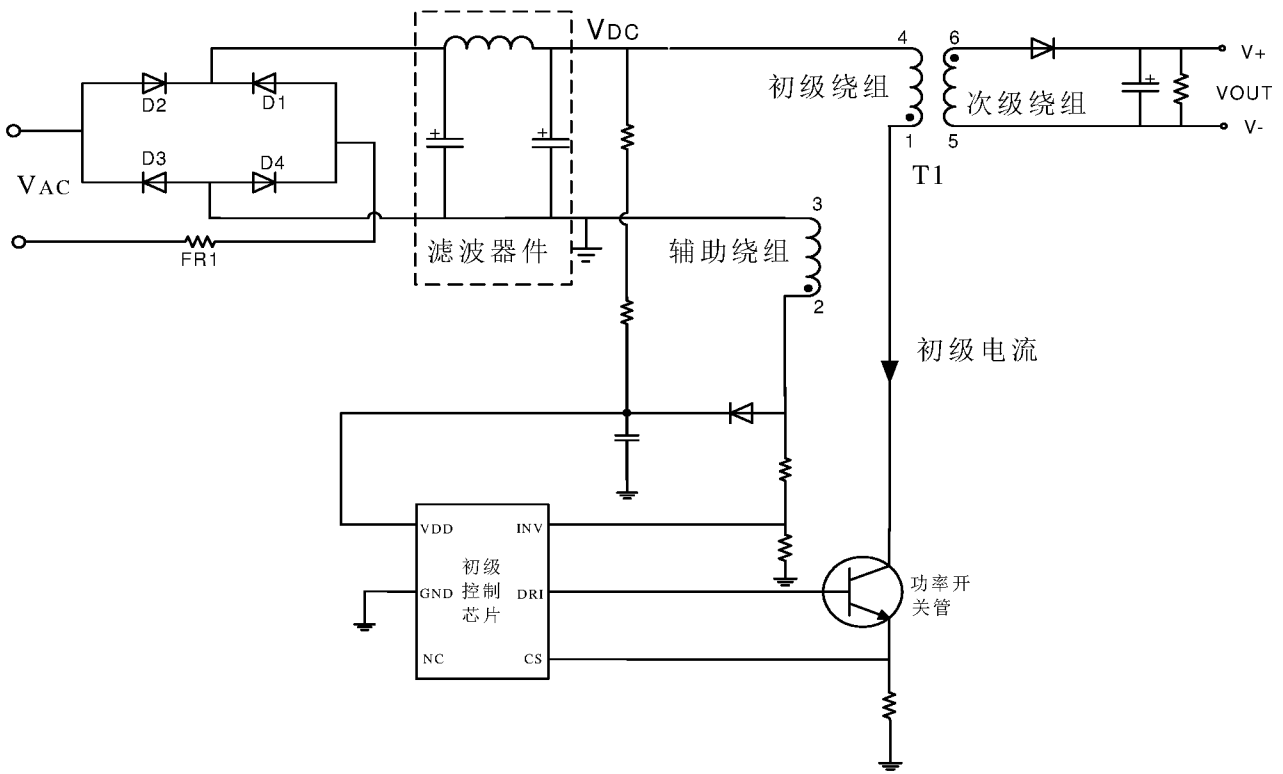


图 1

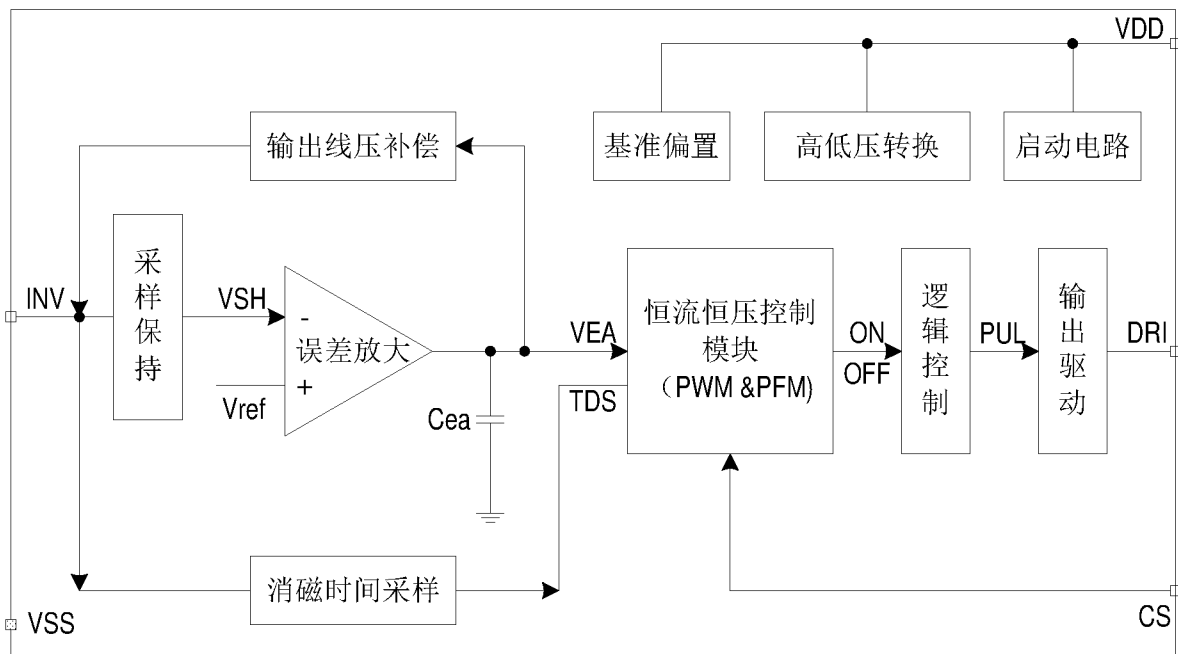


图 2

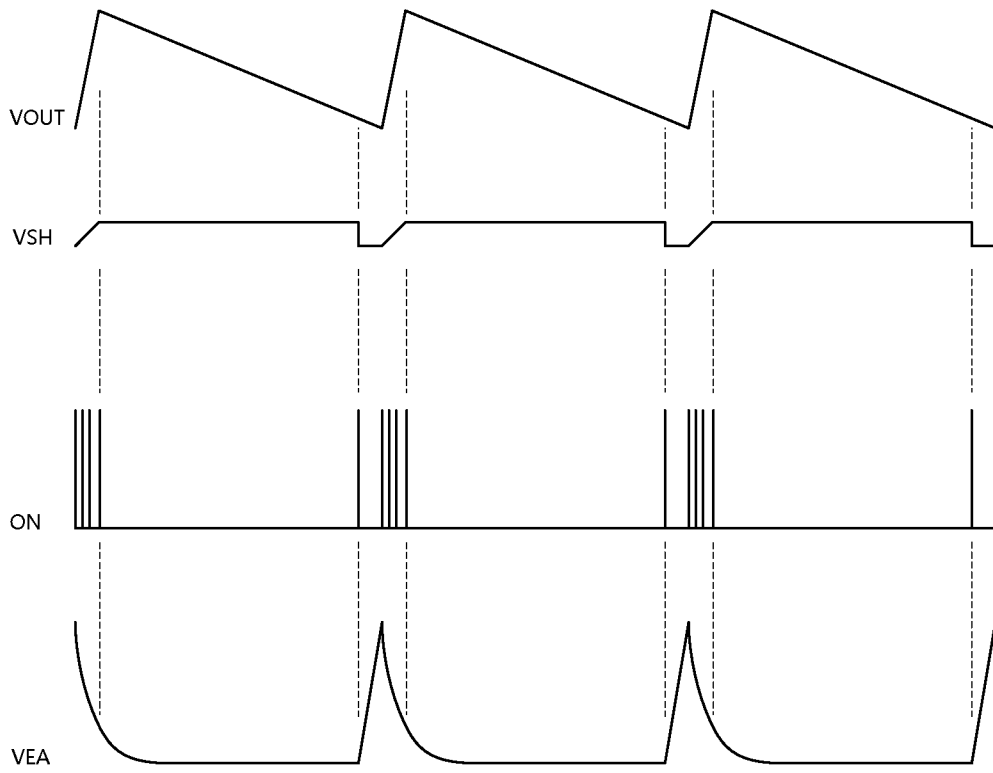


图 3

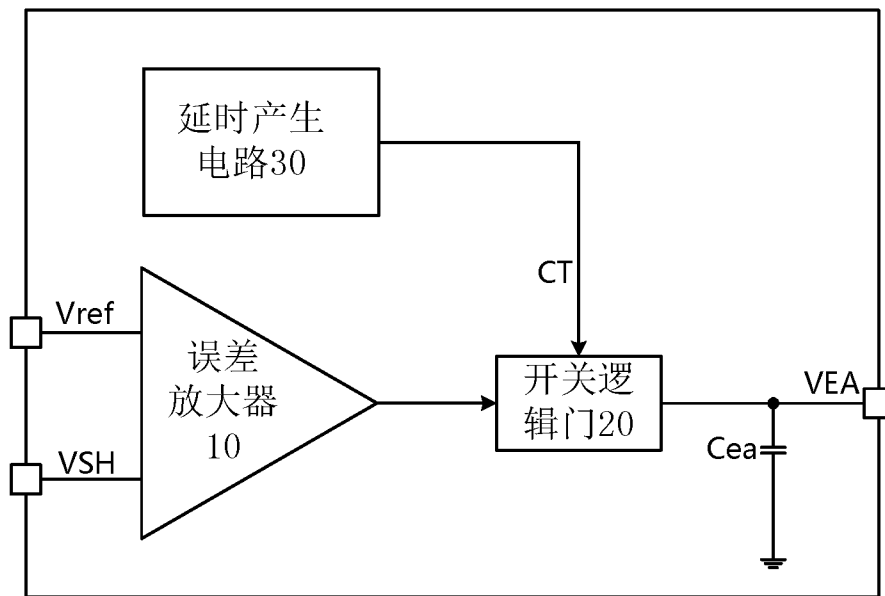


图 4

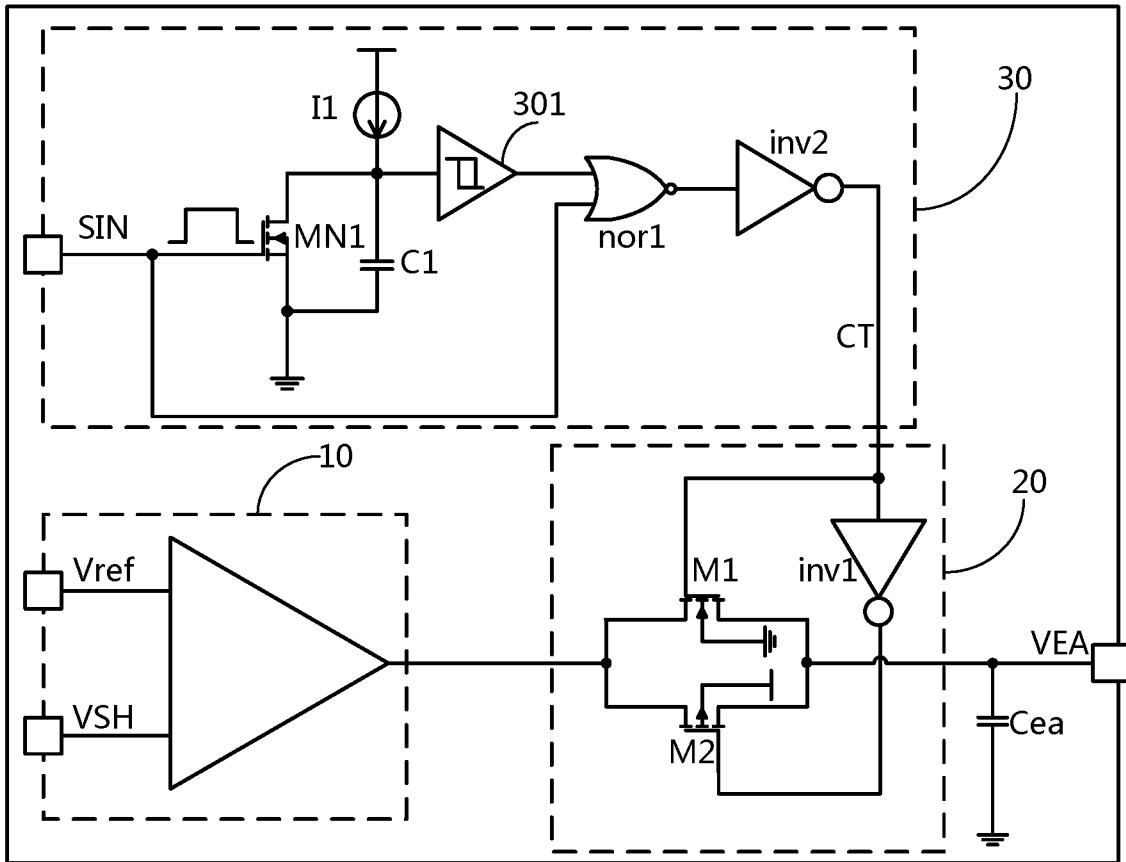


图 5

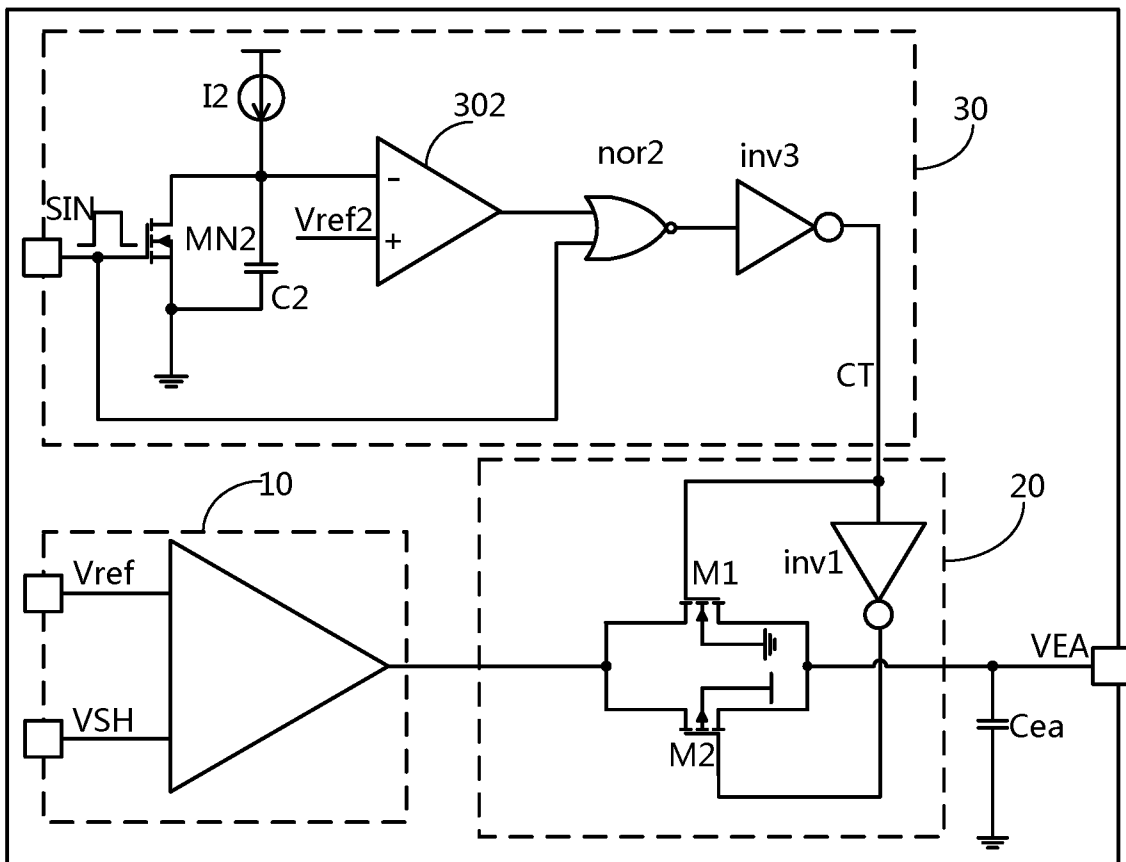


图 6

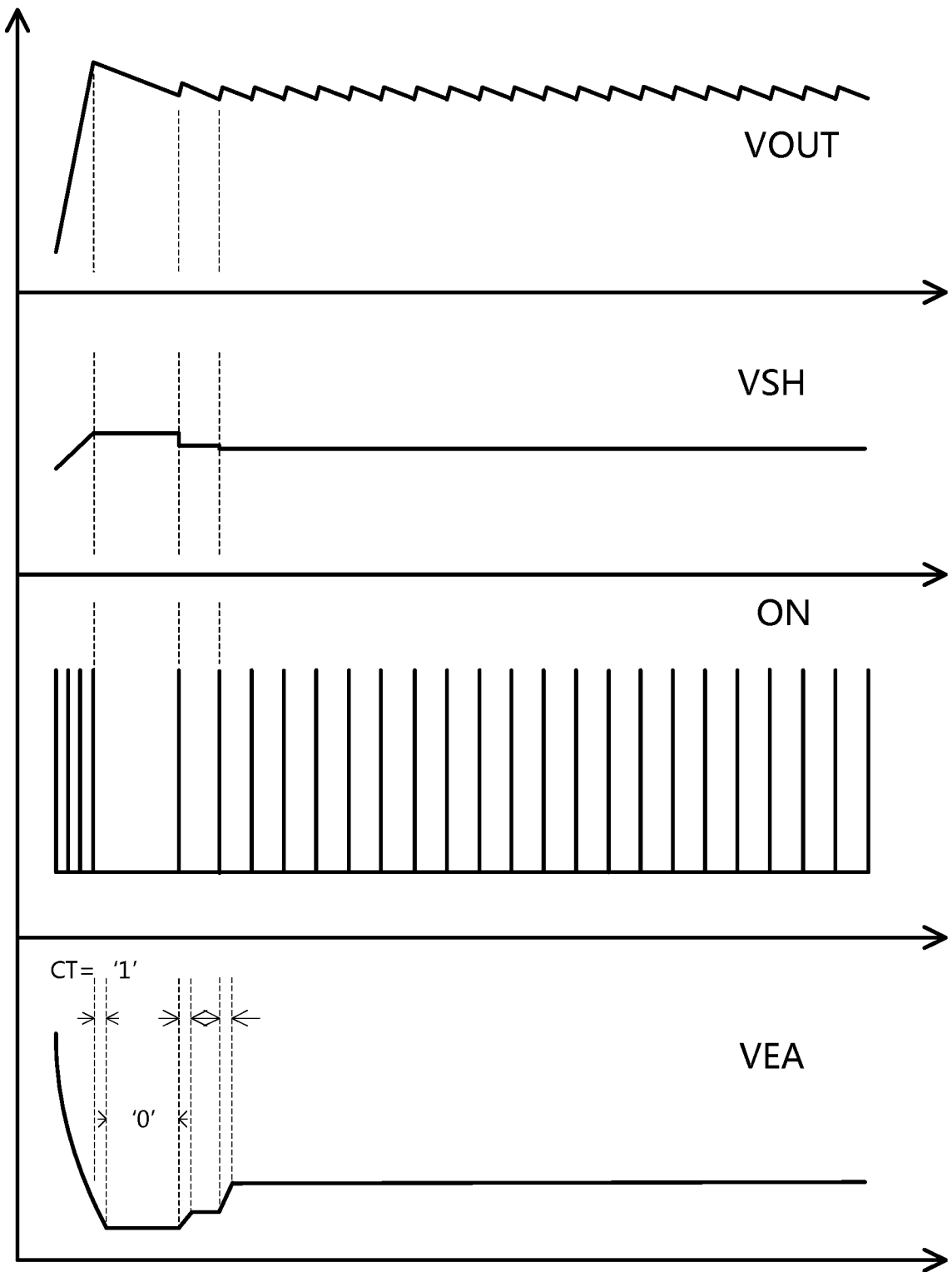


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/098124

A. CLASSIFICATION OF SUBJECT MATTER

H02M 1/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M; H05B; G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: loop compensation, error amplification, lag, loop, compensat+, capaci+, error, amplifier?, delay+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105071651 A (MORNSUN GUANGZHOU SCIENCE & TECHNOLOGY LTD.), 18 November 2015 (18.11.2015), description, paragraphs [0086]-[0101], and figures 3 and 4	1-10
A	CN 102523650 A (ZHAO, Xiuping), 27 June 2012 (27.06.2012), description, paragraphs [0022], [0038] and [0078]-[0089], and figures 7 and 8	1-10
A	CN 102983734 A (XIDIAN UNIVERSITY), 20 March 2013 (20.03.2013), the whole document	1-10
A	CN 104702095 A (HANGZHOU SILAN MICROELECTRONICS CO., LTD.), 10 June 2015 (10.06.2015), the whole document	1-10
A	US 2011/0193539 A1 (TEXAS INSTRUMENTS INC.), 11 August 2011 (11.08.2011), the whole document	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search
25 November 2016 (25.11.2016)

Date of mailing of the international search report
07 December 2016 (07.12.2016)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
HAN, Xiao
Telephone No.: (86-10) **62413655**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/098124

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105071651 A	18 November 2015	None	
CN 102523650 A	27 June 2012	None	
CN 102983734 A	20 March 2013	None	
CN 104702095 A	10 June 2015	None	
US 2011/0193539 A1	11 August 2011	None	

<p>A. 主题的分类</p> <p>H02M 1/14(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H02M; H05B; G05F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPODOC, CNKI, IEEE: 环路补偿, 电容, 误差放大, 延时, 滞后, loop, compensat+, capaci+, error, amplifier?, delay+</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105071651 A (广州金升阳科技有限公司) 2015年 11月 18日 (2015 - 11 - 18) 说明书第[0086]-[0101]段, 附图3、4</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 102523650 A (赵修平) 2012年 6月 27日 (2012 - 06 - 27) 说明书第[0022]、[0038]、[0078]-[0089]段, 附图7、8</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 102983734 A (西安电子科技大学) 2013年 3月 20日 (2013 - 03 - 20) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 104702095 A (杭州士兰微电子股份有限公司) 2015年 6月 10日 (2015 - 06 - 10) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2011/0193539 A1 (TEXAS INSTRUMENTS INC.) 2011年 8月 11日 (2011 - 08 - 11) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105071651 A (广州金升阳科技有限公司) 2015年 11月 18日 (2015 - 11 - 18) 说明书第[0086]-[0101]段, 附图3、4	1-10	A	CN 102523650 A (赵修平) 2012年 6月 27日 (2012 - 06 - 27) 说明书第[0022]、[0038]、[0078]-[0089]段, 附图7、8	1-10	A	CN 102983734 A (西安电子科技大学) 2013年 3月 20日 (2013 - 03 - 20) 全文	1-10	A	CN 104702095 A (杭州士兰微电子股份有限公司) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-10	A	US 2011/0193539 A1 (TEXAS INSTRUMENTS INC.) 2011年 8月 11日 (2011 - 08 - 11) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 105071651 A (广州金升阳科技有限公司) 2015年 11月 18日 (2015 - 11 - 18) 说明书第[0086]-[0101]段, 附图3、4	1-10																		
A	CN 102523650 A (赵修平) 2012年 6月 27日 (2012 - 06 - 27) 说明书第[0022]、[0038]、[0078]-[0089]段, 附图7、8	1-10																		
A	CN 102983734 A (西安电子科技大学) 2013年 3月 20日 (2013 - 03 - 20) 全文	1-10																		
A	CN 104702095 A (杭州士兰微电子股份有限公司) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-10																		
A	US 2011/0193539 A1 (TEXAS INSTRUMENTS INC.) 2011年 8月 11日 (2011 - 08 - 11) 全文	1-10																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2016年 11月 25日</p>		<p>国际检索报告邮寄日期</p> <p>2016年 12月 7日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>韩笑</p> <p>电话号码 (86-10)62413655</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/098124

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	105071651	A	2015年 11月 18日	无	
CN	102523650	A	2012年 6月 27日	无	
CN	102983734	A	2013年 3月 20日	无	
CN	104702095	A	2015年 6月 10日	无	
US	2011/0193539	A1	2011年 8月 11日	无	