(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月21日(21.04.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/080100 A1

(51) 国際特許分類:
H01L 23/29 (2006.01) *H01L 25/07* (2006.01)
H01L 23/31 (2006.01) *H01L 25/18* (2006.01)
H01L 23/48 (2006.01) *H01L 21/60* (2006.01)

(21) 国際出願番号： PCT/JP2021/034715

(22) 国際出願日： 2021年9月22日(22.09.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-173337 2020年10月14日(14.10.2020) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 谷川 昂平 (**TANIKAWA Kohei**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 山根 佳大 (**YAMANE Yoshihiro**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

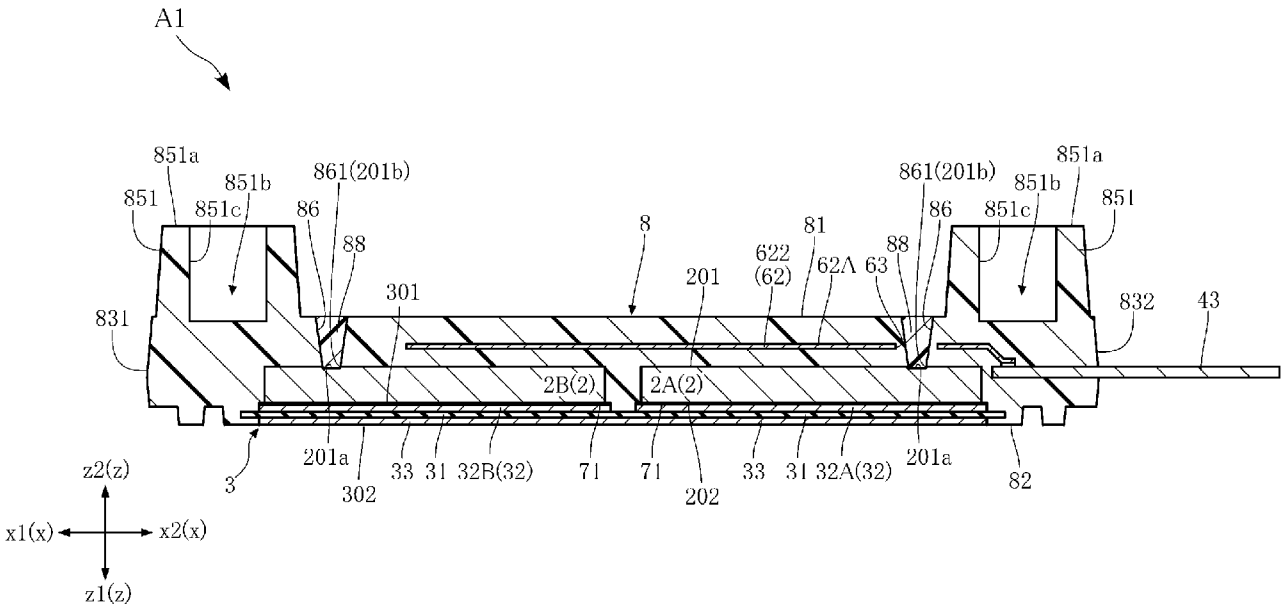
(74) 代理人: 臼井 尚, 外 (**USUI Takashi** et al.); 〒5430014 大阪府大阪市天王寺区玉造元町２番３２－１３０１ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) **Title:** SEMICONDUCTOR MODULE AND SEMICONDUCTOR MODULE MANUFACTURING METHOD

(54) 発明の名称： 半導体モジュール、および半導体モジュールの製造方法

FIG.13



(57) **Abstract:** This semiconductor module comprises a support substrate, a conductive substrate joined to the support substrate, a switching semiconductor element electrically joined to the conductive substrate, and a conductive member that constitutes a path of a main circuit current switched by the semiconductor element. The conductive member is arranged so as to overlap with the main surface of the conductive substrate when viewed in the thickness direction of the support substrate. The conductive member is formed with an opening that overlaps with the main surface of the conductive substrate and does not overlap with the semiconductor element when viewed in the thickness direction.

WO 2022/080100 A1

［続葉有］

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:半導体モジュールは、支持基板と、前記支持基板に接合された導電基板と、前記導電基板に電気的に接合されたスイッチング用半導体素子と、前記半導体素子によってスイッチングされる主回路電流の経路を構成する導電部材とを備える。前記導電部材は、前記支持基板の厚さ方向に見て、前記導電基板の主面と重なるように配置されている。前記導通部材には、前記厚さ方向に見て、前記導電基板の前記主面と重なり且つ前記半導体素子と重ならない開口が形成されている。

明　細　書

発明の名称 ：

半導体モジュール、および半導体モジュールの製造方法

技術分野

[0001]　本開示は、半導体モジュール、および半導体モジュールの製造方法に関する。

背景技術

[0002]　従来、ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）やＩＧＢＴ（Insulated Gate Bipolar Transistor）等の電力用スイッチング素子を備える半導体モジュールが知られている。このような半導体モジュールは、産業機器、家電、情報端末、および自動車用機器を含む種々の電子機器に搭載される。特許文献１には、従来の半導体モジュール（パワーモジュール）が開示されている。特許文献１に記載の半導体モジュールは、半導体素子、および、支持基板（セラミック基板）を備えている。半導体素子は、たとえばＳｉ（シリコン）製のＩＧＢＴである。支持基板は、半導体素子を支持する。支持基板は、絶縁性の基材と、基材の上下両面にそれぞれ積層された導体層とを含む。各導体層は、たとえばＣｕ（銅）からなり、一方の導体層に半導体素子が接合される。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１５－２２０３８２号公報

発明の概要

発明が解決しようとする課題

[0004]　近年、電子機器の省エネルギー化、高性能化および小型化が求められている。その要請に応えるには、電子機器に搭載される半導体モジュールの性能向上や小型化が必要となる。

[0005]　上記事情に鑑み、本開示は、導電基板と支持基板との接合強度の向上を図

る上で好ましいモジュール構造を有する半導体モジュールを提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示により提供される半導体モジュールは、支持基板と、前記支持基板の厚さ方向において互いに離間した主面および裏面を有し、前記裏面が前記支持基板に対向するように当該支持基板に接合された導電基板と、前記主面に電気的に接合され、スイッチング機能を有する少なくとも１つの半導体素子と、前記半導体素子によってスイッチングされる主回路電流の経路を構成し、かつ前記厚さ方向に見て前記主面と重なるように配置された導通部材と、前記厚さ方向において互いに離間した樹脂主面および樹脂裏面を有し、前記支持基板の少なくとも一部と、前記導電基板の少なくとも一部と、前記半導体素子とを覆う封止樹脂とを備える。前記導通部材には、前記厚さ方向に見て、前記導電基板の前記主面と重なり且つ前記半導体素子と重ならない少なくとも１つの開口が形成されている。

発明の効果

[0007] 本開示の構成によれば、導電基板と支持基板との接合強度の向上を図る上で好ましいモジュール構造を提供することができる。

図面の簡単な説明

[0008] [図1]第１実施形態にかかる半導体モジュールの斜視図である。

[図2]図１において、封止樹脂、樹脂部および樹脂充填部を省略した図である。

[図3]図２において、導通部材を省略した図である。

[図4]第１実施形態の半導体モジュールを示す平面図である。

[図5]図４において、封止樹脂、樹脂部および樹脂充填部を想像線で示した図である。

[図6]図５の一部を拡大した図であって、封止樹脂、樹脂部および樹脂充填部の想像線を省略している。

[図7]図６の一部を拡大した図である。

[図8]図５において、導通部材の一部を想像線で示した図である。

[図9]第１実施形態の半導体モジュールを示す正面図である。

[図10]第１実施形態の半導体モジュールを示す底面図である。

[図11]第１実施形態の半導体モジュールを示す左側面図である。

[図12]第１実施形態の半導体モジュールを示す右側面図である。

[図13]図５のＸＩＩＩ－ＸＩＩＩ線に沿う断面図である。

[図14]図５のＸＩＶ－ＸＩＶ線に沿う断面図である。

[図15]図１４の一部を拡大した部分拡大図である。

[図16]図５のＸＶＩ－ＸＶＩ線に沿う断面図である。

[図17]図５のＸＶＩＩ－ＸＶＩＩ線に沿う断面図である。

[図18]図５のＸＶＩＩＩ－ＸＶＩＩＩ線に沿う断面図である。

[図19]図５のＸＩＸ－ＸＩＸ線に沿う断面図である。

[図20]第１実施形態の半導体モジュールの回路構成例である。

[図21]半導体モジュールの製造方法の一工程を示す平面図である。

[図22]半導体モジュールの製造方法の一工程を示す断面模式図である。

[図23]半導体モジュールの製造方法の一工程を示す平面図である。

[図24]半導体モジュールの製造方法の一工程を示す切断部端面図であって、図１３に示す断面に対応する。

[図25]半導体モジュールの製造方法の一工程を示す要部拡大断面図であって、図１３に示す断面の一部を拡大した図に対応する。

[図26]半導体モジュールの製造方法の一工程を示す要部拡大断面図であって、図１４に示す断面の一部を拡大した図に対応する。

[図27]半導体モジュールの製造方法の一工程を示す要部拡大断面図であって、図１４に示す断面の一部を拡大した図に対応する。

[図28]半導体モジュールの製造方法の一工程を示す要部拡大断面図であって、図１３に示す断面の一部を拡大した図に対応する。

[図29]半導体モジュールの製造方法の一工程を示す要部拡大断面図であって、図１４に示す断面の一部を拡大した図に対応する。

[図30]第１変形例にかかる半導体モジュールを示す斜視図である。

[図31]第１変形例にかかる半導体モジュールを示す平面図である。

[図32]第２変形例にかかる半導体モジュールを示す平面図である。

[図33]第２実施形態の半導体モジュールを示す平面図である。

[図34]図３３の一部を拡大した部分拡大図であって、封止樹脂、樹脂部および樹脂充填部の想像線を省略している。

[図35]図３４の一部を拡大した図である。

発明を実施するための形態

[0009] 本開示の半導体モジュールの好ましい実施の形態について、図面を参照して以下に説明する。以下の説明において、同一あるいは類似の構成要素については、同じ符号を付し、重複する説明は省略する。

[0010] 図１～図２０は、第１実施形態にかかる半導体モジュールＡ１を示している。半導体モジュールＡ１は、たとえば図２または図３に示すように、複数の半導体素子１０、導電基板２、支持基板３、複数の入力端子４１～４３、複数の出力端子４４、複数の制御端子４５、複数の制御端子支持体５、および複数の導通部材６を備えている。また、半導体モジュールＡ１は、第１導電性接合材７１および第２導電性接合材７２（図１４）や、複数のワイヤ７３１～７３５（図８）、封止樹脂８（図１）、樹脂部８７（図１）、および樹脂充填部８８（図１３）を備えている。

[0011] 図１は、半導体モジュールＡ１を示す斜視図である。図２は、図１の斜視図において、封止樹脂８および樹脂部８７等を省略した図である。図３は、図２の斜視図において、導通部材６を省略した図である。図４は、半導体モジュールＡ１を示す平面図である。図５は、図４の平面図において、封止樹脂８、樹脂部８７等を想像線で示した図である。図６は、図５の一部を拡大した部分拡大図である。図６においては、封止樹脂８および樹脂部８７等に対する想像線を省略している。図７は、図６の一部を拡大した部分拡大図である。図８は、図５の平面図において、導通部材６の一部（後述の第２導通部材６２）を想像線で示した図である。図９は、半導体モジュールＡ１を示

す正面図である。図１０は、半導体モジュールＡ１を示す底面図である。図１１は、半導体モジュールＡ１を示す左側面図である。図１２は、半導体モジュールＡ１を示す右側面図である。図１３は、図５のＸＩＩＩ－ＸＩＩＩ線に沿う断面図である。図１４は、図５のＸＩＶ－ＸＩＶ線に沿う断面図である。図１５は、図１４の一部を拡大した部分拡大図である。図１６は、図５のＸＶＩ－ＸＶＩ線に沿う断面図である。図１７は、図５のＸＶＩＩ－ＸＶＩＩ線に沿う断面図である。図１８は、図５のＸＶＩＩＩ－ＸＶＩＩＩ線に沿う断面図である。図１９は、図５のＸＩＸ－ＸＩＸ線に沿う断面図である。図２０は、半導体モジュールＡ１の回路構成例である。図２０の回路図においては、複数の第１半導体素子１０Ａ（後述）のうちの１つのみ、および複数の第２半導体素子１０Ｂ（後述）のうちの１つのみ（図示された第１半導体素子１０Ａに対応する１つの第２半導体素子１０Ｂ）を記載している。なお、複数のワイヤ７３１～７３５は、図２、図３、図７、図１４、図１８においては省略されている。

[0012] 以下では、互いに直交する３つの方向、すなわちｘ方向、ｙ方向およびｚ方向を参照しつつ説明する。図に示す例では、ｚ方向は、半導体モジュールＡ１（または支持基板３等）の厚さ方向である。図４に示すように、ｘ方向は、封止樹脂８の長辺に平行に延びており、ｙ方向は、封止樹脂８の短辺に平行に延びている。ｘ方向の一方をｘ１方向、ｘ方向の他方をｘ２方向とする。これは、ｙ方向およびｚ方向についても同様である。以下の説明において、「平面視」は、「ｚ方向に見たとき」と同じ意味である。ｘ方向を「第１方向」と称し、ｙ方向を「第２方向」と称する場合もあるが、本開示がこれに限定されるわけではない。

[0013] 複数の半導体素子１０は、半導体モジュールＡ１の機能にとっての主要な要素である。各半導体素子１０は、たとえばＳｉＣ（炭化ケイ素）を主とする半導体材料からなる。この半導体材料は、ＳｉＣに限定されず、Ｓｉ（シリコン）、ＧａＡｓ（ヒ化ガリウム）あるいはＧａＮ（窒化ガリウム）等であってもよい。各半導体素子１０は、たとえばＭＯＳＦＥＴ（Metal-Oxide-S

emiconductor Field-Effect Transistor）で構成されたスイッチング機能部Ｑ１（図２０参照）を有する。スイッチング機能部Ｑ１は、ＭＯＳＦＥＴに限定されず、ＭＩＳＦＥＴ（Metal-Insulator-Semiconductor FET）を含む電界効果トランジスタや、ＩＧＢＴのようなバイポーラトランジスタ等、他のトランジスタであってもよい。各半導体素子１０は、いずれも同じ素子である。各半導体素子１０は、たとえばｎチャネル型のＭＯＳＦＥＴであるが、ｐチャネル型のＭＯＳＦＥＴであってもよい。

[0014] 各半導体素子１０は、図１５に示すように、ｚ方向に互いに離間する素子主面１０１および素子裏面１０２を有する。素子主面１０１はｚ２方向を向き、素子裏面１０２はｚ１方向を向く。

[0015] 複数の半導体素子１０は、複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂを含む。本実施形態では、半導体モジュールＡ１は、３つの第１半導体素子１０Ａと３つの第２半導体素子１０Ｂとを備えているが、半導体素子の数は、本構成に限定されず、半導体モジュールＡ１に要求される性能等に応じて適宜設定される。たとえば、第１半導体素子１０Ａおよび第２半導体素子１０Ｂの数は、それぞれ１個または２個でもよく、それぞれ４個以上でもよい。第１半導体素子１０Ａの数と第２半導体素子１０Ｂの数とは、等しくてもよく、異なってもよい。第１半導体素子１０Ａおよび第２半導体素子１０Ｂの数は、たとえば、半導体モジュールＡ１が取り扱う電流容量によって決定される。

[0016] 半導体モジュールＡ１は、図２０に示すように、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、複数の第１半導体素子１０Ａは、半導体モジュールＡ１の上アーム回路を構成し、複数の第２半導体素子１０Ｂは、下アーム回路を構成する。上アーム回路において、複数の第１半導体素子１０Ａは互いに並列に接続され、下アーム回路において、複数の第２半導体素子１０Ｂは互いに並列に接続される。各第１半導体素子１０Ａと各第２半導体素子１０Ｂとは、直列に接続され、ブリッジ層を構成する。

[0017] 複数の第１半導体素子１０Ａはそれぞれ、図８および図１６等に示すように、導電基板２に搭載されている。図８に示す例では、複数の第１半導体素子１０Ａは、たとえばｙ方向に並んでおり、互いに離間している。各第１半導体素子１０Ａは、第２導電性接合材７２を介して、導電基板２（後述の第１導電部２Ａ）に導通接合されている。各第１半導体素子１０Ａは、第１導電部２Ａに接合された際、素子裏面１０２が第１導電部２Ａに対向する。

[0018] 複数の第２半導体素子１０Ｂはそれぞれ、図８および図１７等に示すように、導電基板２に搭載されている。図８に示す例では、複数の第２半導体素子１０Ｂは、たとえばｙ方向に並んでおり、互いに離間している。各第２半導体素子１０Ｂは、第２導電性接合材７２を介して、導電基板２（後述の第２導電部２Ｂ）に導通接合されている。各第２半導体素子１０Ｂは、第２導電部２Ｂに接合された際、素子裏面１０２が第２導電部２Ｂに対向する。図８から理解されるように、ｘ方向に見て、複数の第１半導体素子１０Ａと複数の第２半導体素子１０Ｂとは、重なっているが、重なっていなくてもよい。

[0019] 複数の半導体素子１０（複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂ）はそれぞれ、第１主面電極１１、第２主面電極１２および裏面電極１５を有する。以下で説明する第１主面電極１１、第２主面電極１２および裏面電極１５の構成は、各半導体素子１０において共通する。第１主面電極１１および第２主面電極１２は、素子主面１０１に設けられている。第１主面電極１１および第２主面電極１２は、図示しない絶縁膜により絶縁されている。裏面電極１５は、素子裏面１０２に設けられている。

[0020] 第１主面電極１１は、たとえばゲート電極であって、半導体素子１０を駆動させるための駆動信号（たとえばゲート電圧）が入力される。各半導体素子１０において、第２主面電極１２は、たとえばソース電極であって、ソース電流が流れる。裏面電極１５は、たとえばドレイン電極であって、ドレイン電流が流れる。裏面電極１５は、素子裏面１０２の略全域を覆っている（図１５に示す第１半導体素子１０Ａ参照）。裏面電極１５は、たとえばＡｇ

めっきにより構成される。

[0021] 各半導体素子１０は、上記スイッチング機能部Ｑ１により、第１主面電極１１（ゲート電極）に駆動信号（ゲート電圧）が入力されると、この駆動信号に応じて、導通状態と遮断状態とが切り替わる。この導通状態と遮断状態とが切り替わる動作をスイッチング動作という。導通状態では、裏面電極１５（ドレイン電極）から第２主面電極１２（ソース電極）に電流が流れるが、遮断状態では、この電流が流れない。つまり、各半導体素子１０は、スイッチング機能部Ｑ１により、スイッチング動作を行う。半導体モジュールＡ１は、複数の半導体素子１０のスイッチング機能部Ｑ１により、１つの入力端子４１と２つの入力端子４２，４３との間に入力される第１電源電圧（直流電圧）をたとえば第２電源電圧（交流電圧）に変換して、出力端子４４から第２電源電圧を出力する。このように、入力端子４１～４３は、第１電源電圧に関わる「第１電源端子」であり、出力端子４４は、第２電源電圧に関わる「第２電源端子」である。

[0022] 複数の半導体素子１０のうちの少なくとも１つ（図８に示す例では２つ）は、スイッチング機能部Ｑ１の他に、ダイオード機能部Ｄ１（図２０参照）を有する。半導体モジュールＡ１においては、複数の第１半導体素子１０Ａのうちの１つ（図８において、他の２つよりもｙ２方向側に配置された第１半導体素子１０Ａ）と複数の第２半導体素子１０Ｂのうちの１つ（図８において、他の２つよりもｙ１方向側に配置された第２半導体素子１０Ｂ）とが、スイッチング機能部Ｑ１の他、ダイオード機能部Ｄ１を含んでいる。ダイオード機能部Ｄ１の機能や役割は特に限定されないが、たとえば、温度検出用に用いることが可能である。図２０に示す各ダイオードＤ２は、たとえば対応するスイッチング機能部Ｑ１の寄生ダイオード成分である。

[0023] 図８に示すように、ダイオード機能部Ｄ１を有する半導体素子１０は、第１主面電極１１、第２主面電極１２および裏面電極１５の他に、第３主面電極１３、第４主面電極１４および第５主面電極１６を有する。以下で説明する第３主面電極１３、第４主面電極１４および第５主面電極１６の各構成は

、ダイオード機能部Ｄ１を有する半導体素子１０において共通する。第３主面電極１３、第４主面電極１４および第５主面電極１６は、素子主面１０１に形成されている。第３主面電極１３および第４主面電極１４は、ダイオード機能部Ｄ１に導通する。第５主面電極１６は、たとえばソースセンス電極であって、スイッチング機能部Ｑ１におけるソース電流が当該電極に流れる。

[0024] 各第１半導体素子１０Ａは、図７に示すように、平面視において、第１辺１９１、第２辺１９２、第３辺１９３および第４辺１９４を有する。図７では、ｙ方向に並ぶ複数の第１半導体素子１０Ａのうちのｙ方向中央に配置された第１半導体素子１０Ａを示している。第１辺１９１と第２辺１９２とはそれぞれ、ｙ方向に延びる。第１辺１９１は、平面視におけるｘ２方向側の端縁であり、第２辺１９２は、平面視におけるｘ１方向側の端縁である。第３辺１９３と第４辺１９４とはそれぞれ、ｘ方向に延びる。第３辺１９３は、平面視におけるｙ２方向側の端縁であり、第４辺１９４は、平面視におけるｙ１方向側の端縁である。各第１半導体素子１０Ａが平面視矩形状であることから、第１辺１９１、第２辺１９２、第３辺１９３および第４辺１９４によって形成される四隅は、平面視において直角または略直角である。当該四隅は、図７に示すように、平面視において、導通部材６（第１導通部材６１および第２導通部材６２）に重ならない。第３辺１９３および第４辺１９４の長さは、第１辺１９１および第２辺１９２の長さよりも大きい。

[0025] 導電基板２は、リードフレームとも呼ばれる。導電基板２は、複数の半導体素子１０を支持する。導電基板２は、支持基板３上に第１導電性接合材７１を介して接合されている。平面視において、導電基板２は全体として、たとえば矩形状である。導電基板２は、導通部材６とともに、複数の半導体素子１０によってスイッチングされる主回路電流の経路を構成する。

[0026] 導電基板２は、第１導電部２Ａおよび第２導電部２Ｂを含む。第１導電部２Ａおよび第２導電部２Ｂはそれぞれ、金属製の板状部材である。この金属は、たとえばＣｕ（銅）あるいはＣｕ合金である。第１導電部２Ａおよび第

２導電部２Ｂは、複数の入力端子４１～４３および複数の出力端子４４とともに、複数の半導体素子１０を流れる電流の導通経路を構成している。第１導電部２Ａおよび第２導電部２Ｂはそれぞれが、図１３～図１８に示すように、第１導電性接合材７１を介して支持基板３上に接合されている。第１導電部２Ａには、第２導電性接合材７２を介して複数の第１半導体素子１０Ａがそれぞれ接合されている。第２導電部２Ｂには、第２導電性接合材７２を介して複数の第２半導体素子１０Ｂがそれぞれ接合されている。第１導電部２Ａおよび第２導電部２Ｂは、図３、図８、図１３および図１４に示すように、ｘ方向に離間している。これらの図に示す例では、第１導電部２Ａは、第２導電部２Ｂよりもｘ２方向に位置する。第１導電部２Ａおよび第２導電部２Ｂは、平面視矩形状であり、ｘ方向に見て互いに重なる。各導電部２Ａ，２Ｂは、たとえば、ｘ方向の寸法が１５ｍｍ～２５ｍｍ（好ましくは２０ｍｍ程度）であり、ｙ方向の寸法が３０ｍｍ～４０ｍｍ（好ましくは３５ｍｍ程度）であり、ｚ方向の寸法が１．５ｍｍ～３．０ｍｍ（好ましくは２．０ｍｍ程度）である。

[0027] 導電基板２（第１導電部２Ａおよび第２導電部２Ｂ）は、主面２０１および裏面２０２を有する。主面２０１および裏面２０２は、図１３、図１４および図１６～図１８に示すように、ｚ方向に離間する。主面２０１は、ｚ２方向を向き、裏面２０２は、ｚ１方向を向く。主面２０１は、第１導電部２Ａの上面と第２導電部２Ｂの上面とを合わせたものと考えられ、裏面２０２は、第１導電部２Ａの下面と第２導電部２Ｂの下面とを合わせたものと考えられる。裏面２０２は、支持基板３に対向するように支持基板３に接合されている。図５、図８および図１３に示すように、主面２０１には、複数の凹部２０１ａが形成されている（図２５も参照）。各凹部２０１ａは、主面２０１からｚ方向に窪んだ部分である。各凹部２０１ａの窪み度合い（深さ）は、たとえば０μｍより大きく、かつ１００μｍ以下である。各凹部２０１ａは、後述するモールド成形時に形成される。図に示す例では、複数の凹部２０１ａは、第１導電部２Ａにおける主面２０１に形成された２つの凹部（

「第１凹部」）と、第２導電部２Ｂにおける主面２０１に形成された２つの凹部（「第２凹部」）を含む。２つの第１凹部２０１ａは、ｙ方向に離間しており、ｙ方向に見て互いに重なる。同様に、２つの第２凹部２０１ａは、ｙ方向に離間しており、ｙ方向に見て互いに重なる。

[0028] 導電基板２（第１導電部２Ａおよび第２導電部２Ｂ）は、互いに積層された基材２１、主面接合層２２および裏面接合層２３を含む。基材２１は、金属製の板状部材である。この金属は、ＣｕあるいはＣｕ合金である。主面接合層２２は、基材２１の上面に形成されている。主面接合層２２は、導電基板２のｚ２方向側の表層である。主面接合層２２の上面は、導電基板２の主面２０１に相当する。主面接合層２２は、たとえばＡｇめっきである。裏面接合層２３は、基材２１の下面に形成されている。裏面接合層２３は、導電基板２のｚ１方向側の表層である。裏面接合層２３の下面は、導電基板２の裏面２０２に相当する。裏面接合層２３は、主面接合層２２と同様にたとえばＡｇめっきである。

[0029] 支持基板３は、導電基板２を支持する。支持基板３は、たとえばＤＢＣ（Direct Bonded Copper）基板で構成される。支持基板３は、絶縁層３１、第１金属層３２、第１接合層３２１および第２金属層３３を含む。

[0030] 絶縁層３１は、たとえば、セラミックス製であり、熱伝導性の優れたものからなる。このようなセラミックスとしては、たとえばＡＩＮ（窒化アルミニウム）がある。絶縁層３１は、セラミックスに限定されず、絶縁樹脂シート等であってもよい。絶縁層３１は、たとえば平面視矩形状である。

[0031] 第１金属層３２は、絶縁層３１の上面（ｚ２方向を向く面）に形成されている。第１金属層３２の構成材料は、たとえばＣｕを含む（すなわち、第１金属層３２は、Ｃｕを含有する）。当該構成材料はＣｕではなくＡｌを含んでいてもよい。第１金属層３２は、第１部３２Ａおよび第２部３２Ｂを含む。第１部３２Ａおよび第２部３２Ｂは、ｘ方向に離間する。第１部３２Ａは、第２部３２Ｂのｘ２方向側に位置する。第１部３２Ａは、第１導電部２Ａが接合され、第１導電部２Ａを支持する。第２部３２Ｂは、第２導電部２Ｂ

が接合され、第２導電部２Ｂを支持する。第１部３２Ａおよび第２部３２Ｂはそれぞれ、たとえば平面視矩形状である。

[0032] 第１接合層３２１は、第１金属層３２（第１部３２Ａおよび第２部３２Ｂの各々）の上面に形成されている。第１接合層３２１は、たとえばＡｇめっきである。第１接合層３２１は、第１導電性接合材７１との固相拡散による接合を良好にするために設けられる。

[0033] 第２金属層３３は、絶縁層３１の下面（ｚ１方向を向く面）に形成されている。第２金属層３３の構成材料は、第１金属層３２の構成材料と同じである。第２金属層３３の下面（後述の底面３０２）は、図１０に示す例では、たとえば封止樹脂８から露出する。当該下面は、封止樹脂８から露出せず、封止樹脂８に覆われていてもよい。第２金属層３３は、平面視において、第１部３２Ａおよび第２部３２Ｂの双方に重なる。

[0034] 支持基板３は、図１３～図１８に示すように、支持面３０１および底面３０２を有する。支持面３０１と底面３０２とは、ｚ方向に離間する。支持面３０１は、ｚ２方向を向き、底面３０２は、ｚ１方向を向く。底面３０２は、図１０に示すように、封止樹脂８から露出する。支持面３０１は、第１接合層３２１の上面であり、第１部３２Ａの上面と第２部３２Ｂの上面とをあわせたものである。支持面３０１は、導電基板２に対向し、導電基板２が接合されている。底面３０２は、第２金属層３３の下面である。底面３０２には、図示しない放熱部材（たとえばヒートシンク）等が取り付け可能である。支持基板３のｚ方向の寸法（支持面３０１から底面３０２までのｚ方向に沿う距離）は、たとえば０．７ｍｍ～２．０ｍｍである。

[0035] 複数の入力端子４１～４３および複数の出力端子４４はそれぞれ、金属板からなる。この金属板の構成材料は、たとえばＣｕまたはＣｕ合金である。図１～図５、図８および図１０に示す例では、半導体モジュールＡ１は、３つの入力端子４１～４３および２つの出力端子４４を備えている。

[0036] ３つの入力端子４１～４３には、電源からの電圧（電源電圧）が印加される。本実施形態では、入力端子４１は正極（Ｐ端子）であり、２つの入力端

子４２，４３は負極（Ｎ端子）である。これに代えて、入力端子４１が負極（Ｎ端子）で２つの入力端子４２，４３が正極（Ｐ端子）であってもよい。この場合、端子の極性を変更したことに合わせて、パッケージ内部の配線を適宜変更すればよい。３つの入力端子４１～４３および２つの出力端子４４はそれぞれ、封止樹脂８に覆われた部分と、封止樹脂８の樹脂側面から露出した部分とを含む。

[0037] 入力端子４１は、図１４に示すように、第１導電部２Ａと一体的に形成されている。本構成と異なり、入力端子４１および第１導電部２Ａを個別に形成し、のちに入力端子４１を第１導電部２Ａに導通接合してもよい。入力端子４１は、図８等に示すように、複数の第１半導体素子１０Ａおよび第１導電部２Ａ（導電基板２）に対して、ｘ２方向側に位置する。入力端子４１は、第１導電部２Ａに導通し、かつ、第１導電部２Ａを介して、各第１半導体素子１０Ａの裏面電極１５（ドレイン電極）に導通する。入力端子４１は「第１入力端子」の一例である。

[0038] 入力端子４１は、図４に示すように、入力側接合面４１１および入力側側面４１２（４１３，４１４）を有する。入力側接合面４１１は、ｚ２方向を向き、ｘ２方向に延びている。入力側側面４１２は、ｚ方向に見て入力側接合面４１１の周縁に位置しており（周縁に沿って延びており）、入力側接合面４１１の法線と交差する方向を向く。本実施形態では、入力側側面４１２は、先端面４１３および一対の側方面４１４を含む。先端面４１３は、入力端子４１のｘ２方向側端に位置し、ｘ２方向を向く。一対の側方面４１４は、入力端子４１のｙ方向両端に位置し、それぞれｙ１方向およびｙ２方向を向く。先端面４１３および一対の側方面４１４のうち少なくともいずれか一つは、入力側加工痕を有する。当該入力側加工痕は、後述するリードフレームの切断加工により形成される。

[0039] 図３、図５、図８および図１３から理解されるように、２つの入力端子４２，４３は、第１導電部２Ａから離間している。また、図２および図１３等から理解されるように、２つの入力端子４２，４３はそれぞれ、第２導通部

材６２に接合されている。２つの入力端子４２，４３は、図８等に示すように、複数の第１半導体素子１０Ａおよび第１導電部２Ａ（導電基板２）に対して、ｘ２方向側に位置する。２つの入力端子４２，４３はそれぞれ、第２導通部材６２に導通し、かつ、第２導通部材６２を介して、各第２半導体素子１０Ｂの第２主面電極１２（ソース電極）に導通する。入力端子４２は「第２入力端子」の一例であり、入力端子４３は「第３入力端子」の一例である。

[0040] 入力端子４２，４３は、入力側接合面４２１，４３１および入力側側面４２２，４３２をそれぞれ有する。入力側接合面４２１，４３１は、ｚ２方向を向き、ｘ２方向に延びている。入力側側面４２２，４３２は、それぞれ、ｚ方向に見て入力側接合面４２１，４３１の周縁に位置している。また、入力側側面４２２，４３２は、それぞれ、入力側接合面４２１，４３１の法線と交差する方向を向く。本実施形態では、入力側側面４２２は、先端面４２３および一対の側方面４２４を含む。先端面４２３は、入力端子４２のｘ２方向側端に位置し、ｘ２方向を向く。一対の側方面４２４は、入力端子４２のｙ方向両端に位置し、ｙ１方向およびｙ２方向を向く。入力側側面４２２において、先端面４２３および一対の側方面４２４のうち少なくともいずれか一つは、入力側加工痕を有する。当該入力側加工痕は、後述するリードフレームの切断加工により形成される。入力側側面４３２は、先端面４３３および一対の側方面４３４を含む。先端面４３３は、入力端子４３のｘ２方向側端に位置し、ｘ２方向を向く。一対の側方面４３４は、入力端子４３のｙ方向両端に位置し、ｙ１方向およびｙ２方向を向く。入力側側面４３２において、先端面４３３および一対の側方面４３４のうち少なくともいずれか一つは、入力側加工痕を有する。当該入力側加工痕は、後述するリードフレームの切断加工により形成される。

[0041] 図１～図５、図８および図１０等に示すように、３つの入力端子４１～４３はそれぞれ、半導体モジュールＡ１において、封止樹脂８からｘ２方向に突き出ている。３つの入力端子４１～４３は互いに離間している。２つの入

力端子４２，４３は、ｙ方向において入力端子４１を挟んで互いに反対側に位置する。入力端子４２は、入力端子４１のｙ２方向側に位置し、入力端子４３は、入力端子４１のｙ１方向側に位置する。３つの入力端子４１～４３は、ｙ方向に見て互いに重なる。

[0042] ２つの出力端子４４はそれぞれ、図８および図１４から理解されるように、第２導電部２Ｂと一体的に形成されている。本構成と異なり、出力端子４４は、第２導電部２Ｂと分離され、第２導電部２Ｂに導通接合されていてもよい。２つの出力端子４４はそれぞれ、図８等に示すように、複数の第２半導体素子１０Ｂおよび第２導電部２Ｂ（導電基板２）に対して、ｘ１方向側に位置する。各出力端子４４は、第２導電部２Ｂに導通し、かつ、第２導電部２Ｂを介して、各第２半導体素子１０Ｂの裏面電極１５（ドレイン電極）に導通する。上記２つの出力端子４４は、「第１出力端子」および「第２出力端子」の一例である。

[0043] 出力端子４４は、出力側接合面４４１および出力側側面４４２を有する。出力側接合面４４１は、ｚ２方向を向き、ｘ１方向側に延びている。出力側側面４４２は、ｚ方向に見て出力側接合面４４１の周縁に位置しており、出力側接合面４４１の法線と交差する方向を向く。本実施形態では、出力側側面４４２は、先端面４４３および一対の側方面４４４を含む。先端面４４３は、出力端子４４のｘ１方向側端に位置し、ｘ１方向を向く。一対の側方面４４４は、出力端子４４のｙ方向両端に位置し、ｙ１方向およびｙ２方向を向く。出力側側面４４２において、先端面４４３および一対の側方面４４４のうち少なくともいずれか一つは、出力側加工痕を有する。当該出力側加工痕は、後述するリードフレームの切断加工により形成される。なお、出力端子４４の数は、２つに限定されず、たとえば１つであってもよいし、３つ以上であってもよい。たとえば、出力端子４４が１つである場合、当該出力端子は、第２導電部２Ｂのｙ方向における中央部分に繋がっていることが望ましい。

[0044] 複数の制御端子４５はそれぞれ、半導体素子１０を制御するためのピン状

の端子である。複数の制御端子４５は、複数の第１制御端子４６Ａ～４６Ｅおよび複数の第２制御端子４７Ａ～４７Ｄを含む。複数の第１制御端子４６Ａ～４６Ｅは、各第１半導体素子１０Ａの制御に用いられる。複数の第２制御端子４７Ａ～４７Ｄは、各第２半導体素子１０Ｂの制御に用いられる。

[0045] 複数の第１制御端子４６Ａ～４６Ｅは、ｙ方向に間隔を隔てて配置されている。各第１制御端子４６Ａ～４６Ｅは、図８および図１４等に示すように、制御端子支持体５（後述の第１支持部５Ａ）を介して、第１導電部２Ａに支持される。各第１制御端子４６Ａ～４６Ｅは、図５および図８に示すように、ｘ方向において、複数の第１半導体素子１０Ａと３つの入力端子４１～４３との間に位置する。

[0046] 第１制御端子４６Ａは、複数の第１半導体素子１０Ａの駆動信号入力用の端子（ゲート端子）である。第１制御端子４６Ａには、複数の第１半導体素子１０Ａを駆動させるための駆動信号が入力される（たとえばゲート電圧が印加される）。

[0047] 第１制御端子４６Ｂは、複数の第１半導体素子１０Ａのソース信号検出用の端子（ソースセンス端子）である。複数の第１半導体素子１０Ａの各第２主面電極１２（ソース電極）に印加される電圧（ソース電流に対応した電圧）が、第１制御端子４６Ｂを介して検出される。

[0048] 第１制御端子４６Ｃおよび第１制御端子４６Ｄは、ダイオード機能部Ｄ１に導通する端子である。第１制御端子４６Ｃには、ダイオード機能部Ｄ１を有する第１半導体素子１０Ａの第３主面電極１３に導通し、第１制御端子４６Ｄには、ダイオード機能部Ｄ１を有する第１半導体素子１０Ａの第４主面電極１４に導通する。

[0049] 第１制御端子４６Ｅは、複数の第１半導体素子１０Ａのドレイン信号検出用の端子（ドレインセンス端子）である。複数の第１半導体素子１０Ａの各裏面電極１５（ドレイン電極）に印加される電圧（ドレイン電流に対応した電圧）が、第１制御端子４６Ｅを介して検出される。

[0050] 複数の第２制御端子４７Ａ～４７Ｄは、ｙ方向に間隔を隔てて配置されて

いる。各第２制御端子４７Ａ～４７Ｄは、図５および図１８等に示すように、制御端子支持体５（後述の第２支持部５Ｂ）を介して、第２導電部２Ｂに支持される。各第２制御端子４７Ａ～４７Ｄは、図５および図８に示すように、ｘ方向において、複数の第２半導体素子１０Ｂと２つの出力端子４４との間に位置する。

[0051] 複数の制御端子４５（第１制御端子４６Ａ～４６Ｅおよび第２制御端子４７Ａ～４７Ｄ）はそれぞれ、ホルダ４５１および金属ピン４５２を含む（図２参照）。

[0052] ホルダ４５１は、導電性材料からなる。ホルダ４５１は、図１５に示すように、導電性接合材４５９を介して、制御端子支持体５（後述の第１金属層５２）に接合されている。ホルダ４５１は、筒状部、上端鍔部および下端鍔部を含む。上端鍔部は、筒状部の上方に繋がり、下端鍔部は、筒状部の下方に繋がる。ホルダ４５１のうちの少なくとも上端鍔部および筒状部に、金属ピン４５２が挿通されている。上端鍔部の上面は、封止樹脂８（後述の第２突出部８５２）から露出し、樹脂部８７に覆われている。

[0053] 金属ピン４５２は、ｚ方向に延びる棒状部材である。金属ピン４５２は、ホルダ４５１に圧入されることで支持されている。金属ピン４５２は、少なくともホルダ４５１を介して、制御端子支持体５（後述の第１金属層５２）に導通する。図１５に示す例のように、金属ピン４５２の下端（ｚ１方向側の端部）がホルダ４５１の挿通孔内で導電性接合材４５９に接している場合には、金属ピン４５２は、導電性接合材４５９を介して、制御端子支持体５に導通する。

[0054] 制御端子支持体５は、複数の制御端子４５を支持する。制御端子支持体５は、主面２０１（導電基板２）と複数の制御端子４５との間に介在する。

[0055] 制御端子支持体５は、第１支持部５Ａおよび第２支持部５Ｂを含む。第１支持部５Ａは、導電基板２の第１導電部２Ａ上に配置され、複数の制御端子４５のうちの複数の第１制御端子４６Ａ～４６Ｅを支持する。第１支持部５Ａは、図１５に示すように、接合材５９を介して、第１導電部２Ａに接合さ

れている。接合材５９は、導電性でも絶縁性でもよいが、たとえばはんだが用いられる。第２支持部５Ｂは、導電基板２の第２導電部２Ｂ上に配置され、複数の制御端子４５のうちの複数の第２制御端子４７Ａ～４７Ｄを支持する。第２支持部５Ｂは、接合材５９を介して、第２導電部２Ｂに接合されている。

[0056] 制御端子支持体５（第１支持部５Ａおよび第２支持部５Ｂのそれぞれ）は、たとえばＤＢＣ基板で構成される。制御端子支持体５は、互いに積層された絶縁層５１、第１金属層５２および第２金属層５３を有する。

[0057] 絶縁層５１は、たとえばセラミックスからなる。絶縁層５１は、たとえば平面視矩形状である。

[0058] 第１金属層５２は、図１５等に示すように、絶縁層５１の上面に形成されている。各制御端子４５は、第１金属層５２上に立設されている。第１金属層５２は、たとえばＣｕまたはＣｕ合金である。図８等に示すように、第１金属層５２は、第１部５２１、第２部５２２、第３部５２３、第４部５２４および第５部５２５を含む。第１部５２１、第２部５２２、第３部５２３、第４部５２４および第５部５２５は、互いに離間し、絶縁されている。

[0059] 第１部５２１は、複数のワイヤ７３１が接合され、各ワイヤ７３１を介して、各半導体素子１０の第１主面電極１１（ゲート電極）に導通する。図８に示すように、第１支持部５Ａの第１部５２１には、第１制御端子４６Ａが接合されており、第２支持部５Ｂの第１部５２１には、第２制御端子４７Ａが接合されている。

[0060] 第２部５２２は、複数のワイヤ７３２が接合され、各ワイヤ７３２を介して、各半導体素子１０の第２主面電極１２（ソース電極）に導通する。図８に示すように、第１支持部５Ａの第２部５２２には、第１制御端子４６Ｂが接合されており、第２支持部５Ｂの第２部５２２には、第２制御端子４７Ｂが接合されている。

[0061] 第３部５２３は、ワイヤ７３３が接合され、ワイヤ７３３を介して、ダイオード機能部Ｄ１を有する半導体素子１０の第３主面電極１３に導通する。

図８に示すように、第１支持部５Ａの第３部５２３には、第１制御端子４６Ｃが接合されており、第２支持部５Ｂの第３部５２３には、第２制御端子４７Ｃが接合されている。

[0062] 第４部５２４は、ワイヤ７３４が接合され、ワイヤ７３４を介して、ダイオード機能部Ｄ１を有する半導体素子１０の第４主面電極１４に導通する。図８に示すように、第１支持部５Ａの第４部５２４には、第１制御端子４６Ｄが接合されており、第２支持部５Ｂの第４部５２４には、第２制御端子４７Ｄが接合されている。

[0063] 第１支持部５Ａの第５部５２５は、ワイヤ７３５が接合され、ワイヤ７３５を介して、第１導電部２Ａに導通する。第２支持部５Ｂの第５部５２５は、他の構成部位とは導通していない。図８に示すように、第１支持部５Ａの第５部５２５には、第１制御端子４６Ｅが接合されている。

[0064] 第２金属層５３は、図１５等に示すように、絶縁層５１の下面に形成されている。第１支持部５Ａの第２金属層５３は、図１５に示すように、接合材５９を介して、第１導電部２Ａに接合される。第２支持部５Ｂの第２金属層５３は、接合材５９を介して、第２導電部２Ｂに接合される。

[0065] 導通部材６は、導電基板２とともに、複数の半導体素子１０によってスイッチングされる主回路電流の経路を構成する。導通部材６は、平面視において主面２０１に重なるが、ｚ２方向において、主面２０１（導電基板２）から離間している（以下で述べる各第１導通部材６１の一端部分を除く。図１４参照）。導通部材６は、金属製の板材を加工することにより構成可能である。具体的には、導通部材６は、たとえばＣｕ製またはＣｕ合金製の板材を、所望の形態となるように適宜折り曲げ加工等することにより得られる。これに限らず、金属製の箔材を用いて導通部材６を構成してもよい。本実施形態では、図２および図６等に示すように、導通部材６は、複数の第１導通部材６１と、１つの第２導通部材６２とを含む。図７は、１つの第１導通部材６１を示している。主回路電流は、第１主回路電流と第２主回路電流とを含む。第１主回路電流は、入力端子４１と出力端子４４との間を延びる経路を

流れる電流である。第２主回路電流は、入力端子４２，４３と出力端子４４との間を延びる経路を流れる電流である。

[0066] 複数の第１導通部材６１の各々は、対応する１つの第１半導体素子１０Ａの第２主面電極１２（ソース電極）と、第２導電部２Ｂとに接合される。これにより、当該第１半導体素子１０Ａの第２主面電極１２と第２導電部２Ｂとが導通する。第１導通部材６１と第２主面電極１２（図８参照）との接合、および、第１導通部材６１と第２導電部２Ｂとの接合は、導電性接合材６９を介して行われる。導電性接合材６９は、たとえばはんだ、金属ペースト材、あるいは、焼結金属等である。各第１導通部材６１は、図８に示すように、平面視においてｘ方向に沿って延びる帯状である。

[0067] 図６および図７等に示すように、各第１導通部材６１は、第２導電部２Ｂに接合される端縁部分と、この端縁部分に近く且つ水平な矩形部分（図１４も参照）とを有する。この矩形部分には、開口６１ｈが形成されている。開口６１ｈは、平面視において矩形の中央部に形成されることが好ましく、ｚ方向に当該矩形部分を貫通する孔である。開口６１ｈは、封止樹脂８の形成にあたり注入された流動性の樹脂材料が、第１導通部材６１の上側と下側との間で適切に流動するように形成されたものである。図示された例では、開口６１ｈの平面形状は真円であるが、楕円形、矩形等の他の形状であってもよい。また、各第１導通部材６１の形状は、図７に示されたものに限らず、適宜、改変可能である。さらに、別の例として、各第１導通部材６１が開口を有しない構成であってもよい。

[0068] 本実施形態では、複数の第１導通部材６１は、第１半導体素子１０Ａの数に対応して３個設けられている。別の例として、第１半導体素子１０Ａの数に依存せず、所定個数の第１半導体素子１０Ａに対して共通する１個の第１導通部材６１を使用してもよい。

[0069] 第２導通部材６２は、複数の第２半導体素子１０Ｂそれぞれの第２主面電極１２と各入力端子４２，４３とを導通させる。第２導通部材６２は、ｘ方向の最大寸法がたとえば２５ｍｍ～４０ｍｍ（好ましくは、たとえば３２ｍ

ｍ程度）であり、ｙ方向の最大寸法がたとえば３０ｍｍ～４５ｍｍ（好ましくは、たとえば３８ｍｍ程度）である。第２導通部材６２は、図６に示すように、第１配線部６２１、第２配線部６２２、第３配線部６２３および第４配線部６２４を含み、これら４つの配線部が一体形成された単一の部材である（図２も参照）。

[0070] 第１配線部６２１は、平面視において、ｘ方向に延びる帯状の部位である。第１配線部６２１は、上述した導電性接合材６９と同様の接合材（以下、これも「導電性接合材６９」と言う）を介して、入力端子４２に接合（かつ電気的に接続）される。

[0071] 第２配線部６２２は、入力端子４３に接続される。第２配線部６２２と入力端子４３とは、導電性接合材６９により接合される。第２配線部６２２は、平面視において、ｘ方向に延びる帯状の部位である。図６に示すように、第１配線部６２１と第２配線部６２２とは、ｙ方向に離間しており、平行または略平行に配置されている。第２配線部６２２は、第１配線部６２１に対して、ｙ１方向に位置する。

[0072] 第３配線部６２３は、第１配線部６２１および第２配線部６２２の双方に繋がる。第３配線部６２３は、平面視においてｙ方向に延びる帯状の部位である。第３配線部６２３は、図６から理解されるように、平面視において複数の第２半導体素子１０Ｂに重なる。第３配線部６２３は、図１７に示すように、各第２半導体素子１０Ｂに接続される。第３配線部６２３は、複数の凹状領域６２３ａを有する。各凹状領域６２３ａは、図１７に示すように、第３配線部６２３の他の部位よりもｚ１方向に突き出ている。第３配線部６２３のうち各凹状領域６２３ａは、各第２半導体素子１０Ｂに接合されている。第３配線部６２３の各凹状領域６２３ａと各第２半導体素子１０Ｂの第２主面電極１２（図８参照）とは、導電性接合材６９を介して接合される。

[0073] 第４配線部６２４は、第１配線部６２１および第２配線部６２２の双方に繋がる。また、第４配線部６２４は、第３配線部６２３に繋がる（後述の第２帯状部６２６参照）。第４配線部６２４は、第３配線部６２３よりもｘ２

方向側に位置する。第４配線部６２４は、図６から理解されるように、平面視において、複数の第１半導体素子１０Ａに重なる。第４配線部６２４は、第１帯状部６２５および複数の第２帯状部６２６を含む。

[0074] 第１帯状部６２５は、ｘ方向において第３配線部６２３から離間するとともに、ｙ方向に延びる帯状の部位である。図６に示すように、第１帯状部６２５は、第１配線部６２１および第２配線部６２２の双方に繋がっている。第１帯状部６２５は、平面視において複数の第１半導体素子１０Ａに重なる。第１帯状部６２５は、複数の凸状領域６２５ａを有する。各凸状領域６２５ａは、図１６に示すように、第１帯状部６２５の他の部位よりもｚ２方向に突き出ている。複数の凸状領域６２５ａは、平面視（図６）において、複数の第１半導体素子１０Ａにそれぞれ重なる。第１帯状部６２５が複数の凸状領域６２５ａを有することから、図１６に示すように、各第１半導体素子１０Ａ上に各第１導通部材６１を接合する領域を設けることが可能である。すなわち、複数の凸状領域６２５ａを設けることにより、第１帯状部６２５が各第１導通部材６１に接触することが抑制される。

[0075] 図６に示すように、複数の第２帯状部６２６はそれぞれ、ｘ方向に延びる帯状の部位であり、第１帯状部６２５と第３配線部６２３とに繋がっている。複数の第２帯状部６２６は、ｙ方向に互いに離間しており、平行または略平行に配置されている。また同図に示すように、各第２帯状部６２６の一端は、ｙ方向に隣接する２つの第１半導体素子１０Ａの間において第１帯状部６２５に繋がり、その他端は、ｙ方向に隣接する２つの第２半導体素子１０Ｂの間において第３配線部６２３に繋がっている。

[0076] 第１帯状部６２５は、各々がｙ方向に延びる第１端縁６２７および第２端縁６２８を有する。第１端縁６２７は、図６および図７に示すように、平面視において各第１半導体素子１０Ａの第１辺１９１よりもｘ１方向に位置し、かつ、ｙ方向において第１配線部６２１から第２配線部６２２まで延びている。したがって、図７に示すように、第１端縁６２７は、ｙ方向において、各第１半導体素子１０Ａの少なくとも第３辺１９３から第４辺１９４まで

延びている。これにより、平面視において、各第１半導体素子１０Ａのｘ２方向側の２つの角（第１辺１９１と第３辺１９３とがなす角１７１、および第１辺１９１と第４辺１９４とがなす角１７２）は、それぞれ、第２導通部材６２に重ならない。また、各第１半導体素子１０Ａにおいては、平面視において（詳細には図７参照）、第１辺１９１の全体と、第３辺および第４辺の各々の一部とが外部に露出している（すなわち、平面視において第２導通部材６２に重ならず、見える状態になっている）。第２端縁６２８は、図７に示すように、平面視において、各第１半導体素子１０Ａの第２辺１９２よりもｘ２方向に位置し、かつ、ｙ方向において少なくとも第３辺１９３から１９４まで延びている。これにより、平面視において、各第１半導体素子１０Ａのｘ１方向側の２つの角（第２辺１９２と第３辺１９３とがなす角１７３、および第２辺１９２と第４辺１９４とがなす角１７４）は、それぞれ、第２導通部材６２に重ならない。また、各第１半導体素子１０Ａにおいては、平面視において、第２辺の一部と、第３辺および第４辺の各々の別の一部とが外部に露出している。

[0077] 本実施形態では、角１７１，１７２，１７３，１７４を挟む２辺について、平面視において、０μｍを超えて２００μｍ以下の範囲で、所定の長さが露出しているように構成される。これは、たとえば、センサを用いた上記角１７１，１７２，１７３，１７４の検出にとって有利である。好ましくは、隣接する２辺（組み合わせとして４対ある）の各辺の露出部分の長さは、５μｍ以上１５０μｍ以下である。一例として、隣接する２辺の各々の露出部分の長さが２μｍ以上であれば、当該２辺に対応する角を検出可能である。また、当該露出部分の長さが５μｍ以上であれば、角を確実に検出することができる。なお、当該露出部分の長さが２００μｍを超える場合には、第１導通部材６１と第１半導体素子１０Ａとの接合面積が必要以上に小さくなるので、好ましくない。

[0078] 図６に示すように、導通部材６は、複数の第１部６０１を含む。各第１部６０１は、平面視において、複数の半導体素子１０Ａ，１０Ｂのうちの対応

する１つの半導体素子と重なっている。図に示す例では、第２導通部材６２が上記複数の第１部６０１を含んでいる。具体的には、第４配線部６２４が３つの第１部６０１（平面視において複数の第１半導体素子１０Ａに重なる矩形領域）を構成し、同様に第３配線部６２３が３つの第１部（平面視において複数の第２半導体素子１０Ｂに重なる矩形領域）を構成している。図２から理解されるように、各矩形領域（第１部６０１）は平坦である。また、第４配線部６２４に含まれる３つの第１部６０１は、第３配線部６２３に含まれる３つの第１部６０１に対して、ｚ２方向にオフセットされている。複数の第１部６０１は、以下で述べる（第２導通部材６２の）６個の第２部６２Ｂに包含される。

[0079] 図６、図８に示すように、第１半導体素子１０Ａ（ダイオード機能部Ｄ１を有する）の主面電極１１，１３，１４，１６は、第１半導体素子１０Ａのｘ２方向側の端に、ｙ方向に沿って並んで配置されている。平面視において、第１導通部材６１および第２導通部材６２は、第１半導体素子１０Ａの主面電極１１，１３，１４，１６およびｘ２方向側の角１７１，１７２のいずれとも重ならない。また、平面視において、第１導通部材６１および第２導通部材６２は、第１半導体素子１０Ａのｘ１方向側（主面電極が配置される側とは反対側）における角１７３，１７４のうち少なくとも１個に重ならない。これらにより、平面視において、半導体素子１０Ａの４個の角１７１，１７２，１７３，１７４のうち少なくとも３個の角が見える。このことにより、半導体素子１０Ａ、第１導通部材６１および第２導通部材６２が導電基板２に装着された状態において、半導体素子１０Ａが正しく装着されたかどうかを、自動外観検査によって検査することができる。平面視において、半導体素子１０Ａの４個の角１７１，１７２，１７３，１７４がすべて見えていてもよい。上記した第１半導体素子１０Ａの主面電極１１，１３，１４，１６は、「一方側主面電極」の一例である。

[0080] 図６に示すように、各第２半導体素子１０Ｂについても、第１半導体素子１０Ａと同様に平面視矩形状であり、第１半導体素子１０Ａの４つの角１７

１，１７２，１７３，１７４に対応する４つの角１８１，１８２，１８３，１８４を有する。上述した、各第１半導体素子１０Ａの４つの角１７１，１７２，１７３，１７４と第１導通部材６１および第２導通部材６２との平面視における関係は、各第２半導体素子１０Ｂの４つの角１８１，１８２，１８３，１８４と第２導通部材６２との平面視における関係においても同じである。

[0081] 第２導通部材６２は、少なくとも１つの第１部６２Ａおよび少なくとも１つの第２部６２Ｂを含む。図５に示す例では、８個の第１部６２Ａが設けられており、これらは、平面視において、導電基板２の主面２０１（第１導電部２Ａあるいは第２導電部２Ｂの主面２０１）と重なるが、複数の半導体素子１０とは重ならない部分である。図５（ｙ１方向を上側とする）において、各第１部６２Ａには右上がりのハッチングを付している。また、同図に示す例では、６個の第２部６２Ｂが設けられており、これらは、平面視において、主面２０１と重なり、かつ複数の半導体素子１０にも重なる部分である。図５において、各第２部６２Ｂには右下がりのハッチングを付している。なお、以下の記載では、便宜上、８個の第１部６２Ａを一括して「第１部（６２Ａ）」と称する場合もあり、同様に、６個の第２部６２Ｂを一括して「第２部（６２Ｂ）」と称する場合もある。本実施形態において、第１部６２Ａは、少なくとも１つの開口（「空隙部」とも言う）６３を有する。図に示す例では、２つの開口６３（第１配線部６２１に形成された開口と、第２配線部６２２に形成された開口）が第１部６２Ａ（より正確には、上記８個の第１部６２Ａのうち、他の６個の第１部６２Ａよりも長状である２個の第１部６２Ａ）に形成されている。各開口６３は、図５および図１３等に示すように、第１部６２Ａを貫通している。本実施形態では、各開口６３は、平面視において第１導電部２Ａ（導電基板２）の主面２０１に重なり、かつ、複数の半導体素子１０のいずれにも重ならない位置にある。図５に示す２つの開口６３は、導電基板２の２つの角部近傍にそれぞれ設けられており、第１配線部６２１および第２配線部６２２のそれぞれにおいて、ｘ２方向側寄り

に設けられている。開口（空隙部）６３は、本実施形態のような孔に限らず、平面視で閉じられていない「切り欠き」であってもよい。開口６３は、たとえば電気鋳造によって製作されてもよい。この場合、第２導通部材６２は、材料板の一部を除去することで形成された開口ではなく、金属が電着されなかった結果としての開口を有することになる。

[0082] 図６に示すように、第２導通部材６２（複数の第１部６０１）には、平面視において複数の第１半導体素子１０Ａにそれぞれ重なる複数の開口６２５ｈが形成されている。好ましくは、各開口６２５ｈは、平面視において対応する第１半導体素子１０Ａの中央部に重なる位置にある。また、各開口６２５ｈは、第１帯状部６２５（第４配線部６２４）において、対応する一の凸状領域６２５ａに形成された貫通孔である。これらの開口６２５ｈは、第１導通部材６１と第１半導体素子１０Ａとの接合状況を上側から光学的に確認できるように形成されたものである。

[0083] さらに、第２導通部材６２には、平面視において複数の第２半導体素子１０Ｂにそれぞれ重なる複数の開口６２３ｈが形成されている。好ましくは、各開口６２３ｈは、平面視において対応する第２半導体素子１０Ｂの中央部に重なる位置にある。また、各開口６２３ｈは、第３配線部６２３において、対応する一の凹状領域６２３ａに形成された貫通孔である。これらの開口６２３ｈは、導電基板２に対して第２導通部材６２を位置決めする際に使用される。上記開口６２３ｈ，６２５ｈの平面形状は真円であってもよく、楕円形、矩形等の他の形状であってもよい。

[0084] 第２導通部材６２の形状は、本構成に限定されず、たとえば第４配線部６２４を含んでいなくてもよい。ただし、第２導通部材６２に流れる電流によるインダクタンス値を低減させる上で、第２導通部材６２に第４配線部６２４を設けることが好ましい。

[0085] 第１導電性接合材７１は、導電基板２と支持基板３との間に介在し、導電基板２と支持基板３とを導通接合させる。第１導電性接合材７１は、第１導電部２Ａを第１部３２Ａに導通接合させるものと、第２導電部２Ｂを第２部

３２Ｂに導通接合させるものとがある。第１導電性接合材７１は、図１５に示すように、互いに積層された第１基層７１１、第１層７１２および第２層７１３を有する。

[0086] 図１５に示すように、第１導電性接合材７１の側面と支持基板３の最上層である第１金属層３２の側面とは、面一であることが最も好ましい。平面視において第１金属層３２の側面が第１導電性接合材７１の側面よりもわずかに内側に位置することが好ましい。つまり、平面視において、第１金属層３２の側面は、第１導電性接合材７１の側面より外側にはみ出さないように接合される。平面視において第１金属層３２の側面が第１導電性接合材７１の側面よりも外側にはみ出す場合には、第１金属層３２と第２金属層３３との間の沿面距離が小さくなるため、好ましくない。なお、平面視において、第１金属層３２の側面は、導電基板２が有する基材２１の側面よりは外側に配置されている。

[0087] 第１基層７１１は金属製であり、当該金属はたとえばＡＩ（アルミニウム）あるいはＡＩ合金である。第１基層７１１は、シート材である。第１基層７１１の構成材料であるＡＩのヤング率は、７０．３ＧＰａである。

[0088] 第１層７１２は、第１基層７１１の上面に形成されている。第１層７１２は、第１基層７１１と導電基板２（第１導電部２Ａおよび第２導電部２Ｂのそれぞれ）との間に介在する。第１層７１２は、たとえばＡｇめっきである。第１層７１２は、たとえば金属の固相拡散により、第１導電部２Ａおよび第２導電部２Ｂの各裏面接合層２３に接合されている。即ち、第１層７１２と第１導電部２Ａおよび第２導電部２Ｂの各裏面接合層２３とが、固相拡散接合によって接合されている。これにより、第１層７１２と各裏面接合層２３とが、接合界面で互いに直接接した状態で接合されている。本開示において、「ＡとＢとが、固相拡散接合によって接合されている」とは、固相拡散接合が施された結果、ＡとＢとが、接合界面において直接接する状態で互いに固定されている態様を意味し、ＡとＢとによって固相拡散接合層が構成されていると言える。理想的な条件で固相拡散接合が施された場合、接合界面

は、金属元素の拡散によって明瞭には存在しない場合がありうる。一方、ＡとＢとの表層に酸化皮膜等の介在物が存在したり、ＡとＢの間に空隙が存在したりする場合、接合界面にこれらの介在物や空隙が存在する場合がありうる。

[0089] 第２層７１３は、第１基層７１１の下面に形成されている。第２層７１３は、第１基層７１１と支持基板３（第１部３２Ａおよび第２部３２Ｂのそれぞれ）との間に介在する。第２層７１３は、たとえばＡｇめっきである。第２層７１３は、たとえば金属の固相拡散により、第１部３２Ａ上および第２部３２Ｂ上のそれぞれに形成された第１接合層３２１に接合されている。即ち、第２層７１３と第１接合層３２１とが、固相拡散接合によって接合されており、接合界面で互いに直接接した状態で接合されている。第１層７１２および第２層７１３の構成材料であるＡｇ（銀）のヤング率は、８２．７ＧＰａである。

[0090] 第１導電性接合材７１において、第１基層７１１の構成材料と第１層７１２および第２層７１３の各構成材料とが上記したものであることから、第１基層７１１のヤング率は、第１層７１２および第２層７１３のヤング率よりも小さい。第１基層７１１の厚さ（ｚ方向寸法）は、第１層７１２および第２層７１３の各厚さよりも大きい。

[0091] 第１導電性接合材７１において、ＡｌあるいはＡｌ合金である第１基層７１１の端面には、Ａｇめっきが形成されておらず、第１基層７１１の端面が露出している。これとは異なり、第１基層７１１の端面にはＡｇめっきが形成されていてもよい。なお、第１導電性接合材７１の製造コストを削減するという観点からは、大面積のシート材の両面にＡｇめっきを形成した後に、このＡｇめっき付シート材を切断することによって第１導電性接合材７１を製作することが好ましい。この手法によれば、第１基層７１１の端面にはＡｇめっきは形成されない。

[0092] 第２導電性接合材７２は、導電基板２と各半導体素子１０との間に介在し、導電基板２と各半導体素子１０とを導通接合させる。第２導電性接合材７

２は、各第１半導体素子１０Ａを第１導電部２Ａに導通接合させるものと、各第２半導体素子１０Ｂを第２導電部２Ｂに導通接合させるものとがある。第２導電性接合材７２は、図１５に示すように、互いに積層された第２基層７２１、第３層７２２および第４層７２３を含む。

[0093] 第２基層７２１は金属製のシート材であり、たとえばＡｌあるいはＡｌ合金からなる。

[0094] 第３層７２２は、第２基層７２１の上面に形成されている。第３層７２２は、第２基層７２１と各半導体素子１０との間に介在する。第３層７２２は、たとえばＡｇめっきである。第３層７２２は、たとえば金属の固相拡散により、各半導体素子１０の裏面電極１５に接合されている。即ち、第３層７２２と裏面電極１５とが、固相拡散接合によって接合されており、接合界面で互いに直接接した状態で接合されている。

[0095] 第４層７２３は、第２基層７２１の下面に形成されている。第４層７２３は、第２基層７２１と導電基板２（第１導電部２Ａおよび第２導電部２Ｂのそれぞれ）との間に介在する。第４層７２３は、たとえばＡｇめっきである。第４層７２３は、たとえば金属の固相拡散により、第１導電部２Ａおよび第２導電部２Ｂの各主面接合層２２に接合されている。即ち、第４層７２３と各主面接合層２２とが、固相拡散接合によって接合されており、接合界面で互いに直接接した状態で接合されている。

[0096] 第２導電性接合材７２において、第２基層７２１の構成材料と第３層７２２および第４層７２３の各構成材料とが上記したものであることから、第２基層７２１のヤング率は、第３層７２２および第４層７２３のヤング率よりも小さい。第２基層７２１の厚さ（ｚ方向寸法）は、第３層７２２および第４層７２３の各厚さよりも大きい。

[0097] 第２導電性接合材７２において、ＡｌあるいはＡｌ合金である第２基層７２１の端面には、Ａｇめっきが形成されておらず、第２基層７２１の端面が露出している。これとは異なり、第２基層７２１の端面にはＡｇめっきが形成されていてもよい。なお、第２導電性接合材７２の製造コストを削減する

という観点からは、大面積のシート材の両面にＡｇめっきを形成した後に、このＡｇめっき付シート材を切断することによって第２導電性接合材７２を製作することが好ましい。

[0098] 各ワイヤ７３１～７３５は、互いに離間する２つの部位間を導通させるものであり、たとえばボンディングワイヤである。各ワイヤ７３１～７３５の構成材料は、たとえばＡｕ（金）、ＡｌあるいはＣｕのいずれかを含む。

[0099] 複数のワイヤ７３１はそれぞれ、図８に示すように、対応する一の半導体素子１０の第１主面電極１１（ゲート電極）と、対応する制御端子支持体５の第１部５２１（第１金属層５２）とに接合され、これらを導通させる。図８に示すように、複数のワイヤ７３１は、複数の第１ワイヤ７３１ａおよび複数の第２ワイヤ７３１ｂを含む。各第１ワイヤ７３１ａは、対応する第１半導体素子１０Ａの第１主面電極１１（ゲート電極）と第１支持部５Ａの第１部５２１（第１金属層５２）とに接続される。これにより、第１制御端子４６Ａは、複数の第１ワイヤ７３１ａを介して、それぞれの第１半導体素子１０Ａの第１主面電極１１（ゲート電極）に導通する。各第２ワイヤ７３１ｂは、対応する第２半導体素子１０Ｂの第１主面電極１１（ゲート電極）と第２支持部５Ｂの第１部５２１（第１金属層５２）とに接続される。これにより、第２制御端子４７Ａは、複数の第２ワイヤ７３１ｂを介して、それぞれの第２半導体素子１０Ｂの第１主面電極１１（ゲート電極）に導通する。

[0100] 複数のワイヤ７３２はそれぞれ、図８に示すように、対応する一の半導体素子１０の第２主面電極１２（ソース電極）と、対応する制御端子支持体５の第２部５２２（第１金属層５２）とに接合され、これらを導通させる。なお、ダイオード機能部Ｄ１を有する半導体素子１０においては、ワイヤ７３２は、第２主面電極１２（ソース電極）の代わりに、第５主面電極１６（ソースセンス電極）に接合されている。

[0101] 複数のワイヤ７３３はそれぞれ、図８に示すように、対応する半導体素子１０（ダイオード機能部Ｄ１を有する）の第３主面電極１３と、対応する制御端子支持体５の第３部５２３（第１金属層５２）とに接合され、これらを

導通させる。

[0102] 複数のワイヤ７３４はそれぞれ、図８に示すように、対応する半導体素子１０（ダイオード機能部Ｄ１を有する）の第４主面電極１４と、対応する制御端子支持体５の第４部５２４（第１金属層５２）とに接合され、これらを導通させる。

[0103] ワイヤ７３５は、図８に示すように、第１導電部２Ａ（導電基板２）における主面２０１と第１支持部５Ａ（制御端子支持体５）の第５部５２５（第１金属層５２）とに接合され、これらを導通させる。

[0104] 封止樹脂８は、複数の半導体素子１０、導電基板２、支持基板３（底面３０２を除く）、複数の入力端子４１～４３の各々の一部、複数の出力端子４４の各々の一部、複数の制御端子４５の各々の一部、制御端子支持体５、導通部材６および複数のワイヤ７３１～７３５を覆っている。封止樹脂８は、たとえば黒色のエポキシ樹脂で構成される。封止樹脂８は、たとえば後述するモールド成形により形成される。封止樹脂８は、たとえばｘ方向の寸法が３５ｍｍ～６０ｍｍ程度であり、たとえばｙ方向の寸法が３５ｍｍ～５０ｍｍ程度であり、たとえばｚ方向の寸法が４ｍｍ～１５ｍｍ程度である。これらの寸法は、各方向に沿う最大部分の大きさである。封止樹脂８は、樹脂主面８１、樹脂裏面８２および複数の樹脂側面８３１～８３４を有する。

[0105] 樹脂主面８１と樹脂裏面８２とは、図９、図１１および図１２等に示すように、ｚ方向に離間する。樹脂主面８１は、ｚ２方向を向き、樹脂裏面８２は、ｚ１方向を向く。樹脂主面８１から複数の制御端子４５（複数の第１制御端子４６Ａ～４６Ｅおよび複数の第２制御端子４７Ａ～４７Ｄ）が突き出ている。樹脂裏面８２は、図１０に示すように、平面視において支持基板３の底面３０２（第２金属層３３の下面）を囲む枠状である。支持基板３の底面３０２は、樹脂裏面８２から露出し、たとえば樹脂裏面８２と面一である。複数の樹脂側面８３１～８３４はそれぞれ、樹脂主面８１および樹脂裏面８２の双方に繋がり、かつ、ｚ方向においてこれらに挟まれている。図４等に示すように、樹脂側面８３１と樹脂側面８３２とはｘ方向に離間する。樹

脂側面８３１はｘ１方向を向き、樹脂側面８３２は、ｘ２方向を向く。樹脂側面８３１から２つの出力端子４４が突き出ており、樹脂側面８３２から３つの入力端子４１～４３が突き出ている。図４等に示すように、樹脂側面８３３と樹脂側面８３４とは、ｙ方向に離間する。樹脂側面８３３は、ｙ１方向を向き、樹脂側面８３４は、ｙ２方向を向く。

[0106] 樹脂側面８３２には、図４に示すように、複数の凹部８３２ａが形成されている。各凹部８３２ａは、平面視においてｘ方向に窪んだ部位である。複数の凹部８３２ａは、平面視において、入力端子４１と入力端子４２との間に形成されたものと、入力端子４１と入力端子４３との間に形成されたものとがある。複数の凹部８３２ａは、入力端子４１と入力端子４２との樹脂側面８３２に沿う沿面距離、および、入力端子４１と入力端子４３との樹脂側面８３２に沿う沿面距離を大きくするために設けられている。

[0107] 封止樹脂８は、図１３および図１４等に示すように、複数の第１突出部８５１、複数の第２突出部８５２および樹脂空隙部８６を有する。

[0108] 複数の第１突出部８５１はそれぞれ、樹脂主面８１からｚ方向に突出している。複数の第１突出部８５１は、平面視において封止樹脂８の四隅付近に配置されている。各第１突出部８５１の先端（ｚ２方向の端部）には、第１突出端面８５１ａが形成されている。複数の第１突出部８５１における各第１突出端面８５１ａは、樹脂主面８１と略平行であり、かつ、同一平面（ｘ－ｙ平面）上にある。各第１突出部８５１は、たとえば有底中空の円錐台状である。複数の第１突出部８５１は、半導体モジュールＡ１によって生成された電源を利用する機器において、その機器が有する制御用の回路基板等に半導体モジュールＡ１が搭載される際に、スペーサとして利用される。複数の第１突出部８５１は、それぞれ、凹部８５１ｂと、当該凹部８５１ｂに形成された内壁面８５１ｃとを有する。各第１突出部８５１の形状は柱状であればよく、円柱状であることが好ましい。凹部８５１ｂの形状は円柱状であって、平面視において内壁面８５１ｃは単一の真円状であることが好ましい。各第１突出部８５１は「突出部」の一例である。

[0109] 半導体モジュールＡ１は、制御用の回路基板等に対して、ねじ止め等の方法によって機械的に固定される場合がある。この場合には、複数の第１突出部８５１における凹部８５１ｂの内壁面８５１ｃに、めねじのねじ山を形成することができる。複数の第１突出部８５１における凹部８５１ｂにインサートナットを埋め込んでもよい。

[0110] 複数の第２突出部８５２は、図１４等に示すように、樹脂主面８１からｚ方向に突出している。複数の第２突出部８５２は、平面視において複数の制御端子４５に重なる。複数の制御端子４５の各金属ピン４５２は、各第２突出部８５２から突き出ている。各第２突出部８５２の上端面から、ホルダ４５１の一部（上端鍔部の上面）が露出している。各第２突出部８５２は、円錐台状である。各第２突出部８５２上に樹脂部８７が配置されている。

[0111] 樹脂空隙部８６は、図１３に示すように、ｚ方向において、樹脂主面８１から、導電基板２の主面２０１に形成された凹部２０１ａに通じる。樹脂空隙部８６は、樹脂主面８１から凹部２０１ａにｚ方向に向かうにつれて断面積が小さくなるテーパー状に形成されている。樹脂空隙部８６は、主面２０１と接する樹脂空隙部端縁８６１を有し、凹部２０１ａは、主面２０１と接する凹部端縁２０１ｂを有する。図に示す例において、樹脂空隙部端縁８６１と凹部端縁２０１ｂとは、互いに一致する。樹脂空隙部８６は、後述するモールド成形時において、封止樹脂８が形成されない部分に対応する。

[0112] 樹脂部８７は、封止樹脂８の第２突出部８５２上に設けられている。樹脂部８７は、各制御端子４５において、封止樹脂８から露出するホルダ４５１の一部（上端鍔部の上面）と、金属ピン４５２の一部とを覆う。樹脂部８７は、たとえば封止樹脂８と同様にエポキシ樹脂からなるが、封止樹脂８と異なる材料であってもよい。

[0113] 樹脂充填部８８は、樹脂空隙部８６を塞ぐように、樹脂空隙部８６に充填されている。樹脂充填部８８は、たとえば封止樹脂８と同様にエポキシ樹脂からなるが、封止樹脂８と異なる材料であってもよい。

[0114] 次に、半導体モジュールＡ１の製造方法について、図２１～図２９を参照

して説明する。図２１は、半導体モジュールＡ１の製造方法の一工程を示す平面図である。図２２は、半導体モジュールＡ１の製造方法の一工程を示す断面模式図である。図２３は、半導体モジュールＡ１の製造方法の一工程を示す平面図である。図２４は、半導体モジュールＡ１の製造方法の一工程を示す切断部端面図である。図２４は、図１３に示す断面に対応する。図２５および図２８は、半導体モジュールＡ１の製造方法の一工程を示す要部拡大断面図であって、図１３に示す断面の一部を拡大した図に対応する。図２６、図２７および図２９は、半導体モジュールＡ１の製造方法の一工程を示す要部拡大断面図であって、図１４に示す断面の一部を拡大した図に対応する。

[0115] まず、複数の半導体素子１０、導電基板２、支持基板３、複数の入力端子４１～４３、および、複数の出力端子４４を準備する。複数の半導体素子１０、導電基板２および支持基板３の各構成は、上述の通りである。これらを準備する段階では、複数の半導体素子１０、導電基板２および支持基板３はそれぞれ、個別に準備され、互いに接合されていない。また、導電基板２、複数の入力端子４１～４３および複数の出力端子４４は、図２１に示すように、互いに繋がっており、たとえば同一のリードフレームで構成される。さらに、図２１に示すように、導電基板２の主面２０１には、凹部２０１ａは形成されていない。

[0116] 次いで、図２２に示すように、支持基板３上に第１導電性接合材７１を挟んで導電基板２を載置し、そして、導電基板２上に第２導電性接合材７２を挟んで各半導体素子１０を載置する。その後、支持基板３の下面と各半導体素子１０の上面とを挟持しつつ（図２２の太い矢印参照）、熱を加えることで、各半導体素子１０と導電基板２とを固相拡散により接合するとともに、導電基板２と支持基板３とを固相拡散により接合する。具体的には、第１金属層３２上の第１接合層３２１（支持基板３）と第２層７１３（第１導電性接合材７１）とを、第１層７１２（第１導電性接合材７１）と裏面接合層２３（導電基板２）とを、第４層７２３（第２導電性接合材７２）と主面接合

層２２（導電基板２）とを、および、第３層７２２（第２導電性接合材７２）と各半導体素子１０の裏面電極１５とを、一括して固相拡散により互いに接合する。固相拡散の条件において、接合時の加熱温度は２００℃以上３５０℃以下の範囲であればよく、また、接合時に加圧する圧力（上記挟持する力）は１ＭＰａ以上１００ＭＰａ以下の範囲であればよい。固相拡散は、大気中で行う場合を想定しているが、真空中で行ってもよい。これにより、導電基板２が第１導電性接合材７１を介して支持基板３に接合され、各半導体素子１０が第２導電性接合材７２を介して導電基板２に接合される。なお、導電基板２と支持基板３との接合、および、導電基板２と各半導体素子１０との接合は、一括ではなく、別々に処理してもよい。ただし、一括して処理する方が、製造効率を向上させる上で好ましい。

[0117] 導電基板２上に第２導電性接合材７２を挟んで各半導体素子１０を載置する際には、図１６および図１７に示されるように、各半導体素子１０に対応する個別の第２導電性接合材７２を配置する。これに限らず、図１６に示す３個の半導体素子１０に共通して対応する１個の第２導電性接合材７２を配置してもよい。

[0118] 次いで、図２３に示すように、制御端子支持体５の接合、複数の制御端子４５の各ホルダ４５１の接合、複数のワイヤ７３１～７３５のワイヤボンディング、複数の第１導通部材６１の接合、および、第２導通部材６２の接合を行う。なお、これらの処理順序は限定されない。

[0119] 次いで、封止樹脂８を形成する。封止樹脂８の形成は、たとえばモールド成形による。図２４に示すように、モールド成形で用いる金型９１には、押さえ部材としての押さえピン９１１が設けられている。押さえピン９１１は、先端が導電基板２の主面２０１に接している。このとき、押さえピン９１１による主面２０１への押圧力により、主面２０１に凹部２０１ａが形成される。当該押圧力の大きさ等により、凹部２０１ａの窪み度合い（深さ）が変わる。また、第１導電部２Ａにおける主面２０１に接する押さえピン９１１は、第２導通部材６２の開口６３に挿通されている。そして、金型９１の

キャビティ空間９１９に、樹脂流路および樹脂注入口（いずれも図示略）を順次経由して流動性の樹脂材料を注入する。注入された流動性の樹脂材料が固化することで、封止樹脂８が形成される。形成された封止樹脂８は、図２５および図２６に示すように、上記第１突出部８５１、上記第２突出部８５２および上記樹脂空隙部８６を有する。図２５に示すように、樹脂空隙部８６において主面２０１と接する樹脂空隙部端縁８６１と、凹部２０１ａにおいて主面２０１と接する凹部端縁２０１ｂとは、互いに一致する。図２６に示すように、ホルダ４５１の上面は、第２突出部８５２から露出し、第２突出部８５２の上面と面一である。また、図２４および図２５から理解されるように、樹脂空隙部８６は、押さえピン９１１によって、流動性の樹脂材料が充填されなかったことで形成されている。なお、押さえピン９１１は可動ピンであってもよい。この場合には、押さえピン９１１は、金型９１に形成された穴部に設けられ、弾性支持されていることが好ましい。ピン状の押え部材に限らず、ブロック状の押さえ部材を使用してもよい。

[0120] 次いで、金型９１を型開きして、導電基板２を含むリードフレームと封止樹脂８とを含む成形体を取り出す。その後に、封止樹脂８と、樹脂流路および樹脂注入口において固化した樹脂と、を分離する。この工程において、封止樹脂８におけるｘ１方向側の樹脂側面８３１において、次のいずれかの位置に樹脂分離痕が形成される。第１の位置は、図１に示された樹脂側面８３１におけるｙ方向の両端に近い２つの位置のうち、または、両端の角部のうちの少なくとも一方である。両端の角部に樹脂分離痕が形成された場合には、角部に形成された面（平面視においてＣ面取りされた部分）に樹脂分離痕が形成される。上述した斜面は、封止樹脂８におけるｘ１方向側の樹脂側面８３１に含まれる。第２の位置は、図１に示された樹脂側面８３１における２個の出力端子４４の間である。これらの樹脂分離痕は、金型９１の樹脂注入口の位置に対応しており、封止樹脂８と樹脂注入口において固化した樹脂とを分離することによって形成される。樹脂の回り込みの偏りを抑制するためにはy方向における中央位置から樹脂注入することが好ましい。この場合、

２個の出力端子４４の間に樹脂分離痕が形成される。

[0121] 次いで、図２７に示すように、複数の制御端子４５の各金属ピン４５２を各ホルダ４５１に圧入する。具体的には、各ホルダ４５１が有する筒状部（図２６参照）の内径よりもわずかに大きい断面寸法を有する各金属ピン４５２を、挿入圧力を加えながら挿入する。これにより、各ホルダ４５１と各金属ピン４５２とは、機械的に固定され、かつ、電気的に接続される。各ホルダ４５１と各金属ピン４５２とを、たとえばはんだを使用して電気的に接続してもよい。その後に、図２８および図２９に示すように、樹脂部８７および樹脂充填部８８を形成する。樹脂部８７および樹脂充填部８８の形成は、たとえばポッティングによる。

[0122] 次いで、上記リードフレームを適宜切断することで、複数の入力端子４１～４３および出力端子４４を分離させる。図２１に示した入力端子４１～４３および出力端子４４において、各端子とリードフレームの外枠部との接続部付近（図２１において破線で示された部分）を、金型等を使用して切断すればよい。ここで、入力端子４１～４３には、それぞれ入力側加工痕としての先端面４１３，４２３，４３３が形成される。出力端子４４には、出力側加工痕としての先端面４４３が形成される。リードフレームにおいて、ｙ方向に隣接する各端子をｙ方向に繋ぐタイバーを有する場合、当該タイバーを金型等を使用して切断してもよい。この場合には、各端子においてｙ方向に向く２つの側面に加工痕が形成される。以上の工程を経ることで、図１～図２０に示す半導体モジュールＡ１が製造される。

[0123] 半導体モジュールＡ１は、制御用の回路基板等に実装される。ここで、各金属ピン４５２は、半導体モジュールＡ１が実装される回路基板のピン穴に挿入されて、ピン穴周辺の端子に接続される。入力端子４１、４２，４３は、それぞれｚ方向の一方側（ｚ２方向）に向く入力側接合面４１１，４２１，４３１を有する。各出力端子４４は、ｚ方向の一方側（ｚ２方向側）に向く出力側接合面４４１を有する。入力側接合面４１１，４２１，４３１および出力側接合面４４１は、たとえばはんだを使用して、半導体モジュールＡ

１が実装される回路基板の端子に接続される。

[0124] 本実施形態の半導体モジュールＡ１において、入力端子４１から出力端子４４までの電流の経路について以下に説明する。入力端子４１、第１導電部２Ａ、各第１半導体素子１０Ａ、第１導通部材６１、第２導電部２Ｂ、各出力端子４４という経路で、第１主回路電流が流れる。各第１半導体素子１０Ａの第２主面電極１２と第２導電部２Ｂとの間に、各第１導通部材６１を経由して、ｘ方向に沿って第１主回路電流が流れる。第２導電部２Ｂにおいて、各第１導通部材６１が接合された部分と各出力端子４４との間に、ｘ方向およびｘ方向からわずかに傾いた方向に沿って第１主回路電流が流れる。

[0125] 出力端子４４から入力端子４２および入力端子４３までの電流の経路について以下に説明する。出力端子４４、第２導電部２Ｂ、各第２半導体素子１０Ｂ、第２導通部材６２、入力端子４２および入力端子４３という経路で、第２主回路電流が流れる。第２主回路電流の経路は第２導通部材６２が有しており、ｙ方向に延びる第３配線部６２３と、第３配線部６２３の両端に繋がりｘ２方向に延びる第１配線部６２１および第２配線部６２２の双方とに、第２主回路電流が流れる。さらに、第２主回路電流は、第１配線部６２１と第２配線部６２２との間に配置されｘ方向に延びる２個の第２帯状部６２６と、第１配線部６２１と第２配線部６２２との間に配置されｙ方向に延びる第１帯状部６２５とを経路にして、第１配線部６２１と第２配線部６２２に流れる。

[0126] 入力端子４２および入力端子４３と各第２半導体素子１０Ｂの第２主面電極１２との間に、各第２導通部材６２に含まれる第１配線部６２１および第２配線部６２２と第３配線部６２３、２個の第２帯状部６２６および第１帯状部６２５とを経由して、第２主回路電流が流れる。第１配線部６２１、第２配線部６２２および２個の第２帯状部６２６においては、ｘ方向に沿って第２主回路電流が流れる。第１主回路電流が流れる方向と第２主回路電流が流れる方向とは逆である。

[0127] 第１導通部材６１において第１主回路電流が流れる方向と、第２導通部材

６２に含まれる第１配線部６２１および第２配線部６２２および２個の第２帯状部６２６において第２主回路電流が流れる方向とは、いずれもｘ方向である。

[0128] 半導体モジュールＡ１の作用効果は、次の通りである。

[0129] 半導体モジュールＡ１は、導電基板２、複数の入力端子４１～４３、出力端子４４および導通部材６を備えている。導電基板２は、複数の第１半導体素子１０Ａが接合された第１導電部２Ａおよび複数の第２半導体素子１０Ｂが接合された第２導電部２Ｂを含む。入力端子４１は、第１導電部２Ａに繋がり、第１導電部２Ａを介して複数の第１半導体素子１０Ａに導通する。入力端子４２および入力端子４３は、第２導通部材６２（導通部材６）を介して複数の第２半導体素子１０Ｂに導通する。出力端子４４は、第２導電部２Ｂに繋がり、第２導電部２Ｂを介して複数の第２半導体素子１０Ｂに導通する。導通部材６は、各第１半導体素子１０Ａと第２導電部２Ｂとを導通する第１導通部材６１と、各第２半導体素子１０Ｂと各入力端子４２，４３とを導通する第２導通部材６２とを含む。複数の入力端子４１～４３は、導電基板２に対してｘ２方向側に配置され、出力端子４４は、導電基板２に対してｘ１方向に配置されている。そして、２つの入力端子４２，４３は、入力端子４１を挟んで、ｙ方向において互いに反対側に配置されている。半導体モジュールＡ１とは異なる構成の半導体モジュールにおいて、入力端子４３を備えず、入力端子４１と入力端子４２とがｙ方向に並んで配置された場合、入力端子４１から各第１半導体素子１０Ａを介して出力端子４４に流れる電流の経路のばらつきが生じつつ、出力端子４４から各第２半導体素子１０Ｂを介して各入力端子４２に流れる電流の経路のばらつきが生じる可能性がある。そこで、半導体モジュールＡ１では２つの入力端子４２，４３を備え、２つの入力端子４２，４３で入力端子４１を挟むことで、入力端子４１から各第１半導体素子１０Ａを介して出力端子４４に流れる電流の経路のばらつきを低減するとともに、出力端子４４から各第２半導体素子１０Ｂを介して各入力端子４２，４３に流れる電流の経路のばらつきを低減することが可能

となる。これにより、半導体モジュールＡ１の寄生インダクタンス成分を低減できる。つまり、半導体モジュールＡ１は、寄生インダクタンス成分を低減する上で、好ましいパッケージ構造をなす。

[0130] 半導体モジュールＡ１は、上アーム電流経路と下アーム電流経路とが、平面視において重なる。上アーム電流経路は、入力端子４１から第１導電部２Ａ、各第１半導体素子１０Ａ、各第１導通部材６１および第２導電部２Ｂを介して、各出力端子４４に流れる電流の経路であって、本実施形態では、図５から理解されるように、ｘ２方向側からｘ１方向側に沿う。下アーム電流経路は、出力端子４４から各第２半導体素子１０Ｂおよび第２導通部材６２を介して、入力端子４２に流れる電流の経路であって、本実施形態では、図５から理解されるように、ｘ１方向側からｘ２方向側に沿う。この構成によると、上アーム電流経路に沿う電流によって生じる磁界と、下アーム電流経路に沿う電流によって生じる磁界とが、互いに打ち消し合うため、寄生インダクタンス成分を低減することができる。特に、半導体モジュールＡ１では、導通部材６（複数の第１導通部材６１および第２導通部材６２のそれぞれ）を金属製の板材で構成することで、上アーム電流経路と下アーム電流経路とが、平面視において重なる領域を適度に確保できる。つまり、半導体モジュールＡ１は、寄生インダクタンス成分を低減する上で、好ましいパッケージ構造をなす。

[0131] 半導体モジュールＡ１では、下アーム電流経路を構成する第２導通部材６２は、第１配線部６２１、第２配線部６２２、第３配線部６２３および第４配線部６２４を含む。第１配線部６２１および第２配線部６２２は、入力端子４１を挟んでｙ方向において互いに反対側に配置された入力端子４２，４３にそれぞれ接続されるとともに、ｘ方向に延びている。第３配線部６２３は、第１配線部６２１および第２配線部６２２の双方に繋がってｙ方向に延びており、複数の第２半導体素子１０Ｂそれぞれに接続されている。第４配線部６２４は、第１配線部６２１および第２配線部６２２の双方に繋がり、平面視において複数の第１半導体素子１０Ａと重なる。上記第１配線部６２

１、第２配線部６２２、第３配線部６２３および第４配線部６２４を含んで構成された第２導通部材６２は、主面２０１（導電基板２）からｚ方向に離間して配置されており、平面視において主面２０１の広い範囲と重なっている。このような構成によれば、出力端子４４から各第２半導体素子１０Ｂを介して各入力端子４２，４３に流れる電流の経路のばらつきが適切に低減され、寄生インダクタンス成分を低減するのに適している。

[0132] 複数の第１半導体素子１０Ａと複数の第２半導体素子１０Ｂとは、ｘ方向に見て互いに重なっている。このような構成によれば、複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂが配置される導電基板２（第１導電部２Ａおよび第２導電部２Ｂ）のｙ方向の寸法が大きくなるのを抑制することができ、半導体モジュールＡ１の小型化を図ることができる。

[0133] 第２導通部材６２の第４配線部６２４は、第１帯状部６２５および複数の第２帯状部６２６を有する。第１帯状部６２５は、第１配線部６２１および第２配線部６２２の双方に繋がってｙ方向に延びており、平面視において複数の第１半導体素子１０Ａと重なる部分である。複数の第２帯状部６２６はそれぞれ、第１帯状部６２５と第３配線部６２３とに繋がり、平面視においてｘ方向に延びる帯状である。複数の第２帯状部６２６は、ｙ方向に離間しており、略平行に配置されている。複数の第２帯状部６２６はそれぞれ、平面視において、第１帯状部６２５のうちのｙ方向に隣接する２つの第１半導体素子１０Ａの間に一端が繋がり、第３配線部６２３のうちのｙ方向に隣接する２つの第２半導体素子１０Ｂの間に他端が繋がる。このような構成によれば、第４配線部６２４（第２導通部材６２）の平面視におけるサイズをより大きく確保することができる。このことは、寄生インダクタンス成分を低減する上でより好ましい。

[0134] 第１帯状部６２５は、他の部位よりもｚ２方向に突き出た複数の凸状領域６２５ａを有する。各凸状領域６２５ａは、平面視において各第１半導体素子１０Ａに重なる。第１帯状部６２５が複数の凸状領域６２５ａを有する構成によれば、第１半導体素子１０Ａ上に接合された第１導通部材６１に第１

帯状部６２５が不当に接触するのを回避することができる。

[0135] 第３配線部６２３は、他の部位よりもｚ１方向に突き出た複数の凹状領域６２３ａを有する。各凹状領域６２３ａは、複数の第２半導体素子１０Ｂのいずれかと接合されている。このような構成によれば、第３配線部６２３（第２導通部材６２）と複数の第２半導体素子１０Ｂとを適切に導通させつつ、第３配線部６２３（第２導通部材６２）の平面視におけるサイズを大きく確保することができる。

[0136] 半導体モジュールＡ１においては、上記構成の導通部材６（第１導通部材６１および第２導通部材６２）を具備することに加え、複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂを制御するための複数の第１制御端子４６Ａ～４６Ｅおよび複数の第２制御端子４７Ａ～４７Ｄを備える。複数の第１制御端子４６Ａ～４６Ｅおよび複数の第２制御端子４７Ａ～４７Ｄは、各々、導電基板２の主面２０１上においてｚ方向に沿って延びるように配置されている。このような構成の半導体モジュールＡ１は、平面視における小型化が可能であるので、寄生インダクタンス成分の低減を図りつつ平面視における小型化を図るのに適する。

[0137] 複数の第１制御端子４６Ａ～４６Ｅは、第１導電部２Ａに支持されており、複数の第１半導体素子１０Ａよりもｘ２方向側に配置される。複数の第２制御端子４７Ａ～４７Ｄは、第２導電部２Ｂに支持されており、複数の第２半導体素子１０Ｂよりもｘ１方向側に配置される。複数の第１制御端子４６Ａ～４６Ｅおよび複数の第２制御端子４７Ａ～４７Ｄは、それぞれ、ｙ方向に間隔を隔てて配置されている。これにより、複数の第１制御端子４６Ａ～４６Ｅおよび複数の第２制御端子４７Ａ～４７Ｄは、上アーム回路を構成する複数の第１半導体素子１０Ａおよび下アーム回路を構成する複数の第２半導体素子１０Ｂそれぞれに対応した領域に適切に配置される。かかる構成の半導体モジュールＡ１は、寄生インダクタンス成分の低減を図りつつ小型化を図る上で、より好ましい。

[0138] 第１半導体素子１０Ａおよび第２半導体素子１０Ｂは、それぞれｚ２方向

を向く第１主面電極１１（ゲート電極）を有する。第１制御端子４６Ａは、各第１ワイヤ７３１ａを介して、各第１半導体素子１０Ａの第１主面電極１１（ゲート電極）に接続されている。第２制御端子４７Ａは、各第２ワイヤ７３１ｂを介して、各第２半導体素子１０Ｂの第１主面電極１１（ゲート電極）に接続されている。これにより、スイッチング機能を有する第１半導体素子１０Ａ（第２半導体素子１０Ｂ）を駆動させるための駆動信号は、第１制御端子４６Ａ（第２制御端子４７Ａ）、第１ワイヤ７３１ａ（第２ワイヤ７３１ｂ）を介して第１主面電極１１に適宜入力させることができる。

[0139] 半導体モジュールＡ１が回路基板に実装される際、各金属ピン４５２は、半導体モジュールＡ１が実装される回路基板のピン穴に挿入されて、ピン穴周辺の端子に接続される。入力端子４１、４２，４３は、それぞれｚ方向の一方側（ｚ２方向）に向く入力側接合面４１１，４２１，４３１を有する。各出力端子４４は、ｚ方向の一方側（ｚ２方向側）に向く出力側接合面４４１を有する。入力側接合面４１１，４２１，４３１および出力側接合面４４１は、たとえばはんだを使用して、半導体モジュールＡ１が実装される回路基板の端子に接続される。上述した構成により、入力端子４１～４３および出力端子４４が接続される電力系回路基板と、各金属ピン４５２が接続される制御系回路基板とを、ｚ方向に離して配置することができる。これらにより、第１に、半導体モジュールＡ１における信号端子の配置に関する自由度が向上する。第２に、半導体モジュールＡ１における信号配線の引き回しおよびその長さに関する自由度が向上する。第３に、半導体モジュールＡ１を使用する際に、使用者による回路基板の配置に関する自由度が向上する。

[0140] 半導体モジュールＡ１では、各制御端子４５が、樹脂主面８１から突出し、ｚ方向に沿って延びている。半導体モジュールＡ１と異なる構成において、各制御端子４５がｚ方向に直交する平面（ｘ－ｙ平面）に沿って延びるように配置される場合がある。この構成では、平面視における小型化に限度がある。そこで、半導体モジュールＡ１のように、各制御端子４５をｚ方向に沿って延びるように配置することで、半導体モジュールＡ１の平面視におけ

る小型化が可能である。つまり、半導体モジュールＡ１は、平面視における小型化を図る上で好ましいパッケージ構造をなす。

[0141] 本実施形態の半導体モジュールＡ１では、各制御端子４５と主面２０１（導電基板２）との間には、制御端子支持体５が介在する。制御端子支持体５は絶縁層５１を有し、各制御端子４５は、制御端子支持体５を介して導電基板２に支持されている。このような制御端子支持体５を具備する構成によれば、導電基板２との間で絶縁を確保しつつ、制御端子４５を導電基板２上に適切に支持させることができる。

[0142] 制御端子支持体５は、互いに積層された絶縁層５１、第１金属層５２および第２金属層５３を有する積層構造体である。制御端子４５は、導電性接合材４５９を介して、制御端子支持体５の上面に形成された第１金属層５２に接合される。このような構成によれば、制御端子支持体５として既製の積層構造体（たとえばＤＢＣ基板等）を利用しつつ、制御端子４５を制御端子支持体５（第１金属層５２）に導通接合することが可能である。

[0143] 半導体素子１０は、ｚ２方向を向く素子主面１０１、およびｚ１方向を向く素子裏面１０２を有する。素子主面１０１には第１主面電極１１（ゲート電極）が配置されている。各半導体素子１０の第１主面電極１１と第１金属層５２（第１部５２１）とは、導電性のワイヤ７３１により接続される。これにより、スイッチング機能を有する半導体素子１０を駆動させるための駆動信号は、制御端子４５、第１金属層５２、ワイヤ７３１を介して第１主面電極１１に適宜入力させることができる。

[0144] 各制御端子４５は、ホルダ４５１および金属ピン４５２を含む。ホルダ４５１は、導電性材料からなり、筒状部を含んで構成される。金属ピン４５２は、ｚ方向に延びる棒状部材であり、ホルダ４５１に圧入されている。また、ホルダ４５１の一部（上端鍔部の上面）は、封止樹脂８から露出している。このような構成によれば、封止樹脂８の形成（モールド成形）により、ホルダ４５１はその一部（上端面）を除いて封止樹脂８に覆われとともに、ホルダ４５１の上端面は封止樹脂８から露出する。これにより、封止樹脂８の

形成後に金属ピン４５２をホルダ４５１に挿し込むことが可能である。したがって、制御端子４５が上記のホルダ４５１および金属ピン４５２を含む構成によれば、モールド成形で用いる金型９１が複雑になるのを回避することができ、半導体モジュールＡ１を効率よく製造するのに適する。

[0145] 本実施形態の半導体モジュールＡ１は、封止樹脂８に接合された樹脂部８７を具備する。樹脂部８７は、封止樹脂８から露出するホルダ４５１の一部（上端鍔部の上面）と、金属ピン４５２の一部とを覆う。このような構成によれば、ホルダ４５１と金属ピン４５２の接続部への異物の侵入を防止することができる。上記構成の半導体モジュールＡ１は、耐久性および信頼性をさせる上で好ましい。

[0146] 封止樹脂８は、樹脂主面８１から突出する複数の第２突出部８５２を有する。複数の第２突出部８５２は、平面視において複数の制御端子４５を取り囲む。複数の制御端子４５の各金属ピン４５２は、各第２突出部８５２から突き出ている。各第２突出部８５２上に樹脂部８７が配置されている。このような構成によれば、互いに隣接する制御端子４５の樹脂主面８１に沿う沿面距離を大きくすることができる。隣接する制御端子４５の耐電圧を高める上で好ましい。

[0147] 導電基板２は、ｘ方向に互いに離間する第１導電部２Ａおよび第２導電部２Ｂを含む。第１導電部２Ａは、第２導電部２Ｂよりもｘ２方向に位置する。複数の半導体素子１０は、第１導電部２Ａに接合された第１半導体素子１０Ａと、第２導電部２Ｂに接合された第２半導体素子１０Ｂと、を含む。複数の制御端子４５は、第１制御端子４６Ａ～４６Ｅおよび第２制御端子４７Ａ～４７Ｄを含む。第１制御端子４６Ａ～４６Ｅは、第１導電部２Ａに支持されており、ｘ方向において第１半導体素子１０Ａと入力端子４１，４２等との間に位置する。第２制御端子４７Ａ～４７Ｄは、ｘ方向において第２半導体素子１０Ｂと出力端子４４との間に位置する。このような構成によれば、複数の制御端子４５（第１制御端子４６Ａ～４６Ｅおよび第２制御端子４７Ａ～４７Ｄ）は、上アーム回路を構成する第１半導体素子１０Ａおよび下

アーム回路を構成する第２半導体素子１０Ｂそれぞれに対応した領域に適切に配置される。かかる構成は、半導体モジュールＡ１の小型化を図る上でより好ましい。

[0148] 封止樹脂８は、樹脂主面８１から突出する複数の第１突出部８５１を有する。各第１突出部８５１の先端には、第１突出端面８５１ａが形成されている。複数の第１突出部８５１における各第１突出端面８５１ａは、樹脂主面８１と略平行であり、かつ、同一平面（ｘ－ｙ平面）上にある。このような構成によれば、半導体モジュールＡ１によって生成された電源を利用する機器において、半導体モジュールＡ１が搭載される制御用の回路基板の表面と樹脂主面８１との間に所定の隙間を確保することができる。これにより、上記制御用の回路基板において半導体モジュールＡ１との対向面に種々の機能部品が実装された場合でも、当該機能部品が封止樹脂８に不当に接触することが回避される。

[0149] 半導体モジュールＡ１では、各半導体素子１０が接合された導電基板２を備えている。この構成によると、各半導体素子１０の通電によって発生する熱が導電基板２に伝達され、導電基板２で各半導体素子１０から伝達された熱が拡散される。したがって、半導体モジュールＡ１は、各半導体素子１０の熱の放熱性を向上させる上で好ましいパッケージ構造をなす。

[0150] 半導体モジュールＡ１では、導電基板２と支持基板３とが第１導電性接合材７１を介して接合されている。第１導電性接合材７１は、第１層７１２および第２層７１３を含む。第１層７１２は、導電基板２と金属の固相拡散により接合され、接合界面で互いに直接接した状態で接合されている。第２層７１３は、支持基板３と金属の固相拡散により接合され、接合界面で互いに直接接した状態で接合されている。この構成によると、導電基板２と支持基板３とが、たとえばはんだ等の接合材により接合された場合よりも、導電基板２と支持基板３との接合強度を高めることができる。したがって、半導体モジュールＡ１は、導電基板２と支持基板３との剥離を抑制する上で好ましいパッケージ構造をなす。

[0151] 半導体モジュールＡ１では、各半導体素子１０と導電基板２とが第２導電性接合材７２を介して接合されている。第２導電性接合材７２は、第３層７２２および第４層７２３を含む。第３層７２２は、各半導体素子１０（裏面電極１５）と金属の固相拡散により接合され、接合界面で互いに直接接した状態で接合されている。第４層７２３は、導電基板２と金属の固相拡散により接合され、接合界面で互いに直接接した状態で接合されている。この構成によると、各半導体素子１０と導電基板２とが、たとえばはんだ等の接合材により接合された場合よりも、各半導体素子１０と導電基板２との接合強度を高めることができる。したがって、半導体モジュールＡ１は、各半導体素子１０と導電基板２との剥離を抑制する上で好ましいパッケージ構造をなす。

[0152] 本実施形態の半導体モジュールＡ１では、第１導電性接合材７１における第１基層７１１のヤング率は、第１層７１２および第２層７１３の各々の構成材料のヤング率よりも小である。このような構成によれば、第１導電性接合材７１を導電基板２と支持基板３とに固相拡散により接合する際、相対的に軟らかい第１基層７１１によって応力が緩和され、接合境界部の平滑化を図ることができる。これにより、第１層７１２と導電基板２、および第２層７１３と支持基板３は、固相拡散によってより強固に接合される。

[0153] また、本実施形態では第１基層７１１の厚さが第１層７１２および第２層７１３の各々の厚さよりも大である。これにより、固相拡散による接合の際、第１層７１２と導電基板２（裏面接合層２３）の境界部、および第２層７１３と支持基板３（第１接合層３２１）の境界部のそれぞれに作用する押圧力がより均一となる。したがって、第１層７１２と導電基板２、および第２層７１３と支持基板３は、それぞれより強固な導通接合状態となり得る。

[0154] 第１層７１２および第２層７１３の各々の構成材料は、銀を含む。このような構成によれば、第１導電性接合材７１を用いた固相拡散による接合の際、第１層７１２および第２層７１３の酸化が抑制され、良好な固相拡散接合が可能となる。また、第１層７１２および第２層７１３と接合される裏面接

合層２３および第１接合層３２１の各々についても銀を含むため、より良好な固相拡散接合が可能となる。

[0155] 本実施形態では、第２導電性接合材７２における第２基層７２１のヤング率は、第３層７２２および第４層７２３の各々の構成材料のヤング率よりも小である。このような構成によれば、第２導電性接合材７２を半導体素子１０（裏面電極１５）と導電基板２とに固相拡散により接合する際、相対的に軟らかい第２基層７２１によって応力が緩和され、接合境界部の平滑化を図ることができる。これにより、第３層７２２と半導体素子１０（裏面電極１５）、および第４層７２３と導電基板２は、固相拡散によってより強固に接合される。

[0156] また、本実施形態では第２基層７２１の厚さが第３層７２２および第４層７２３の各々の厚さよりも大である。これにより、固相拡散による接合の際、第３層７２２と半導体素子１０（裏面電極１５）の境界部、および第４層７２３と導電基板２（主面接合層２２）の境界部のそれぞれに作用する押圧力がより均一となる。したがって、第３層７２２と半導体素子１０（裏面電極１５）、および第４層７２３と導電基板２は、それぞれより強固な導通接合状態となり得る。

[0157] 第３層７２２および第４層７２３の各々の構成材料は、銀を含む。このような構成によれば、第２導電性接合材７２を用いた固相拡散による接合の際、第３層７２２および第４層７２３の酸化が抑制され、良好な固相拡散接合が可能となる。また、第３層７２２および第４層７２３と接合される裏面電極１５および主面接合層２２の各々についても銀を含むため、より良好な固相拡散接合が可能となる。

[0158] 第１導電性接合材７１は、ＡＩを含むシート材からなる第１基層７１１の表面（両面）にＡｇめっき層である第１層７１２および第２層７１３が積層された構成である。また、第２導電性接合材７２についても、ＡＩを含むシート材からなる第２基層７２１の表面（両面）にＡｇめっき層である第３層７２２および第４層７２３が積層された構成である。このような構成によれ

ば、第１導電性接合材７１や第２導電性接合材７２を容易に準備することができる。

[0159] 半導体モジュールＡ１では、第２導通部材６２には開口６３が形成されている。開口６３は、平面視において主面２０１（導電基板２）に重なり、かつ、平面視において、各半導体素子１０に重ならない。この構成によると、半導体モジュールＡ１の製造工程のうちのモールド成形（封止樹脂８を形成する工程）において、金型９１に設けられた押さえピン９１１を開口６３に挿通できる。これにより、第２導通部材６２に干渉することなく、当該押さえピン９１１で導電基板２を押さえることができるため、導電基板２が接合される支持基板３の反りを抑制できる。当該反りは、たとえば支持基板３のｙ方向の両外側がｙ方向の中央側よりも上方に位置するように生じる。仮に、支持基板３に反りが発生した場合、導電基板２と支持基板３との接合強度が低下する虞がある。また、モールド成形時において、樹脂漏れにより、封止樹脂８の一部が底面３０２上に形成されることがあり、底面３０２に接合されうる放熱部材（たとえばヒートシンク）の接合不良の原因である。したがって、半導体モジュールＡ１は、支持基板３の反りを抑制することで、導電基板２と支持基板３との接合強度の向上を図る上で好ましいパッケージ構造であるとともに、封止樹脂８の意図せぬ位置への樹脂漏れを抑制する上で好ましいパッケージ構造をなす。

[0160] 導電基板２は、複数の第１半導体素子１０Ａが接合された第１導電部２Ａおよび複数の第２半導体素子１０Ｂが接合された第２導電部２Ｂを含む。第１導電部２Ａおよび第２導電部２Ｂはｘ方向に離間しており、第１導電部２Ａは、第２導電部２Ｂよりもｘ２方向に位置する。第２導通部材６２は、複数の第２半導体素子１０Ｂと入力端子４２，４３とに接続されており、第２導通部材６２に設けられた開口６３は、平面視において第１導電部２Ａの主面２０１と重なる。このような構成によれば、第２導通部材６２の平面視におけるサイズを大きく確保する場合であっても、封止樹脂８の形成時（モールド成形時）には、第２導通部材６２との干渉を回避しつつ、金型９１に設

けられた押さえピン９１１で導電基板２を押さえることができる。なお、第２導通部材６２の平面視におけるサイズを大きくすることで、主回路電流の経路を構成する第２導通部材６２（導通部材６）の寄生抵抗成分を抑制することが可能である。

[0161] 第２導通部材６２は、第１配線部６２１、第２配線部６２２、第３配線部６２３および第４配線部６２４を含む。第１配線部６２１および第２配線部６２２は、入力端子４１を挟んでｙ方向において互いに反対側に配置された入力端子４２，４３にそれぞれ接続されるとともに、ｘ方向に延びている。第３配線部６２３は、第１配線部６２１および第２配線部６２２の双方に繋がってｙ方向に延びており、複数の第２半導体素子１０Ｂそれぞれに接続されている。開口６３は、第１配線部６２１および第２配線部６２２それぞれにおけるｘ２方向寄りに形成されている。これにより、開口６３は、平面視において、導電基板２（第１導電部２Ａ）のｙ方向両外側の２つの角部の近傍に設けられている。したがって、開口６３は、平面視において、導電基板２（第１導電部２Ａ）を支持する支持基板３のｙ方向両外側の２つの角部の近傍に設けられている。このような構成によれば、第２導通部材６２の平面視におけるサイズを比較的大きく確保しつつ、封止樹脂８の形成時（モールド成形時）には、金型９１に設けられた押さえピン９１１を開口６３に挿通させて、導電基板２（第１導電部２Ａ）のｙ方向両外側の角部の近傍を押さえることができる。上述のように、導電基板２が接合される支持基板３の反りは支持基板３のｙ方向の両外側がｙ方向の中央側よりも上方に位置するように生じるところ、上記構成によればモールド成形時の支持基板３の反りを効果的に抑制することができる。

[0162] 本実施形態において、導通部材６（第１導通部材６１および第２導通部材６２）は、金属製の板材により構成されている。これにより、第２導通部材６２に開口６３を容易に形成することができる。また、金属板材からなる導通部材６（第１導通部材６１および第２導通部材６２）については、種々な形状やサイズへの対応が容易であり、他の部位との接合面積を十分に確保す

ることで他の部位との接合部の信頼性が高められる。

[0163] 導電基板２（第１導電部２Ａ）の主面２０１のうち平面視において各開口６３と重なる部位には、凹部２０１ａが形成されている。各凹部２０１ａは、モールド成形時に押さえピン９１１によって主面２０１へ押圧力を付与した痕跡である。本実施形態では、第２導通部材６２およびこれに形成された開口６３の配置を工夫することにより、モールド成形時には、半導体素子１０等の機能素子との干渉を避けつつ導電基板２（第１導電部２Ａ）の適所を押さえピン９１１で押さえることができる。

[0164] 封止樹脂８には、樹脂主面８１から凹部２０１ａに通じる樹脂空隙部８６が形成されている。樹脂空隙部８６はテーパー状であり、樹脂主面８１から凹部２０１ａに向かうにつれて断面積が小さくなる。このような樹脂空隙部８６は、モールド成形時（封止樹脂８の形成時）に形成されたものである。モールド形成後において、導電基板２の主面２０１のうち凹部２０１ａの表面は、封止樹脂８から露出する。また、本実施形態では、樹脂空隙部８６を塞ぐようにして、当該樹脂空隙部８６に樹脂充填部８８が充填されている。このような構成によれば、封止樹脂８から露出する凹部２０１ａへの異物（水分を含む）の侵入を防止することができる。上記構成の半導体モジュールＡ１は、耐久性および信頼性をさせる上で好ましい。

[0165] 本実施形態では、第２導通部材６２（導通部材６）に形成された各開口６３は、ｚ方向に貫通する貫通孔である。このような構成によれば、主回路電流の経路を構成する第２導通部材６２（導通部材６）において、開口６３の形成による電流経路の偏りは抑制される。

[0166] 半導体モジュールＡ１は、導通部材６を備えている。導通部材６は、各半導体素子１０によってスイッチングされる主回路電流の経路を構成する。導通部材６は、各第１半導体素子１０Ａに接続された各第１導通部材６１と、各第２半導体素子１０Ｂに接続された第２導通部材６２とを含む。導通部材６（各第１導通部材６１および第２導通部材６２のそれぞれ）は、金属製の板材により構成される。上記主回路電流は、比較的な大きな値であることが

ある。この場合、主回路電流の経路である導通部材６における寄生抵抗成分を抑制することは、半導体モジュールＡ１の消費電力の低減する上で好ましい。そこで、半導体モジュールＡ１では、上述の通り、導通部材６をボンディングワイヤではなく金属製の板材で構成することで、導通部材６における寄生抵抗成分を抑制している。つまり、半導体モジュールＡ１は、寄生抵抗成分の抑制を図る上で好ましいパッケージ構造をなす。

[0167] 半導体モジュールＡ１では、各第１半導体素子１０Ａは、平面視において矩形状であり、平面視における第１半導体素子１０Ａの四隅は、第２導通部材６２に重ならない。この構成によると、半導体モジュールＡ１の製造工程において、封止樹脂８を形成する工程の前に、各第１半導体素子１０Ａが適切に接合されているか否かの外観検査が可能である。つまり、半導体モジュールＡ１は、製造途中（たとえば図２３に示す状態）において各第１半導体素子１０Ａの接合状態の外観検査を行うことできるため、各第１半導体素子１０Ａが適切に接合されているか否かを判断できる。たとえばレーザ測距法により、第１半導体素子１０Ａの四隅における距離を測定し、測定した四隅における距離差が小さければ、第１半導体素子１０Ａが適切に接合されていると判断することができる。したがって、半導体モジュールＡ１は、製造途中において外観検査を実施できるため、信頼性の向上を図る上で好ましいパッケージ構造をなす。なお、外観検査を行う際、平面視における第１半導体素子１０Ａの四隅のうち少なくとも３つの角部が確認できればよいため、当該３つの角部が第２導通部材６２に重ならないように構成されていればよい。また、図５に示すように、各第２半導体素子１０Ｂにおいても同様に、平面視における各第２半導体素子１０Ｂの四隅が第２導通部材６２に重ならないため、半導体モジュールＡ１の製造工程において、封止樹脂８を形成する工程の前に、各第２半導体素子１０Ｂが適切に接合されているか否かの外観検査が可能である。外観検査は、撮像および画像処理を使用する自動外観検査であってもよい。

[0168] 第２導通部材６２は、第１配線部６２１、第２配線部６２２、第３配線部

６２３および第４配線部６２４を含む。第１配線部６２１および第２配線部６２２は、入力端子４１を挟んでｙ方向において互いに反対側に配置された入力端子４２，４３にそれぞれ接続されるとともに、ｘ方向に延びている。第３配線部６２３は、第１配線部６２１および第２配線部６２２の双方に繋がってｙ方向に延びており、複数の第２半導体素子１０Ｂそれぞれに接続されている。第４配線部６２４は、第１配線部６２１および第２配線部６２２の双方に繋がる。第４配線部６２４は、第３配線部６２３に対してｘ２方向側に位置し、平面視において複数の第１半導体素子１０Ａと重なる。上記第１配線部６２１、第２配線部６２２、第３配線部６２３および第４配線部６２４を含んで構成された第２導通部材６２は、平面視において主面２０１の広い範囲と重なっており、平面視におけるサイズが比較的大きい。このように第２導通部材６２の平面視におけるサイズを大きくすることは、主回路電流の経路を構成する第２導通部材６２（導通部材６）の寄生抵抗成分を抑制する上で、より好ましい。

[0169] 各第１半導体素子１０Ａは、平面視において、第１辺１９１、第２辺１９２、第３辺１９３および第４辺１９４を有する。第１辺１９１と第２辺１９２とはそれぞれ、ｙ方向に延びる。第１辺１９１は、平面視におけるｘ２方向側の端縁であり、第２辺１９２は、平面視におけるｘ１方向側の端縁である。第３辺１９３と第４辺１９４とはそれぞれ、ｘ方向に延びる。第３辺１９３は、平面視におけるｙ２方向側の端縁であり、第４辺１９４は、平面視におけるｙ１方向側の端縁である。各第１半導体素子１０Ａが平面視矩形状であることから、第１辺１９１、第２辺１９２、第３辺１９３および第４辺１９４によって形成される四隅は、平面視において略直角である。一方、第２導通部材６２の第４配線部６２４（第１帯状部６２５）は、第１端縁６２７および第２端縁６２８を有する。第１端縁６２７は、第４配線部６２４においてｘ２方向に位置する端縁であり、平面視において第１辺１９１よりもｘ１方向に位置する。第１端縁６２７はまた、ｙ方向において少なくとも第３辺１９３から第４辺１９４まで延びている。これにより、平面視において

、各第１半導体素子１０Ａのｘ２方向側の２つの角１７１，１７２がそれぞれ、第２導通部材６２に重ならない。第２端縁６２８は、第４配線部６２４（第１帯状部６２５）においてｘ１方向に位置する端縁であり、平面視において第２辺１９２よりもｘ２方向に位置する。第２端縁６２８はまた、ｙ方向において少なくとも第３辺１９３から第４辺１９４まで延びている。これにより、平面視において、各第１半導体素子１０Ａのｘ１方向側の２つの角１７３，１７４がそれぞれ、第２導通部材６２に重ならない。このような構成では、平面視において第４配線部６２４のうち各第１半導体素子１０Ａと重なる領域を確保することで第２導通部材６２の平面視におけるサイズを大きくしつつ、平面視における第１半導体素子１０Ａの四隅が、第２導通部材６２に重ならない。したがって、第２導通部材６２（導通部材６）の寄生抵抗成分を効果的に抑制するとともに、半導体モジュールＡ１の製造途中において各第１半導体素子１０Ａの接合状態の外観検査を行うことができる。

[0170] 第４配線部６２４（第１帯状部６２５）は、他の部位よりもｚ２方向に突き出た複数の凸状領域６２５ａを有する。各凸状領域６２５ａは、平面視において各第１半導体素子１０Ａに重なる。第４配線部６２４が複数の凸状領域６２５ａを有する構成によれば、第１半導体素子１０Ａ上に接合された第１導通部材６１に第４配線部６２４が不当に接触するのを回避することができる。

[0171] 第３配線部６２３は、他の部位よりもｚ１方向に突き出た複数の凹状領域６２３ａを有する。各凹状領域６２３ａは、複数の第２半導体素子１０Ｂのいずれかと接合されている。このような構成によれば、第３配線部６２３（第２導通部材６２）と複数の第２半導体素子１０Ｂとを適切に導通させつつ、第３配線部６２３（第２導通部材６２）の平面視におけるサイズを大きく確保することができる。

[0172] 複数の第１半導体素子１０Ａと複数の第２半導体素子１０Ｂとは、ｘ方向に見て互いに重なっている。このような構成によれば、複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂが配置される導電基板２（第１

導電部２Ａおよび第２導電部２Ｂ）のｙ方向の寸法が大きくなるのを抑制することができ、半導体モジュールＡ１の小型化を図ることができる。

[0173] 半導体モジュールＡ１は、導電基板２、２つの入力端子４１，４２（または２つの入力端子４１，４３）、出力端子４４および導通部材６を備えている。導電基板２は、平面視において、ｘ方向に並んだ第１導電部２Ａおよび第２導電部２Ｂを含む。第１導電部２Ａには、複数の第１半導体素子１０Ａが電気的に接合されている。また、第２導電部２Ｂには、複数の第２半導体素子１０Ｂが電気的に接合されている。複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂはそれぞれ、ｙ方向に沿って間隔を隔てて配置されている。２つの入力端子４１，４２（または２つの入力端子４１，４３）は、第１導電部２Ａに対して、ｘ２方向に位置する。入力端子４１は、正極であり、第１導電部２Ａに繋がる。入力端子４２（または入力端子４３）は、負極である。出力端子４４は、第２導電部２Ｂに対してｘ１方向に位置する。導通部材６は、複数の第１半導体素子１０Ａと第２導電部２Ｂとに接続された第１導通部材６１、および、複数の第２半導体素子１０Ｂと入力端子４２（または入力端子４３）に接続された第２導通部材６２とを含む。この構成によると、複数の半導体素子１０（複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂ）によってスイッチングされる主回路電流の経路が平面視においてｘ方向に沿うように構成されるとともに、半導体モジュールＡ１の平面構造における対称軸（図５の補助線Ｌ１参照）が平面視においてｙ方向に沿うように構成される。つまり、上記対称軸と、上記主回路電流の経路とが直交する。これにより、２つの入力端子４１，４２（または２つの入力端子４１，４３）から入力され、出力端子４４から出力される主回路電流において、複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂへの電流経路の差を小さくできる。つまり、半導体モジュールＡ１における寄生インダクタンス成分のばらつきや電流ばらつきを抑制できる。したがって、半導体モジュールＡ１は、主回路電流の経路における寄生インダクタンス成分の均等化および各半導体素子１０への電流量の均等化を図る

上で、好ましいパッケージ構造をなす。

[0174] 各第１半導体素子１０Ａと各第２半導体素子１０Ｂとは、ｘ方向に離間している。各第１半導体素子１０Ａと各第２半導体素子１０Ｂとは、それぞれｙ方向に沿って並ぶ。したがって、各半導体素子１０が並ぶ方向と、第１主回路電流または第２主回路電流が流れる方向とは、直交する。これにより、本実施形態のように複数のスイッチング素子を並列に接続して用いる場合において、３つの第１半導体素子１０Ａの間で第１主回路電流の電流経路の長さの差が生じることが抑制される。これにより、主回路電流の経路である導通部材６における寄生抵抗成分を抑制することができる。

[0175] 第１主回路電流が流れる領域と、第２主回路電流が流れる領域とは、平面視において重なるように構成されている。即ち、第２主回路電流を流すために出力端子４４と負極端子である第１入力端子４２および第２入力端子４３とを接続する第２導通部材６２を、第１主回路電流が流れる領域（第１導電部２Ａ、第１導通部材６１、第２導電部２Ｂ）の上方に配置している。第１主回路電流が流れる方向と第２主回路電流が流れる方向とは逆である。したがって、上述した配置により、第１主回路電流によって生ずる磁界と第２主回路電流によって生ずる磁界とを打ち消しあうことができるので、インダクタンスを低減できる。

[0176] 本実施形態の半導体モジュールＡ１は、２つの入力端子４２，４３を備える。これら入力端子４２，４３は、いずれも負極であり、ｙ方向において入力端子４１を挟んでいる。また、２つの入力端子４２，４３には、第２導通部材６２が接続されている。このような構成によれば、出力端子４４から各第２半導体素子１０Ｂおよび第２導通部材６２を介して各入力端子４２，４３に流れる電流の経路のばらつきを、より低減することが可能である。

[0177] 半導体モジュールＡ１では、第２導通部材６２は、第１配線部６２１、第２配線部６２２、第３配線部６２３および第４配線部６２４を含む。第１配線部６２１および第２配線部６２２は、入力端子４１を挟んでｙ方向において互いに反対側に配置された入力端子４２，４３にそれぞれ接続されるとと

もに、ｘ方向に延びている。第３配線部６２３は、第１配線部６２１および第２配線部６２２の双方に繋がってｙ方向に延びており、複数の第２半導体素子１０Ｂそれぞれに接続されている。第４配線部６２４は、第４配線部６２４は、第３配線部６２３に対してｘ２方向側に位置し、第１配線部６２１、第２配線部６２２および第３配線部６２３のいずれにも繋がっている。上記第１配線部６２１、第２配線部６２２、第３配線部６２３および第４配線部６２４を含んで構成された第２導通部材６２は、平面視において主面２０１の広い範囲と重なっており、平面視におけるサイズを大きく確保することができる。このような構成によれば、出力端子４４から各第２半導体素子１０Ｂおよび第２導通部材６２を介して各入力端子４２，４３に流れる電流の経路のばらつきが適切に低減される。したがって、本実施形態の半導体モジュールＡ１は、主回路電流の経路（第２導通部材６２）における寄生インダクタンス成分の均等化および各第２半導体素子１０Ｂへの電流量の均等化を図る上で、より好ましい。

[0178] 第４配線部６２４は、第１配線部６２１および第２配線部６２２の双方に繋がり、平面視において複数の第１半導体素子１０Ａと重なる。また、第４配線部６２４（第１帯状部６２５）は、他の部位よりもｚ２方向に突き出た複数の凸状領域６２５ａを有する。各凸状領域６２５ａは、平面視において各第１半導体素子１０Ａに重なる。このような構成によれば、第４配線部６２４（第２導通部材６２）の平面視におけるサイズを大きく確保しつつ、第１半導体素子１０Ａ上に接合された第１導通部材６１に第４配線部６２４が不当に接触するのを回避することができる。

[0179] 複数の第１半導体素子１０Ａと複数の第２半導体素子１０Ｂとは、ｘ方向に見て互いに重なっている。このような構成によれば、複数の第１半導体素子１０Ａおよび複数の第２半導体素子１０Ｂが配置される導電基板２（第１導電部２Ａおよび第２導電部２Ｂ）のｙ方向の寸法が大きくなるのを抑制することができ、半導体モジュールＡ１の小型化を図ることができる。

[0180] 図３０～図３２は、上記実施形態にかかる半導体モジュールの変形例を示

している。なお、図３０以降の図面において、上記実施形態の半導体モジュールＡ１と同一または類似の要素には、上記実施形態と同一の符号を付しており、適宜説明を省略する。

[0181] 図３０および図３１は、第１実施形態の第１変形例にかかる半導体モジュールを示している。本変形例の半導体モジュールＡ１１においては、開口６３の配置が上記実施形態の半導体モジュールＡ１と異なっている。

[0182] 本変形例において、上記実施形態の半導体モジュールＡ１と比べて複数の開口６３が追加的に設けられている。本変形例では、第２導通部材６２は、６つの開口６３を有する。各開口６３は、平面視において導電基板２（第１導電部２Ａあるいは第２導電部２Ｂ）の主面２０１に重なり、かつ、平面視において複数の半導体素子１０に重ならない位置にある。導電基板２（第１導電部２Ａあるいは第２導電部２Ｂ）の主面２０１において、平面視において上記６つの開口６３それぞれと重なる位置には、凹部２０１ａが形成されている。上記６つの開口６３のうち、３つの開口６３が第１配線部６２１に形成されており、他の３つの開口６３が第２配線部６２２に形成されている。

[0183] 第１配線部６２１に形成された３つの開口６３は、上記の半導体モジュールＡ１と同様に第１配線部６２１のｘ２方向側寄りに設けられた開口６３と、当該開口６３よりもｘ１方向側において追加された２つの開口６３である。第１配線部６２１に追加された２つの開口６３のうち、一方が第１導電部２Ａにおけるｙ２方向側の端縁とｘ１方向側の端縁とがなす角部近傍に設けられ、他方が第２導電部２Ｂにおけるｙ２方向側の端縁とｘ２方向側の端縁とがなす角部近傍に設けられている。主面２０１には、凹部２０１ａが形成されている。

[0184] 第２配線部６２２に形成された３つの開口６３は、上記の半導体モジュールＡ１と同様に第２配線部６２２のｘ２方向側寄りに設けられた開口６３と、当該開口６３よりもｘ１方向側において追加された２つの開口６３である。第２配線部６２２に追加された２つの開口６３のうち、一方が第１導電部

２Ａにおけるｙ１方向側の端縁とｘ１方向側の端縁とがなす角部近傍に設けられ、他方が第２導電部２Ｂにおけるｙ１方向側の端縁とｘ２方向側の端縁とがなす角部近傍に設けられている。

[0185] 本変形例の半導体モジュールＡ１１においても、上記実施形態の半導体モジュールＡ１と同様の作用効果を奏する。また、本変形例では、上記半導体モジュールＡ１と比べて４つの開口６３が追加されており、当該追加された４つの開口６３それぞれに対応する凹部２０１ａは、封止樹脂８の形成時（モールド成形時）に金型９１の押さえピン９１１によって主面２０１へ押圧力を付与した痕跡である。このような構成によれば、モールド成形時に支持基板３の周縁部を満遍なく押し付けることができる。したがって、支持基板３の平面視におけるサイズや支持基板３の物性（たとえば熱膨張率）等によってモールド成形時の支持基板３の反りが大きくなる場合でも、当該支持基板３の反りを適切に抑制することができる。

[0186] 図３２は、第１実施形態の第２変形例にかかる半導体モジュールを示している。本変形例の半導体モジュールＡ１２においては、各開口６３の形状が上記実施形態の半導体モジュールＡ１と異なっている。

[0187] 上記の半導体モジュールＡ１では、開口６３はｚ方向に延びる貫通孔であったが、本変形例の半導体モジュールＡ１２では、開口６３は、切り欠きである。具体的には、各開口６３は、ｚ方向に見て、第２導通部材６２の外周縁からｘ－ｙ面内において内側に凹んだ形状（切り欠き形状）である。より具体的には、２つの開口６３は、第１配線部６２１に設けられた第１開口６３と、第２配線部６２２に設けられた第２開口６３とを含んでいる。第１開口６３は、第１配線部６２１のｙ２方向側端縁からｙ１方向へ向けてＵ字状に凹んだ切り欠きである。また、第２開口６３は、第２配線部６２２のｙ１方向端縁からｙ２方向へ向けてＵ字状に凹んだ切り欠きである。

[0188] 本変形例の半導体モジュールＡ１２においても、上記実施形態の半導体モジュールＡ１と同様の作用効果を奏する。

[0189] 図３３～図３５は、第２実施形態にかかる半導体モジュールを示している

。本実施形態の半導体モジュールＡ５においては、第２導通部材６２の構成が上記実施形態の半導体モジュールＡ１と異なっている。

[0190] 本実施形態においては、第２導通部材６２の第４配線部６２４の占める領域が上記実施形態と異なる。具体的には、第１帯状部６２５のｘ方向の寸法が上記半導体モジュールＡ１よりも大きくされている。図３４、図３５に示すように、第１帯状部６２５の第２端縁６２８の位置が上記半導体モジュールＡ１と比べてｘ１方向側に位置する。第２端縁６２８は、図３５に示すように、平面視において第１半導体素子１０Ａの第２辺１９２よりもｘ１方向に位置する。これにより、平面視において各第１半導体素子１０Ａのｘ１方向側の２つの角がそれぞれ、第２導通部材６２（第１帯状部６２５）に重なっている。

[0191] 本実施形態の半導体モジュールＡ２においても、上記実施形態の半導体モジュールＡ１と同様の作用効果を奏する。また、半導体モジュールＡ２において、第４配線部６２４の第１帯状部６２５（第２導通部材６２）の平面視におけるサイズをより大きく確保することができる。このことは、寄生インダクタンス成分を低減する上でより好ましい。

[0192] 本開示にかかる半導体モジュールは、上記した実施形態に限定されるものではない。本開示の半導体モジュールの各部の具体的な構成は、種々に設計変更自在である。

[0193] 本開示の実施形態は、以下の付記に記載された構成を含む。

[0194] 付記１．

支持基板と、

前記支持基板の厚さ方向において互いに離間した主面および裏面を有し、前記裏面が前記支持基板に対向するように当該支持基板に接合された導電基板と、

前記主面に電気的に接合され、スイッチング機能を有する少なくとも１つの半導体素子と、

前記半導体素子によってスイッチングされる電流の経路を構成し、かつ前

記厚さ方向に見て前記主面と重なるように配置された少なくとも１つの導通部材と、

前記厚さ方向において互いに離間した樹脂主面および樹脂裏面を有し、前記支持基板の少なくとも一部、前記導電基板の少なくとも一部、および前記半導体素子を覆う封止樹脂と、を備え、

前記導通部材には、前記厚さ方向に見て、前記導電基板の前記主面と重なりかつ前記半導体素子と重ならない、少なくとも１つの開口が形成されている、半導体モジュール。

付記２．

前記導電基板は、前記厚さ方向に直交する第１方向において互いに離間する第１導電部および第２導電部を含み、

前記少なくとも１つの半導体素子は、前記第１導電部に電気的に接合された少なくとも１つの第１半導体素子と、前記第２導電部に電気的に接合された少なくとも１つの第２半導体素子とを含む、付記１に記載の半導体モジュール。

付記３．

各々が前記第１半導体素子に対して前記第１方向一方側に位置する第１入力端子および第２入力端子をさらに備え、

前記第１入力端子は前記第１導電部に繋がり、前記第２入力端子は前記第２半導体素子に接続され、

前記少なくとも１つの導電部材は、第１導通部材および第２導通部材を含み、前記第１導通部材は、前記第１半導体素子と前記第２導電部とに接続されており、前記第２導通部材は、前記第２半導体素子と前記第２入力端子とに接続されており、

前記開口は、前記第２導通部材に設けられ、かつ前記厚さ方向に見て前記第１導電部の主面と重なる、付記２に記載の半導体モジュール。

付記４．

第３入力端子をさらに備えており、

前記少なくとも１つの第１半導体素子は、前記厚さ方向および前記第１方向の双方に直角である第２方向において互いに離間配置された複数の第１半導体素子を含み、

前記少なくとも１つの第２半導体素子は、前記第２方向において互いに離間配置された複数の第２半導体素子を含み、、

前記第３入力端子は、前記複数の第１半導体素子に対して前記第１方向一方側に位置し、かつ、前記複数の第２半導体素子に接続される構成であり、

前記第２方向において、前記第１入力端子は、前記第２入力端子および前記第３入力端子の間に配置されており、

前記第２導通部材は、第１配線部、第２配線部、および第３配線部を含み、前記第１配線部は、前記第２入力端子に接続され、かつ前記第１方向に延びており、前記第２配線部は、前記第３入力端子に接続され、かつ前記第１方向に延びており、前記第３配線部は、前記第１配線部および前記第２配線部の双方に繋がり、前記第２方向に延びており、かつ、前記複数の第２半導体素子それぞれに接続されており、

前記少なくとも１つの開口は、第１開口および第２開口を含み、前記第１開口は、前記第１配線部における前記第１方向一方側寄りに設けられており、前記第２開口は、前記第２配線部における前記第１方向一方側寄りに設けられている、付記３に記載の半導体モジュール。

付記５．

前記第２導通部材は、前記第１配線部および前記第２配線部の双方に繋がり、かつ前記厚さ方向に見て前記複数の第１半導体素子と重なる第４配線部を含む、付記４に記載の半導体モジュール。

付記６．

前記第１入力端子、前記第２入力端子および前記第３入力端子は、前記第２方向に見て互いに重なる、付記４または５に記載の半導体モジュール。

付記７．

前記第２導電部に繋がる出力端子と、前記複数の第１半導体素子を制御す

るための少なくとも１つの第１制御端子と、前記複数の第２半導体素子を制御するための少なくとも１つの第２制御端子と、をさらに備えており、

前記封止樹脂は、前記樹脂主面と前記樹脂裏面との双方に繋がり、かつ前記厚さ方向において前記樹脂主面および前記樹脂裏面に挟まれた樹脂側面を有し、

前記第１入力端子、前記第２入力端子および前記第３入力端子は、それぞれ、前記樹脂側面から突き出ており、前記厚さ方向の一方側に向く入力側接合面を有し、

前記出力端子は、前記樹脂側面から突き出ており、前記厚さ方向の一方側に向く出力側接合面を有し、

前記第１制御端子は、前記第１導電部の前記主面上に配置され、かつ、前記厚さ方向に沿って延びており、

前記第２制御端子は、前記第２導電部の前記主面上に配置され、かつ、前記厚さ方向に沿って延びている、付記４ないし６のいずれかに記載の半導体モジュール。

付記８．

前記支持基板は、前記厚さ方向に見て矩形状であり、

前記第１開口および前記第２開口は、前記厚さ方向に見て前記支持基板の２つの角部の近傍にそれぞれ設けられる、付記４ないし７のいずれかに記載の半導体モジュール。

付記９．

前記導通部材は、金属製の板材により構成される、付記１または２に記載の半導体モジュール。

付記１０．

前記導電基板の前記主面は、前記厚さ方向に見て前記開口と重なる部位を有し、この部位には、前記厚さ方向に凹む凹部が形成されている、付記１ないし３のいずれかに記載の半導体モジュール。

付記１１．

前記封止樹脂には、前記樹脂主面から前記凹部に通じる樹脂空隙部が形成されている、付記１０に記載の半導体モジュール。

付記１２．

前記樹脂空隙部は、前記主面と接する樹脂空隙部端縁を有し、前記凹部は、前記主面と接する凹部端縁を有し、前記樹脂空隙部端縁および前記凹部端縁は、互いに一致する、付記１１に記載の半導体モジュール。

付記１３．

前記樹脂空隙部に充填された樹脂充填部をさらに備える、付記１１または１２に記載の半導体モジュール。

付記１４．

前記樹脂空隙部は、前記樹脂主面から前記凹部に向かうにつれて断面積が小さくなるテーパー状である、付記１１ないし１３のいずれかに記載の半導体モジュール。

付記１５．

各々が前記半導体素子に電気的に接続された入力端子、出力端子および制御端子をさらに備えており、

前記封止樹脂は、前記樹脂主面と前記樹脂裏面との双方に繋がる樹脂側面を有し、

前記入力端子および前記出力端子は、前記樹脂側面から突き出ており、

前記入力端子および前記出力端子は、前記厚さ方向の一方側に向く入力側接合面および出力側接合面をそれぞれ有し、

前記制御端子は、前記導電基板の前記主面上に配置され、かつ、前記厚さ方向に沿って延びる、付記１に記載の半導体モジュール。

付記１６．

前記開口は、前記厚さ方向に延びる貫通孔である、付記１ないし３および１０ないし１５のいずれかに記載の半導体モジュール。

付記１７．

前記開口は、前記厚さ方向に見て前記導通部材の外周縁から凹む切り欠か

き形状である、付記１ないし３および１０ないし１５のいずれかに記載の半導体モジュール。

付記１８．

支持基板を準備する工程と、

前記支持基板の厚さ方向において互いに離間した主面および裏面を有する導電基板を、前記裏面が前記支持基板に対向するように当該支持基板に接合する工程と、

スイッチング機能を有する半導体素子を前記主面に電気的に接合する工程と、

前記半導体素子によってスイッチングされる主回路電流の経路を構成する導通部材を、前記主面から前記厚さ方向に離間し、かつ前記厚さ方向に見て前記主面と重なるように前記導電基板に接合する工程と、

前記導通部材に設けられた開口を通じて、押さえ部材により前記導電基板を押さえる工程と、

前記支持基板の少なくとも一部と、前記導電基板の少なくとも一部と、前記半導体素子とを覆う封止樹脂を形成する工程と、

を備える、半導体モジュールの製造方法。

付記１９．

前記押さえ部材により前記導電基板を押さえることによって前記主面に凹部が形成される、付記１８に記載の半導体モジュールの製造方法。

付記２０．

支持基板と、

各々が前記支持基板の厚さ方向において互いに離間した主面および裏面を有し、前記裏面が前記支持基板に対向するように当該支持基板に接合された第１導電部および第２導電部と、

前記第１導電部の前記主面に電気的に接合され、スイッチング機能を有する少なくとも１つの第１半導体素子と、

前記第２導電部の前記主面に電気的に接合され、スイッチング機能を有す

る少なくとも１つの第２半導体素子と、

前記第１および第２半導体素子によってスイッチングされる主回路電流の経路を構成し、前記第１導電部および前記第２導電部それぞれの前記主面から前記厚さ方向に離間し、かつ前記厚さ方向に見て前記主面と重なるように配置された導通部材と、

樹脂主面および前記樹脂主面とは反対側の樹脂裏面を有し、前記支持基板の少なくとも一部と、前記第１導電部の少なくとも一部と、前記第２導電部の少なくとも一部と、前記第１、第２半導体素子とを覆う封止樹脂と、を備え、

前記導通部材は、前記厚さ方向に見て、当該導通部材が部分的に切除された少なくとも１つの空隙部を有し、

前記空隙部は、前記厚さ方向に見て、前記第１導電部または前記第２導電部の前記主面と重なり、かつ前記第１および第２半導体素子と重ならない位置にある、半導体モジュール。

付記２１．

第１入力端子および第２入力端子をさらに備えており、

前記第１導電部および前記第２導電部は、前記厚さ方向に直交する第１方向において互いに離間配置されており、

前記第１入力端子は、前記第１半導体素子に対して前記第１方向一方側に位置し、かつ前記第１導電部に繋がっており、

前記第２入力端子は、前記第１半導体素子に対して前記第１方向一方側に位置し、かつ前記第２半導体素子に接続されており、

前記導電部材は、前記第１半導体素子と前記第２導電部とに接続された第１導通部材と、前記第２半導体素子と前記第２入力端子とに接続された第２導通部材と、を含み、

前記空隙部は、前記第２導通部材に設けられ、かつ前記厚さ方向に見て前記第１導電部の前記主面と重なる、付記２０に記載の半導体モジュール。

付記２２．

第３入力端子をさらに備えており、

前記少なくとも１つの第１半導体素子は、前記厚さ方向および前記第１方向の双方に直交する第２方向に互いに離間配置された複数の第１半導体素子を含み、

前記少なくとも１つの第２半導体素子は、前記第２方向に互いに離間配置された複数の第２半導体素子を含み、

前記第３入力端子は、前記複数の第１半導体素子に対して前記第１方向一方側に位置し、かつ前記複数の第２半導体素子に接続されており、

前記第２方向において、前記第１入力端子は、前記第２入力端子および前記第３入力端子の間に配置されており、

前記第２導通部材は、前記第２入力端子に接続され且つ前記第１方向に延びる第１配線部と、前記第３入力端子に接続され且つ前記第１方向に延びる第２配線部と、前記第１配線部および前記第２配線部の双方に繋がり、前記第２方向に延びており、かつ前記複数の第２半導体素子それぞれに接続される第３配線部と、を含み、

前記少なくとも１つの空隙部は、第１空隙部および第２空隙部を含み、前記第１空隙部は、前記第１配線部における前記第１方向一方側寄りに設けられており、前記第２空隙部は、前記第２配線部における前記第１方向一方側寄りに設けられている、付記２１に記載の半導体モジュール。

付記２３．

前記第２導通部材は、前記第１配線部および前記第２配線部の双方に繋がり、かつ前記厚さ方向に見て前記複数の第１半導体素子と重なる第４配線部を含む、付記２２に記載の半導体モジュール。

付記２４．

前記第１入力端子、前記第２入力端子および前記第３入力端子は、前記第２方向に見て互いに重なる、付記２２または２３に記載の半導体モジュール。

付記２５．

前記支持基板は、前記厚さ方向に見て矩形状をなしており、

前記第１および第２空隙部は、前記厚さ方向に見て、前記支持基板の２つの角部の近傍にそれぞれ設けられる、付記２２ないし２４のいずれかに記載の半導体モジュール。

付記２６．

前記導通部材は、金属製の板材により構成される、付記２０に記載の半導体モジュール。

付記２７．

前記空隙部と重なる前記主面には、前記厚さ方向に見て前記空隙部と重なり且つ前記厚さ方向に凹む凹部が形成されている、付記２０または２６に記載の半導体モジュール。

付記２８．

前記封止樹脂には、前記樹脂主面から前記凹部に通じる樹脂空隙部が形成されている、付記２７に記載の半導体モジュール。

付記２９．

前記樹脂空隙部は、前記主面と接する樹脂空隙部端縁を有し、前記凹部は、前記主面と接する凹部端縁を有し、前記樹脂空隙部端縁および前記凹部端縁は、互いに一致する、付記２８に記載の半導体モジュール。

付記３０．

前記樹脂空隙部に充填された樹脂充填部をさらに備える、付記２８または２９に記載の半導体モジュール。

付記３１．

前記樹脂空隙部は、前記樹脂主面から前記凹部に向かうにつれて断面積が小さくなるテーパー状である、付記２８ないし３０のいずれかに記載の半導体モジュール。

付記３２．

前記空隙部は、前記厚さ方向に延びる貫通孔である、付記２０、２１、および２６ないし３１のいずれかに記載の半導体モジュール。

付記３３．

前記空隙部は、前記厚さ方向に見て前記導通部材の外周縁から凹状に切り欠かれた形状である、付記２０、２１、および２６ないし３１のいずれかに記載の半導体モジュール。

符号の説明

[0195] Ａ１，Ａ１１，Ａ１２，Ａ２：半導体モジュール

１０：半導体素子

１０Ａ：第１半導体素子　　１０Ｂ：第２半導体素子

１０１：素子主面　　１０２：素子裏面

１１：第１主面電極（ゲート電極）

１２：第２主面電極（ソース電極）

１３：第３主面電極　　１４：第４主面電極

１５：裏面電極（ドレイン電極）　　１６：第５主面電極

１７１，１７２，１７３，１７４：角

１８１，１８２，１８３，１８４：角

１９１：第１辺　　１９２：第２辺

１９３：第３辺　　１９４：第４辺

２：導電基板　　２Ａ：第１導電部

２Ｂ：第２導電部　　２０１：主面

２０１ａ：凹部　　２０１ｂ：凹部端縁

２０２：裏面　　２１：基材

２２：主面接合層　　２３：裏面接合層

３：支持基板　　３０１：支持面

３０２：底面　　３１：絶縁層

３２：第１金属層　　３２Ａ：第１部

３２Ｂ：第２部　　３２１：第１接合層

３３：第２金属層　　４１：第１入力端子

４１１：入力側接合面　　４１２：入力側側面

４１３：先端面　　４１４：側方面

４２：第２入力端子　　４２１：入力側接合面

４２２：入力側側面　　４２３：先端面

４２４：側方面　　４３：第３入力端子

４３１：入力側接合面　　４３２：入力側側面

４３３：先端面　　４３４：側方面

４４：出力端子　　４４１：出力側接合面

４４２：出力側側面　　４４３：先端面

４４４：側方面　　４５：制御端子

４５１：ホルダ　　４５２：金属ピン

４５９：導電性接合材

４６Ａ，４６Ｂ，４６Ｃ，４６Ｄ，４６Ｅ：第１制御端子

４７Ａ，４７Ｂ，４７Ｃ，４７Ｄ：第２制御端子

５：制御端子支持体　　５１：絶縁層

５２：第１金属層　　５２１：第１部

５２２：第２部　　５２３：第３部

５２４：第４部　　５２５：第５部

５３：第２金属層　　５９：接合材

６：導通部材　　６０１：第１部

６１：第１導通部材　　６１ｈ：開口

６２：第２導通部材　　６２Ａ：第１部

６２Ｂ：第２部　　６２１：第１配線部

６２２：第２配線部　　６２３：第３配線部

６２３ａ：凹状領域　　６２３ｈ：開口

６２４：第４配線部　　６２５：第１帯状部

６２５ａ：凸状領域　　６２５ｈ：開口

６２６：第２帯状部　　６２７：第１端縁

６２８：第２端縁　　６３：開口

６９：導電性接合材　　７１：第１導電性接合材

７１１：第１基層　　７１２：第１層

７１３：第２層　　７２：第２導電性接合材

７２１：第２基層　　７２２：第３層

７２３：第４層　　７３１：ワイヤ

７３１ａ：第１ワイヤ　　７３１ｂ：第２ワイヤ

７３２，７３３，７３４，７３５：ワイヤ

８：封止樹脂　　８１：樹脂主面

８２：樹脂裏面　　８３１，８３２：樹脂側面

８３２ａ：凹部　　８３３，８３４：樹脂側面

８５１：第１突出部　　８５１ａ：第１突出端面

８５１ｂ：凹部　　８５１ｃ：内壁面

８５２：第２突出部　　８６：樹脂空隙部

８６１：樹脂空隙部端縁　　８７：樹脂部

８８：樹脂充填部　　９１：金型　　９１１：押さえピン

請求の範囲

[請求項1] 支持基板と、

前記支持基板の厚さ方向において互いに離間した主面および裏面を有し、前記裏面が前記支持基板に対向するように当該支持基板に接合された導電基板と、

前記主面に電気的に接合され、スイッチング機能を有する少なくとも１つの半導体素子と、

前記半導体素子によってスイッチングされる主回路電流の経路を構成し、かつ前記厚さ方向に見て前記主面と重なるように配置された導通部材と、

前記厚さ方向において互いに離間した樹脂主面および樹脂裏面を有し、前記支持基板の少なくとも一部と、前記導電基板の少なくとも一部と、前記半導体素子とを覆う封止樹脂と、を備え、

前記導通部材には、前記厚さ方向に見て、前記導電基板の前記主面と重なり且つ前記半導体素子と重ならない少なくとも１つの開口が形成されている、半導体モジュール。

[請求項2] 前記導電基板は、前記厚さ方向に対して直交する第１方向に互いに離間配置された第１導電部および第２導電部を含み、

前記少なくとも１つの半導体素子は、前記第１導電部に電気的に接合された第１半導体素子と、前記第２導電部に電気的に接合された第２半導体素子と、を含む、請求項１に記載の半導体モジュール。

[請求項3] 前記第１半導体素子に対して前記第１方向一方側に位置し、前記第１導電部に繋がる第１入力端子と、

前記第１半導体素子に対して前記第１方向一方側に位置し、前記第２半導体素子に接続される第２入力端子と、をさらに備え、

前記導電部材は、前記第１半導体素子と前記第２導電部とに接続された第１導通部材と、前記第２半導体素子と前記第２入力端子とに接続された第２導通部材と、を含み、

前記開口は、前記第２導通部材に設けられ、かつ前記厚さ方向に見て前記第１導電部の主面と重なる、請求項２に記載の半導体モジュール。

[請求項4] 第３入力端子をさらに備えており、

前記少なくとも１つの第１半導体素子は、前記厚さ方向および前記第１方向の双方に直交する第２方向に互いに離間配置された複数の第１半導体素子を含み、

前記少なくとも１つの第２半導体素子は、前記第２方向に互いに間隔配置された複数の第２半導体素子を含み、

前記第３入力端子は、前記複数の第１半導体素子に対して前記第１方向一方側に位置し、かつ前記複数の第２半導体素子に接続され、

前記第２方向において、前記第１入力端子は、前記第２入力端子および前記第３入力端子の間に配置されており、

前記第２導通部材は、第１配線部、第２配線部および第３配線部を含み、前記第１配線部は、前記第２入力端子に接続され、かつ前記第１方向に延びており、前記第２配線部は、前記第３入力端子に接続され、かつ前記第１方向に延びており、前記第３配線部は、前記第１配線部および前記第２配線部の双方に繋がり、前記第２方向に延びており、かつ前記複数の第２半導体素子に接続され、

前記少なくとも１つの開口は、第１開口および第２開口を含み、前記第１開口は、前記第１配線部の前記第１方向一方側寄りに設けられており、前記第２開口は、前記第２配線部の前記第１方向一方側寄りに設けられている、請求項３に記載の半導体モジュール。

[請求項5] 前記第２導通部材は、前記第１配線部および前記第２配線部の双方に繋がり、かつ前記厚さ方向に見て前記複数の第１半導体素子と重なる第４配線部を含む、請求項４に記載の半導体モジュール。

[請求項6] 前記第１入力端子、前記第２入力端子および前記第３入力端子は、前記第２方向に見て互いに重なる、請求項４または５に記載の半導体

モジュール。

[請求項7] 前記第２導電部に繋がる出力端子と、前記複数の第１半導体素子を制御する第１制御端子と、前記複数の第２半導体素子を制御する第２制御端子とをさらに備え、

前記封止樹脂は、前記樹脂主面と前記樹脂裏面との双方に繋がる樹脂側面を有し、

前記第１入力端子、前記第２入力端子および前記第３入力端子は、それぞれ、前記樹脂側面から突き出ており、かつ前記厚さ方向の一方側に向く入力側接合面を有し、

前記出力端子は、前記樹脂側面から突き出ており、前記厚さ方向の一方側に向く出力側接合面を有し、

前記第１制御端子は、前記第１導電部の主面上に配置され、かつ、前記厚さ方向に沿って延びており、

前記第２制御端子は、前記第２導電部の主面上に配置され、かつ、前記厚さ方向に沿って延びる、請求項４ないし６のいずれかに記載の半導体モジュール。

[請求項8] 前記支持基板は、前記厚さ方向に見て矩形状をなしており、

前記第１および第２開口は、前記厚さ方向に見て、前記支持基板の２つの角部の近傍にそれぞれ設けられる、請求項４ないし７のいずれかに記載の半導体モジュール。

[請求項9] 前記導通部材は、金属製の板材により構成される、請求項１または２に記載の半導体モジュール。

[請求項10] 前記導電基板の前記主面には、前記厚さ方向に見て前記開口と重なり、かつ前記厚さ方向に凹む凹部が形成されている、請求項１に記載の半導体モジュール。

[請求項11] 前記封止樹脂には、前記樹脂主面から前記凹部に通じる樹脂空隙部が形成されている、請求項１０に記載の半導体モジュール。

[請求項12] 前記樹脂空隙部は、前記主面と接する樹脂空隙部端縁を有し、前記

凹部は、前記主面と接する凹部端縁を有し、前記樹脂空隙部端縁および前記凹部端縁は、互いに一致する、請求項１１に記載の半導体モジュール。

[請求項13] 前記樹脂空隙部に充填された樹脂充填部をさらに備える、請求項１１または１２に記載の半導体モジュール。

[請求項14] 前記樹脂空隙部は、前記樹脂主面から前記凹部に向かうにつれて断面積が小さくなるテーパー状である、請求項１１ないし１３のいずれかに記載の半導体モジュール。

[請求項15] 各々が前記半導体素子に電気的に接続された入力端子、出力端子および制御端子をさらに備えており、

前記封止樹脂は、前記樹脂主面と前記樹脂裏面との双方に繋がる樹脂側面を有し、

前記入力端子および前記出力端子は、前記樹脂側面から突き出ており、

前記入力端子は、前記厚さ方向の一方側に向く入力側接合面を有し、

前記出力端子は、前記厚さ方向の一方側に向く出力側接合面を有し、

前記制御端子は、前記導電基板の前記主面上に配置され、かつ、前記厚さ方向に沿って延びる、請求項１に記載の半導体モジュール。

[請求項16] 前記開口は、前記厚さ方向に延びる貫通孔である、請求項１ないし３、および９ないし１５のいずれかに記載の半導体モジュール。

[請求項17] 前記開口は、前記厚さ方向に見て、前記導通部材の外周縁から凹状に切り欠かれた形状である、請求項１ないし２、および９ないし１５のいずれかに記載の半導体モジュール。

[請求項18] 支持基板を準備する工程と、

前記支持基板の厚さ方向において互いに離間した主面および裏面を有する導電基板を、前記裏面が前記支持基板に対向するように当該支

持基板に接合する工程と、

スイッチング機能を有する半導体素子を、前記主面に電気的に接合する工程と、

前記半導体素子によってスイッチングされる主回路電流の経路を構成する導通部材を、前記厚さ方向に見て前記主面と重なるように前記導電基板に接合する工程と、

前記導通部材に設けられた開口を通じて、押さえ部材により前記導電基板を押さえる工程と、

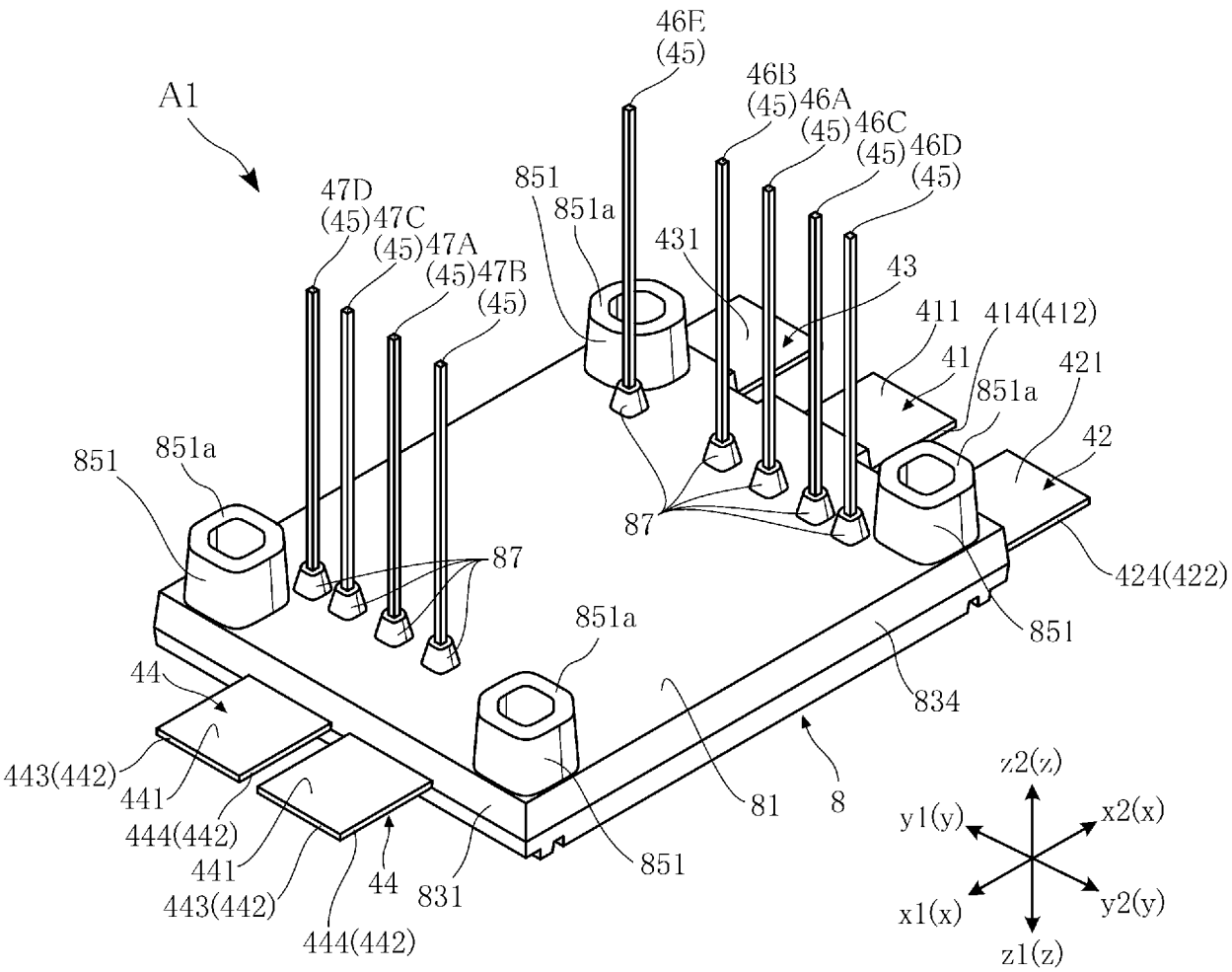
前記支持基板の少なくとも一部と、前記導電基板の少なくとも一部と、前記半導体素子とを覆う封止樹脂を形成する工程と、

を備える、半導体モジュールの製造方法。

[請求項19] 前記押さえ部材により前記導電基板を押さえることによって前記主面に凹部が形成される、請求項１８に記載の半導体モジュールの製造方法。

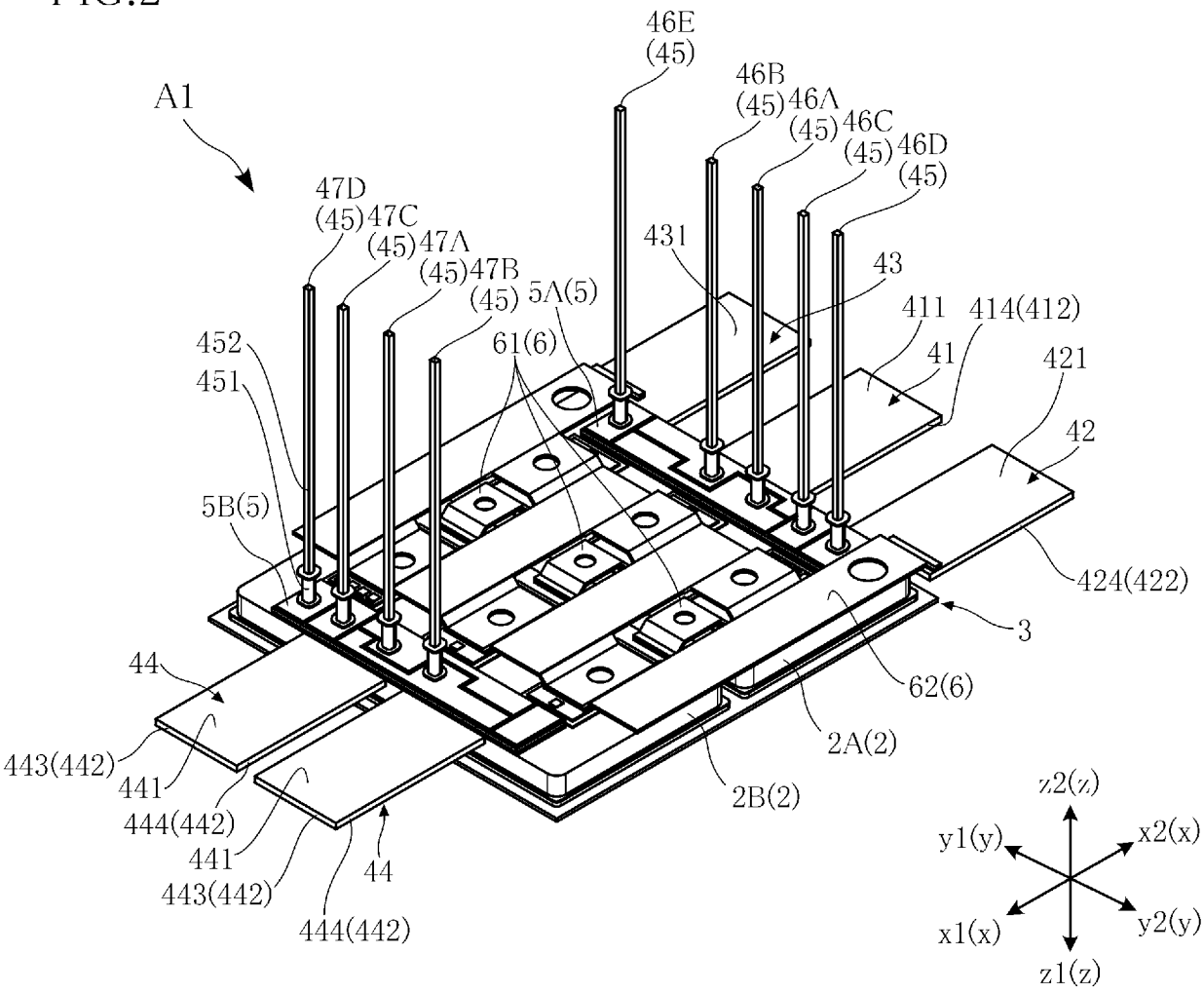
[図1]

FIG.1


A1
46E
(45)
46B
(45)
46A
(45)
46C
(45)
46D
(45)
47D
(45)
47C
(45)
47A
(45)
47B
(45)
851
851a
431
43
411
414(412)
41
421
42
851a
851
851a
87
87
424(422)
851
851a
834
44
443(442)
441
444(442)
441
443(442)
444(442)
44
831
851
81
8
z2(z)
y1(y)
x2(x)
x1(x)
y2(y)
z1(z)

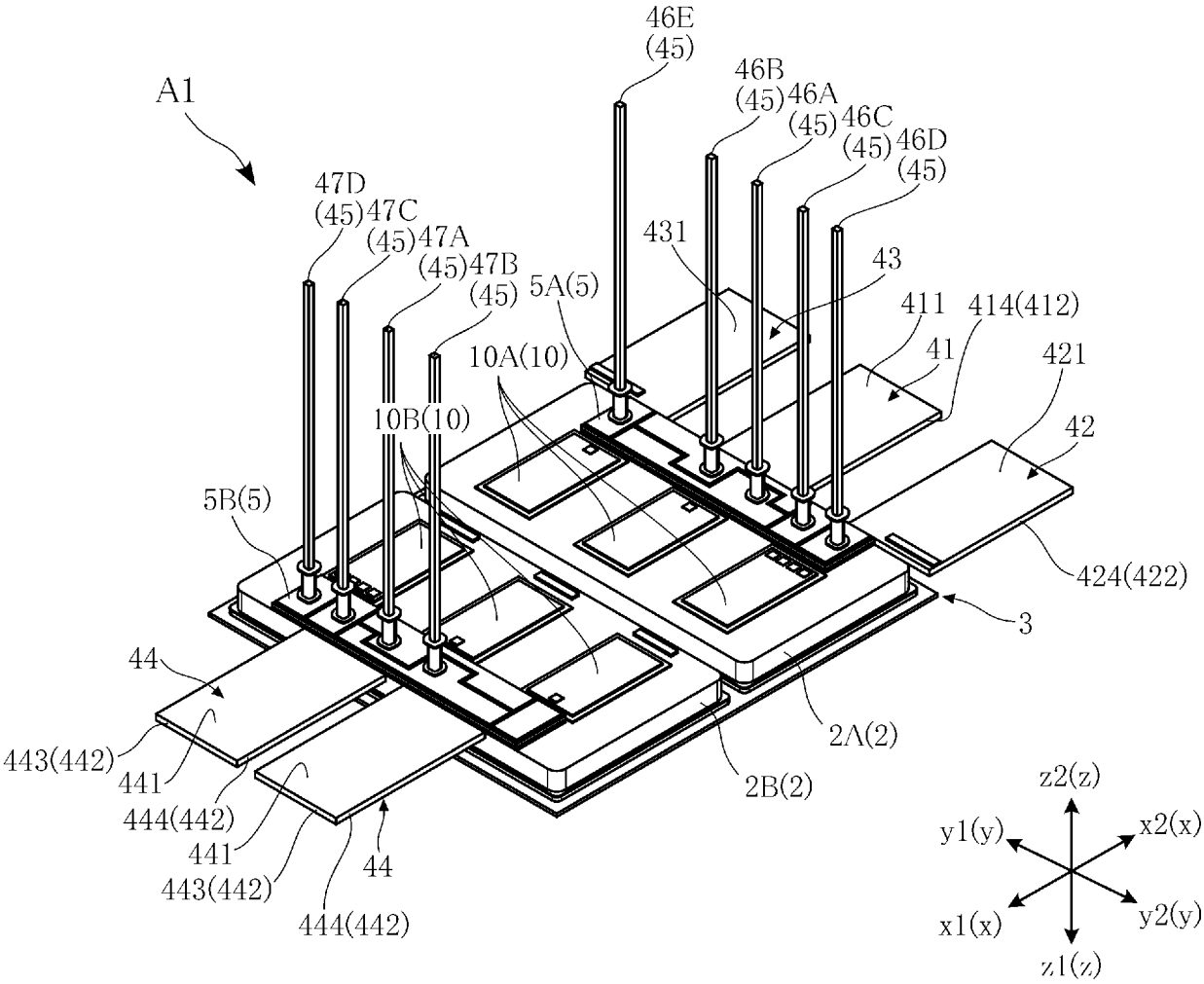
[図2]

FIG.2


A1
46E
(45)
46B
(45)
46A
(45)
46C
(45)
46D
(45)
47D
(45)
47C
(45)
47A
(45)
47B
(45)
5A(5)
431
43
411
414(412)
41
421
42
452
451
61(6)
5B(5)
424(422)
3
44
62(6)
2A(2)
443(442)
441
444(442)
2B(2)
441
443(442)
44
444(442)
z2(z)
y1(y)
x2(x)
x1(x)
y2(y)
z1(z)

[図3]

FIG.3


A1
46E
(45)
46B
(45)
46A
(45)
46C
(45)
46D
(45)
47D
(45)
47C
(45)
47A
(45)
47B
(45)
431
43
5A(5)
411
414(412)
41
421
10A(10)
10B(10)
42
5B(5)
424(422)
3
44
443(442)
441
444(442)
2A(2)
2B(2)
441
443(442)
44
444(442)
z2(z)
y1(y)
x2(x)
x1(x)
y2(y)
z1(z)

[図4]

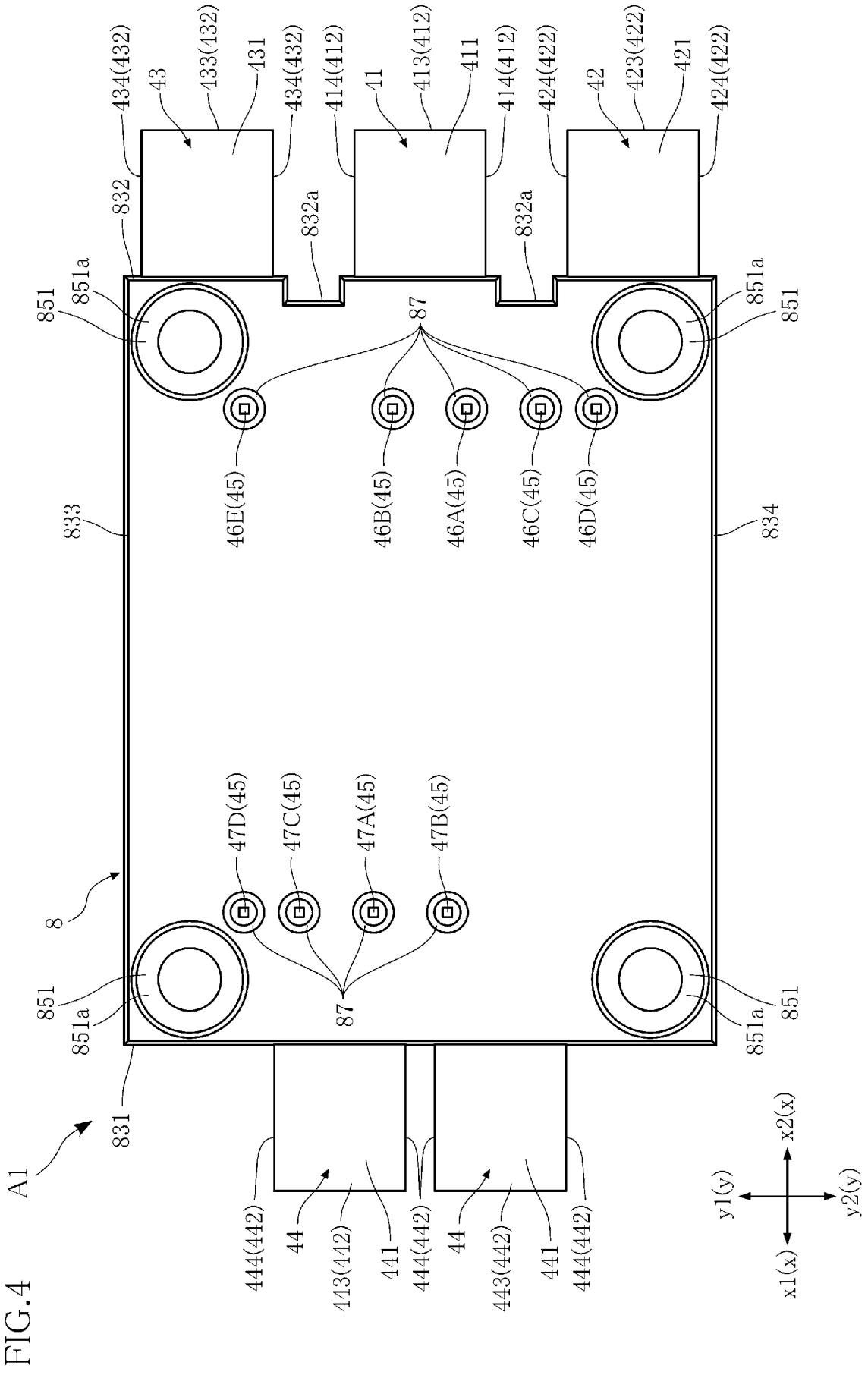

A1
8
831
832
832a
832a
833
834
851
851a
851
851a
851
851a
851
851a
87
87
43
41
42
431
411
421
434(432)
434(432)
434(432)
133(132)
413(412)
423(422)
414(412)
414(412)
424(422)
424(422)
46E(45)
46B(45)
46A(45)
46C(45)
46D(45)
47D(45)
47C(45)
47A(45)
47B(45)
444(442)
444(442)
444(442)
444(442)
443(442)
443(442)
441
441
44
44
x2(x)
x1(x)
y1(y)
y2(y)

FIG.4

[図5]

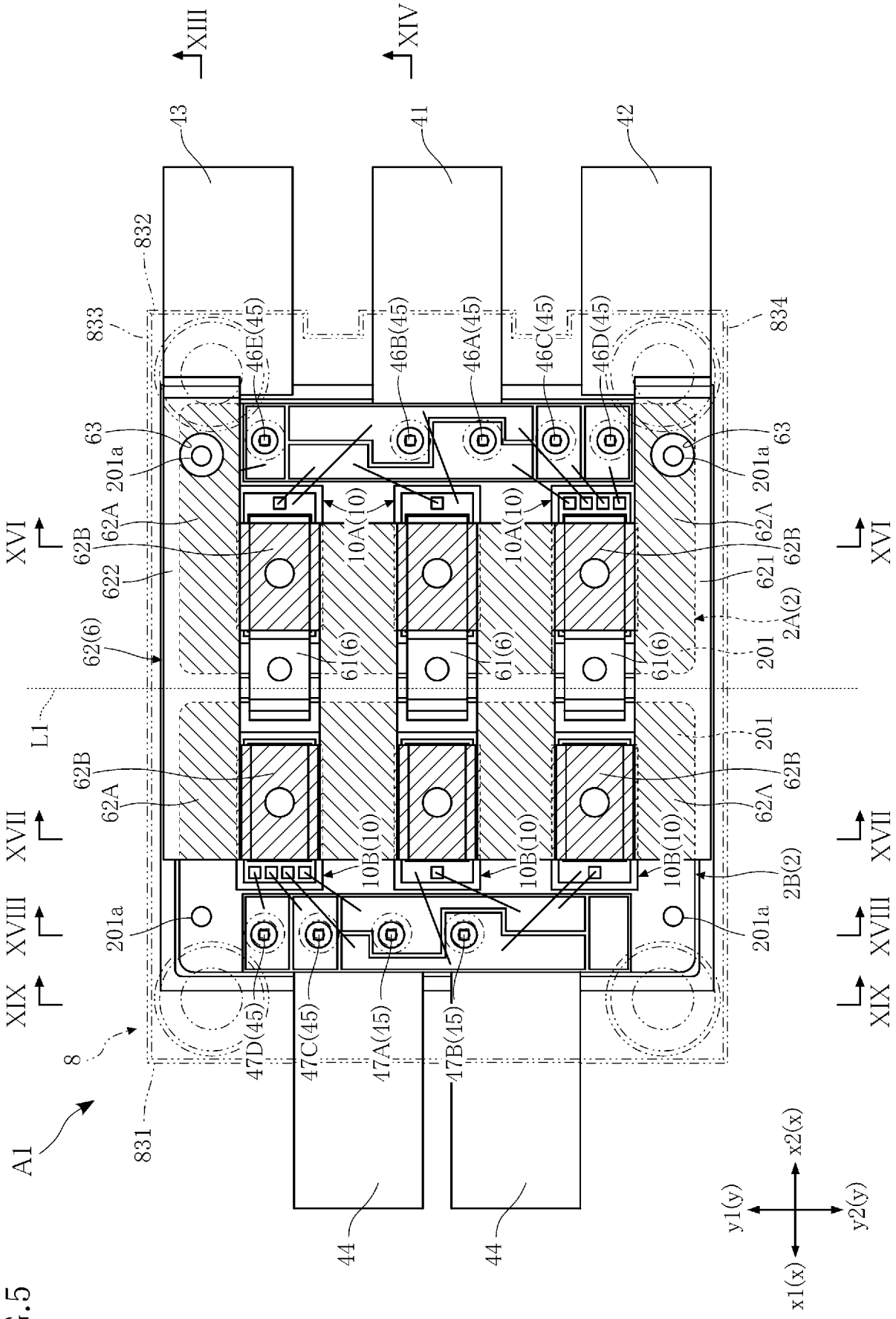

XIII
XIV
43
41
42
832
833
834
46E(45)
46B(45)
46A(45)
46C(45)
46D(45)
63
201a
62A
62B
622
621
10A(10)
62(6)
61(6)
2A(2)
201
L1
10B(10)
2B(2)
XVI
XVII
XVIII
XIX
8
831
A1
47D(45)
47C(45)
47A(45)
47B(45)
44
x2(x)
y1(y)
y2(y)
x1(x)

FIG.5

[図6]

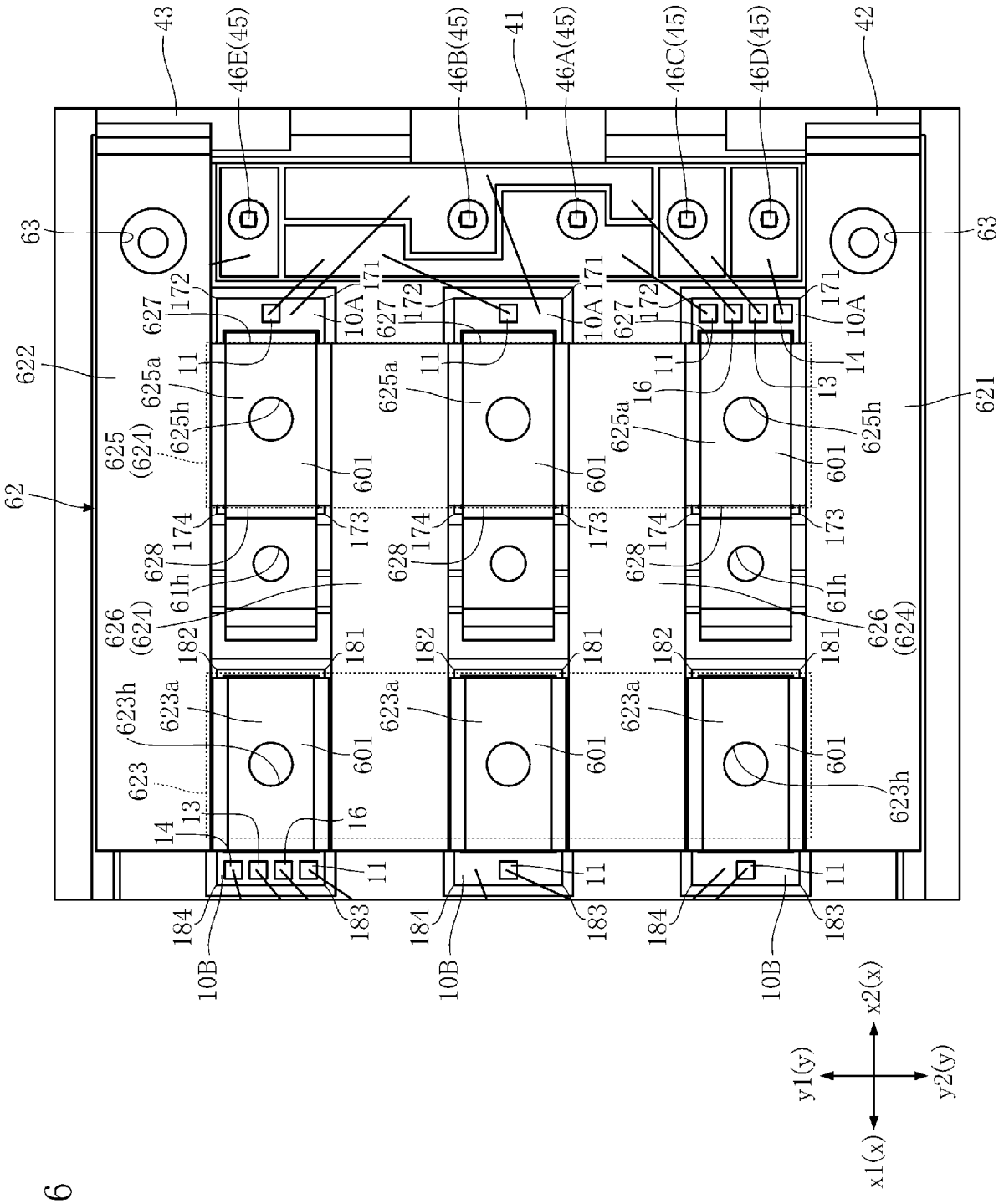

43
46E(45)
46B(45)
41
46A(45)
46C(45)
46D(45)
42
63
63
622
621
62
627
172
171
10A
625a
11
625h
625
(624)
601
173
174
628
61h
626
(624)
182
181
623h
623a
623
13
14
16
184
183
10B
x2(x)
y1(y)
y2(y)
x1(x)

FIG.6

[図7]

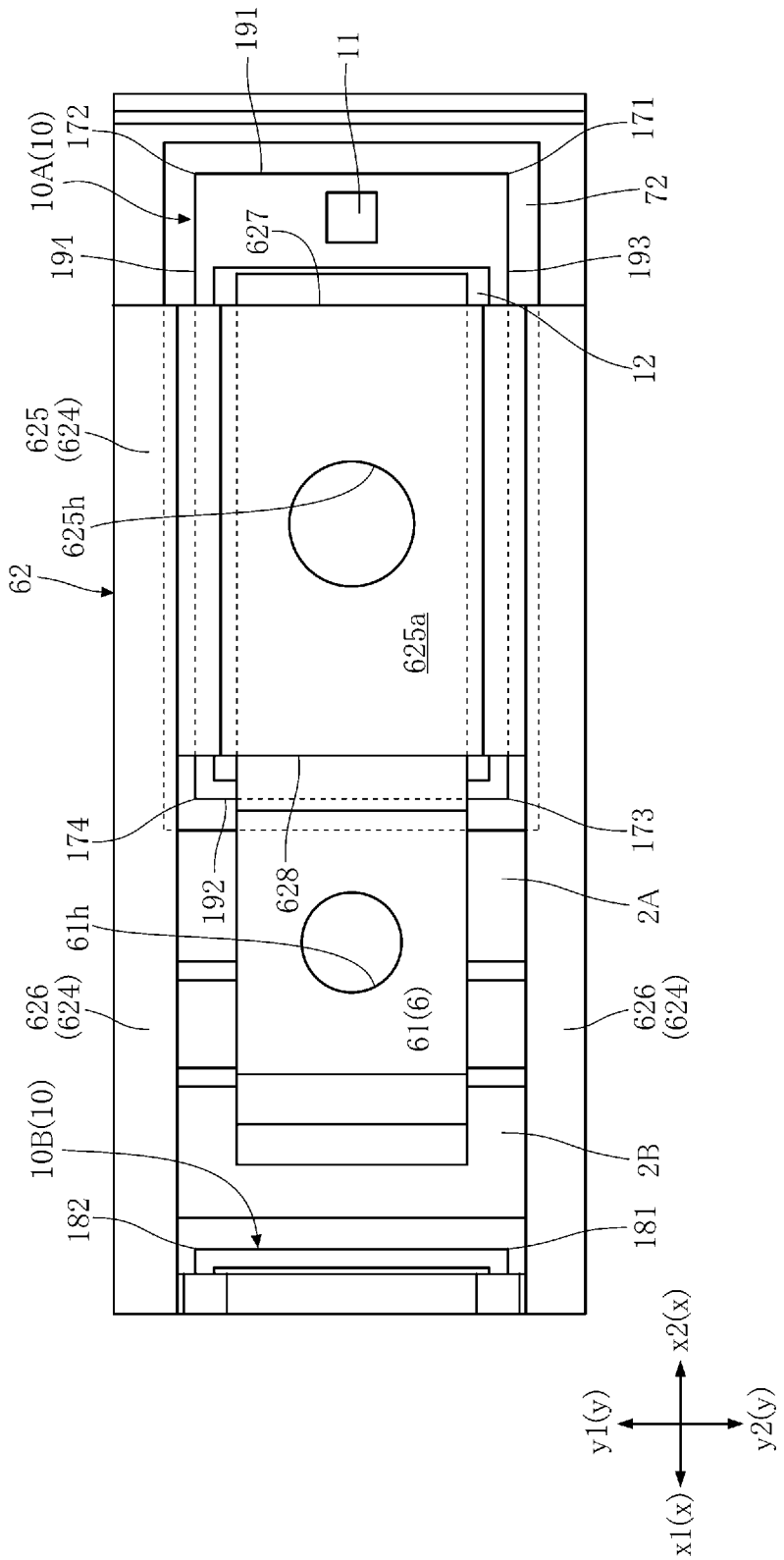

191
11
172
171
10A(10)
72
627
194
193
12
625
(624)
625h
62
625a
174
173
192
628
2A
61h
61(6)
626
(624)
626
(624)
10B(10)
2B
182
181
x2(x)
y1(y)
y2(y)
x1(x)

FIG.7

[図8]

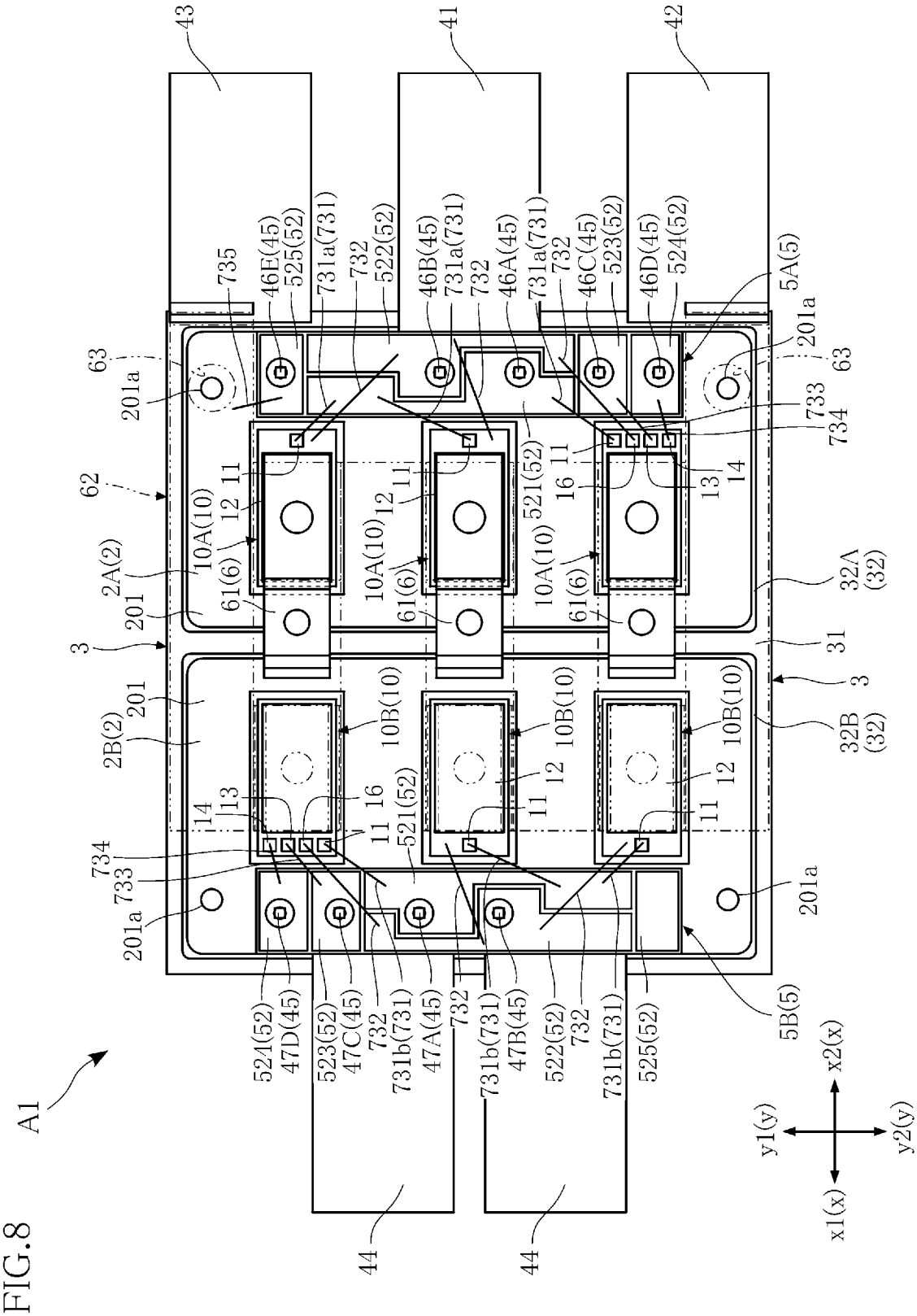

A1
43
41
42
735
46E(45)
525(52)
731a(731)
732
522(52)
46B(45)
46A(45)
46C(45)
523(52)
46D(45)
524(52)
5A(5)
201a
63
62
733
734
10A(10)
12
11
61(6)
2A(2)
201
3
521(52)
16
13
14
32A
(32)
31
2B(2)
10B(10)
32B
(32)
5B(5)
524(52)
47D(45)
523(52)
47C(45)
731b(731)
47A(45)
47B(45)
522(52)
525(52)
44
x1(x)
x2(x)
y1(y)
y2(y)

FIG.8

[図9]

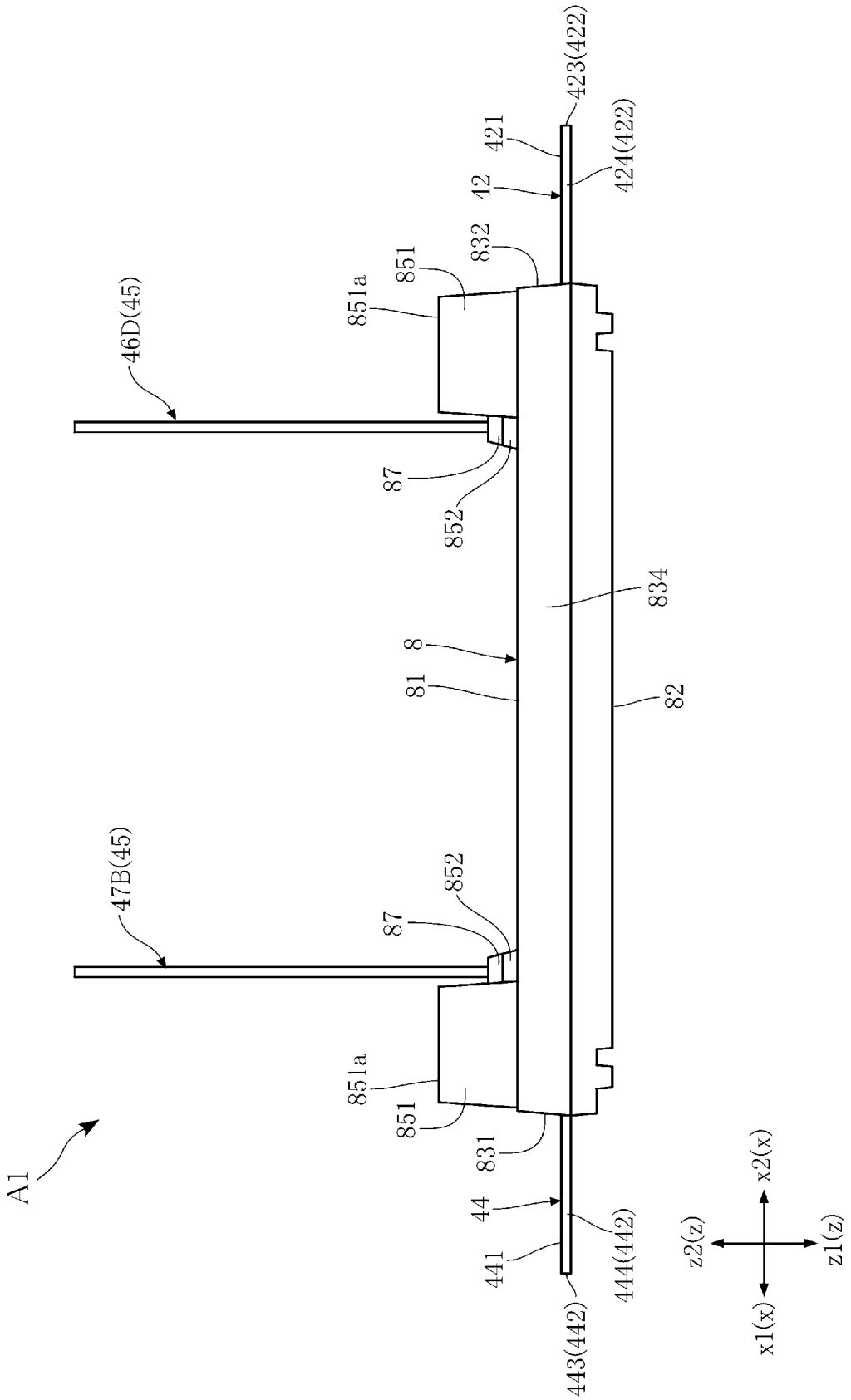

A1
46D(45)
47B(45)
851a
851
832
852
87
834
8
81
82
831
44
441
443(442)
444(442)
424(422)
423(422)
421
42
x2(x)
x1(x)
z2(z)
z1(z)

FIG.9

[図10]

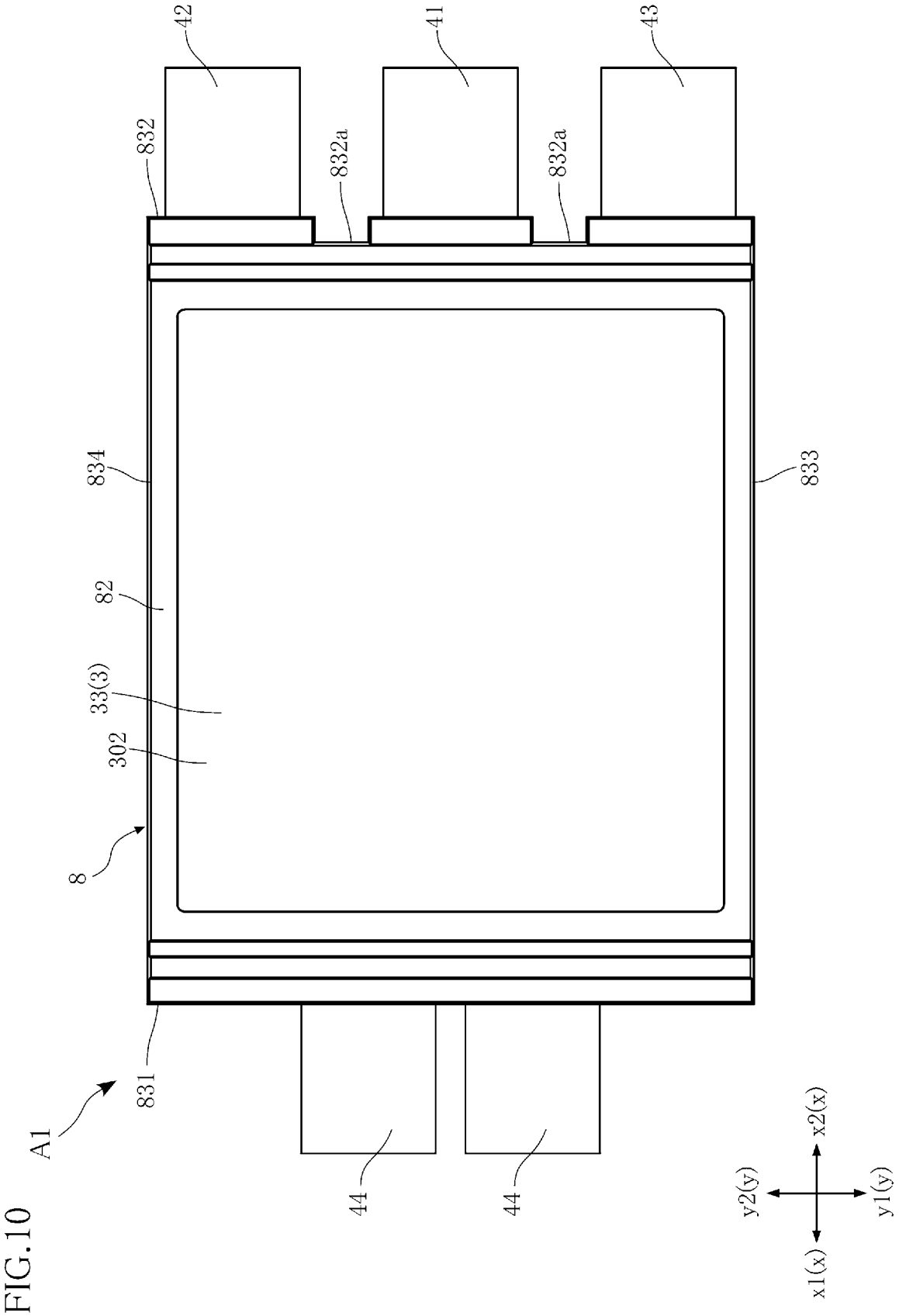
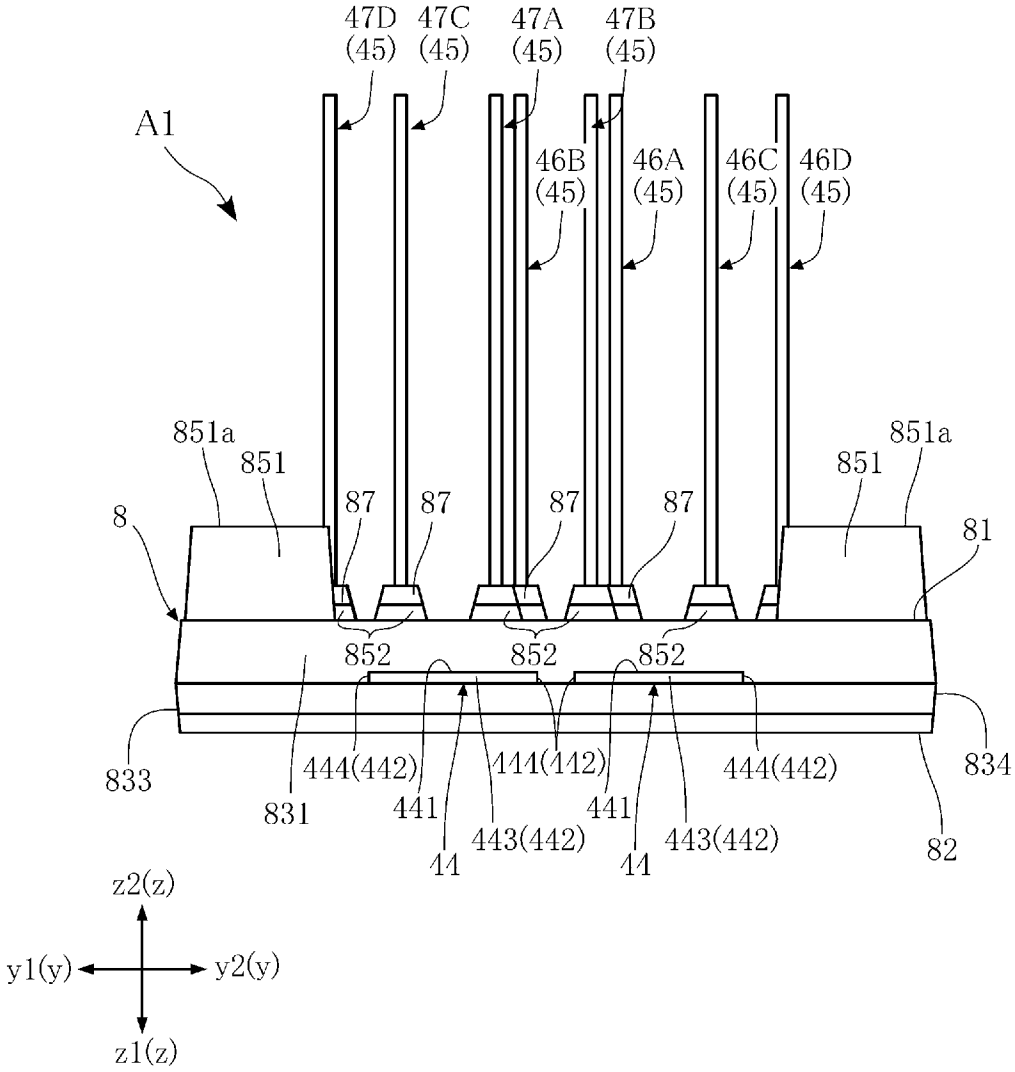

42
41
43
832
832a
832a
834
833
82
33(3)
302
8
831
A1
44
44
x2(x)
y2(y)
y1(y)
x1(x)

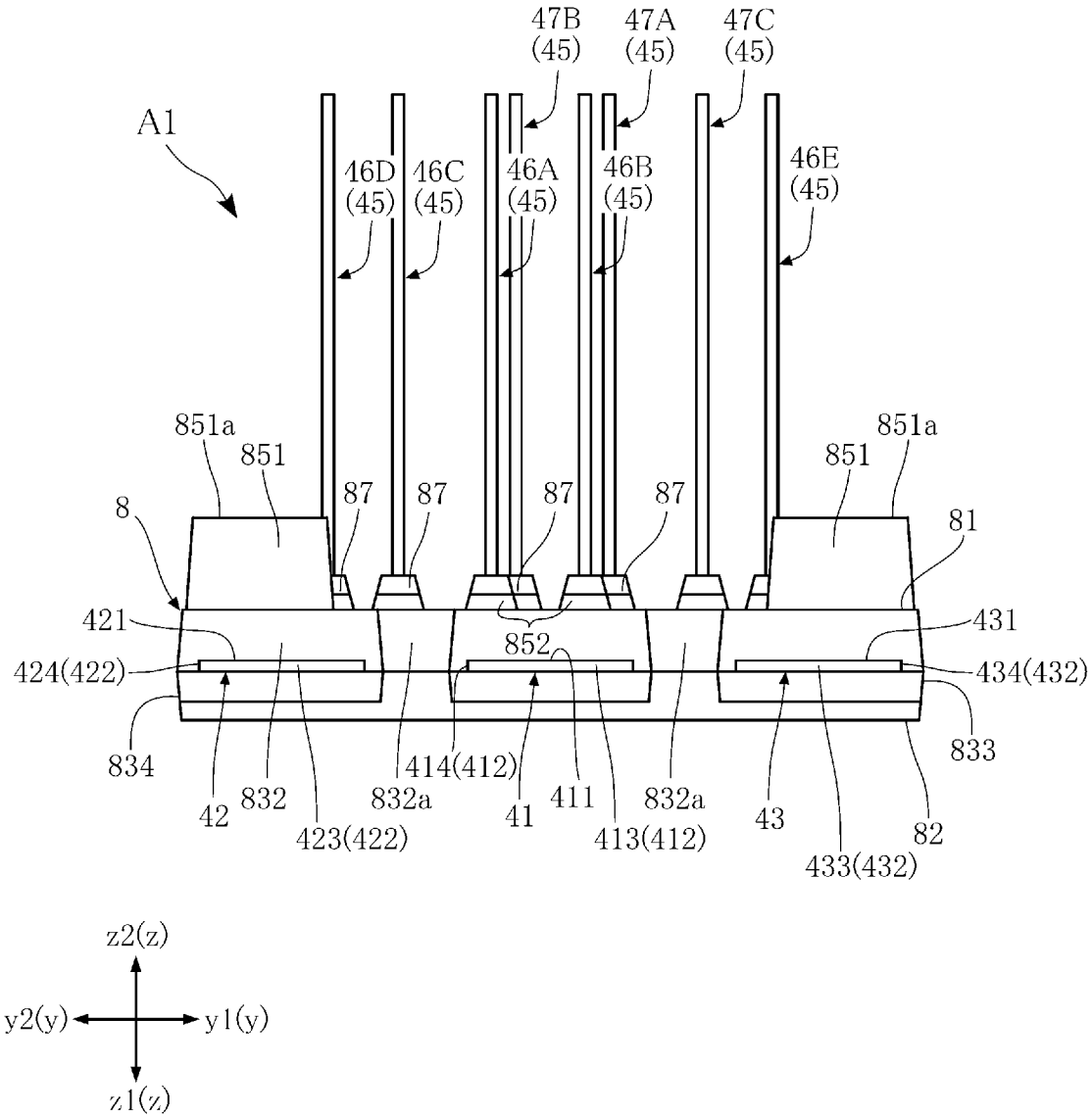
FIG.10

[図11]
FIG.11


47D (45)
47C (45)
47A (45)
47B (45)
A1
46B (45)
46A (45)
46C (45)
46D (45)
851a
851
87
8
852
81
833
831
444(442)
441
44
443(442)
834
82
z2(z)
y1(y)
y2(y)
z1(z)

[図12]

FIG.12


47B
(45)
47A
(45)
47C
(45)
A1
46D
(45)
46C
(45)
46A
(45)
46B
(45)
46E
(45)
851a
851
87
87
87
87
851
851a
8
81
421
431
852
424(422)
434(432)
834
42
832
423(422)
832a
414(412)
41
411
413(412)
832a
43
433(432)
82
833
z2(z)
y2(y)
y1(y)
z1(z)

[図13]

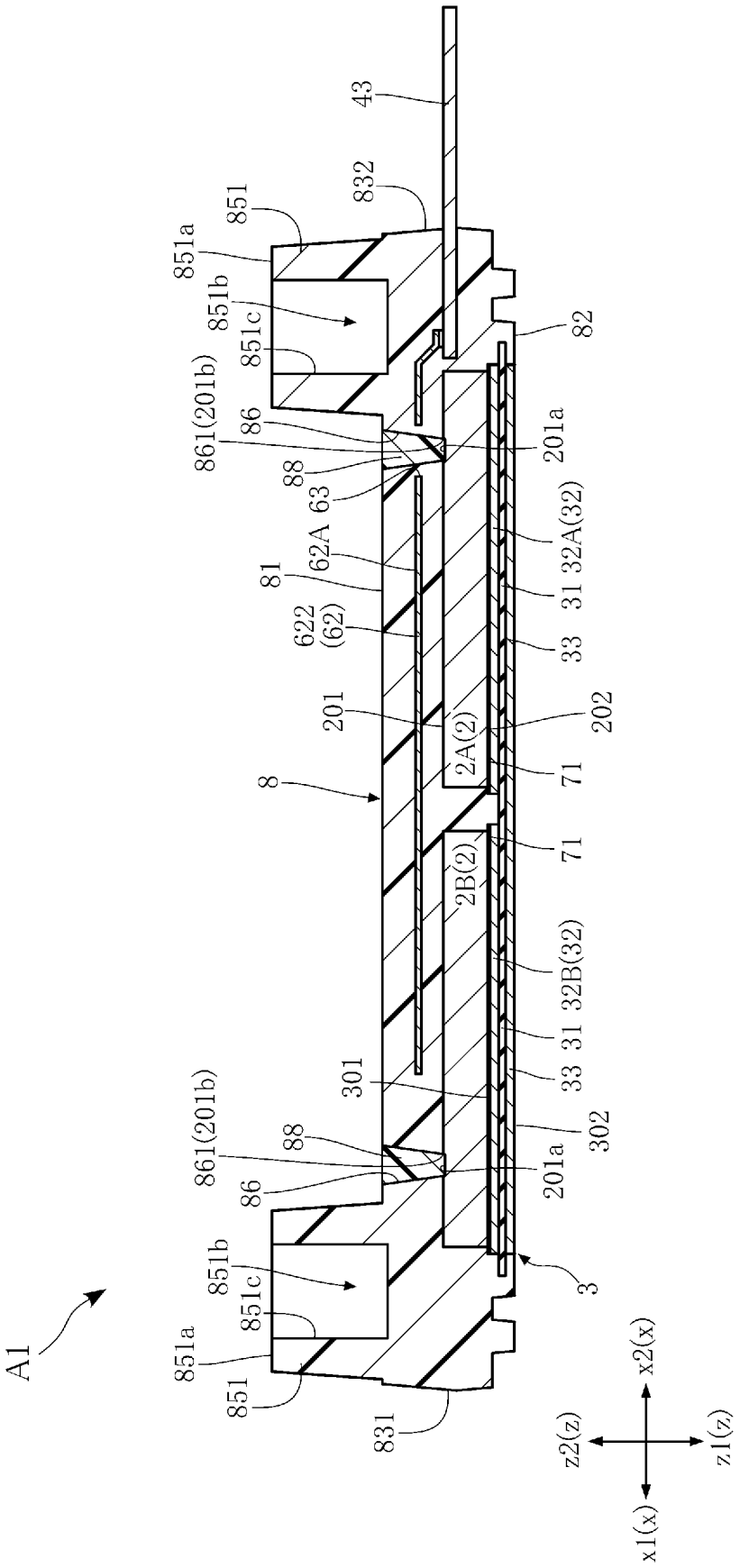

A1
43
832
851
851a
851b
851c
82
861(201b)
86
88
63
201a
62A
81
622
(62)
32A(32)
31
33
201
202
2A(2)
71
8
2B(2)
32B(32)
301
302
3
831
z2(z)
z1(z)
x2(x)
x1(x)

FIG.13

[図14]

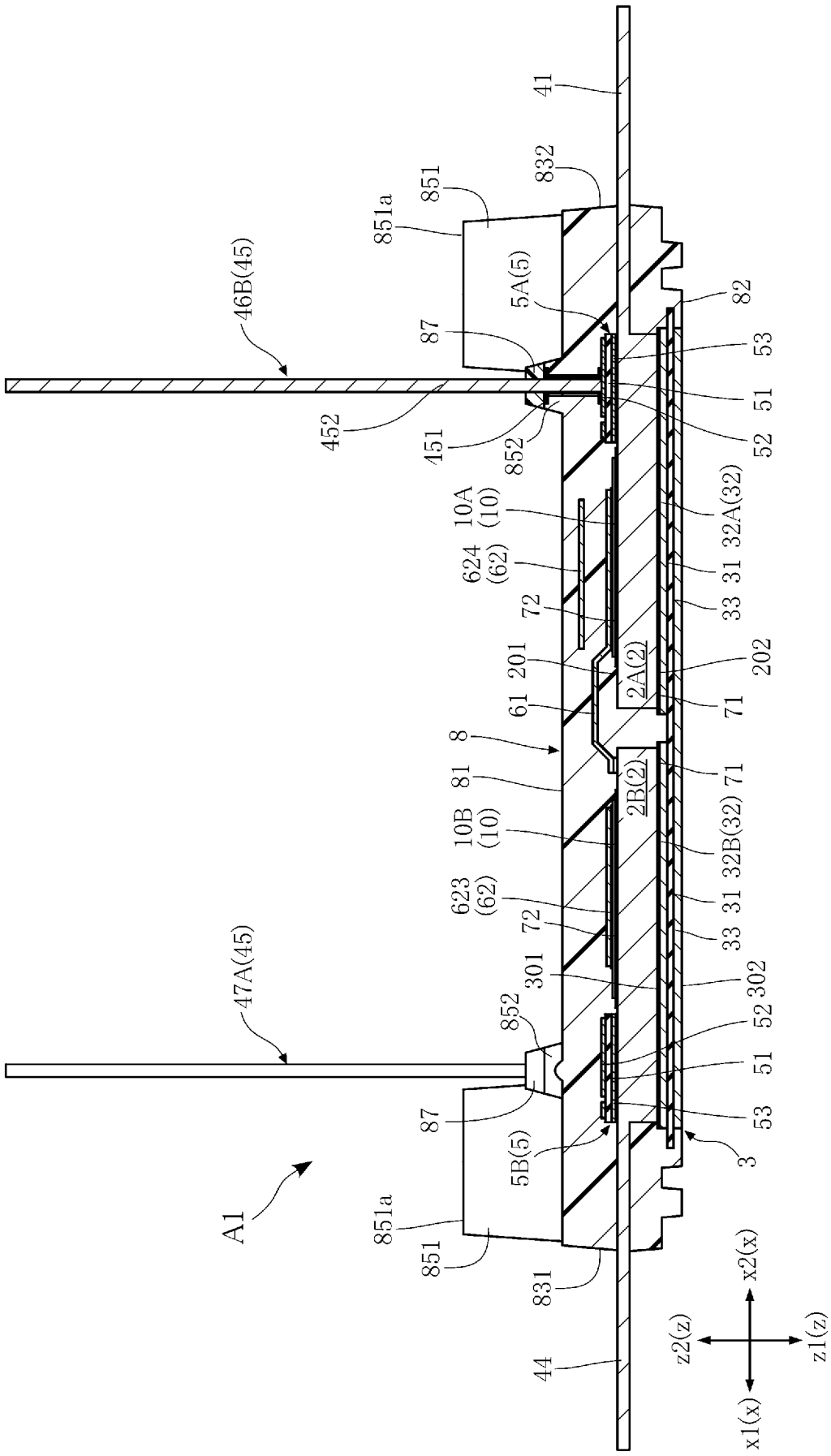
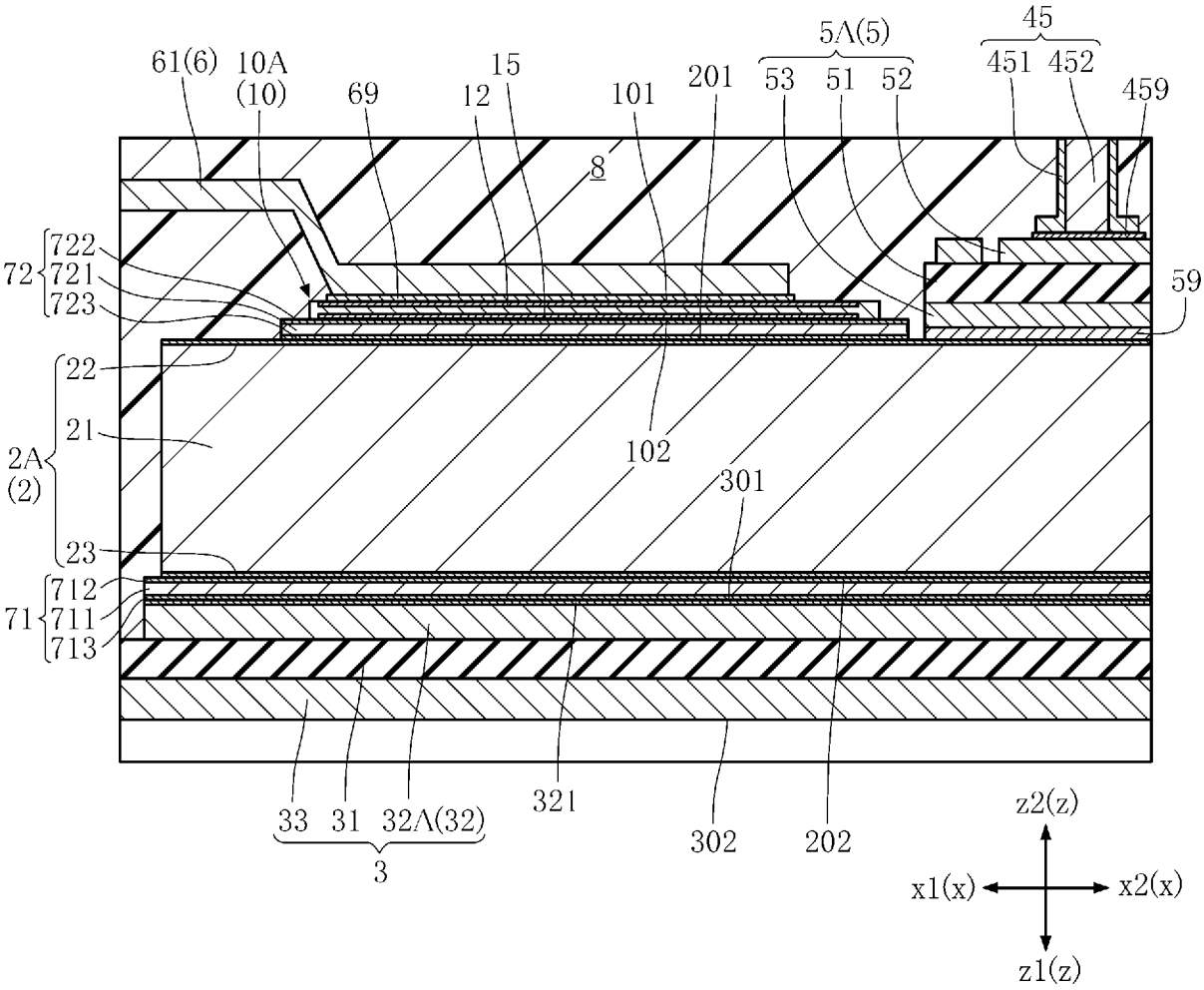

41
832
851
851a
46B(45)
5A(5)
87
82
53
51
52
452
451
852
10A
(10)
624
(62)
72
32A(32)
31
33
201
2A(2)
202
71
61
8
81
2B(2)
10B
(10)
623
(62)
32B(32)
47A(45)
301
302
A1
5B(5)
3
831
44
x2(x)
x1(x)
z2(z)
z1(z)

FIG.14

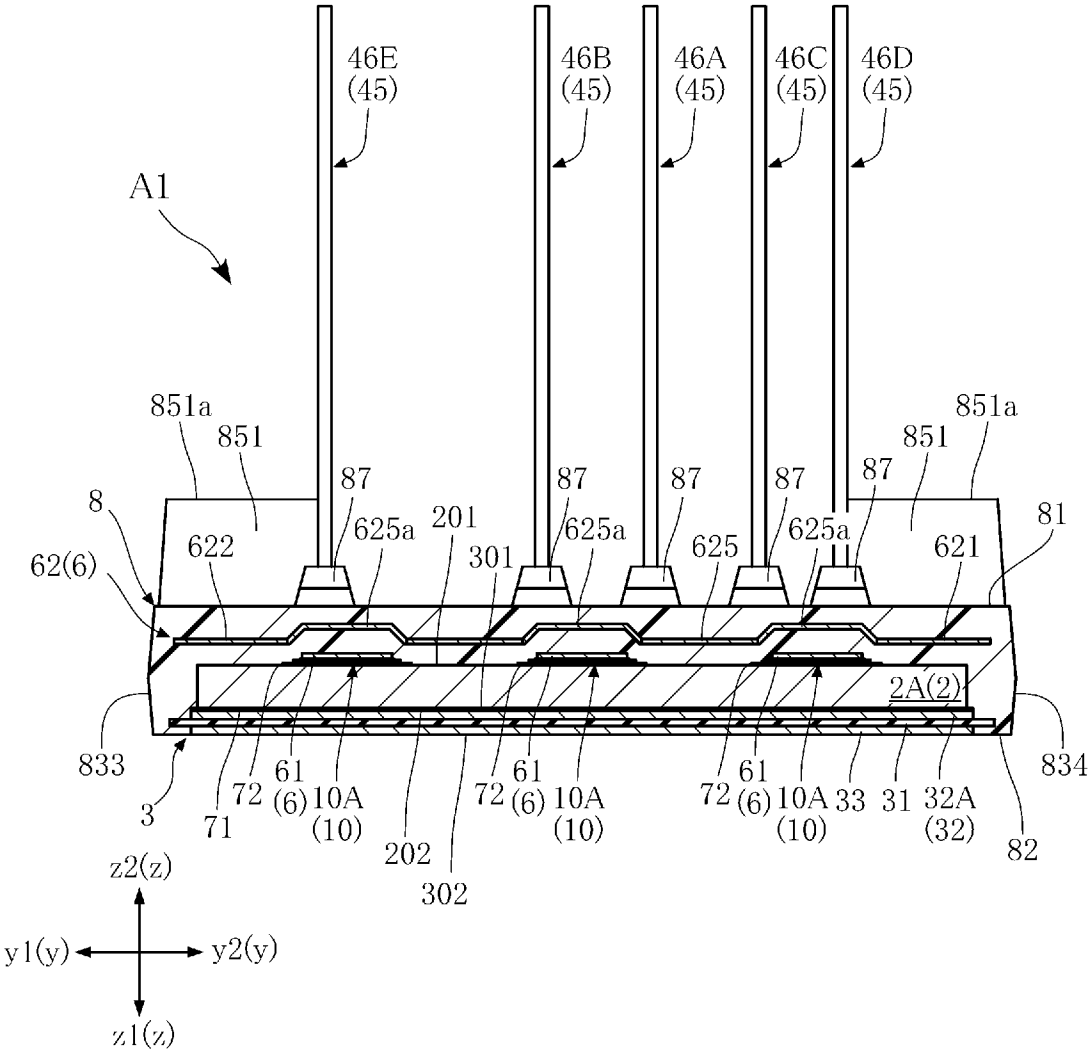
[図15]

FIG.15


61(6)
10A
(10)
69
12
15
101
201
5A(5)
53
51
52
45
451
452
459
8
59
72
722
721
723
2A
(2)
22
21
23
102
301
71
712
711
713
33
31
32A(32)
3
321
302
202
z2(z)
x1(x)
x2(x)
z1(z)

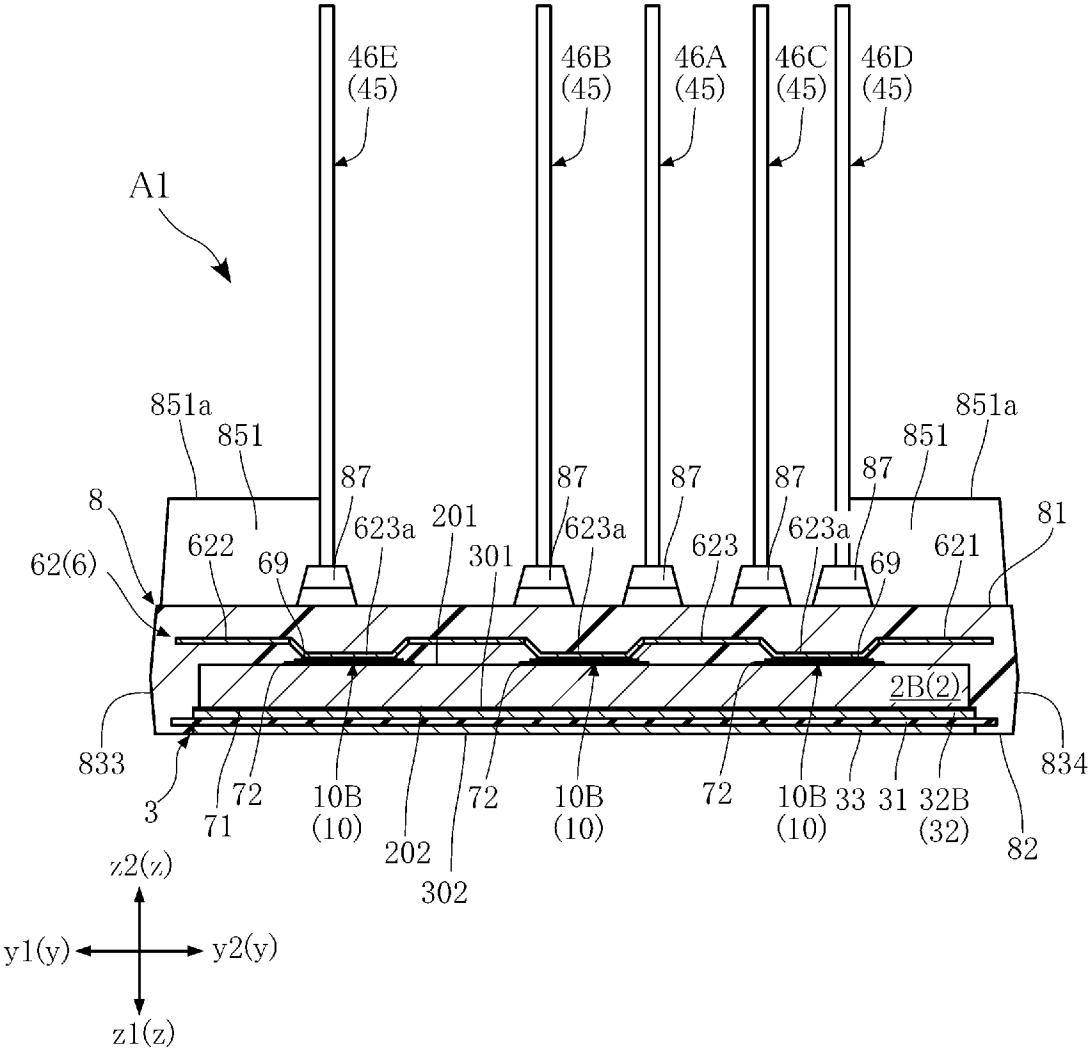
[図16]

FIG.16


46E
(45)
46B
(45)
46A
(45)
46C
(45)
46D
(45)
A1
851a
851
87
8
625a
201
622
301
625
621
81
62(6)
2A(2)
833
834
3
71
72
61
(6)
10A
(10)
202
302
33
31
32A
(32)
82
z2(z)
y1(y)
y2(y)
z1(z)

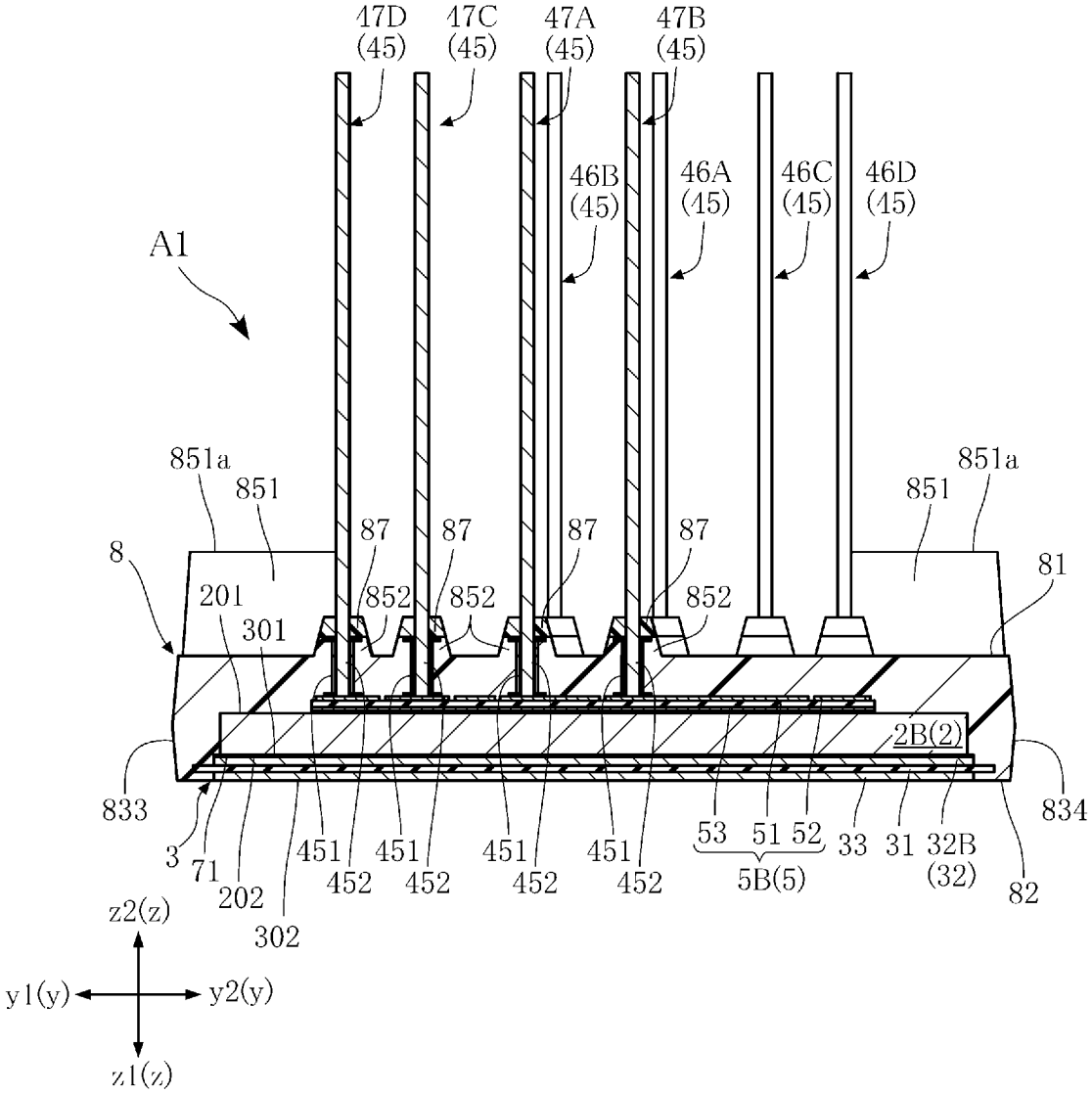
[図17]

FIG.17


46E
(45)
46B
(45)
46A
(45)
46C
(45)
46D
(45)
A1
851a
851
87
8
622
69
623a
201
301
623
621
81
62(6)
2B(2)
833
834
3
71
72
10B
(10)
202
302
33
31
32B
(32)
82
z2(z)
y1(y)
y2(y)
z1(z)

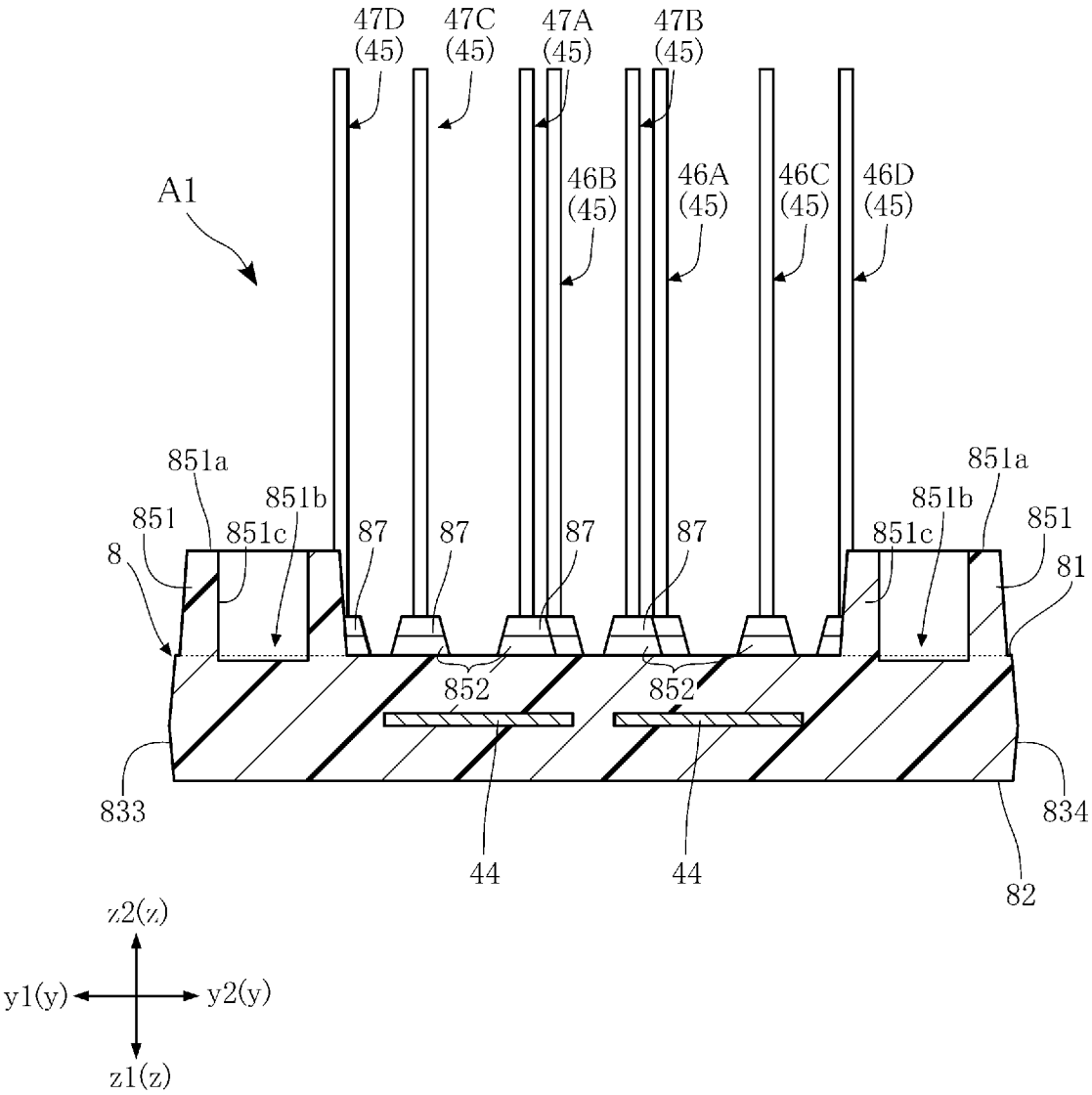
[図18]

FIG.18


47D (45)
47C (45)
47A (45)
47B (45)
46B (45)
46A (45)
46C (45)
46D (45)
A1
851a
851
87
8
201
301
852
81
2B(2)
833
834
3
71
202
302
451
452
53
51
52
5B(5)
33
31
32B (32)
82
z2(z)
y1(y)
y2(y)
z1(z)

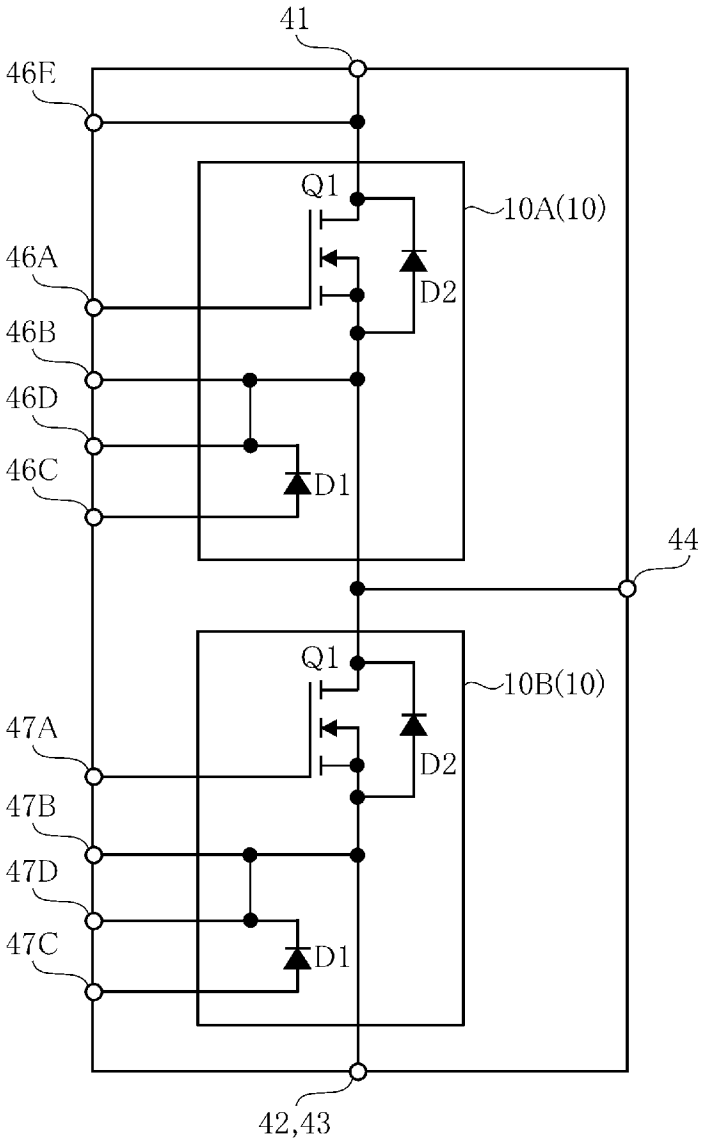
[図19]

FIG.19


47D
(45)
47C
(45)
47A
(45)
47B
(45)
A1
46B
(45)
46A
(45)
46C
(45)
46D
(45)
851a
851
851b
851c
87
87
87
87
851a
851b
851c
851
81
8
852
852
833
834
44
44
82
z2(z)
y1(y)
y2(y)
z1(z)

[図20]

FIG.20


41
46E
Q1
10A(10)
46A
D2
46B
46D
D1
46C
44
Q1
10B(10)
47A
D2
47B
47D
D1
47C
42,43

[図21]

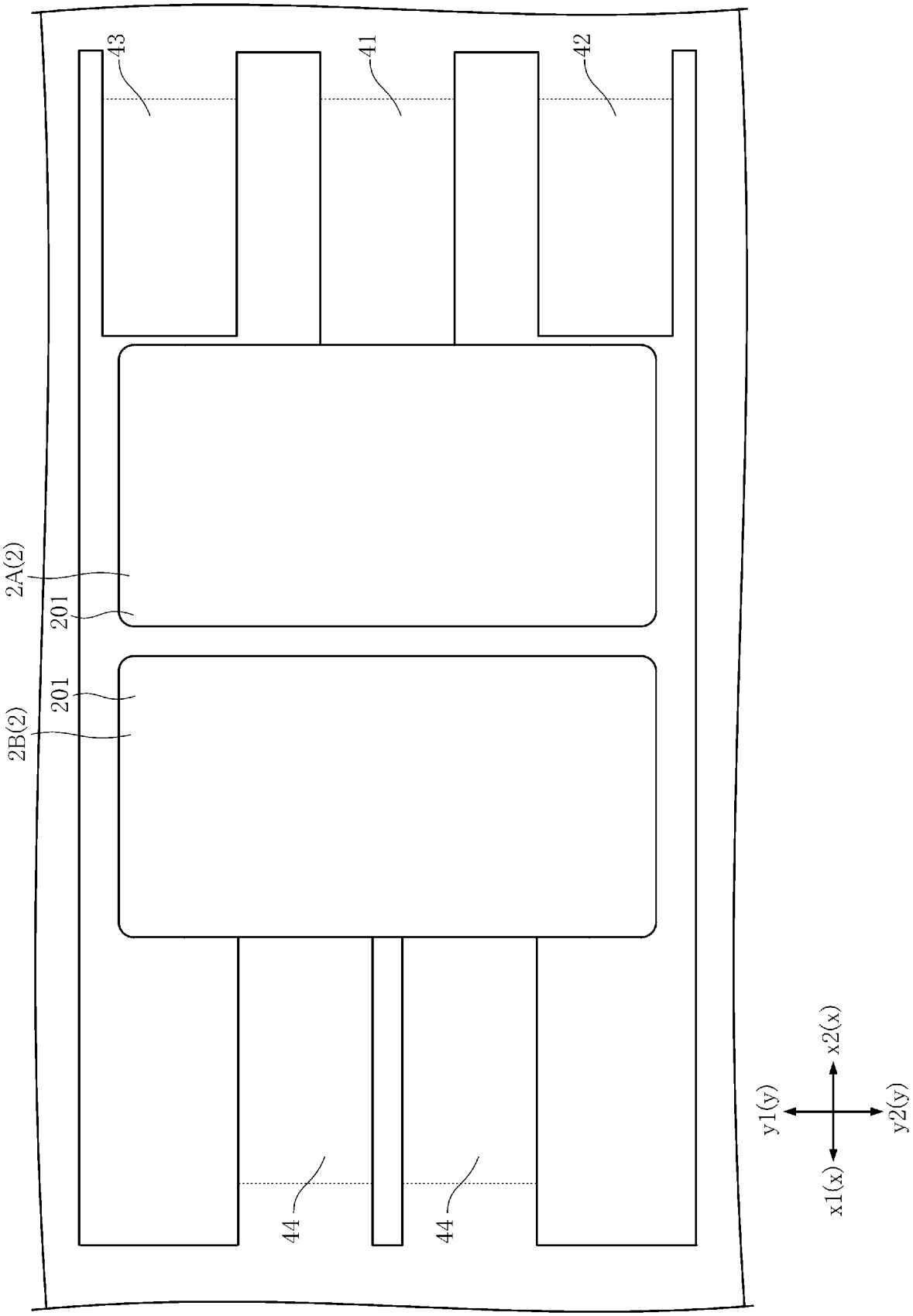
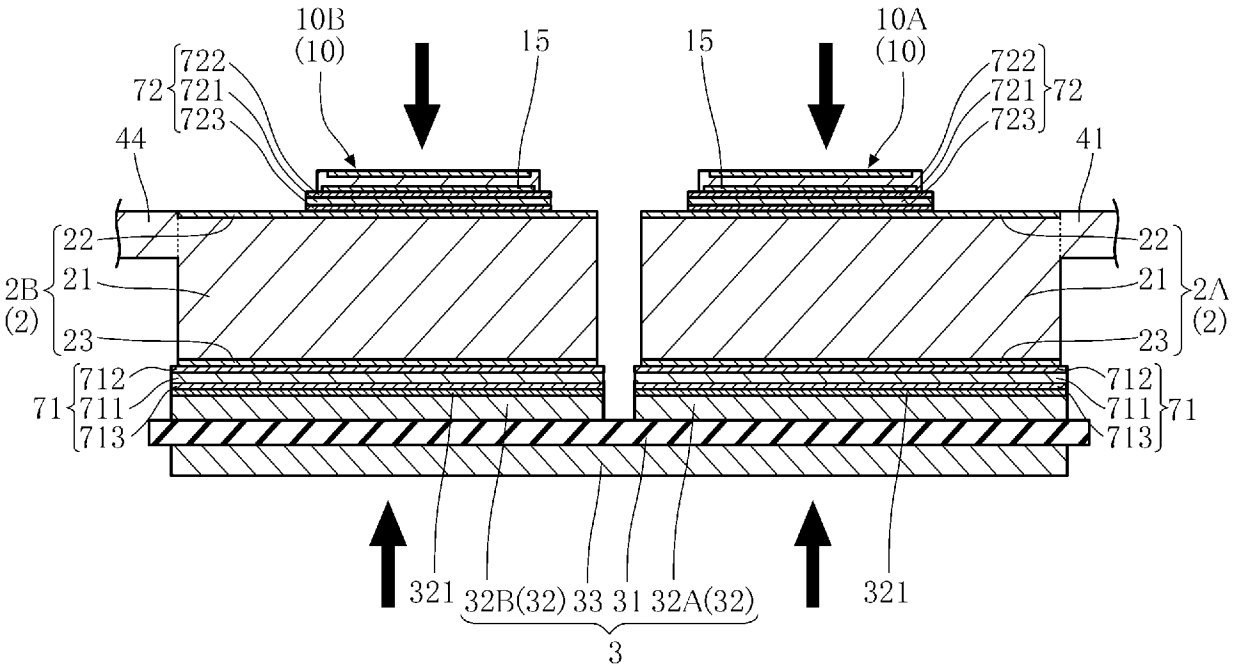


FIG.21

[図22]

FIG.22


10B
(10)
15
15
10A
(10)
722
721
723
72
722
721
723
72
44
41
22
21
23
2B
(2)
22
21
23
2A
(2)
712
711
713
71
712
711
713
71
321
32B(32)
33
31
32A(32)
321
3

[図23]

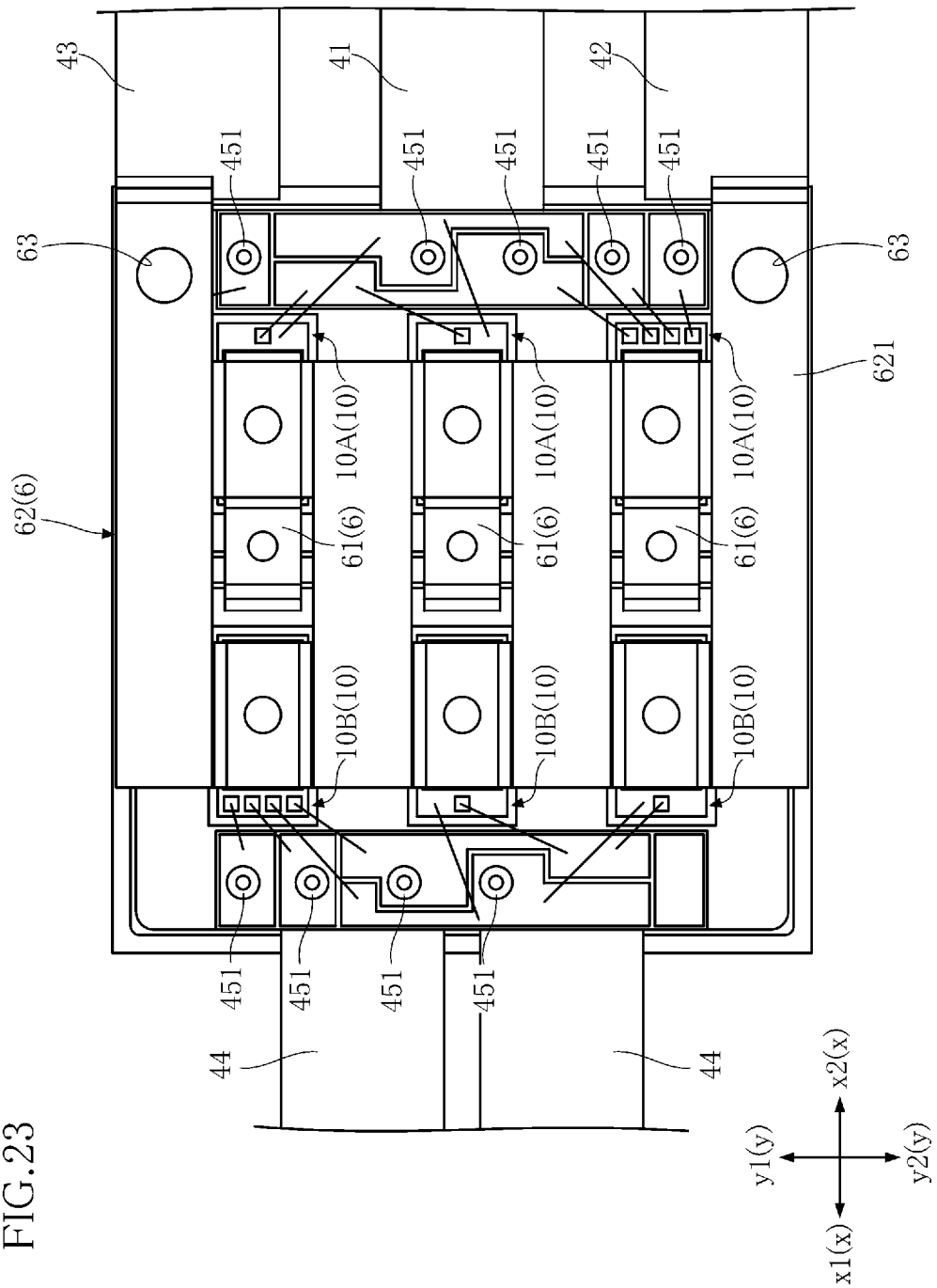


FIG.23

[図24]

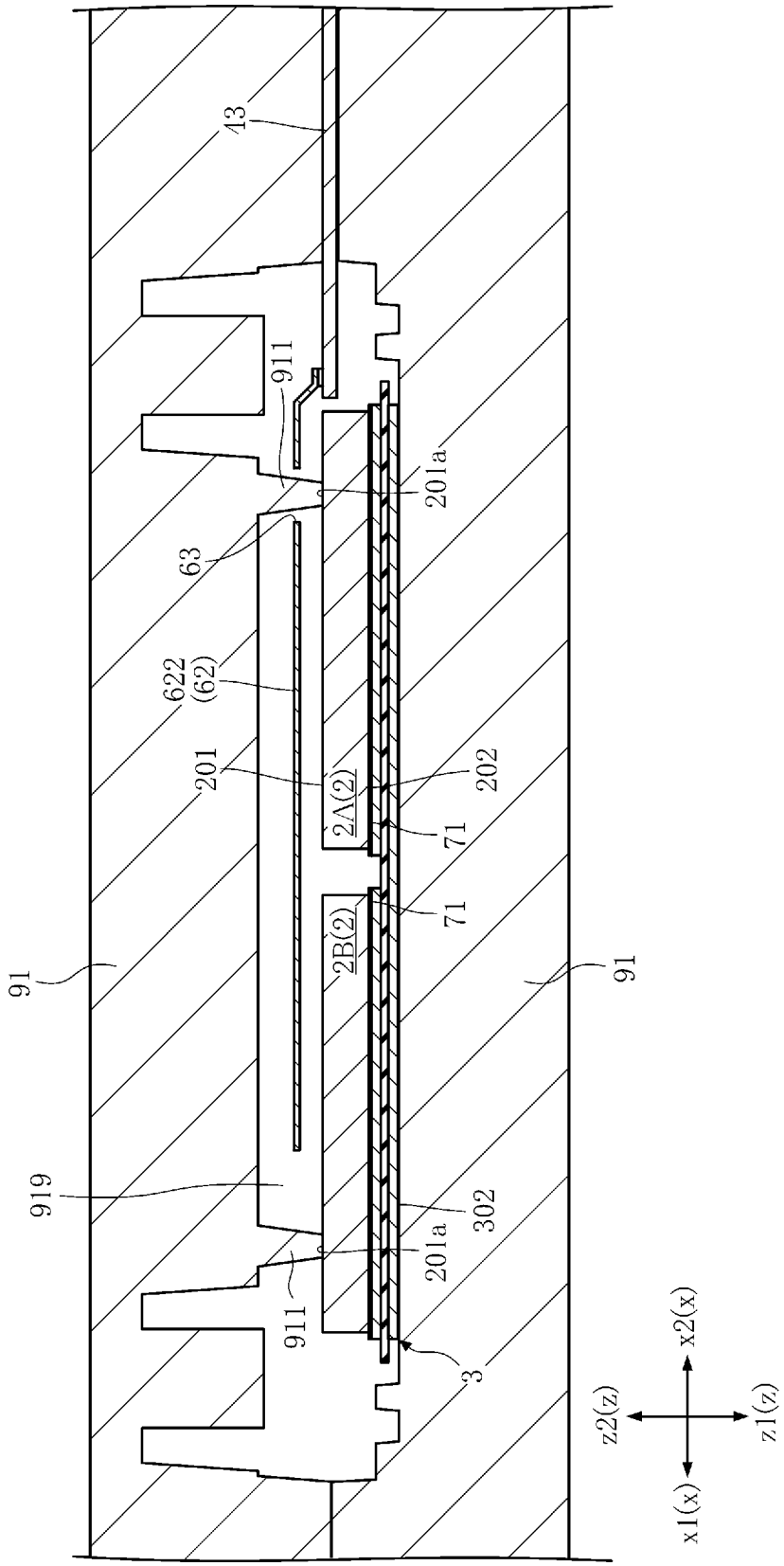
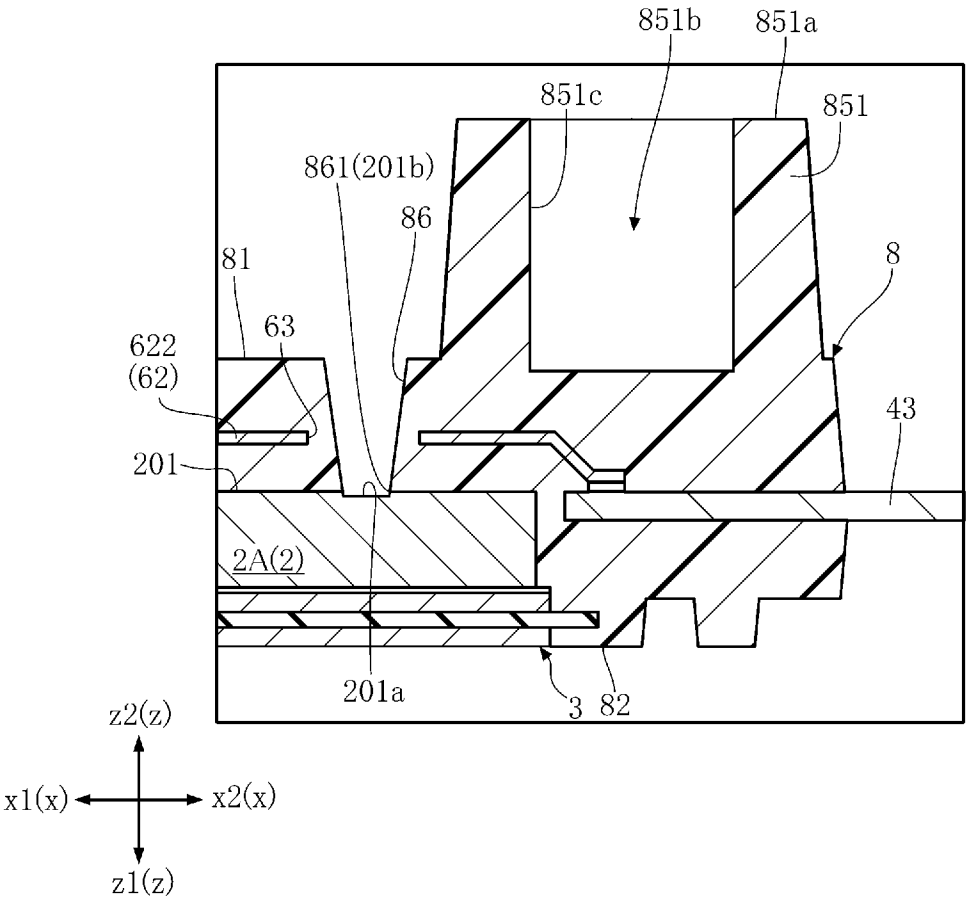

13
911
201a
63
622
(62)
201
2A(2)
202
71
71
2B(2)
91
91
919
302
201a
911
3
x2(x)
z2(z)
z1(z)
x1(x)

FIG.24

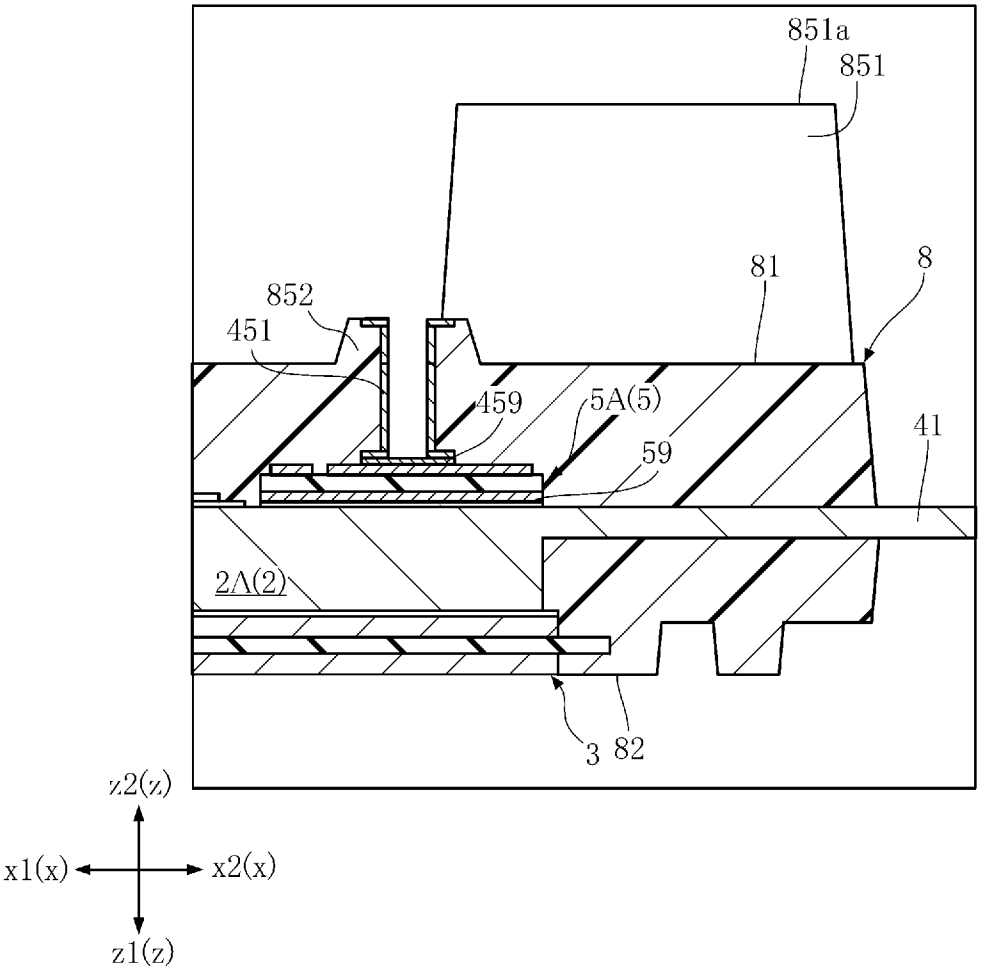
[図25]

FIG.25


851b
851a
851c
851
861(201b)
86
81
8
63
622
(62)
43
201
2A(2)
201a
3
82
z2(z)
x1(x)
x2(x)
z1(z)

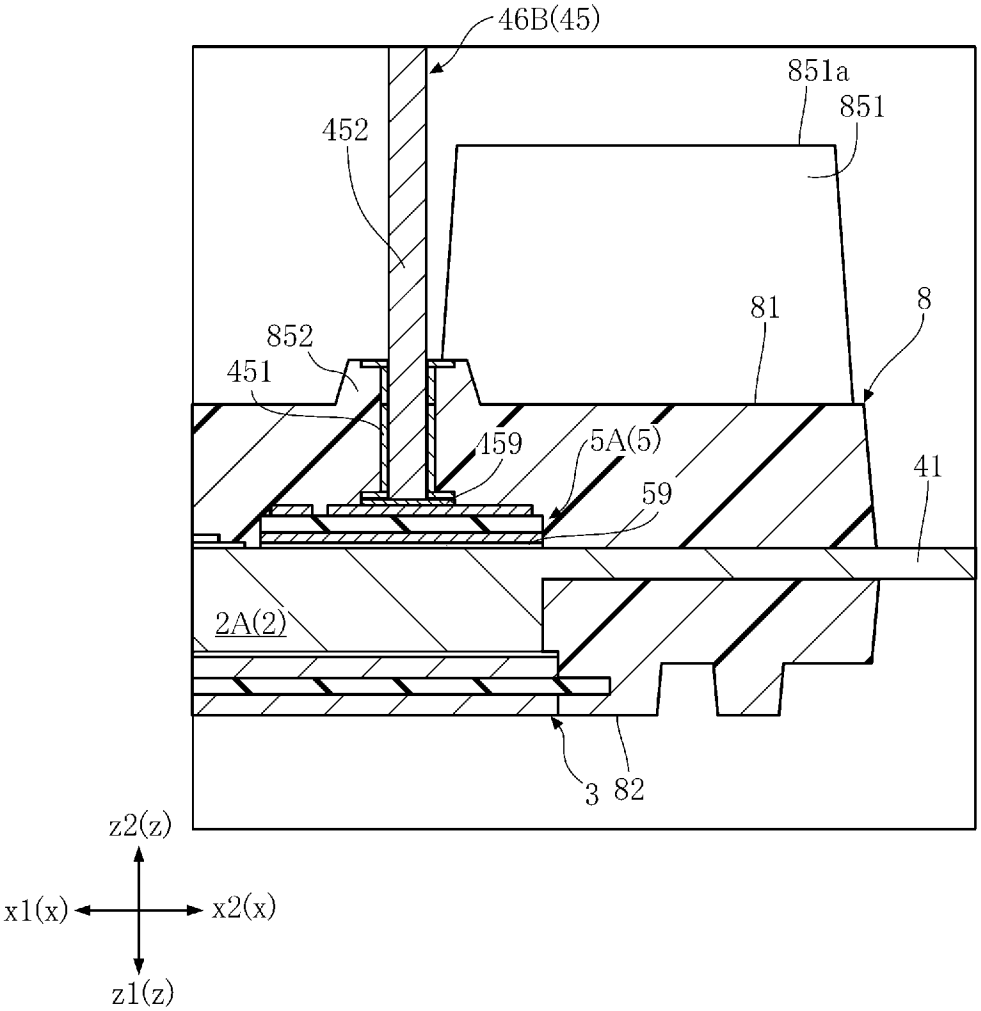
[図26]

FIG.26



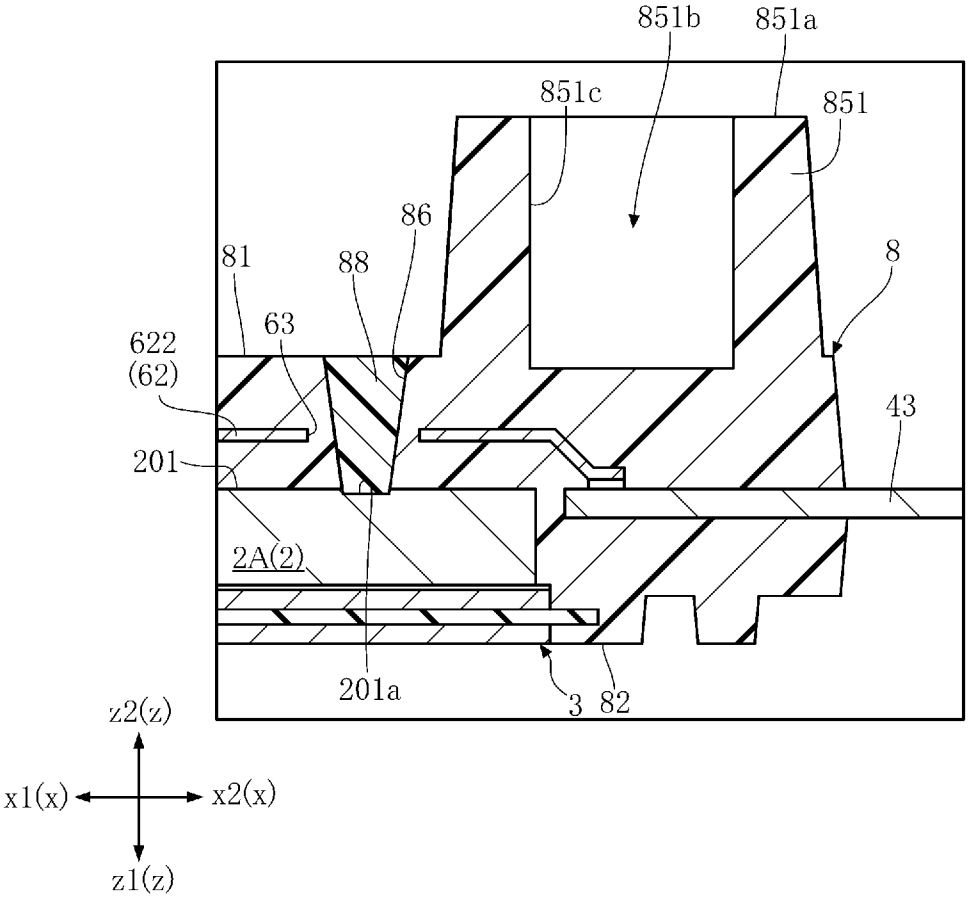
[図27]

FIG.27

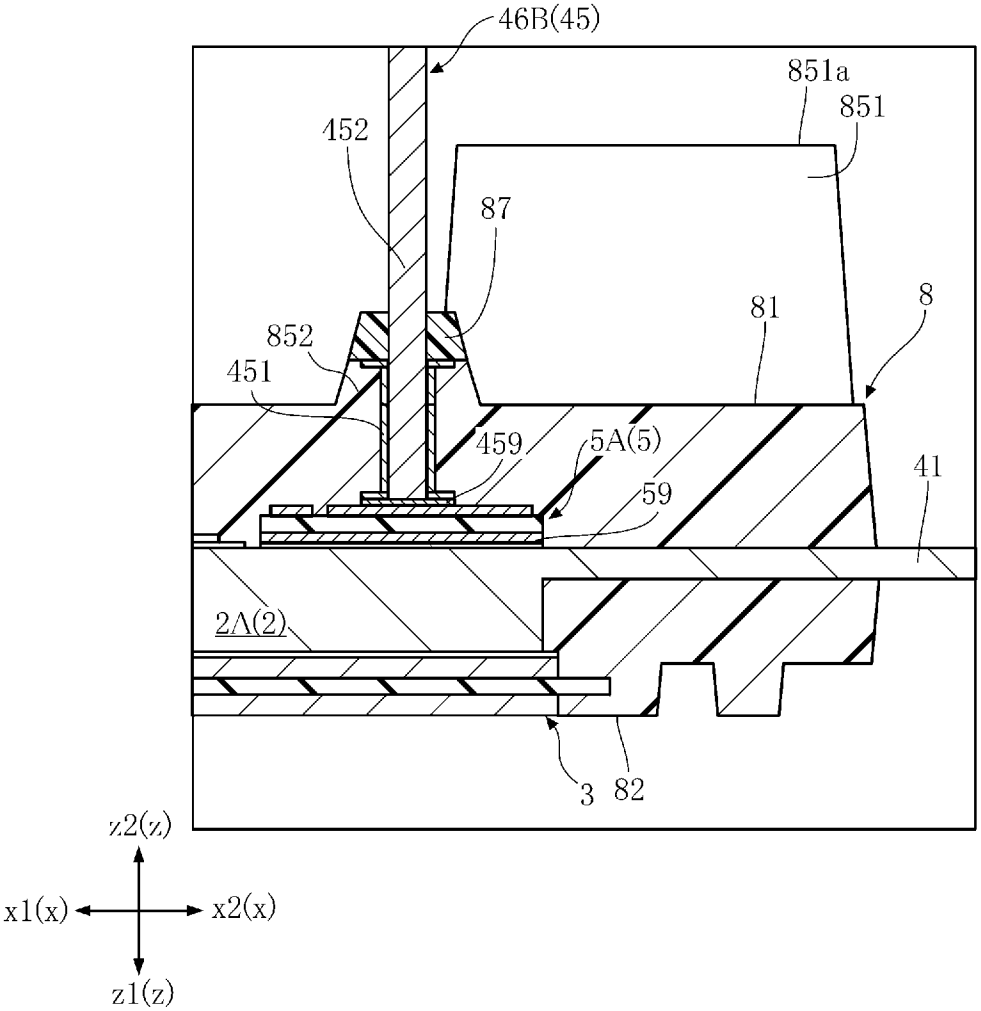

46B(45)
851a
851
452
81
8
852
451
159
5A(5)
41
59
2A(2)
3
82
z2(z)
x1(x)
x2(x)
z1(z)

[図28]

FIG.28

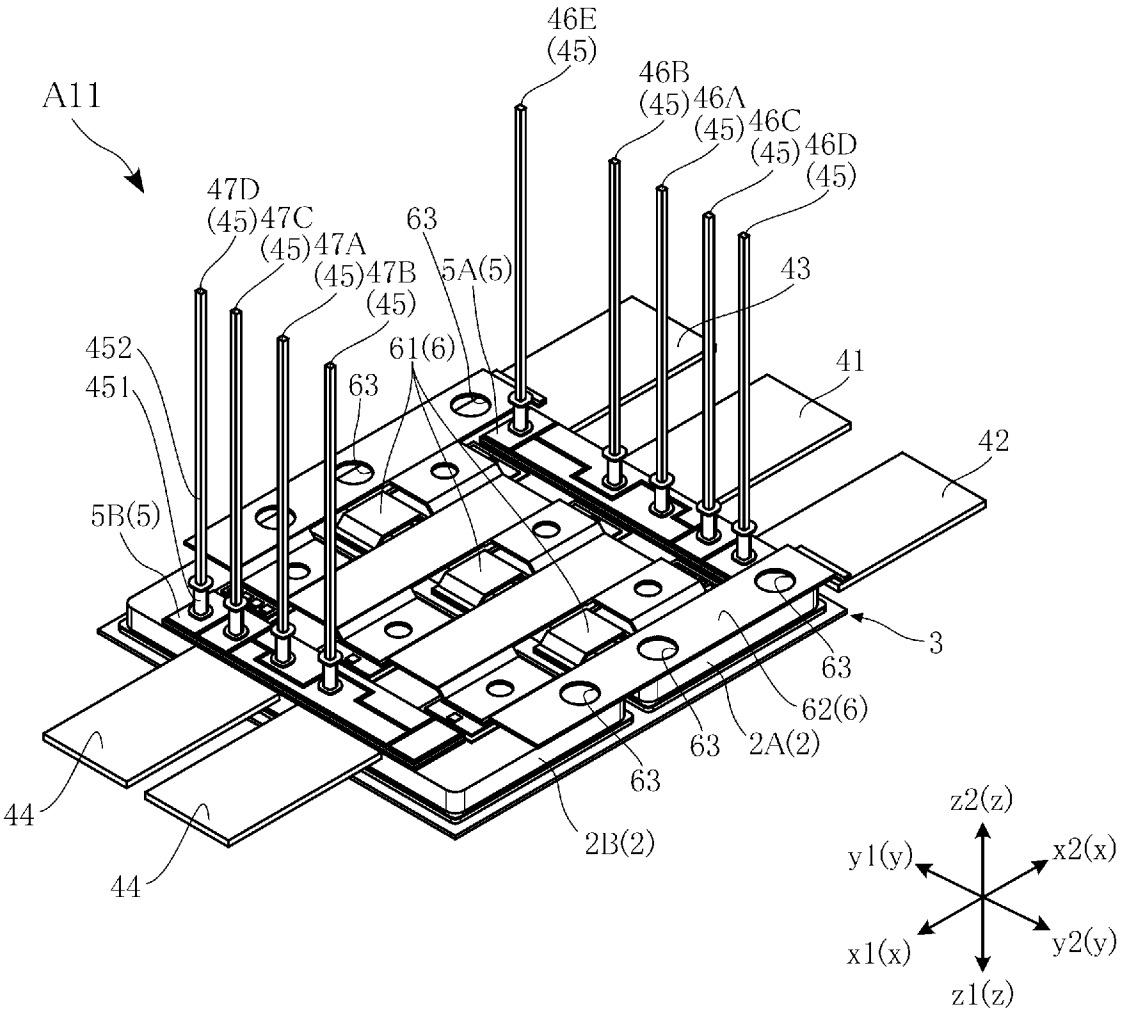

851b
851a
851c
851
86
81
88
8
63
622
(62)
43
201
2A(2)
201a
3
82
z2(z)
x1(x)
x2(x)
z1(z)

[図29]
FIG.29


46B(45)
851a
851
452
87
81
8
852
451
459
5A(5)
41
59
2A(2)
3
82
z2(z)
x1(x)
x2(x)
z1(z)

[図30]

FIG.30


A11
46E
(45)
46B
(45)
46A
(45)
46C
(45)
46D
(45)
47D
(45)
47C
(45)
47A
(45)
47B
(45)
63
5A(5)
43
452
451
61(6)
63
41
42
5B(5)
3
63
62(6)
63
2A(2)
63
44
2B(2)
44
z2(z)
y1(y)
x2(x)
x1(x)
y2(y)
z1(z)

[図31]

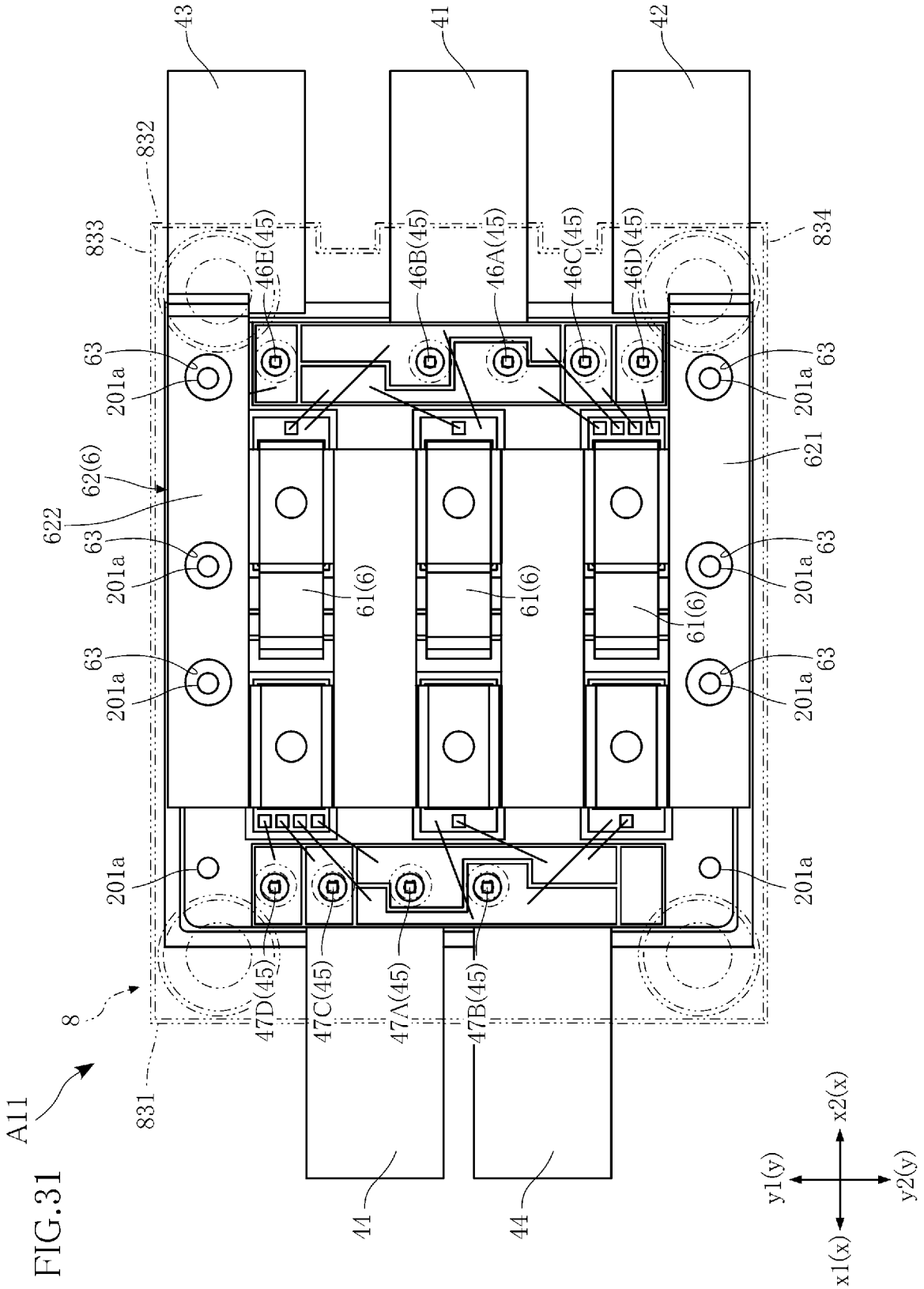

A11
831
832
833
834
8
43
41
42
46E(45)
46B(45)
16A(45)
46C(45)
46D(45)
63
201a
62(6)
622
621
61(6)
47D(45)
47C(45)
47A(45)
47B(45)
44
y1(y)
y2(y)
x1(x)
x2(x)

FIG.31

[図32]

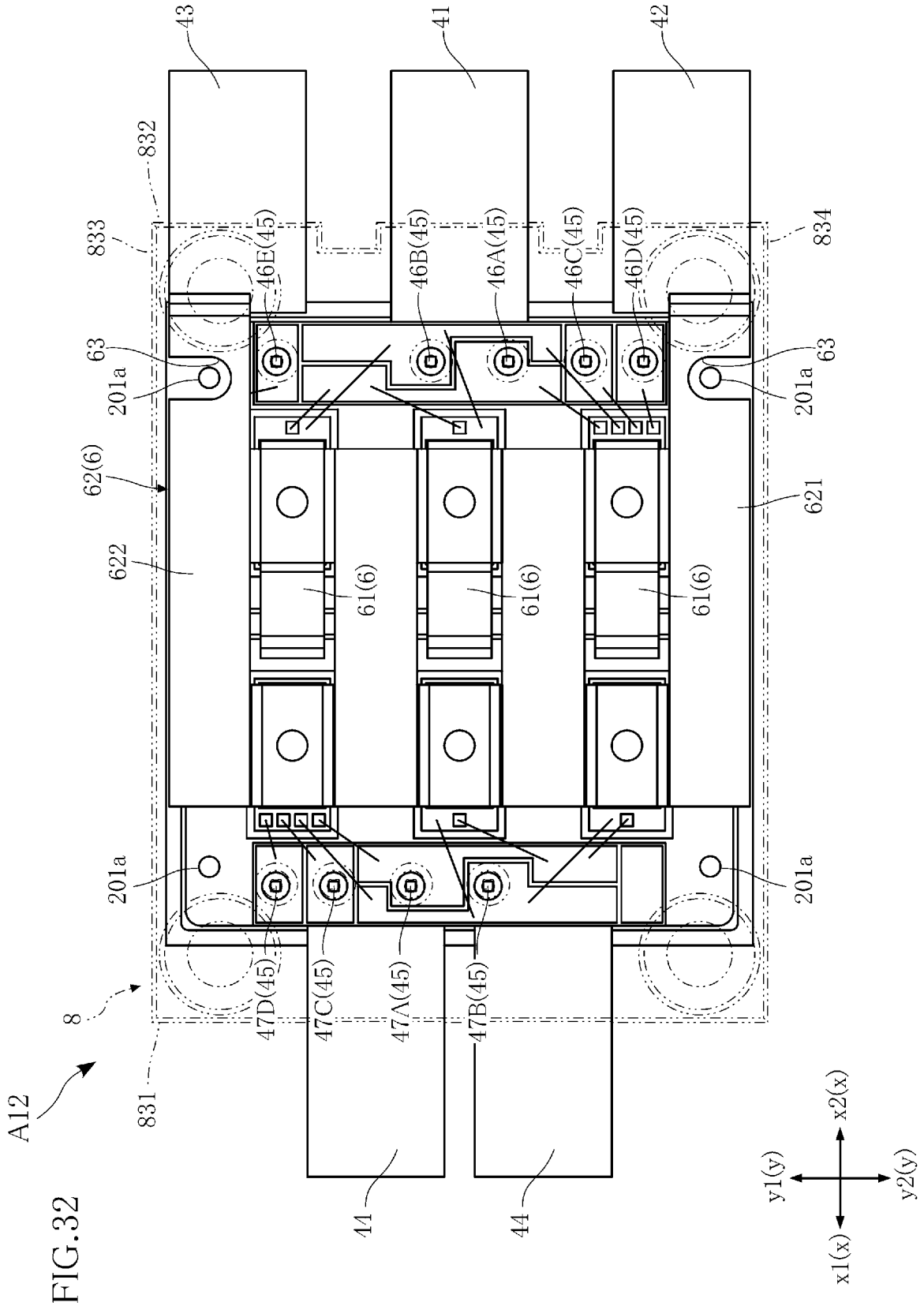

43
41
42
832
833
834
46E(45)
46B(45)
16A(45)
46C(45)
46D(45)
63
201a
62(6)
621
622
61(6)
61(6)
61(6)
47D(45)
47C(45)
47A(45)
47B(45)
8
831
A12
44
44
y1(y)
x2(x)
y2(y)
x1(x)

FIG.32

[図33]

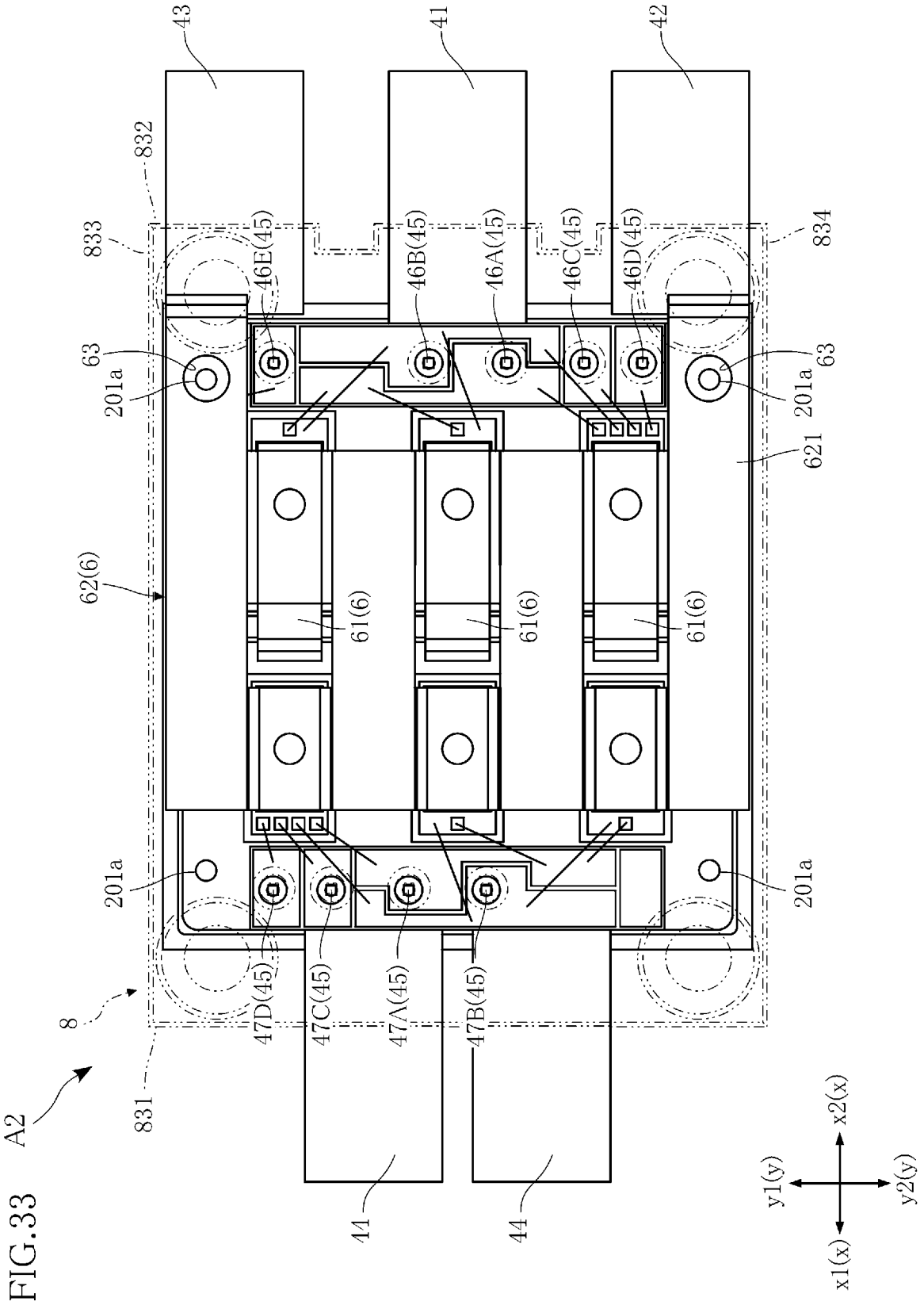

43
41
42
832
833
834
46E(45)
46B(45)
16A(45)
46C(45)
46D(45)
63
201a
621
62(6)
61(6)
47D(45)
47C(45)
47A(45)
47B(45)
8
831
A2
44
y1(y)
y2(y)
x2(x)
x1(x)

FIG.33

[図34]

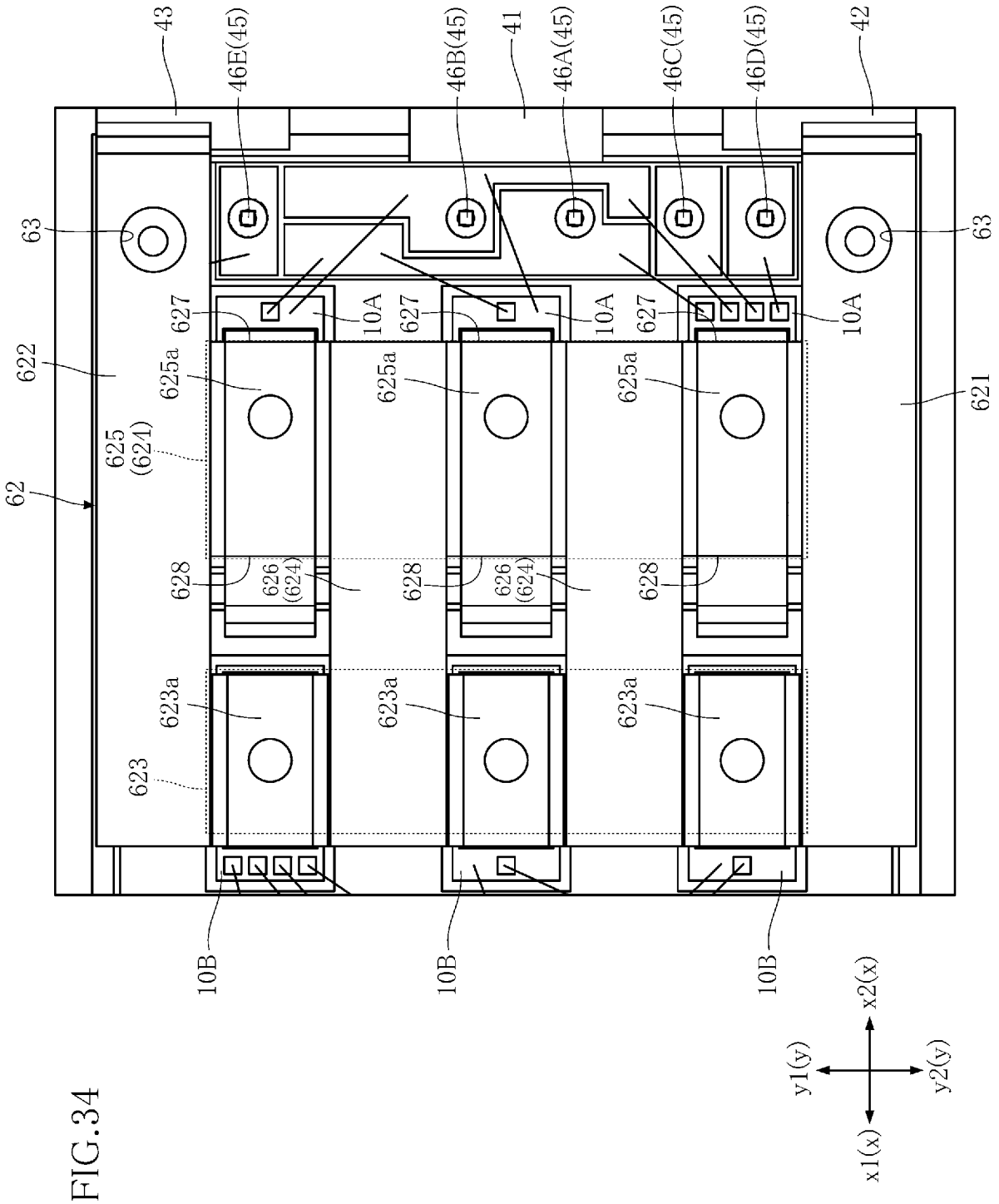

43
46E(45)
46B(45)
41
46A(45)
46C(45)
46D(45)
42
63
63
627
10A
627
10A
627
10A
622
625a
625a
625a
621
625
(621)
62
628
626
(624)
628
626
(624)
628
623a
623a
623a
623
10B
10B
10B
x2(x)
y1(y)
y2(y)
x1(x)

FIG.34

[図35]

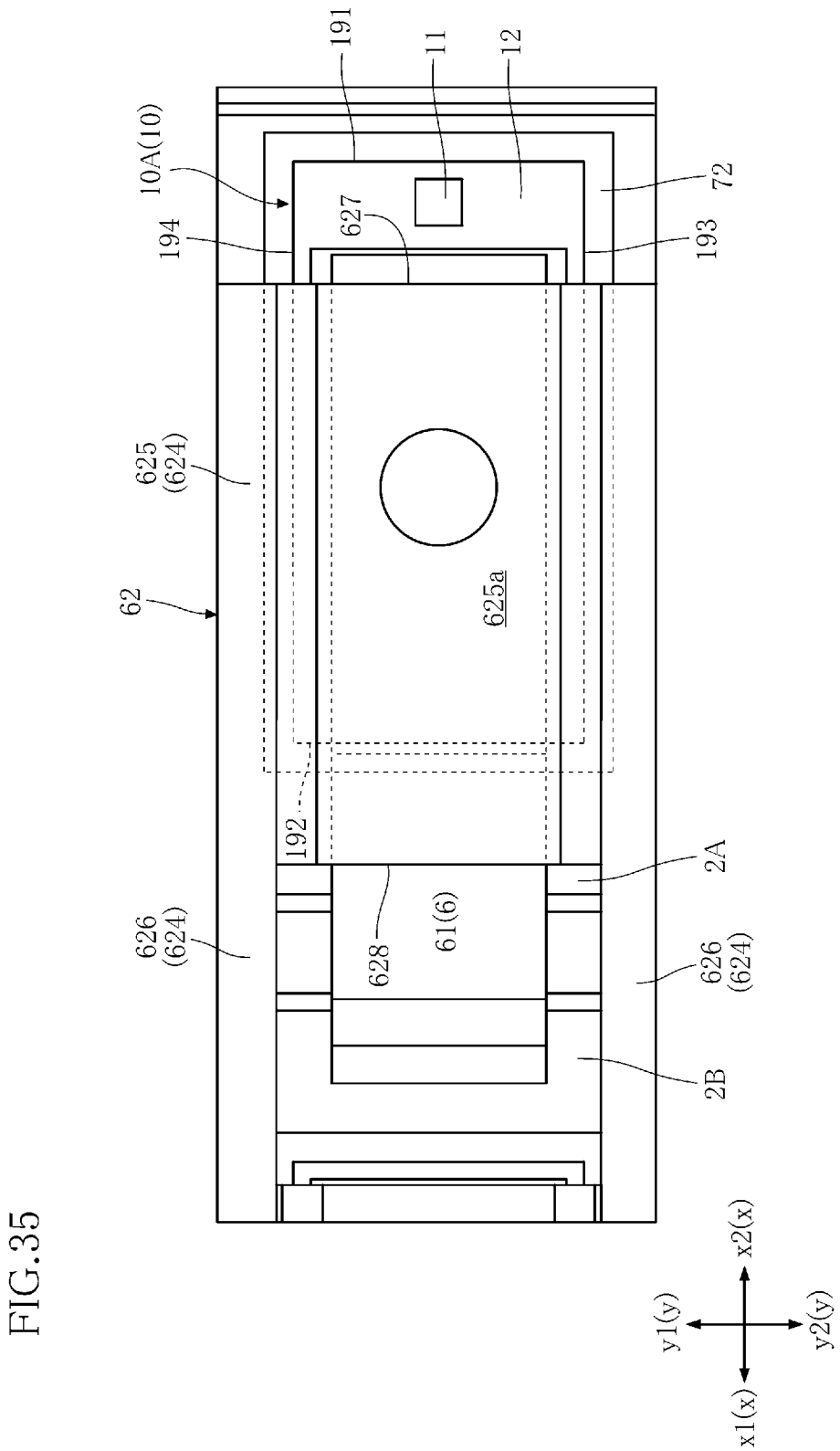

191
11
12
10A(10)
72
627
194
193
625
(624)
62
625a
192
2A
626
(624)
628
61(6)
626
(624)
2B
x2(x)
y1(y)
y2(y)
x1(x)

FIG.35

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/034715

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/29(2006.01)i; ***H01L 23/31***(2006.01)i; ***H01L 23/48***(2006.01)i; ***H01L 25/07***(2006.01)i; ***H01L 25/18***(2006.01)i; ***H01L 21/60***(2006.01)i
FI: H01L25/04 C; H01L21/60 321E; H01L23/30 R; H01L23/48 G

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/29; H01L23/31; H01L23/48; H01L25/07; H01L25/18; H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-072106 A (ROHM CO., LTD.) 07 May 2020 (2020-05-07) paragraphs [0028]-[0080], fig. 1-10	1-3, 9, 16, 17
A		4-8, 10-15, 18, 19
Y	JP 2008-098585 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 24 April 2008 (2008-04-24) paragraphs [0052]-[0059], fig. 7, 9-11	1-3, 9, 16, 17
A		4-8, 10-15, 18, 19

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 December 2021	**14 December 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/034715

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-072106 A	07 May 2020	(Family: none)	
JP 2008-098585 A	24 April 2008	US 2008/0150102 A1 paragraphs [0070]-[0083], fig. 7, 9-11 DE 102007049481 A1	

国際調査報告

国際出願番号
PCT/JP2021/034715

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/29(2006.01)i; H01L 23/31(2006.01)i; H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i
FI: H01L25/04 C; H01L21/60 321E; H01L23/30 R; H01L23/48 G

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/29; H01L23/31; H01L23/48; H01L25/07; H01L25/18; H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2020-072106 A (ローム株式会社) 07.05.2020 (2020-05-07) 段落0028-0080、図1-10	1-3,9,16,17
A		4-8,10-15,18,19
Y	JP 2008-098585 A (富士電機デバイステクノロジー株式会社) 24.04.2008 (2008-04-24) 段落0052-0059、図7,9-11	1-3,9,16,17
A		4-8,10-15,18,19

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
07.12.2021	14.12.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
井上　和俊 5F 3455
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/034715

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-072106 A	07.05.2020	（ファミリーなし）	
JP 2008-098585 A	24.04.2008	US 2008/0150102 A1 paragraphs0070-0083, FIGs.7,9-11 DE 102007049481 A1	