

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5443240号
(P5443240)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int.Cl. F I
A 6 3 F 7/02 (2006.01)
 A 6 3 F 7/02 3 2 6 Z
 A 6 3 F 7/02 3 0 4 D
 A 6 3 F 7/02 3 2 0

請求項の数 5 (全 96 頁)

(21) 出願番号	特願2010-79199 (P2010-79199)	(73) 特許権者	000132747
(22) 出願日	平成22年3月30日 (2010.3.30)		株式会社ソフィア
(65) 公開番号	特開2011-206415 (P2011-206415A)		群馬県桐生市境野町7丁目201番地
(43) 公開日	平成23年10月20日 (2011.10.20)	(74) 代理人	100075513
審査請求日	平成25年1月17日 (2013.1.17)		弁理士 後藤 政喜
		(74) 代理人	100114236
			弁理士 藤井 正弘
		(74) 代理人	100120260
			弁理士 飯田 雅昭
		(74) 代理人	100137604
			弁理士 須藤 淳
		(72) 発明者	田中 雅也
			群馬県太田市吉沢町990番地 株式会社 ソフィア内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

遊技領域に設けた所定の始動入賞領域を遊技球が通過すると、複数の識別情報を変動表示する変動表示ゲームが実行され、該変動表示ゲームの結果に対応して遊技者に特典を付与する特別遊技状態を発生可能な遊技機において、

前記遊技領域における遊技を統括的に制御する遊技制御手段と、

遊技の演出を行う複数の演出装置と、

前記遊技制御手段からの指令に対応して、前記複数の演出装置を制御する演出制御手段と、を備え、

前記演出装置の系統の各々を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設け、

前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、

前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、

前記グループ統括制御手段と前記グループ単位制御手段との間でデータ信号を授受するデータ線と、

を備えることによって、前記グループ統括制御手段と前記グループ単位制御手段との間で相互にデータ送信を可能とし、

前記グループ統括制御手段は、

10

20

前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら前記タイミング信号線の信号レベルを繰り返し変化させることで、順次前記グループ単位制御手段にデータ送信を行う送信手段と、

前記送信手段によるデータ送信の後に、前記グループ単位制御手段からの返答信号を取り込む返答信号取込手段と、

前記返答信号取込手段によって取り込まれた前記返答信号に基づいてデータ送信の成否を判定する判定手段と、

を備え、

前記グループ単位制御手段は、前記送信手段がデータ送信を行った前記データ線を介して、前記返答信号を前記グループ統括制御手段へ出力する返答信号出力手段を備え、

10

前記送信手段は、

前記演出装置の制御に係わる演算処理を行う演算処理手段と、

前記グループ単位制御手段の一部と接続されて、前記演算処理手段からの指令に基づいて、該グループ単位制御手段との間の前記データ線及び前記タイミング信号線の信号レベルを制御する第1の信号レベル制御手段と、

前記第1の信号レベル制御手段に接続されていないグループ単位制御手段と接続されて、前記演算処理手段からの指令に基づいて、該グループ単位制御手段との間の前記データ線及び前記タイミング信号線の信号レベルを制御する第2の信号レベル制御手段と、

を含んで構成され、

前記第1の信号レベル制御手段及び前記第2の信号レベル制御手段は、互いに異なる周期で前記演算処理手段から指令を受け入れ、該周期に対応して、接続されているグループ単位制御手段へデータ送信を行うことを特徴とする遊技機。

20

【請求項2】

前記信号レベル制御手段は、前記演算処理手段によって初期化指示データが当該信号レベル制御手段に備わる所定の記憶領域に書き込まれることによって、当該信号レベル制御手段に接続されたグループ単位制御手段を初期化する個別初期化手段、を備え、

前記演算処理手段は、前記複数の信号レベル制御手段から一以上の信号レベル制御手段を選択し、選択された信号レベル制御手段に備わる所定の記憶領域に前記初期化指示データを書き込むことを特徴とする請求項1に記載の遊技機。

【請求項3】

30

前記グループ統括制御手段は、前記演算処理手段と、前記各信号レベル制御手段との間で、相互にデータを授受するデータバスを備え、

前記信号レベル制御手段は、

当該信号レベル制御手段の初期化を指示する初期化信号が、前記演算処理手段によって前記データバスを介さずに入力される初期化信号入力指示端子と、

当該信号レベル制御手段の初期化を指示する初期化指示情報が、前記演算処理手段によって前記データバスを介して書き込まれる初期化指示情報記憶領域と、

を備え、

前記演算処理手段は、

すべての前記複数の信号レベル制御手段を初期化する場合には、前記各信号レベル制御手段に備わる初期化信号入力指示端子に初期化信号を入力することによって、前記各信号レベル制御手段を初期化し、

40

特定の前記信号レベル制御手段を選択して初期化する場合には、当該特定の信号レベル制御手段に備わる前記初期化指示情報記憶領域に、前記初期化指示情報を書き込むことを特徴とする請求項1又は請求項2に記載の遊技機。

【請求項4】

遊技に係わる画像を表示する画像表示装置と、

前記演算処理手段からの画像更新の指令によって前記画像表示装置に表示される画像を第1の所定周期で更新する画像表示制御手段と、

前記第1の所定周期と同期する同期信号を発生する同期信号発生手段と、を備え、

50

前記演算処理手段は、前記同期信号発生手段からの同期信号に同期して前記画像表示装置に前記画像更新の指令を送信し、

前記演出装置のグループは、発光することにより当該遊技機の装飾を行う発光装置のグループと、当該遊技機に備わる可動部材を可動させることにより遊技機の装飾を行う可動装置のグループと、を含み、

前記グループ単位制御手段は、前記発光装置のグループに属する演出装置を制御する発光グループ単位制御手段と、前記可動装置のグループに属する演出装置を制御する可動グループ単位制御手段と、を含み、

前記第1の信号レベル制御手段は前記発光グループ単位制御手段に接続され、前記第2の信号レベル制御手段は前記可動グループ単位制御手段に接続され、

10

前記第1の信号レベル制御手段は、前記同期信号発生手段からの同期信号の周期で、該第1の信号レベル制御手段に接続される前記発光グループ単位制御手段へデータ送信を行い、

前記第2の信号レベル制御手段は、前記同期信号発生手段からの同期信号の周期よりも短い周期で、該第2の信号レベル制御手段に接続される前記可動グループ単位制御手段へデータ送信を行うことを特徴とする請求項1～3のいずれか一つに記載の遊技機。

【請求項5】

前記可動部材の可動位置を検出する可動位置検出センサを備え、

前記演算処理手段は、前記第1の所定周期よりも短い第2の所定周期で前記可動位置検出センサを監視し、

20

前記第2のレベル制御手段は、前記第2の所定周期で、当該第2の信号レベル制御手段に接続される前記可動グループ単位制御手段へデータ送信を行うことを特徴とする請求項4に記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関し、特に、グループ統括制御手段からグループ単位制御手段へのデータ送信方法に関する。

【背景技術】

30

【0002】

サブ中継基板と電飾基板との間の配線を簡素化することができる遊技機として、トップ電飾領域の中央部に配置されたトップLED中央基板をサブ中継基板とシリアル接続し、トップ電飾領域の右側部に配置されたトップLED右基板及びトップ電飾領域の左側部に配置されたトップLED左基板をトップLED中央基板から分離して配線により接続した構成の遊技機が知られている。これにより、サブ中継基板からトップ電飾領域への配線数を減らして配線を簡素化することができる（例えば、特許文献1参照）。

【0003】

また、信号線の数を削減することができると共に不正行為の発見を容易に行うことができる遊技機として、主基板と副基板との間での信号送信をI²Cバス方式により行い、主基板及び副基板にそれぞれ双方向バスバッファを設けたものがある。この双方向バスバッファは、I²Cバスを構成する二つの双方向シリアルライン（SDA、SCL）をそれぞれ二つの片方向シリアルラインに分岐させるためのものであり、主基板に設けられた双方向バスバッファと副基板に設けられた双方向バスバッファとの間を、それらによって分岐された片方向シリアルラインの信号伝送方向が互いに一致するようにして、四つのシリアル線で接続した構成としている（例えば、特許文献2参照）。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-212271号公報

50

【特許文献2】特開2006-15036号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に記載の遊技機は、CPU83からTOPLED基板への通信はシリアル通信で行っているが、CPU83からTOPLED基板への一方向へのデータ送信を行うことしか記載されていない。

【0006】

このため、特許文献1に記載の遊技機では、CPU83からTOPLED基板へ正確にデータが送信されている保障ができない。特に、遊技機はノイズに晒される環境下に配置されることが多いので、装飾用のLEDがノイズの影響で遊技進行どおりに発光せず、興趣を低下させてしまう場合がある。

10

【0007】

これに対して、特許文献2に記載の遊技機は、主基板と副基板との間で双方向通信を行う構成としているが、正確にデータが送信されたかを確認することは記載されていない。このため、遊技機が正しく動作する保証が無い。また、データ線及びクロック線は、上り（主基板から副基板へ）、及び下り（副基板から主基板へ）の各2本が必要となるので、配線を十分に削減できない。

【0008】

また、特許文献1においては、アドレス信号を送ることでデータの送信先を識別する構成となっている（段落[0065]参照）が、受信回路側のアドレスの設定が端子A0、A1、A2の接続パターンによってのみ行われるので、設定可能なアドレスの数には上限が存在する（特許文献1では8通り）ことになる（段落[0066]参照）。そのため、接続できる受信回路の数に限界があるので、データ通信のハード構成の自由度が低いという問題もあった。

20

【0009】

本発明は、グループ統括制御手段に接続できるグループ単位制御手段の数に上限があっても、ハード構成の自由度を低下させない遊技機を提供することを目的とする。

【課題を解決するための手段】

【0010】

30

第1の発明は、遊技領域に設けた所定の始動入賞領域を遊技球が通過すると、複数の識別情報を変動表示する変動表示ゲームが実行され、該変動表示ゲームの結果に対応して遊技者に特典を付与する特別遊技状態を発生可能な遊技機において、前記遊技領域における遊技を統括的に制御する遊技制御手段と、遊技の演出を行う複数の演出装置と、前記遊技制御手段からの指令に対応して、前記複数の演出装置を制御する演出制御手段と、を備え、前記演出装置の系統の各々を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設け、前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、前記グループ統括制御手段と前記グループ単位制御手段との間でデータ信号を授受するデータ線と、を備えることによって、前記グループ統括制御手段と前記グループ単位制御手段との間で相互にデータ送信を可能とし、前記グループ統括制御手段は、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら前記タイミング信号線の信号レベルを繰り返し変化させることで、順次前記グループ単位制御手段にデータ送信を行う送信手段と、前記送信手段によるデータ送信の後に、前記グループ単位制御手段からの返答信号を取り込む返答信号取込手段と、前記返答信号取込手段によって取り込まれた前記返答信号に基づいてデータ送信の成否を判定する判定手段と、を備え、前記グループ単位制御手段は、前記送信手段がデータ送信を行った前記データ線を介して、前記返答信号を前記グループ統括制御手段へ出力する返答信号出力手段を備え、前記送信手段は、前記演出装置の制御に係わる演算処理を行う演算処理手

40

50

段と、前記グループ単位制御手段の一部と接続されて、前記演算処理手段からの指令に基づいて、該グループ単位制御手段との間の前記データ線及び前記タイミング信号線の信号レベルを制御する第1の信号レベル制御手段と、前記第1の信号レベル制御手段に接続されていないグループ単位制御手段と接続されて、前記演算処理手段からの指令に基づいて、該グループ単位制御手段との間の前記データ線及び前記タイミング信号線の信号レベルを制御する第2の信号レベル制御手段と、を含んで構成され、前記第1の信号レベル制御手段及び前記第2の信号レベル制御手段は、互いに異なる周期で前記演算処理手段から指令を受け入れ、該周期に対応して、接続されているグループ単位制御手段へデータ送信を行う。

【0011】

第2の発明は、第1の発明において、前記信号レベル制御手段は、前記演算処理手段によって初期化指示データが当該信号レベル制御手段に備わる所定の記憶領域に書き込まれることによって、当該信号レベル制御手段に接続されたグループ単位制御手段を初期化する個別初期化手段、を備え、前記演算処理手段は、前記複数の信号レベル制御手段から一以上の信号レベル制御手段を選択し、選択された信号レベル制御手段に備わる所定の記憶領域に前記初期化指示データを書き込む。

【0012】

第3の発明は、第1又は第2の発明において、前記グループ統括制御手段は、前記演算処理手段と、前記各信号レベル制御手段との間で、相互にデータを授受するデータバスを備え、前記信号レベル制御手段は、当該信号レベル制御手段の初期化を指示する初期化信号が、前記演算処理手段によって前記データバスを介さずに入力される初期化信号入力指示端子と、当該信号レベル制御手段の初期化を指示する初期化指示情報が、前記演算処理手段によって前記データバスを介して書き込まれる初期化指示情報記憶領域と、を備え、前記演算処理手段は、すべての前記複数の信号レベル制御手段を初期化する場合には、前記各信号レベル制御手段に備わる初期化信号入力指示端子に初期化信号を入力することによって、前記各信号レベル制御手段を初期化し、特定の前記信号レベル制御手段を選択して初期化する場合には、当該特定の信号レベル制御手段に備わる前記初期化指示情報記憶領域に、前記初期化指示情報を書き込む。

【0013】

第4の発明は、第1から第3のいずれか一つの発明において、遊技に係わる画像を表示する画像表示装置と、前記演算処理手段からの画像更新の指令によって前記画像表示装置に表示される画像を第1の所定周期で更新する画像表示制御手段と、前記第1の所定周期と同期する同期信号を発生する同期信号発生手段と、を備え、前記演算処理手段は、前記同期信号発生手段からの同期信号に同期して前記画像表示装置に前記画像更新の指令を送信し、前記演出装置のグループは、発光することにより当該遊技機の装飾を行う発光装置のグループと、当該遊技機に備わる可動部材を可動させることにより遊技機の装飾を行う可動装置のグループと、を含み、前記グループ単位制御手段は、前記発光装置のグループに属する演出装置を制御する発光グループ単位制御手段と、前記可動装置のグループに属する演出装置を制御する可動グループ単位制御手段と、を含み、前記第1の信号レベル制御手段は前記発光グループ単位制御手段に接続され、前記第2の信号レベル制御手段は前記可動グループ単位制御手段に接続され、前記第1の信号レベル制御手段は、前記同期信号発生手段からの同期信号の周期で、該第1の信号レベル制御手段に接続される前記発光グループ単位制御手段へデータ送信を行い、前記第2の信号レベル制御手段は、前記同期信号発生手段からの同期信号の周期よりも短い周期で、該第2の信号レベル制御手段に接続される前記可動グループ単位制御手段へデータ送信を行う。

【0014】

第5の発明は、第4の発明において、前記可動部材の可動位置を検出する可動位置検出センサを備え、前記演算処理手段は、前記第1の所定周期よりも短い第2の所定周期で前記可動位置検出センサを監視し、前記第2のレベル制御手段は、前記第2の所定周期で、当該第2の信号レベル制御手段に接続される前記可動グループ単位制御手段へデータ送信

10

20

30

40

50

を行う。

【発明の効果】

【0015】

第1の発明によれば、グループ統括制御手段からグループ単位制御手段へデータを送信すると、グループ単位制御手段からグループ統括制御手段へ返答信号が送信されるので、データ送信が行われたかを確認できる構成となり、誤作動を防止できる。このとき、グループ統括制御手段はグループ単位制御手段へ一本のデータ線を介してデータを送信し、グループ単位制御手段からグループ統括制御手段へも同じデータ線を介して返答信号が送信されるので、基板間の配線を少なくすることができる。また、グループ統括制御手段からグループ単位制御手段へ返答信号を送信するので、高速なデータ通信が可能となる。

10

【0016】

さらに、一つのグループ統括制御手段に接続できるグループ単位制御手段の数に上限があり、演出が制限されてしまう問題があったとしても、グループ統括制御手段を複数個備えることによって、当該演出の制限の問題を解決できる。また、グループ統括制御手段毎に異なる制御タイミングを設定できるので、処理タイミングの異なるグループ単位制御手段同士を効率よく制御できる。

【0017】

第2の発明によれば、演算処理手段により信号レベル制御手段が選択され、選択された信号レベル制御手段に接続されるグループ単位制御手段をまとめて初期化することができるので、グループ単位制御手段を一つ一つ選択して初期化するような方法と比較すると、高速な初期化処理を行うことができる。

20

【0018】

このとき、選択された信号レベル制御手段に接続されるグループ単位制御手段だけを初期化して、選択されない他の信号レベル制御手段に接続されるグループ単位制御手段を初期化しないような制御が可能となる。

【0019】

そのため、遊技機に備えた全てのグループ統括制御手段のうち、必要最小限の範囲に属するグループ単位制御手段だけを初期化することができるので、グループ単位制御手段の初期化が行われて演出装置の動作が中断する頻度を、低下させることができる。

【0020】

30

第3の発明によれば、すべての信号レベル制御手段を初期化する場合には、各信号レベル制御手段に備わる初期化信号入力指示端子に初期化信号を入力して初期化するので、各信号レベル制御手段を順に1つずつ選択しながら初期化する場合と比較して、高速に初期化できる。また、特定の信号レベル制御手段を初期化する場合には、当該特定の信号レベル制御手段に備わる初期化指示情報記憶領域を用いて初期化するので、すべての信号レベル制御手段の初期化信号入力指示端子に個別に初期化信号を入力するような回路を必要としない。

【0021】

つまり、第3の発明では、すべての信号レベル制御手段の初期化は高速化を目的とし、特定の信号レベル制御手段の初期化は回路の簡素化を目的とするので、特に、演出制御手段に備わる信号レベル制御手段の数が多い場合には有効となる。

40

【0022】

第4の発明によれば、発光グループ単位制御手段へのデータ送信周期が画像表示装置の画像更新周期と同期するので、画像表示と調和のとれた発光演出が可能となる。また、可動部材の制御には、例えば可動部材の停止タイミングが遅れて可動部材が破損してしまう可能性があるため画像更新周期よりも短い周期での制御が求められる。このため、第4の発明では、可動グループ単位制御手段へのデータ送信周期を発光グループ単位制御へのデータ送信周期よりも短くしている。

【0023】

第5の発明によれば、可動グループ制御手段へのデータ送信周期を、演出制御手段が可

50

動部材位置検出センサを監視する周期と同期させるため、可動部材位置検出センサの検出結果に適合した制御を行うことができる。

【図面の簡単な説明】

【0024】

【図1】本発明の実施の形態の遊技機の説明図である。

【図2】本発明の実施の形態の遊技盤の正面図である。

【図3】本発明の実施の形態のセンターケースの分解斜視図である。

【図4】本発明の実施の形態の可動演出装置が動作する前の状態を示す図である。

【図5】本発明の実施の形態の可動演出装置が動作し、第1演出ユニット及び第2演出ユニットが動作した結果、当接部にて当接している状態を示す図である。

10

【図6】本発明の実施の形態の第1演出部材の分解斜視図である。

【図7】本発明の実施の形態の第2演出部材の分解斜視図である。

【図8】本発明の実施の形態の遊技機の配線を説明する図である。

【図9】本発明の実施の形態の遊技機の構成を示すブロック図である。

【図10】本発明の実施の形態の演出制御装置の構成を示すブロック図である。

【図11】本発明の実施の形態の演出制御装置に備えられた第1マイコンと遊技盤に備えられた演出装置の構成を示すブロック図である。

【図12】本発明の実施の形態の演出制御装置に備えられた第2マイコンと前面枠に備えられた演出装置の構成を示すブロック図である。

【図13】本発明の実施の形態の遊技盤及び通常版の前面枠に取り付けられる装飾制御装置の接続形態の説明図である。

20

【図14】本発明の実施の形態の演出制御装置に搭載される第1マイコンと遊技盤に含まれる中継基板及び照明用の装飾制御装置の接続状態を説明する図である。

【図15】本発明の実施の形態の演出制御装置と前面枠に含まれる簡易中継基板及び可動用の装飾制御装置の接続状態を説明する図である。

【図16】本発明の実施の形態の装飾制御装置のブロック図である。

【図17】本発明の実施の形態のI²C I/Oエクスパンダの構成を示すブロック図である。

【図18】本発明の実施の形態の第1マイコンに接続され、発光型の装飾装置を制御する装飾制御装置のI²C I/Oエクスパンダ周辺の回路図である。

30

【図19】本発明の実施の形態の第2マイコンに接続される装飾制御装置のI²C I/Oエクスパンダ周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【図20】本発明の実施の形態の装飾制御装置（中継基板、簡易中継基板を含む）の入出力に関する接続線の回路図である。

【図21】本発明の実施の形態の遊技盤及び廉価版前面枠に取り付けられる装飾制御装置の接続形態の説明図である。

【図22】本発明の実施の形態の演出制御装置から装飾制御装置に出力されるデータに含まれるスレーブアドレス2200の説明図である。

【図23】本発明の実施の形態のI²C I/Oエクスパンダアドレステーブルの説明図である。

40

【図24】本発明の実施の形態のI²C I/Oエクスパンダに備えられる出力設定レジスタに割り当てられたワークレジスタを説明するための図である。

【図25】本発明の実施の形態のマイコンが接続線SDA及び接続線SCLを介してデータを出力するスタート条件及びストップ条件の説明図である。

【図26】本発明の実施の形態のマイコンから出力されたデータが入力された装飾制御装置が返答信号を出力するタイミングチャートである。

【図27】本発明の実施の形態のマイコンが演出制御データを出力する場合の接続線SDA及び接続線SCLの信号レベルのタイミングチャートである。

【図28】本発明の実施の形態のマイコンが、スレーブの個別アドレスを指定して装飾

50

制御装置に演出制御データを設定する場合において、マスタICとI²C I/Oエクスパ
ンダとの間で送受信されるデータのフォーマットを説明する図である。

【図29】本発明の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾
制御装置に演出制御データを設定する場合において、マスタICとI²C I/Oエクスパ
ンダとの間で送受信される演出制御データに具体的な数値を適用した図である。

【図30】本発明の実施の形態のマスタICの演出制御データを送信する順序を説明する
図である。

【図31】本発明の実施の形態のマスタICがI²C I/Oエクスパンダを初期化する場
合に、マスタICからI²C I/Oエクスパンダに送信される初期化指示データのフォー
マットを説明する図である。

【図32】本発明の実施の形態の第1マスタICの異常判定テーブルを説明する図である
。

【図33】本発明の実施の形態の第2マスタICの異常判定テーブルを説明する図である
。

【図34】本発明の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時に
CPUとマスタIC（第1マスタIC又は第2マスタIC）との間で送受信される情報を
説明する図である。

【図35】本発明の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信す
る際にCPUとマスタIC（第1マスタIC又は第2マスタIC）との間で送受信される
情報を説明する図である。

【図36】本発明の実施の形態の演出制御装置からマスタIC（第1マスタIC又は第2
マスタIC）に演出制御データを送信する段階を説明する図である。

【図37】本発明の実施の形態の演出制御装置による処理の手順を示すフローチャートで
ある。

【図38】本発明の実施の形態の第1マスタIC側スレーブ初期化開始処理及び第2マス
タIC側スレーブ初期化開始処理の手順を示すフローチャートである。

【図39】本発明の実施の形態の第1マスタ側スレーブ出力開始処理及び第2マスタ側ス
レーブ出力開始処理の手順を示すフローチャートである。

【図40】本発明の実施の形態の第1マスタIC及び第2マスタICによる送信中断割込
み発生時の処理の手順を示すフローチャートである。

【図41】本発明の実施の形態の第1マスタIC及び第2マスタICによるタイムアウト
割込み発生時の処理の手順を示すフローチャートである。

【図42】本発明の実施の形態の初期化指示データの送信再開処理の手順を示すフローチ
ャートである。

【図43】本発明の実施の形態の演出制御データの送信再開処理の手順を示すフローチ
ャートである。

【図44】本発明の実施の形態のタイム割込みが発生した場合の演出制御装置のCPUに
よって実行される処理の手順を示すフローチャートである。

【図45】本発明の実施の形態の第2マスタ側スレーブ出力データ編集処理の手順を示す
フローチャートである。

【図46】本発明の実施の形態のマスタICによるデータ送信処理の手順を示すフローチ
ャートである。

【図47】本発明の実施の形態のアドレス認識処理の手順を示すフローチャートである。

【図48】本発明の実施の形態のバイト単位データ送信処理の手順を示すフローチャート
である。

【図49】本発明の実施の形態における装飾制御装置及び装飾装置の接続例を示す図であ
り、8セット分のLEDを2つの装飾制御装置によって制御する構成を示す図である。

【図50】本発明の実施の形態における装飾制御装置がデータを受信し、演出装置を制御
するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデー
タを反映させる場合について説明する図である。

10

20

30

40

50

【発明を実施するための形態】**【0025】**

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0026】

(実施の形態)

図1は、本発明の実施の形態の遊技機1の説明図である。

【0027】

遊技機1の前面枠(遊技枠)3は、本体枠(外枠)2にヒンジ4を介して、遊技機1の前面に開閉回動可能に組み付けられる。前面枠3の表側には、遊技盤10(図2参照)が収装される。また、前面枠3には、遊技盤10の前面を覆うカバーガラス(透明部材)を備えたガラス枠18が取り付けられている。

10

【0028】

ガラス枠18のカバーガラスの周囲には、装飾光が発光される装飾部材9a、9bが備えられている。装飾部材9a、9bの内部にはランプやLED等からなる装飾装置が備えられている。装飾装置を所定の発光態様によって発光させることによって、装飾部材9a、9bが所定の発光態様によって発光する。

【0029】

ガラス枠18の左右には、音響(例えば、効果音)を発するスピーカ30が備えられている。また、ガラス枠18の上方には照明ユニット11が備えられている。

20

【0030】

照明ユニット11には、第1可動式照明13及び第2可動式照明14が左右に配置されている。第1可動式照明13及び第2可動式照明14には、LEDなどの照明部材の他に、照明駆動第1モータ(MOT)13a及び照明駆動第2モータ(MOT)14aが備えられており、演出内容に応じて動作するように制御される。

【0031】

照明ユニット11の右下方には、遊技機1において異常が発生したことを報知するための異常報知LED29が備えられている。

【0032】

前面枠3の下部の開閉パネル20には図示しない打球発射装置に遊技球を供給する上皿が、固定パネル22には下皿23及び打球発射装置の操作部24等が備えられる。下皿23には、下皿23に貯まった遊技球を排出するための下皿球抜き機構16が備えられる。前面枠3下部右側には、ガラス枠18を施錠するための鍵25が備えられている。

30

【0033】

また、遊技者が操作部24を回動操作することによって、打球発射装置は、上皿21から供給される遊技球を発射する。

【0034】

また、上皿21の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン17が備えられている。遊技者が演出ボタン17を操作することによって、遊技盤10に設けられた表示装置53(図2参照)における特図変動表示ゲームの演出内容を選択して、表示装置53における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

40

【0035】

特図変動表示ゲームは、発射された遊技球が遊技盤10に備わる始動口36(図2参照)に入賞した場合に開始される。特図変動表示ゲームでは、表示装置53において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機1の状態が遊技者に有利な状態(特典が付与される状態)である特別遊技状態に遷移する。

【0036】

上皿21の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン26、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボ

50

タン 27 が設けられている。さらに、これらの球貸ボタン 26 と排出ボタン 27 との間には、プリペイドカードの残高を表示する残高表示部 28 が設けられる。

【0037】

図 2 は、本発明の実施の形態の遊技盤 10 の正面図である。

【0038】

図 1 に示す遊技機 1 は、内部の遊技領域 10 a 内に遊技球を発射して（弾球して）遊技を行うもので、ガラス枠 18 のカバーガラスの奥側には、遊技領域 10 a を構成する遊技盤 10 が設置されている。

【0039】

遊技盤 10 は、各種部材の取付ベースとなる平板状の遊技盤本体 10 b（木製又は合成樹脂製）を備え、該遊技盤本体 10 b の前面にガイドレール 32 で囲まれた遊技領域 10 a を有している。また、遊技盤本体 10 b の前面であってガイドレール 32 の外側には、前面構成部材 33 が取り付けられている。そして、このガイドレール 32 で囲まれた遊技領域 10 a 内に発射装置から遊技球（打球；遊技媒体）を発射して遊技を行う。

【0040】

遊技領域 10 a の略中央には、特図変動表示ゲームの表示領域となる窓部 52 を形成するセンターケース 51 が取り付けられている。センターケース 51 に形成された窓部 52 の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置 53 が配される。表示装置 53 は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部 53 a がセンターケース 51 の窓部 52 を介して遊技盤 10 の前面側から視認可能となるように配されている。なお、表示装置 53 は、液晶ディスプレイを備えるものに限らず、EL、CRT 等のディスプレイを備えるものであってもよい。

【0041】

また、センターケース 51 の上部には、大当たりの可能性（信頼度）を報知する信頼度報知装置 15 が備えられる。信頼度報知装置 15 には、複数色の LED（例えば、赤、青、緑の 3 色の LED）が備えられており、信頼度に応じた色及び態様で発光するように制御される。

【0042】

さらに、センターケース 51 の左部には、遊技球が流下可能な球導入路（ワープ流路）50 が設けられ、遊技領域 10 a に向けて入口 50 a が開放した状態で開設されている。球導入路 50 は、センターケース 51 の内部に連通しており、入口 50 a から流入した遊技球は、センターケース 51 の裏側を通過して、ユニット側ステージ部 49 b 上に排出される。さらに、ユニット側ステージ部 49 b 上で転動した遊技球が当該ユニット側ステージ部 49 b の下方に配置されたベース側ステージ部 49 a 上に流下できるように構成されている。

【0043】

センターケース 51 の周縁部には、複数の装飾具 47 が配置される。センターケース 51 の左下部には、装飾ランプ 48 が配置される、センターケース 51 の上部には、複数の装飾ピース 46 を上下動可能な状態で配置される。装飾具 47、装飾ランプ 48 及び装飾ピース 46 は、後述する演出制御装置 550 からの命令に従って演出動作を行う。センターケース 51 の構成については、図 3 を参照しながらさらに詳細に説明する。

【0044】

また、遊技領域 10 a のうちセンターケース 51 の下方には、遊技球を受入可能（入賞可能）な特図変動表示ゲームを始動させるための始動口 36 が配置される。さらに、センターケース 51 の側方（左側方）には、普図変動表示ゲームを始動させるための普図始動ゲート 34 が配置される。

【0045】

さらに、遊技領域 10 a には、センターケース 51 の左下方及び右下方に、発光によって各種装飾表示を行うサイドランプ 45 が配置される。また、サイドランプ 45 には、一

10

20

30

40

50

般入賞口 4 4 が備えられている。

【 0 0 4 6 】

さらに、始動口 3 6 の下方には大入賞口 4 2 が配置され、該大入賞口 4 2 の下方であって遊技領域 1 0 a の下縁部には、入賞せずに流下した遊技球を回収するアウト口 4 3 が開設される。大入賞口 4 2 は、上端側が手前側に倒れる方向に回動して開放可能になっているアタッカ形式の開閉扉 4 2 a を備える。特図変動表示ゲームの結果によって開閉扉 4 2 a を閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する。

【 0 0 4 7 】

また、センターケース 5 1、始動口 3 6 やサイドランプ 4 5 等の取付部分を除いた遊技領域 1 0 a 内には、この他、遊技領域 1 0 a には、打球方向変換部材としての風車（図示略）、及び多数の障害釘（図示略）などが配設されている。そして、センターケース 5 1 と、該センターケース 5 1 を挟んで普図始動ゲート 3 4 とは反対側に位置する前面構成部材 3 3 との間に縦長な円弧状の遊技球通路 5 7 が形成されている。

【 0 0 4 8 】

さらに、遊技盤 1 0 には、特図変動表示ゲーム及び普図変動表示ゲームを実行する普図・特図表示器 3 5 が備えられている。普図・特図表示器 3 5 には、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図・特図表示器 3 5 は、遊技状態を表す遊技状態表示 LED（図示略）と併せて、セグメント LED として設けられている。

【 0 0 4 9 】

普図始動ゲート 3 4 内には、該普図始動ゲート 3 4 を通過した遊技球を検出するためのゲート SW 3 4 a（図 9 参照）が設けられている。そして、遊技領域 1 0 a 内に打ち込まれた遊技球が普図始動ゲート 3 4 内を通過すると、普図変動表示ゲームが開始される。

【 0 0 5 0 】

また、普図変動表示ゲームを開始できない状態で、普図始動ゲート 3 4 を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が 1 加算されて、当該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

【 0 0 5 1 】

普図変動表示ゲームが開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームに当選して始動口 3 6 が開状態に変換されている状態のことをいう。

【 0 0 5 2 】

なお、普図変動表示ゲームは、表示装置 5 3 の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることによって行うようにする。

【 0 0 5 3 】

普図変動表示ゲームの停止表示が特別の結果態様となった場合には、普図変動表示ゲームに当選したものとして、始動口 3 6 の開閉部材 3 6 a が所定時間（例えば、0 . 5 秒間）開放される。これにより、始動口 3 6 に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。始動口 3 6 の開閉部材 3 6 a は、通常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームに当選した場合）には、ソレノイド（普電 SOL 3 6 b、図 9 参照）によって、逆「八」の字状に開いて始動口 3 6 に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられる。

【 0 0 5 4 】

また、本発明の実施の形態の遊技機 1 は、特図変動表示ゲームの結果態様に基づいて、遊技状態として、表示装置 5 3 における特図変動表示ゲームの変動表示時間を短縮する時

10

20

30

40

50

短動作状態（第2動作状態）を発生可能となっている。時短動作状態（第2動作状態）は、通常動作状態（第1動作状態）と比較して始動口36の開閉部材36aが開放状態となりやすい状態である。

【0055】

時短動作状態においては、普図変動表示ゲームの実行時間が通常動作状態における実行時間よりも短くなるように制御され（例えば、10秒が1秒）、単位時間当りの始動口36の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームに当選したことによって始動口36が開放される場合に、開放時間が通常動作状態の開放時間よりも長くなるように制御される（例えば、0.3秒が1.8秒）。また、時短動作状態においては、普図変動表示ゲームの1回の当選結果に対して、始動口36が1回ではなく、複数回（例えば、2回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当選結果となる確率が通常動作状態よりも高くなるように制御される。すなわち、通常動作状態よりも始動口36の開放回数が増加され、始動口36に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。

10

【0056】

また、始動口36の内部には、始動口36を通過した遊技球を検出するための、始動口SW36d（図9参照）が備えられる。始動口SW36dによって遊技球を検出すると、補助遊技としての特図変動表示ゲームを開始する始動権利が発生する。このとき、特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば4）の範囲内で特図始動記憶として記憶される。

20

【0057】

特図変動表示ゲームを直ちに開始できない状態、例えば、既に特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、始動口36に遊技球が入賞すると、特図始動記憶数が上限数未満（例えば、4個未満）ならば、特図始動記憶数が1加算され、始動口36に遊技球が入賞したタイミングで抽出された乱数が特図始動記憶として一つ記憶される。そして、特図変動表示ゲームが開始可能な状態となると、特図始動記憶に基づき特図変動表示ゲームが開始される。

【0058】

補助遊技としての特図変動表示ゲームは、遊技盤10に設けられた普図・特図表示器35で実行され、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置53にて特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）が変動表示される。そして、特図変動表示ゲームの結果として、普図・特図表示器35の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置53の表示態様も特別結果態様（例えば、「7, 7, 7」等のゾロ目数字の何れか）となる。なお、普図・特図表示器35ではなく、表示装置53のみで特図変動表示ゲームを実行するように構成してもよい。

30

【0059】

また、本発明の実施の形態の遊技機1は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第2確率状態）を発生可能となっている。この確変状態（第2確率状態）は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態（第1確率状態）に比べて高い状態である。なお、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

40

【0060】

図3は、本発明の実施の形態のセンターケース51の分解斜視図である。

【0061】

センターケース51は、遊技盤本体10b（遊技盤10）の表面側に前面構成部として配置される枠装飾部65と、遊技盤本体10bの裏面側に裏面構成部として配置される枠体基部60とを前後に重合して構成されている。枠装飾部65は、遊技盤本体10bの表

50

面に止着される環状の装飾ベース 6 6 を備える。装飾ベース 6 6 の裏面側には、装飾ベース 6 6 と略同じ大きさで円形状に形成された装飾パネルユニット 6 7 を備え、枠装飾部 6 5 は、装飾ベース 6 6 と装飾パネルユニット 6 7 とを前後に重合して構成されている。

【 0 0 6 2 】

装飾ベース 6 6 の下部には、上面に遊技球を前後方向及び左右方向に転動可能なベース側ステージ部 4 9 a が配置され、該ベース側ステージ部 4 9 a と遊技球通路 5 7 との間には装飾ランプ 4 8 が配置されている（図 2 参照）。そして、ベース側ステージ部 4 9 a を挟んで装飾ランプ 4 8 とは反対側には、遊技球が流下可能な球導入路（ワープ流路）5 0 が設けられ、球導入路 5 0 の入口 5 0 a を装飾ベース 6 6 の外方へ向けて開放した状態で開設し、球導入路 5 0 の出口 5 0 b を後述する装飾パネルユニット 6 7 の裏側へ連通して

10

【 0 0 6 3 】

装飾パネルユニット 6 7 は、略円形状の透明樹脂板で形成されたカバーパネル部 6 9 を備え、該カバーパネル部 6 9 の前面側の周縁に複数の装飾具 4 7 を配置している。装飾パネルユニット 6 7 と枠装飾部 6 5 とを重合すると、装飾具 4 7 が装飾ベース 6 6 の内周縁に沿って配置されるように設定されている（図 2 参照）。また、カバーパネル部 6 9 の上部には、信頼度報知装置 1 5 が配置されている。

【 0 0 6 4 】

また、カバーパネル部 6 9 の裏面側の下部には、上面に遊技球を前後方向及び左右方向に転動可能なユニット側ステージ部 4 9 b が配置される。ユニット側ステージ部 4 9 b は、装飾ベース 6 6 のベース側ステージ部 4 9 a よりも上方に配置される。

20

【 0 0 6 5 】

さらに、カバーパネル部 6 9 のうち球導入路 5 0 の出口 5 0 b に重合する箇所には球流入口 6 8 を開設し、該球流入口 6 8 を介して球導入路 5 0 とユニット側ステージ部 4 9 b とを連通している。したがって、遊技領域 1 0 a を流下する遊技球が球導入路 5 0 に流入すると、球導入路 5 0 がこの遊技球をユニット側ステージ部 4 9 b 上に導入できるように構成されている。

【 0 0 6 6 】

枠体基部 6 0 は、遊技盤 1 0 の裏面側に止着される額縁状の基部ケース 6 1 を前側が開放した状態で備え、該基部ケース 6 1 の内側（言い換えるとセンターケース 5 1 の内部）に、開口部 6 2 a が前面側に設けられた凹室 6 2 を形成している。

30

【 0 0 6 7 】

また、基部ケース 6 1 のうち凹室 6 2 の後方には矩形状の窓部 5 2 を前後方向へ貫通して開設し、基部ケース 6 1 の後方から表示装置 5 3 を装着して、表示装置 5 3 の表示部 5 3 a を窓部 5 2 及び凹室 6 2 を通してセンターケース 5 1 の前方へ臨ませている。

【 0 0 6 8 】

さらに、窓部 5 2 の上縁部の前側には、役物駆動ソレノイド（図示せず）によって上下動可能な複数の装飾ピース 4 6 が配置され、窓部 5 2 の左右両側の周縁には、表示部 5 3 a の前方へ移動して演出動作を行う可動演出装置 5 8 が備えられる。

【 0 0 6 9 】

40

そして、枠体基部 6 0 の前方に枠装飾部 6 5 を重合すると、凹室 6 2 の開口部 6 2 a 及び窓部 5 2 をカバーパネル部 6 9 で前方から被覆し、表示装置 5 3 の表示部 5 3 a を枠装飾部 6 5 の内側（カバーパネル部 6 9 が露出した箇所）からセンターケース 5 1 の前方へ臨ませるように構成されている。

【 0 0 7 0 】

図 4 及び図 5 は、本発明の実施の形態の可動演出装置 5 8 の構成を説明する図である。

【 0 0 7 1 】

可動演出装置 5 8 は、第 1 演出ユニット 6 3 と第 2 演出ユニット 6 4 とを互いに離間した位置に備えて構成され、第 1 演出ユニット 6 3 及び第 2 演出ユニット 6 4 が連動して演出動作が実行される。

50

【 0 0 7 2 】

図 4 は、可動演出装置 5 8 が動作する前の状態を示す図であり、図 5 は、可動演出装置 5 8 が動作し、第 1 演出ユニット 6 3 及び第 2 演出ユニット 6 4 が動作した結果、当接部（第 1 当接部 1 2 1 及び第 2 当接部 1 2 2）にて当接している状態を示す図である。

【 0 0 7 3 】

第 1 演出ユニット 6 3 は、センターケース 5 1 の左側、すなわち、基部ケース 6 1 の窓部 5 2 の周縁の左側に配置される。また、第 2 演出ユニット 6 4 は、センターケース 5 1 の右側に配置される。センターケース 5 1 の前方から見て第 1 演出ユニット 6 3 と第 2 演出ユニット 6 4 との間に凹室 6 2 及び窓部 5 2 を臨ませるように配置される。

【 0 0 7 4 】

第 1 演出ユニット 6 3 は、表示部 5 3 a の前方へ移動可能な第 1 演出部材 7 0 と、該第 1 演出部材 7 0 の駆動力を発生する第 1 演出駆動源としての役物駆動第 1 モータ (MOT) 7 1 と、役物駆動第 1 MOT 7 1 から発生した駆動力 (回動力) を第 1 演出部材 7 0 へ伝達する第 1 演出伝達機構 (第 1 主腕部材 7 3 及び第 1 副腕部材 7 4) とを備える。

【 0 0 7 5 】

また、役物駆動第 1 MOT 7 1 の出力軸 (第 1 出力軸) 7 1 a がセンターケース 5 1 の前後方向に延在し、第 1 出力軸 7 1 a には第 1 駆動ギア 7 6 を共回り可能に軸着している。

【 0 0 7 6 】

第 1 主腕部材 7 3 は、第 1 駆動ギア 7 6 と噛合される第 1 主腕ギア 7 7 が形成され、当該第 1 駆動ギア 7 6 の上方に軸着される。第 1 副腕部材 7 4 は、第 1 駆動ギア 7 6 と噛合される第 1 副腕ギア 7 8 が形成され、当該第 1 駆動ギア 7 6 の下方に軸着される。第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 は、基部ケース 6 1 と軸着された端部の反対側の端部が互いに異なる位置で第 1 演出部材 7 0 に軸着し、第 1 演出部材 7 0 を支持している。

【 0 0 7 7 】

第 1 演出ユニット 6 3 は、役物駆動第 1 MOT 7 1 を駆動して第 1 駆動ギア 7 6 をセンターケース 5 1 の正面から見て時計方向へ回動すると、役物駆動第 1 MOT 7 1 の駆動力 (回動力) を第 1 駆動ギア 7 6 及び第 1 主腕ギア 7 7 を介して第 1 主腕部材 7 3 へ伝達し、この駆動力により第 1 主腕部材 7 3 がセンターケース 5 1 の正面から見て反時計方向へ回動する。また、役物駆動第 1 MOT 7 1 の駆動力を第 1 駆動ギア 7 6 及び第 1 副腕ギア 7 8 を介して第 1 副腕部材 7 4 へ伝達し、この駆動力により第 1 副腕部材 7 4 が第 1 主腕部材 7 3 と同じ反時計方向へ回動する。この結果、第 1 演出部材 7 0 が第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 に支持された状態で上昇する。

【 0 0 7 8 】

そして、役物駆動第 1 MOT 7 1 の駆動力により第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 を上方へ延出して縦向き姿勢に設定すると、図 4 に示すように、第 1 演出部材 7 0 を表示部 5 3 a の前方から外れて位置させた第 1 演出停止状態となり、第 1 演出部材 7 0 が窓部 5 2 の側方に位置して、枠装飾部 6 5 の後方及び遊技盤本体 1 0 b の後方に隠れる (図 2 参照)。

【 0 0 7 9 】

一方、第 1 演出停止状態から役物駆動第 1 MOT 7 1 を駆動して第 1 駆動ギア 7 6 をセンターケース 5 1 の正面から見て反時計方向へ回動すると、役物駆動第 1 MOT 7 1 の駆動力 (回動力) を第 1 駆動ギア 7 6 及び第 1 主腕ギア 7 7 を介して第 1 主腕部材 7 3 へ伝達し、この駆動力により第 1 主腕部材 7 3 がセンターケース 5 1 の正面から見て時計方向へ回動する。

【 0 0 8 0 】

また、役物駆動第 1 MOT 7 1 の駆動力を第 1 駆動ギア 7 6 及び第 1 副腕ギア 7 8 を介して第 1 副腕部材 7 4 へ伝達し、この駆動力により第 1 副腕部材 7 4 が第 1 主腕部材 7 3 と同じ時計方向へ回動する。この結果、第 1 演出部材 7 0 が第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 に支持された状態で下降する。

10

20

30

40

50

【 0 0 8 1 】

そして、役物駆動第 1 M O T 7 1 の駆動力により第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 を表示部 5 3 a の前方へ延出して横向き姿勢に設定すると、図 5 に示すように、第 1 演出部材 7 0 を表示部 5 3 a の前方へ位置させた第 1 演出実行状態となり、第 1 演出部材 7 0 が表示部 5 3 a とカバーパネル部 6 9 との間の空間部のうち表示部 5 3 a の中央部分の前方に位置する。

【 0 0 8 2 】

第 2 演出ユニット 6 4 は、表示部 5 3 a の前方へ移動可能な第 2 演出部材 8 0 と、該第 2 演出部材 8 0 の駆動力を発生する第 2 演出駆動源としての役物駆動第 2 モータ (M O T) 8 1 と、役物駆動第 2 M O T 8 1 から発生した駆動力 (回動力) を第 2 演出部材 8 0 へ伝達する第 2 演出伝達機構 (第 2 主腕部材 8 3 及び第 2 副腕部材 8 4) とを備える。

10

【 0 0 8 3 】

また、役物駆動第 2 M O T 8 1 を出力軸 (第 2 出力軸) 8 1 a がセンターケース 5 1 の前後方向に延在し、第 2 出力軸 8 1 a には第 2 駆動ギア 8 6 を共回り可能に軸着している。

【 0 0 8 4 】

第 2 主腕部材 8 3 は、第 2 駆動ギア 8 6 と噛合される第 2 主腕ギア 8 7 が形成され、当該第 2 駆動ギア 8 6 よりも第 1 演出ユニット 6 3 寄りの位置に軸着される。第 2 副腕部材 8 4 は、第 2 駆動ギア 8 6 と噛合される第 2 副腕ギア 8 8 が形成され、当該第 2 駆動ギア 8 6 の下方に軸着される。第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 は、基部ケース 6 1 と軸着された端部の反対側の端部が互いに異なる位置で第 2 演出部材 8 0 に軸着し、第 2 演出部材 8 0 を支持している。

20

【 0 0 8 5 】

第 2 演出ユニット 6 4 は、役物駆動第 2 M O T 8 1 を駆動して第 2 駆動ギア 8 6 をセンターケース 5 1 の正面から見て時計方向へ回動すると、役物駆動第 2 M O T 8 1 の駆動力 (回動力) を第 2 駆動ギア 8 6 及び第 2 主腕ギア 8 7 を介して第 2 主腕部材 8 3 へ伝達し、この駆動力により第 2 主腕部材 8 3 がセンターケース 5 1 の正面から見て反時計方向へ回動する。また、役物駆動第 2 M O T 8 1 の駆動力を第 2 駆動ギア 8 6 及び第 2 副腕ギア 8 8 を介して第 2 副腕部材 8 4 へ伝達し、この駆動力により第 2 副腕部材 8 4 が第 2 主腕部材 8 3 と同じ反時計方向へ回動する。この結果、第 2 演出部材 8 0 が第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 に支持された状態で下降する。

30

【 0 0 8 6 】

そして、役物駆動第 2 M O T 8 1 の駆動力により第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 を回動して第 2 演出部材 8 0 を下死点へ到達させ、引き続き第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 を回動して斜め下方へ延出して縦向き姿勢に設定し、第 2 演出部材 8 0 を下死点から僅かに上昇させると、図 4 に示すように、第 2 演出部材 8 0 を表示部 5 3 a の前方から外れて位置させた第 2 演出停止状態となり、第 2 演出部材 8 0 が枠装飾部 6 5 の後方及び遊技盤本体 1 0 b の後方に隠れる (図 2 参照) 。

【 0 0 8 7 】

一方、第 2 演出停止状態から役物駆動第 2 M O T 8 1 を駆動して第 2 駆動ギア 8 6 をセンターケース 5 1 の正面から見て反時計方向へ回動すると、役物駆動第 2 M O T 8 1 の駆動力 (回動力) を第 2 駆動ギア 8 6 及び第 2 主腕ギア 8 7 を介して第 2 主腕部材 8 3 へ伝達し、この駆動力により第 2 主腕部材 8 3 がセンターケース 5 1 の正面から見て時計方向へ回動する。

40

【 0 0 8 8 】

また、役物駆動第 2 M O T 8 1 の駆動力を第 2 駆動ギア 8 6 及び第 2 副腕ギア 8 8 を介して第 2 副腕部材 8 4 へ伝達し、この駆動力により第 2 副腕部材 8 4 が第 2 主腕部材 8 3 と同じ時計方向へ回動する。この結果、第 2 演出部材 8 0 が第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 に支持された状態で上昇する。

【 0 0 8 9 】

50

そして、役物駆動第2MOT81の駆動力により第2主腕部材83及び第2副腕部材84を表示部53aの前方へ延出して横向き姿勢に設定すると、図5に示すように、第2演出部材80を表示部53aの前方へ位置させた第2演出実行状態となり、第2演出部材80が表示部53aとカバーパネル部69との間の空間部のうち表示部53aの中央部分の前方に位置する。

【0090】

図6は、本発明の実施の形態の第1演出部材70の分解斜視図である。

【0091】

第1演出部材70は、センターケース51の正面から見て略半円形状の部材であり、第1演出ユニット63側に円弧面を配置した姿勢に設定されている。

10

【0092】

第1演出部材70には、基部となる第1演出ベース100が備えられる。第1演出ベース100は、透明な樹脂によって形成される。第1演出ベース100の上部には、第1主腕部材73を第1演出ベース100の前方から軸着する第1主腕軸着部101を形成し、第1演出ベース100の下部には、第1副腕部材74を第1演出ベース100の後方から軸着する第1副腕軸着部102を形成している。

【0093】

第1演出ベース100の前面には、光を拡散しながら透過可能な第1光拡散シート103が重合される。さらに、第1光拡散シート103の前面に透明な第1保護パネル104を重合することによって、第1光拡散シート103が第1演出部材70から脱落することを阻止している。

20

【0094】

また、第1演出ベース100の後部を前方へ窪ませて第1基板収納空間部105を形成し、該第1基板収納空間部105にLEDなどの発光装置(装飾装置620、図17参照)が実装された第1発光基板106を収納する。さらに、この状態で第1基板収納空間部105を第1ベース蓋部107で閉塞し、第1発光基板106が第1演出部材70から脱落することを阻止している。

【0095】

そして、第1発光基板106の発光装置から光を発生すると、この光が第1演出ベース100、第1光拡散シート103、第1保護パネル104を透過してセンターケース51の前方へ照射されるように構成されている。

30

【0096】

さらに、第1当接部121の第1基板収納空間部105側には、後部が開放された第1演出磁石ホルダ124を窪ませて形成されている。第1演出磁石ホルダ124には、ボタン形状の永久磁石からなる第1磁石125を磁極が第2演出部材80側へ向いた姿勢で、第1磁石125が第1当接部121(第1演出磁石ホルダ124)から脱落しないように収納されている。

【0097】

第1発光基板106には、装飾装置620の発光を制御するためのI²C I/Oエキスパンダ615(図17参照)が搭載され、演出制御装置550から出力された制御信号(電気信号)など送信するためのデータ線及びクロック線(信号線)が接続される。さらに、装飾装置620を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル108としてまとめられて接続されている。

40

【0098】

図7は、本発明の実施の形態の第2演出部材80の分解斜視図である。

【0099】

第2演出部材80は、センターケース51の正面から見て上部に切欠部分がある略平行四辺形状となっている。第2演出停止状態においては第2演出部材80の上下両側面を第2演出ユニット64側から第1演出ユニット63側へ向けて下り傾斜させ(図4参照)、第2演出実行状態においては当該第2演出部材80の左右両側面を第2演出ユニット64

50

側から第1演出ユニット63側へ向けて下り傾斜させる姿勢に設定されている(図5参照)。

【0100】

第2演出部材80には、基部となる第2演出ベース110が備えられる。第2演出ベース110は、透明な樹脂によって形成される。第2演出ベース110の上部には、第2主腕部材83を第2演出ベース110の前方から軸着する第2主腕軸着部111を形成し、第2演出ベース110の下部には、第2副腕部材84を第2演出ベース110の後方から軸着する第2副腕軸着部112を形成している。

【0101】

さらに、第2演出ベース110の前面には、光を拡散しながら透過可能な第2光拡散シート113を重合される。第2光拡散シート113の前面に透明な第2保護パネル114を重合することによって、第2光拡散シート113が第2演出部材80から脱落することを阻止している。

10

【0102】

また、第2演出ベース110の後部を前方へ窪ませて第2基板収納空間部115を形成し、該第2基板収納空間部115にLEDなどの発光装置(装飾装置620)が実装された第2発光基板116を収納し、この状態で第2基板収納空間部115を第2ベース蓋部117で閉塞して、第2発光基板116が第2演出部材80から脱落することを阻止している。

【0103】

そして、第2発光基板116の発光装置から光を発生すると、この光が第2演出ベース110、第2光拡散シート113、第2保護パネル114を透過してセンターケース51の前方へ照射されるように構成されている。

20

【0104】

さらに、第2当接部122の第2基板収納空間部115側には、後部が開放された第2演出磁石ホルダ128を窪ませて形成されている。第2演出磁石ホルダ128には、ボタン形状の永久磁石からなる第2磁石129が、第1当接部121及び第2当接部122を挟んで第1磁石125とは対称となる位置に収納されている。

【0105】

第2発光基板116には、第1発光基板106と同様に、装飾装置620の発光を制御するためのI²C I/Oエキスパンダ615(図17参照)が搭載され、演出制御装置550から出力された制御信号などを送信するためのデータ線及びクロック線(信号線)が接続される。さらに、装飾装置620を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル118としてまとめられて接続されている。

30

【0106】

可動演出装置58は、第1演出部材70に第1当接部121を備えるとともに、第2演出部材80に第2当接部122を備える。そして、第1演出ユニット63を第1演出実行状態へ変換するとともに、第2演出ユニット64を第2演出実行状態へ変換すると、第1当接部121と第2当接部122とが当接し、第1演出部材70と第2演出部材80とで1つの装飾体を形成する。このとき、第1磁石125と第2磁石129との間で吸引力を発生するように第1磁石125及び第2磁石129が配置されている。さらに、この形成された装飾体を表示部53aの中央部の前方に位置させるように構成している。

40

【0107】

図8は、本発明の実施の形態の遊技機1の配線を説明する図である。

【0108】

図8では、遊技盤本体10bにセンターケース51が取り付けられ、表示装置53がセンターケース51に取り付けられる前の状態を示している。また、表示装置53の背面には、演出制御装置550が取り付けられている。演出制御装置550には、第1接続端子90及び第2接続端子92が備えられており、第1接続端子90及び第2接続端子92を

50

介して制御対象となる演出装置に対し、制御信号の送信や電力の供給を行う。具体的には、第1接続端子90は後述する中継基板600にケーブル91を介して接続され、第2接続端子92は後述する簡易中継基板1600(図12参照)に接続される。

【0109】

また、遊技盤本体10bの背面下部には、遊技制御装置500や各種制御基板を含む制御ユニット700が配置される。制御ユニット700に搭載される制御基板には、演出制御装置550から送信された制御信号を、装飾制御装置610(図11参照)に中継する中継基板600が含まれる。装飾制御装置610は、詳細については後述するが、遊技を演出するための発光装置(例えば、LED)や可動物(例えば、モータ)などの演出装置の制御を行う。また、中継基板600は、装飾制御装置610と同様に、発光装置や可動物を接続可能である。

10

【0110】

中継基板600には発光装置を制御する装飾制御装置610が接続され、簡易中継基板1600には可動物を制御する装飾制御装置610が接続される。

【0111】

中継基板600には、演出制御装置550にケーブル91を介して接続される上流コネクタ601が備えられる。ケーブル91の一方のコネクタ91aは、前述のように、演出制御装置550の第1接続端子90に接続される。ケーブル91の他方のコネクタ91bは、中継基板600の上流コネクタ601に接続される。さらに、遊技機1に備えられた各演出装置の制御を行う装飾制御装置610に接続するためのコネクタ602a~602eを備える。

20

【0112】

さらに、中継基板600には、接続されたケーブルの接続状態を示す空き端子モニタ603が備えられている。空き端子モニタ603の詳細については、図15にて説明する。

【0113】

また、図示は略するが、遊技制御装置500を構成するユニットが、中継基板600のコネクタ装着面を覆うようにして設けられている。そのため、遊技制御装置500は、中継基板600の各コネクタに必要なケーブルを装着した後に取り付けられる配置構成となっている。

【0114】

遊技盤本体10bには、サイドランプ45を取り付けるための開口部45bが形成されている。サイドランプ45には、電力及び信号を送信するケーブル45aが接続され、開口部45bから遊技盤10の裏面側へ導入される。遊技盤10の裏面側へ導入されたケーブル45aは、中継基板600に接続され、例えば、コネクタ602dに接続される。

30

【0115】

また、遊技盤10の下部には、図2に示したように、始動口36及び大入賞口42が配置される。始動口36が配置されている遊技盤10の裏側には、普図変動表示ゲームに当選した場合に開放される開閉部材36aを開閉するための普電ソレノイド(SOL)36bが配置される。また、特図変動表示ゲームに当選した場合に、大入賞口42を開閉するための大入賞口SOL42bも遊技盤10の裏側に配置されている。普電SOL36b及び大入賞口SOL42bには、制御信号の入力を受け付けるためのケーブル(図示略)が接続され、このケーブルは遊技制御装置500に接続されている。また、ケーブル42cは、大入賞口42の内部に備えられる演出用のLEDを点灯させるための電力及び信号を伝達するケーブルとして中継基板600に接続され、例えば、コネクタ602fに接続される。

40

【0116】

前述のように、遊技盤10の中央部には、センターケース51が取り付けられている。センターケース51の内部には、第1演出部材70及び第2演出部材80によって構成される可動演出装置58が備えられる。図8では、第1演出部材70及び第2演出部材80が当接面(121, 122)で当接している状態となっている。

50

【0117】

また、可動演出装置58の第1演出ユニット63及び第2演出ユニット64には、前述のように、第1演出部材70及び第2演出部材80を稼働させるためのモータ（役物駆動第1モータ71、役物駆動第2モータ81）（図12参照）が備えられている。

【0118】

また、複数の装飾ピース46を稼働させるためのソレノイド（役物駆動ソレノイド82）が備えられている。

【0119】

図8には図示しないが、前面枠3には簡易中継基板1600（図12参照）が配設される。また、前面枠3に配置されたスピーカ30、前面枠3の照明ユニット11の左右に配置された照明駆動モータ（13a、14a）（図12参照）、遊技盤10に設けられた役物駆動モータ（71、81）、役物駆動ソレノイド82（図12参照）などを制御するための信号を送信するケーブル3bが簡易中継基板1600に接続されている。このケーブル3bのコネクタは、演出制御装置550の第2接続端子92に接続される。

10

【0120】

そして、遊技盤10に設けられたこれらのモータ及びソレノイドを制御するための信号、並びに、遊技盤10に設けられたこれらのモータ及びソレノイドを駆動させるための電力を供給するためのケーブル652が可動演出装置58及び装飾ピース46に接続されている。ケーブル652は、センターケース51の開口部51cから遊技盤10の裏面側に延びており、簡易中継基板1600に接続されている。

20

【0121】

また、可動演出装置58には、これらのモータの動作状態を検知するための役物駆動モータ位置検出センサ560a（図11参照）が備えられており、センシング結果を受信するためのケーブル651が接続されている。ケーブル651は、センターケース51の開口部51bから遊技盤10の裏面側に延びており、中継基板600に接続される。例えば、ケーブル651はコネクタ602eに接続される。

【0122】

さらに、演出制御装置550から出力された制御信号を、センターケース51の内部に配置されたLEDなどの演出装置を制御するための装飾制御装置610（図11参照）へ伝達するケーブル653が接続される。ケーブル653は、センターケース51に設けられた開口部51aから遊技盤10の裏面側の中継基板600に接続され、例えば、コネクタ602aに接続される。

30

【0123】

図9は、本発明の実施の形態の遊技機1の構成を示すブロック図である。

【0124】

遊技機1は、遊技を統括的に制御する遊技制御装置500、各種演出を行うために表示装置53及びスピーカ30等を制御する演出制御装置550、遊技球を払い出すために図示しない払出モータを制御する払出制御装置580を備える。

【0125】

まず、遊技制御装置500の構成について説明する。なお、演出制御装置550については、図10にて説明する。

40

【0126】

遊技制御装置500は、遊技用マイコン501、入力I/F（Interface）505、出力I/F（Interface）506、及び外部通信端子507を備える。

【0127】

遊技用マイコン501は、CPU502、ROM（Read Only Memory）503及びRAM（Random Access Memory）504を備える。

【0128】

CPU502は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ROM503は、遊技制御のための不変の情報（プログラム、データ等）を記憶している。R

50

A M 5 0 4 は、遊技制御時にワークエリアとして利用される。

【 0 1 2 9 】

外部通信端子 5 0 7 は、遊技制御装置 5 0 0 の設定情報等を検査する検査装置等の外部機器に遊技制御装置 5 0 0 を接続する。

【 0 1 3 0 】

C P U 5 0 2 は、入力 I / F 5 0 5 を介して各種入力装置（始動口 S W 3 6 d、一般入賞口 S W 4 4 a ~ 4 4 n、ゲート S W 3 4 a、カウント S W 4 2 d、ガラス枠開放 S W 1 8 a、前面枠開放 S W 3 a、球切れ S W 5 4、振動センサ 5 5、及び磁気センサ 5 6）からの検出信号を受けて、大当たり抽選等、種々の処理を行う。

【 0 1 3 1 】

始動口 S W 3 6 d は、始動口 3 6 に遊技球が入賞したことを検出するスイッチである。一般入賞口 S W 4 4 a ~ 4 4 n は、一般入賞口 4 4 に遊技球が入賞したことを検出するスイッチである。

【 0 1 3 2 】

ゲート S W 3 4 a は、普図始動ゲート 3 4 を遊技球が通過したことを検出するスイッチである。カウント S W 4 2 d は、大入賞口 4 2 に遊技球が入賞したことを検出するスイッチである。

【 0 1 3 3 】

ガラス枠開放 S W 1 8 a は、ガラス枠 1 8 が開放されたことを検出するスイッチである。前面枠開放 S W 3 a は、前面枠 3 が開放されたことを検出するスイッチである。

【 0 1 3 4 】

球切れ S W 5 4 は、遊技機 1 の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

【 0 1 3 5 】

振動センサ 5 5 は、遊技機 1 に与えられた振動を検出するセンサであり、遊技機 1 を振動させるなどの不正行為を検出する。磁気センサ 5 6 は、始動口 3 6、一般入賞口 4 4、大入賞口 4 2、及び普図始動ゲート 3 4 付近に設けられ、磁力を検出するセンサである。磁気センサ 5 6 は、各入賞口付近に磁石を近づけて、遊技領域 1 0 a に発射された遊技球を各入賞口に導く不正を検出する。

【 0 1 3 6 】

また、C P U 5 0 2 は、出力 I / F 5 0 6 を介して、普図・特図表示器 3 5、普電 S O L 3 6 b、大入賞口 S O L 4 2 b、払出制御装置 5 8 0、及び演出制御装置 5 5 0 に指令信号を送信して、遊技を統括的に制御する。

【 0 1 3 7 】

普図・特図表示器 3 5 には、前述のように、特図変動表示ゲーム及び普図変動表示ゲームが実行される。さらに、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図変動表示ゲームが当たりとなるか否かを示す乱数を含む普図始動記憶、及び特図変動表示ゲームが当たりとなるか否かを示す乱数を含む特図始動記憶が記憶されている。

【 0 1 3 8 】

普電 S O L 3 6 b は、普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材 3 6 a を開放することによって、始動口 3 6 に遊技球が入賞しやすい状態にする。

【 0 1 3 9 】

大入賞口 S O L 4 2 b は、特図変動表示ゲームの結果が特別の結果態様となって、特別遊技状態（大当たり状態）となった場合に、大入賞口 4 2 の開閉扉 4 2 a を開放して、遊技球が入賞しやすい状態に変換する。

【 0 1 4 0 】

遊技制御装置 5 0 0 は、図示しない外部情報端子から図示しない情報収集端末装置を介して、遊技機データを図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場

10

20

30

40

50

に設置された遊技機 1 の遊技データを収集管理する計算機である。

【 0 1 4 1 】

払出制御装置 5 8 0 は、遊技球が一般入賞口 4 4 又は大入賞口 4 2 に入賞した場合に、入賞した入賞口に対応する数の遊技球の払出指令を遊技制御装置 5 0 0 から受信する。また、球貸ボタン 2 6 が操作された場合にも所定数の遊技球の払い出しを行う払出指令を遊技制御装置 5 0 0 から受信する。払出制御装置 5 8 0 は、受信した払出指令に基づいて、図示しない払出モータを制御し、払出指令に指定された数の遊技球を払い出す。

【 0 1 4 2 】

遊技制御装置 5 0 0 は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力 I / F 5 0 6 を介して、演出制御装置 5 5 0 へ送信する。

10

【 0 1 4 3 】

図 1 0 は、本発明の実施の形態の演出制御装置 5 5 0 の構成を示すブロック図である。

【 0 1 4 4 】

演出制御装置 5 5 0 は、遊技制御装置 5 0 0 から入力される遊技データに基づいて、演出内容を決定し、表示装置 5 3 を制御するとともに、遊技盤 1 0 及び前面枠 3 に備えられた各種演出装置を制御する。演出装置には、LED などの発光装置やモータ又はソレノイドなどの可動物が含まれる。

【 0 1 4 5 】

演出制御装置 5 5 0 は、CPU 5 5 1、制御 ROM 5 5 2、RAM 5 5 3、画像 ROM 5 5 4、音 ROM 5 5 5、VDP 5 5 6、音 LSI 5 5 7、入力 I / F 5 5 8 b、出力 I / F 5 5 8 a、電源投入検出回路 5 5 9、第 1 マスタ IC 5 7 0 a、第 2 マスタ IC 5 7 0 b、NOR ゲート回路 5 6 1 及び監視タイマ回路 5 6 2 を備える。さらに、演出制御装置 5 5 0 は、中継基板 6 0 0 に接続される第 1 接続端子 9 0 と簡易中継基板 1 6 0 0 に接続される第 2 接続端子 9 2 を備える。

20

【 0 1 4 6 】

中継基板 6 0 0 は、発光装置を制御する装飾制御装置 6 1 0 に接続されるものであり、簡易中継基板 1 6 0 0 は、可動物を制御する装飾制御装置 6 1 0 に接続されるものである。

【 0 1 4 7 】

なお、第 1 マスタ IC 5 7 0 a 及び第 2 マスタ IC 5 7 0 b に共通の機能については、単に「マスタ IC」として説明する。

30

【 0 1 4 8 】

CPU 5 5 1 は、遊技制御装置 5 0 0 から送信された指令信号が通信割込としての割込信号 (INT) として入力され、入力された指令信号に基づいて、各種演出を制御する。また、CPU 5 5 1 には、第 1 マスタ IC 5 7 0 a 及び第 2 マスタ IC 5 7 0 b からマスタ割込としての割込信号 (INT) が入力されるとともに、VDP 5 5 6 から画像更新割込としての割込信号 (INT) が入力される。

【 0 1 4 9 】

さらに、CPU 5 5 1 は、監視タイマ回路 5 6 2 からタイムアウト割込としての割込信号 (INT) が入力される。監視タイマ回路 5 6 2 は、複数種類の監視タイマが内蔵されており、CPU 5 5 1 によって設定された監視タイマ値がタイムアップすると、CPU 5 5 1 に割込信号を出力する。CPU 5 5 1 は、割込信号の入力を受け付けると、実行中の処理を中断し、入力された割込信号に対応する処理を実行する。

40

【 0 1 5 0 】

制御 ROM 5 5 2 には、演出制御のための不変の情報 (プログラム、データ等) が格納されている。RAM 5 5 3 は、演出制御時にワークエリアとして利用される。

【 0 1 5 1 】

画像 ROM 5 5 4 は、VDP 5 5 6 に接続され、表示装置 5 3 に表示される画像データを格納する。VDP 5 5 6 は、表示装置 5 3 への画像出力を制御するプロセッサである。

50

【0152】

また、VDP556は、表示装置53に表示される画像を更新する周期(33ms周期)と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号をCPU551に割込信号として入力する。

【0153】

音ROM555は、音LSI557に接続され、前面枠3に備えられたスピーカ30から出力される音データを格納する。音LSI557は、スピーカ30からの音声出力を制御する回路である。

【0154】

入力I/F558bは、フィルタ565a及び565bを介して外部から入力された情報を受け付けるインタフェースである。具体的には、前面枠3に備えられた演出ボタン17が操作されたことを示す信号の入力を受け付けたり、遊技盤10に備えられた役物駆動モータ位置検出センサ560a(図11参照)によって検出された各モータの位置情報などの入力を受け付けたりする。

【0155】

電源投入検出回路559は、演出制御装置550に電源が投入された場合に、第1マスタIC570a及び第2マスタIC570bのレジスタをデフォルト状態(すべて0)に初期化するリセット信号(初期化信号)を発生させ、NORゲート回路561に出力する。

【0156】

また、CPU551は、所定の条件が成立した場合に、バス563を介してリセット信号を出力I/F558aに出力する。そして、出力I/F558aは、入力されたリセット信号をNORゲート回路561に出力し、さらに、NORゲート回路561から、第1マスタIC570a及び第2マスタIC570bに当該リセット信号を出力する。所定の条件とは、例えば、すべての装飾制御装置610において、エラーフラグが「ON」になった場合などである(図32及び図33参照)。

【0157】

なお、電源投入検出回路559からNORゲート回路561に入力されるリセット信号と、CPU551から出力I/F558aを介してNORゲート回路561に入力されるリセット信号は、いずれの場合にもLOWレベルの状態のときにリセットを指令する信号として機能する。そのため、電源投入検出回路559及びCPU551の少なくとも一方からNORゲート回路561にリセット信号が出力されていれば、NORゲート回路561を介してリセット信号が第1マスタIC570a及び第2マスタIC570bに入力される。

【0158】

監視タイマ回路562は、演出制御装置550にて時間を計測するための回路であり、設定された時間が経過するとCPU551に割込信号を入力する。

【0159】

図11は、本発明の実施の形態の演出制御装置550に備えられた第1マスタIC570aと演出装置の構成を示すブロック図である。

【0160】

遊技盤10は、第1マスタIC570aに接続される中継基板600、当該中継基板600に接続される補助遊技装置ユニット12を備える。

【0161】

中継基板600は、装飾制御装置610が遊技盤10及び前面枠3に設けられているかに拘らず、発光装置を制御する装飾制御装置610に接続される。

【0162】

中継基板600は、第1マスタIC570aから送信された電気信号を、遊技盤10及び前面枠3に備えられた発光装置を制御する装飾制御装置610に送信(中継)する。ま

10

20

30

40

50

た、中継基板 600 には、装飾制御装置 610 と同様に、演出装置を制御する機能を有し、当該中継基板 600 に直接接続された装飾装置基板 625 を制御する。

【0163】

ここで、発光装置となる装飾装置 620 は、装飾制御装置 610 に備えられる I²C I/O エクスパンダ 615 (図 17 参照) によって制御され、電流を流すことによって光が点滅して演出を行うものであり、例えば LED などである。装飾装置基板 625 は、サイドランプ 45 (図 8 参照) に設けられる基板であり、サイドランプ 45 の発光装置 (LED) が搭載されている。このサイドランプ 45 の発光装置は、中継基板 600 に備えられる I²C I/O エクスパンダ 615 によって、直接制御される。

【0164】

補助遊技装置ユニット 12 には、LED などの発光装置である装飾装置 620、可動物である役物駆動第 1 モータ (MOT) 71、役物駆動第 2 MOT 81、及び役物駆動ソレノイド 82 が含まれるが、第 1 マスタ IC 560 は、発光装置である装飾装置 620 を制御する装飾制御装置 610 に接続される。

【0165】

なお、補助遊技装置ユニット 12 に含まれる役物駆動第 1 MOT 71、及び役物駆動第 2 MOT 81 を制御する装飾制御装置 610 は、簡易中継基板 1600 を介して、第 2 マスタ IC 570b に接続される (図 12 参照)。

【0166】

役物駆動第 1 MOT 71 及び役物駆動第 2 MOT 81 は、電流が流れると回転動作することによって演出動作を行う駆動装置である。

【0167】

本発明の実施の形態では、役物駆動第 1 MOT 71 及び役物駆動第 2 MOT 81 は、可動演出装置 58 に含まれ、具体的には、役物駆動第 1 MOT 71 は第 1 演出ユニット 63、役物駆動第 2 MOT 81 は第 2 演出ユニット 64 に含まれている。

【0168】

演出制御装置 550 は、役物駆動第 1 MOT 71 及び役物駆動第 2 MOT 81 を制御することによって、第 1 演出ユニット 63 及び第 2 演出ユニット 64 が連動した演出動作を実行させる。

【0169】

第 1 マスタ IC 570a は、制御対象となる装飾装置 620 を制御する装飾制御装置 610 に個別に割り当てられたアドレスを指定して、指定した個別アドレスの装飾制御装置 610 に装飾装置 620 の制御内容を出力する。なお、装飾制御装置 610 の個別アドレスは、正確には、装飾制御装置 610 に含まれる I²C I/O エクスパンダ 615 (図 17 参照) の個別アドレスである。

【0170】

第 1 マスタ IC 570a は、接続線 SDA、接続線 SCL、接続線 GND、接続線 Vcc、接続線 Vled、及び接続線 Vse の 6 種類の接続線を介して、中継基板 (装飾制御装置) 600 に接続される。これらの接続線は、第 1 マスタ IC 570a と中継基板 600 とを接続するケーブル 91 (図 8 参照) により構成される。

【0171】

接続線 SDA は、演出制御装置 550 と装飾制御装置 610 との間でデータ信号を授受するための接続線であり、本発明の実施の形態におけるデータ線 (データ信号線) として機能する。接続線 SCL は、接続線 SDA でのデータ通信に用いられるクロック信号を入力するための接続線であり、本発明の実施の形態におけるタイミング信号線として機能する。接続線 GND は、接続線 Vcc、接続線 Vled、及び接続線 Vse で供給される電源のグランドである。

【0172】

接続線 Vcc は、中継基板 600 及び装飾制御装置 610 にロジック用の電源を供給するための接続線である。接続線 Vled は、LED (装飾装置 620) を発光させるため

10

20

30

40

50

の電源を供給するための接続線である。接続線 V s e は、各種センサ（演出装置に含まれるモータの状態を検出する状態検出センサであって、具体的には、役物駆動モータ位置検出センサ 5 6 0 a が相当する）に電源を供給するための接続線である。

【 0 1 7 3 】

中継基板 6 0 0 と補助遊技装置ユニット 1 2 との間は、演出制御装置 5 5 0 と中継基板 6 0 0 との間を接続する 7 種類の接続線が接続される。本発明の実施の形態では、役物駆動モータ位置検出センサ 5 6 0 a は、中継基板 6 0 0 によって直接制御されるため、前述した 6 種類の接続線のうち、接続線 V s e 以外の 5 種類の接続線が、補助遊技装置ユニット 1 2 の最上流に配置された装飾制御装置 6 1 0 に接続される。具体的には、中継基板 6 0 0 と装飾制御装置 6 1 0 との間は、接続線 V c c、接続線 V l e d、接続線 S D A、接続線 S C L 及び接続線 G N D が接続される。

10

【 0 1 7 4 】

なお、図 8 に示した配線（ケーブル）と各接続線を対応させると、演出制御装置 5 5 0 から中継基板 6 0 0 に引き渡される各種接続線（接続線 V c c、接続線 V l e d、接続線 S D A、接続線 S C L、接続線 V s e、及び接続線 G N D）（図 1 1 参照）は、ケーブル 9 1 に含まれている。

【 0 1 7 5 】

また、演出制御装置 5 5 0 から中継基板 6 0 0 に引き渡される各種接続線は、中継基板 6 0 0 からさらに分岐して別の基板に引き渡され、中継基板 6 0 0 から分岐する接続線 V c c、接続線 V l e d、接続線 S D A、及び接続線 S C L はケーブル 6 5 3 に、接続線 V s e はケーブル 6 5 1 に含まれている。また、中継基板 6 0 0 から分岐する接続線 G N D が、ケーブル 6 5 1、6 5 3 の全てに含まれている。

20

【 0 1 7 6 】

演出制御装置 5 5 0 から簡易中継基板 1 6 0 0 に引き渡される各種接続線（接続線 V c c、接続線 V m s、接続線 S D A、接続線 S C L、接続線 V s e、及び接続線 G N D）は、ケーブル 3 b に含まれている。

【 0 1 7 7 】

また、演出制御装置 5 5 0 から簡易中継基板 1 6 0 0 に引き渡される各種接続線は、簡易中継基板 1 6 0 0 からさらに分岐して別の基板に引き渡され、簡易中継基板 1 6 0 0 から分岐する接続線 V c c、接続線 V m s、接続線 S D A、接続線 V s e、接続線 G N D、及び接続線 S C L はケーブル 6 5 2 に含まれている。

30

【 0 1 7 8 】

第 1 マスタ I C 5 7 0 a と装飾制御装置 6 1 0 とは、接続線 S D A 及び接続線 S C L によって 2 ライン双方向通信を行う。第 1 マスタ I C 5 7 0 a は、CPU 5 5 1 からの指令に基づいて、装飾制御装置 6 1 0 との間に接続された接続線 S D A 及び接続線 S C L の各信号レベルを制御する（第 1 の）信号レベル制御手段として機能する。

【 0 1 7 9 】

第 1 マスタ I C 5 7 0 a は、中継基板 6 0 0 及び装飾制御装置 6 1 0 にデータを送信する場合には、まず、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることにより、装飾制御装置 6 1 0 へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置 6 1 0 に対してスタートコンディションを発行（出力）する）。

40

【 0 1 8 0 】

この後、第 1 マスタ I C 5 7 0 a は、接続線 S C L の信号レベルを L O W に変更し、接続線 S C L の信号レベルが L O W である間に接続線 S D A の信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線 S C L の信号レベルを L O W から H I G H に変化させる。接続線 S C L の信号レベルが H I G H に変化すると、装飾制御装置 6 1 0 は接続線 S D A の信号レベルを取得し、送信データの最初のビットとして認識する。次いで、第 1 マスタ I C 5 7 0 a は、接続線 S C L の信号レベルを H I G H から L O W に戻す。

50

【0181】

この手順を1回実行すると、第1マスタIC570aから装飾制御装置610へ1ビットのデータが送信され、最終的にはこの手順が8回繰り返されることで、送信データの8ビットすべてが第1マスタIC570aから装飾制御装置610へ送信される(1バイト分のデータが送信される)。

【0182】

そして、第1マスタIC570aは、最後の8ビット目のデータ送信が終了すると、接続線SCLの信号レベルをHIGHからLOWに戻した際に、接続線SDAを解放して装飾制御装置610からの返答信号を受信することを待機する受信待機状態にする。

【0183】

受信待機状態になると、装飾制御装置610は、接続線SDAを介して1ビットの返答信号(後述するACK又はNACK)を第1マスタIC570aに返す。次いで、第1マスタIC570aは、接続線SCLの信号レベルをLOWからHIGHに変化させて返答信号のレベルを取り込み、所定時間後に接続線SCLの信号レベルをHIGHからLOWに変化させると、装飾制御装置610は接続線SDAを解放する。

【0184】

第1マスタIC570aは、このような1バイト分のデータ送信と1ビット分の返答信号の受信とを交互に繰り返し、装飾制御装置610へ出力すべきデータがすべて出力されるまで継続する。第1マスタIC570aは、出力すべきデータの出力が終了した場合には、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変更させることにより、装飾制御装置610へのデータ出力を終了するためのストップ条件を成立させる(装飾制御装置610に対してストップコンディションを発行する)。

【0185】

入力用バッファ571は、装飾制御装置610から接続線SDAを介して入力されたデータが一時的に記憶される記憶装置である。

【0186】

具体的には、第1マスタIC570aが入力モードに設定された場合において、装飾制御装置610から第1マスタIC570aに送信されたデータが、フィルタ575aによりノイズが除去されて入力用バッファ571に一時的に記憶される。

【0187】

出力用バッファ572は、装飾制御装置610に接続線SDAを介して出力するデータが一時的に記憶される。

【0188】

リセットレジスタ(REG)573は、バス563に接続され、演出制御装置550のCPU551からの指令を受け付けてリセット信号をコントローラ574に出力する。コントローラ574は、第1マスタIC570aを統括的に制御し、各種処理を実行する。

【0189】

フィルタ575aは、接続線SDAから入力されたデータのノイズを除去する。ドライバ576aは、接続線SDAからデータを出力する場合に、トランジスタ578aが動作可能な電圧をトランジスタ578aに印加する。

【0190】

接続線SDAは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フィルタ575a及びトランジスタ578aに接続されている。

【0191】

トランジスタ578aは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられている。トランジスタ578aのゲートはドライバ576aに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SDAに接続され、ソースは接地されている。

【0192】

10

20

30

40

50

トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SDAに印加された電圧は降下せず、その結果、接続線SDAはHIGHレベルとなる。一方、トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SDAの電圧が低下し、その結果、接続線SDAはLOWレベルとなる。

【0193】

なお、トランジスタ578aは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のものを用いている。このため、接続線SDAには、通常のI²Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

10

【0194】

ドライバ576aは、データを接続線SDAから出力する場合に、トランジスタ578aにドレインとソースとの間に電流を流すためにトランジスタ578aのゲートにトランジスタ578aが動作可能な値の電圧を印加する。そして、ドライバ576aは、接続線SDAの電圧を、HIGHレベル又はLOWレベルに設定することによって、データを接続線SDAから出力する。

【0195】

20

また、フィルタ575bは、接続線SC Lから入力されたデータのノイズを除去する。ドライバ576bは、接続線SC Lからデータを出力する場合に、トランジスタ578bが動作可能な電圧をトランジスタ578bに印加する。

【0196】

接続線SC Lは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フィルタ575b及びトランジスタ578bに接続されている。

【0197】

トランジスタ578bは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられている。トランジスタ578bのゲートはドライバ576bに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SC Lに接続され、ソースは接地されている。

30

【0198】

トランジスタ578bのゲートに印加される電圧がトランジスタ578bを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SC Lに印加された電圧は降下せず、その結果、接続線SC LはHIGHレベルとなる。一方、トランジスタ578bのゲートに印加される電圧がトランジスタ578bを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SC Lの電圧が低下し、その結果、接続線SC LはLOWレベルとなる。

【0199】

40

なお、トランジスタ578bは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のものを用いている。そのため、接続線SC Lには、通常のI²Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0200】

ドライバ576bは、クロック信号を接続線SC Lから出力する場合に、トランジスタ578bにドレインとソースとの間に電流を流すためにトランジスタ578bのゲートにトランジスタ578bが動作可能な値の電圧を印加する。そして、ドライバ576bは、接続線SC Lの電圧を、HIGHレベルとLOWレベルとに繰り返し変化させることによ

50

って、クロック信号を接続線 S C L から出力する。

【 0 2 0 1 】

電源投入リセット回路 5 7 7 は、第 1 マスタ I C 5 7 0 a に電源が投入されて、電源投入リセット回路 5 7 7 内の電圧が所定値に達した場合に、入力用バッファ 5 7 1 及び出力用バッファ 5 7 2 などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ 5 7 4 に出力する。なお、電源投入リセット回路 5 7 7 については、第 1 マスタ I C 5 7 0 a の外部に設け、後述する第 2 マスタ I C 5 7 0 b の共通としてもよい。

【 0 2 0 2 】

コマンドレジスタ (R E G) 5 8 1 は、演出制御装置 5 5 0 の C P U 5 5 1 からコマンドを受け付けるためのレジスタである。本発明の実施の形態では、コマンドレジスタ 5 8 1 には、 S T A 、 S T O 、 S I 、 及び M O D E の各ビットが予め割り当てられており、 C P U 5 5 1 によって、各ビット毎個別に “ 0 ” 又は “ 1 ” が設定可能となっている。

10

【 0 2 0 3 】

S T A は、第 1 マスタ I C 5 7 0 a が制御対象の装飾制御装置 6 1 0 に対し、スタート条件 (スタートコンディション) の出力を指示するためのビットである。 S T A に “ 1 ” が設定されると、第 1 マスタ I C 5 7 0 a は、制御対象の装飾制御装置 6 1 0 に対し、スタートコンディションを発行 (出力) し、スタート条件を成立させる。

【 0 2 0 4 】

S T O は、第 1 マスタ I C 5 7 0 a が制御対象の装飾制御装置 6 1 0 に対し、ストップ条件 (ストップコンディション) の出力を指示するためのビットである。 S T O に “ 1 ” が設定されると、第 1 マスタ I C 5 7 0 a は、制御対象の装飾制御装置 6 1 0 に対し、ストップコンディションを発行 (出力) し、ストップ条件を成立させる。

20

【 0 2 0 5 】

S I は、第 1 マスタ I C 5 7 0 a から、演出制御装置 5 5 0 において割込みを発生させるときに設定されるビットである。第 1 マスタ I C 5 7 0 a から C P U 5 5 1 に割込みを発生させるときには、コントローラ 5 7 4 によって S I に “ 1 ” が設定され、割込信号 (I N T) が C P U 5 5 1 に入力される。その後、 S I に “ 1 ” が設定されている間は、第 1 マスタ I C 5 7 0 a は処理を中断しているが、 C P U 5 5 1 によって S I に “ 0 ” が設定されると、第 1 マスタ I C 5 7 0 a は、割込を中断して処理を再開する。

【 0 2 0 6 】

M O D E は、データを送信するモードを指定するビットであり、“ 1 ” が設定されている場合には「バッファモード」、 “ 0 ” が設定されている場合には「バイトモード」が指定される。バッファモードは、最大 6 8 バイトのデータの送信が可能である。また、バイトモードは、1 バイトのデータの送信が可能であり、スタートコンディション又はストップコンディションの送信、バイト単位でのデータの送受信に利用される。

30

【 0 2 0 7 】

ステータスレジスタ (R E G) 5 8 2 は、第 1 マスタ I C 5 7 0 a のステータスを示す情報が格納される。下位 2 ビットには常に “ 0 ” が設定され、上位 5 ビットにステータスコードが設定される。

【 0 2 0 8 】

自身アドレス設定レジスタ (R E G) 5 8 3 は、第 1 マスタ I C 5 7 0 a がスレーブ (装飾制御装置) として機能する場合に設定されるレジスタである。市販されているマスタ I C は、通常、マスタとしての機能とスレーブとしての機能を備えており、用途に応じて使用される。自身アドレス設定 R E G 5 8 3 には、第 1 マスタ I C 5 7 0 a がスレーブとして機能する場合に、自身を特定するためのアドレスが設定される。

40

【 0 2 0 9 】

図 1 2 は、本発明の実施の形態の演出制御装置 5 5 0 に備えられた第 2 マスタ I C 5 7 0 b と演出装置の構成を示すブロック図である。

【 0 2 1 0 】

前面枠 3 は、第 2 マスタ I C 5 7 0 b に接続される簡易中継基板 1 6 0 0 を備える。

50

【0211】

簡易中継基板1600は、前面枠3及び遊技盤10に設けられた各種装置に接続される。

【0212】

前面枠3に設けられた装置のうち簡易中継基板1600に接続される装置には、スピーカ30、照明駆動モータ位置検出センサ560b、照明駆動第1MOT13a及び照明駆動第2MOT14a(以下、照明駆動MOT13a、14a)を制御する装飾制御装置610、並びに演出ボタン17などが含まれる。

【0213】

補助遊技装置ユニット12に設けられた装置のうち簡易中継基板1600に接続される役物駆動第1MOT71、役物駆動第2MOT81、及び役物駆動ソレノイド82を制御する装飾制御装置610が含まれる。

10

【0214】

簡易中継基板1600は、第2マスタIC570bから送信された電気信号を、前面枠3及び補助遊技装置ユニット12に備えられた可動物を制御する装飾制御装置610に送信(中継)する。なお、簡易中継基板1600は、中継基板600とは異なり、I²C I/Oエクスパンダ615を備えていないので、簡易中継基板1600に備えた電子部品には、演出装置を制御するための演算処理を実行する機能を有していない。

【0215】

照明駆動第1MOT13a及び照明駆動第2MOT14aは、演出制御装置550から送信された信号に基づいて内部に備えられた発光部材を駆動させ、各種演出を実行する。

20

【0216】

また、演出制御装置550は、演出ボタン17から当該演出ボタン17が操作されたことを示す信号が簡易中継基板1600を介して入力される。さらに、照明駆動モータ位置検出センサ560bによって検出された照明駆動MOT13a、14aの位置情報が、簡易中継基板1600を介して入力される。

【0217】

さらに、簡易中継基板1600は、演出制御装置550の音LSI557からの信号を受信し、スピーカ30から出力する。

【0218】

なお、第2マスタIC570bの構成は、第1マスタIC570aと同じ構成であるため、第2マスタIC570bの各構成には同じ符号を割り当てて説明を省略する。また、第2マスタIC570bは、第1マスタIC570aと同様に、CPU551からの指令に基づいて、装飾制御装置610との間に接続された接続線SDA及び接続線SCLの各信号レベルを制御する(第2の)信号レベル制御手段として機能する。

30

【0219】

なお、演出制御装置550と中継基板600及び簡易中継基板1600との接続方法、並びに、中継基板600及び簡易中継基板1600と装飾制御装置610との接続方法については、図13~図15にて詳細を後述する。また、中継基板600及び装飾制御装置610の構成などについては、図16~図20にて詳細を後述する。

40

【0220】

前述したように、第2マスタIC570bが制御する装飾制御装置610は、可動物を可動させる可動制御装置として機能する装飾制御装置610である。可動制御装置として機能する装飾制御装置610は、センターケース51、表示装置53、及び演出制御装置550を一体化して構成される補助遊技装置ユニット12及び前面枠3に取り付けられている。前面枠3に取り付けられた装飾制御装置610は、照明駆動MOT13a、14aを制御するものである。また、補助遊技装置ユニット12に取り付けられた装飾制御装置610は、役物駆動モータ(役物駆動第1MOT71、役物駆動第2MOT81)及び役物駆動ソレノイド82を制御するものである。
に含まれている。

50

【0221】

図13は、本発明の実施の形態の遊技盤10及び通常版の前面枠3に取り付けられる装飾制御装置610の接続形態の説明図である。

【0222】

補助遊技装置ユニット12を構成するセンターケース51は、前述したように、枠装飾部65と枠体基部60とを組み合わせて構成される。

【0223】

枠装飾部65には、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610などが複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠装飾部65が一体構成される。

10

【0224】

また、枠体基部60にも、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610が複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠体基部60が一体構成される。

【0225】

ゆえに、枠装飾部65や枠体基部60は、本実施形態における一体型演出ユニットを構成している。これに対し、サイドランプ45などは、一体型演出ユニットに含まれない単体の演出装置であるので、分離型演出装置を構成することになる。

20

【0226】

装飾制御装置610には、前述のように、装飾装置620を制御するためのI²C I/Oエキスパンダ615が搭載され、I²C I/Oエキスパンダ615には、個々のI²C I/Oエキスパンダ615を識別するための個別アドレスが割り当てられている。本発明の実施の形態では、前述のように、I²C I/Oエキスパンダ615の個別アドレスが、装飾制御装置610の個別アドレスとして利用される。

【0227】

演出制御装置550は、I²C I/Oエキスパンダ615の個別アドレスを指定して制御信号を送信することによって、装飾装置620を個別に制御して演出動作を実行することが可能となる。各装飾制御装置610には、原則的に、それぞれ異なる個別アドレス(図中に「ad=」で示す)が割り当てられる。

30

【0228】

また、装飾制御装置610は、接続形態によって、分岐型(分岐基板)、連結型(連結基板)及び終端型(終端基板)の三種類に分類される。分岐型、連結型及び終端型いずれの装飾制御装置610にも装飾装置620を接続可能であり、接続された装飾装置620を制御することが可能である。

【0229】

分岐型の装飾制御装置610は、下流側に複数の装飾制御装置610が直接接続され、これらの複数の装飾制御装置610に受信した制御信号を送信する。連結型の装飾制御装置610は、下流側に一つの装飾制御装置610が接続され、接続された装飾制御装置610に受信した制御信号を送信する。終端型の装飾制御装置610は、下流側に装飾制御装置610が接続されず、装飾装置620の制御のみを行う。分岐型、連結型、終端型の装飾制御装置610の詳細に関しては、図16を用いて後述する。

40

【0230】

なお、上流側とは、演出制御装置550から送信された電気信号を送信する側であり、反対に、下流側とは、演出制御装置550から送信された電気信号を受信する側である。

【0231】

要するに、演出制御装置550から末端の装飾制御装置610への信号ケーブルを順に

50

辿っていったときに、より演出制御装置 550 に近い側へ接続されている装飾制御装置 610 が上流側となり、より末端の装飾制御装置 610 に近い側へ接続されている装飾制御装置 610 が下流側となる。例えば、装飾制御装置 610 A は、装飾制御装置 610 B、610 C、610 D の上流側に配置されており、装飾制御装置 610 B、610 C、610 D は、装飾制御装置 610 A の下流側に配置されていることになる。

【0232】

ここで、本発明の実施の形態では、前述のように、可動演出装置 58 を構成する第 1 演出部材 70 及び第 2 演出部材 80 の可動部分に装飾制御装置 610 が配置されている。言い換えれば、図 6 において、第 1 演出部材 70 の可動部（第 1 演出ベース 100）に装飾制御装置 610（第 1 発光基板 106）が配置され、図 7 において、第 2 演出部材 80 の可動部（第 2 演出ベース 110）に装飾制御装置 610（第 2 発光基板 116）が配置されている。

10

【0233】

このとき、従来のシフトレジスタのように、各装飾制御装置 610 をデジチェーンで配線すると、デジチェーンの末端となる何れか一方の装飾制御装置 610 だけは、入力用のケーブルのみを接続するだけで済む。しかし、デジチェーンの途中で接続される構成となる他方の装飾制御装置 610 には、入力用のケーブルと出力用のケーブルを接続する必要がある。可動部に複数のケーブルが接続されると、可動部とともに装飾制御装置 610（第 1 発光基板 106、第 2 発光基板 116）自体が可動する構造となってケーブルも移動するため、配線の引き回しが困難になってしまうおそれがある。さらに、ケーブルの移動により、ケーブルを構成する接続線が断線する可能性が生じ、演出に影響を与えるおそれがある。

20

【0234】

本発明の実施の形態では、第 1 演出部材 70 及び第 2 演出部材 80 に配置された装飾制御装置 610 を終端型とし、これらの装飾制御装置 610 の上流に分岐型の装飾制御装置 610 を配置している。そのため、終端型の装飾制御装置 610（第 1 発光基板 106、第 2 発光基板 116）には、第 1 演出部材 70 及び第 2 演出部材 80 の外部に備えた他の装飾制御装置 610 へ信号を伝達するケーブルが、接続されない構造となる。このように装飾制御装置 610 を配置すれば、可動部に配置された装飾制御装置 610 には入力ケーブルのみを接続すればよいことになる。したがって、デジチェーンで配線する場合と比較して、配線の引き回しが容易になり、断線する可能性を少なくすることができる。

30

【0235】

装飾制御装置 610 は、受信した制御信号の宛先アドレスが自宛でない場合、下流側にさらに装飾制御装置 610 が接続されていれば受信した制御信号を送信する。また、送信先がなければ受信した制御信号を破棄する。

【0236】

装飾制御装置 610 は、16 個のポートに対応する LED を制御することが可能であり、装飾制御装置 610 に搭載された LED と、当該装飾制御装置 610 に接続された外部の装飾装置基板 625 に搭載された LED との合計数が 16 以下であれば、両方の LED を制御することが可能である。すなわち、一体型の装飾制御装置 610（I²C I/O エクスパンダ 615 と装飾装置 620 がともに配置される主動型基板に相当）では、装飾装置基板 625（I²C I/O エクスパンダ 615 が配置されず、装飾装置 620 が配置される従動型基板に相当）をさらに接続することによって、内部に備えられた装飾装置 620 と外部に接続した装飾装置 620 の両方を制御することが可能である。

40

【0237】

こうすることによって、離れて配置された装飾装置 620 を 1 つの装飾制御装置 610 で制御することが可能となり、装飾制御装置 610 の数を最小限にすることができる。

【0238】

第 1 マスタ IC 570 a は、LED によって構成される発光型装飾装置 620 に接続される発光型装飾制御装置 610 を制御し、第 2 マスタ IC 570 b は、モータやソレノイ

50

ドによって構成される可動型装飾装置 6 2 0 に接続される可動型装飾制御装置 6 1 0 を制御する。

【 0 2 3 9 】

第 1 マスタ I C 5 7 0 a は、遊技盤 1 0 に取り付けられる中継基板 6 0 0 に接続され、第 2 マスタ I C 5 7 0 b は、前面枠 3 に取り付けられる簡易中継基板 1 6 0 0 に接続される。

【 0 2 4 0 】

まず、第 1 マスタ I C 5 7 0 a が制御する発光型装飾制御装置 6 1 0 の接続形態について説明する。

【 0 2 4 1 】

中継基板 6 0 0 は、上流側では演出制御装置 5 5 0 に搭載された第 1 マスタ I C 5 7 0 a に接続し、第 1 マスタ I C 5 7 0 a から送信された制御信号を受信する。また、下流側では補助遊技装置ユニット 1 2 に含まれる装飾制御装置 6 1 0 A (正確には一体型演出ユニットである枠体基部 6 0 に含まれる装飾制御装置 6 1 0 A)、及び、前面枠 3 に含まれる装飾制御装置 6 1 0 H に接続する。さらに、中継基板 6 0 0 は、遊技盤 1 0 に備えられた分離型演出装置である装飾装置基板 6 2 5 (サイドランプ 4 5 (図 8 参照) に設けられた基板) に接続し、当該中継基板 6 0 0 に備えられた I²C I / O エクスパンダ 6 1 5 によって、当該装飾装置基板 6 2 5 に搭載された装飾装置 6 2 0 を制御する。

【 0 2 4 2 】

補助遊技装置ユニット 1 2 には、装飾制御装置 6 1 0 A ~ 6 1 0 G、及び装飾制御装置 6 1 0 M ~ 6 1 0 O が含まれる。装飾制御装置 6 1 0 A ~ 6 1 0 G は発光型装飾制御装置 6 1 0 であるので、第 1 マスタ I C 5 7 0 a によって制御され、装飾制御装置 6 1 0 M ~ 6 1 0 O は可動型装飾制御装置 6 1 0 であるので、第 2 マスタ I C 5 7 0 b によって制御される。

【 0 2 4 3 】

装飾制御装置 6 1 0 A は、分岐型の装飾制御装置であり、装飾制御装置 6 1 0 B 及び装飾制御装置 6 1 0 C に第 1 マスタ I C 5 7 0 a から受信した制御信号を送信する。また、装飾制御装置 6 1 0 B には、装飾装置基板 6 2 5 B が接続されており、装飾装置基板 6 2 5 B に配置された L E D などの演出装置 (装飾装置 6 2 0) が装飾制御装置 6 1 0 B によって制御される。

【 0 2 4 4 】

装飾制御装置 6 1 0 C は、連結型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置 6 1 0 D に受信した制御信号を送信する。装飾制御装置 6 1 0 D には、分岐型の装飾制御装置 6 1 0 E が接続され、さらに、装飾制御装置 6 1 0 D は装飾装置基板 6 2 5 D に含まれる装飾装置 6 2 0 D を制御する。

【 0 2 4 5 】

装飾制御装置 6 1 0 E には、第 1 演出部材 7 0 の発光態様を制御する装飾制御装置 6 1 0 F と、第 2 演出部材 8 0 の発光態様を制御する装飾制御装置 6 1 0 G とが接続される。第 1 演出部材 7 0 及び第 2 演出部材 8 0 は、連動して演出動作が実行される。装飾制御装置 6 1 0 F は、第 1 演出部材 7 0 に含まれる第 1 発光基板 1 0 6 に配置され (図 6)、また、装飾制御装置 6 1 0 G は、第 2 演出部材 8 0 に含まれる第 2 発光基板 1 1 6 に配置されている (図 7)。

【 0 2 4 6 】

前面枠 3 には、装飾制御装置 6 1 0 H ~ 6 1 0 L、6 1 0 P、及び 6 1 0 Q が含まれる。装飾制御装置 6 1 0 H ~ 6 1 0 L は発光型装飾制御装置 6 1 0 であるので、第 1 マスタ I C 5 7 0 a によって制御され、装飾制御装置 6 1 0 P、及び 6 1 0 Q は可動型装飾制御装置 6 1 0 であるので、第 2 マスタ I C 5 7 0 b によって制御される。

【 0 2 4 7 】

中継基板 6 0 0 に直接接続される装飾制御装置 6 1 0 H は、分岐型の装飾制御装置 6 1 0 であり、装飾制御装置 6 1 0 I 及び装飾制御装置 6 1 0 K に第 1 マスタ I C 5 7 0 a が

10

20

30

40

50

ら受信した制御信号を送信する。装飾制御装置 6 1 0 H は、照明ユニット 1 1 内に配置され、装飾装置基板 6 2 5 H に備えられた装飾装置 6 2 0 H を制御する。具体的には、照明ユニット 1 1 に含まれる LED や異常報知 LED 2 9 などが制御される。

【 0 2 4 8 】

装飾制御装置 6 1 0 I 及び装飾制御装置 6 1 0 I の下流側の装飾制御装置 6 1 0 J は、前面枠 3 の左側部分の装飾部材 9 a を制御する。また、装飾制御装置 6 1 0 K 及び装飾制御装置 6 1 0 L は、前面枠 3 の右側部分の装飾部材 9 b を制御する。

【 0 2 4 9 】

前面枠 3 の左側部分の装飾部材 9 a は、装飾制御装置 6 1 0 I 及び 6 1 0 J を含む。

【 0 2 5 0 】

装飾制御装置 6 1 0 I は、連結型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置 6 1 0 J に受信した制御信号を送信する。装飾制御装置 6 1 0 I は装飾装置基板 6 2 5 I に含まれる装飾装置 6 2 0 I を制御する。

【 0 2 5 1 】

装飾制御装置 6 1 0 J は、終端型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置に接続されない。装飾制御装置 6 1 0 J は装飾装置基板 6 2 5 J に含まれる装飾装置 6 2 0 J を制御する。

【 0 2 5 2 】

前面枠 3 の右側部分の装飾部材 9 b は、装飾制御装置 6 1 0 K 及び 6 1 0 L を含む。

【 0 2 5 3 】

装飾制御装置 6 1 0 K は、連結型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置 6 1 0 L に受信した制御信号を送信する。さらに、装飾制御装置 6 1 0 K は装飾装置基板 6 2 5 K に含まれる装飾装置 6 2 0 K を制御する。

【 0 2 5 4 】

装飾制御装置 6 1 0 L は、終端型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置に接続されない。装飾制御装置 6 1 0 L は装飾装置基板 6 2 5 L に含まれる装飾装置 6 2 0 L を制御する。

【 0 2 5 5 】

第 1 マスタ IC 5 7 0 a に接続される中継基板 6 0 0 及び装飾制御装置 6 1 0 A ~ 6 1 0 L には、それぞれ異なる個別アドレスが割り当てられており、第 1 マスタ IC 5 7 0 a から送信された制御信号に基づいて、それぞれ別々の演出動作を実行させることができる。

【 0 2 5 6 】

まず、中継基板 6 0 0 の個別アドレスには、「 0 0 0 0 」が割り当てられている。補助遊技装置ユニット 1 2 に含まれる装飾制御装置 6 1 0 A、6 1 0 B、6 1 0 C、6 1 0 D、6 1 0 E、6 1 0 F、及び 6 1 0 G の個別アドレスには、「 0 0 0 1 」、「 0 0 1 0 」、「 0 0 1 1 」、「 0 1 0 0 」、「 0 1 0 1 」、「 0 1 1 0 」、及び「 0 1 1 1 」が割り当てられている。

【 0 2 5 7 】

また、照明ユニット 1 1 に含まれる装飾制御装置 6 1 0 H の個別アドレスには、「 1 0 0 1 」が割り当てられている。また、装飾部材 9 a 及び装飾部材 9 b に含まれる装飾制御装置 6 1 0 I、6 1 0 J、6 1 0 K、及び 6 1 0 L の個別アドレスには、「 1 0 1 0 」、「 1 1 0 0 」、「 1 1 0 1 」、及び「 1 1 1 0 」が割り当てられている。

【 0 2 5 8 】

また、第 1 マスタ IC 5 7 0 a は、第 1 演出部材 7 0 に含まれる LED などの発光装置を制御する制御信号を、第 1 演出部材 7 0 を制御する装飾制御装置 6 1 0 F の個別アドレス（「 0 1 1 0 」）を指定して送信する。同様に、第 1 マスタ IC 5 7 0 a は、第 2 演出部材 8 0 に含まれる LED などの発光装置を制御する制御信号を、第 2 演出部材 8 0 を制御する装飾制御装置 6 1 0 G の個別アドレス（「 0 1 1 1 」）を指定して送信する。

【 0 2 5 9 】

10

20

30

40

50

装飾制御装置 610C は、連結型の装飾制御装置 610 であり、さらに、連結型の装飾制御装置 610D が接続される。

【0260】

本発明の実施の形態では、装飾制御装置 610C 及び装飾制御装置 610D は、信頼度報知装置 15 に含まれる演出装置 (LED) を制御する。所定の条件を満たした場合には、演出制御装置 550 の第 1 マスタ IC 570a から所定の態様を示すようにするための制御信号が送信され、指定された態様で演出を行う。

【0261】

なお、第 1 マスタ IC 570a が制御する発光制御装置に関して、第 1 発光基板 106 自体が装飾制御装置 610F として機能し、第 2 発光基板 116 自体が装飾制御装置 610G として機能していてもよい。

【0262】

次に、第 2 マスタ IC 570b が制御する発光型装飾制御装置 610 の接続形態について説明する。

【0263】

簡易中継基板 1600 は、上流側では演出制御装置 550 に搭載された第 2 マスタ IC 570b に接続し、第 2 マスタ IC 570b から送信された制御信号を受信する。また、下流側では補助遊技装置ユニット 12 に含まれる装飾制御装置 610M、及び、前面枠 3 に含まれる装飾制御装置 610P に接続する。

【0264】

なお、簡易中継基板 1600 は、I²C I/O エクスパンダ 615 を備えないので、中継基板 600 のように、直接接続された装飾装置基板 625 に搭載された装飾装置 620 を制御するものではない。

【0265】

装飾制御装置 610M は、連結型の装飾制御装置であり、装飾制御装置 610N に第 1 マスタ IC 570a から受信した制御信号を送信する。また、装飾制御装置 610M には、役物駆動ソレノイド 82 が接続されており、装飾制御装置 610M は、役物駆動ソレノイド 82 へ通電させるか否かを制御することによって装飾ピース 46 (図 2 参照) の上下動を制御する。

【0266】

装飾制御装置 610N は、連結型の装飾制御装置 610 であり、下流側の装飾制御装置 610O に受信した制御信号を送信する。また、装飾制御装置 610N には、役物駆動第 1 MOT 71 が接続され、装飾制御装置 610N は、役物駆動第 1 MOT 71 を制御することによって、第 1 演出部材 70 の可動 (駆動) を制御する。

【0267】

装飾制御装置 610O は、終端型の装飾制御装置 610 であり、下流側には装飾制御装置 610 は接続されない。また、装飾制御装置 610O には、役物駆動第 2 MOT 81 が接続され、装飾制御装置 610O は、役物駆動第 2 MOT 81 を制御することによって、第 2 演出部材 80 の可動 (駆動) を制御する。

【0268】

簡易中継基板 1600 に直接接続され、前面枠 3 に取り付けられる装飾制御装置 610P は、連結型の装飾制御装置 610 であり、装飾制御装置 610Q に第 2 マスタ IC 570b から受信した制御信号を送信する。装飾制御装置 610P は、照明駆動第 1 MOT 13a に接続され、照明駆動第 1 MOT 13a を制御することによって、第 1 可動式照明 13 の可動 (駆動) を制御する。

【0269】

装飾制御装置 610Q は、終端型の装飾制御装置 610 であり、下流側には装飾制御装置 610 は接続されない。装飾制御装置 610Q は、照明駆動第 2 MOT 14a に接続され、照明駆動第 2 MOT 14a を制御することによって、第 2 可動式照明 14 の可動 (駆動) を制御する。

10

20

30

40

50

【 0 2 7 0 】

第2マスタIC570bに接続される装飾制御装置610M～610Qには、それぞれ異なる個別アドレスが割り当てられており、第2マスタIC570bから送信された制御信号に基づいて、それぞれ別々の演出動作を実行させることができる。

【 0 2 7 1 】

補助遊技装置ユニット12に含まれる装飾制御装置610M、610N、及び610Oの個別アドレスには、「0000」、「0001」、及び「0010」が割り当てられている。

【 0 2 7 2 】

また、前面枠3に含まれる装飾制御装置610P、及び610Qの個別アドレスには、「0011」、及び「0100」が割り当てられている。

10

【 0 2 7 3 】

演出制御装置550は、変動表示ゲーム実行時など、所定の条件を満たすと、第1演出ユニット63（第1演出部材70）及び第2演出ユニット64（第2演出部材80）を制御して演出動作を実行する。

【 0 2 7 4 】

例えば、第2マスタIC570bは、第1演出ユニット63に含まれる役物駆動第1MOT71を制御するために、装飾制御装置610Nの個別アドレス（「0001」）を指定して役物駆動第1MOT71を動作させるための制御信号を送信し、役物駆動第1MOT71を制御する。また、第2演出ユニット64に含まれる役物駆動第2MOT81を制御するために、第2マスタIC570bは、装飾制御装置610Oの個別アドレス（「0010」）を指定して役物駆動第2MOT81を動作させるための制御信号を送信し、役物駆動第2MOT81を制御する。

20

【 0 2 7 5 】

図13では、遊技機に通常版前面枠3が取り付けられる場合について説明したが、通常版前面枠3よりも廉価なコストで構成された装飾部材を備えている前面枠（廉価版前面枠）3が取り付けられる場合がある。廉価版前面枠3'が遊技機1に取り付けられる場合については、図21で詳細を説明する。

【 0 2 7 6 】

図14は、本発明の実施の形態の演出制御装置550に搭載される第1マスタIC570aと遊技盤10に含まれる中継基板600及び当該中継基板600に接続される装飾制御装置610の接続状態を説明する図である。

30

【 0 2 7 7 】

図14では、演出制御装置550、中継基板600、装飾制御装置610A、610C、610H、及び610Iの接続について説明する。また、説明の都合上、装飾制御装置610として、装飾制御装置610Cから分岐した装飾制御装置610B、610Cよりも下流に接続されている各装飾制御装置（610D～610G）、装飾制御装置610Hから分岐した装飾制御装置610K、及び装飾制御装置610Kの下流に接続されている装飾制御装置610Lについては記載を省略する。なお、各装飾制御装置610間の接続はそれぞれ同じである。

40

【 0 2 7 8 】

演出制御装置550は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、接続線SE1～3、及び接続線Vseによって中継基板600と接続される。

【 0 2 7 9 】

接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、及び接続線Vseについては、図11にて説明した通りである。

【 0 2 8 0 】

中継基板600には、図11に示すように、役物駆動モータ（役物駆動第1MOT71、役物駆動第2MOT81）の回転位置を検出するための役物駆動モータ位置検出センサ

50

560aが接続される。接続線SE1～3は、役物駆動モータ位置検出センサ560aによる検出結果を受信するための接続線であり、中継基板600は、役物モータ位置検出センサ560aによって検出された役物駆動モータの回転位置を、接続線SE1～3を介して演出制御装置550に送信する。

【0281】

中継基板600を含む装飾制御装置610は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL、及び接続線GND（以下、この5本の接続線を一つのハーネスという）を介して互いに接続される。

【0282】

中継基板600には2本のハーネスが接続されており、一方のハーネスは、中継基板600を遊技盤10の補助遊技装置ユニット12に含まれる最上流の装飾制御装置610Aに接続するためのハーネスであり、他方のハーネスは、中継基板600を前面枠3に含まれる最上流の装飾制御装置610Hに接続するためのハーネスである。

10

【0283】

また、装飾制御装置610Aにはハーネスを介して図示しない装飾制御装置610B及び装飾制御装置610Cが接続され、装飾制御装置610Cにはハーネスを介して図示しない装飾制御装置610Dが接続される。

【0284】

また、装飾制御装置610Hにはハーネスを介して装飾制御装置610I及び図示しない装飾制御装置610Kが接続され、装飾制御装置610Iにはハーネスを介して図示しない装飾制御装置610Jが接続され、装飾制御装置610Kにはハーネスを介して図示しない装飾制御装置610Lが接続される。

20

【0285】

各装飾制御装置610は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置610で共通であるため、各接続線の接続順が共通となっており、誤配線を防止することができる。

【0286】

図15は、本発明の実施の形態の演出制御装置550と、前面枠3に含まれる簡易中継基板1600及び当該簡易中継基板1600に接続される装飾制御装置610の接続状態を説明する図である。

30

【0287】

図15では、演出制御装置550、簡易中継基板1600、装飾制御装置610M、610N、610P、及び610Qの接続について説明する。また、説明の都合上、装飾制御装置610として、装飾制御装置610Nよりも下流に接続されている装飾制御装置610Oについては記載を省略する。

【0288】

演出制御装置550は、接続線Vcc、接続線Vms、接続線SDA、接続線SCL、接続線GND、接続線SE1～3、及び接続線Vseに加え、演出ボタン17からのボタン信号を受信する接続線及び音信号をスピーカ30に送信する接続線によって簡易中継基板1600と接続される。

40

【0289】

接続線Vcc、接続線Vms、接続線SDA、接続線SCL、接続線GND、及び接続線Vseについては、図14にて説明したように、下流側に配置されている各装飾制御装置610に各種信号を送受信する。

【0290】

照明駆動MOT（照明駆動第1MOT13a、照明駆動第2MOT14a）、役物駆動モータ（役物駆動第1MOT71、役物駆動第2MOT81）、及び役物駆動ソレノイド82を駆動するために、接続線Vmsから供給された電力を各モータなどに供給する。

【0291】

また、簡易中継基板1600には、照明駆動MOTの回転位置を検出するための照明駆

50

動MOT位置検出センサ560bが接続される。簡易中継基板1600は、照明駆動MOT位置検出センサ560bによって検出された照明駆動MOT（照明駆動第1MOT13a、照明駆動第2MOT14a）の回転位置を、接続線SE1～3を介して演出制御装置550に送信する。

【0292】

簡易中継基板1600に接続される装飾制御装置610は、接続線Vcc、接続線Vms、接続線SDA、接続線SC L、及び接続線GND（以下、この5本の接続線を一つのハーネスという）を介して互いに接続される。

【0293】

簡易中継基板1600には2本のハーネスが接続されており、一方のハーネスは、簡易中継基板1600を遊技盤10の補助遊技装置ユニット12に含まれる最上流の装飾制御装置610Mに接続するためのハーネスであり、他方のハーネスは、簡易中継基板1600を前面枠3に含まれる最上流の装飾制御装置610Pに接続するためのハーネスである。

10

【0294】

また、装飾制御装置610Mにはハーネスを介して装飾制御装置610Nが接続され、装飾制御装置610Nにはハーネスを介して図示しない装飾制御装置610Oが接続される。

【0295】

また、装飾制御装置610Pにはハーネスを介して装飾制御装置610Qが接続される。

20

【0296】

各装飾制御装置610は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置610で共通であるため、各接続線の接続順が共通となっており、誤配線を防止することができる。

【0297】

なお、遊技機1の構成として、通常版前面枠3の代わりに廉価版前面枠3'を設けた場合でも、廉価版前面枠3'に含まれる各種基板の接続状態は、図15とほぼ同等の構成となる。

【0298】

但し、廉価版前面枠3'には、照明駆動MOT（照明駆動第1MOT13a、照明駆動第2MOT14a）が設けられていないので、簡易中継基板1600'と装飾制御装置610P、及び装飾制御装置610Qを接続するケーブルが存在しない。

30

【0299】

ここで、装飾制御装置610に設けられたI²C I/Oエキスパンダ615（図17で後述）が装飾装置620を制御する方法について説明する。

【0300】

演出制御装置550は、遊技制御装置500から入力された遊技データに基づいて、演出装置（装飾装置620）の出力態様を決定する。そして、演出制御装置550は、決定された出力態様となるように、制御対象となる装飾制御装置610の個別アドレス（I²C I/Oエキスパンダ615の個別アドレス）を含む演出制御データ（演出制御情報）を中継基板600又は簡易中継基板1600に出力する。このとき、演出制御データは、中継基板600から接続線SDAを介してすべての制御対象の装飾制御装置610に出力される。

40

【0301】

第1マスタIC570aが制御する装飾制御装置610によって制御される演出装置はLED等の発光装置であるため、LEDの発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、LEDの点灯/点滅/消灯が指示され、さらに、LEDの点滅周期や点灯輝度も指示される。

【0302】

50

また、第2マスタIC570bが制御する装飾制御装置610によって制御される演出装置はモータやソレノイドなどの可動装置であるため、モータやソレノイドの動作態様が演出装置の出力態様に相当する。

【0303】

各装飾制御装置610には、前述のようにあらかじめ一意な個別アドレスが設定されており、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置610のI²C I/Oエキスパンダ615は、演出制御データを取り込んで、対応する装飾装置620の出力態様を制御するとともに、8ビット目のデータが入力された直後に返答信号をマスタIC(第1マスタIC570a、第2マスタIC570b)に出力する。

【0304】

以上のように、マスタICは、当該マスタICに接続されるすべての装飾制御装置610に演出制御データを送信し、当該演出制御データに含まれる個別アドレスに対応する装飾制御装置610において、要求した出力態様となるように演出装置を制御することができる。

【0305】

なお、各装飾制御装置610には、個別アドレス以外にも、装飾制御装置610のI²C I/Oエキスパンダ615を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、すべてのI²C I/Oエキスパンダ615に対して共通に設けられたアドレスであり、個別アドレスとして使用することはできない。また、このリセットアドレスの値を変更することもできないように構成されている(詳細は後述する)。

【0306】

演出制御装置550は、装飾制御装置610(正確には、装飾制御装置610のI²C I/Oエキスパンダ615)を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板600又は簡易中継基板1600に出力する。このとき、初期化指示データ及び演出制御データは、中継基板600又は簡易中継基板1600を介して、演出制御装置550に接続されるすべての装飾制御装置610に対して接続線SDAから出力される。

【0307】

各装飾制御装置610には、リセット用の共通アドレスがあらかじめ設定されているので、入力されたデータに含まれるアドレスと、リセット用の共通アドレスとが一致するか否かを判定する。一致すると判定された場合には、装飾制御装置610のI²C I/Oエキスパンダ615は、返答信号をマスタICに出力するとともに、入力データを初期化指示データとして取り込み、I²C I/Oエキスパンダ615自身を初期化する。

【0308】

なお、I²C I/Oエキスパンダ615が初期化されると、当該初期化されたI²C I/Oエキスパンダ615によって制御される演出装置はオフ状態となる。

【0309】

このように、装飾制御装置610は、演出制御装置550からの指令に基づく制御を行うので、演出制御装置550と装飾制御装置610との関係は、演出制御装置550の第1マスタIC570a及び第2マスタIC570bがマスタであり、各装飾制御装置610のI²C I/Oエキスパンダ615がスレーブとなる。

【0310】

図16は、本発明の実施の形態の装飾制御装置610のブロック図である。

【0311】

本発明の実施の形態の装飾制御装置610は、前述のように、接続形態に基づいて、分岐型、連結型、及び終端型の3種類に分類される。図16には、分岐型の装飾制御装置610Xに終端型の装飾制御装置610Yが接続されている例を示している。さらに、装飾

制御装置 610Y には、装飾装置基板 625 が接続されている。

【0312】

分岐型の装飾制御装置 610X とは、I²C I/O エクスパンダ 615 と、I²C I/O エクスパンダ 615 が受信する信号を受け入れるためのコネクタ（上流コネクタ）と、上流コネクタから受け入れた信号を、複数の装飾制御装置 610 に伝達するコネクタ（下流コネクタ）を備えたものである。例えば、図中の装飾制御装置 610X のように、内部に I²C I/O エクスパンダ 615 及び LED（装飾装置 620）を備え、さらに、一つの上流コネクタ 611 と二つの下流コネクタ 612A、612B を備える。

【0313】

接続線 SDA 及び接続線 SCL は、装飾制御装置 610 内で二つに分岐し、一方は、そのまま次の装飾制御装置 610Y へ出力するための下流コネクタ 612B に接続される。他方は、さらに分岐し、一方は I²C I/O エクスパンダ 615 に接続され、他方は別の下流コネクタ 612A に接続される。

10

【0314】

また、装飾制御装置 610X の I²C I/O エクスパンダ 615 の出力側には、制御対象となる装飾装置 620 が接続される。I²C I/O エクスパンダ 615 の出力側は、図 18 及び図 19 で説明するポート 0 ~ 15 によって構成される。さらに、装飾制御装置 610 のすべてのポートが、図 18 で後述する電流制限抵抗 R0 ~ R15 を介して、内部の LED に接続されている。なお、この電流制限抵抗 R0 ~ R15 も、装飾制御装置 610 に備えられている。

20

【0315】

前述したように、I²C I/O エクスパンダ 615 は、演出制御装置 550 から入力された演出制御データに含まれるアドレスと、当該 I²C I/O エクスパンダ 615 に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、I²C I/O エクスパンダ 615 に接続されている装飾装置 620 を制御する。

【0316】

なお、下流コネクタを 1 個しか備えないために、上流コネクタから受け入れた信号が、一つの装飾制御装置 610 にのみ伝達可能となっている装飾制御装置 610 は、連結型の装飾制御装置となる。例えば、前述した装飾制御装置 610X にて、下流コネクタ 612B のみが備えられ、下流コネクタ 612A が存在しないようなものが該当する。

30

【0317】

また、終端型の装飾制御装置とは、I²C I/O エクスパンダ 615 と、I²C I/O エクスパンダ 615 が受信する信号を受け入れるためのコネクタ（上流コネクタ）を有するが、上流コネクタから受け入れた信号を、他の装飾制御装置 610 に伝達しないものである。例えば、図中の装飾制御装置 610Y は、I²C I/O エクスパンダ 615 及び LED（装飾装置 620）を備え、装飾制御装置 610Y の外部に接続される装飾装置基板 625 に備わる LED に電流を流すための接続線、装飾装置基板 625 の LED に電源電圧を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置 610 と装飾装置基板 625 とが接続される。

40

【0318】

装飾装置基板 625 は、I²C I/O エクスパンダ 615 を備えておらず、LED などの発光装置のみを備えた基板である。この場合、装飾装置基板 625 に備えた LED に接続される電流制限抵抗を、装飾装置基板 625 に設けることになるが、I²C I/O エクスパンダ 615 が備えられた装飾制御装置 610 に設けてもよい。

【0319】

なお、装飾装置基板 625 に設けた LED の数に対応して、装飾制御装置 610 から装飾装置基板 625 へ渡されることになる、これらの LED に電流を流すための接続線の数が決定される。例えば、装飾装置基板 625 に二つの LED を備えた場合には、I²C I/O エクスパンダ 615 のポートと対応する LED とを接続するための 2 本の制御線と、

50

V1 e dから供給された電力を供給する電源線1本とが、少なくとも必要となる。

【0320】

そして、装飾制御装置610 Yに設けられたI²C I/Oエキスパンダ615も、演出制御装置550から入力された演出制御データに含まれるアドレスと、当該I²C I/Oエキスパンダ615に設定されているアドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、I²C I/Oエキスパンダ615に接続されている装飾装置620を制御する。この場合、中央の装飾制御装置610に設けられた装飾装置620と、装飾装置基板625に設けられた装飾装置620の両方が、I²C I/Oエキスパンダ615によって制御される。

【0321】

このように、装飾装置基板625を設けて、装飾制御装置610から一部の装飾装置(LED)を分離させることで、離れた箇所に配置されたLEDであっても、共通のI²C I/Oエキスパンダ615により制御することができる。

【0322】

なお、第2マスタIC570 bによって制御される装飾制御装置610は、前述したように、ソレノイドやモータなどの可動物を制御するものであり、具体的な構成は、図19にて後述する。

【0323】

図17は、本発明の実施の形態のI²C I/Oエキスパンダ615の構成を示すブロック図である。

【0324】

I²C I/Oエキスパンダ615は、接続線SDAに接続されるトランジスタ630、接続線SDAに接続されるフィルタ631、接続線SDAに接続されるドライバ632、接続線SCLに接続されるフィルタ633、バスコントローラ634、出力設定レジスタ635、出力コントローラ636、I²C I/Oエキスパンダ615の出力側の各ポート0~15に接続されるドライバ637、各ポート0~15に接続されるトランジスタ638 A~638 P、及びリセット信号発生回路639を備える。

【0325】

フィルタ631は、接続線SDAに接続され、接続線SDAから入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ634に出力する。ドライバ632は、返答信号を接続線SDAから出力する場合に、トランジスタ630が動作可能な電圧をトランジスタ630に印加する。

【0326】

ドライバ632は、接続線SDAからデータ(返答信号)を出力する場合に、トランジスタ630が動作可能な電圧をトランジスタ630に印加する。

【0327】

トランジスタ630は、電力消費を抑えるために電界効果トランジスタ(FET)が用いられており、トランジスタ630のゲートはドライバ632に接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SDAに接続され、ソースは接地されている。

【0328】

トランジスタ630のゲートに印加される電圧がトランジスタ630を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ630のゲートに印加される電圧がトランジスタ630を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SDAの電圧が低下する。なお、トランジスタ630は、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。

【0329】

ドライバ632は、データ(返答信号)を接続線SDAから出力する場合に、トランジスタ630にドレインとソースとの間に電流を流すためにトランジスタ630のゲートに

10

20

30

40

50

トランジスタ 630 が動作可能な値の電圧を印加する。そして、ドライバ 632 は、接続線 SDA の電圧を HIGH から LOW へ繰り返し変化させることによって、データを接続線 SDA から出力する。

【0330】

フィルタ 633 は、接続線 SCL に接続され、接続線 SCL から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 634 に出力する。

【0331】

また、I²C I/O エクスパンダ 615 には、当該 I²C I/O エクスパンダ 615 に備わるアドレス設定用端子 A0 ~ A3 によって固有のアドレスが設定されており、バスコントローラ 634 に入力されている。さらに、I²C I/O エクスパンダ 615 をリセットするためのアドレスも、あらかじめ設定されている。

10

【0332】

バスコントローラ 634 は、接続線 SDA から入力されたデータのアドレスが I²C I/O エクスパンダ 615 に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

【0333】

また、バスコントローラ 634 は、接続線 SDA から入力されたデータのアドレスが I²C I/O エクスパンダ 615 に設定されたリセット用のアドレスと一致するか否かを判定し、一致している場合に当該データを初期化指示データとして取り込み、当該 I²C I/O エクスパンダ 615 を初期化する。

20

【0334】

また、バスコントローラ 634 は、接続線 SCL の信号レベルの LOW から HIGH への変化回数が 8 回に達し、8 ビット目のデータを取り込んだ後、接続線 SCL の信号レベルが HIGH から LOW へ変化すると、返答信号を接続線 SDA から第 1 マスタ IC 570a に出力する。さらに、接続線 SCL の信号レベルが LOW から HIGH へ変化することが確認され、再度接続線 SCL の信号レベルが HIGH から LOW へ変化すると、接続線 SDA を開放する。つまり、接続線 SCL の信号レベルの LOW から HIGH への変化回数が 9 回になるタイミングで返答信号を出力する。

【0335】

出力設定レジスタ 635 には、当該 I²C I/O エクスパンダ 615 の動作モードやポート 0 ~ 15 の出力状態が設定される。バスコントローラ 634 が接続線 SDA から初期化指示データを取り込んで、当該 I²C I/O エクスパンダ 615 が初期化された場合には、出力設定レジスタ 635 は、すべてのポート 0 ~ 15 に電流が流れないように初期状態に設定される。

30

【0336】

出力コントローラ 636 は、出力設定レジスタ 635 に設定されたデータに基づいて、ポートドライバ 637 を介して、各ポート 0 ~ 15 に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ 634 が接続線 SDA から演出制御データを取り込むと、演出制御データに指定されている内容に更新される。

40

【0337】

すなわち、第 1 マスタ IC 570a 又は第 2 マスタ IC 570b から受信した演出制御データに基づいて、出力設定レジスタ 635 に設定し、ストップコンディションを受信した時点で、各ポート 0 ~ 15 の出力状態を更新して演出装置に反映させる。したがって、シフトレジスタのように、LAT 信号を受信する必要もなく、すなわち、LAT 信号を受信するための配線を必要とすることなく、演出制御を行うことができる。特に、ポート出力状態を、複数の I²C I/O エクスパンダ 615 で同時に更新する必要がある場合に有効であり、異なる I²C I/O エクスパンダ 615 に制御される演出装置であっても、同時に演出動作を実行するように制御できるため、より演出効果を高めることが可能となる。

50

【0338】

ドライバ637は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ638A～638Pが動作可能な電圧を当該トランジスタに印加する。

【0339】

トランジスタ638A～638Pのゲートはドライバ637に接続され、ドレインは図19及び図20に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【0340】

トランジスタ638A～638Pのゲートに印加される電圧がトランジスタ638A～638Pを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、638A～638Pのゲートに印加される電圧がトランジスタ638を動作させる所定値以上であれば、図18に示す電源Vled、又は図19に示す電源Vmotや電源Vsolからゲートに印加されている所定の電圧が、トランジスタ638のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

10

【0341】

また、装飾制御装置610のI²CI/Oエキスパンダ615は、I²CI/Oエキスパンダ615のポート端子に接続されたすべての演出装置を同時に制御することが可能であるので、I²CI/Oエキスパンダ615のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

20

【0342】

そして、各装飾制御装置610に備わるI²CI/Oエキスパンダ615同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。すなわち、各装飾制御装置610に備わるI²CI/Oエキスパンダ615は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

【0343】

したがって、各装飾制御装置610を統括する演出制御装置550は、グループ単位制御手段を統括して制御するグループ統括制御手段として機能している。

【0344】

リセット信号発生回路639には、I²CI/Oエキスパンダ615に電源を供給する接続線Vccに接続されるVcc端子、及び外部からのリセット信号を受け付けるRESET端子が接続されている。

30

【0345】

リセット信号発生回路639は、I²CI/Oエキスパンダ615に電源が投入され、電圧が所定値まで立ち上がると、リセット信号を発生させ、発生させたリセット信号をバスコントローラ634、出力設定レジスタ635、及び出力コントローラ636に入力することによって初期化する。

【0346】

なお、外部からLOWレベルのリセット信号が入力された場合には、リセット信号発生回路639はリセット信号を出力するので、演出制御装置550のCPU551から、NORゲート回路561を経由して、RESET端子からリセット信号を入力するにしてもよい。RESET端子を使用しない場合には、図18及び図19に示すようにRESET端子はHIGHにプルアップされていてもよい。

40

【0347】

図18は、本発明の実施の形態の第1マスタIC570aに接続される装飾装置620を制御する装飾制御装置610のI²CI/Oエキスパンダ615周辺の回路図である。

【0348】

I²CI/Oエキスパンダ615は、入力端子としてNC端子、RESET端子、SCL端子、SDA端子、Vcc端子、A0～A3端子、及びGND端子を備え、出力端子と

50

して、PORT0～PORT15を備える。

【0349】

RESET端子には、プルアップ抵抗Rを介してI²C I/Oエキスパンダ615に供給される電源が接続されている。このため、リセット端子に印加される電圧は常にHIGHに維持されている。

【0350】

_SCL端子は接続線_SCLに接続され、_SDA端子は接続線_SDAに接続される。

【0351】

Vcc端子には、I²C I/Oエキスパンダ615に供給される電源が接続される。さらに、Vcc端子には、電源ノイズを除去するコンデンサCPが接続される。

10

【0352】

A0端子～A3端子は、I²C I/Oエキスパンダ615に個別アドレスを設定するための端子である。なお、I²C I/Oエキスパンダ615の個別アドレスは、通常、4ビットで表現され、この端子にI²C I/Oエキスパンダ615の電源が印加されている場合にはバスコントローラ634に「1」が設定され、この端子がグランドに接続されている場合にはバスコントローラ634に「0」が設定される。

【0353】

したがって、図18に示すI²C I/Oエキスパンダ615の個別アドレスは「0100」となる。GND端子は、電圧をグランドするための端子である。

【0354】

20

PORT0端子～PORT15端子は、電流制限抵抗R0～R15を介してLED0～LED15からなる装飾装置620に接続される。なお、PORT0のように、ポート1個に対して1個のLEDを接続してもよいが、PORT1～15のように、ポート1個に対して複数個のLEDを接続してもよい。

【0355】

すべてのポートにLEDを1個ずつ設ける場合は、1個のI²C I/Oエキスパンダ615によって、最大で16個のLEDを制御できることになる。また、各ポートに接続されるLEDの個数が異なる場合は、1個のポートに直列に接続されたすべてのLEDを1種類のLEDということにすれば、1個のI²C I/Oエキスパンダ615によって、最大で16種類のLEDを制御できることになる。

30

【0356】

PORT0端子～PORT15端子に接続されるトランジスタ638A～638P(図17参照)のゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Pのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT15端子に接続されるLED0～LED15に電流が流れ、各LED0～LED15は点灯する。

【0357】

一方、ドライバ637がトランジスタ638A～638Pのゲートに電圧を印加しなければ、各LED0～LED15に電流が流れない状態になり、各LED0～LED15は点灯しない。

40

【0358】

図19は、本発明の実施の形態の第2マスタIC570bに接続される装飾制御装置610のI²C I/Oエキスパンダ615周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【0359】

図19では、説明の都合上、I²C I/Oエキスパンダ615にモータとソレノイドとが接続されているが、図13に示すように、一つのI²C I/Oエキスパンダ615(つまり一つの装飾制御装置610)に一つのモータ又は一つのソレノイドが接続されるものである。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必要な演出装置だけをグループ化して効率よく制

50

御することも可能となる。

【0360】

ここで使用されるモータはステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回動する。本発明の実施の形態では、モータの各相の信号端子がPORT0端子～PORT3端子に接続される。

【0361】

モータに接続されているPORT0端子～PORT3端子に接続されるトランジスタ638A～638Dのいずれかのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Dのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT3端子に接続されるモータに電流が流れ、役物駆動用のモータが駆動する。

10

【0362】

なお、各PORT0端子～PORT3端子とモータとを接続する接続線は分岐し、分岐した一方の接続線は、モータに供給される電源にダイオードD及びツェナダイオードZDを介して接続される。

【0363】

また、PORT端子15は、使用されるソレノイドに接続される。ソレノイドに接続されているPORT15端子に接続されるトランジスタ638Pのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638Pのドレインからソースへ電流が流れることが可能になり、PORT15端子に接続されるソレノイドに電流が流れ、ソレノイドによって駆動される図示しない演出装置が駆動する。

20

【0364】

なお、図19では、I²C I/Oエクスパンダ615にモータ及びソレノイドの双方が接続されているが、一つのI²C I/Oエクスパンダ615に対して、モータ及びソレノイドを接続した構成でもよい。

【0365】

図20は、本発明の実施の形態の装飾制御装置610、中継基板600及び簡易中継基板1600の回路構成を説明するための図であり、特に、信号線や電源線の入出力に関する接続状態を説明するための図である。

【0366】

本図においては、装飾制御装置610、中継基板600及び簡易中継基板1600のうち、分岐型の装飾制御装置610（例えば、装飾制御装置610Aなど）について説明を行うこととし、最後に、連結型の装飾制御装置610、終端型の装飾制御装置610、中継基板600、簡易中継基板1600との相違点の説明を行うことにする。

30

【0367】

なお、本図においては、図16に示す分岐型の装飾制御装置610Xに備えられる部品と、同一の付番を付けて説明を行う。

【0368】

分岐型の装飾制御装置610は、上流コネクタ611、下流コネクタ612（612A、612B）、及びI²C I/Oエクスパンダ615を備える。

40

【0369】

上流コネクタ611は、当該装飾制御装置610よりも上流の装飾制御装置610に接続されるコネクタである。下流コネクタ612A及び612Bは、当該装飾制御装置610よりも下流側の装飾制御装置610に接続される。

【0370】

二つの下流コネクタ612A、612Bに接続線SDAを接続するために、上流コネクタ611から延びる内部接続線SDA2011は分岐2001で第1接続線SDA2021と第2接続線SDA2031とに分岐する。第1接続線SDA2021は下流コネクタ612Aに接続され、第2接続線SDA2031は下流コネクタ612Bに接続される。

【0371】

50

同じく、上流コネクタ 6 1 1 から延びる内部接続線 S C L 2 0 1 2 は分岐 2 0 0 2 で第 1 接続線 S C L 2 0 2 2 と第 2 接続線 S C L 2 0 3 2 とに分岐する。第 1 接続線 S C L 2 0 2 2 は下流コネクタ 6 1 2 A に接続され、第 2 接続線 S C L 2 0 3 2 は下流コネクタ 6 1 2 B に接続される。

【 0 3 7 2 】

さらに、接続線 S D A を I²C I / O エクスパンダ 6 1 5 に接続するために、第 2 接続線 S D A 2 0 3 1 は分岐 2 0 0 3 で分岐し、分岐した第 2 接続線 S D A 2 0 3 1 は I²C I / O エクスパンダ 6 1 5 の図 1 8 及び図 1 9 に示す S D A 端子に接続される。また、接続線 S C L を I²C I / O エクスパンダ 6 1 5 に接続するために、第 2 接続線 S C L 2 0 3 2 は分岐 2 0 0 4 で分岐し、分岐した第 2 接続線 S C L 2 0 3 2 は I²C I / O エクスパンダ 6 1 5 の図 1 8 及び図 1 9 に示す S C L 端子に接続される。以下、I²C I / O エクスパンダ 6 1 5、分岐 2 0 0 3 から I²C I / O エクスパンダ 6 1 5 に接続される接続線 S D A、及び分岐 2 0 0 4 から I²C I / O エクスパンダ 6 1 5 に接続される接続線 S C L を含む構成を I²C I / O エクスパンダ部 2 0 8 1 とする。

【 0 3 7 3 】

なお、I²C I / O エクスパンダ 6 1 5 には、I²C I / O エクスパンダ 6 1 5 の電源電圧となる電圧 V c c が供給されている。また、図 2 0 では図示されていないが、I²C I / O エクスパンダ 6 1 5 からは、装飾制御装置 6 1 0 に設けられた L E D など（装飾装置 6 2 0）を駆動する各ポート 0 ~ 1 5 の信号線（図 1 8、1 9 参照）が出力されている。

【 0 3 7 4 】

さらに、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 が上流の装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び上流の装飾制御装置 6 1 0 から、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 に接続線 S D A を介して入力される信号のノイズを除去するために、内部接続線 S D A 2 0 1 1 にはツェナダイオード Z D 2 0 4 1 が接続されている。

【 0 3 7 5 】

具体的には、内部接続線 S D A 2 0 1 1 は分岐 2 0 0 5 で分岐し、分岐した内部接続線 S D A 2 0 1 1 はツェナダイオード Z D 2 0 4 1 のカソード側に接続され、ツェナダイオード Z D 2 0 4 1 のアノード側は接地されている。

【 0 3 7 6 】

このため、内部接続線 S D A 2 0 1 1 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 0 4 1 によって逃がされる。

【 0 3 7 7 】

また、上流の装飾制御装置 6 1 0 から、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S C L を介して入力される信号のノイズを除去するために、内部接続線 S C L 2 0 1 2 にはツェナダイオード Z D 2 0 4 2 が接続されている。

【 0 3 7 8 】

具体的には、内部接続線 S C L 2 0 1 2 は分岐 2 0 0 6 で分岐し、分岐した内部接続線 S C L 2 0 1 2 はツェナダイオード Z D 2 0 4 2 のカソード側に接続され、ツェナダイオード Z D 2 0 4 2 のアノード側は接地されている。

【 0 3 7 9 】

このため、内部接続線 S C L 2 0 1 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 0 4 2 によって逃がされる。

【 0 3 8 0 】

また、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 が、下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 から装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S D A を介して入力される信号のノイズを除去するために、第 1 接続線 S D A 2 0 2 1 にはツェナダイオード Z D 2 0 4 3 が接続されている。

【 0 3 8 1 】

具体的には、第1接続線SDA2021は分岐2007で分岐し、分岐した第1接続線SDA2021はツェナダイオードZD2043のカソード側に接続され、ツェナダイオードZD2043のアノード側は接地されている。

【0382】

このため、第1接続線SDA2021に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZD2043によって逃がされる。

【0383】

また、第1接続線SDA2021に接続されるツェナダイオードZD2043と同じく、第2接続線SDA2031にもツェナダイオードZD2045が接続される。

【0384】

また、装飾制御装置610のI²C I/Oエキスパンダ615から下流コネクタ612Aに接続された装飾制御装置610へ接続線SCLを介して入力される信号のノイズを除去するために、第1接続線SCL2022にはツェナダイオードZD2044が接続されている。

【0385】

具体的には、第1接続線SCL2022は分岐2008で分岐し、分岐した第1接続線SCL2022はツェナダイオードZD2044のカソード側に接続され、ツェナダイオードZD2044のアノード側は接地されている。

【0386】

このため、第1接続線SCL2022に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZD2044によって逃がされる。

【0387】

また、第1接続線SCL2022に接続されるツェナダイオードZD2044と同じく、第2接続線SCL2032にもツェナダイオードZD2046が接続される。

【0388】

さらに、当該装飾制御装置610のI²C I/Oエキスパンダ615に電源電圧を供給する接続線Vccに接続される上流コネクタ601のVcc端子から延びる内部接続線Vcc2071と、上流コネクタ601のGND端子から延び、接地されている内部接続線GND2072とは、平滑コンデンサC2061及びバイパスコンデンサCP2062を介して接続されている。

【0389】

平滑コンデンサC2061は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサCP2062は、電源の電圧のノイズを除去するためのコンデンサである。

【0390】

このため、装飾制御装置610のI²C I/Oエキスパンダ615に供給される電源電圧は、平滑コンデンサC2061により電圧が平滑化され、バイパスコンデンサCP2062によりノイズが除去されて、I²C I/Oエキスパンダ615に供給される。

【0391】

同じく、下流コネクタ612A、612BのVcc端子から延びる内部接続線Vcc2073と、GND端子から延びる内部接続線GND2074とは、平滑コンデンサC2061及びバイパスコンデンサCP2062を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置610に接続される接続線Vccに印加される。

【0392】

以上、分岐型の装飾制御装置610について説明を行ったが、次に、連結型の装飾制御装置610について説明する。

【0393】

なお、下流コネクタ612Aに加え、接続線SDAに接続されるツェナダイオードZD2043、及び接続線SCLに接続されるツェナダイオードZD2044、内部接続線V

10

20

30

40

50

c c 2 0 7 3、内部接続線 G N D 2 0 7 4、平滑コンデンサ C 2 0 6 1 及びバイパスコンデンサ C P 2 0 6 2 を備える構成を第 1 の下流コネクタ部 2 0 8 2 とする。

【 0 3 9 4 】

また、下流コネクタ 6 1 2 B に加え、接続線 S D A に接続されるツェナダイオード Z D 2 0 4 5、及び接続線 S C L に接続されるツェナダイオード Z D 2 0 4 6、内部接続線 V c c 2 0 7 3、内部接続線 G N D 2 0 7 4、平滑コンデンサ C 2 0 6 1 及びバイパスコンデンサ C P 2 0 6 2 を備える構成を第 2 の下流コネクタ部 2 0 8 3 とする。

【 0 3 9 5 】

装飾制御装置 6 1 0 が連結型の場合には、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ 6 1 2 A は存在するが下流コネクタ 6 1 2 B が存在しない。

10

【 0 3 9 6 】

そのため、内部接続線 S D A 2 0 1 1 及び内部接続線 S C L 2 0 1 2 は、分岐 2 0 0 3、2 0 0 4 では分岐しない構成となり、第 2 接続線 S D A 2 0 3 1 及び第 2 接続線 S C L 2 0 3 2 は存在しない点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

【 0 3 9 7 】

また、連結型の装飾制御装置 6 1 0 は、第 2 の下流コネクタ部 2 0 8 3 を構成する電子部品が存在しない点も、分岐型の装飾制御装置 6 1 0 と異なる構成となる。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

【 0 3 9 8 】

次に、終端型の装飾制御装置 6 1 0 について説明する。

20

【 0 3 9 9 】

装飾制御装置 6 1 0 が終端型の場合には、基板内に下流コネクタを備えない構成となるので、下流コネクタ 6 1 2 A、6 1 2 B がともに存在しない。

【 0 4 0 0 】

そのため、内部接続線 S D A 2 0 1 1 及び内部接続線 S C L 2 0 1 2 は、分岐 2 0 0 1、2 0 0 2、2 0 0 3、2 0 0 4 で分岐することなく、I²C I / O エクスパンダ 6 1 5 へ接続される点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

【 0 4 0 1 】

また、終端型の装飾制御装置 6 1 0 は、第 1 の下流コネクタ部 2 0 8 2 及び第 2 の下流コネクタ部 2 0 8 3 を構成する電子部品が存在しない点も、分岐型の装飾制御装置 6 1 0 と異なる構成となる。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

30

【 0 4 0 2 】

次に、中継基板 6 0 0 について説明する。

【 0 4 0 3 】

中継基板 6 0 0 は、連結型の装飾制御装置 6 1 0 と同様に、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ 6 1 2 A は存在するが下流コネクタ 6 1 2 B が存在しない。

【 0 4 0 4 】

そのため、内部接続線 S D A 2 0 1 1 及び内部接続線 S C L 2 0 1 2 は、分岐 2 0 0 3、2 0 0 4 では分岐しない構成となり、第 2 接続線 S D A 2 0 3 1 及び第 2 接続線 S C L 2 0 3 2 が存在しないので、連結型の装飾制御装置 6 1 0 と同様の構成となる。

40

【 0 4 0 5 】

但し、中継基板 6 0 0 は、接続線 S D A 及び接続線 S C L の電圧をプルアップするためのプルアップ抵抗を備えている点で、連結型の装飾制御装置 6 1 0 と異なる。

【 0 4 0 6 】

具体的には、図 2 0 に示すように、中継基板 6 0 0 では、第 1 マスタ I C 5 7 0 a に接続される上流側の接続線 S D A、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S D A の電圧をプルアップするためのプルアップ抵抗 R 2 0 5 1 が、第 1 接続線 S D A 2 0 2 1 に接続される。同じく、第 1 マスタ I C 5 7 0 a に接続される上流側の接続線 S C L、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S C L の電圧をプルアップするた

50

めのプルアップ抵抗 R 2 0 5 2 が、第 1 接続線 S C L 2 0 2 2 に接続される。

【 0 4 0 7 】

より詳しく説明すると、第 1 接続線 S D A 2 0 2 1 は分岐 2 0 0 9 で分岐し、分岐した第 1 接続線 S D A 2 0 2 1 はプルアップ抵抗 R 2 0 5 1 に接続される。同じく第 1 接続線 S C L 2 0 2 2 は分岐 2 0 1 0 で分岐し、分岐した第 1 接続線 S C L 2 0 2 2 はプルアップ抵抗 R 2 0 5 2 に接続される。以下、接続線 S D A の電圧をプルアップするためのプルアップ抵抗 R 2 0 5 1、及び接続線 S C L の電圧をプルアップするためのプルアップ抵抗 R 2 0 5 2 をあわせてプルアップ抵抗部 2 0 8 0 とする。

【 0 4 0 8 】

次に、簡易中継基板 1 6 0 0 について説明する。

10

【 0 4 0 9 】

簡易中継基板 1 6 0 0 は、分岐型の装飾制御装置 6 1 0 と同様に、基板内に複数の下流コネクタ（下流コネクタ 6 1 2 A、6 1 2 B）を備える。但し、簡易中継基板 1 6 0 0 は、I²C I/O エクスパンダ部 2 0 8 1 に相当する回路を備えておらず、代わりに、中継基板 6 0 0 に備えている前述のプルアップ抵抗部 2 0 8 0 に相当する回路が設けられている点が、分岐型の装飾制御装置 6 1 0 と異なる構成である。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

【 0 4 1 0 】

なお、前述のプルアップ抵抗部 2 0 8 0 の構成は、本実施形態では、中継基板 6 0 0 と簡易中継基板 1 6 0 0 だけに設けられており、装飾制御装置 6 1 0 や演出制御装置 5 5 0 には設けていない構成となっているが、接続線 S D A 及び接続線 S C L のレベルが正しく生成できるのであれば、装飾制御装置 6 1 0 や演出制御装置 5 5 0 に設けられていてもよい。要するに、プルアップ抵抗 R 2 0 5 1 及び 2 0 5 2 は、接続線 S D A 及び接続線 S C L を駆動するトランジスタのドレインの端子に電圧 V c c を供給可能な箇所に備えられていればよい。

20

【 0 4 1 1 】

例えば、プルアップ抵抗 R 2 0 5 1 及び 2 0 5 2 が第 1 マスタ I C 5 7 0 a に備えられていれば、中継基板 6 0 0、簡易中継基板 1 6 0 0 若しくは装飾制御装置 6 1 0 内にプルアップ抵抗部 2 0 8 0 が備えられている必要はない。

【 0 4 1 2 】

図 2 1 は、本発明の実施の形態の遊技盤 1 0 及び廉価版前面枠 3 ' に取り付けられる装飾制御装置 6 1 0 の接続形態の説明図である。

30

【 0 4 1 3 】

本発明の実施の形態の遊技機 1 には、図 1 3 で説明した通常版遊技機 1 と廉価版遊技機 1 がある。通常版遊技機 1 は、標準仕様の装飾部材を備えている前面枠 3（以下、通常版前面枠 3 とする）を備えている。廉価版遊技機 1 は、標準仕様の装飾部材よりも廉価なコストで構成された装飾部材を備えている前面枠 3（以下、廉価版前面枠 3 ' とする）を備えている。遊技機 1 では、何れか一方の仕様の前面枠 3 のみ取り付けられて演出制御装置 5 5 0 と接続されるので、第 2 マスタ I C 5 7 0 b には、通常版前面枠 3 か廉価版前面枠 3 ' の何れか一方に設けられた簡易中継基板 1 6 0 0 のみが接続される。

40

【 0 4 1 4 】

廉価版前面枠 3 ' は、通常版前面枠 3 と同様に、第 2 マスタ I C 5 7 0 b に接続される簡易中継基板 1 6 0 0 と、ほぼ同様の機能を有する基板（以下、廉価版の簡易中継基板 1 6 0 0 ' とする）を備える。但し、廉価版前面枠 3 ' では、中継基板 6 0 0 に分岐型の装飾制御装置 6 1 0 R のみが接続されており、また、廉価版前面枠 3 ' は、照明駆動 M O T（1 3 a、1 4 a）を備えないので、簡易中継基板 1 6 0 0 ' は、遊技盤 1 0 に配置される装飾制御装置 6 1 0 M に接続されるのみで、コストダウンが図られている。

【 0 4 1 5 】

装飾制御装置 6 1 0 R は、照明ユニット 1 1 内に配置されており、装飾装置基板 6 2 5 H に備えられた装飾装置 6 2 0 を制御する。具体的には、照明ユニット 1 1 に含まれる L

50

EDや異常報知LED29などが制御され、通常版前面枠3と同様である。また、装飾制御装置610Rは、通常版前面枠3の照明ユニット11を制御する装飾制御装置610Hと同一の基板であり、同じ個別アドレス(「1001」)が割り当てられている。そのため、通常版前面枠3の装飾制御装置610Hと、廉価版前面枠3'の装飾制御装置610Rでは、同じ制御が実行される。

【0416】

装飾制御装置610Rは、分岐型の装飾制御装置であり、装飾制御装置610S及び装飾制御装置610Tに受信した制御信号を送信する。装飾制御装置610Sは、廉価版前面枠3'の左側部分の装飾部材9a'を制御する。また、装飾制御装置610Tは、廉価版前面枠3'の右側部分の装飾部材9b'を制御する。

10

【0417】

また、廉価版前面枠3'では、左側の装飾部材9a'を制御する装飾制御装置610S、及び右側の装飾部材9b'を制御する装飾制御装置610Tが取り付けられている。装飾制御装置610Sと装飾制御装置610Tとは、同じ個別アドレス(「1111」)が割り当てられている。このため、廉価版前面枠3'の装飾制御装置610Sと、廉価版前面枠3'の装飾制御装置610Tとでは、同じ制御が実行されるので、廉価版前面枠3'では、左側の装飾部材9a'と右側の装飾部材9b'とは同じ発光態様で制御される。

【0418】

なお、これらの装飾制御装置610S及び610Tには割り当てられた個別アドレスは、通常版前面枠3の装飾制御装置610に割り当てられていない個別アドレスである。

20

【0419】

そして、通常版前面枠3と廉価版前面枠3'の何れに使用される場合であっても、演出制御装置550からは、装飾部材9a、9b、9a'、9b'に含まれる装飾制御装置610のI²C I/Oエクスパンド615に割り当てられたすべての個別アドレスに対して演出制御データが送信される。

【0420】

以上のように、廉価版前面枠3'には、備えられている装飾制御装置のうち、発光装置を制御する装飾制御装置610I、610J、610K、610L、並びに、可動物を制御する装飾制御装置610P及び610Q(図13参照)(第1の仕様依存型グループ単位制御手段)に相当するものが存在せず、代わりに、装飾制御装置610S及び610T(第2の仕様依存型グループ単位制御手段)が取り付けられている。換言すると、通常版前面枠3には、装飾制御装置610I、610J、610K及び610L(第1の仕様依存型グループ単位制御手段)が取り付けられているのに対し、廉価版前面枠3'には、より少ない数の装飾制御装置610S及び610T(第2の仕様依存型グループ単位制御手段)が取り付けられている。

30

【0421】

また、装飾制御装置610Hと装飾制御装置610Rとは、互いに、通常版前面枠3と廉価版前面枠3'とに共通利用可能な基板として構成されている。

【0422】

したがって、本発明の実施の形態の演出制御装置550は、通常版用の制御と廉価版用の制御とを共通化することが可能となり、前面枠ごとに制御を変更する必要が無く、演出制御装置550の製造コストを削減することができる。

40

【0423】

通常版前面枠3と廉価版前面枠3'とは、装飾部材9a、9bに含まれる装飾装置620の数が相違し、さらに、装飾装置620を制御する装飾制御装置610の数も相違する。具体的には、通常版前面枠3の装飾部材9a、9bは四つの装飾制御装置610I、610J、610K、610Lによって制御され、廉価版前面枠3'の装飾部材は二つの装飾制御装置610R、610Sによって制御される。通常版前面枠3の装飾部材9a、9bは、廉価版前面枠3'の装飾部材9a'、9b'よりも多くのLEDによって照射するので、通常版前面枠3のほうが廉価版前面枠3'よりも明るくなり、実行可能な演出のバ

50

リエーションを増やすことも可能である。

【0424】

また、廉価版前面枠3'には、照明駆動MOT13a、14aが取り付けられていないので、第2マスタIC570bが制御する装飾制御装置610P及び610Qも不要となる。

【0425】

このため、通常版前面枠3が取り付けられた場合の装飾装置620の制御と、廉価版前面枠3'が取り付けられた場合の装飾装置620の制御が相違する。

【0426】

したがって、通常版前面枠3に取り付けられる装飾制御装置610の個別アドレスと廉価版前面枠3'に取り付けられる装飾制御装置610の個別アドレスに同じアドレスを割り当てた場合には、演出制御装置550から装飾制御装置610へ送信する演出制御データを、通常版前面枠3の場合と廉価版前面枠3'の場合とで異ならせる必要があるため、遊技機1に取り付けられる前面枠3に応じて通常版用の演出制御装置550と廉価版用の演出制御装置550をそれぞれ用意しなければならない。このため、製造メーカーが遊技機1を出荷する場合には、通常版用の演出制御装置550と廉価版用の演出制御装置550とを用意しなければならず、製造コストが上昇してしまう。

【0427】

そこで、本発明の実施の形態では、通常版前面枠3と廉価版前面枠3'とで制御が異なる装飾制御装置610の個別アドレスには、異なるアドレスを割り当て、演出制御装置550から装飾制御装置610へ送信する演出制御データが、通常版前面枠3の場合と廉価版前面枠3'の場合とで共通となるように構成することで、一つの演出制御装置550で通常版用の制御と廉価版用の制御とを実行できるように構成した。こうすることによって、通常版用の演出制御装置550と廉価版用の演出制御装置550とをそれぞれ用意する必要がなくなり、製造コストを抑えることができる。なお、本発明の実施の形態では、遊技盤10の構成については、通常版であっても廉価版であっても同じ構成となっている。

【0428】

したがって、本発明の実施の形態の演出制御装置550は、通常版用の制御と廉価版用の制御とを共通化することが可能となり、前面枠ごとに制御を変更する必要が無く、演出制御装置550の製造コストを削減することができる。なお、以降の説明では、特に断らない限り、本発明の実施の形態の遊技機1では通常版前面枠が取り付けられているものとする。

【0429】

廉価版前面枠3'を図21を用いて詳細に説明する。なお、図21では、図13と同じ番号を付与した装飾制御装置610には、図13と同じアドレスが割り当てられているものとする。

【0430】

廉価版前面枠3'では、分岐型の装飾制御装置610Hには、二つの終端型の装飾制御装置610R、610Sが接続される。装飾制御装置610R及び装飾制御装置610Sの個別アドレスには、「1111」が割り当てられる。

【0431】

このため、装飾制御装置610R及び装飾制御装置610Sは、個別アドレス「1111」が指定された演出制御データを受信すると、同じ制御を行うものである。

【0432】

また、廉価版前面枠3'は、照明駆動第1MOT13a及び照明駆動第2MOT14aを備えないので、装飾制御装置610P、610Qを備えない。このため、簡易中継基板1600には、遊技盤10の補助遊技装置ユニット12に含まれる装飾制御装置610Mが接続されるのみである。

【0433】

このように、廉価版前面枠3'では、第1マスタIC570aに対する個別アドレスが

10

20

30

40

50

「1100」及び「1110」、並びに、第2マスタIC570bに対する個別アドレスが「0011」及び「0100」となるI²C I/Oエキスパンダ615は使用されない。そのため、いずれの前面枠3であっても、異常判定テーブル3300(図33参照)において、接続されないI²C I/Oエキスパンダ615が存在することになる。

【0434】

しかしながら、後述するように、異常判定テーブル3300に登録されている少なくとも1つのI²C I/Oエキスパンダ615と、第2マスタIC570bとの間で正常にデータ送信が行われていれば、正常に動作していると判定されるため、これが原因で処理が中断することはない。

【0435】

図22は、本発明の実施の形態の演出制御装置550から装飾制御装置610に出力されるデータに含まれるスレーブアドレス2200の説明図である。

【0436】

スレーブアドレス2200は、上位3ビットからなる固定アドレス部2201及び下位5ビットからなる可変アドレス部2202によって構成される。

【0437】

固定アドレス部2201は、「110」の値があらかじめ設定され、I²C I/Oエキスパンダ615によって変更することができない。

【0438】

可変アドレス部2202は、I²C I/Oエキスパンダ615によって設定可能である。可変アドレス部2202は、制御対象となるI²C I/Oエキスパンダ615のA0~A3の端子に設定されているパターンに対応した4ビットのI²C I/Oエキスパンダアドレス2203と、当該データが読み出し要求であるのか書き込み要求であるのかを示す1ビットのR/W識別データ2204とによって構成される。

【0439】

演出制御装置550から装飾制御装置610に出力される演出制御データは、書き込み要求であるので、R/W識別データ2204には、通常「0」が登録される。

【0440】

図23は、本発明の実施の形態のI²C I/Oエキスパンダアドレステーブル2300の説明図である。

【0441】

I²C I/Oエキスパンダアドレステーブル2300は、第1マスタIC570a及び第2マスタIC570bによって管理されるテーブルである。I²C I/Oエキスパンダアドレステーブル2300は、スレーブアドレス2301とI²C I/Oエキスパンダアドレス2302との対応関係を示している。

【0442】

スレーブアドレス2301には、演出制御装置550により送受信の対象として指定される装飾制御装置610のスレーブアドレスが格納されている。スレーブアドレスは、図22で前述したように、上位3ビットからなる固定アドレス部と、4ビットのI²C I/Oエキスパンダアドレスと、1ビットのR/W識別データとを組み合わせる。構成される。

【0443】

I²C I/Oエキスパンダアドレス2302には、図18や図19で前述したように、各スレーブアドレスに対応する4ビットのI²C I/Oエキスパンダアドレスが登録される。

【0444】

ただし、I²C I/Oエキスパンダアドレスのうち、アドレス「1000」及びアドレス「1011」(図23の網掛けされたエントリ)は、各I²C I/Oエキスパンダ615を相互に識別するための固有のアドレスとしては使用できない。

【0445】

アドレス「1000」は、すべての装飾制御装置610に対して共通の指令を出力する

10

20

30

40

50

場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。アドレス「1011」は、ソフトウェアによって、第1マスタIC570aに接続されているすべての装飾制御装置610を無条件にリセットする場合に用いられる共通アドレスである。

【0446】

以上のように、装飾制御装置610のI²C I/Oエキスパンダ615に設定可能なアドレスは14個であるため、演出制御装置550は、14個のI²C I/Oエキスパンダ615を制御することができる。また、各装飾制御装置610には、PORT0~PORT15が備えられているので、16個（言い換えれば16種類）のLEDを制御することが可能である。よって、演出制御装置550は、224個（言い換えれば224種類）のLEDを制御することが可能である。

10

【0447】

図24は、本発明の実施の形態のI²C I/Oエキスパンダ615に備えられる出力設定レジスタ635に割り当てられたワークレジスタを説明するための図である。

【0448】

I²C I/Oエキスパンダ615の出力設定レジスタ635には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。

【0449】

ワークレジスタは、I²C I/Oエキスパンダ615に対してあらかじめ定義されている設定を行うための情報や、I²C I/Oエキスパンダ615に接続されている演出装置（装飾装置620、例えば、LEDやモータやソレノイド）の出力態様を特定するための情報を記憶するものである。

20

【0450】

また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶する。なお、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、記憶領域毎に異なるレジスタ番号が付与されている。

【0451】

レジスタ番号「00h」及びレジスタ番号「01h」は、I²C I/Oエキスパンダ615の初期設定を行うためのモードレジスタに対応する。レジスタ番号「00h」の記憶領域にはレジスタ名「MODE1」が付与されている。また、レジスタ番号「01h」の記憶領域にはレジスタ名「MODE2」が付与されている。レジスタ番号「00h」及び「01h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、I²C I/Oエキスパンダ615の初期設定が行われる。

30

【0452】

なお、「MODE2」のレジスタのビット3（OCH）は、I²C I/Oエキスパンダ615の出力設定レジスタ635に格納された演出制御データを演出装置に実際に反映させるタイミングを規定するパラメータである。本発明の実施の形態では、図17にて説明したように、「0」が設定されており、ストップコンディションを受信した時点で出力設定レジスタ635に格納された演出制御データを出力し、演出装置の出力状態を実際に制御するように設定されている。

40

【0453】

レジスタ番号「02h」~「11h」（レジスタ名「PWM0」~「PWM15」）には、装飾装置620に含まれるLEDなどの制御対象のパラメータが設定される。レジスタ番号「02h」~「11h」の記憶領域のいずれかに値が書き込まれると、I²C I/Oエキスパンダ615に接続される発光装置（装飾装置620）を構成する16個のLEDのうち、値が書き込まれたレジスタ番号に対応するLEDの輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「02h」の記憶領域に値が書き込まれた場合には、図18に示すポート0に接続されたLED0の輝度が調整される。

【0454】

なお、I²C I/Oエキスパンダ615は、前述のように、モータやソレノイドといっ

50

た可動物を制御することも可能である。I²C I/Oエキスパンダ615にソレノイドが接続される場合には、ソレノイドが接続されるポートに対応するレジスタ番号には、ソレノイドを通电させて作動させるか、通电せずに未作動の状態にするかを示す値が書き込まれる。また、I²C I/Oエキスパンダ615にモータが接続される場合には、モータが接続されるポートに対応するレジスタ番号には、モータの目標回転位置を示す値が書き込まれる。

【0455】

レジスタ番号「12h」（レジスタ名「GRPPWM」）及びレジスタ番号「13h」（レジスタ名「GRPFREQ」）には、制御対象全体の動作パターンなどを指定するパラメータが設定される。レジスタ番号「12h」及び「13h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED（16個のLED）全体の点滅パターンが設定される。具体的には、レジスタ番号「12h」には、LED全体のオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「13h」には、LED全体の点滅周期が設定される。

10

【0456】

レジスタ番号「14h」（レジスタ名「LEDOUT0」）～「17h」（レジスタ名「LEDOUT3」）には、各ポートで制御されるLEDの出力状態が設定される。各レジスタには、それぞれ四つのLEDの出力状態を設定することが可能となっている。

【0457】

レジスタ番号「14h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED0～LED3の出力状態が設定される。同様に、レジスタ番号「15h」の記憶領域にはLED4～LED7の出力状態、レジスタ番号「16h」の記憶領域にはLED8～LED11の出力状態、レジスタ番号「17h」の記憶領域にはLED12～LED15の出力状態が設定される。

20

【0458】

レジスタ番号「18h」～「1Ah」（レジスタ名「SUBADR1」～「SUBADR3」）にはサブアドレスが設定される。レジスタ番号「18h」～「1Ah」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、第1サブアドレス～第3サブアドレスが設定される。

【0459】

レジスタ番号「1Bh」（レジスタ名「ALLCALLADR」）にはすべての装飾制御装置610に対する指令を出力するためのオールコールアドレスが設定される。オールコールアドレスは、例えば、電源投入時などにすべての装飾制御装置610で初期化処理を実行する場合などに使用される。

30

【0460】

図25は、本発明の実施の形態のマスタIC（第1マスタIC570a及び第2マスタIC570b）が接続線SDA及び接続線SCLを介してデータを出力するスタート条件及びストップ条件の説明図である。

【0461】

接続線SCLは、データの非送信時には信号レベルがHIGHになっている。マスタICは、装飾制御装置610にデータを出力する際に、接続線SCLの信号レベルをLOWからHIGHに変化させ、装飾制御装置610が接続線SDAのデータを取り込むためのストローク信号として作用させる。

40

【0462】

接続線SDAは、データの非送信時には信号レベルがHIGHになっており、接続線SCLのクロック信号に合わせて接続線SDAからデータが出力される。

【0463】

マスタICは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

50

【0464】

装飾制御装置610のI²C I/Oエキスパンダ615は、接続線SDA及び接続線SCLからスタート条件となる信号が入力されると、データの出力が開始されることを認識する。

【0465】

マスタICは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変化させることで、データの出力が終了することを示すストップ条件となる信号を出力する。

【0466】

装飾制御装置610のI²C I/Oエキスパンダ615は、ストップ条件となる信号が入力されると、データの出力が終了することを認識する。本発明の実施の形態では、前述のように、装飾制御装置610がストップ条件となる信号を受信すると、当該装飾制御装置610が制御する演出装置(装飾装置620)の制御を開始する。

10

【0467】

図26は、本発明の実施の形態のマスタICから出力されたデータが入力された装飾制御装置610が返答信号を出力するタイミングチャートである。

【0468】

装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数を計数し、接続線SCLのクロック信号に合わせて接続線SDAから入力されるデータを取り込む。

20

【0469】

そして、装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数9回に達する直前に、返答信号をマスタICに接続線SDAを介して出力する。換言すると、装飾制御装置610は、接続線SDAから8ビット目のデータを取り込んだ後に、接続線SCLの信号レベルがHIGHからLOWに変化する契機に、当該接続線SDAを介して返答信号を出力する。

【0470】

なお、図26に示すように、データの受信に成功したことを示す返答信号(ACKの返答信号)はLOWレベルによって示され、データの受信に失敗したことを示す返答信号(NACKの返答信号、図ではACK出力なしに相当)はHIGHレベルによって示される。

30

【0471】

また、マスタICは、スタート条件が成立してから接続線SCLの信号レベルが8回変化すると、接続線SDAを解放することによって、装飾制御装置610から返答信号の入力を待機する。そして、マスタICは、接続線SDAを解放したまま、接続線SCLの信号レベルを変化させて、装飾制御装置610からの返答信号を取り込む。

【0472】

図27は、本発明の実施の形態のマスタICが演出制御データを出力する場合の接続線SDA及び接続線SCLの信号レベルのタイミングチャートである。

【0473】

まず、マスタICは、データの出力を開始する場合には、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることによって、スタート条件を示す信号を出力し、データの出力を開始することを装飾制御装置610に通知する。

40

【0474】

次に、マスタICは、合計7ビットからなる制御対象となる装飾制御装置610のスレーブアドレスを出力する。さらに、マスタICは、読み出し要求である書き込み要求であるかを示す情報を8ビット目に出力する。

【0475】

そして、マスタICは、接続線SCLの信号レベルが9回目にHIGHになるときに、

50

装飾制御装置 610 から返答信号が入力されるので、ACK の返答信号であれば接続線 SDA の信号レベルが LOW に変化し、NACK の返答信号であれば接続線 SDA の信号レベルが HIGH に変化する。

【0476】

次に、マスタ IC は、アドレスデータの出力後、8 の倍数となるビット数でデータを出力する。さらに、データの 8 ビット目を出力した後、ACK の返答信号が入力されるのを待ってデータの 9 ビット目を出力する。以降、8 の倍数番目に相当するビットのデータを出力すると、ACK の返答信号が入力されるのを確認してから、(8 の倍数 + 1) 番目のビットを出力し、全データが出力されるまで繰り返す。

【0477】

なお、マスタ IC は、データの 8 の倍数番目となるビットを出力した後、所定時間経過しても ACK の返答信号が入力されない場合には、データの送信に失敗したものとみなして、再度スタート条件を送信する。次いで、接続線 SDA を介して、再度アドレスデータを出力し、ACK の返答信号を確認しながら、もう一度、データを 1 ビット目から出力する。

【0478】

また、マスタ IC は、データの最後のビットのデータを出力した後、ACK の返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

【0479】

なお、図 27 では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計 24 ビット (スレーブアドレス 8 ビット、データ 16 ビット) のデータを出力しているが、送信するデータのサイズに応じて、24 ビット以上であってもよいし、24 ビット以下であってもよい。

【0480】

図 28 は、本発明の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置 610 に演出制御データを設定する場合において、マスタ IC と I²C I/O エクスパンダ 615 との間で送受信されるデータのフォーマットを説明する図である。

【0481】

最初に出力される 8 ビットのデータ 2801 には、データ送信の対象となる装飾制御装置 610 のアドレス「A0 ~ A6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R/W 識別データとが含まれる。アドレス「A0 ~ A6」のうち、「A4 ~ A6」は値「110」となる固定アドレス部であり、「A0 ~ A3」は I²C I/O エクスパンダ 615 の A0 ~ A3 の端子に設定されている個別アドレスに相当する (図 18 及び図 19 参照)。なお、データ 2801 は、図 27 における「ADDRESS」及び「R/W」に対応するデータである。

【0482】

次に出力される 8 ビットのデータ 2802 には、I²C I/O エクスパンダ 615 の出力設定レジスタ 635 (図 17 参照) に割り当てられているコントロールレジスタへの設定データが含まれる。データ 2802 は、図 27 において 1 番目に送信される「DATA」に対応するデータである。

【0483】

ここで、コントロールレジスタについて説明する。コントロールレジスタは 8 ビットからなり、上位 3 ビット「AI0 ~ AI2」が出力設定レジスタ 635 のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位 5 ビット「D0 ~ D4」がワークレジスタにおけるアクセス開始位置 (書き込みを開始する先頭位置、又は読み出しを開始する先頭位置) を指定するレジスタアドレスである。

【0484】

自動書込パラメータは、マスタ IC によって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス (オートインクリメントを禁止) するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス (オートインクリメントを許可) する

10

20

30

40

50

のかを指定するパラメータであり、具体的には「000」、「100」、「101」、「110」、「111」の何れかの値を設定することができる。

【0485】

自動書込パラメータに「000」の値を設定すると、オートインクリメントが禁止され、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセスし、開始位置以外の領域はアクセスしない。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域のみがアクセスされ、他の記憶領域にはアクセスされない。すなわち、特定のレジスタアドレスの記憶領域の値のみを変更する場合に使用される。複数のレジスタアドレスの記憶領域の値を連続して変更する場合には、以下に示すように、オートインクリメントを許可することによって、アドレスの指定を省略することができる。

10

【0486】

自動書込パラメータに「100」の値を設定すると、オートインクリメントが許可され、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「1Bh」となる記憶領域をアクセスした後は、レジスタ番号が「00h」となる記憶領域をアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域にアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域（すなわち、すべての領域）を、繰り返しアクセスする。

20

【0487】

自動書込パラメータに「101」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「11h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」となる記憶領域をアクセスし、以降、レジスタ番号が「02h」～「11h」となる区間の記録領域（LEDの輝度調整に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「11h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」「03h」・・・「11h」「02h」「03h」・・・となる領域を、繰り返しアクセスする。

30

【0488】

自動書込パラメータに「110」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「12h」となる記憶領域をアクセスし、以降、レジスタ番号が「12h」～「13h」となる区間の記録領域（LEDの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「12h」「13h」「13h」・・・となる領域を、繰り返しアクセスする。

40

【0489】

自動書込パラメータに「111」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。

50

返す。ただし、一旦、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」となる記憶領域をアクセスし、以降、レジスタ番号が「02h」～「13h」となる区間の記録領域（LEDの輝度及び点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」「03h」・・・「13h」「02h」「03h」・・・となる領域を、繰り返しアクセスする。

【0490】

10

ここで、図28の説明に戻ると、コントロールレジスタの設定データ2802に続いて、ワークレジスタの設定データ2803が出力される。設定データ2803は、図27において2番目以降に送信される「DATA」に対応するデータである。

【0491】

自動書込パラメータを「000」とした場合には、設定データ2803は、レジスタアドレスが指定する1箇所の記憶領域を更新するための8ビットのデータとなる。自動書込パラメータを「000」以外の値とした場合には、この設定データ2803は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な8の倍数となるビットのデータとなる。

【0492】

20

図29は、本発明の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタICとI²CI/Oエキスパンダ615との間で送受信される演出制御データに具体的な数値を適用した図である。図29では、オートインクリメントを禁止して、ワークレジスタの特定の記憶領域を1箇所だけを更新する演出制御データを示しており、具体的には、I²CI/Oエキスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を更新する場合について説明する。

【0493】

まず、最初に出力される8ビットのデータ2901には、送信先の装飾制御装置610のI²CI/Oエキスパンダ615のスレーブアドレスを示す「1101100」が割り

30

【0494】

次に出力される8ビットのデータ2902には、自動書込パラメータ、及びLEDの出力データを設定するために割り当てられているI²CI/Oエキスパンダ615の出力設定レジスタ635のコントロールレジスタに設定される値が含まれる。

【0495】

ここでは、I²CI/Oエキスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を設定するので、レジスタアドレスにはLEDOUT0（アドレス=10100）を指定することにする。

【0496】

40

なお、自動書込パラメータには、オートインクリメントを禁止するために「000」が指定されている。

【0497】

次に、出力される8ビットのデータ2903には、送信先の装飾制御装置610によって制御される装飾装置620の発光態様を設定するデータが含まれる。具体的には、LEDOUT0レジスタに設定されるデータが割り当てられている。これにより、I²CI/Oエキスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態（点灯、消灯、点滅など）が指定され、指定された状態でLEDが発光する。

【0498】

このようにして、I²CI/Oエキスパンダ615のPORT0端子～PORT3端子

50

のLEDの発光状態が制御されるが、I²C I/Oエクスパンダ615の他のPORT端子(PORT4~PORT15)も、コントロールレジスタデータ2902の値を指定して、出力データ2903を設定することで個別に制御可能である。PORT端子に、モータやソレノイドが接続されていても、同様に制御される。

【0499】

図30は、本発明の実施の形態のマスタICの演出制御データを送信する順序を説明する図である。図30では、オートインクリメントを許可して、ワークレジスタのすべての記憶領域を更新する場合に、演出制御データに含まれる各データを送信する順序を規定している。

【0500】

まず、マスタICは、制御対象となる装飾制御装置610の個別アドレスを特定可能な8ビットのデータ(図28のデータ2801と同一フォーマットのデータ)を送信する。

【0501】

次に、マスタICは、制御対象のI²C I/Oエクスパンダ615の出力設定レジスタ635のコントロールレジスタに設定されるデータ(図28のデータ2802と同一フォーマットのデータ)を送信する。図30においては、オートインクリメントを許可してワークレジスタのすべての記憶領域を更新するため、自動書込パラメータには「100」が指定され、書き込み又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「00h」が指定される。

【0502】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置610のI²C I/Oエクスパンダ615においては、レジスタ番号「00h」の記憶領域(MODE1レジスタ)が最初に更新されることになる。

【0503】

次に、マスタICは、コントロールレジスタ設定値の送信後、MODE1レジスタに書き込む値(合計8ビット)を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信するとMODE1レジスタの値を更新し、レジスタ番号をインクリメントして次の「01h」の記憶領域(MODE2レジスタ)を更新するための準備をする。

【0504】

さらに、マスタICは、MODE2レジスタに書き込む値(合計8ビット)を送信し、以降、レジスタ番号が「02h」~「1Bh」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「00h」~「1Bh」のすべてのレジスタの値が更新される。

【0505】

なお、I²C I/Oエクスパンダ615は、ワークレジスタの最終となる「1Bh」の記憶領域を更新すると、レジスタ番号を「00h」に変更して、MODE1レジスタの更新を待つ状態となる。

【0506】

図31は、本発明の実施の形態のマスタICがI²C I/Oエクスパンダ615を初期化する場合に、マスタICからI²C I/Oエクスパンダ615に送信される初期化指示データのフォーマットを説明する図である。

【0507】

演出制御装置550のCPU551がマスタICに対して装飾制御装置610の初期化を行うように指示すると、マスタICは、配下に接続されているすべての装飾制御装置610に初期化指示データを送信する。

【0508】

最初に出力される8ビットのデータ3101には、図29に示す固定アドレス「110」と、共通アドレスであるリセットアドレス「1011」(図23参照)とが含まれる。

10

20

30

40

50

なお、このデータ3101は、図27における「ADDRESS」に対応するものであり、「R/W」のビットには、書き込みを示す「0」が設定される。

【0509】

次に出力される8ビットのデータ3102には、第1所定値「10100101」が設定され、次に出力される8ビットのデータ3103には、第2所定値「01011010」が設定される。なお、データ3102は、図27において1番目に送信される「DATA」に対応し、データ3103は、図27において2番目に送信される「DATA」に対応する。

【0510】

マスタICに接続されるすべてのI²CI/Oエクスパンダ615は、リセットアドレス、第1所定値、及び第2所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

10

【0511】

リセットアドレスの出力後に、さらに第1所定値及び第2所定値の両方を出力するようにした理由は、マスタICがリセットアドレス「1011」を送信していないにもかかわらず、ノイズなどの影響によってI²CI/Oエクスパンダ615が誤ってリセットアドレス「1011」を取り込むことによって、誤ったタイミングで初期化が実行されることを防止するためである。

【0512】

また、リセットアドレスは、個別アドレスとは異なって、すべて（換言すれば複数）のI²CI/Oエクスパンダ615に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを1回送信するだけで、すべて（複数）のI²CI/Oエクスパンダ615を選択して初期化することになるので、I²CI/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

20

【0513】

なお、図31では、第1所定値と第2所定値とを異なる値としたが、同じ値であってもよい。また、第1所定値及び第2所定値のいずれかが1回送信されるようにしてもよい。

【0514】

図32は、本発明の実施の形態の第1マスタIC570aの異常判定テーブル3200を説明する図である。

30

【0515】

異常判定テーブル3200は、演出制御装置550のRAM553に格納される。異常判定テーブル3200は、演出制御装置550の第1マスタIC570aと、当該第1マスタIC570aに接続されるI²CI/Oエクスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3200は、接続状態に応じて、各I²CI/Oエクスパンダ615に対応した情報が格納される。

【0516】

異常判定テーブル3200は、I/Oエクスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、及びエラーフラグ3205を含む。

40

【0517】

I/Oエクスパンダアドレス3201には、第1マスタIC570aに接続されるI²CI/Oエクスパンダ615のA0～A3の端子に設定されているアドレス（図18参照）に対応している。

【0518】

スレーブアドレス3202には、図23に示したI²CI/Oエクスパンダアドレステーブル2300に登録されているスレーブアドレスが登録される。

【0519】

エラーカウンタ3203は、第1マスタIC570aからI²CI/Oエクスパンダ6

50

15に演出制御データを送信し、当該I²C I/Oエキスパンダ615からACKを2回連続して受信できなかった場合にインクリメントされる。

【0520】

比較値3204には、I²C I/Oエキスパンダ615に障害が発生しているか否かを判定するために、エラーカウンタ3203の値と比較するための値が登録される。なお、比較値3204の値は、制御対象の演出装置の種類に応じて設定してもよい。

【0521】

エラーフラグ3205には、当該エントリのI²C I/Oエキスパンダ615との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

【0522】

I²C I/Oエキスパンダ615に障害が発生しているか否かを判定する方法について具体的に説明すると、エラーカウンタ3203の値が、比較値3204に設定された所定値に達した場合、エラーフラグ3205に「ON」が設定され、当該エントリに対応するI²C I/Oエキスパンダ615に障害が発生したことが登録される。

【0523】

本発明の実施の形態では、後述するように、演出制御データの出力処理(図37参照)は、VDP割込(約33.3ms周期)に同期して実行されるようにしている。

【0524】

前述したように、第1マスタIC570aからI²C I/Oエキスパンダ615への2回目の演出制御データの送信に対して、I²C I/Oエキスパンダ615からのACKが受信できなければ、エラーカウンタ3003がインクリメントされる。

【0525】

したがって、異常が発生している場合には、データ出力処理の実行周期が33.3msで、比較値3004が「300」であるので、33.3ms×300=10sでI²C I/Oエキスパンダ615に関する異常が発生したことを検出する。

【0526】

図33は、本発明の実施の形態の第2マスタIC570bの異常判定テーブル3300を説明する図である。

【0527】

第2マスタIC570bの異常判定テーブル3300は、第1マスタIC570aの異常判定テーブル3200と同様に、演出制御装置550のRAM553に格納される。異常判定テーブル3300は、演出制御装置550の第2マスタIC570bと、当該第2マスタIC570bに接続されるI²C I/Oエキスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3300は、接続状態に応じて、各I²C I/Oエキスパンダ615に対応した情報が格納される。

【0528】

異常判定テーブル3300は、I/Oエキスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、エラーフラグ3205、MS識別コード3301、及び初期化フラグ3302を含む。

【0529】

I/Oエキスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、及びエラーフラグ3205は、図32に示す異常判定テーブル3200と同じ構成であるので、説明を省略する。

【0530】

第2マスタIC570bが制御する装飾制御装置610(I²C I/Oエキスパンダ615)は可動物を制御するものであるため、第2マスタIC570bとI²C I/Oエキスパンダ615との間の接続状態に異常が発生した場合には、可動物の可動が継続して、当該可動物や他の部材を破損させてしまう可能性があるため、いち早く接続状態の異常を検出できるようにするために、比較値3204は、図32に示す異常判定テーブル3200の比較値3204よりも短い値(「50」)に設定されている。

10

20

30

40

50

【0531】

MS識別コード3301は、I²C I/Oエキスパンダ615が制御する可動物がソレノイドであるかモータであるかを示すコードが登録される。MS識別コード3301には、I²C I/Oエキスパンダ615が制御する可動物がソレノイドである場合には「S」が登録され、I²C I/Oエキスパンダ615が制御する可動物がモータである場合には「M」が登録される。

【0532】

このため、図13に示すように、個別アドレスが「0000」に割り当てられたI²C I/Oエキスパンダ615（装飾制御装置610M）は役物駆動SOL82を制御するため、I/Oエキスパンダアドレス3201に「0000」が登録されたエントリのMS識別コード3301には「S」が登録され、I/Oエキスパンダアドレス3201に「0001」、「0010」、「0011」、及び「0100」が登録されたエントリのMS識別コード3301には「M」が登録される。

10

【0533】

初期化フラグ3302には、モータが初期位置まで回転させる初期化中であるか否かを示す初期化フラグが登録される。初期化フラグ3302は、モータが初期化中であるか否かを示すものであるため、ソレノイドを制御するI²C I/Oエキスパンダ615（I/Oエキスパンダアドレス3201に「0000」が登録されたエントリ）のMS識別コード3301には「-」が登録される。

【0534】

20

本発明の実施の形態では、第1マスタIC570aと第2マスタIC570bの両方に接続される装飾制御装置610が存在しないため、制御対象の各装飾制御装置610のI/OエキスパンダアドレスがマスタICごとに設定される。したがって、図32及び図33には、同じ値のI/Oエキスパンダアドレスが設定されている。なお、I/Oエキスパンダアドレスには一つのアドレスのみ設定可能であるため、一つの装飾制御装置610を複数のマスタICが制御する場合には共通のアドレスを設定する必要がある。

【0535】

本発明の実施の形態のマスタICには、デバイスの動作を構成し、シリアルデータを送受信するために使用される複数のレジスタが備えられている。図11及び図12に示したコマンドレジスタ（REG）581は、このようなレジスタの一つであり、接続された装飾制御装置610にスタートコンディションやストップコンディションを出力することなどを指示する。

30

【0536】

演出制御装置550は、マスタICを介して装飾制御装置（スレーブ）610に演出指示を送信し、各種演出処理を実行する。図34には各スレーブを初期化する手順、図35には各スレーブに演出制御データを送信する手順の概要を示す。

【0537】

図34は、本発明の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時にCPU551とマスタIC（第1マスタIC570a又は第2マスタIC570b）との間で送受信される情報を説明する図である。

40

【0538】

演出制御装置550のCPU551は、スレーブ初期化開始処理が開始されると、コマンドREG581のスタートコンディション（STA）及びストップコンディション（STO）の実行を指示するビットに“1”を設定する（3401）。

【0539】

マスタICは、コマンドREG581に設定された情報（STO、STA）に従って、制御対象の各装飾制御装置（スレーブ）610に対し、まず先にストップコンディションを出力し、次いでスタートコンディションを出力する（3411）。ストップコンディションを出力することによってデータの送信が完了した旨を各スレーブに通知し、その後、スタートコンディションを出力することによって、各スレーブにおいてコマンドの入力を

50

受け付ける準備を完了させる。

【0540】

マスタICは、スタートコンディションを出力すると、CPU551に割込信号(INT)を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理(1)を開始する(3402)。送信指示データの送信再開処理(1)では、出力用バッファ572にリセット用アドレスを設定する。リセット用アドレスは、各スレーブをリセットするために予め定められている固定アドレスである。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。

【0541】

マスタICは、出力用バッファ572に設定されたリセット用アドレスに対し、所定のデータ(リセット指令)を出力する(3412)。リセット指令は、図31にて説明した第1所定値(データ3102)及び第2所定値(データ3103)に対応する。

10

【0542】

マスタICは、リセット用アドレスを出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理(2)を開始する(3403)。送信指示データの送信再開処理(2)では、出力用バッファ572にリセット指令の前半の値を設定する。リセット指令の前半の値は、図31にて説明した第1所定値(データ3102)に対応する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の前半の値を出力する(3413)。

20

【0543】

その後、マスタICは、リセット指令の前半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理(3)を開始し(3404)、出力用バッファ572にリセット指令の後半の値を設定する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の後半の値を出力する(3414)。リセット指令の後半の値は、図31にて説明した第2所定値(データ3103)に対応する。

【0544】

さらに、マスタICは、リセット指令の後半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理(4)を開始し(3405)、コマンドREG581のSTAに“0”、STOに“1”が設定し、マスタICにストップコンディションの出力を指示する。

30

【0545】

マスタICは、コマンドREG581に設定された情報に従って、各スレーブにストップコンディションを出力する(3415)。

【0546】

以上の処理によって、各スレーブが初期化される。なお、初期化に失敗した場合には(3406)、ステップ3402から処理を再開する。

【0547】

図35は、本発明の実施の形態の各装飾制御装置(スレーブ)に演出制御データを送信する際にCPU551とマスタIC(第1マスタIC570a又は第2マスタIC570b)との間で送受信される情報を説明する図である。

40

【0548】

演出制御装置550のCPU551は、演出制御を行う場合に、まず、コマンドREG581のスタートコンディション(STA)及びストップコンディション(STO)の実行を指示するビットに“1”を設定する(3501)。

【0549】

マスタICは、コマンドREG581のSTA及びSTOに設定された値(“1”)に基づいて、各スレーブにストップコンディションを出力し、その後、スタートコンディシ

50

ョンを出力する(3511)。

【0550】

そして、マスタICは、スタートコンディションを各スレーブに出力すると、各スレーブで演出制御データを受信する準備が整うため、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、出力用バッファ572に制御対象のスレーブのアドレス及び制御内容を示す演出制御データを設定する(3502)。このとき、コマンドREG581のSTA及びSTOには“0”を設定する。

【0551】

マスタICは、出力用バッファ572に設定されたアドレス及び演出制御データを各スレーブに出力する(3512)。このとき、出力されたアドレスに対応するスレーブは、受信した演出制御データに基づいて演出処理を実行する。

10

【0552】

そして、マスタICは、アドレス及び演出制御データを各スレーブに出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、コマンドREG581のSTAに“1”、STOに“0”を設定する(3503)。その後、マスタICは、再度スタートコンディションを出力する、いわゆるリスタートコンディションを出力する(3513)。

【0553】

続いて、CPU551及びマスタICは、別のアドレスを指定して同様の処理を行う(3504、3514、3505、3515)。CPU551によって最後のn個めのスレーブに対する演出制御データの出力が完了し(3506)、さらに、マスタICが演出制御データに対応するスレーブに出力すると(3516)、全データの出力が完了したため、ストップコンディションを出力する。具体的には、マスタICが最終のスレーブに演出制御データを出力完了したときに、割込信号を入力してCPU551に割込みを発生させ、割込みが発生したCPU551は、コマンドREG581のSTAに“0”、STOに“1”を設定し(3507)、その後、マスタICがストップコンディションを出力する(3517)。

20

【0554】

図36は、本発明の実施の形態の演出制御装置550からマスタIC(第1マスタIC570a又は第2マスタIC570b)に演出制御データを送信する段階を説明する図である。

30

【0555】

演出制御装置550のCPU551は、後述するスレーブ出力データ編集処理が実行されると、RAM553に出力データ準備領域を確保し、出力データ準備領域に各スレーブに対する演出制御データを格納する。

【0556】

また、出力データ準備領域は、スレーブ毎にさらに領域が分割され、各スレーブに対応するアドレス及び演出内容に対応する演出制御データが格納される。具体的には、アドレスは図30に示した送信順序1のデータに対応し、演出制御データは図30に示した送信順序2から30までのデータに対応する。

40

【0557】

さらに、CPU551は、未送信の演出制御データが上書きされないように、出力データ退避領域をさらにRAM553に確保し、図37に示すステップ3707、及び図44に示すスレーブ出力データ退避処理によって出力データ準備領域に記憶されたデータを出力データ退避領域に退避させる。その後、図37に示すステップ3710及び図44に示すステップ4405のスレーブ出力開始処理において、マスタICの出力用バッファ572に設定する。

【0558】

なお、出力データ準備領域及び出力データ退避領域はマスタICごとにRAM553に確保され、本発明の実施の形態では、第1マスタIC570a及び第2マスタIC570

50

bに対応した領域がそれぞれ確保される。

【0559】

図37は、本発明の実施の形態の演出制御装置550による処理の手順を示すフローチャートである。

【0560】

図37に示す処理は、演出制御装置550のCPU551によって実行される。

【0561】

演出制御装置550は、演出制御装置550に電源が投入されると、まずステップ3701～3706の処理を実行し、ステップ3707の処理でVDP556から画像更新周期と同期する同期信号（例えば、33.3ms周期の同期信号）が割込信号としてCPU551に入力されるまで待機する。そして、以降、VDP556から画像更新周期と同期する同期信号が割込信号としてCPU551に入力される毎に、ステップ3707～3717の処理を繰り返し実行する。

10

【0562】

VDPからの同期信号が入力される毎に実行されるステップ3707～3717の処理では、第1マスタIC570aを介して、発光装置を制御する装飾制御装置610へ演出制御データを送信する処理が実行される。

【0563】

なお、第2マスタIC570bを介して、可動部材を制御する装飾制御装置610へ演出制御データを送信する処理も実行されるが、この処理は、画像更新周期よりも短い周期（例えば、2ms周期）で入力されるタイマ割込が入力されるごとに実行される。

20

【0564】

第2マスタIC570bが装飾制御装置610へ演出制御データを送信する周期を、第1マスタIC570aが装飾制御装置610へ演出制御データを送信する周期よりも短くする理由は、可動物が可動により当該可動物及び周囲の部材の破損を防止するために、可動物の制御は、通常、発光装置の制御よりも短い周期で行われる必要があるためである。

【0565】

まず、演出制御装置550は、演出制御装置550のRAM553の初期化などを含む初期化処理を実行する（3701）。このとき、後述する第1マスタIC570aに関する初期化段階番号と、第2マスタIC570bに関する初期化段階番号とを、ともに“0”に設定しておく。

30

【0566】

そして、演出制御装置550のCPU551は、出力I/F558aとNORゲート回路561を介してリセットパルスを実行する第1マスタIC570a及び第2マスタIC570bに入力し、第1マスタIC570a及び第2マスタIC570bをハード的に初期化する（3702）。

【0567】

続いて、演出制御装置550は、第1マスタIC570aに接続されたすべての装飾制御装置610のI²C I/Oエキスパンダ615を初期化するために、第1マスタIC570aから初期化指示データを出力する第1マスタIC570a側スレーブ初期化開始処理を実行する（3703）。同様に、第2マスタIC570bに接続されたすべての装飾制御装置610のI²C I/Oエキスパンダ615を初期化するために、第2マスタIC570bから初期化指示データを出力する第2マスタIC570b側スレーブ初期化開始処理を実行する（3704）。スレーブ初期化開始処理の詳細については、図38にて説明する。

40

【0568】

さらに、演出制御装置550は、第1マスタIC570aに関する初期化段階番号と、第2マスタIC570bに関する初期化段階番号とが、ともに“0”になるまで待機する（3705）。初期化段階番号とは、第1マスタIC570a及び第2マスタIC570bの各々に関して初期化処理の進捗を示す番号であり、電源投入直後に演出制御装置55

50

0 が起動した直後では“ 0 ”となっているが、初期化処理が開始されると、段階を追って“ 1 ”から“ 4 ”まで1つずつインクリメントされ、初期化処理が完了すると、再度、“ 0 ”に戻されるものである。なお、図 4 2 にて説明する初期化指示データの送信再開処理において、設定されている初期化段階番号の値に対応する処理が順次実行される。

【 0 5 6 9 】

すべてのマスタ及びスレーブの初期化が完了すると、演出制御装置 5 5 0 の CPU 5 5 1 は、VDP 5 5 6 から画像更新周期と同期する同期信号（VDP 割込）の受け入れ、及びタイマ割り込みの受け入れを許可する（3 7 0 6）。

【 0 5 7 0 】

演出制御装置 5 5 0 は、図 3 6 にて説明したように、RAM 5 5 3 上に格納された演出制御データを上書きされないように退避する第 1 マスタ IC 5 7 0 a のスレーブ出力データ退避処理を実行する（3 7 0 7）。退避領域に退避された出力データは、前述したように、所定のタイミングで第 1 マスタ IC 5 7 0 a に設定される。

【 0 5 7 1 】

そして、演出制御装置 5 5 0 の CPU 5 5 1 は、表示装置 5 3 に画像を表示するために、VDP 5 5 6 に画像を表示させる指令（画像更新の指令）となるデータを出力する（3 7 0 8）。さらに、スピーカ 3 0 から音を遊技状態に応じて出力させるために、音制御データを音 LSI 5 5 7 に出力する。音 LSI 5 5 7 は、入力された音制御データに基づいてスピーカ 3 0 から音を出力させる（3 7 0 9）。

【 0 5 7 2 】

次に、演出制御装置 5 5 0 は、第 1 マスタ IC 5 7 0 a から装飾制御装置 6 1 0 に演出制御データを出力する第 1 マスタ側スレーブ出力開始処理を実行する（3 7 1 0）。前述したように、第 1 マスタ IC 5 7 0 a が制御する装飾制御装置 6 1 0 は、主として LED などの発光体を制御するものであり、発光制御装置又は発光制御スレーブとされる。第 1 マスタ側スレーブ出力開始処理の詳細については、図 3 9 にて後述する。

【 0 5 7 3 】

演出制御装置 5 5 0 の CPU 5 5 1 は、スレーブ出力開始処理が終了すると、VDP 5 5 6 に次に出力されるデータを編集し（3 7 1 1）、さらに、音 LSI 5 5 7 に出力される音制御データを編集する（3 7 1 2）。

【 0 5 7 4 】

さらに、演出制御装置 5 5 0 は、第 1 マスタ IC 5 7 0 a に接続され、発光体を制御する装飾制御装置 6 1 0 に送信するための演出制御データを編集する第 1 マスタ側スレーブ出力データ編集処理を実行する（3 7 1 3）。スレーブ出力データ編集処理では、図 3 6 で説明したように、各スレーブの演出制御データを生成し、RAM 5 5 3 上に確保された出力データ準備領域に格納する。

【 0 5 7 5 】

次に、演出制御装置 5 5 0 は、図 3 2 に示した異常判定テーブル 3 2 0 0 を参照し、第 1 マスタ IC 5 7 0 a に接続された発光制御スレーブに関するエラー判定処理を実行する（3 7 1 4）。

【 0 5 7 6 】

エラー判定処理では、演出制御装置 5 5 0 が、異常判定テーブル 3 2 0 0 の発光制御スレーブに対応するエントリのエラーフラグ 3 2 0 5 がすべて「ON」となっているか否か、つまりすべての発光制御スレーブでエラーが発生しているか否かを判定する。言い換えれば、エラーフラグ 3 2 0 5 が「OFF」となっている発光制御スレーブが少なくとも 1 つ以上あるか否かを判定する。このエラー判定処理によって、すべての発光制御スレーブでエラーが発生していると判定された場合には、第 1 マスタ IC 5 7 0 a 及び第 1 マスタ IC 5 7 0 a に接続されたすべての発光制御スレーブのリセットする条件が成立したものとされる。

【 0 5 7 7 】

演出制御装置 5 5 0 は、ステップ 3 7 1 4 のエラー判定処理の結果に基づいてリセット

10

20

30

40

50

条件が成立しているか否かを判定する(3715)。前述のように、ステップ3714のエラー判定処理の時点ですべての発光制御スレーブのエラーフラグ3205が「ON」になっている場合には、リセット条件が成立したと判定される。

【0578】

演出制御装置550のCPU551は、リセット条件が成立したと判定された場合には(3715の結果が「Y」)、第1マスタIC570aを初期化し(3716)、第1マスタIC570aに接続されるすべてのI²C I/Oエキスパンダ615(装飾制御装置610)に対して同時に初期化指示データを出力する第1マスタ側スレーブ初期化開始処理を実行する(3717)。

【0579】

一方、演出制御装置550のCPU551は、リセット条件が成立していないと判定された場合には(3715の結果が「N」)、CPU551が次のVDP556から割込信号を受け付けるまで処理を待機する。

【0580】

このように、リセット条件が成立したと判定された場合には、ステップ3717の処理で、第1マスタIC570aに接続されるすべてのI²C I/Oエキスパンダ615に対して、同時に初期化を指示する。すなわち、すべてのI²C I/Oエキスパンダ615を同時に選択して初期化することになるので、I²C I/Oエキスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことが可能となり、I²C I/Oエキスパンダ615を正常な状態へ迅速に復帰させることができる。このとき、CPU551がバス563を介してリセットREG573に初期化指示情報を書き込むことにより、第1マスタIC570aをソフト的にリセットする。

【0581】

なお、ステップ3715の処理でリセット条件成立と見なされた場合は、第1マスタIC570aにおいて異常が発生している可能性があるため、ステップ3716の処理で第1マスタIC570aも初期化するようにしている。

【0582】

第1マスタIC570aは、CPU551からの指令によって、接続線SDAとSCLの信号レベルを制御する信号レベル制御手段として機能しているため、すべての発光制御装置にてデータ送信に関する異常が発生している場合には、第1マスタIC570a自身に異常が発生していることも考えられる。

【0583】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551(演算処理手段)により第1マスタIC570aが初期化される。これにより、第1マスタIC570aで異常が発生している場合であっても確実に第1マスタIC570aを制御可能にすることができる。

【0584】

このように、図37に示した処理では、表示装置53の画像を更新する周期と同期して、演出制御装置550の第1マスタIC570aから装飾制御装置610のI²C I/Oエキスパンダ615に演出制御データを送信する。そして、I²C I/Oエキスパンダ615は、受信した演出制御データに基づいて装飾装置620を制御するため、表示装置53における演出と装飾装置620における演出とが調和し、遊技者に違和感を与えないので、興味を高めることができる。

【0585】

また、表示装置53の画像を更新する周期と同期して第1マスタIC570aから送信された演出制御データが装飾制御装置610で受信されると、その都度、I²C I/Oエキスパンダ615によってワークレジスタ(図24参照)の値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0586】

また、表示装置 5 3 の画像を更新する周期と同期して、ステップ 3 7 1 4 でエラー判定処理を実行するので、エラーを判定する頻度を適切に設定することができる。すなわち、エラー判定処理の実行頻度が多すぎると、演出制御装置 5 5 0 の CPU 5 5 1 の処理負荷が増大し、逆に、エラー判定処理の実行頻度が少なすぎると、異常の発生を適切なタイミングで検出できなくなる。表示装置 5 3 の画像を更新する周期と同期させてエラー判定を行うことによって、適切なタイミングでエラーを検出することが可能となり、各処理における不具合の発生に対して適切に対応することができる。

【 0 5 8 7 】

図 3 8 は、本発明の実施の形態の第 1 マスタ IC 5 7 0 a 側のスレーブ初期化開始処理及び第 2 マスタ IC 5 7 0 b 側のスレーブ初期化開始処理の手順を示すフローチャートである。

10

【 0 5 8 8 】

第 1 マスタ IC 5 7 0 a 側のスレーブ初期化開始処理は、図 3 7 のステップ 3 7 0 3 及び 3 7 1 7 で実行され、第 2 マスタ IC 5 7 0 b 側のスレーブ初期化開始処理は、同じくステップ 3 7 0 4 及び図 4 4 のステップ 4 4 0 9 で実行される処理である。

【 0 5 8 9 】

第 1 マスタ IC 5 7 0 a 側の初期化開始処理では、まず、演出制御装置 5 5 0 の CPU 5 5 1 は、マスタ割込み (マスタ IC から CPU 5 5 1 へ入力される割込み) 及びタイムアウト割込みを禁止する (3 8 0 1)。そして、初期化対象のマスタに第 1 マスタ IC 5 7 0 a を選択する (3 8 0 2)。

20

【 0 5 9 0 】

また、第 2 マスタ IC 5 7 0 b 側のスレーブ初期化開始処理では、第 1 マスタ IC 5 7 0 a 側スレーブ初期化開始処理と同様に、CPU 5 5 1 は、マスタ割込み及びタイムアウト割込みを禁止する (3 8 1 1)。そして、初期化対象のマスタに第 2 マスタ IC 5 7 0 b を選択する (3 8 1 2)。

【 0 5 9 1 】

以降の処理では、第 1 マスタ IC 5 7 0 a 側スレーブ初期化開始処理及び第 2 マスタ IC 5 7 0 b 側スレーブ初期化開始処理について、選択されたマスタに対して共通の処理が実行される。

【 0 5 9 2 】

CPU 5 5 1 は、選択されたマスタの初期化段階番号に “ 1 ” を設定する (3 8 0 3)。さらに、選択したマスタに関する監視タイマを設定し (3 8 0 4)、タイムアウトの監視を開始する (3 8 0 5)。

30

【 0 5 9 3 】

CPU 5 5 1 は、選択されたマスタのコマンド REG 5 8 1 に対し、STA に “ 1 ”、STO に “ 1 ”、SI に “ 0 ”、及び MODE に “ 0 ” を設定する (3 8 0 6)。

【 0 5 9 4 】

STA は、前述したように、スタートコンディションの出力を指示するためのビットであり、STO は、ストップコンディションの出力を指示するためのビットである。各ビットに “ 1 ” が設定されると、マスタ IC によって対応する信号が出力される。ステップ 3 8 0 6 の処理では、スタートコンディション及びストップコンディションの両方の信号が出力される。

40

【 0 5 9 5 】

SI は、前述のマスタ割込みの発生を報知するためのビットであり、“ 1 ” が設定されている場合にはマスタ IC から CPU 5 5 1 に割込みの発生が要求された状態となり、このビットが “ 0 ” に変更されるまで、割込みを発生させたマスタ IC は、処理を待機する状態となる。そして、CPU 5 5 1 によって、このビットに “ 0 ” を設定すると、CPU 5 5 1 に発生している割込みが解除され、処理を待機していたマスタ IC は、次に行われるべき処理を再開する。ステップ 3 8 0 6 の処理では、“ 0 ” が設定されているため、割込みの発生が解除されて、処理を待機していたマスタ IC が動作を再開する。

50

【0596】

MODEは、データを送信するモードを指定するためのビットであり、“1”が設定されている場合には「バッファモード」、 “0”が設定されている場合には「バイトモード」が指定される。ステップ3806の処理では、“0”が設定されているため、バイトモードでデータがやり取りされる。

【0597】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し(3807)、呼び出し元に復帰する。

【0598】

図39は、本発明の実施の形態の第1マスタ側スレーブ出力開始処理及び第2マスタ側スレーブ出力開始処理の手順を示すフローチャートである。

10

【0599】

第1マスタ側スレーブ出力開始処理は、図37に示すステップ3710で実行される処理であり、第1マスタIC570aから発光制御スレーブに演出制御データを送信するために必要な処理である。

【0600】

また、第2マスタ側スレーブ出力開始処理は、図44に示すステップ4405で実行される処理であり、第2マスタIC570bから可動制御スレーブに演出制御データを送信するために必要な処理である。

【0601】

20

第1マスタ側スレーブ出力開始処理では、まず、演出制御装置550のCPU551は、マスタ割込み及びタイムアウト割込みを禁止する(3901)。そして、演出制御データの出力側のマスタとして、第1マスタIC570aを選択する(3902)。

【0602】

また、第2マスタ側スレーブ出力開始処理では、まず、演出制御装置550のCPU551は、マスタ割込み及びタイムアウト割込みを禁止する(3911)。そして、演出制御データの出力側のマスタとして、第2マスタIC570bを選択する(3912)。

【0603】

以降の処理では、第1マスタIC570a側スレーブ出力開始処理及び第2マスタIC570b側スレーブ出力開始処理について、選択されたマスタに対して共通の処理が実行される。

30

【0604】

CPU551は、選択されたマスタに対応するスタートフラグを“オン”に設定する(3903)。さらに、選択されたマスタの監視タイマを設定し(3904)、タイムアウトの監視処理を開始する(3905)。スタートフラグとは、スタートコンディションが出力され、演出制御データの送信が開始されたか否かを示すフラグであり、マスタIC毎に設定される。スタートフラグは、演出制御装置550のRAM553に記憶される。

【0605】

さらに、CPU551は、選択したマスタICのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する(3906)。

40

【0606】

CPU551は、選択したマスタの先頭のスレーブ(装飾制御装置610)を選択する(3907)。各マスタICには、演出制御データを送信するスレーブの順序があらかじめ設定されている。ステップ3907の処理で当該順序の先頭のスレーブを設定し、後述する演出制御データの送信再開処理(図43参照)において、選択したマスタに接続される各スレーブに演出制御データを順次送信する。

【0607】

さらに、CPU551は、選択したマスタICのリトライカウンタを0に設定する(3

50

908)。リトライカウンタとは、各マスタに演出制御データを送信する場合において、送信失敗時にインクリメントされるカウンタである。リトライカウンタが所定の数値よりも大きくなった場合には何らかの障害が発生したものと判断することができる。

【0608】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し(3909)、呼び出し元に復帰する。

【0609】

図40は、本発明の実施の形態の第1マスタIC570a側及び第2マスタIC570b側の送信中断割込み発生時の処理の手順を示すフローチャートである。

【0610】

送信中断割込みは、いわゆるマスタ割込みであり、中断時の状態に応じて処理が実行される。

【0611】

CPU551は、まず、第1マスタIC570aからのマスタ割込みが発生した場合には、第1マスタIC570aに関するタイムアウトの監視を終了する(4001)。さらに、第1マスタIC570aの初期化段階番号及びスタートフラグを取得する(4002)。

【0612】

同じく、CPU551は、第2マスタIC570bからのマスタ割込みが発生した場合には、第2マスタIC570bに関するタイムアウトの監視を終了し(4011)、第2マスタIC570bの初期化段階番号及びスタートフラグを取得する(4012)。

【0613】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”であるか否かを判定する(4003)。初期化段階番号が“0”の場合とは、初期化処理が実行中でない状態であることを示している。すなわち、初期化段階番号が“0”以外の場合には初期化処理が実行中であることを示している。

【0614】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”である場合には(4003の結果が「Y」)、前述のように、初期化処理中であるため、初期化指示データの送信再開処理を実行する(4004)。初期化指示データの送信再開処理の詳細については、図42にて後述する。

【0615】

一方、CPU551は、初期化対象のマスタICの初期化段階番号が“0”でない場合には(4003の結果が「N」)、初期化処理を既に終えており、演出制御データを送信している途中であるため、演出制御データの送信再開処理を実行する(4005)。演出制御データの送信再開処理の詳細については、図43にて後述する。

【0616】

図41は、本発明の実施の形態の第1マスタIC570a及び第2マスタIC570bによるタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【0617】

本処理は、第1マスタIC570a又は第2マスタIC570bにおいて所定の時間が経過しても復帰しない場合に発生するタイムアウト割込みが発生した場合に各マスタICを初期化するために実行される処理である。

【0618】

CPU551は、第1マスタIC570aにおいてタイムアウト割込みが発生した場合には、第1マスタIC570aをソフトリセットする(4101)。さらに、第1マスタIC570aに接続されたスレーブを初期化する第1マスタIC570a側スレーブ初期化開始処理(図38)を実行する(4102)。

【0619】

CPU551は、第2マスタIC570bにおいてタイムアウト割込みが発生した場合

10

20

30

40

50

には、第2マスタIC570bをソフトリセットする(4111)。さらに、第2マスタIC570bに接続されたスレーブを初期化する第2マスタIC570b側スレーブ初期化開始処理(図38)を実行する(4112)。

【0620】

図42は、本発明の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【0621】

CPU551は、まず、初期化段階番号とステータスコードの整合判断を行い(4201)、初期化段階番号とステータスコードとが整合するかどうかを判定する(4202)。初期化段階番号とは、前述のように、初期化処理の進捗を示す番号である。ステータスコードは、マスタICの状態を示す値であり、ステータスレジスタ(REG)582に設定されている。ステップ4201の処理における整合判断では、初期化段階番号に対応する状態が、ステータスREG582に設定されたステータスコードと一致するかどうかを判定する。以下、初期化段階番号及びステータスコードの詳細について説明する。

10

【0622】

初期化段階番号は、マスタICの初期化を行っているときに、その処理段階に応じて“1”~“4”の何れかの値が設定されるものであり、マスタICの初期化が完了すると“0”に設定されるものである。但し、マスタICの初期化が完了して、初期化段階番号が“0”になると、当該初期化指示データの送信再開処理が呼び出されない(図40の呼び出し元の処理にてステップ4003の分岐がある)ので、ここでは、初期化段階番号が“1”~“4”となっていることを前提に説明を行う。

20

【0623】

初期化段階番号に“1”が設定されている場合は、マスタICからスタートコンディションが出力されたことを意味する。この場合には、ステータスコードは、スタートコンディション又はリスタートコンディションが送信されたことを示す“08h”又は“10h”が設定されることになる。したがって、初期化段階番号に“1”が設定されており、かつ、ステータスコードに“08h”又は“10h”が設定されている場合には、整合していると判断される。

【0624】

初期化段階番号に“2”が設定されている場合は、マスタICの出力用バッファ572にリセット用アドレスが設定された状態であることを意味する。この場合には、ステータスコードは、スレーブのアドレス(ここでは、リセット用アドレス)が送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“18h”が設定されることになる。但し、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“20h”が設定される。したがって、初期化段階番号に“2”が設定されており、かつ、ステータスコードに“18h”が設定されている場合には、整合している(データ送信に成功している)と判断される。

30

【0625】

初期化段階番号に“3”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の前半の値が設定された状態であることを意味する。この場合には、ステータスコードは、出力用バッファ572に設定されたデータが送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“28h”が設定されることになる。但し、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“30h”が設定される。したがって、初期化段階番号に“3”が設定されており、かつ、ステータスコードに“28h”が設定されている場合には、整合している(データ送信に成功している)と判断される。

40

【0626】

初期化段階番号に“4”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の後半の値が設定された状態であることを意味する。この場合には、初期

50

化段階番号が“ 3 ”の場合と同様に、ステータスコードに“ 28h ”が設定される。

【0627】

CPU551は、初期化段階番号とステータスコードが整合しないとき（ステップ4202の結果が「N」）には、正常な状態ではない（データ送信に失敗した状態）なので、初期化の開始を示す値“ 1 ”を初期化段階番号に設定する（4203）。さらに、監視タイマを設定し、タイムアウトの監視を開始する（4204）。

【0628】

最後に、CPU551は、ストップコンディション及びスタートコンディションを出力するように、処理対象のマスタICのコマンドREG581のSTAに“ 1 ”、STOに“ 1 ”、SIに“ 0 ”、MODEに“ 0 ”を設定し（4205）、呼び出し元の処理に復帰する。

10

【0629】

一方、CPU551は、初期化段階番号とステータスコードが整合する場合には（4202の結果が「Y」）、初期化処理が実行中であるため、初期化段階番号に基づいて処理を分岐する（4206）。初期化段階番号が“ 1 ”の場合には、処理対象のマスタICの出力用バッファ572にリセット用アドレスを設定する（4207）。

【0630】

そして、CPU551は、初期化段階番号をインクリメントし（4208）、監視タイマを設定し、タイムアウトの監視を開始する（4209）。最後に、処理を継続するために、処理対象のマスタICのコマンドREG581のSTA、STO、SI及びMODE

20

【0631】

また、初期化段階番号が“ 2 ”の場合には、CPU551は、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の前半の値を設定する（4211）。初期化段階番号が“ 3 ”の場合には、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の後半の値を設定する（4212）。出力用バッファ572に値が設定されると、初期化段階番号が“ 1 ”の場合と同様に、ステップ4208から4210までの処理を実行する。

【0632】

また、初期化段階番号が“ 4 ”の場合には、CPU551は、初期化処理に必要な処理が終了したため、処理対象のマスタICに接続されたすべての装飾制御装置610のエラーフラグをオフに設定し（4213）、さらに、エラーカウンタを0に設定して初期化する（4214）。そして、初期化段階番号を初期化処理中でないことを示す“ 0 ”に設定する（4215）。最後に、初期化処理を完了させ、処理対象のマスタICから、当該マスタICに接続されたすべての装飾制御装置610にストップコンディションを出力するために、処理対象のマスタICのコマンドREG581のSTOに“ 1 ”、STA、SI及びMODEにそれぞれ“ 0 ”を設定し（4216）、呼び出し元の処理に復帰する。

30

【0633】

図43は、本発明の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

40

【0634】

CPU551は、まず、スタートフラグとステータスコードの整合判断を行い（4301）、整合するか否かを判定する（4302）。スタートフラグは、第1マスタIC570a及び第2マスタIC570bの各々に関して、演出制御データを送信するタイミングを制御するためのフラグである。具体的には、図39に示す第1マスタ側スレーブスレーブ出力開始処理又は第2マスタ側スレーブ出力開始処理が実行されると、スタートフラグが“ オン ”に設定される。また、後述するように、出力用バッファ572に演出制御データを設定すると、スタートフラグは“ オフ ”に設定される。ステータスコードについては、図42にて説明したとおりである。

【0635】

50

以下、スタートフラグとステータスコードとの対応について説明する。スタートフラグが“オン”の場合には、前述のように、スタートコンディションが出力された後であるため、対応するステータスコードは、スタートコンディション又はリスタートコンディションが送信されたことを示す“08h”又は“10h”となる。一方、スタートフラグが“オフ”の場合、正常に処理が行われていれば、ステータスコードには正常にデータの送信が完了したことを示す“28h”が設定されている。

【0636】

CPU551は、スタートフラグとステータスコードとが整合する場合には(4302の結果が「Y」)、さらに、スタートフラグが“オン”であるか否かを判定する(4303)。

10

【0637】

CPU551は、スタートフラグが“オン”である場合には(4303の結果が「Y」)、RAM553上に準備されていたデータを出力用バッファ572に設定する(4304)。そして、スタートフラグを“オフ”に設定し(4305)、監視タイマを設定し、タイムアウトの監視を開始する(4306)。最後に、処理対象のマスタICのコマンドREG581のSTA、STO及びSIをそれぞれ“0”を設定し、出力用バッファ572に設定されたデータをバッファモードで送信するために、MODEを“1”に設定し(4307)、呼び出し元の処理に復帰する。

【0638】

一方、CPU551は、スタートフラグが“オフ”である場合には(4303の結果が「N」)、選択されたスレーブ(装飾制御装置610)に対応するエラーフラグを“オフ”に設定し(4308)、さらに、エラーカウンタを初期化する(4309)。

20

【0639】

その後、CPU551は、すべてのスレーブに対して送信再開処理が完了したか否かを判定する(4310)。そして、すべてのスレーブに対して処理が完了した場合には(4310の結果が「Y」)、ストップコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTO及びMODEに“1”、STA及びSIに“0”を設定し(4311)、呼び出し元の処理に復帰する。

【0640】

CPU551は、すべてのスレーブに対して処理が完了していない場合には(4310の結果が「N」)、リトライカウンタを0に設定し(4312)、次の処理対象のスレーブを選択する(4313)。そして、選択されたスレーブへの出力データを準備し(4314)、スタートフラグを“オン”に設定し(4315)、監視タイマを設定し、タイムアウトの監視を開始する(4316)。

30

【0641】

最後に、CPU551は、スタートコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTA及びMODEに“1”、STO及びSIに“0”を設定し(4317)、呼び出し元の処理に復帰する。

【0642】

CPU551は、スタートフラグとステータスコードとが整合しない場合には(4302の結果が「N」)、リトライカウンタの値をインクリメントする(4318)。そして、リトライカウンタの値が、指定された値に到達したか否かを判定する(4319)。このときの指定された値は、図32又は図33に示した異常判定テーブル3200又は異常判定テーブル3300に設定されており、現在選択されているスレーブに対応する比較値3204に対応する。

40

【0643】

CPU551は、リトライカウンタの値が指定値に到達していない場合には(4322の結果が「N」)、現在選択中のスレーブを再度選択し(4320)、選択スレーブに出力するデータを準備し(4314)、ステップ4315以降の処理を実行する。

【0644】

50

一方、CPU551は、リトライカウンタの値が指定値に到達した場合には(4322の結果が「Y」)、選択されているスレーブのエラーフラグ3205に“ON”を設定し(4323)、ステップ4310以降の処理を実行する。

【0645】

図44は、本発明の実施の形態のタイマ割込みが発生した場合の演出制御装置550のCPU551によって実行される処理の手順を示すフローチャートである。

【0646】

タイマ割込みは、VDP556から入力される同期信号がCPU551に入力される周期よりも短い周期(例えば2ms周期)でCPU551に入力される。

【0647】

CPU551は、タイマ割込みが入力されると、タイマ割込みの受け付けを禁止する(4401)。そして、CPU551は、役物駆動第1MOT71、役物駆動第2MOT81、照明駆動第1MOT13a、及び照明駆動第2MOT14aの回転位置を検出するために、役物駆動モータ位置検出センサ560a及び照明駆動モータ位置検出センサ560bの出力レベルを取り込む(4402)。

【0648】

次に、CPU551は、第2マスタIC570baに接続され、可動物を制御する装飾制御装置610に送信するための演出制御データを編集する第2マスタ側スレーブ出力データ編集処理を実行する(4403)。なお、第2マスタ側スレーブ出力データ編集処理は、図45で詳述する。

【0649】

そして、演出制御装置550は、図36にて説明したように、RAM553上に格納された演出制御データを上書きされないように退避する第2マスタIC570bのスレーブ出力データ退避処理を実行する(4404)。退避領域に退避された出力データは、前述したように、所定のタイミングで第2マスタIC570bに設定される。

【0650】

次に、演出制御装置550は、第2マスタIC570bから装飾制御装置610に演出制御データを出力する第2マスタ側スレーブ出力開始処理を実行する(4405)。前述したように、第2マスタIC570bが制御する装飾制御装置610は、主としてモータやLEDなどの可動物を制御するものであり、可動制御装置又は可動制御スレーブとされる。

【0651】

このように、ステップ4403の第2マスタ側スレーブ出力データ編集処理が、ステップ4404の第2マスタ側スレーブ出力データ退避処理よりも先に実行される。このため、演出制御データを編集したタイマ割込みで当該編集された演出制御データが退避領域へ退避するため、演出制御データの編集と当該タイマ割込みで編集された演出制御データの出力とを一回のタイマ割込みで行うことができる。

【0652】

したがって、可動物の可動位置によって制御を刻々と制御する必要がある可動制御スレーブに、最新の可動位置に基づいた演出制御データを出力でき、正確に可動物を制御できるようになる。

【0653】

次に、演出制御装置550は、図33に示した異常判定テーブル3300を参照し、第2マスタIC570bに接続された可動制御スレーブに関するエラー判定処理を実行する(4406)。

【0654】

エラー判定処理では、演出制御装置550が、異常判定テーブル3300の可動制御スレーブに対応するエントリのエラーフラグ3205がすべて「ON」となっているか否か、つまり、すべての可動制御スレーブでエラーが発生しているか否かを判定する。言い換えれば、エラーフラグ3205が「OFF」となっている発光制御スレーブが少なくとも

10

20

30

40

50

1つ以上あるか否かを判定する。このエラー判定処理によって、すべての可動制御スレーブでエラーが発生していると判定された場合には、第2マスタIC570b及び第2マスタIC570bに接続されたすべての可動制御スレーブをリセットする条件が成立したものとされる。

【0655】

演出制御装置550は、ステップ4406のエラー判定処理の結果に基づいてリセット条件が成立しているか否かを判定する(4407)。前述のように、ステップ4406のエラー判定処理の時点ですべての可動制御スレーブのエラーフラグ3205が「ON」になっている場合には、リセット条件が成立したと判定される。

【0656】

演出制御装置550は、リセット条件が成立したと判定された場合には(4407の結果が「Y」)、第2マスタIC570bを初期化し(4408)、第2マスタIC570bに接続されるすべてのI²C I/Oエキスパンダ615(装飾制御装置610)に対して同時に初期化指示データを出力する第2マスタICスレーブ初期化開始処理を実行し(4409)、タイマ割込みの受け付けを許可して(4410)、呼び出し元の処理に復帰する。

【0657】

一方、演出制御装置550は、リセット条件が成立していないと判定された場合には(4407の結果が「N」)、タイマ割込みの受け付けを許可して(4410)、呼び出し元の処理に復帰する。

【0658】

このように、リセット条件が成立したと判定された場合には、ステップ4409の処理で、第2マスタIC570bに接続されるすべてのI²C I/Oエキスパンダ615に対して、同時に初期化を指示する。すなわち、すべてのI²C I/Oエキスパンダ615を同時に選択して初期化することになるので、I²C I/Oエキスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことが可能となり、I²C I/Oエキスパンダ615を正常な状態へ迅速に復帰させることができる。このとき、CPU551がバス563を介してリセットREG573に情報を書き込むことにより、第2マスタIC570bをソフト的にリセットする。

【0659】

なお、ステップ4407の処理でリセット条件成立と見なされた場合は、第2マスタIC570bにおいて異常が発生している可能性があるため、ステップ4408の処理で第2マスタIC570bも初期化するようにしている。

【0660】

第2マスタIC570bは、CPU551からの指令によって、接続線SDAとSCLの信号レベルを制御する信号レベル制御手段として機能しているため、すべての可動制御装置にてデータ送信に関する異常が発生している場合には、第2マスタIC570b自身に異常が発生していることも考えられる。

【0661】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551(演算処理手段)により第2マスタIC570bが初期化される。これにより、第2マスタIC570bで異常が発生している場合であっても確実に第2マスタIC570bを制御可能にすることができる。

【0662】

このように、図44に示した処理では、タイマ割込みがCPU551に入力される周期と同期して、各種モータ位置検出センサの監視と、第2マスタIC570bから装飾制御装置610のI²C I/Oエキスパンダ615への演出制御データの送信とを行う。換言すると、各種位置モータ位置検出センサの監視周期と第2マスタIC570bの演出制御データの送信周期とが同期する。

【0663】

これによって、モータ位置検出センサのモータの回転位置の検出結果に適合した演出制御データを即座に可動制御装置に送信することができる。

【0664】

なお、第2マスタIC570bに接続される装飾制御装置610の制御対象が可動物であるため、制御遅延のために当該可動物及び当該可動物付近の部材が破損することを防止するために、各種位置モータ位置検出センサの監視周期と第2マスタIC570bの演出制御データの送信周期とは、第1マスタIC570aが装飾制御装置610へ演出制御データを送信する周期よりも短い周期が要求されている。

【0665】

また、タイマ割込み周期と同期して第2マスタIC570bから送信された演出制御データが装飾制御装置610で受信されると、その都度、I²C I/Oエキスパンダ615によってワークレジスタの値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0666】

また、タイマ割込み周期と同期して、ステップ4406の処理でエラー判定処理を実行するので、エラーを判定する頻度を適切に設定することができる。すなわち、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大し、逆に、エラー判定処理の実行頻度が少なすぎると、異常の発生を適切なタイミングで検出できなくなる。タイマ割込み周期と同期させてエラー判定を行うことによって、適切なタイミングでエラーを検出することが可能となり、各処理における不具合の発生に対して適切に対応することができる。

【0667】

図45は、本発明の実施の形態の第2マスタ側スレーブ出力データ編集処理の手順を示すフローチャートである。

【0668】

まず、CPU551は、第2マスタIC570bに接続されたスレーブから一つのスレーブを選択する(4501)。

【0669】

そして、CPU551は、選択したスレーブが制御する可動物がモータであるか否かを判定する(4502)。具体的には、CPU551は、異常判定テーブル3300を参照して、選択したスレーブが示すエントリのMS識別コード3301に「M」が登録されているか否かを判定する。

【0670】

ステップ4502の処理で、選択したスレーブが制御する可動物がモータであると判定された場合、CPU551は、異常判定テーブル3300を参照し、選択したスレーブが示すエントリの初期化フラグ3302にONが設定されているか否かを判定する(4503)。

【0671】

ステップ4503の処理で、選択したスレーブが示すエントリの初期化フラグ3302にONが設定されていると判定された場合には、選択したスレーブによって制御されるモータが回転位置を初期位置まで戻すモータの初期化が実行中であるので、CPU551は、図44に示すステップ4402の処理で取り込んだモータ位置検出センサのレベルを参照し、選択したスレーブによって制御されるモータの現在の回転位置が初期位置であるか否かを判定する(4504)。

【0672】

ステップ4504の処理で、選択したスレーブによって制御されるモータの現在の回転位置が初期位置であると判定された場合には、CPU551は、モータの初期化を終了するために、モータを停止させる停止データをデータ準備領域に設定する(4505)。そして、CPU551は、異常判定テーブル3300に登録されたエントリのうち、選択し

10

20

30

40

50

たスレーブが示すエントリの初期化フラグ 3 3 0 2 に O F F を登録する (4 5 0 6)。

【 0 6 7 3 】

次に、C P U 5 5 1 は、第 2 マスタ I C 5 7 0 b に接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了したか否かを判定する (4 5 0 7)。

【 0 6 7 4 】

ステップ 4 5 0 7 の処理で、第 2 マスタ I C 5 7 0 b に接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了したと判定された場合には、呼び出し元の処理に復帰する。

【 0 6 7 5 】

一方、ステップ 4 5 0 7 の処理で、第 2 マスタ I C 5 7 0 b に接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了していないと判定された場合には、C P U 5 5 1 は、次のスレーブを選択して (4 5 0 8)、ステップ 4 5 0 2 の処理に進む。

【 0 6 7 6 】

ステップ 4 5 0 4 の処理で、選択したスレーブによって制御されるモータの現在の回転位置が初期位置でないと判定された場合には、モータの初期化は完了していないので、C P U 5 5 1 は、モータの初期化時のモータ出力データをデータ準備領域に設定して (4 5 0 9)、ステップ 4 5 0 7 の処理に進み、第 2 マスタ I C 5 7 0 b に接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了したかを判定する。

【 0 6 7 7 】

ステップ 4 5 0 3 の処理で、選択したスレーブが示すエントリの初期化フラグ 3 3 0 2 に O N が設定されていると判定された場合には、C P U 5 5 1 は、モータの動作に関する異常を検出したか否かを判定する (4 5 1 0)。

【 0 6 7 8 】

ここで、モータの動作に関する異常とは、例えば、モータが通常動作を開始してから所定時間が経過しても、モータの回転位置が所定の回転位置に達しない等の異常をいう。

【 0 6 7 9 】

ステップ 4 5 1 0 の処理で、モータの動作に関する異常が検出されたと判定された場合、C P U 5 5 1 は、異常判定テーブル 3 3 0 0 に登録されたエントリのうち、選択したスレーブが示すエントリの初期化フラグを O N に設定し (4 5 1 1)、ステップ 4 5 0 9 の処理に進み、初期化時のモータ出力データをデータ準備領域に設定する。

【 0 6 8 0 】

一方、ステップ 4 5 1 0 の処理で、モータの動作に関する異常が検出されていないと判定された場合、初期化が実行中でなく、モータの異常も検出されないので、モータを通常動作させるべく、C P U 5 5 1 は、通常動作時のモータ出力データをデータ準備領域に設定し (4 5 1 2)、ステップ 4 5 0 7 の処理に進み、第 2 マスタ I C 5 7 0 b に接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が完了したか否かを判定する。

【 0 6 8 1 】

ステップ 4 5 0 2 の処理で、選択したスレーブが制御する可動物がモータでないと判定された場合、つまり、選択したスレーブが制御する可動物がソレノイドである場合には、ソレノイド出力データをデータ準備領域に設定して (4 5 1 3)、ステップ 4 5 0 7 の処理に進み、第 2 マスタ I C 5 7 0 b に接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が完了したか否かを判定する。

【 0 6 8 2 】

なお、選択したスレーブが制御する可動物がソレノイドである場合には、ソレノイドの初期化は、ソレノイドを非通電状態にすればよいので、モータの初期化処理のように時間がかかるものではないので、ソレノイドが初期化中にソレノイドを制御するスレーブに送信する出力データは必要ない。

【 0 6 8 3 】

図 4 6 は、本発明の実施の形態のマスタ I C によるデータ送信処理の手順を示すフロー

10

20

30

40

50

チャートである。本処理は、第1マスタIC570a及び第2マスタIC570bにおいて共通の処理であり、CPU551によって、コマンドレジスタ581(図11及び図12参照)のSIのビットに“0”が設定されると、割り込み処理の発生によって待機していたマスタICが、当該処理を開始する。

【0684】

まず、マスタICのコントローラ574は、ストップコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTOに“1”が設定されているか否かを判定する(4601)。

【0685】

コントローラ574は、ストップコンディションの出力が要求されている場合には(4601の結果が「Y」)、送信可能状態を確認する(4602)。

10

【0686】

送信可能状態の確認とは、マスタICから装飾制御装置610のI²C I/Oエクスパンダ615にデータを送信可能であるか否かを確認することであり、具体的には、接続線SDAの信号レベルがHIGHに設定されている(接続線SDAが開放されている)かを確認することである。接続線SDAの信号レベルがHIGHに設定されていなかった場合には、接続線SDAの信号レベルがHIGHに設定されるか、若しくは、タイムアウトするまで待機する。

【0687】

接続線SDAの信号レベルがHIGHでないと判定された場合、接続線SDAからデータが出力できないので、ドライバ576Aによってトランジスタ578Aに動作可能な電圧を印加しないことによってトランジスタ578Aをオンにさせずに(接続線SDAを解放した状態で)、接続SCLの信号レベルを少なくとも9回変化させる。

20

【0688】

このような処理を行うことによって、読み出しモードとなったI²C I/Oエクスパンダ615は、接続SCLの信号レベルの変化に合わせて接続線SDAにデータを出力するが、接続SCLの信号レベルの変化が少なくとも9回行われる途中において、マスタICからのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線SDAは解放されているのでHIGHレベルとなり、読み出しモードとなったI²C I/Oエクスパンダ615は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線SDAを解放することになる。

30

【0689】

このようにして、読み出しモードとなった装飾制御装置610のI²C I/Oエクスパンダ615から強制的に接続線SDAを解放させるので、接続線SDAの信号レベルはHIGHに維持されるようになる。

【0690】

続いて、コントローラ574は、ストップコンディションを、接続されているスレーブに出力する(4603)。さらに、当該マスタICの送信中フラグを“オフ”に設定する(4604)。

【0691】

コントローラ574は、さらに、スタートコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTAに“1”が設定されているか否かを判定する(4605)。スタートコンディションの出力が要求されている場合には(4605の結果が「Y」)、後述するステップ4608以降の処理を実行する。

40

【0692】

コントローラ574は、さらに、スタートコンディションの出力が要求されていない場合には(4605の結果が「N」)、ステータスコードに“F8H”を設定し(4606)、本処理を終了する。

【0693】

コントローラ574は、ストップコンディションの出力が要求されていない場合には(

50

4601の結果が「N」)、さらに、スタートコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTAに“1”が設定されているか否かを判定する(4607)。スタートコンディションの出力が要求されている場合には(4607の結果が「Y」)、ステップ4602の処理と同様に、送信可能状態を確認する(4608)。

【0694】

コントローラ574は、送信可能であれば、スタートコンディションを接続されているスレーブに出力する(4609)。さらに、当該マスタICの先頭バイト識別フラグを“オン”に設定する(4610)。

【0695】

続いて、コントローラ574は、送信フラグがオフであるか否かを判定する(4611)。送信フラグがオフでない場合、すなわち、オンの場合には(4611の結果が「N」)、ステータスコードに“10h”を設定する(4614)。この場合は、ストップコンディションが出力されずに、再度スタートコンディションが出力されており、いわゆるリスタートコンディションが出力されたことを示している。さらに、送信中断割込みを発生させるように、コマンドREG581のSIに“1”を設定し(4619)、本処理を中断する。

【0696】

一方、コントローラ574は、送信フラグがオフの場合には(4611の結果が「Y」)、ステータスコードに“08H”を設定する(4612)。この場合は、ストップコンディションが出力された後にスタートコンディションが出力されたことを示している。さらに、送信中フラグを“オン”に設定し(4613)、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4619)、本処理を中断する。

【0697】

コントローラ574は、スタートコンディションの出力が要求されていない場合には(4607の結果が「N」)、当該マスタICの先頭バイト識別フラグがオンであるか否かを判定する(4615)。当該マスタICの先頭バイト識別フラグが“オン”の場合、すなわち、スタートコンディションが出力された直後の場合には(4615の結果が「Y」)、最初に送信されるデータがアドレスであるため、アドレスを認識するためのアドレス認識処理を実行する(4616)。なお、アドレス認識処理の詳細については、図47にて後述する。アドレス認識処理が終了すると、先頭バイト識別フラグを“オフ”に設定し(4617)、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4619)、本処理を中断する。

【0698】

コントローラ574は、当該マスタICの先頭バイト識別フラグが“オン”でない場合、すなわち、アドレスの認識が終了し、データ本体を送信する場合には(4615の結果が「N」)、バイト単位データ送信処理を実行する(4618)。バイト単位データ送信処理の詳細については、図48にて後述する。最後に、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4619)、本処理を中断する。

【0699】

図47は、本発明の実施の形態のアドレス認識処理の手順を示すフローチャートである。

【0700】

コントローラ574は、まず、接続線SDAの信号レベルがHIGHに設定されているかを確認することによって送信可能状態を確認する(4701)。接続線SDAの信号レベルがHIGHに設定されていない場合にはHIGHに設定されるまで待機する。

【0701】

次に、コントローラ574は、接続線SCLを作動させながら1ビット目のデータを出力する(4702)。そして、8ビットのデータの送信が完了したか否かを判定し(4703)、8ビットのデータの送信が完了するまで、接続線SCLを作動させながらビット

10

20

30

40

50

毎に順次データを出力する(4704)。

【0702】

コントローラ574は、8ビット分のデータの出力が完了すると(4703の結果が「Y」)、スレーブから送信された返答信号を取り込む(4705)。さらに、取り込まれた返答信号の内容が“ACK”であるか否かを判定する(4706)。返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”であった場合には(4706の結果が「N」)、アドレスを認識できなかったことを示す“20h”をステータスコードとしてステータスREG582に設定する(4707)。

【0703】

一方、コントローラ574は、取り込まれた返答信号の内容が“ACK”であった場合には(4706の結果が「Y」)、アドレスを認識できたことを示す“18h”をステータスコードとしてステータスREG582に設定する(4708)。さらに、コマンドREG581のMODEの値が“0”であるか否かを判定することによって、データ送信モードがバイトモードか否かを判定する(4709)。バイトモードの場合には(4709の結果が「Y」)、1バイト(8ビット)分のデータの送信が完了したため、本処理を終了し、呼び出し元の処理に復帰する。

10

【0704】

コントローラ574は、データ送信モードがバイトモードでない場合には(4709の結果が「N」)、残りのデータをすべて送信するまで(4710)、バイト単位データ送信処理を実行する(4711)。バイト単位データ送信処理の詳細については、図48にて後述する。

20

【0705】

図48は、本発明の実施の形態のバイト単位データ送信処理の手順を示すフローチャートである。

【0706】

コントローラ574は、まず、接続線SDAの信号レベルがHIGHに設定されているかを確認することによって送信可能状態を確認する(4801)。接続線SDAの信号レベルがHIGHに設定されていない場合にはHIGHに設定されるまで待機する。続いて、1バイト分のデータを出力する(4802)。

30

【0707】

データ出力後、コントローラ574は、スレーブから出力された返答信号を取り込む(4803)。さらに、取り込まれた返答信号の内容が“ACK”であるか否かを判定する(4804)。返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”であった場合には(4804の結果が「N」)、データを送信できなかったことを示す“30h”をステータスコードに設定する(4805)。

【0708】

一方、コントローラ574は、取り込まれた返答信号の内容が“ACK”であった場合には(4804の結果が「Y」)、データを送信できたことを示す“28h”をステータスコードに設定する(4806)。さらに、コマンドREG581のMODEの値が“0”であるか否かを判定することによって、データ送信モードがバイトモードか否かを判定する(4807)。バイトモードの場合には(4807の結果が「Y」)、1バイト(8ビット)分のデータの送信が完了したため、本処理を終了し、呼び出し元の処理に復帰する。

40

【0709】

また、コントローラ574は、データ送信モードがバイトモードでない場合には(4807の結果が「N」)、残りのデータをすべて送信するまでデータの送信を行う(4808)。具体的には、次に送信するデータを準備し(4809)、ステップ4801以降の処理を再度実行する。

【0710】

次に、本発明の実施の形態において、演出制御装置550のCPU551と、第1マス

50

タ I C 5 7 0 a 及び第 2 マスタ I C 5 7 0 b との間で、データが授受されるタイミングについて説明する。

【 0 7 1 1 】

次に、グループ化された演出装置（装飾装置 6 2 0）の構成例について説明する。

【 0 7 1 2 】

図 4 9 は、本発明の実施の形態における装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 と、装飾装置 6 2 0 との接続例を示す図であり、8 セット分の L E D を 2 つの I²C I / O エクスパンダ 6 1 5 によって制御する構成を示す図である。

【 0 7 1 3 】

装飾装置 6 2 0 は一例として L E D によって構成されているとし、赤（R）、緑（G）、青（B）の 3 色の L E D を 1 セットとして制御することによって、さまざまな色で発光することを可能とする。例えば、赤、緑、青のすべての L E D を発色させると、白色に発光させることができる。

10

【 0 7 1 4 】

そして、本発明の実施の形態では、一つの I²C I / O エクスパンダ 6 1 5 は、16 個のポート（P O R T 0 ~ 1 5）に対応する L E D を制御することが可能であるため、3 色の L E D のセットを 5 セットまで接続することが可能である。

【 0 7 1 5 】

しかし、より興味を高める演出を行うために、16 個を超えるポートに L E D（演出装置）を接続する場合が考えられる。図 4 9 では、5 セット以上（8 セット）の L E D を、2 つの I²C I / O エクスパンダ 6 1 5 にまたがって接続して制御する構成について説明する。

20

【 0 7 1 6 】

前述のように、I²C I / O エクスパンダ 6 1 5 には 16 のポート（P O R T 0 ~ 1 5）が備えられているため、3 色の L E D のセットを 5 セットまで接続することが可能である。しかしながら、8 セットの L E D を 1 つのグループとして演出が行われる場合には、少なくとも 2 つの I²C I / O エクスパンダ 6 1 5 を必要とする。

【 0 7 1 7 】

そこで、図 4 9 に示す構成では、一方の I²C I / O エクスパンダ 6 1 5 は、各セットの赤及び緑の L E D を制御し、他方の I²C I / O エクスパンダ 6 1 5（6 1 5 b）は、各セットの青の L E D を制御するように構成している。そして、これらの 2 つの I²C I / O エクスパンダ 6 1 5 を同じグループとして制御し、図 5 0 にて後述するように、演出制御装置 5 5 0 から出力されたストップコンディションを受け付けてから演出制御を同時に実行することによって、複数の I²C I / O エクスパンダ 6 1 5 によって制御される L E D による演出を違和感なく行うことが可能となるのである。

30

【 0 7 1 8 】

図 5 0 は、本発明の実施の形態における装飾制御装置 6 1 0 がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【 0 7 1 9 】

本図において、まず最初に、演出制御装置 5 5 0 からスタートコンディションを出力し、次に、演出制御装置 5 5 0 から複数の I²C I / O エクスパンダ 6 1 5 に演出制御データを順次出力し、最後に、演出制御装置 5 5 0 からストップコンディションを出力する状態を示している。説明の都合上、装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は 5 個設けられているものとし、それぞれを第 1 I²C I / O エクスパンダ ~ 第 5 I²C I / O エクスパンダとする。

40

【 0 7 2 0 】

ここで、図中で「data 1」となっているものは、演出制御装置 5 5 0 から第 1 I²C I / O エクスパンダに送信される演出制御データを示し、以下、「data 2」~「data 5」は、演出制御装置 5 5 0 から、第 2 I²C I / O エクスパンダ ~ 第 5 I²C I /

50

0 エクスパンダの各々へ送信される演出制御データを示す。

【0721】

また、図中で「演出装置(1)」となっているものは、第1 I²C I/O エクスパンダの I/O ポートに接続されている LED 等を示し、以下、「演出装置(2)」~「演出装置(5)」は、第2 I²C I/O エクスパンダ~第5 I²C I/O エクスパンダの I/O ポートに接続されている LED 等に、それぞれが対応する。

【0722】

なお、演出制御装置 550 から、第1 I²C I/O エクスパンダ~第5 I²C I/O エクスパンダの各々へ演出制御データを送信する際には、I²C I/O エクスパンダの選択を切り替えるタイミングで、演出制御装置 550 から I²C I/O エクスパンダにスタートコンディション(リスタートコンディションとして機能する)を出力している。但し、最初に演出制御装置 550 がスタートコンディションを出力してから、第1 I²C I/O エクスパンダ~第5 I²C I/O エクスパンダの全てに演出制御データを送信するまでの間(図中に T で示した期間)はストップコンディションを出力せず、この期間 T の経過後にストップコンディションを出力している。

10

【0723】

本発明の実施の形態では、接続線 SDA からシリアルに演出制御データが送信されるため、各 I²C I/O エクスパンダ毎に、演出制御データが到達するタイミングに時間差が生じる。各 I²C I/O エクスパンダは、演出制御装置 550 から演出制御データを受け入れた時点では、バスコントローラ 634 (図 17) に内蔵された図示しないバッファに受信した演出制御データを一次的に確保しているに過ぎない。

20

【0724】

ここで、各 I²C I/O エクスパンダが、単独で演出制御データの受信と同時に LED の発光態様を変更してしまうような処理を行った場合を想定する。LED の発光態様の变化に時間差を生じるため、違和感のある演出が行われる恐れがある。

【0725】

例えば、前述の図 49 のように、赤(R)、緑(G)、青(B)の LED が、複数の I²C I/O エクスパンダにまたがって接続されているような場合には、遊技者に誤解をあたえるような色彩で LED が発光する可能性がある。(特定の発光体が赤く光れば大当たりが確定する仕様の遊技機にて、大当たりが発生しないときに、発光体内の赤色 LED と青色 LED とを同時に点灯して発光体を紫色で発光させるような制御を行うような場合を想定する。この場合、赤色 LED が青色 LED よりも先に光ってしまうことで、遊技者が大当たりするものと誤解し、遊技店と遊技者の間でトラブルになる。)

30

そこで、本発明の実施の形態では、演出制御装置 550 からストップコンディションを受信した時点で、バッファ内の演出制御データを出力設定レジスタ 635 に上書きし、この出力設定レジスタ 635 の記憶内容を出力コントローラ 636 によってドライバ 637 に反映させ、当該 I²C I/O エクスパンダに接続されている LED の発光態様を変化させる処理を行っている。

【0726】

そのため、図 50 に示すように、ストップコンディション出力時に、各 I²C I/O エクスパンダが受信した演出制御データを各演出装置の出力態様に同時に反映させることが可能となり、違和感のない演出を行うことが可能となる。

40

【0727】

なお、本実施の形態では、I²C I/O エクスパンダが受信した演出制御データを各演出装置の出力態様に反映させるタイミングを、更新指令信号として例示したストップコンディションの受信時としているが、他の更新指令信号を用いても構わない。ストップコンディションのように演出制御データの最後に送信されるものに限られず、演出制御データの送信の途中で送信されるものであっても、接続線 SDA 及び SCL の信号変化によって表現できる更新指令信号であれば、適用可能である。

【0728】

50

本発明の実施の形態によれば、演出制御装置 550 (グループ統括制御手段) に含まれる各マスター IC (信号レベル制御手段) が装飾制御装置 610 (グループ単位制御手段) にデータを送信すると、装飾制御装置 610 から演出制御装置 550 に返答信号が送信されるため、データ送信が行われたか否かを確認することが可能となり、誤作動を防止できる。

【0729】

また、本発明の実施の形態によれば、演出制御装置 550 は装飾制御装置 610 へ一本のデータ線 (接続線 SDA) を介してデータを送信し、装飾制御装置 610 から演出制御装置 550 へも同じデータ線を介して返答信号が送信されるので、基板間の配線を少なくすることができる。

10

【0730】

さらに、本発明の実施の形態によれば、1つのマスター IC に接続可能な装飾制御装置 610 の数に上限があったとしても、演出制御装置 550 に複数のマスター IC を備えることによって、より多くの装飾制御装置 610 を利用することができる。

【0731】

また、本発明の実施の形態では、第 1 マスター IC 570 a (第 1 の信号レベル制御手段) が遊技盤 10 に備えられた演出装置を制御し、第 2 マスター IC 570 b (第 2 の信号レベル制御手段) が前面枠 3 に備えられた演出装置を制御するように構成されている。このように、遊技盤 10 に備えられた演出装置と前面枠 3 に備えられた演出装置とを別のグループとすることによって、前面枠 3 や遊技盤 10 を開発する際には、装飾制御装置 610 の上限数を開発対象の各グループに限定して考慮すればよいので、構成毎に並行して機器の開発を行うなど開発の効率化を図ることができる。

20

【0732】

さらに、本発明の実施の形態によれば、CPU 551 によってマスター IC が選択され、選択されたマスター IC に接続される複数の装飾制御装置 610 (IC ノードエキスパンダ 615) が、まとめて初期化されるので、装飾制御装置 610 を一つ一つ選択して初期化するような方法と比較すると、高速な初期化処理を行うことができる。

【0733】

このとき、選択されたマスター IC に接続される装飾制御装置 610 だけを初期化して、選択されない他のマスター IC に接続される装飾制御装置 610 を初期化しないような制御が可能となる。

30

【0734】

そのため、遊技機に備えた全ての装飾制御装置 610 のうち、必要最小限の範囲に属する装飾制御装置 610 だけを初期化することができるので、装飾制御装置 610 の初期化が行われて演出装置 200 の動作が中断する頻度を、低下させることができる。

【0735】

また、本発明の実施の形態によれば、すべてのマスター IC をリセットしようとする場合にはハードリセットを行う構成となっているため、各マスター IC を 1 個ずつソフトリセットする場合と比較して、高速に初期化を行うことが可能となる。

【0736】

一方、一部のマスター IC をリセットしようとする場合には、データバスを経由するソフトリセットによって初期化を実行するため、すべてのマスター IC の初期化信号入力端子に個別に信号入力するような複雑な回路を必要とせず、1つのポートを備えていればよい。すなわち、起動時に毎回必ず実行されるすべてのマスター IC のリセットは高速で行うことが可能となり、非常時にのみ実行される一部のみのマスター IC のリセットは、簡素化された回路で実行可能となるため、特に、マスター IC の数が多い構成の場合に有効となる。

40

【0737】

また、本発明の実施の形態によれば、マスター IC による処理がそれぞれ並列して動作するため、高速な処理が可能となる。さらに、画面更新のタイミングと同期させて演出装置の演出態様が更新するように制御されるため、画面表示と調和のとれた発光の演出が可能

50

となる。

【0738】

さらに、本発明の実施の形態によれば、取り込まれたデータを演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化（ストップコンディションの受信）によって決定されるので、従来のLAT信号のような信号が不要となる。そのため、LAT信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

【0739】

また、本発明の実施の形態によれば、複数の装飾制御装置610に対して、個別の演出制御データを同一の信号線を用いて送信することが可能となり、さらに、制御対象の各演出装置の演出態様を同時に更新することが可能となる。

10

【0740】

また、本発明の実施の形態では、2つのマスタICを含む構成となっているが、3以上のマスタICを含む構成としてもよい。複数のマスタICを含むように構成することによって、各マスタICが並列して処理を実行することが可能となり、処理を高速化することができる。また、マスタICごとに各構成を並行して開発することが可能となるため、開発効率を向上させることが可能となる。

【0741】

なお、今回開示した実施の形態は、すべての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲でのすべての変更が含まれることが意図される。

20

【0742】

また、特許請求の範囲に記載した以外の本発明の観点の代表的なものとして、次のものがあげられる。

【0743】

(1) 遊技を統括的に制御する遊技制御手段と、該遊技制御手段からの指令に対応して、遊技の演出を行う複数の演出装置を制御する演出制御手段と、を備える遊技機において、前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、前記演出制御手段を、複数の前記グループ単位制御手段を統括的に制御するグループ統括制御手段として構成し、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線、及び前記グループ統括制御手段と前記グループ単位制御手段との間でデータを通信するデータ線によって前記グループ統括制御手段と前記グループ単位制御手段とが接続されて、前記グループ統括制御手段と前記各グループ単位制御手段との間で相互にデータ通信を可能とし、前記グループ統括制御手段は、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変化させることによって、前記グループ単位制御手段にデータを順次送信する送信手段と、前記送信手段によるデータ送信の途中又はデータ送信の最後のタイミングにて、当該データの送信時とは異なる態様で前記データ線及びタイミング信号線の信号レベルを制御することにより、所定の更新指令信号を前記グループ単位制御手段に出力する更新指令信号出力手段と、を備え、前記グループ単位制御手段は、前記送信手段が送信したデータを取り込む取込手段と、前記取込手段によって取りこまれたデータに対応させて、前記演出装置の出力態様を更新する出力態様更新手段と、を備えるとともに、前記出力態様更新手段は、前記更新指令信号を受信したタイミングで、前記演出装置の出力態様を更新することを特徴とする遊技機。

30

40

【0744】

(2) 前記更新指令信号は、前記送信手段によるデータ送信の最後に送信されるストップコンディションであることを特徴とする(1)に記載の遊技機。

【0745】

50

(1)に記載の発明では、グループ単位制御手段の取込手段によって取り込まれたデータを、演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化によって決定されるので、従来のLAT信号のような信号が不要となる。そのため、LAT信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

【 0 7 4 6 】

また、複数のグループ単位制御手段に対して、個別の演出制御情報を同一の信号線を用いて送信できる上に、同時に更新することができる。

【 0 7 4 7 】

(2)に記載の発明では、グループ単位制御手段は、ストップコンディションの受信によって、演出装置の出力態様として反映させるタイミングだけでなく、送信手段によるデータ送信の終了タイミングも同時に認識することができる。

【 0 7 4 8 】

ここで、上記(1)の発明との対比を行うため、LAT信号を送信するための配線が必要な技術との対比を行う。

【 0 7 4 9 】

まず、特開 2 0 0 7 - 0 5 0 1 4 8 号の公開特許公報には、階調制御ICを用いて、定時間タイマ割込処理内に、複数のLEDの階調点灯及びステップモータの励磁駆動を行うことが可能な遊技機として、階調制御ICがシリアル送信部からシリアル出力された駆動データを取り込んだのち、出力ポートからラッチ信号を受けると、駆動データに基づいて階調ランプを階調点灯する階調信号を出力するとともにステップモータを励磁駆動する励磁信号を出力する遊技機が開示されている。

【 0 7 5 0 】

この遊技機は、サブ統合基板からランプ駆動基板に、DATとCLKの2本の信号線によりシリアル通信でデータを送信する構成なので、両基板間の配線を簡素化することができるようになっている。

【 0 7 5 1 】

さらに、特開 2 0 0 5 - 2 4 5 7 7 4 号の公開特許公報には、サブ制御基板を様々な機種仕様を共通化して使用することによって、製造コスト及び開発コストを削減可能な遊技機として、メイン制御基板からの指示に応じて装飾用制御負荷に対する制御信号の出力を行うサブ制御基板と、サブ制御基板とは別基板であって、サブ制御基板にコネクタ接続される負荷駆動基板とからなる遊技機が開示されている。

【 0 7 5 2 】

この遊技機では、サブ制御基板は、装飾用制御負荷に対する制御信号をシリアルに出力し、負荷駆動基板は、サブ制御基板からシリアルに出力された制御信号に基づいて、装飾用制御負荷の数に対応したビット数のパラレル駆動信号を生成する駆動信号生成手段を搭載しており、特許文献 1 の遊技機と同様にシリアル通信でデータを送信する構成なので、基板間の配線を簡素化することが可能となっている。

【 0 7 5 3 】

これらの遊技機では、複数のシフトレジスタをデイジーチェーン接続することによって、DATとCLKの2本の信号線を用いるだけで、複数のシフトレジスタを制御することが可能である。

【 0 7 5 4 】

しかし、特開 2 0 0 7 - 0 5 0 1 4 8 号の公開特許公報の遊技機では、シフトレジスタが取り込んだデータを点灯信号として出力させるためには、その出力のタイミングを伝達するために、LAT信号(段落[0 0 7 2][0 0 7 3][図 6]等)が必要となるので、LAT信号のための配線がさらに必要となってしまう。この問題点は、特開 2 0 0 5 - 2 4 5 7 7 4 号の公開特許公報の遊技機においても解決されていない。

【 0 7 5 5 】

そこで、配線を削減するために、LAT信号がなくても、取り込んだデータを点灯信号

10

20

30

40

50

として出力させることが可能な遊技機を提供することが必要となる。上記(1)の発明の遊技機によって、その問題点が解決される。

【産業上の利用可能性】

【0756】

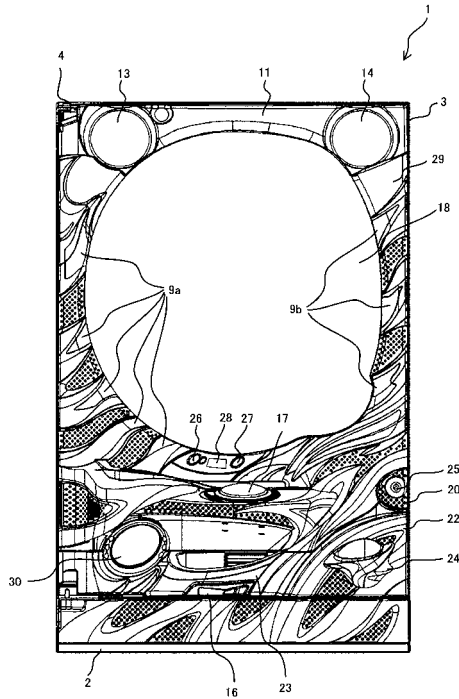
以上のように、本発明は、演出制御装置が複数の装飾制御装置を介して演出装置を制御する遊技機に適用可能である。

【符号の説明】

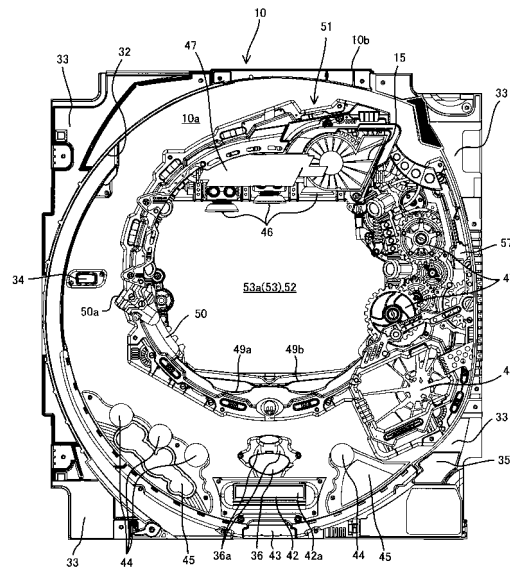
【0757】

1	遊技機	
2	本体枠(外枠)	10
3	前面枠(遊技枠)	
9 a、9 b	装飾部材	
10	遊技盤	
12	補助遊技装置ユニット	
13	第1可動式照明	
13 a	照明駆動第1モータ(MOT)	
14	第2可動式照明	
14 a	照明駆動第2モータ(MOT)	
15	信頼度報知装置	
29	異常報知LED	20
30	スピーカ	
45	サイドランプ	
51	センターケース	
53	表示装置	
58	可動演出装置	
63	第1演出ユニット	
64	第2演出ユニット	
70	第1演出部材	
71	役物駆動第1モータ(MOT)	
80	第2演出部材	30
81	役物駆動第2モータ(MOT)	
500	遊技制御装置	
550	演出制御装置	
570 a	第1マスタIC	
570 b	第2マスタIC	
581	コマンドレジスタ(REG)	
582	ステータスレジスタ(REG)	
583	自身アドレス設定レジスタ(REG)	
600	中継基板	
603	空き端子モニタ	40
610	装飾制御装置	
615	I ² C I/Oエキスパンダ	
620	装飾装置	
625	装飾装置基板	
1600	簡易中継基板	
3200、3300	異常判定テーブル	

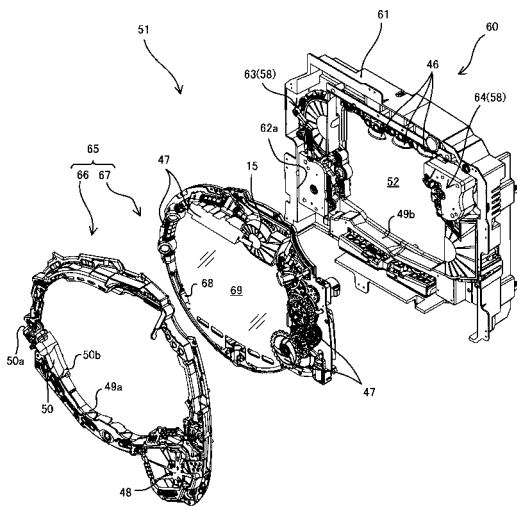
【図1】



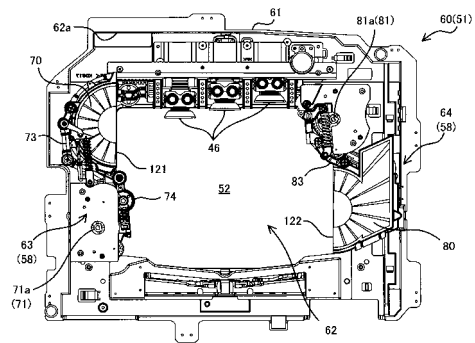
【図2】



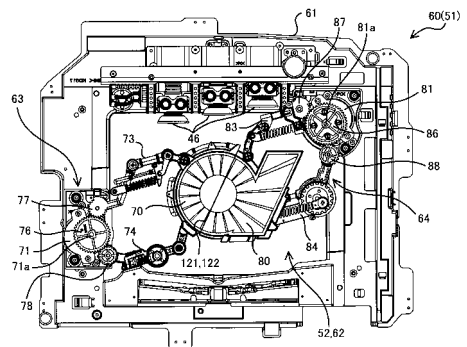
【図3】



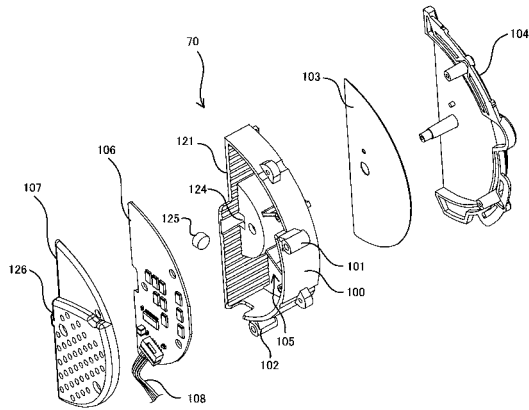
【図4】



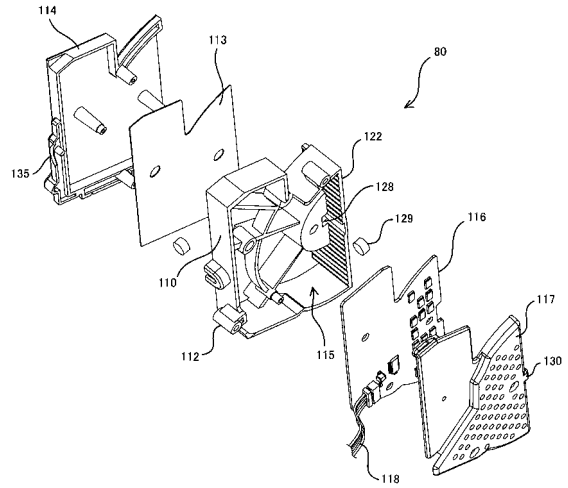
【図5】



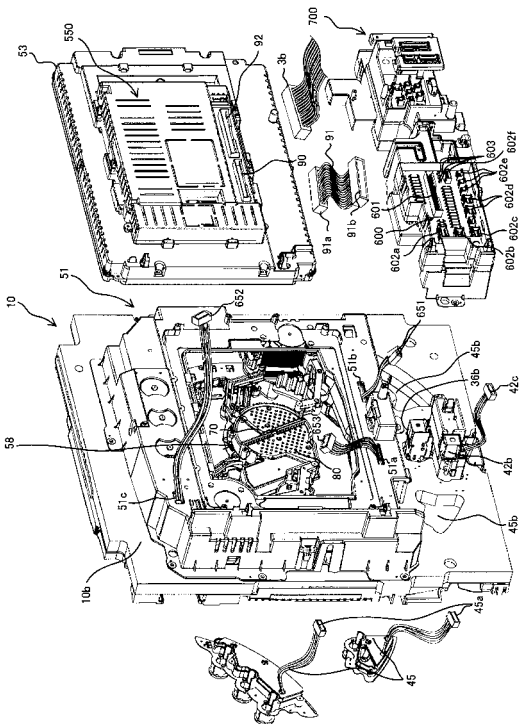
【図6】



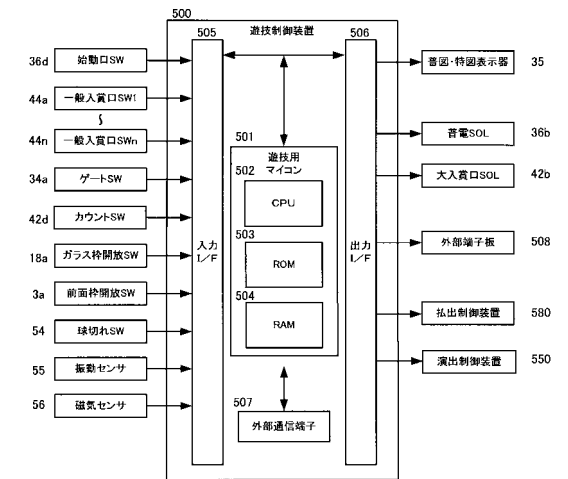
【図7】



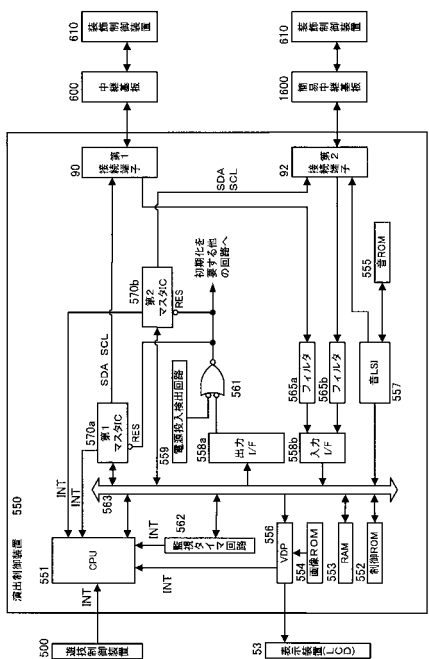
【図8】



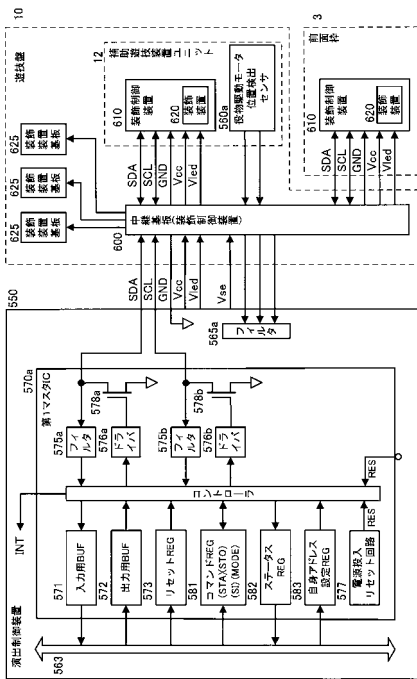
【図9】



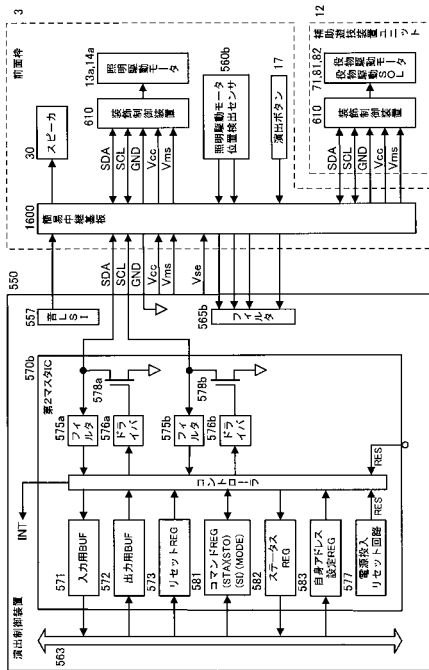
【図10】



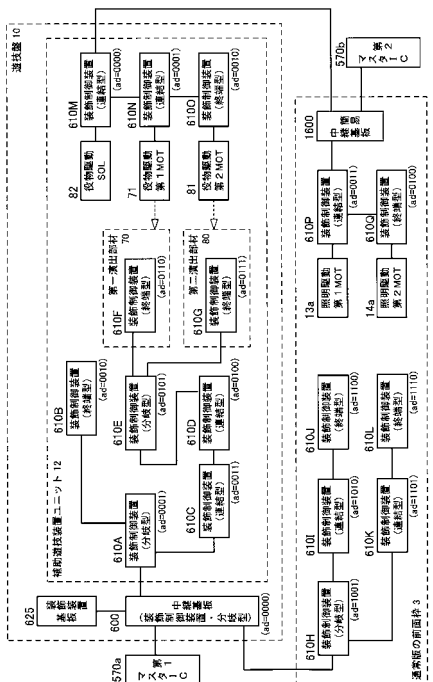
【図11】



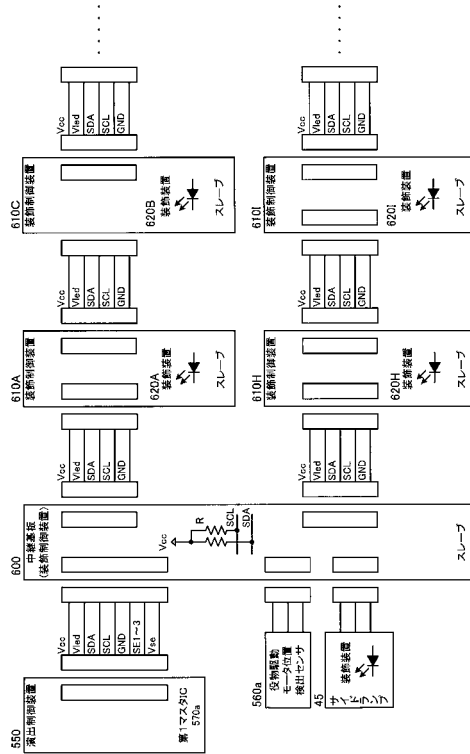
【図12】



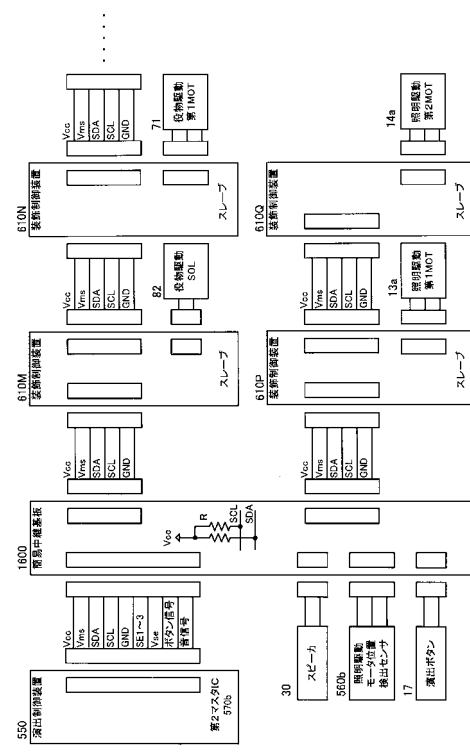
【図13】



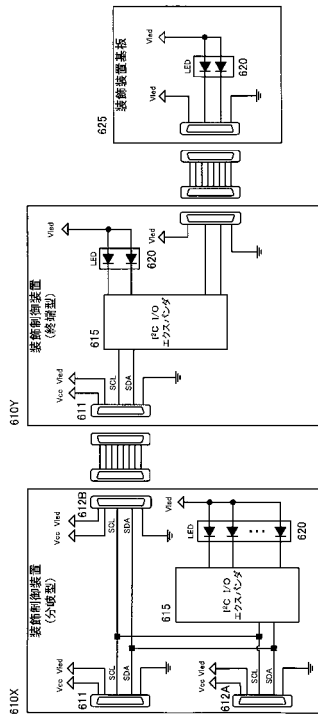
【図14】



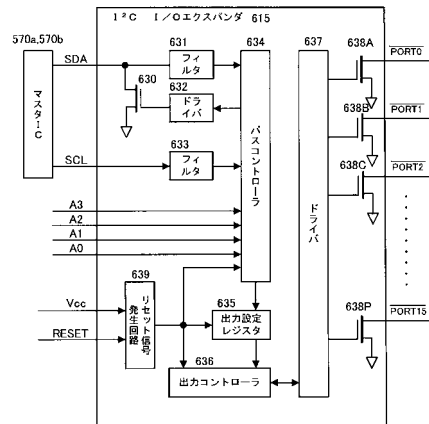
【図15】



【図16】



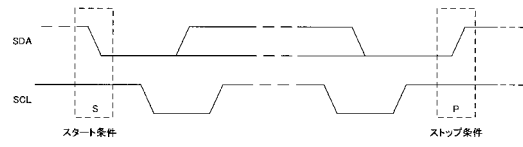
【図17】



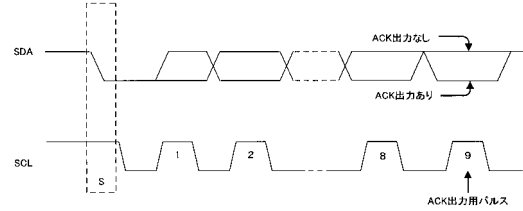
【図 2 4】

レジスタ番号	レジスタ名	機能
00h	MODE 1	モードレジスタ 1
01h	MODE 2	モードレジスタ 2
02h	PWM 0	輝度調節 LED 0
03h	PWM 1	" LED 1
04h	PWM 2	" LED 2
05h	PWM 3	" LED 3
06h	PWM 4	" LED 4
07h	PWM 5	" LED 5
08h	PWM 6	" LED 6
09h	PWM 7	" LED 7
0Ah	PWM 8	" LED 8
0Bh	PWM 9	" LED 9
0Ch	PWM 10	" LED 10
0Dh	PWM 11	" LED 11
0Eh	PWM 12	" LED 12
0Fh	PWM 13	" LED 13
10h	PWM 14	" LED 14
11h	PWM 15	" LED 15
12h	GRPPWM	グループデューティサイクル制御
13h	GRPFREQ	グループ周波数
14h	LEDOUT 0	LEDドライバ出力状態 LED 0-3
15h	LEDOUT 1	LEDドライバ出力状態 LED 4-7
16h	LEDOUT 2	LEDドライバ出力状態 LED 8-11
17h	LEDOUT 3	LEDドライバ出力状態 LED 12-15
18h	SUBADR 1	サブアドレス設定 1
19h	SUBADR 2	サブアドレス設定 2
1Ah	SUBADR 3	サブアドレス設定 3
1Bh	ALLCALLADR	ALL-CALLアドレス設定

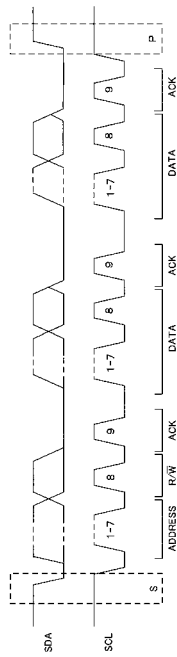
【図 2 5】



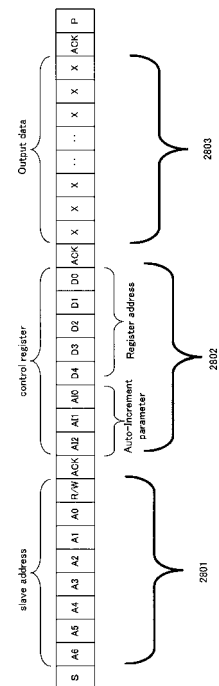
【図 2 6】



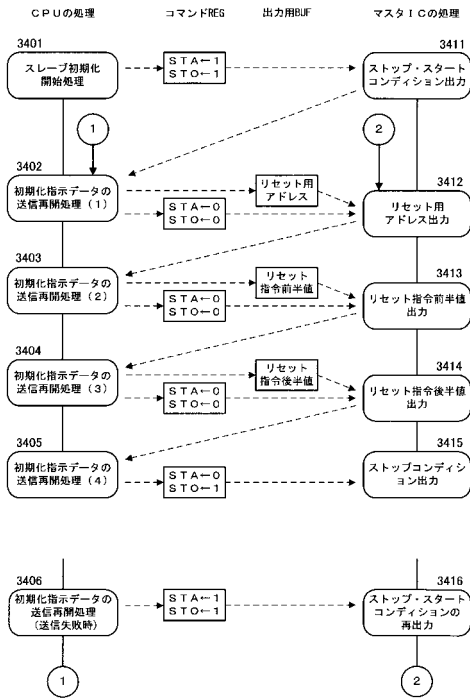
【図 2 7】



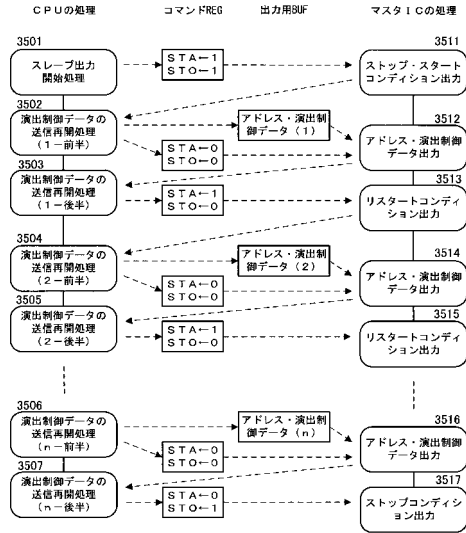
【図 2 8】



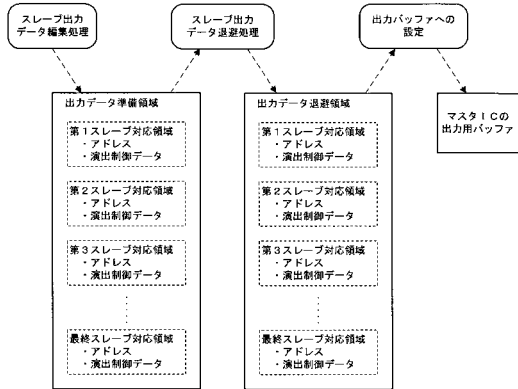
【図 3 4】



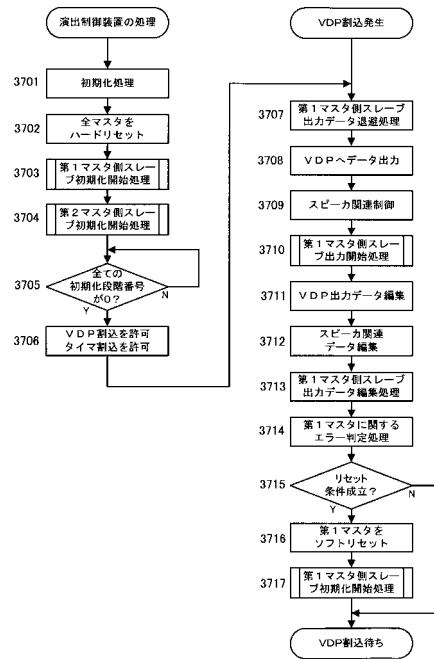
【図 3 5】



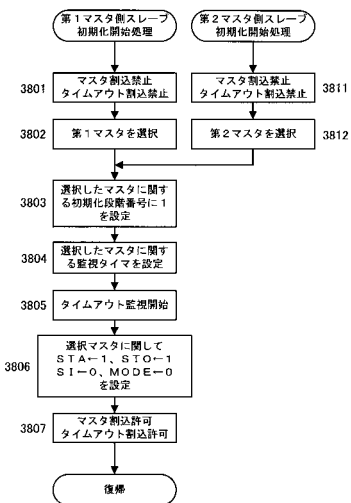
【図 3 6】



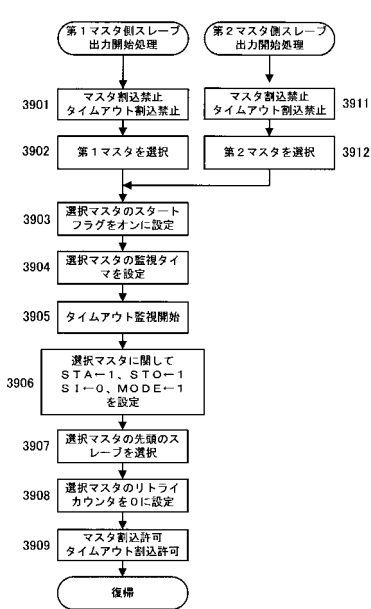
【図 3 7】



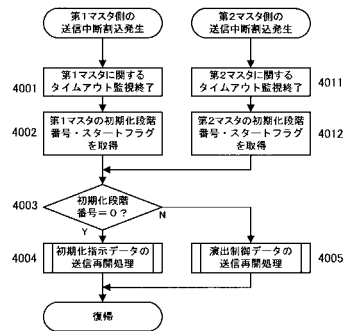
【図38】



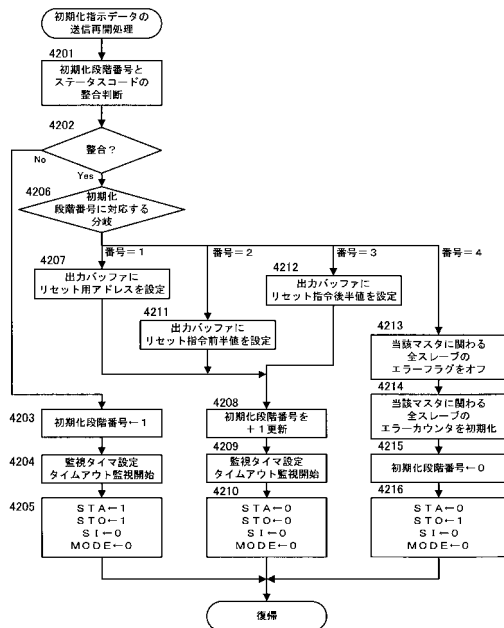
【図39】



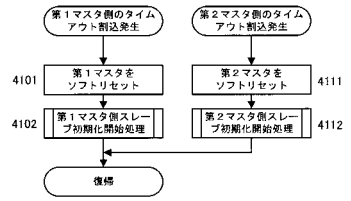
【図40】



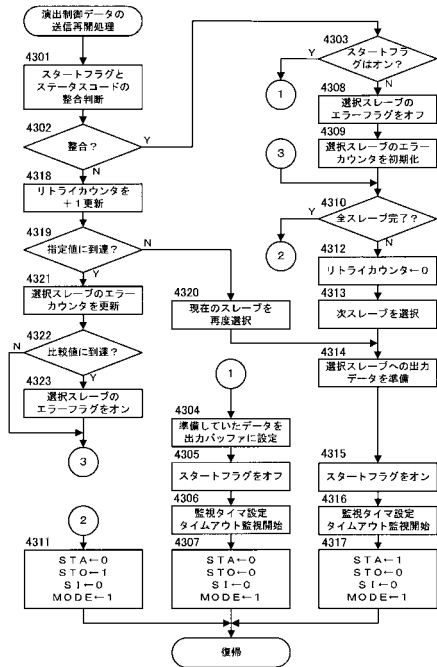
【図42】



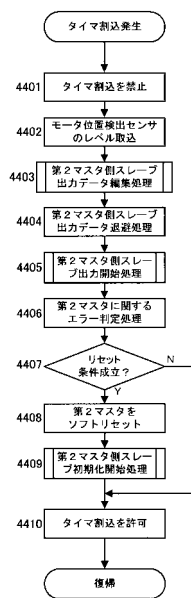
【図41】



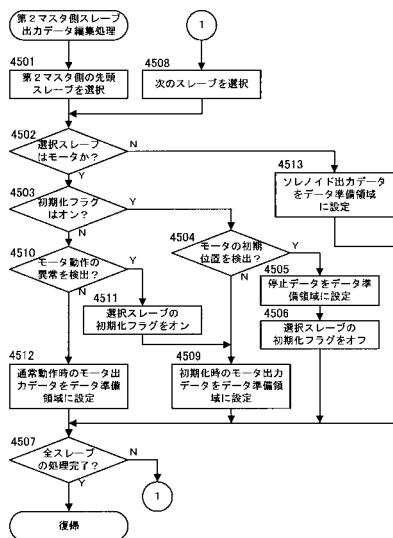
【図43】



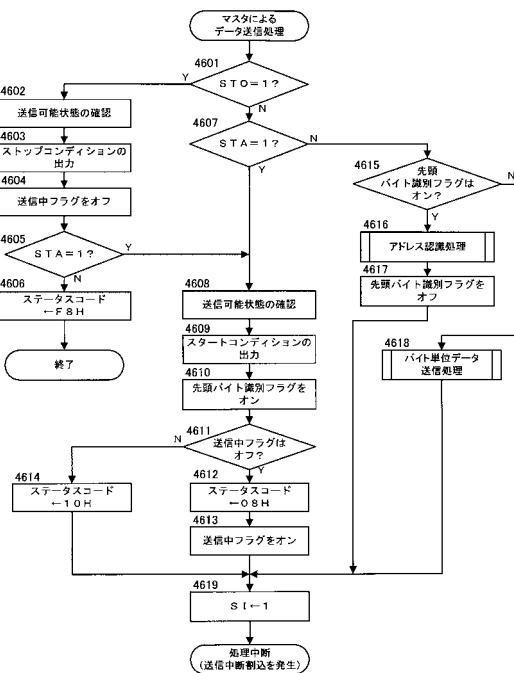
【図44】



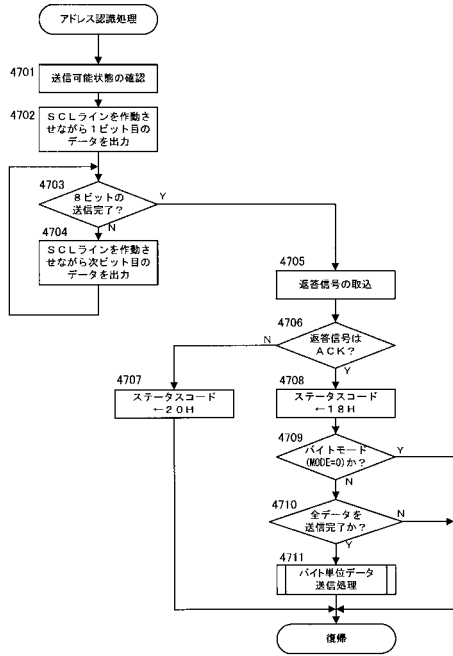
【図45】



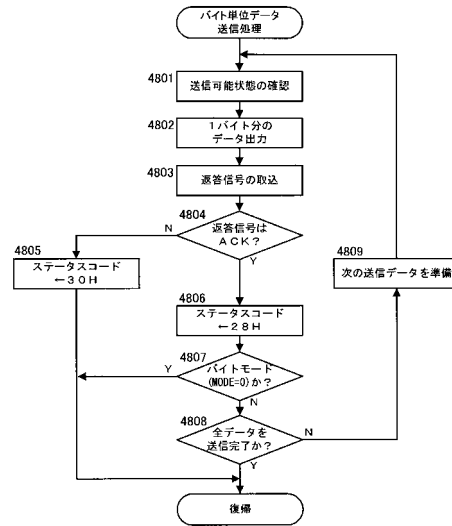
【図46】



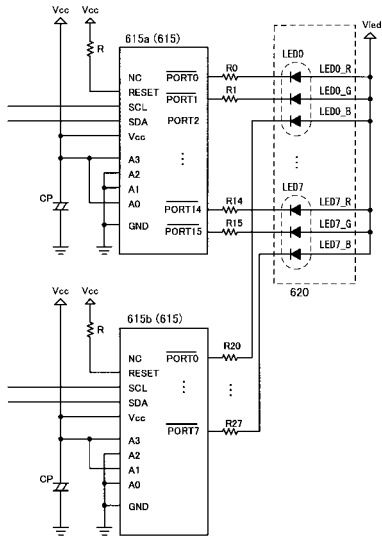
【 図 4 7 】



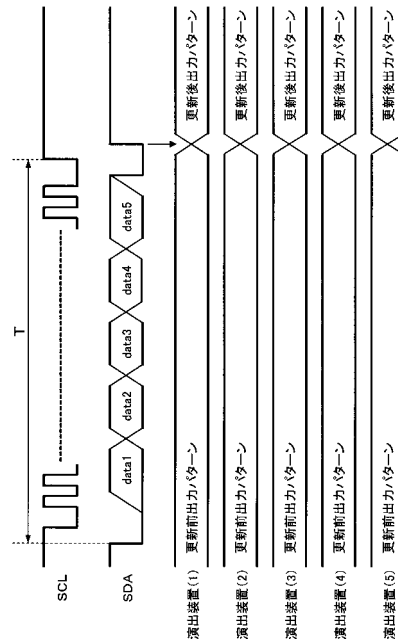
【 図 4 8 】



【 図 4 9 】



【 図 5 0 】



フロントページの続き

(72)発明者 松橋 光一
群馬県太田市吉沢町990番地 株式会社ソフィア内

審査官 土屋 保光

(56)参考文献 特開2008-220409(JP,A)
特開2007-007148(JP,A)
特開2011-010744(JP,A)
特開2011-206530(JP,A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02
A63F 5/04