

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4286283号
(P4286283)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int.Cl. F I
H O 3 K 19/173 (2006.01) H O 3 K 19/173 1 0 1

請求項の数 18 (全 10 頁)

| | | | |
|---------------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2006-508150 (P2006-508150) | (73) 特許権者 | 505395928 |
| (86) (22) 出願日 | 平成16年4月16日(2004.4.16) | | オーストリアマイクロシステムス アーゲ |
| (65) 公表番号 | 特表2006-526339 (P2006-526339A) | | ー |
| (43) 公表日 | 平成18年11月16日(2006.11.16) | | オーストリア国、シュロース プレムシュ |
| (86) 国際出願番号 | PCT/EP2004/004079 | | テッテン、ウンタープレムシュテッテン |
| (87) 国際公開番号 | W02004/105246 | | A-8141 |
| (87) 国際公開日 | 平成16年12月2日(2004.12.2) | (74) 代理人 | 100095407 |
| 審査請求日 | 平成17年11月25日(2005.11.25) | | 弁理士 木村 満 |
| (31) 優先権主張番号 | 10323012.2 | (72) 発明者 | ビューラー、トビアス |
| (32) 優先日 | 平成15年5月21日(2003.5.21) | | オーストリア共和国、A-8010 グラ |
| (33) 優先権主張国 | ドイツ(DE) | (72) 発明者 | ツ、テヒニカーシュトラーセ 3 |
| | | | ハイプリク、ホルガー |
| | | | オーストリア共和国、A-8053 グラ |
| | | | ツ、ツェルラッヒャーヴェーク 33 |

最終頁に続く

(54) 【発明の名称】 IC装置及びIC装置のプログラミング方法

(57) 【特許請求の範囲】

【請求項1】

予め定められた素子値 (Rprog、Cprog) を有する外部素子 (4、15) を接続するための第一入力部 (2) と、

読出し可能な参照値を有する参照素子 (6、18) を接続した第二入力部 (8) と、

前記第一入力部を介して読み込んだ前記外部素子の素子値と前記第二入力部から読み込んだ参照値とを比較し、比較結果を出力するコンパレータ (9) と、

前記コンパレータの比較結果にตอบสนองし、このIC装置 (1) の少なくとも一つの機能ブロック (13a、13b) を、前記コンパレータの比較結果に応じて制御するための制御ユニット (12) と、

を備えるIC装置 (1)。

【請求項2】

参照信号を発生させるための信号源 (14) をさらに備え、

前記信号源は、前記外部素子の素子値 (Pprog、Rref) と前記参照素子の参照値 (Cprog、Cref) を読み出すために、前記外部素子 (4、15) を接続するための接続部と基準素子 (6、16、17、18) とに連結されていることを特徴とする請求項1記載のIC装置。

【請求項3】

前記読出し可能な外部素子 (4、15) は一の接続部において前記第一入力部に接続されており、更に別の接続部において、参照電位が印加された参照電位接続部 (5) に接続

されていることを特徴とする請求項 2 記載の I C 装置。

【請求項 4】

前記コンパレータ (9) はデジタル方式で比較結果を出力するためのアナログ / デジタルコンバータを含むことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の I C 装置。

【請求項 5】

前記アナログ / デジタルコンバータは対数の特性曲線を有することを特徴とする請求項 4 記載の I C 装置。

【請求項 6】

前記基準素子が該 I C 装置 (1) の外部素子 (6 、 1 6) として、前記第二入力部に接続可能であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の I C 装置。

10

【請求項 7】

前記基準素子が該 I C 装置 (1) の内部素子 (1 7 、 1 8) として設けられていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の回路装置。

【請求項 8】

前記参照素子 (6 、 1 7) 及び前記読出し可能な外部素子 (4) がそれぞれ抵抗器から形成されていることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の I C 装置。

【請求項 9】

前記参照素子 (1 6 、 1 8) 及び前記読出し可能な外部素子 (1 5) はそれぞれコンデンサから形成されていることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の I C 装置。

20

【請求項 1 0】

前記制御ユニット (1 2) は、供給電圧、基準電圧及び / 又は電源投入順序に基づいて、前記複数の機能ブロック (1 3 a 、 1 3 b) を制御する、ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の I C 装置。

【請求項 1 1】

前記コンパレータ (9) の比較結果を一時記憶するために揮発性メモリー (1 1) が前記コンパレータ (9) の出力部と前記制御ユニット (1 2) との間に接続されていることを特徴とする請求項 1 乃至 1 0 のいずれか 1 項に記載の I C 装置。

【請求項 1 2】

該 I C 装置 (1) の少なくとも一つの前記機能ブロック (1 3 a 、 1 3 b) の複数の動作モードに対する制御パラメータを記憶するためのメモリブロック (1 9) を備え、

30

このメモリブロックは前記制御ユニット (1 2) と連結されており又はこれに含有されており、

前記コンパレータ (9) の比較結果に応じて記憶されている前記動作モードの一つが起動されることを特徴とする請求項 1 乃至 1 1 のいずれか 1 項に記載の I C 装置。

【請求項 1 3】

該 I C 装置 (1) の電源投入後に前記コンパレータ (9) を起動するために前記コンパレータ (9) が起動入力部 (1 0) を有することを特徴とする請求項 1 乃至 1 2 のいずれか 1 項に記載の I C 装置。

【請求項 1 4】

40

I C 装置に接続された外部素子 (4 、 1 5) の値 (R p r o g 、 C p r o g) の読出し、

読み出した値 (R p r o g 、 C p r o g) を基準値 (R r e f 、 C r e f) と比較して、比較結果を求め、

比較結果に応じて前記 I C 装置 (1) の制御をするための選択信号を出力する、ステップを含む I C 装置のプログラミング方法。

【請求項 1 5】

前記 I C 装置 (1) は複数の動作状態を備え、前記選択信号に応じて前記複数の動作状態から一つの動作状態に設定される請求項 1 4 に記載の方法。

【請求項 1 6】

50

前記 IC 装置に接続された前記外部素子 (4、15) の値 (R p r o g、C p r o g) は、該外部素子に基準信号を印加することにより読み出される請求項 14 又は 15 に記載の方法。

【請求項 17】

前記基準値 (R r e f、C r e f) は、基準素子 (6、16、17、18) の値により表され、前記基準信号を印加することにより読み出される、請求項 16 に記載の方法。

【請求項 18】

前記比較結果は前記 IC 装置の電源投入時に求められ、揮発性メモリー (11) に一時記憶される請求項 14 ~ 17 のいずれか 1 項に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は IC 装置及び IC 装置のプログラミング方法に関する。

【背景技術】

【0002】

従来の集積回路は、その製造完了後に、そのために備えられた一つの動作モードの下でしか使用できないようになっている。

【0003】

しかし、同一の IC 素子を複数の異なる用途に適用できるように保っておき、その動作モードは、IC 素子の製造完了後に、例えばチップの鋳型成形加工やケーシング加工などの後で選択できるようにしたい場合がある。

20

【0004】

また、いくつかの機能ブロックの供給電圧の電圧値や特定の機能ブロックの選択を決定したり、さらに例えばいわゆるスタート・アップ・シーケンスの中において、特定の機能ブロックの投入あるいはそれらの初期化の順番をそれぞれ決定したい場合がある。

【0005】

このような IC 素子のプログラミングを行うための技術として例えばヒューズ台、ディップスイッチなどを用いた方法が考えられる。

【0006】

しかしながら、このような周知の方法は、相対的に大きい費用と結び付けられる。この望ましくない費用は、基板上の増加された面積や、チップにおける多数の必要な追加の接続脚 (ピン) により、必要とされる可能性がある。

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の課題は、製造完了後に僅かな費用でプログラミングされる、つまり所望の動作モードの設定が可能な IC 装置を提供することにある。本発明のさらなる課題は、IC 装置のプログラミング方法であって、僅かな費用で実行可能で、製造が完了した後に上記 IC 装置を選択可能な動作モードで作動することを可能にする方法を提供することにある。

【課題を解決するための手段】

40

【0008】

上記課題は、本発明にかかる IC 装置により解決され、IC 装置は、予め定められた値のセットよりなる値を有する読出し可能な外部素子を接続するために配置された第一入力部と、読出し可能な参照値を有する参照素子と接続した第二入力部と、出力部とを有し、IC 装置の接続部と接続されたコンパレータ、及び、IC 装置の少なくとも一つの機能ブロックを上記コンパレータの比較結果に応じて制御するために上記コンパレータの出力部と連結されている制御ユニットを備える。

【0009】

本発明の原理によれば、例えば複数の予め定められた動作モードのうちより一つの動作モードを選択するような IC 装置のプログラミングは、読出し可能な外部素子を IC の接続部に

50

接続することにより行われる。この素子は、読出し可能な値、例えばある特定の抵抗値を有し、この値は基準素子の基準値と比較される。IC装置は、制御ユニットにより、この比較結果に応じて特定の動作モードに設定され、つまりプログラミングされる。

【0010】

上記読出し可能な外部素子は受動素子であることが好ましい。

【0011】

ICの接続部に接続された外部素子の値を選択することにより、実質的に任意で多数の異なる予め定められたプログラムのいずれかを選択することができる。

【0012】

本発明の原理では、ピン、すなわちIC装置の接続脚を一つ増やすだけでよい。従って、IC装置のプログラミングは、非常に僅かの費用で実行可能である。

10

【0013】

受動外部素子の読出しを行なうためには、例えば、上記読出し可能な外部素子に印加される基準信号を発生する信号源をIC装置において設けることができる。

【0014】

読出し可能な外部素子の他の接続部は参照電位接続部、例えば接地と接続可能であることが好ましい。

【0015】

読出し可能な外部素子の値を基準素子の値と比較するコンパレータは比較結果をデジタル方式で出力するためのアナログ/デジタルコンバータを含有することが好ましい。

20

【0016】

例えば解像度が3ビットのA/Dコンバータが設けることができるが、この場合、接続している読出し可能な素子の値を単に選択することにより全部で8種類の動作状態を起動させることができる。

【0017】

本発明の好適な実施形態によれば、上記アナログ/デジタルコンバータは対数の特性曲線を有する。これにより、読出し可能な外部素子の公差と読み出された値のさらなる処理における公差とに関する要求が著しく低減される。例を挙げれば、特性曲線を対数によるものとすることで読出し可能な外部素子として公差30%抵抗器を使用しても読出しは確実に行われ、予め定められた多数の動作モードのいずれかを確実に選択することが可能となる。

30

【0018】

基準素子は外部接続タイプの素子でもよいし、IC装置に内蔵された素子にしてもよい。

【0019】

IC装置において高精度の基準信号、例えばバイアス電流を発生するために、IC装置の接続脚（ピン）に接続された外部基準素子が設けられていることが多い。このような基準素子としては、例えば基準抵抗器又は外部フィルタコンデンサがある。このような場合には、同時にこの素子は、提示した原理に基づくIC装置のプログラミング用の基準素子として利用することが可能である。比較結果を算出するためには、信号源から出力される基準信号を外部基準素子にも印加し基準素子の値を読み出すようにすることが好ましい。

40

【0020】

外部基準素子は内蔵基準素子よりも公差が狭い。

【0021】

基準素子を内蔵素子として実施することは、IC装置の動作には外部の基準素子が特に必要でない時及び/又は回路装置のピン数を非常に低くすることが要求されている時に有用である。

【0022】

基準素子と、読出し可能なプログラミングされる素子とは、例えば抵抗器やコンデンサとして形成することができる。しかし、読出し可能な物性値を有する他の受動素子も使用可能である。

50

【 0 0 2 3 】

IC装置はいくつかの機能ブロックを有し、制御ユニットはコンパレータの比較結果に応じてこれらの機能ブロックを種々の供給電圧、基準電圧及び/又は動作順序を以て制御することができる。

【 0 0 2 4 】

また、コンパレータの出力部と制御ユニットの間には、コンパレータの比較結果を一時記憶するために、いわゆるラッチと呼ばれる揮発性メモリーを設けることが好ましい。

【 0 0 2 5 】

読出し可能な外部素子の読出し可能な値の読出し及びこの値と基準素子の値との比較は、

【 0 0 2 6 】

好ましくはIC装置の電源投入期間に行う。また、比較結果をICの全動作時間にわたって利用可能にしておくために、上記比較結果を一時記憶することが有用である。

【 0 0 2 7 】

読出し可能な外部素子の値を選択してそれぞれ指定できる予め定められた多数の動作モードを定義するために、それぞれの動作モードの制御パラメータを記憶するためのメモリーブロックを設けることが好ましい。このメモリーブロックは、コンパレータの比較結果に応じて記憶された動作モードが起動されるように制御ユニットと連結されている。

【 0 0 2 8 】

上記メモリーブロックはいわゆるブートROM(リードオンリーメモリ-)として設けることが好ましく、IC装置の電源投入時に読み出すようにする。

【 0 0 2 9 】

また、更なる柔軟性を確保するためには、例えば製造する際にプログラミング可能なブートROMの金属化面用のマスクを選択することにより、ブートROMをプログラミング可能に設けることができる。

【 0 0 3 0 】

本発明の原理は好ましくは、電源投入順序(パワーオン・シーケンス)を制御するためにいわゆるパワー・マネジメント・ユニット、PMUに適用される。この場合、種々の予め設定されたシーケンスはROM内に定義し、記憶しておき、使用の際、プログラミングされる読出し可能な素子の値により選択される。

【 0 0 3 1 】

上記金属マスクによりプログラミング可能なROMの代わりに、いわゆるツェナー・ヒューズ又はポリ・ヒューズ、即ちプログラミング可能な接続を用いたプログラミング可能なROMにより、柔軟性をさらに増大させることが可能となる。この種のいわゆるヒューズ又はアンチヒューズでは、それらの導電状態はエネルギーインパルスを印加することにより決定され、導電状態は高い抵抗と低い抵抗の間で切り替え可能である。

【 0 0 3 2 】

基準素子が内蔵素子として設けられている場合、内蔵された基準素子に簡単な調整手段を設けることにより、その精度を高めることが有用な場合がある。

【 0 0 3 3 】

IC装置の電源を投入してから信号源とコンパレータを起動させるために、信号源及び/又はコンパレータの各起動入力部と連結される起動回路を設けることが有利な場合がある。起動回路はICの電源投入後にコンパレータと、必要に応じて信号源を起動するために配置され、場合によってアナログ/デジタル変換を含めた比較が終了して、その結果が記憶されるとすぐに、再びこれらの電源を切る。

【 0 0 3 4 】

また、上記課題は、以下の工程を含む、本発明のIC装置のプログラミング方法により解決される。

【 0 0 3 5 】

IC装置に接続された外部素子の値を読出し、読み出された値の参照値との比較と比較結果を算出し、

10

20

30

40

50

比較結果に応じてIC装置を制御するための選択信号を出力する。

【0036】

提示した工程によれば、IC装置に読出し可能な外部素子を接続し、続いてこの読出し可能な外部素子の値を読み出す。次に、この値は基準素子の同様に読み出された値、つまり基準値と比較されて比較結果が求められる。この比較結果に応じてIC装置を制御するための選択信号を出力する。

【0037】

好ましくは、IC装置は選択信号に応じて予め定められた多数の動作モードのいずれかを設定する。

【0038】

基準値は外部又は内蔵基準素子を読み出して求めることが好ましい。また、基準値と読出し可能な外部基準素子の値の比較は、アナログ/デジタルコンバータの助けを借りて実行することが好ましい。また、読出し可能な外部素子及び基準素子からの値の読出しは、IC装置の電源投入時に信号源により発生された基準信号を基準素子に印加することにより行われることが好ましい。

【0039】

さらに、電源投入工程が終了後も用意されているように、比較結果は求めてから揮発性メモリーに一時記憶することが好ましい。

【0040】

また、上記比較は電源投入時に起動され、次にこの比較を行うコンパレータを、そして必要に応じて読出し可能な素子値の読出しに使われる上記信号源を再び非起動状態にすることが好ましい。

【0041】

信号源が発生する基準信号は例えば基準電圧や基準電流であり得る。

【0042】

本IC装置において基準抵抗器又は外部フィルタコンデンサ又は類似の外部受動素子が外部に設けられている場合には、これを基準素子として使用することが好ましい。この場合には、読出し可能な外部素子と基準素子とがそれぞれ接続される二つのピンを設ける。このような受動素子のあいている端部には参照電位接続部、例えば接地を接続することが好ましい。

【0043】

本発明の方法によれば、IC装置の一つのピンに接続できる受動素子の値に応じてIC装置を、極めて僅かな費用で予め定められた多数の動作モードのいずれかに設定することが可能である。

【0044】

提案した原理のさらに詳細な説明及び望ましい実施形態は、従属請求項から与えられる。

【発明を実施するための最良の形態】

【0045】

以下、本発明を図面に基づいて多くの実施例を挙げてさらに詳細に説明する。

【0046】

下記の図面による説明では、同一の又は同一の機能を有する素子は同じ記号が付される。

【0047】

図1は特に2つの接続部2、3、いわゆるピンを有するIC装置1を示す。抵抗器4の形態の読出し可能な外部素子がIC装置1の接続部2に接続され、また参照電位接続部5にも接続されている。この抵抗器4は詳細について後に述べるように回路装置1のプログラミングのために用いられる。基準素子として機能する他の抵抗器6は接続部3に、同様に参照電位接続部5にも接続されている。回路装置1の接続部2、3は内部でコンパレータ9の第一或いは第二入力部7、8と接続されている。このコンパレータ9はアナログ/デジタルコンバータを有する。コンパレータ9は、電源投入時にコンパレータ9を起動させるために起動入力部10を備える。コンパレータ9の出力部を形成するアナログ/デジタルコンバータのデジタル出力部に

10

20

30

40

50

は揮発性メモリー11を介して、回路装置1内で多数の機能ブロック13a、13bを制御する制御ユニット12が接続されている。

【0048】

さらに、基準信号を発生するために形成された信号源14が設けられ、回路装置の接続部2、3に接続されている。

【0049】

基準素子6は本発明の原理に基づくコンパレータ9用の基準素子としてだけでなく、機能ブロック13a、13bの内少なくとも一つのブロックの動作上必要とされるバイアス信号を発生させるための基準抵抗器としても用いられる。

【0050】

コンパレータ9及び信号源14は回路装置の電源投入過程において起動入力部10により起動され、読出し可能な、プログラミングされる抵抗器4と基準抵抗器6には、基準信号源14が発生する基準信号、つまり基準電圧又は基準電流が印加される。このコンパレータ9は、入力部7、8に入力され、実質的に抵抗器4、6の素子特性値 R_{prog} 、 R_{ref} に依存する信号を比較する。アナログ/デジタルコンバータは2つの外部要素4、6の特性値 R_{prog} 、 R_{ref} の比を定め、出力部にデジタル方式で対応した比較結果を出力する。この比較結果は一時記憶装置メモリー11で一時記憶される。次に、コンパレータ9はアナログ/デジタルコンバータ及び信号源14と共に非起動状態とされる。

【0051】

制御ユニット12は、メモリー11に記憶された比較結果を以て回路装置の機能ブロック13a、13bを制御することができるようになる。この制御は、本発明の原理に従ってプログラミングされる抵抗器4の値に応じて行なわれる。

【0052】

提案した原理を実施するためには、ピン3に接続された抵抗器6はもともと基準抵抗器として必要なので、チップ1における追加のピン2だけが必要である。追加の抵抗器4は簡単でかつ低コストで、公差に関する要求が低い外部抵抗器であり得る。抵抗器素子4の抵抗値の大きさを選択することにより回路装置における種々のプログラミング若しくは動作モードを選択することができる。

【0053】

なお、コンパレータ9のアナログ/デジタルコンバータが対数の特性曲線を有するので、抵抗器4の公差に関する要求をさらに低減させることが図られた。

【0054】

制御ユニット12において、各調節可能な動作モードに対し、例えば特定の機能ブロック13a、13bの供給電圧電位、基準電流レベル、電源投入順番等のような多数のパラメータをブートROMに保存しておくのが好ましい。ブートROMは金属化を変更することでマスク・プログラミング可能に設けられている。このROMのアドレス指定はコンパレータ9の結果に基づいて行われる。従って、その内一つが抵抗器4を用いて選択できる、使用可能な多数のスタート・アップ・シーケンスは金属化マスクにより定義され、プログラミングされる素子4の値により使用中に選択される。

【0055】

なお、制御ユニット12におけるROMをプログラミング可能なROMとして実施して、このためにツェナー・ヒューズ又はポリ・ヒューズを有することで柔軟性をさらに拡大することができる。

【0056】

上述の原理は、好ましくは、特に電圧供給一様性、英語のパワー・マネジメント・ユニット、PMUにおけるスタート・アップ・シーケンスの制御に利用可能である。

【0057】

図2は図1のIC装置の代替の実施形態を示す。図2の回路は構造においても有利な機能においても図1の殆ど同一な回路に対応し、これらの点に関する限り繰り返し説明しない。しかしプログラミングされる抵抗器4及び基準抵抗器6の代わりに図2の回路ではプログラミ

10

20

30

40

50

ングされるコンデンサ15及び基準コンデンサ16が設けられている。これらは同様にチップ1の外部接続部2、3と参照電位部5との間に接続されている。

【0058】

基準コンデンサ16は少なくとも一つの機能ブロック13a、13bを動作するために図2のチップ1においてフィルタコンデンサとして設けられている。

【0059】

コンパレータ9及び信号源14の起動時に、コンデンサ15、16は信号源14により入力部10側で充電され、コンパレータ9の入力部7、8に印加され、コンデンサ15、16のキャパシタンス値Cprog、Crefに依存する信号は、コンパレータにより評価される。その他の機能は図1で既に説明したものに対応する。

10

【0060】

図3は図1の代替の実施形態を示し、図2の回路は構造においても有利な機能においても図1のそれと殆ど一致するものである。これらの点についての図面の説明は繰り返さない。図3の実施例では外部基準抵抗器6の代わりに、コンパレータ9の入力部8と内部参照電位接続部5'との間に接続された内蔵基準抵抗器17が設けられている。これにより、チップ1の外部接続ピン3は省略される。

【0061】

本発明の実施例は、特に外部の参照素子が、例えば正確な基準信号を発生させるために、又はフィルタ素子として必要とされている場合に、チップにおいて外部接続ピンの数が少なくても済み、使用に好適であるという効果を有する。

20

【0062】

図4は図2の回路の代替の実施形態を示す。図4の回路では、図2の外部基準コンデンサ16の代わりに内蔵コンデンサ18が設けられている。このコンデンサ18はコンパレータ9の入力部8と参照電位部5'との間に接続されている。

【0063】

図3におけるように、接続ピンすなわち接続部3が省略される。示された実施形態は、外部フィルタコンデンサが基準素子として特に必要とされていない場合に使用に好適となる。

【0064】

図3、4の基準素子17、18の値がその設計値に関する大きい製造変動を受ける場合には、それぞれの内部受動基準素子17、18を調整するために調整手段を設けることが有利であり得る。

30

【0065】

実施例において基準素子として、及びプログラミングされ、読み出し可能な素子として示された抵抗器やコンデンサの代わりに他の受動素子を使用することもできる。

【0066】

なお、上記の本発明にかかる上述した実施例の記載は図解目的のためにのみ用いられ、本発明の限定のためには用いられない。また、本発明の範囲及び均等物から逸脱することなく、本発明の通常範囲で種々の変形及び応用が可能である。

【図面の簡単な説明】

【0067】

40

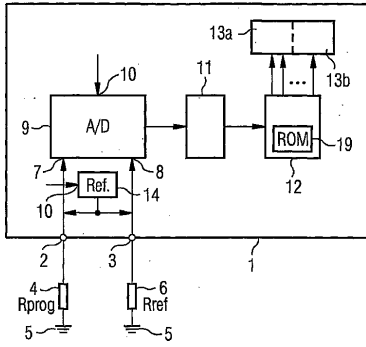
【図1】二つの外部抵抗器を有する本発明にかかるIC装置の第一実施例を示す図である。

【図2】二つの外部コンデンサを有する本発明にかかるIC装置の第二実施例を示す図である。

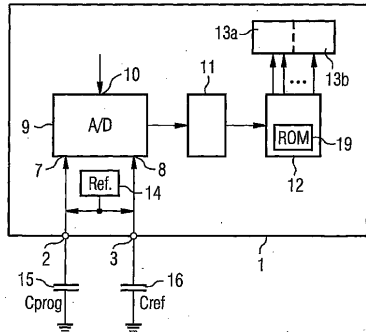
【図3】一つの外部抵抗器を有する本発明にかかるIC装置の第三実施例を示す図である。

【図4】一つの外部コンデンサを有する本発明にかかるIC装置の第四実施例を示す図である。

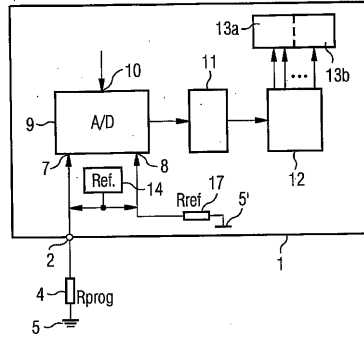
【 図 1 】
FIG 1



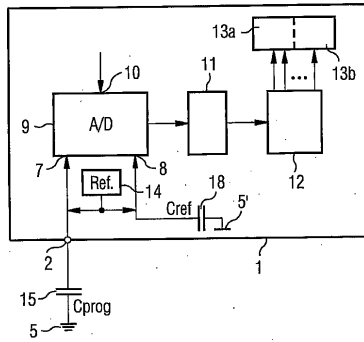
【 図 2 】
FIG 2



【 図 3 】
FIG 3



【 図 4 】
FIG 4



フロントページの続き

- (72)発明者 イェセニック、トーマス
オーストリア共和国、A - 9 0 2 0 クラーゲンフルト、グリースガッセ 9
- (72)発明者 ルーガー、マンフレッド
オーストリア共和国、A - 8 5 0 4 プレディング、メテルスドルフ 4

審査官 宮島 郁美

- (56)参考文献 特開平02 - 190901 (JP, A)
米国特許第06351175 (US, B1)
特開2001 - 094412 (JP, A)
特開平11 - 039883 (JP, A)
実開平03 - 051337 (JP, U)
欧州特許出願公開第01355426 (EP, A1)

- (58)調査した分野(Int.Cl., DB名)
H03K19/098-19/23