

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4960716号  
(P4960716)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年3月30日(2012.3.30)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

G O 9 F 9/30 3 3 0 Z

請求項の数 10 (全 15 頁)

(21) 出願番号 特願2007-23473 (P2007-23473)  
 (22) 出願日 平成19年2月1日(2007.2.1)  
 (65) 公開番号 特開2007-213063 (P2007-213063A)  
 (43) 公開日 平成19年8月23日(2007.8.23)  
 審査請求日 平成22年1月29日(2010.1.29)  
 (31) 優先権主張番号 10-2006-0011110  
 (32) 優先日 平成18年2月6日(2006.2.6)  
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do, Republic of Korea

(74) 代理人 100094145  
 弁理士 小野 由己男

(74) 代理人 100106367  
 弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1基板に形成された共通電極と、  
 液晶を介して第1基板と合着剤により貼り合わせられる第2基板上に交差するように形成されたゲートライン及びデータラインと、  
 前記ゲートライン及びデータラインに接続された薄膜トランジスタと、  
 前記ゲートライン方向の長辺と前記データライン方向の短辺を有する各サブピクセル領域に形成されて前記薄膜トランジスタに接続された画素電極と、  
 複数の駆動チップから受信された駆動信号をデータラインに供給するファンアウトラインと、

異なる前記駆動チップに接続された前記ファンアウトライン間に形成されて前記共通電極に共通電圧を供給する第1導電スペーサと、

同一の前記駆動チップに接続された前記ファンアウトライン間に形成されて前記共通電極に共通電圧を供給する第2導電スペーサとを備えることを特徴とする液晶表示装置。

【請求項2】

前記ファンアウトラインと交差するように形成されて前記第1及び第2導電スペーサを接続する共通電圧供給ラインをさらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記共通電圧供給ラインが前記同一の駆動チップに接続されたファンアウトライン毎に

区分されるように複数形成されることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記共通電極には前記ファンアウトラインに対応する領域毎に異なる共通電圧が供給されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 2 導電スペーサが、前記同一の駆動チップに接続された前記ファンアウトラインのうち中央に位置するファンアウトラインと隣接するように形成されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記短辺方向に沿って前記サブピクセルを経由するように形成された複数のストレージラインをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 7】

前記同一の駆動チップに接続された前記ファンアウトライン毎に形成され、前記ストレージラインに共通に接続されたストレージ供給ラインをさらに備えることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記ストレージ供給ラインが、前記同一の駆動チップに接続されたファンアウトラインに対応する領域に位置するストレージライン毎に異なるストレージ電圧を供給することを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

20

前記ファンアウトラインと交差する前記ストレージ供給ラインが前記合着剤と重なるように形成されることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 10】

前記ファンアウトラインを覆うように形成され、前記合着剤の圧力を緩衝することのできる程度の厚さを有する保護膜をさらに含むことを特徴とする請求項 7 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

30

【背景技術】

【0002】

液晶表示装置は液晶の電氣的及び光学的特性を利用した画素マトリクスにより映像を表示する。液晶表示装置の各画素は、データ信号による液晶配列を変化させて光透過率を調節する赤、緑、青のサブピクセルの組み合わせにより所望の色を実現する。各サブピクセルは、スイッチング素子である薄膜トランジスタを介して画素電極に供給されたデータ信号と共通電極に供給された共通電圧との差電圧を充電して液晶を駆動する。薄膜トランジスタは、ゲートラインに供給されたゲートオン電圧によりターンオンしてデータラインに供給されたデータ信号を画素電極に充電し、ゲートラインに供給されたゲートオフ電圧によりターンオフして画素電極に充電されたデータ信号が維持されるようにする。ここで、ゲートラインに供給されたゲートオフ電圧は、画素電極に充電されたデータ信号が維持されるように安定した電圧を維持しなければならない。

40

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、液晶表示装置においては、液晶を介して重なったデータラインと共通電極との間に存在する寄生容量のカップリング作用により、データラインに供給されるデータ信号によって共通電圧がスイングするリップル現象が発生してクロストークが発生する。特に画面に極性の偏りが激しい特定パターンを表示する場合、共通電圧のリップル成分が増加することによってクロストークは激しくなる。

50

## 【 0 0 0 4 】

従って、本発明が達成しようとする技術的課題は、クロストークを防止して画質を向上させることのできる液晶表示装置を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 0 5 】

前記技術的課題を達成するために、本発明 1 による液晶表示装置は、第 1 基板に形成された共通電極と、液晶を介して第 1 基板と合着剤により貼り合わせられる第 2 基板上に交差するように形成されたゲートライン及びデータラインと、前記ゲートライン及びデータラインに接続された薄膜トランジスタと、前記ゲートライン方向の長辺と前記データライン方向の短辺を有する各サブピクセル領域に形成されて前記薄膜トランジスタに接続された画素電極と、回路フィルム上に実装されて前記データラインを駆動させる駆動チップと、前記駆動チップからの駆動信号を前記データラインに供給するファンアウトラインと、異なる前記駆動チップに接続された前記ファンアウトライン間に形成されて前記共通電極に共通電圧を供給する第 1 導電スペーサと、同一の前記駆動チップに接続された前記ファンアウトライン間に形成されて前記共通電極に共通電圧を供給する第 2 導電スペーサとを備えることを特徴とする。

10

## 【 0 0 0 6 】

また、発明 2 は、発明 1 において、前記液晶表示装置は、前記ファンアウトラインと交差するように形成されて前記第 1 及び第 2 導電スペーサを接続する共通電圧供給ラインをさらに備えることを特徴とする。

20

## 【 0 0 0 7 】

ここで、発明 3 は、発明 2 において、前記共通電圧供給ラインは、前記同一の駆動チップに接続されたファンアウトライン毎に区分されるように複数形成されることを特徴とする。

## 【 0 0 0 8 】

また、発明 4 は、発明 3 において、前記共通電極には、前記ファンアウトラインに対応する領域毎に異なる共通電圧が供給されることを特徴とする。

## 【 0 0 0 9 】

また、発明 5 は、発明 4 において、前記第 2 導電スペーサは、前記同一の駆動チップに接続された前記ファンアウトラインのうち中央に位置するファンアウトラインと隣接するように形成されることを特徴とする。

30

## 【 0 0 1 0 】

一方、発明 6 は、発明 1 において、前記液晶表示装置は、前記短辺方向に沿って前記サブピクセルを経由するように形成された複数のストレージラインをさらに備えることを特徴とする。

## 【 0 0 1 1 】

また、発明 7 は、発明 6 において、前記液晶表示装置は、前記同一の駆動チップに接続された前記ファンアウトライン毎に形成されて前記ストレージラインに共通に接続されたストレージ供給ラインをさらに備えることを特徴とする。

## 【 0 0 1 2 】

ここで、発明 8 は、発明 7 において、前記ストレージ供給ラインは、前記同一の駆動チップに接続されたファンアウトラインに対応する領域に位置するストレージライン毎に異なるストレージ電圧を供給することを特徴とする。

40

## 【 0 0 1 3 】

一方、発明 9 は、発明 7 において、前記ファンアウトラインと交差する前記ストレージ供給ラインは、前記合着剤と重なるように形成されることを特徴とする。

## 【 0 0 1 4 】

ここで、前記合着剤はソフトスペーサを含むことを特徴とする。

## 【 0 0 1 5 】

又は、発明 1 0 は、発明 7 において、前記ファンアウトラインを覆うように形成された

50

保護膜は、有機絶縁膜から形成されることを特徴とする。

【0016】

前記技術的課題を達成するために、液晶表示装置は、第1基板に形成された共通電極と、液晶を介して第1基板と合着剤により貼り合わせられる第2基板上に交差するように形成されたゲートライン及びデータラインと、前記ゲートライン及びデータラインに接続された薄膜トランジスタと、前記ゲートライン方向の長辺と前記データライン方向の短辺を有する各サブピクセル領域に形成されて前記薄膜トランジスタに接続された画素電極と、前記短辺方向に沿って前記サブピクセルを経由するように形成された複数のストレージラインと、前記複数のストレージラインに共通に接続されて前記合着剤と少なくとも一部重なったストレージ供給ラインとを備えることを特徴とする。

10

【0017】

また、前記液晶表示装置は、前記第2基板上に形成されて前記共通電極に共通電圧を供給する導電スペーサと、前記導電スペーサと隣接するように形成されて前記共通電圧をフィードバックするフィードバックスペーサとをさらに備えることを特徴とする。

【0018】

また、前記フィードバックスペーサを介してフィードバックされた共通電圧と逆位相の補償信号を前記ストレージラインに供給することを特徴とする。

【0019】

一方、前記ストレージ供給ラインの幅は4～6mmであることを特徴とする。

【0020】

前記合着剤がソフトスペーサを含むことを特徴とする。

20

【0021】

前記ファンアウトラインを覆うように形成され、前記合着剤の圧力を緩衝することのできる程度の厚さを有する保護膜をさらに含むことを特徴とする。

【0022】

前記ストレージ供給ラインが前記合着剤の少なくとも一部分と重なることを特徴とする。

【発明の効果】

【0023】

本発明によれば、クロストークを防止して画質を向上させることのできる液晶表示装置を提供することができる。

30

【発明を実施するための最良の形態】

【0024】

前記技術的課題以外の本発明の他の技術的課題及び利点は、添付図面を参照した本発明の好ましい実施形態についての説明により明白になるであろう。

【0025】

以下、添付図面を参照して本発明の実施形態について説明する。

【0026】

図1は本発明の第1実施形態による液晶表示装置を概略的に示す図である。図2は図1に示す液晶表示装置の薄膜トランジスタ基板における2つのサブピクセルを示す平面図、図3は図1に示す液晶表示装置における回路フィルムと第1及び第2導電スペーサに接続されるパッドとを示す平面図である。

40

【0027】

図1に示す液晶表示装置は、液晶表示パネル130と、プリント基板(Printed Circuit Board: PCB)154と、回路フィルム170とを備え、液晶表示パネル130には画像表示部108と、画像表示部108のゲートラインGLを駆動するゲート駆動部(第1ゲート駆動部102、第2ゲート駆動部112)とが形成され、プリント基板154にはデータラインDLを駆動するデータ駆動チップ104が形成され、回路フィルム170はプリント基板154と液晶表示パネル130との間を接続する。また、PCB154は、タイミング制御部106と電源部164とを備える。

50

## 【0028】

第1ゲート駆動部102及び第2ゲート駆動部112は、画像表示部108の両側部に位置してゲートラインGLを分割駆動する。例えば、第1ゲート駆動部102は奇数ゲートラインGL1、GL3、...、GLn-1を駆動し、第2ゲート駆動部112は偶数ゲートラインGL2、GL4、...、GLnを駆動する。第1ゲート駆動部102及び第2ゲート駆動部112は複数の薄膜トランジスタを含むシフトレジスタから構成されるので、液晶表示パネル130の画像表示部108の薄膜トランジスタ及び複数の信号ラインDL、GL、SL(ストレージライン)と共に形成され、非表示領域に内蔵される。第1ゲート駆動部102及び第2ゲート駆動部112は、タイミング制御部106からのゲート制御信号並びに電源部164からのゲートオン電圧及びゲートオフ電圧を利用して画像表示部108のゲートラインGL1~GLnを順次駆動する。

10

## 【0029】

画像表示部108のデータラインDLを分割駆動する複数のデータ駆動チップ104のそれぞれは回路フィルム170上に実装され、回路フィルム170は異方性導電フィルム(Anisotropic Conductive Film: ACF)を介して液晶表示パネル130及びPCB154に付着される。データ駆動チップ104を実装した回路フィルム170としては、TCP(Tape Carrier Package)又はCOF(Chip On Film)が利用される。これとは異なり、データ駆動チップ104は回路フィルム170を使用しないで液晶表示パネル130の薄膜トランジスタ基板上にCOG(Chip On Glass)方式で直接実装されてもよい。データ駆動チップ104は、タイミング制御部106からのデジタルデータをガンマ電圧部(図示せず)からのガンマ電圧を利用してアナログデータ信号に変換し、画像表示部108のゲートラインGL1~GLnが駆動される各水平期間に同期してデータラインDLにアナログデータ信号を供給する。

20

## 【0030】

PCB154に実装されたタイミング制御部106は、データ駆動チップ104並びに第1ゲート駆動部102及び第2ゲート駆動部112を制御する。タイミング制御部106からのデータ信号と複数のデータ制御信号はPCB154と回路フィルム170を經由して各データ駆動チップ104に供給され、複数のゲート制御信号はPCB154、回路フィルム170、及び液晶表示パネル130の薄膜トランジスタ基板110を經由して第1ゲート駆動部102及び第2ゲート駆動部112に供給される。

30

## 【0031】

液晶表示パネル130の画像表示部108は、赤(以下、Rという)、緑(以下、Gという)、青(以下、Bという)サブピクセルで構成された複数の画素がマトリクス状に配列されて画像を表示する。画像表示部108は、R、G、Bサブピクセル毎に薄膜トランジスタTFTが形成された薄膜トランジスタ基板110と、カラーフィルタが形成されたカラーフィルタ基板113とが液晶を介して貼り合わせられて形成される。R、G、Bサブピクセルは垂直方向に交互に繰り返し配列され、同じ色のサブピクセルは水平方向のストライプ状に配列される。画像表示部108にR、G、Bサブピクセルが垂直方向に配列されることにより、R、G、Bサブピクセルが水平方向に配列された液晶表示装置よりデータラインDL数が1/3に減少し、この結果データラインDL1~DLm(m=1以上の整数)を駆動するデータ駆動チップ104の数も減少する。つまり、従来の液晶パネルの場合、垂直方向に長い、例えば3つのサブ画素が水平方向に順に配置されるため、各サブ画素の画素電極にデータ電圧を供給するためには、3本のデータラインが必要である。一方、上記の本発明の構成によれば、サブ画素が3つの場合、水平方向に長いサブ画素が垂直方向に順に配置されるため、データラインを垂直方向に配置させることで、各サブ画素の画素電極に共通にデータ電圧を供給することができる。よって、従来よりもデータライン数を1/3に減らすことができる。

40

## 【0032】

ここで、R、G、Bサブピクセルの垂直方向配列にデータラインが減少した分だけゲー

50

トラインGLが増加して第1及び第2ゲート駆動部102、112のサイズが大きくなるが、ゲート駆動部102、112の回路構成がデータ駆動チップ104より簡単なので製造コストは節減される。つまり、従来の液晶パネルの場合は水平方向に配置されるゲートラインGLにより3つのサブ画素に共通にゲート電圧を供給可能であるが、上記本発明の構成によれば3つのサブ画素にゲート電圧を供給するには3本のゲートラインGLが必要となる。特に、ゲート駆動部102、112がアモルファスシリコン(Amorphous Silicon)薄膜を利用した薄膜トランジスタ基板に内蔵されるので製造コストはさらに節減される。

#### 【0033】

薄膜トランジスタ基板110は、図2に示すように、ゲートラインGLとデータラインDLの交差により定義されたサブピクセル領域に形成された画素電極132と、ゲートラインGL及びデータラインDLと画素電極132間に接続された薄膜トランジスタ100とを含む。

#### 【0034】

ゲートラインGLとデータラインDLは、ゲート絶縁膜212(図4A、図4B参照)を介して交差するように絶縁基板上に形成される。ゲートラインGLとデータラインDLの交差構造により各サブピクセル領域が区分される。ストレージラインSLは、絶縁性の下部基板101(図4A、図4B参照)上にデータラインDLと並んで形成され、その幹部が各サブピクセルの中央部を短軸方向(図2中、第1方向)に延在する。また、ストレージラインSLは、第1方向に延在する幹部から、図2に示すように第2方向に延在する枝部118を有している。

#### 【0035】

図2に示すように、薄膜トランジスタ100は、下部基板101(図4A、図4B参照)上に、ゲートラインGLに含まれるゲート電極136と、データラインDLに接続されたソース電極138と、画素電極132に接続されたドレイン電極134と、ソース電極138及びドレイン電極134に接続された半導体層とを備える。例えば、ゲート電極136は下部基板101上に形成され、ゲート電極136上にはゲート絶縁膜212が形成され、ゲート絶縁膜212上に活性層114及びオーミック接触層116を含む半導体層が形成され、半導体層上にソース電極138及びドレイン電極134が形成される。また、ソース電極138及びドレイン電極134上には保護膜218が形成され、その上部に画素電極132が形成される。半導体層は、ソース電極138とドレイン電極134との間にチャネルを形成する活性層114と、活性層114とソース電極138及びドレイン電極134のそれぞれとのオーミック接触のためのオーミック接触層116とから構成される。このような半導体層は、データラインDL及びストレージラインSLの下部にもさらに形成される。特に、上下に隣接する2つのサブピクセルにそれぞれ形成された薄膜トランジスタ100は、極性の異なる左右データラインDLにそれぞれ接続される。すなわち、データラインDLに接続された薄膜トランジスタ100の接続方向を垂直方向(図2中、第1方向)に沿って順番に変わるようにする。例えば、奇数ゲートラインGL $i$ に接続された奇数水平ラインの薄膜トランジスタ100は、データラインDL $j+1$ の左側に位置する画素電極132に接続される。偶数ゲートラインGL $i+1$ に接続された偶数水平ラインの薄膜トランジスタ100は、データラインDL $j$ の右側に位置する画素電極132に接続される。これにより、各データラインDL $j$ 、DL $j+1$ に供給されるデータ信号の極性が隣接するデータラインDLのデータ信号と異なり、フレーム単位でのみ反転しても画素電極132は水平及び垂直方向に隣接する画素電極132と異なる極性のデータ信号を充電してドット反転方式で駆動される。

#### 【0036】

画素電極132は保護膜を貫通するコンタクトホール128を介して各薄膜トランジスタ100のドレイン電極134に接続される。画素電極132は、カラーフィルタ基板113の共通電極間に電界を形成し、これにより液晶分子が配列される。また、画素電極132は、ストレージラインSLと少なくとも一層の絶縁膜を介して重なってストレージキ

10

20

30

40

50

ャパシタを形成する。このストレージキャパシタにより、画素電極 132 に充電されたデータ信号を安定して維持することができる。このようなストレージキャパシタを形成するストレージライン SL は、各回路フィルム 170 の最左側に位置する出力パッドに接続された共通ストレージパッド 150 に接続されたストレージ供給ライン 126 を介して電源部 164 からのストレージ電圧が供給される（図 3 参照）。なお、下部基板 101 直上のストレージ供給ライン 126 と、ストレージライン SL とがゲート絶縁層 212 を挟んで配置されており、互いに図 3 のコンタクト 126a を介して電氣的に接続されている。

#### 【0037】

図 4 A、図 4 B に示すように、画素電極 132 と共に液晶を駆動する共通電極は、カラーフィルタ基板 113 に形成される。図 4 A は図 3 の第 1 及び第 2 導電スペーサ部分の I - I' 線断面図、図 4 B は図 3 の第 1 及び第 2 導電スペーサ部分の I - I' 線断面図である。この共通電極 158 は上部基板 11 上に形成、図 3 及び図 4 に示すように、各回路フィルム 170 の最右側に位置する出力パッドに接続された共通電圧入力パッド 160、第 1 共通電圧供給ライン 148、第 1 共通電圧パッド 220、及び第 1 導電スペーサ 120 を経由して電源部 164 からの共通電圧が供給される。なお、導電スペーサは、導電性を有する物質から形成されている。ここで、第 1 共通電圧パッド 220 は異なるデータ駆動チップ 104 に接続されたデータファンアウトライン 172 間に形成される。このような第 1 共通電圧パッド 220 上には第 1 導電スペーサ 120 が形成される。なお、データファンアウトライン 172 とは、データ入力パッド 140 と、データライン DL とを接続するラインであり、データ駆動チップ 104 からのアナログデータ信号をデータライン DL に伝達する。

#### 【0038】

また、共通電極 158 は、第 1 共通電圧パッド 220 に接続された第 2 共通電圧供給ライン 124、第 2 共通電圧パッド 210、及び第 2 導電スペーサ 122 を経由して電源部 164 からの共通電圧が供給される。第 2 共通電圧供給ライン 124 は、複数のデータライン DL に接続された複数のデータファンアウトライン 172 のそれぞれと交差するように形成される。このために、第 2 共通電圧供給ライン 124 はデータファンアウトライン 172 と異なる平面上に形成される。例えば、第 2 共通電圧供給ライン 124 は、図 4 A に示すように、パッド上部電極 146 と同一金属で保護膜 218 上に形成されるか、又は、図 4 B に示すように、パッド下部電極 142 と同一金属で下部基板 101 上に形成される。また、第 2 共通電圧供給ライン 124 は、隣接する各データファンアウトライン 172 と交差するように形成された第 2 共通電圧供給ライン 124 と互いに接続されるように形成されて共通電圧の遅延を防止する。

#### 【0039】

第 2 共通電圧パッド 210 は、同一のデータ駆動チップ 104 に接続されたデータファンアウトライン 172 間に形成される。特に、第 2 共通電圧パッド 210 は、図 3 に示すように、同一のデータ駆動チップ 104 に接続されたデータファンアウトライン 172 のうち中央に位置するデータファンアウトライン 172 と隣接するように形成される。このような第 2 共通電圧パッド 210 上には第 2 導電スペーサ 122 が形成される。

#### 【0040】

このような第 1 共通電圧パッド 220 及び第 2 共通電圧パッド 210 は、ゲートライン GL と同一金属で同一平面上に形成されたパッド下部電極 142 と、パッド下部電極 142 を覆うように形成されたゲート絶縁膜 212 及び保護膜 218 を貫通するパッドコンタクトホール 144 と、パッドコンタクトホール 144 によりパッド下部電極 142 に接続されたパッド上部電極 146 とを備える。なお、図 4 A ではパッド上部電極 146 は、第 2 共通電圧供給ライン 124 の一部であり、一方図 4 B ではパッド下部電極 142 は、第 2 共通電圧供給ライン 124 の一部である。

#### 【0041】

このように、本発明による液晶表示装置は、データライン DL の数を減少させる構造において、データファンアウトライン 172 間に形成された第 2 共通電圧パッド 210 及び

10

20

30

40

50

第2導電スペーサ122により共通電圧の歪みを補償できる。つまり、第2共通電圧供給ライン124を第2方向に配置し、複数の第1共通電圧パッド220、複数の第2共通電圧パッド210、複数の第1導電スペーサ120、複数の第2導電スペーサ122等を介して、共通電極158に共通電圧が供給されている。このように回路フィルム170毎に、つまり各ユニットごとに共通電圧ラインから直に、共通電圧が共通電極158に供給されるため、データライン及び共通電極により例え寄生容量が発生したとしても、共通電極の共通電圧がスイングするリップル現象を弱め、クロストークを抑制することができる。

【0042】

図5は本発明の第2実施形態による液晶表示装置を概略的に示す図である。

【0043】

図5に示す液晶表示装置は、図1に示す液晶表示装置に比して、第2共通電圧供給ラインが各データ駆動チップ毎に区分されることを除いては同じ構成要素を備える。よって、同じ構成要素についての詳細な説明は省略する。

【0044】

第2共通電圧供給ライン124は、複数のデータラインDLに接続された複数のデータファンアウトライン172のそれぞれと交差するように形成される。ここで、第2共通電圧供給ライン124は、データ駆動チップ104に接続されたデータファンアウトライン172毎に互いに分離されるように形成される。例えば、第1～第3データ駆動チップ104A、104B、104Cのそれぞれに接続されたデータファンアウトライン172と交差するように形成された第2共通電圧供給ライン124A、124B、124Cは、互いに分離されるように形成される。この場合、第1～第3データ駆動チップ104A、104B、104Cのいずれか1つに接続されたデータファンアウトライン172と第2共通電圧供給ライン124間に並列に接続された寄生容量の総容量値は、図2に示すデータファンアウトライン172の全てと第2共通電圧ライン124間に並列に接続された寄生容量の総容量値より小さい。これにより、データファンアウトライン172のRC遅延差が除去され、データ信号の偏差を減らすことができる。

【0045】

また、第2共通電圧供給ライン124がデータ駆動チップ104毎に分離されることにより、データ駆動チップ104毎に異なる共通電圧を供給できる。これにより、位置によって共通電極158の歪みの程度に差が発生した場合、歪みの程度に応じて位置に対応した異なる共通電圧を供給する。

【0046】

このように、本発明による液晶表示装置は、データラインDLの数を減少させる構造において、データファンアウトライン172間に形成された第2共通電圧パッド210及び第2導電スペーサ122により共通電圧の歪みを補償できる。また、本発明による液晶表示装置は、データ駆動チップ毎に第2共通電圧供給ラインが分離されることにより、データ駆動チップ毎に異なる共通電圧を供給し、共通電圧の歪みに応じて最適に制御することができる。

【0047】

図6は本発明の第3実施形態による液晶表示装置を概略的に示す図である。

【0048】

図6に示すように、本発明の第3実施形態による液晶表示装置は、図5に示す液晶表示装置に比して、ストレージ供給ラインが各データ駆動チップ毎に区分されることを除いては同じ構成要素を備える。よって、同じ構成要素についての詳細な説明は省略する。

【0049】

ストレージ供給ライン126は、複数のデータラインDLと交差するように形成され、データ駆動チップ104毎に互いに分離されるように形成される。例えば、第1～第3データ駆動チップ104A、104B、104Cのそれぞれに対応する第1～第3ストレージ供給ライン126A、126B、126Cは、互いに分離されるように形成される。互いに分離された第1～第3ストレージ供給ライン126A、126B、126Cのそれぞ

10

20

30

40

50



れは、該当ストレージ供給ライン 1 2 6 A、1 2 6 B、1 2 6 C に接続されたストレージライン S L に、独立してストレージ電圧を供給する。ここで、第 1 ~ 第 3 ストレージ供給ライン 1 2 6 A、1 2 6 B、1 2 6 C のそれぞれは、画像表示部 1 0 8 の位置によってストレージ電圧に偏差が発生した場合、該当ストレージライン S L 毎に異なるストレージ電圧を供給する。

【 0 0 5 0 】

このように、本発明による液晶表示装置は、データライン D L の数を減少させる構造において、データファンアウトライン 1 7 2 間に形成された第 2 共通電圧パッド 2 1 0 及び第 2 導電スペーサ 1 2 2 により共通電圧の歪みを補償できる。また、本発明による液晶表示装置は、データ駆動チップ毎に第 2 共通電圧供給ラインが分離されることにより、データ駆動チップ毎に異なる共通電圧を供給し、共通電圧の歪みに応じて最適に制御することができる。それだけでなく、本発明による液晶表示装置は、データ駆動チップ毎にストレージ供給ラインが分離されることにより、位置によるストレージ電圧の偏差に応じて異なるストレージ電圧を供給できる。

10

【 0 0 5 1 】

図 7 は本発明の第 4 実施形態による液晶表示装置を概略的に示す図、図 8 A は図 7 の A 部分を拡大した平面図、図 8 B は図 8 A の液晶表示装置の I I I - I I I ' 線断面図、図 9 は図 8 A の液晶表示装置の I I - I I ' 線断面図である。

【 0 0 5 2 】

図 7 に示すように、本発明の第 4 実施形態による液晶表示装置は、共通電圧をフィードバックして共通電圧の歪みの程度によってその共通電圧の逆位相となる信号をストレージラインに印加することにより、データ信号の電位変動を最小化する構造である。このために、本発明の第 4 実施形態による液晶表示装置は、図 2 に示す液晶表示装置に比して、共通電圧を共通電極に供給する共通電圧パッドと、その共通電圧パッドと隣接するように形成されたフィードバックスペーサ及びラインと、共通電圧の歪みの程度によって逆位相信号をストレージラインに供給するストレージ供給ラインとを除いては同じ構成要素を備える。よって、同じ構成要素についての詳細な説明は省略する。

20

【 0 0 5 3 】

図 8 A に示すように、共通電圧供給ライン 1 4 8 は、共通電圧パッド 2 2 0 と、回路フィルム 1 7 0 に接続された共通電圧入力パッド 1 6 0 とを最短距離で接続させる。この共通電圧供給ライン 1 4 8 は、他のラインに比べて相対的に大きな幅に形成されて共通電圧供給ライン 1 4 8 自体のライン抵抗を減少させる。これにより、共通電圧供給ライン 1 4 8 の自体の抵抗が減少することにより、共通電極 1 5 8 に供給される共通電圧の偏差を最小化できる。ここで、共通電圧パッド 2 2 0 は、前述の図 3、図 4 A、図 4 B 等と同様に、例えば図 8 B に示すようにパッド下部電極 1 4 2、パッド下部電極 1 4 2 を覆うように形成されたゲート絶縁膜 2 1 2 及び保護膜 2 1 8 を貫通するパッドコンタクトホール 1 4 4 と、パッドコンタクトホール 1 4 4 によりパッド下部電極 1 4 2 に接続されたパッド上部電極 1 4 6 とを備える。図 8 B では、パッド上部電極 1 4 6 が、共通電圧入力パッド 1 6 0 から共通電圧が印加される共通電圧供給ライン 1 4 8 の一部を構成している。よって、共通電極 1 5 8 には、共通電圧入力パッド 1 6 0、共通電圧供給ライン 1 4 8、複数の共通電圧パッド 2 2 0、及び複数の第 1 導電スペーサ 1 2 0 を経由して電源部 1 6 4 からの共通電圧が供給される。

30

40

【 0 0 5 4 】

フィードバックスペーサ 1 9 2 は、ゲートパッド 1 6 2 と隣接するように形成されたフィードバックパッド 1 6 6 及びフィードバックライン 1 9 0 を介して回路フィルム 1 7 0 に接続され、第 1 導電スペーサ 1 2 0 と隣接するように形成されており、第 1 導電スペーサ 1 2 0 を介して共通電極 1 5 8 に印加された共通電圧をフィードバックする。つまり、図 8 B に示すように、フィードバックスペーサ 1 9 2 が共通電極 1 5 8 から共通電圧の入力を受け、パッド下部電極 1 9 0 a 及びフィードバックライン 1 9 0 を介して、フィードバックパッド 1 6 6 に共通電圧をフィードバックする。このような第 1 導電スペーサ 1 2

50

0及びフィードバックスペーサ192は、同一の回路フィルム170の一方に隣接するように形成される。

【0055】

ストレージ供給ライン126は合着剤188と重なるように形成され、ストレージ供給ライン126の幅が相対的に広がる。例えば、ストレージ供給ライン126の幅は約4～6mmに形成される。これにより、ストレージ供給ライン126自体の抵抗が減少するので、ストレージラインSLに供給されるストレージ電圧の偏差を最小化できる。ここで、ストレージ供給ライン126とストレージ供給パッド150を最短距離で接続するために、これらを接続させるストレージ接続ライン202は直線状に形成される。なお、合着剤188は、薄膜トランジスタ基板110とカラーフィルタ基板113とを合着させるための接着剤である。

10

【0056】

一方、ストレージ供給ライン126は、図9に示すように、ゲートラインGLと同一金属で下部基板101上に形成され、データファンアウトライン172はデータラインDLと同一金属でゲート絶縁膜212上にストレージ供給ライン126を横切るように形成される。ストレージラインSLは、データラインDLと同一金属でゲート絶縁膜212上に形成される。このようなストレージラインSLとストレージ供給ライン126は、保護膜218及びゲート絶縁膜212を貫通する接続コンタクトホール156を介して露出される。露出したストレージラインSL及びストレージ供給ライン126は、接続電極196を介して互いに接続される。

20

【0057】

データファンアウトライン172上に形成された保護膜218は、合着剤188に伝達された圧力を緩衝することのできる厚い有機膜で約2μm以上に形成される。これは液晶表示パネル130に所定の圧力が加えられると、その圧力がガラスファイバなどからなる合着剤188に伝達されて合着剤188下部に位置するストレージ供給ライン126及びデータファンアウトライン172間の短絡現象が発生するためである。それ以外にも、外部からの衝撃によるデータファンアウトライン172とストレージ供給ライン126間の短絡現象を防止するために、合着剤188は弾力を有するソフトスペーサが含まれる材質で形成される。

【0058】

このように、本発明による液晶表示装置は、合着剤と重なって相対的に大きな幅を有するようにストレージ供給ラインが形成される。これにより、本発明による液晶表示装置は、ストレージ供給ライン自体のライン抵抗が減少するので、ストレージ電圧の偏差を最小化できる。

30

【0059】

前述したように、本発明による液晶表示装置は、データラインの数を減少させる構造において、データファンアウトライン間に形成された共通電圧パッド及び導電スペーサにより共通電圧の歪みを補償できる。また、本発明による液晶表示装置は、データラインの数を減少させる構造において、合着剤と重なって相対的に大きな幅を有するストレージ供給ラインにより、ストレージ電圧の偏差を最小化できる。

40

【0060】

以上、説明した内容により、当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることを理解するであろう。従って、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限定されるのではなく、特許請求の範囲により定義されるべきである。

【産業上の利用可能性】

【0061】

本発明は、クロストークを防止して画質を向上させることができるため、各種表示装置に適用可能である。

【図面の簡単な説明】

50

## 【 0 0 6 2 】

【図 1】本発明の第 1 実施形態による液晶表示装置を概略的に示す図である。

【図 2】図 1 に示す液晶表示装置の薄膜トランジスタ基板における 2 つのサブピクセルを示す平面図である。

【図 3】図 1 に示す液晶表示装置における回路フィルムと第 1 及び第 2 導電スペーサに接続されるパッドとを示す平面図である。

【図 4 A】図 3 の第 1 及び第 2 導電スペーサ部分の I - I ' 線断面図である。

【図 4 B】図 3 の第 1 及び第 2 導電スペーサ部分の I - I ' 線断面図である。

【図 5】本発明の第 2 実施形態による液晶表示装置を概略的に示す図である。

【図 6】本発明の第 3 実施形態による液晶表示装置を概略的に示す図である。

【図 7】本発明の第 4 実施形態による液晶表示装置を概略的に示す図である。

【図 8 A】図 7 の A 部分を拡大した平面図である。

【図 8 B】図 8 A の液晶表示装置の I I I - I I I ' 線断面図である。

【図 9】図 8 A の液晶表示装置の I I - I I ' 線断面図である。

## 【符号の説明】

## 【 0 0 6 3 】

薄膜トランジスタ	1 0 0	
下部基板	1 0 1	
第 1 ゲート駆動部	1 0 2	
第 2 ゲート駆動部	1 1 2	20
第 3 データ駆動チップ	1 0 4	
タイミング制御部	1 0 6	
画像表示部	1 0 8	
薄膜トランジスタ基板	1 1 0	
カラーフィルタ基板	1 1 3	
活性層	1 1 4	
オーミック接触層	1 1 6	
第 1 導電スペーサ	1 2 0	
第 2 導電スペーサ	1 2 2	
第 2 共通電圧供給ライン	1 2 4	30
ストレージ供給ライン	1 2 6	
液晶表示パネル	1 3 0	
画素電極	1 3 2	
ドレイン電極	1 3 4	
ゲート電極	1 3 6	
ソース電極	1 3 8	
データ入力パッド	1 4 0	
パッド下部電極	1 4 2	
パッド上部電極	1 4 6	
共通電圧供給ライン	1 4 8	40
P C B	1 5 4	
共通電極	1 5 8	
共通電圧入力パッド	1 6 0	
電源部	1 6 4	
フィードバックパッド	1 6 6	
回路フィルム	1 7 0	
データファンアウトライン	1 7 2	
合着剤	1 8 8	
フィードバックライン	1 9 0	
フィードバックスペーサ	1 9 2	第 2 共通電圧パッド
	2 1 0	

10

20

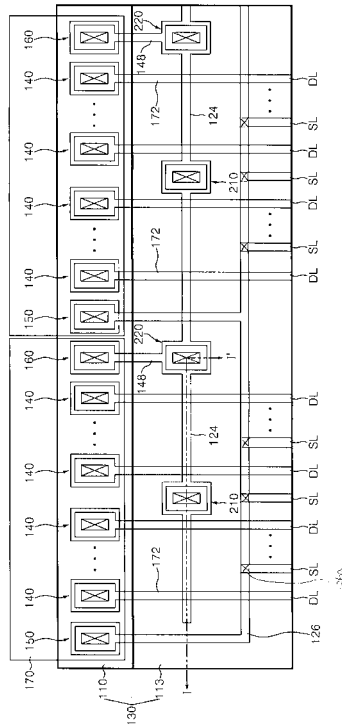
30

40

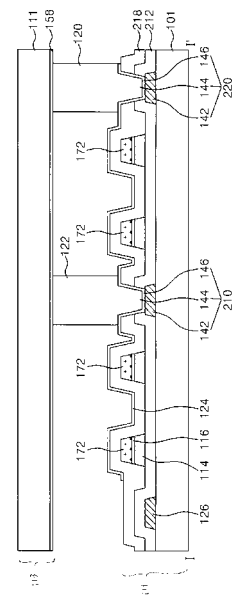
50



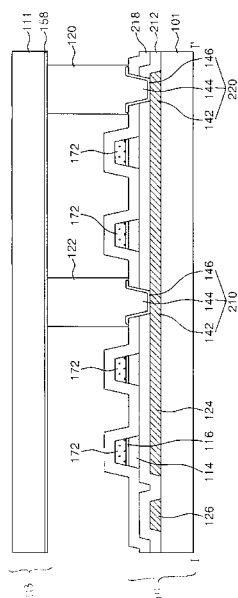
【図 3】



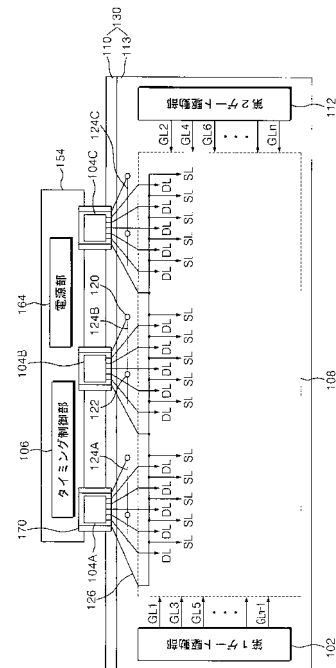
【図 4 A】



【図 4 B】



【図 5】





---

フロントページの続き

(72)発明者 張 鐘 雄

大韓民国忠清南道天安市佛堂洞大東多スツブアパート107棟104号

(72)発明者 金 東 奎

大韓民国京畿道龍仁市風徳川2洞三星5次アパート523棟1305号

審査官 瀬川 勝久

(56)参考文献 特開2004-341539(JP,A)

特開平11-045072(JP,A)

特開2002-090770(JP,A)

特開2004-093734(JP,A)

特開2001-281690(JP,A)

特開平09-146112(JP,A)

特開平11-133927(JP,A)

特開平11-305243(JP,A)

特表2005-534974(JP,A)

特開2003-156763(JP,A)

特開平11-149087(JP,A)

特開2003-043948(JP,A)

国際公開第95/000874(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

G02F 1/13